



(21)申請案號：112130657 (22)申請日：中華民國 109 (2020) 年 05 月 14 日

(51)Int. Cl. : *H01L29/12 (2006.01)* *H01L29/737 (2006.01)*
H01L21/331 (2006.01) *H01L21/8222(2006.01)*

(30)優先權：2019/06/21 日本 JP2019-115560
2020/03/10 日本 JP2020-040801

(71)申請人：日商村田製作所股份有限公司 (日本) MURATA MANUFACTURING CO., LTD.
(JP)
日本

(72)發明人：青池將之 AOIKE, MASAYUKI (JP)

(74)代理人：閻啓泰；林景郁

(56)參考文獻：

US	2007/0131971A1	US	2016/0343837A1
US	2017/0170365A1	US	2018/0309025A1

審查人員：劉聖尉

申請專利範圍項數：11 項 圖式數：13 共 41 頁

(54)名稱
半導體裝置

(57)摘要

本發明提供一種適合高散熱性、高輸出、高集成化的半導體裝置及其製造方法。半導體裝置 (110) 具備：基板 (1)，在上表面具有電路元件以及與該電路元件連接的電極；以及外部連接用的導體柱凸塊 (PB)，設置在該基板 (1) 上，與電極或者電路元件 (21) 接觸並電性連接。基板 (1) 包含第一基材 (10)、和配置在該第一基材 (10) 上的第二基材 (20)，電路元件 (21) 以及電極形成於第二基材 (20)，第一基材 (10) 的熱阻比第二基材 (20) 的熱阻低。

A semiconductor device includes a substrate, a circuit element disposed on or above the upper surface of the substrate, an electrode disposed on or above the upper surface of the substrate and connected to the circuit element, and a conductor pillar bump for external connection which is disposed on the substrate and electrically connected to the electrode or the circuit element. The substrate includes a first base and a second base disposed on the first base. The circuit element and the electrode are disposed on the second base. The first base has lower thermal resistance than the second base.

指定代表圖：

【發明圖式】

符號簡單說明：

- 1:基板
- 10:第一基材
- 11:接合層
- 12:第一基材側電極
- 13、23:導體柱
- 14、24:焊料層
- 20:第二基材
- 21:電路元件
- 22:第二基材側電極
- 110:半導體裝置
- PB:導體柱凸塊

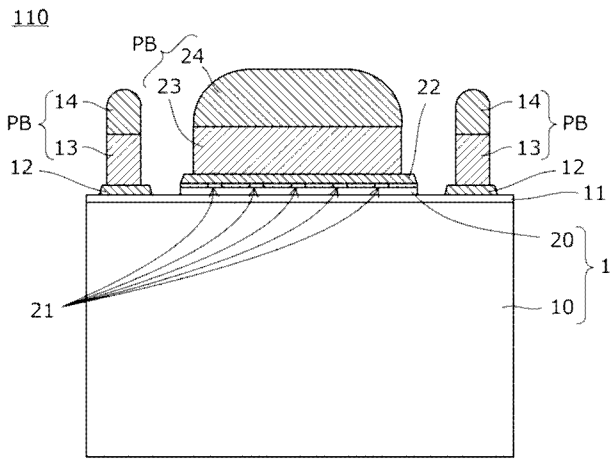


圖1



I854787

【發明摘要】

【中文發明名稱】 半導體裝置

【英文發明名稱】 SEMICONDUCTOR DEVICE

【中文】

本發明提供一種適合高散熱性、高輸出、高集成化的半導體裝置及其製造方法。半導體裝置（110）具備：基板（1），在上表面具有電路元件以及與該電路元件連接的電極；以及外部連接用的導體柱凸塊（PB），設置在該基板（1）上，與電極或者電路元件（21）接觸並電性連接。基板（1）包含第一基材（10）、和配置在該第一基材（10）上的第二基材（20），電路元件（21）以及電極形成於第二基材（20），第一基材（10）的熱阻比第二基材（20）的熱阻低。

【英文】

A semiconductor device includes a substrate, a circuit element disposed on or above the upper surface of the substrate, an electrode disposed on or above the upper surface of the substrate and connected to the circuit element, and a conductor pillar bump for external connection which is disposed on the substrate and electrically connected to the electrode or the circuit element. The substrate includes a first base and a second base disposed on the first base. The circuit element and the electrode are disposed on the second base. The first base has lower thermal resistance than the second base.

【指定代表圖】 圖1

【代表圖之符號簡單說明】

1:基板

10:第一基材

11:接合層

12:第一基材側電極

13、23:導體柱

14、24:焊料層

20:第二基材

21:電路元件

22:第二基材側電極

110:半導體裝置

PB:導體柱凸塊

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 半導體裝置

【英文發明名稱】 SEMICONDUCTOR DEVICE

【技術領域】

【0001】 本發明涉及半導體裝置，尤其涉及用於高頻電路並具有發熱部的半導體裝置及其製造方法。

【先前技術】

【0002】 以往，已知有經由凸塊將半導體裝置構裝於構裝基板並將凸塊作為散熱路徑來利用的半導體裝置。

【0003】 例如在專利文獻1中，示出了構成有在化合物半導體基板上並聯連接多個單位電晶體而成的異質接面雙極電晶體（HBT）的化合物半導體裝置。這些多個單位電晶體排列於化合物半導體基板，凸塊與這些多個單位電晶體的射極電性連接。

【0004】 專利文獻1：日本特許公開第2016－103540號公報

【0005】 在形成有行動通訊、衛星通訊等中使用的高頻放大電路的MMIC（Monolithic Microwave Integrated Circuit：單晶微波集成電路）中，隨著近年來的高速/高功能化，由RFFE（RF Front-End）的損失的增加以及功率放大器設備的自發熱引起的特性極限成為課題。例如，在雙極電晶體中，因其集極損失而發熱，且由於雙極電晶體本身的升溫，基極-射極間電壓 V_{be} 降低，由此若施加集極電流增大、 V_{be} 進一步降低這樣的正回授則導致熱失控(thermal runaway)。若MMIC的散熱性不高，則在不發生熱失控的範圍內能夠使用的電力受到限制，所以作為其結果，能夠運用的電力與MMIC的尺寸處於權衡(trade-off)的關係。

【0006】 另外，由於在RFFE模塊中，混合構裝使用GaAs基板的功率放大器、使用LiTaO₃基板、LiNbO₃基板的SAW器件等基板材料不同的器件，所以隨著進一步的高性能化/小型化/低成本化，需要不同種類設備的集成化。

【發明內容】

【0007】 因此，本發明的目的在於提供一種適合高散熱性、高輸出、高集成化的半導體裝置及其製造方法。

【0008】 作為本公開的一個方式的半導體裝置具備：基板，在表面具有電路元件以及與該電路元件連接的電極；以及外部連接用的導體突起部，設置在上述基板上，與上述電路元件或者上述電極連接，上述基板包含：第一基材以及配置在該第一基材上且材料與上述第一基材不同的第二基材，上述電路元件以及上述電極形成於上述第二基材，上述第一基材的熱傳導率比上述第二基材高。

【0009】 作為本公開的一個方式的半導體裝置的製造方法，上述半導體裝置具備：基板，在表面具有電路元件以及與該電路元件連接的電極；以及外部連接用的導體突起部，設置在該基板上，與上述電路元件或者上述電極接觸並電性連接，上述基板包含：第一基材以及配置在該第一基材上的第二基材，上述電路元件以及上述電極形成於上述第二基材，

上述半導體裝置的製造方法具有：

將在表面具有上述電路元件以及上述電極的半導體薄膜隔著剝離層形成於化合物半導體基材的步驟；

通過蝕刻除去上述剝離層而將上述半導體薄膜從上述化合物半導體基材剝離的步驟；

將構成上述第二基材的上述半導體薄膜接合在構成上述第一基材的元素半導體基材上的既定位置的步驟；以及

形成外部連接用的導體突起部的步驟，其中上述外部連接用的導體突起部設置在上述第二基材上，並與上述電路元件或者上述電極連接。

[發明功效]

【0010】 根據本發明，散熱性較高，藉此可獲得小型並且高輸出的半導體裝置、或者高輸出並且小尺寸的二極管裝置。

【圖式簡單說明】

【0011】 [圖1]是第一實施方式的半導體裝置110的剖視圖。

[圖2]的(A)、圖2的(B)是表示半導體裝置110針對構裝基板的構裝結構的剖視圖。

[圖3]的(A)是表示半導體裝置110的散熱路徑的剖視圖，圖3的(B)是表示比較例的二極管裝置的散熱路徑的剖視圖。

[圖4]是表示半導體裝置110的製造方法的圖。

[圖5]是作為第一實施方式的變形例的二極管裝置111的剖視圖。

[圖6]是第二實施方式的半導體裝置120的剖視圖。

[圖7]是將半導體裝置120構裝於構裝基板90之後的剖視圖。

[圖8]的(A)、圖8的(B)是第三實施方式的半導體裝置的剖視圖。

[圖9]是第三實施方式的其它半導體裝置的剖視圖。

[圖10]是第四實施方式的半導體裝置140的俯視圖。

[圖11]的(A)是圖10中的A-A部分的剖視圖，圖11的(B)是圖10中的B-B部分的剖視圖。

[圖12]是第五實施方式的半導體裝置的製造方法的各步驟中的立體圖。

[圖13]是在半導體薄膜片轉印後，通過針對第一基材10的處理形成的半導體裝置的局部剖視圖。

[圖14]是第六實施方式的半導體裝置160的剖視圖。

[圖15]的(A)、圖15的(B)是表示半導體裝置160的構裝結構的剖視圖。

[圖16]是第七實施方式的半導體裝置170的剖視圖。

[圖17]是作為比較例的將半導體裝置構裝於構裝基板的狀態下的剖視圖。

【實施方式】

【0012】 以下，參照圖式舉出一些具體的例子，示出用於實施本發明的多個方式。在各圖中在相同位置標註有相同符號。考慮到要點的說明或者理解的容易性，為了便於實施方式的說明，分為多個實施方式來表示，但能夠進行在不同的實施方式中示出的結構的局部置換或者組合。在第二實施方式以後，省略有關與第一實施方式共用的事項的描述，僅對不同點進行說明。特別是，對於由相同的結構起到的相同的作用效果不在每個實施方式中依次提及。

【0013】 《第一實施方式》

圖1是第一實施方式的半導體裝置110的剖視圖。該半導體裝置110具備基板1、與設置在該基板1上的第二基材側電極22接觸並電性連接的導體柱23、以及形成在該導體柱23上的焊料層24。該導體柱23以及焊料層24構成導體柱凸塊PB。

【0014】 基板1包含第一基材10、和配置在該第一基材10上的第二基材20。在第二基材20形成有多個電路元件21以及對該多個電路元件21施加動作電壓或者通電動作電流的電極。第二基材20如後面所示通過其他步驟來形成，上述電路元件形成在其外延層上。外延層例如約為 $3\mu\text{m}$ ，上述電極（佈線層）約為 $10\mu\text{m}$ 。在圖1中，電路元件21部所示的突起是與電路元件導通的電極。

【0015】 另外，在本實施方式中，半導體裝置110在第一基材10的表面，在不與第二基材20重疊的位置形成有第一基材側電極12。而且，半導體裝置110具備與第一基材側電極12連接的導體柱13、和形成在該導體柱13上的焊料層14。

該導體柱13以及焊料層14構成導體柱凸塊PB。

【0016】 上述導體柱凸塊PB相當於本發明的外部連接用的“導體突起部”。

【0017】 在本例中，第一基材10是包含GaAs、AlAs、InAs、InP、GaP、InSb、GaN、InN、AlN、Si、Ge、SiC、Ga₂O₃、DLC（Diamond-Like Carbon：類鑽碳）、Graphite、Diamond、Glass、Sapphire、Al₂O₃中的任意一個的材料或者由這些材料中的多個材料構成的多組分混合晶體材料。另外，第二基材20是包含GaAs、AlAs、InAs、InP、GaP、InSb、GaN、InN、AlN、SiGe、SiC、Ga₂O₃、GaBi中的任意一個的材料或者由這些材料中的多個材料構成的多組分混合晶體材料。但是，為第一基材10選定的材料和為第二基材20選定的材料不同，第一基材10和第二基材20的製造步驟不同。基本上，第二基材20例如為可獲得放大率、截止頻率等既定的電特性的材料，另外，第一基材10選定為熱傳導率比第二基材20高的關係。這些在以下所示的其它的實施方式中也相同。

【0018】 在本實施方式中，第一基材10是Si基材，第二基材20是GaAs基材。Si基材的熱傳導率為156，GaAs基材的熱傳導率為46。上述電路元件21例如是由多個單位電晶體並聯連接而成的異質接面雙極電晶體（HBT），通過針對第二基材20亦即GaAs基材的步驟而形成。上述導體柱凸塊PB與多個單位電晶體的射極電性連接。多個單位電晶體在第一方向（圖1中的左右方向）上排列，導體柱凸塊PB沿第一方向延伸而配置。

【0019】 第二基材20經由接合層11與第一基材10接合。接合層11例如為Au膜。

【0020】 上述導體柱13、23是Cu鍍膜，焊料層14、24是SnAg合金的膜。

【0021】 圖2的（A）、圖2的（B）是表示上述半導體裝置110相對於構裝基板的構裝結構的剖視圖。圖2的（A）是對構裝基板90構裝半導體裝置110的前階

段的剖視圖，圖2的（B）是將半導體裝置110構裝於構裝基板90之後的剖視圖。

【0022】 在構裝基板90形成有構裝基板側電極91、92。半導體裝置110通過將其焊料層14、24與構裝基板側電極91、92對準並加熱加壓，如圖2的（B）所示，半導體裝置110的焊料層14、24與構裝基板側電極91、92連接。

【0023】 在這裡，示出作為比較例的半導體裝置的結構。圖17是將作為比較例的半導體裝置構裝於構裝基板的狀態下的剖視圖。該比較例的半導體裝置在GaAs基板30上形成有電路元件。在GaAs基板30的表面形成有電極32、42，並在電極42上形成有導體柱43以及焊料層44，並在電極32上形成有導體柱33以及焊料層34。而且，該半導體裝置的焊料層34、44與構裝基板側電極91、92分別連接。

【0024】 此外，如圖1所示，焊料層24和焊料層14的高度相差第二基材20的厚度的量，該程度的高度的差異被焊料層14、24吸收。

【0025】 參照圖3的（A）、圖3的（B），對上述比較例的半導體裝置和第一實施方式的半導體裝置110的散熱性進行說明。

【0026】 在作為比較例的半導體裝置中，如圖3的（B）所示，如用虛線的箭頭表示的那樣，在電路元件中產生的熱經由電極42、導體柱43、焊料層44散熱（排熱）至構裝基板側電極92以及構裝基板90。

【0027】 另一方面，在本實施方式的半導體裝置110中，如圖3的（A）所示，如用虛線的箭頭表示的那樣，經由3個熱傳導路徑來散熱。第一熱傳導路徑是將電路元件產生的熱經由第二基材側電極22、導體柱23、焊料層24而散熱（排熱）至構裝基板側電極92以及構裝基板90的路徑。第二熱傳導路徑是將電路元件產生的熱散熱（排熱）至第一基材10的路徑。第一基材10是Si基材，其熱傳導率為156[W/cm K]，GaAs基板30的熱傳導率為46[W/cm K]，第一基材10的熱傳導率比第二基材20的熱傳導率高。因此，第一基材10作為高效率的熱放射體發揮作

用。第三熱傳導路徑是將在電路元件中產生的熱經由第一基材10、第一基材側電極12、導體柱13、焊料層14而散熱（排熱）至構裝基板側電極91以及構裝基板90的路徑。像這樣由於第一基材10作為熱傳導路徑發揮作用，所以導體柱13、焊料層14以及構裝基板側電極91也作為熱傳導路徑發揮作用。

【0028】 像這樣構成的本實施方式的半導體裝置110起到如下的效果。

【0029】 首先，通過形成3個散熱路徑來獲得較高的散熱性。如此，被上述HBT的自發熱限制的RF特性（輸出電力 P_{out} 、電力附加效率PAE）得到改善。換句話說，獲得小型並且高輸出的半導體裝置。或者，獲得高輸出並且小尺寸的半導體裝置。

【0030】 另外，第二基材是化合物半導體的基材，從而提高其電絕緣性，並且能夠設置高頻特性優異的電路。

【0031】 另外，由於第二基材20比第一基材10薄，所以可獲得第一基材10的較高的散熱效果。

【0032】 另外，由於形成於第二基材20的電路元件21是在動作時發熱的發熱體，導體柱凸塊PB設置於作為發熱體的電路元件21的附近，由導體柱凸塊構成較短的熱傳導路徑，電路元件21產生的熱經由導體柱凸塊PB高效地散熱。

【0033】 另外，由於第二基材20不從第一基材10的外邊緣突出（比第一基材10小面積），所以包含第一基材10和第二基材20的基板1整體的熱阻較低，得到來自第一基材10的較高的散熱效果。

【0034】 另外，由於在第一基材10的不與第二基材20重疊的位置的表面形成有第一基材側電極12，導體柱凸塊PB與第一基材側電極12連接，所以獲得來自與第一基材側電極12連接的導體柱凸塊PB的散熱效果。另外，經由該導體柱凸塊PB，朝向作為構裝目的地的電路基板的熱傳導效率提高，電路基板上的散熱性也提高。

【0035】 接下來，例示半導體裝置110的製造方法。圖4是表示半導體裝置110的製造方法的圖。圖4中的(1)~(7)的圖是半導體裝置110的製造中途階段中的剖視圖，(8)是完成後的半導體裝置110的剖視圖。實際的製造以晶圓(wafer)為單位來進行，但在圖4中，圖示出單一的半導體裝置。

【0036】 首先，如圖4中的(1)所示，在由Si基材構成的第一基材10的表面，使用通常的半導體步驟，形成作為接合層11的Au膜。

【0037】 接下來，如(2)所示，在接合層11上接合第二基材20。在第二基材20上已經通過其他步驟形成有電路元件以及電極。

【0038】 接下來，如(3)所示，通過通常的半導體步驟，在第二基材20上形成第二基材側電極22，另外，在接合層11上形成第一基材側電極12。

【0039】 接下來，如(4)所示，在應形成導體柱13以及焊料層14(圖1、圖2的(A))的區域形成具有開口的抗蝕劑膜85。電極12、22在抗蝕劑膜85的開口內露出。

【0040】 之後，如(5)(6)所示，在從抗蝕劑膜85的開口內露出的電極12、22上，通過電鍍法堆積導體柱13、23以及焊料層14、24。導體柱13、23由Cu形成，其厚度例如為40 μ m。像這樣，形成CPB(Copper Pillar Bump：銅柱凸塊)。焊料層14、24由SnAg合金形成，其厚度例如為30 μ m。

【0041】 之後，如(7)所示，除去抗蝕劑膜85，最後，通過進行回流處理，使焊料層14、24熔融，之後使其固化，得到(8)所示的半導體裝置110。

【0042】 根據上述製造方法，由於第二基材20是半導體薄膜，所以得到低背且散熱性較高的(熱傳導率較高的)半導體裝置。

【0043】 此外，在圖1~圖4所示的例子中，作為接合層11形成了Au膜，但例如也能夠使用Pt膜、Pd膜等其他金屬膜。較佳為該接合層11的熱傳導率比第二基材20的熱傳導率高。由此，第二基材20的熱經由接合層11高效地排熱至第一基

材10。例如，作為第二基材20的GaAs基材的熱傳導率是46[W/m K]，相對於此，Au膜的熱傳導率為319[W/m K]、Pt膜的熱傳導率為70[W/m K]、Pd膜的熱傳導率為70[W/m K]，均比第二基材20的熱傳導率高。

【0044】 另外，更佳為接合層11的彈性率比第二基材20的彈性率低。在第一基材10與第二基材20的線膨脹係數上存在差，根據溫度變化，產生由線膨脹係數的差引起的熱應力。但是，通過接合層11的彈性率比第二基材20的彈性率低，上述熱應力減少。由此，能夠確保經由接合層11的第一基材10與第二基材20的實際的接合強度。例如，GaAs基材的彈性率為85.5[GPa]，相對於此，Au膜的彈性率為78[GPa]、Al膜的彈性率為68.3[GPa]、In膜的彈性率為10.8[GPa]，均比第二基材20的彈性率低。

【0045】 在接合層11為金屬的情況下，較佳為在接合層11與第二基材20之間，形成接合層11與第二基材20的合金化層。由此，得到更高的緊貼性和更高的熱傳導作用。

【0046】 上述接合層11例如可以是由聚醯亞胺（PI）膜、聚苯并喹啉（PBO）、苯環丁烯（BCB）等有機材料構成的電介質。較佳為該接合層11的介電常數比第二基材20的介電常數低。作為形成於第二基材20的電路元件的高頻特性，具有高頻信號的傳送損失特性，若接合層11的介電常數比第二基材20的介電常數高，則根據接合層11的接近，電路元件的高頻信號的傳送損失特性降低。若接合層11的介電常數比第二基材20的介電常數低，則避免該傳送損失特性的降低。例如，作為第二基材20的GaAs基材的相對介電常數為12.9，相對於此，聚醯亞胺（PI）的介電常數為3.3、聚苯并喹啉（PBO）的介電常數為2.9、苯環丁烯（BCB）的介電常數為2.7，均比第二基材20的介電常數低。

【0047】 此外，較佳為接合層11的介電損耗正切(dielectric loss tangent)比第二基材20的介電損耗正切小。若接合層11的介電損耗正切較大，則接合層11的

高頻損失增大。若接合層11的介電損耗正切比第二基材20的介電損耗正切小，則避免該高頻損失的增加。例如，作為第二基材20的GaAs基材的介電損耗正切為0.3，相對於此，聚醯亞胺（PI）的介電損耗正切為0.0020、聚苯并噁唑（PBO）的介電損耗正切為0.0100、苯環丁烯（BCB）的介電損耗正切為0.0008，均比第二基材20的介電損耗正切小。

【0048】 另外，在接合層11為有機材料的情況下，也較佳於接合層11的彈性率比第二基材20的彈性率低。由此，能夠確保經由接合層11的第一基材10與第二基材20的實際的接合強度。例如，GaAs基材的彈性率為85.5[GPa]，相對於此，聚醯亞胺（PI）的彈性率為2.5、聚苯并噁唑（PBO）的彈性率為2.8、苯環丁烯（BCB）的彈性率為2.1，均比第二基材20的彈性率低。

【0049】 進一步，上述接合層11可以是AlN、SiC、鑽石等絕緣體。較佳為該接合層11的電阻率比第一基材10的電阻率高。若接合層11的電阻率比第一基材10的電阻率高，則可抑制在接合層11以及第一基材10中流動的感應電流、渦流，所以能夠維持形成於第二基材20的電路元件的良好的高頻特性。

【0050】 另外，在接合層11為絕緣體的情況下，也佳於接合層11的熱傳導率比第一基材10的熱傳導率高。由此，第二基材20的熱經由接合層11高效地排熱至第一基材10。例如，作為第一基材10的Si基材的熱傳導率為156[W/cm K]，相對於此，AlN膜的熱傳導率為170[W/cm K]、SiC膜的熱傳導率為270[W/cm K]、鑽石膜的熱傳導率為2000[W/cm K]，均比第一基材10的熱傳導率高。

【0051】 接下來，示出第一實施方式的變形例。圖5是作為該變形例的半導體裝置111的剖視圖。該半導體裝置111不具備圖1所示的接合層11。第二基材20與第一基材10直接接合。該接合基於凡得瓦鍵(Van der Waals bond)或者氫鍵。此外，也可以通過靜電力、共價鍵、共晶合金鍵等接合。

【0052】 第一基材側電極12直接形成於第一基材10的上表面，並在該第一

基材側電極12上，形成有由導體柱13以及焊料層14構成的導體柱凸塊PB。

【0053】 像這樣，也可以將第二基材20不經由接合層接合於第一基材10。

【0054】 《第二實施方式》

在第二實施方式中，示出導體突起部的結構與第一實施方式不同的半導體裝置。

【0055】 圖6是第二實施方式的半導體裝置120的剖視圖。與圖1所示的例子不同，不具備第一基材側電極12、以及與該第一基材側電極12連接的外部連接用的導體突起部（導體柱13以及焊料層14）。

【0056】 圖7是將半導體裝置120構裝於構裝基板90之後的剖視圖。在構裝基板90上，形成有構裝基板側電極92。半導體裝置120通過將其導體柱凸塊PB與構裝基板側電極92對準，並加熱加壓，從而焊料層24與構裝基板側電極92連接。

【0057】 即使是這樣的結構，也如圖中的虛線的箭頭表示的那樣，從發熱部向兩個方向散熱（排熱）。

【0058】 《第三實施方式》

在第三實施方式中，例示具備平坦化樹脂層的幾個半導體裝置。

【0059】 圖8的(A)、圖8的(B)是第三實施方式的半導體裝置130A、130B的剖視圖。這些半導體裝置130A、130B具備第一基材10、和配置在該第一基材10上的第二基材20。第二基材20具備化合物半導體的半導體基材20N和形成於其表面的外延層20D。在外延層20D上形成有多個電路元件21。

【0060】 在外延層20D的上表面，形成有與電路元件21導通的第二基材側電極22。在第一基材10以及第二基材20的表面形成有平坦化樹脂層15。在第二基材側電極22的上部，形成有基於導體柱23以及焊料層24的導體柱凸塊PB。

【0061】 在圖8的(B)所示的例子中，在第一基材10的上表面形成有接合層11，第二基材20經由接合層11與第一基材10接合。

【0062】 圖9是第三實施方式的其它半導體裝置131的剖視圖。該半導體裝置131具備第一基材10、和配置在該第一基材10上的第二基材20。在第二基材20上構成有多個電路元件。在第一基材10的上表面形成有接合層11。在接合層11以及第二基材20的表面形成有平坦化樹脂層15。在第一基材側電極12的上部，形成有由導體柱13以及焊料層14構成的導體柱凸塊PB。

【0063】 上述平坦化樹脂例如是聚醯亞胺（PI）膜、聚苯并噁唑（PBO）、苯環丁烯（BCB）等。像這樣，通過在第一基材10以及第二基材20的表面形成平坦化樹脂層15，從而容易形成相對較厚的導體柱23以及焊料層24。另外，第一基材10以及第二基材20的表面被重新鈍化。

【0064】 《第四實施方式》

在第四實施方式中，例示在多個位置具備外部連接用的導體突起的一個半導體裝置。

【0065】 圖10是第四實施方式的半導體裝置140的俯視圖。另外，圖11的（A）是圖10中的A—A部分的剖視圖，圖11的（B）是圖10中的B—B部分的剖視圖。

【0066】 本實施方式的半導體裝置140在多個導體柱上形成有焊料層14、24。如圖10、圖11的（A）所示，在半導體裝置140的既定位置，形成有由多個單位電晶體分別排列在圖10中的左右方向上且並聯連接的異質接面雙極電晶體（HBT）51A、51B。在該HBT51A、51B的上部形成有基於導體柱23以及焊料層24的導體柱凸塊PB。該HBT51A、51B、導體柱23以及焊料層24的結構如在第一實施方式中所示。

【0067】 在2個HBT51A、51B的兩側，形成有基於導體柱13以及焊料層14的導體柱凸塊PB。

【0068】 如圖10所示，上述導體柱凸塊PB也形成於A—A剖面以外的部

分。這些導體柱凸塊PB配置於上述HBT51A、51B的附近。通過該結構，HBT51A、51B產生的熱被高效地散熱。

【0069】 在半導體裝置140，除了上述HBT51A、51B以外，還通過由螺旋狀導體圖案構成的電感器、由隔著電介質層對置的電極構成的電容器以及由電阻器膜的圖案構成的電阻元件等構成LCR電路。

【0070】 如圖10以及圖11的（B）所示，在第一基材10的表面形成有接合層11，在該接合層11的表面的既定位置形成有絕緣體層16。在該絕緣體層16的表面形成有螺旋電感器52。在該螺旋電感器52的鄰接位置，形成有由導體柱13以及焊料層14構成的導體柱凸塊PB。另外，在圖10、圖11的（B）所示的半導體裝置140的既定位置，形成有MIMC（Metal-Insulator-Metal-Capacitor：金屬-絕緣體-金屬電容器）53。而且，在該MIMC53的鄰接位置，形成有基於導體柱13以及焊料層14的導體柱凸塊PB。

【0071】 《第五實施方式》

在第五實施方式中，示出第二基材的製造方法、以及針對第一基材的第二基材的接合方法。

【0072】 圖12是第五實施方式的各步驟中的立體圖。實際的製造以晶圓為單位來進行，但在圖12中，圖示出單一的半導體裝置。

【0073】 如圖12中（1）所示，首先，在作為化合物半導體基材的母基板200形成剝離層29，並在該剝離層29的上部通過外延生長法形成半導體薄膜，並在該半導體薄膜，形成多個電路元件以及與該電路元件連接的電極。該部分是後面的第二基材20。

【0074】 接下來，如（2）所示，通過進行選擇性地僅蝕刻剝離層29的處理，將第二基材20（半導體薄膜片）從母基板200剝離。

【0075】 如（3）所示，通過單獨步驟，在第一基材10形成接合層11，如

(4) 所示，通過將第二基材20加壓並緊貼於接合層11表面，將第二基材20接合（結合）於第一基材10。換句話說，將半導體薄膜片從母基板200轉印至第一基材10。例如，接合層11的Au通過擴散至第二基材的GaAs並共晶化而接合。

【0076】 向上述第二基材20的電路元件以及電極的形成不光是（1）所示的階段，也可以如（4）所示，在將第二基材20與第一基材10接合之後，通過針對第二基材20的步驟（光刻/蝕刻步驟）來進行。

【0077】 上述半導體薄膜片的剝離以及轉印的方法能夠應用在專利第5132725號中公開的方法。換句話說，如圖12中（2）所示，在將第二基材20（半導體薄膜片）從母基板200剝離時，在第二基材20被支承體支承的狀態下，從母基板200剝離。另外，如圖12中（3）所示，在將第二基材20向第一基材10接合時，在被上述支承體支承的狀態下進行。在圖12中的（2）、（3）中，為了第二基材20的明確表示，省略了支承體的圖示。

【0078】 圖13是在轉印上述半導體薄膜片之後，通過針對第一基材10的處理而形成的半導體裝置的局部剖視圖。第二基材20具備半導體基材20N、和形成於其表面的作為雙極電晶體的電路元件21。在第二基材20的上部形成有第二基材側電極22。在本例中，第二基材側電極22是射極佈線。在第一基材的接合層11以及第二基材20的表面形成有平坦化樹脂層15。

【0079】 在作為上述射極佈線的第二基材側電極22，形成有由導體柱23以及焊料層24構成的導體柱凸塊PB。

【0080】 半導體基材20N、外延層20D的厚度均為數 μm 。例如，半導體基材20N為 $1\mu\text{m}$ ，外延層20D為 $3\mu\text{m}$ 。以往，在引線鍵合至化合物半導體元件的情況下，作為半導體基材20N以及外延層20D的總厚度需要 $75\mu\text{m}$ 以上，但在本實施方式中，由於附加在第一基材10的上部的第二基材20的厚度僅為數 μm ，所以能夠構成整體上非常薄型（低背）的半導體裝置。

【0081】 《第六實施方式》

在第六實施方式中，示出在接合第一基材10和第二基材20的接合層的結構上具有特徵的半導體裝置。

【0082】 圖14是第六實施方式的半導體裝置160的剖視圖。該半導體裝置160具備第一基材10、和配置在該第一基材10上的第二基材20。第二基材20具備化合物半導體的半導體基材和形成於其表面的外延層，並在外延層形成有多個電路元件21。在本例中，第一基材10是Si基材，第二基材20是GaAs基材。

【0083】 在第一基材10與第二基材20之間設置有接合層19。換句話說，第一基材10與第二基材20經由接合層19接合。在接合層19的表面形成有第一基材側電極12。在第二基材20的表面形成有第二基材側電極22。在第一基材10以及第二基材20的表面形成有平坦化樹脂層15。在第一基材側電極12的上部，形成有由導體柱13以及焊料層14構成的導體柱凸塊PB。在第二基材側電極22的上部，形成有由導體柱23以及焊料層24構成的導體柱凸塊PB。

【0084】 接合層19是包含絕緣體層17和金屬層18的複合材料層。絕緣體層17例如是SiO₂膜、SiN膜等Si化合物層、或者聚醯亞胺（PI）膜等樹脂的層。金屬層18例如是Cu膜或者Al膜。接合層19是3層結構。

該接合層19在第一基材10的表面形成有作為第一層的絕緣體層17，在該絕緣體層17的表面形成有作為第二層的金屬層18，在該金屬層18的表面形成有作為第三層的絕緣體層17。金屬層18被圖案化，並在第二基材20的附近、和第一基材側電極12的附近分別形成有金屬層18的圖案。

【0085】 像這樣，由於接合層19是包含絕緣體層17和金屬層18的複合材料層，接合層19緩和根據第一基材10與第二基材20的線膨脹係數的差異而產生的應力。第一基材10、第二基材20以及接合層19的線膨脹係數如下。例如，作為第一基材10的Si基材的線膨脹係數為2.60[ppm/°C]，作為第二基材20的GaAs基材的

線膨脹係數為 $5.73[\text{ppm}/^{\circ}\text{C}]$ ，相對於此，基於氮氧化矽膜（TEOS）的 SiO_2 膜的線膨脹係數為 $0.57[\text{ppm}/^{\circ}\text{C}]$ ， SiN 膜的線膨脹係數為 $2.30[\text{ppm}/^{\circ}\text{C}]$ ，線膨脹係數比第一基材10、第二基材20低。另外，作為金屬層18的 Cu 膜的線膨脹係數為 $17.0[\text{ppm}/^{\circ}\text{C}]$ ，線膨脹係數比第一基材10、第二基材20高。因此，接合層19的線膨脹係數為第一基材10的線膨脹係數與第二基材20的線膨脹係數的中間的值，第二基材20與第一基材10的界面處的應力被緩和。

【0086】 若絕緣體層17為 SiO_2 膜、 SiN 膜等 Si 化合物層，則易於對第一基材10形成絕緣體層17，並且能夠提高第一基材10與絕緣體層17的接合強度。

【0087】 也可以絕緣體層17中的僅最上層為樹脂層。像這樣，在絕緣體層17的至少一部分為基於樹脂膜的層的情況下，不論上述線膨脹係數的大小關係如何，上述應力都會被絕緣體層17的柔軟性吸收。另外，在接合層19內的金屬層18與絕緣體層17之間產生的應力也能夠被絕緣體層17緩和。

【0088】 此外，第二基材20因形成於該第二基材20的電路元件21的發熱及停止而膨脹及收縮，但該膨脹及收縮比從電路元件21分離的第一基材10的膨脹及收縮還激烈。即使第一基材10、第二基材20以及接合層19的線膨脹係數不是上述關係，該傾向也相同。根據本實施方式，由於存在接合層19，從而緩和了第二基材20與第一基材10的界面處的應力。

【0089】 圖15的（A）、圖15的（B）示出半導體裝置160的構裝結構的剖視圖。圖15的（A）是將半導體裝置160構裝於構裝基板90之前階段的剖視圖，圖15的（B）是將半導體裝置160構裝於構裝基板90之後的剖視圖。

【0090】 在構裝基板90形成有構裝基板側電極91、92。半導體裝置160通過將其焊料層14、24與構裝基板側電極91、92對準，並加熱加壓，如圖15的（B）所示，半導體裝置160的焊料層14、24與構裝基板側電極91、92連接。

【0091】 像這樣，形成於第二基材側電極22的導體柱凸塊PB作為將形成

於第二基材20的電路元件21與構裝基板的電路連接的端子發揮作用。另外，形成於該第二基材側電極22的導體柱凸塊PB也作為將形成於第二基材20的電路元件21產生的熱向構裝基板散熱的散熱用的凸塊發揮作用。

【0092】 接合層19內的金屬層18提高接合層19的熱傳導性。因此，形成於第二基材20的電路元件21產生的熱也經由接合層19散熱至第一基材10。另外，由於接合層19內的金屬層18提高向接合層19的面方向（橫向）的熱傳導性，所以電路元件21產生的熱也經由第一基材側電極12的附近的金屬層18，並經由形成於第一基材側電極12的導體柱凸塊PB散熱至構裝基板90。另外，電路元件21產生的熱也經由第一基材側電極12的附近的金屬層18散熱至第一基材10。

【0093】 此外，在圖14所示的剖面上，金屬層18雖然是獨立的存在，但也可以與第一基材側電極12連接。另外，也可以與形成於第一基材10的電路連接。

【0094】 《第七實施方式》

在第七實施方式中，示出在接合第一基材10和第二基材20的接合層的結構上具有特徵的半導體裝置。

【0095】 圖16是第七實施方式的半導體裝置170的剖視圖。該半導體裝置170具備第一基材10、和配置在該第一基材10上的第二基材20。接合層19的結構與在第六實施方式中在圖14示出的例子不同。其他的結構如第六實施方式所示。

【0096】 接合層19是包含絕緣體層17和金屬層18的複合材料層。絕緣體層17例如是SiO₂膜、SiN膜等Si化合物層、或者聚醯亞胺（PI）膜等樹脂的層。金屬層18例如是Cu膜或者Al膜。接合層19是5層結構。與圖14所示的例子相同，金屬層18的圖案分別形成於第二基材20的附近、和第一基材側電極12的附近。

【0097】 接合層19通過以下的步驟而形成。

（1）在第一基材10的表面，形成作為第一層的絕緣體層17。

（2）在該絕緣體層17的表面形成作為第二層的金屬層18A。

(3) 在該金屬層18的表面形成作為第三層的絕緣體層17。

(4) 在該絕緣體層17的既定位置(下層的金屬層18A的形成位置)形成開口。

(5) 在絕緣體層17上形成金屬層18C，並且在上述開口內形成金屬層18B。

(6) 形成作為最上層的絕緣體層17。

【0098】 根據本實施方式，由於金屬層18為多層結構，所以即使加厚接合層19的厚度，也將接合層19的熱阻保持得較低。因此，電路元件21的散熱性較高。另外，由於接合層19的熱容量增大，所以即使有電路元件21的突然的發熱，其溫度上升抑制效果也較高。

【0099】 此外，與在第六實施方式中敘述的相同，金屬層18也可以與第一基材側電極12連接。另外，金屬層18也可以與形成於第一基材10的電路連接。

【0100】 對於每個實施方式的結構以及作用效果，如以上所示，若列舉在實施方式中公開的方式，則如下：

【0101】 作為本公開的一個方式的半導體裝置具備：基板1，在表面具有電路元件21以及與該電路元件連接的電極；以及外部連接用的導體柱凸塊PB，設置在該基板1上並與電極或者電路元件21連接，基板1包含第一基材10、以及配置在該第一基材10上且材料與第一基材10不同的第二基材20，電路元件21以及電極形成於第二基材20，第一基材10的熱傳導率比第二基材20的熱傳導率高。

【0102】 通過上述結構，經由導體柱凸塊PB以及第一基材10散熱。換句話說通過形成從兩個面的散熱路徑，可獲得較高的散熱性。另外，由於電路元件設置在形成於不受熱傳導率的高低限制的第三基材20的半導體區域，所以構成有效地利用第二基材20的物理特性的電路，並且可維持第一基材10的較高的散熱性。

【0103】 作為本公開的一個方式的半導體裝置，第一基材10是元素半導體

的基材，第二基材20是化合物半導體的基材。像這樣，由於第一基材10是元素半導體的基材，所以通過經由第一基材10的散熱，在整體上獲得較高的散熱性。另外，通過第二基材20是化合物半導體的基材，所以能夠提高其電絕緣性，能夠設置高頻特性優異的電路。

【0104】 作為本公開的一個方式的半導體裝置的第二基材20比第一基材10薄。由此，獲得第一基材10的較高的散熱效果。

【0105】 作為本公開的一個方式的半導體裝置的電路元件21是在動作時發熱的發熱體，導體柱凸塊PB設置在作為發熱體的電路元件21的附近。通過該結構，通過導體柱凸塊PB構成較短的熱傳導路徑，在電路元件21中產生的熱經由導體柱凸塊PB被高效地散熱。

【0106】 作為本公開的一個方式的半導體裝置的第二基材20不從第一基材10的外邊緣突出。通過該結構，包含第一基材10和第二基材20的基板的熱阻變得更低，並獲得從第一基材10的較高的散熱效果。

【0107】 作為本公開的一個方式的半導體裝置在第一基材10與第二基材20之間，具備接合第一基材10和第二基材20的接合層11，該接合層11是熱傳導率比第二基材20高的金屬。通過該結構，確保從第二基材20向第一基材10的熱傳導性，並維持第一基材10的散熱（排熱）性。另外，確保從第一基材10經由接合層11的散熱性。換句話說，從第一基材10的散熱性不會被接合層11阻礙。

【0108】 作為本公開的一個方式的半導體裝置的接合層11是金屬，並且彈性率比第二基材20低。通過該結構，能夠緩和由於第一基材10和第二基材20的線膨脹係數的差異而產生的熱應力。

【0109】 作為本公開的一個方式的半導體裝置的接合層11是金屬，並在接合層11與第一基材10之間，形成該接合層11與第一基材10的合金化層。通過該結構，獲得第一基材10與第二基材20的較高的緊貼性以及較高的熱傳導性。

【0110】 作為本公開的一個方式的半導體裝置在第一基材10與第二基材20之間具備接合層11，該接合層11是介電常數比第二基材20低的電介質。通過該結構，能夠抑制第一基材10的高頻損失，並能夠設置高頻特性優異的電路。

【0111】 作為本公開的一個方式的半導體裝置的接合層11是電介質，並且彈性率比第二基材20低。通過該結構，緩和由於第一基材10和第二基材20的線膨脹係數的差異而產生的熱應力。

【0112】 作為本公開的一個方式的半導體裝置在第一基材10與第二基材20之間具備接合層11，該接合層11是電阻率比第一基材10高的絕緣體。由此，第一基材10與第二基材20之間的電絕緣性提高，並抑制基於第一基材10的高頻損失，並能夠設置高頻特性優異的電路。

【0113】 作為本公開的一個方式的半導體裝置的接合層11的熱傳導率比第一基材10高。由此，由接合層11和第一基材10構成的部分的實效上的熱阻變低，並獲得較高的散熱性。

【0114】 作為本公開的一個方式的半導體裝置在第一基材10與第二基材20之間具備接合層19，該接合層19是包含絕緣體層17和金屬層18的複合材料層。由此，能夠緩和由於第一基材10和第二基材20的線膨脹係數的差異而產生的第一基材10與第二基材20之間的應力。另外，由於形成於第二基材20的電路元件21的發熱及停止，第二基材20的膨脹及收縮比第一基材10嚴重，但由此產生的第二基材20與第一基材10的界面處的應力被緩和。

【0115】 作為本公開的一個方式的半導體裝置的第一基材10是Si基材，接合層19內的絕緣體層17是Si化合物層。由此，易於對第一基材10形成絕緣體層17，並且能夠提高第一基材10與絕緣體層17的接合強度。

【0116】 作為本公開的一個方式的半導體裝置的絕緣體層17的至少一部分為樹脂。由此，能夠通過絕緣體層17緩和在接合層19內的金屬層18與絕緣體層

17之間產生的應力。

【0117】 作為本公開的一個方式的半導體裝置在第一基材10的不與第二基材20重疊的位置的表面形成第一基材側電極12，導體柱凸塊PB與第一基材側電極12連接。通過該結構，獲得從與第一基材側電極12連接的導體柱凸塊PB的散熱效果。另外，經由該導體柱凸塊PB，向作為構裝目的地的電路基板的熱傳導效率提高，電路基板上的散熱性也提高。

【0118】 作為本公開的一個方式的半導體裝置的製造方法，上述半導體裝置具備：基板1，在表面具有電路元件21以及與該電路元件21連接的電極；以及外部連接用的導體柱凸塊PB，設置在該基板1上並與電極或者電路元件21接觸並電性連接，基板1包含第一基材10、和配置在該第一基材10上的第二基材20，電路元件21以及電極形成於第二基材20，半導體裝置的製造方法具有：隔著剝離層29在化合物半導體的母基板200形成表面具有電路元件21以及電極的半導體薄膜的步驟；通過蝕刻除去剝離層29來將半導體薄膜從化合物半導體基材的母基板200剝離的步驟；將構成第二基材20的半導體薄膜接合在構成第一基材10的元素半導體基材亦即第一基材10上的既定位置的步驟；以及形成設置在第二基材20上，與電極或者電路元件21連接的外部連接用的導體柱凸塊PB的步驟。

【0119】 根據上述製造方法，能夠獲得小型且高輸出的半導體裝置、或者高輸出且小尺寸的半導體裝置。

【0120】 最後，上述的實施方式的說明在全部的點是例示，並不是限制性的內容。對本領域技術人員來說能夠適當地進行變形以及變更。本發明的範圍不是通過上述的實施方式來表示，而是通過申請專利範圍來表示。進一步，在本發明的範圍內，包含從與申請專利範圍均等的範圍內的實施方式的變更。

【符號說明】

【0121】

PB:導體柱凸塊

1:基板

10:第一基材

11:接合層

12:第一基材側電極15:平坦化樹脂層

16:絕緣體層

20:第二基材

20D:外延層

20N:半導體基材

21:電路元件

22:第二基材側電極

13、23:導體柱

14、24:焊料層

29:剝離層

30:GaAs基板

32、42:電極

33、43:導體柱

34、44:焊料層

51A、51B:異質接面雙極電晶體

52:螺旋電感器

53:MIMC

85:抗蝕劑膜

90:構裝基板

91、92:構裝基板側電極

110、111、120、130A、130B、131、140、160、170:半導體裝置

200:母基板

【發明申請專利範圍】

【請求項1】一種半導體裝置，具備：

基板，在表面具有電路元件以及第二基材側電極；以及

外部連接用的導體突起部，設置在上述基板上，與上述第二基材側電極接觸並電性連接，

上述基板包含：第一基材、以及配置在該第一基材上且材料與上述第一基材不同的第二基材，

上述電路元件形成於上述第二基材，上述第二基材側電極形成於上述電路元件，

上述第一基材的熱傳導率比上述第二基材的熱傳導率高，

上述第一基材是元素半導體的基材，

上述第二基材是化合物半導體的基材，

上述第二基材比上述第一基材薄，

在上述第一基材與上述第二基材之間，具備接合上述第一基材和上述第二基材的接合層，

上述接合層是介電常數比上述第二基材低的電介質。

【請求項2】一種半導體裝置，具備：

基板，在表面具有電路元件以及第二基材側電極；以及

外部連接用的導體突起部，設置在上述基板上，與上述第二基材側電極接觸並電性連接，

上述基板包含：第一基材、以及配置在該第一基材上且材料與上述第一基材不同的第二基材，

上述電路元件形成於上述第二基材，上述第二基材側電極形成於上述電路元件，

上述第一基材的熱傳導率比上述第二基材的熱傳導率高，

上述第一基材是元素半導體的基材，

上述第二基材是化合物半導體的基材，

上述第二基材比上述第一基材薄，

在上述第一基材與上述第二基材之間，具備接合上述第一基材和上述第二基材的接合層，

上述接合層是電阻率比上述第一基材高的絕緣體。

【請求項3】一種半導體裝置，具備：

基板，在表面具有電路元件以及第二基材側電極；以及

外部連接用的導體突起部，設置在上述基板上，與上述第二基材側電極接觸並電性連接，

上述基板包含：第一基材、以及配置在該第一基材上且材料與上述第一基材不同的第二基材，

上述電路元件形成於上述第二基材，上述第二基材側電極形成於上述電路元件，

上述第一基材的熱傳導率比上述第二基材的熱傳導率高，

上述第一基材是元素半導體的基材，

上述第二基材是化合物半導體的基材，

上述第二基材比上述第一基材薄，

在上述第一基材與上述第二基材之間，具備接合上述第一基材和上述第二基材的接合層，

上述接合層是包含絕緣體層和金屬層的複合材料層。

【請求項4】如請求項1~3任一項所述的半導體裝置，其中，

上述第二基材比上述第一基材小面積。

【請求項5】如請求項1~3任一項所述的半導體裝置，其中，

上述電路元件是在動作時發熱的發熱體，上述導體突起部設於作為上述發熱體的上述電路元件的附近。

【請求項6】如請求項1~3任一項所述的半導體裝置，其中，

上述第二基材不從上述第一基材的外邊緣突出。

【請求項7】如請求項6所述的半導體裝置，其中，

在上述第一基材的不與上述第二基材重疊的位置的表面形成第一基材側電極，

與上述導體突起部分開設置的、其他的外部連接用的導體突起部，與上述第一基材側電極連接。

【請求項8】如請求項1所述的半導體裝置，其中，

上述接合層的彈性率比上述第二基材的彈性率低。

【請求項9】如請求項2所述的半導體裝置，其中，

上述接合層的熱傳導率比上述第一基材的熱傳導率高。

【請求項10】如請求項3所述的半導體裝置，其中，

上述第一基材是Si基材，

上述絕緣體層是Si化合物層。

【請求項11】如請求項3所述的半導體裝置，其中，

上述絕緣體層的至少一部分是樹脂。

【發明圖式】

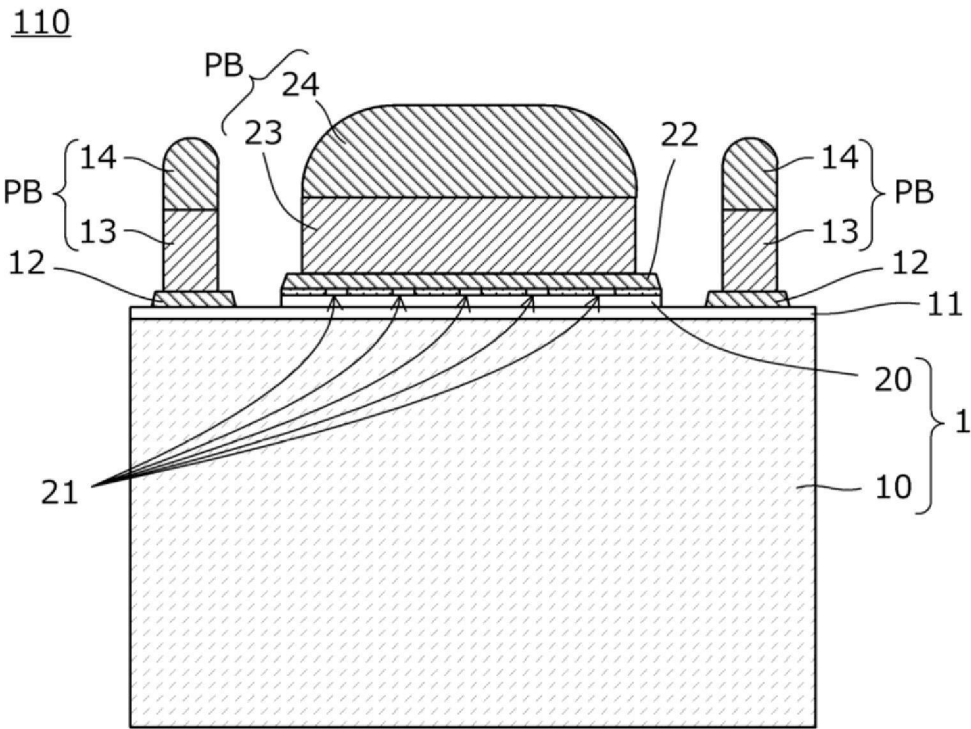


圖1

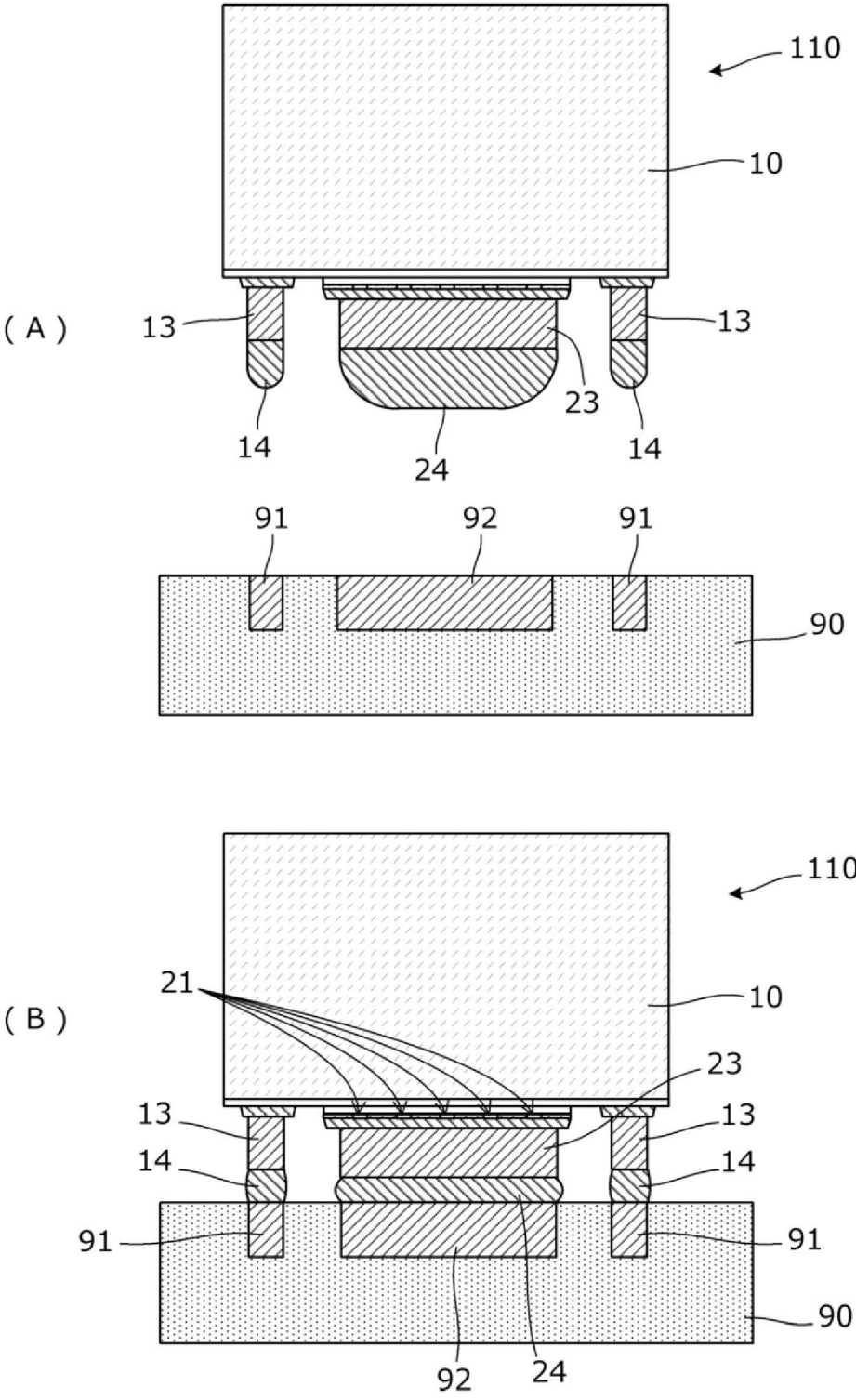
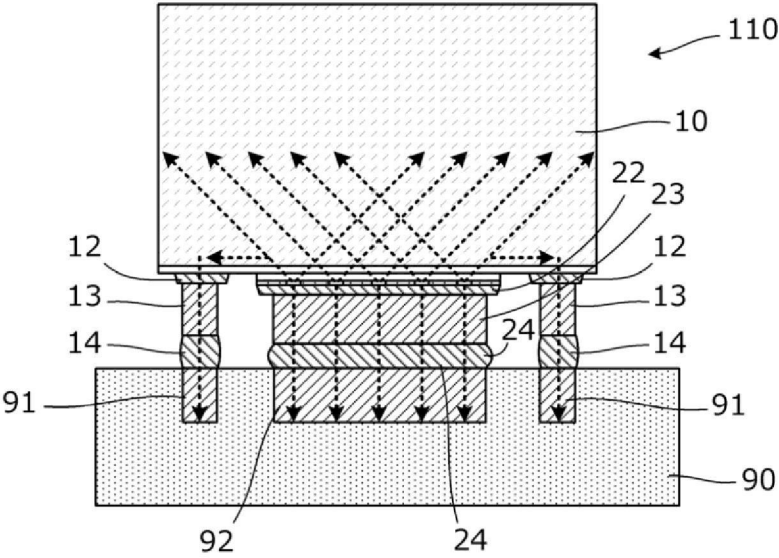


圖2

(A)



(B)

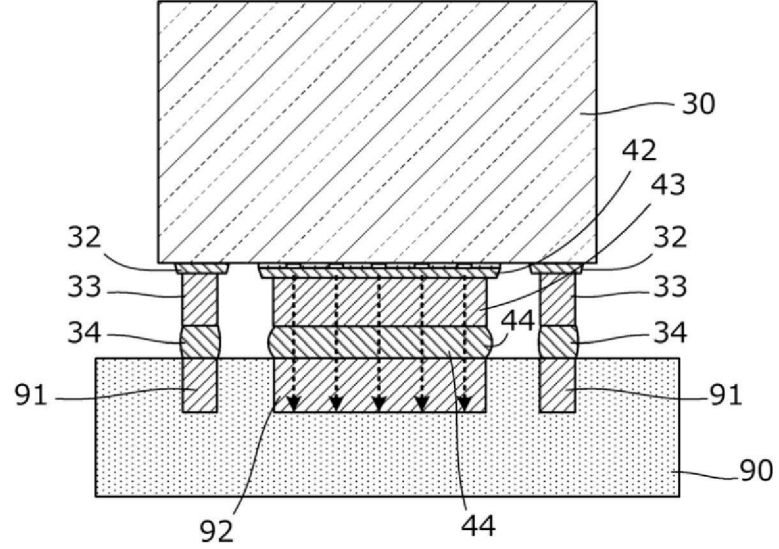


圖3

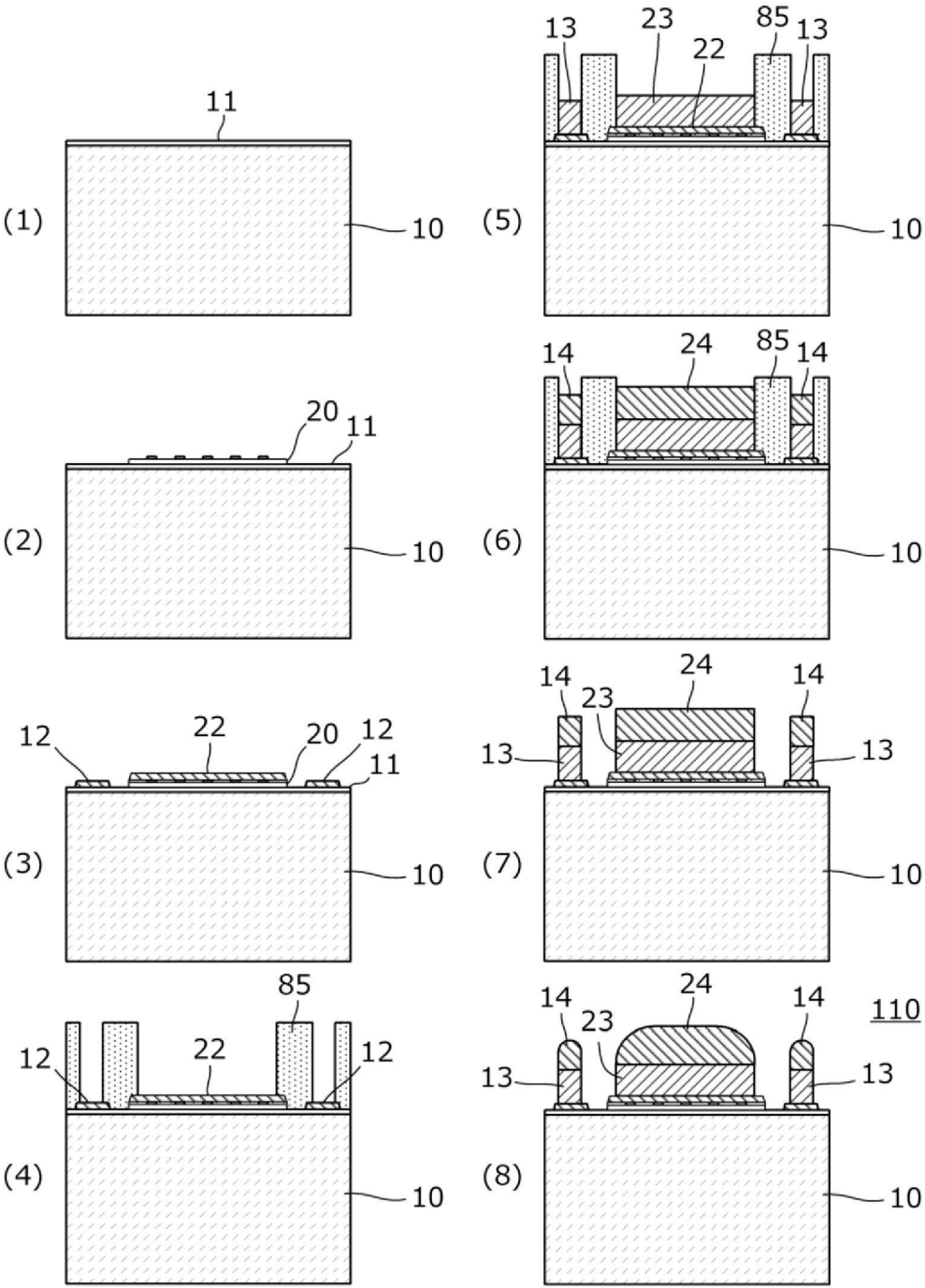


圖4

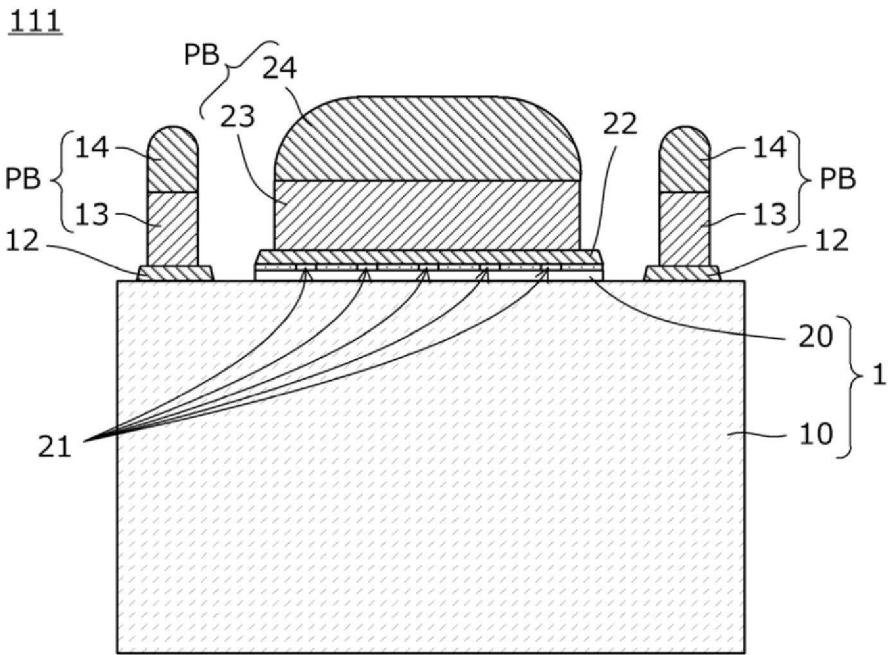


圖5

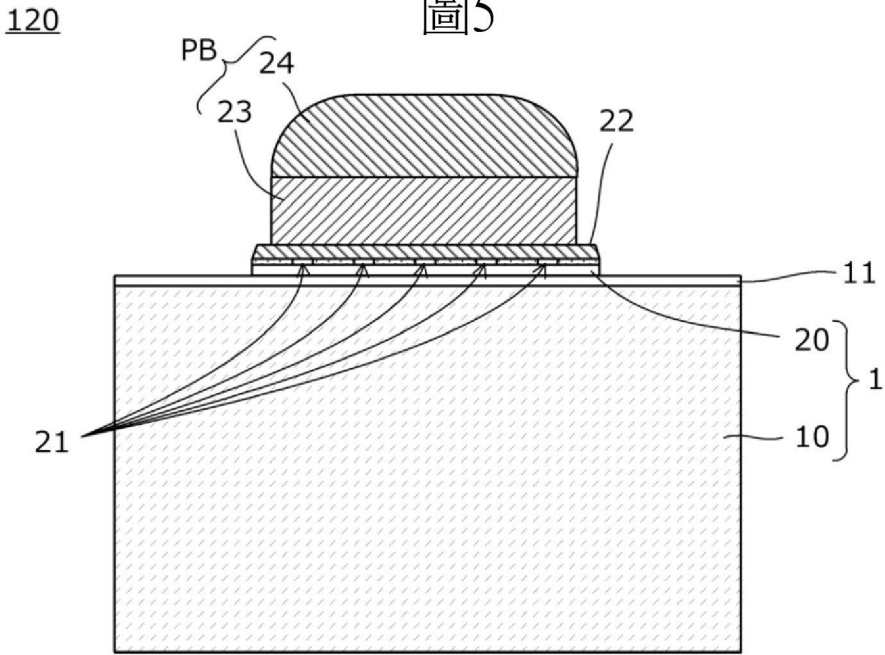


圖6

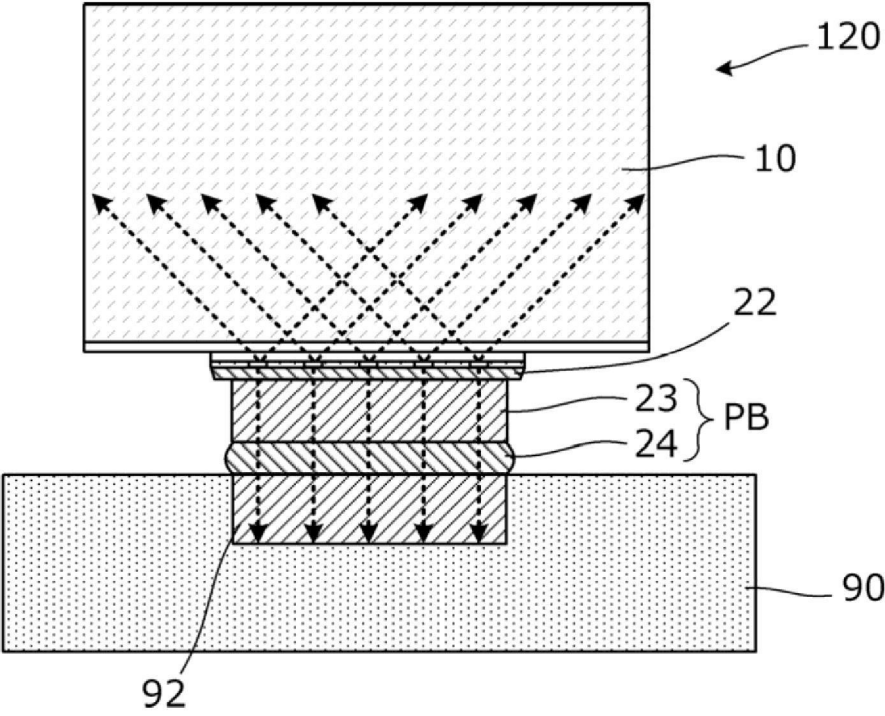


圖7

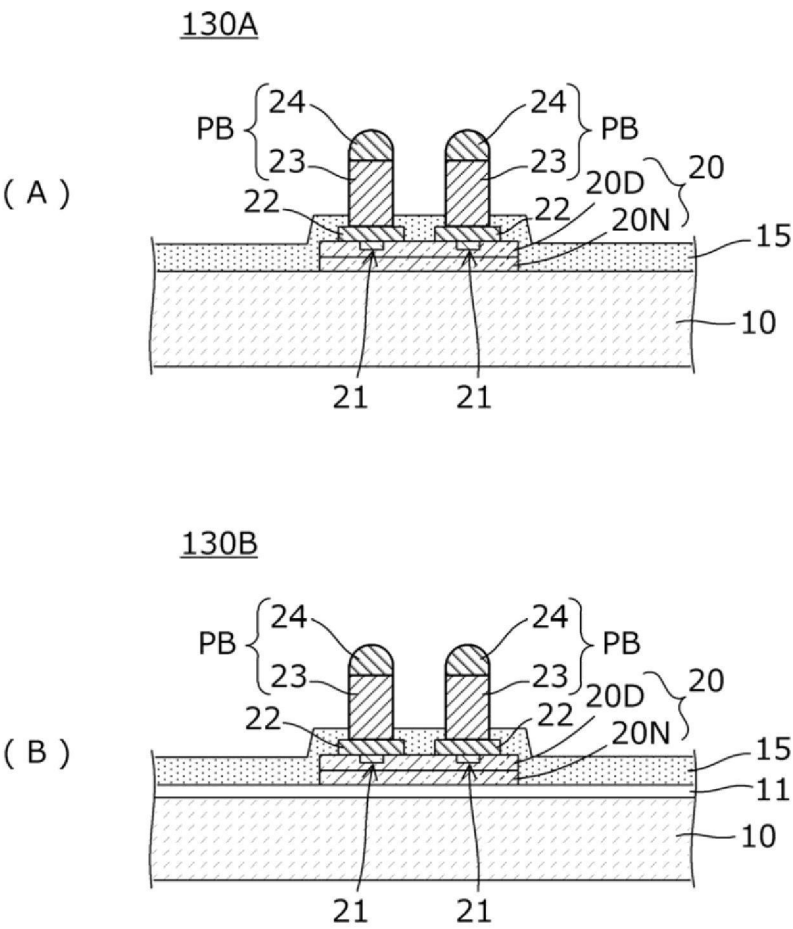


圖8

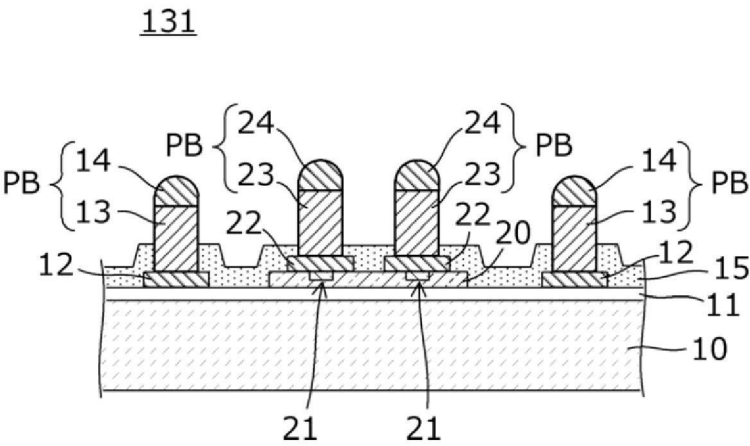


圖9

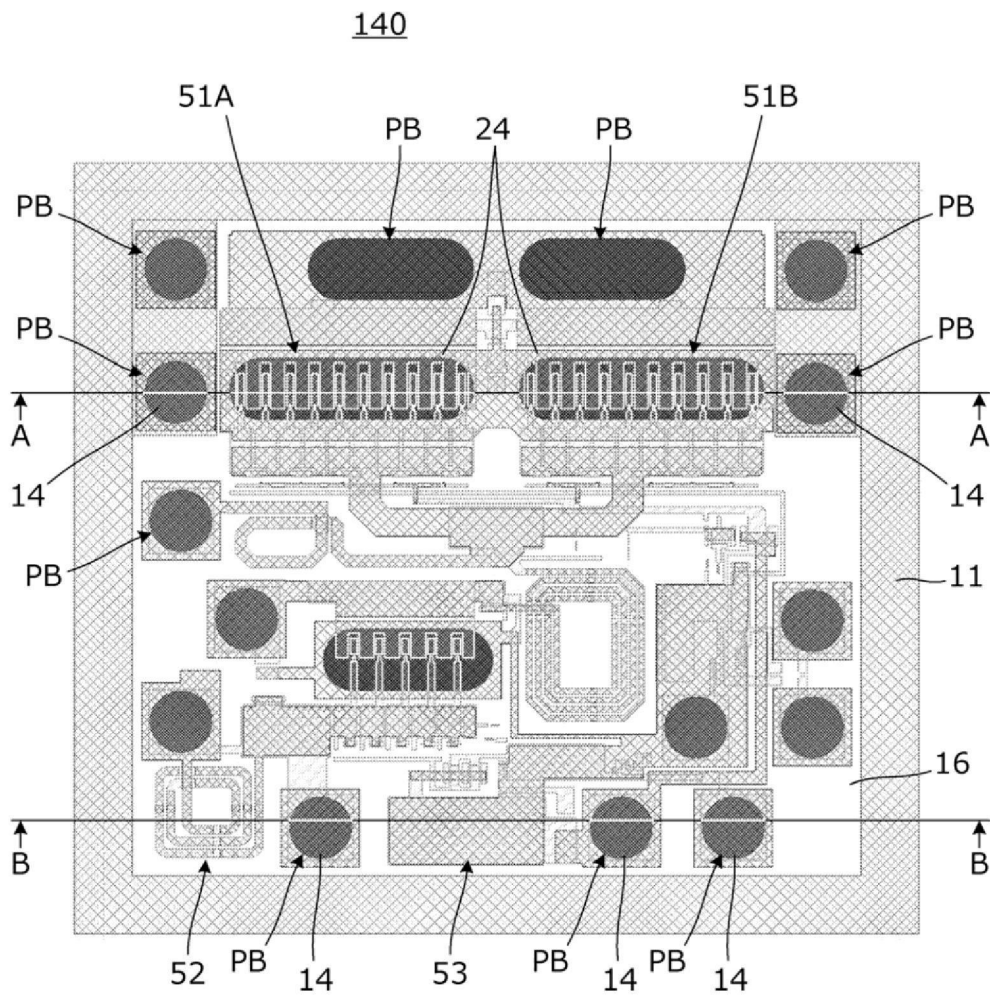


圖10

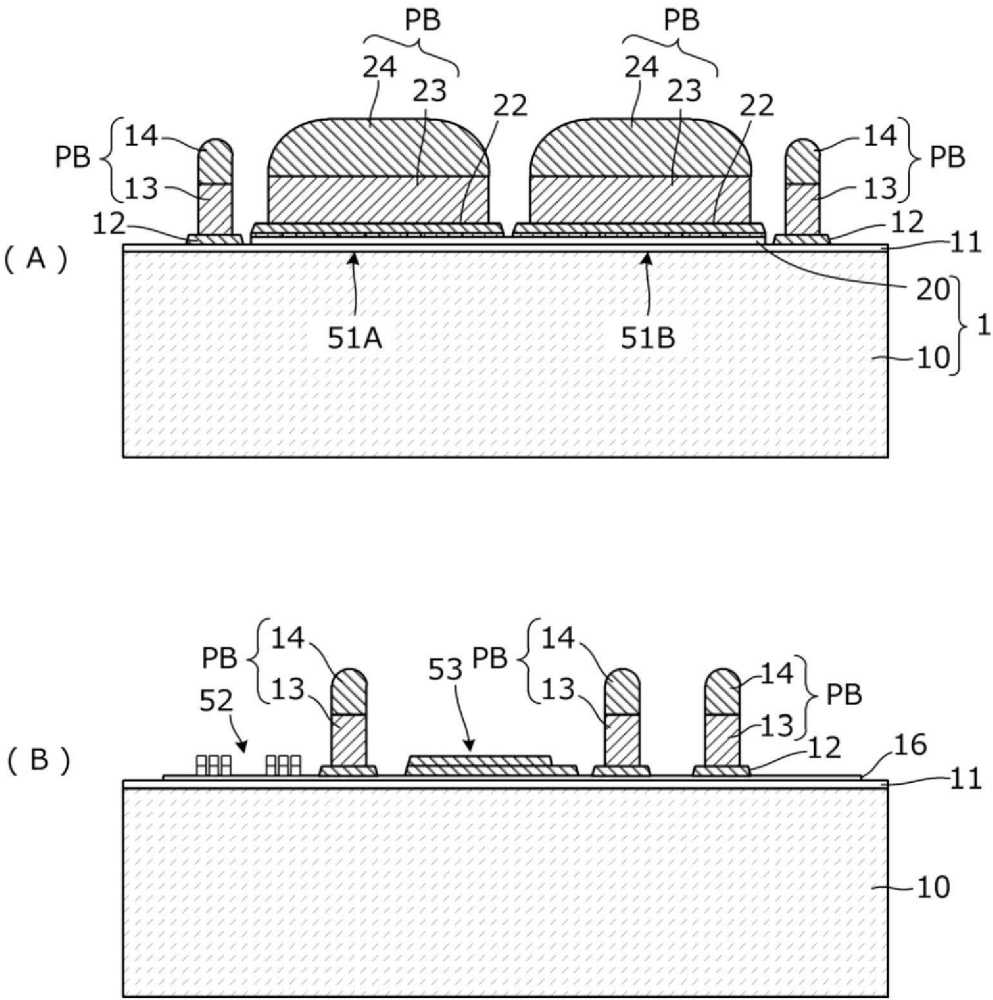


圖11

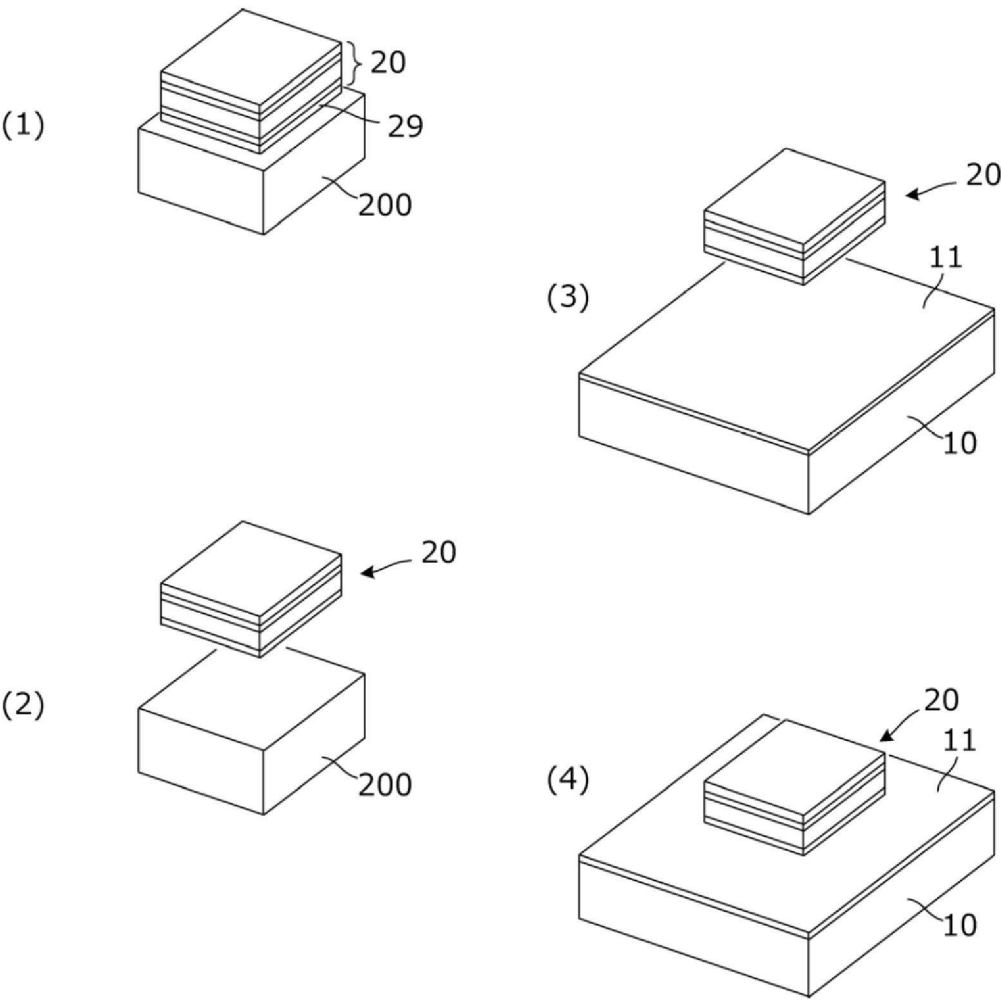


圖12

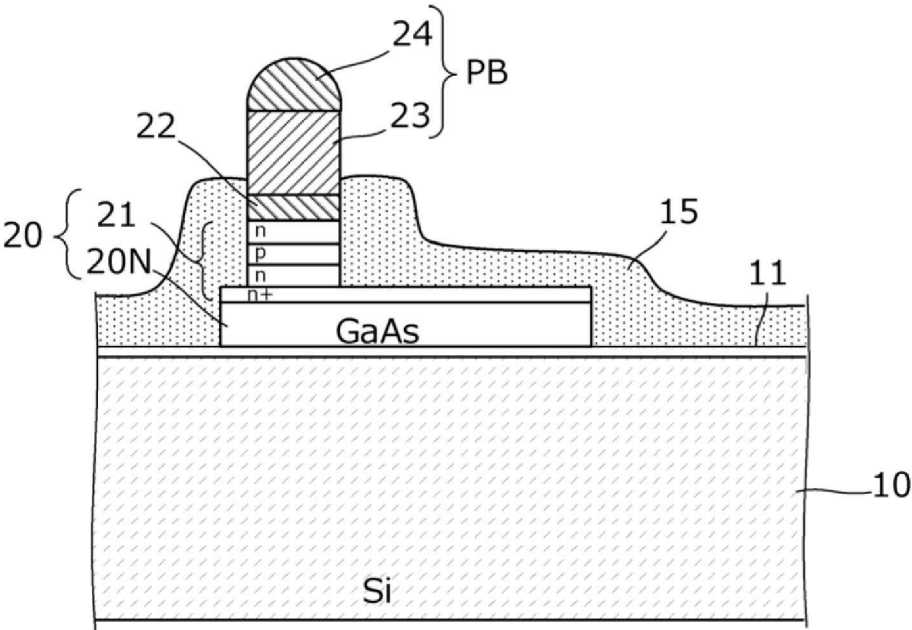


圖13

160

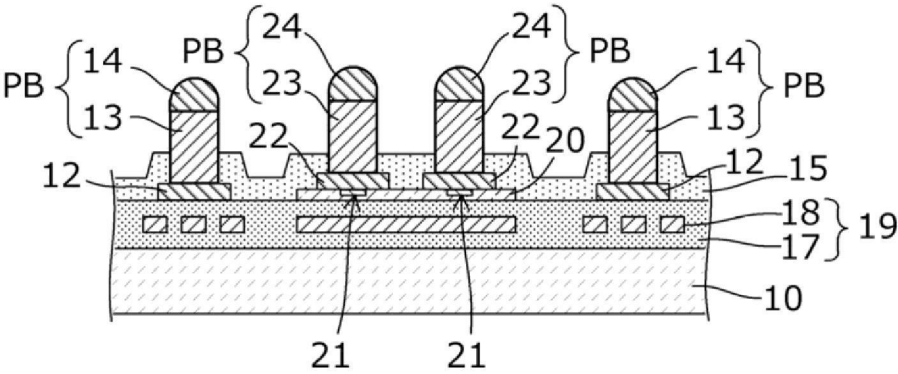


圖14

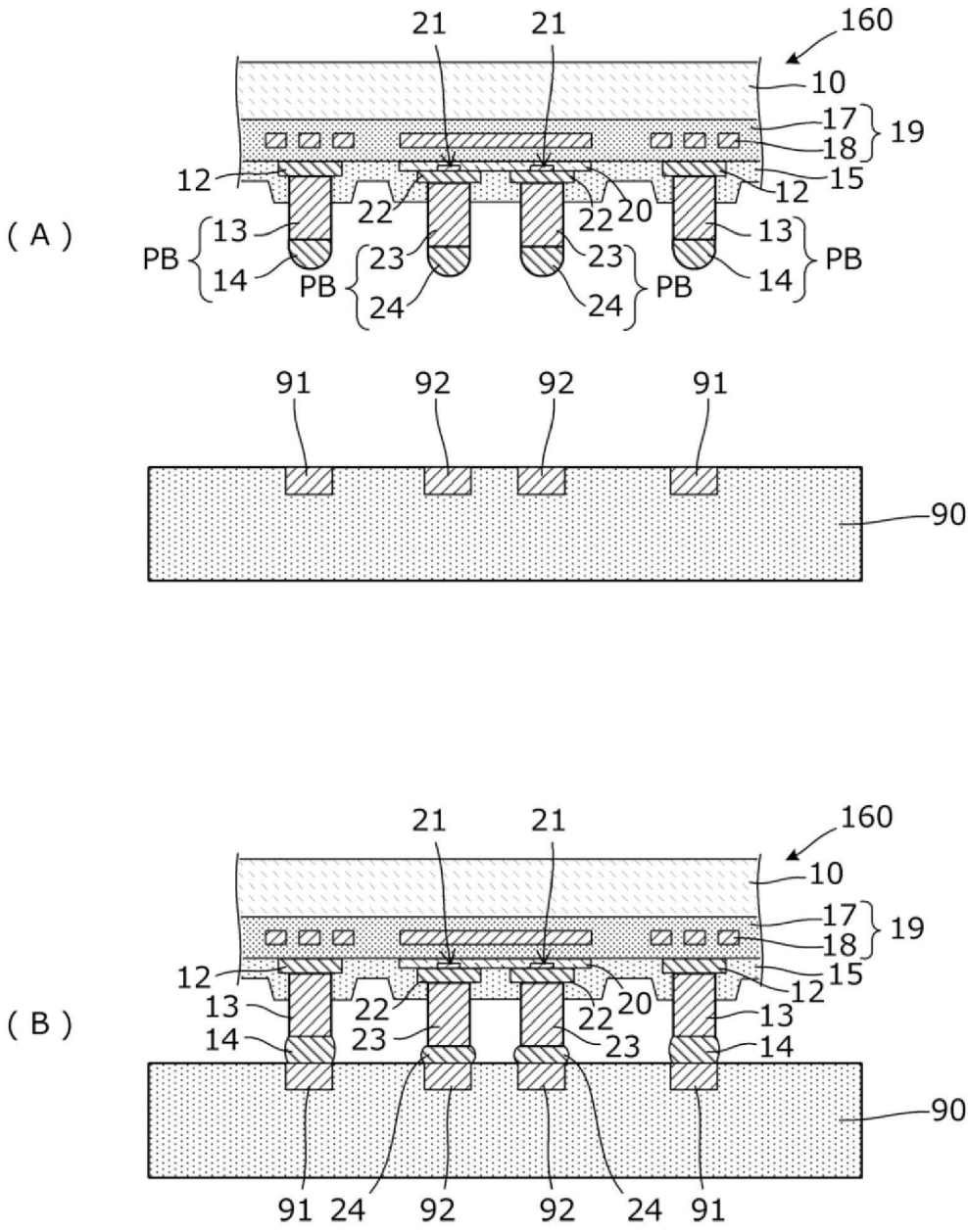


圖15

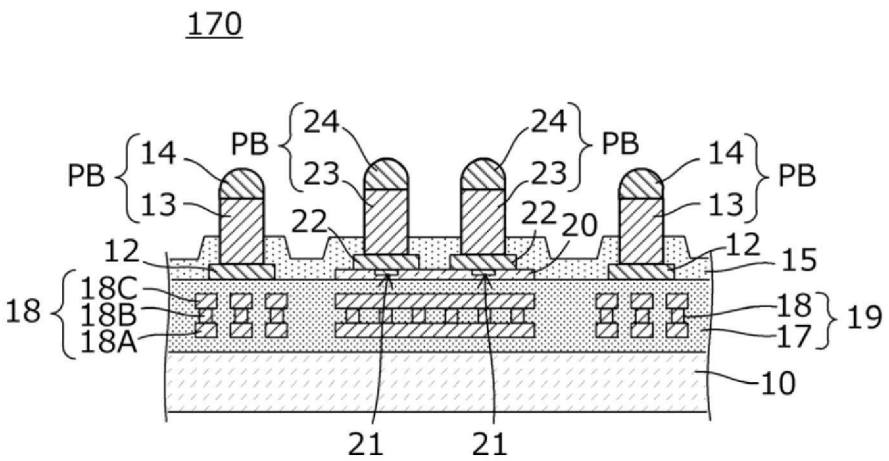


圖16

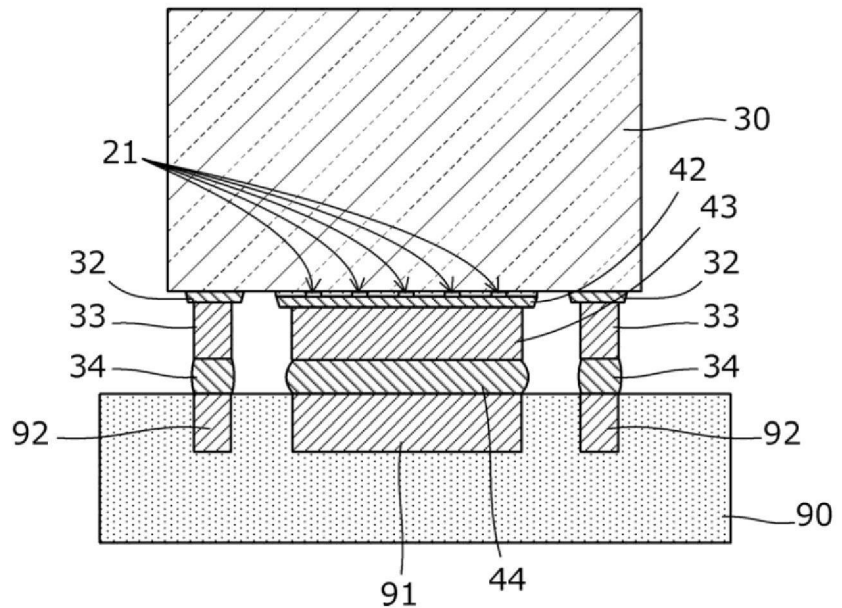


圖17