

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成30年4月12日(2018.4.12)

【公開番号】特開2018-14114(P2018-14114A)

【公開日】平成30年1月25日(2018.1.25)

【年通号数】公開・登録公報2018-003

【出願番号】特願2017-156493(P2017-156493)

【国際特許分類】

G 0 6 N 3/063 (2006.01)

【F I】

G 0 6 N 3/063

【手続補正書】

【提出日】平成30年2月28日(2018.2.28)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の取り外し可能なメモリ、第 2 の取り外し可能なメモリ、第 3 の取り外し可能なメモリを備える電気回路であって、

複数のニューロン回路及び少なくとも 1 つのシナプスを有するニューロプロセッサチップと、ここで、前記少なくとも 1 つのシナプスは、一対のニューロン回路を接続する、

前記少なくとも 1 つのシナプスの荷重 (  $w_1, \dots, w_p$  ) を格納する前記ニューロプロセッサチップに接続された前記第 1 の取り外し可能なメモリと、を備え、前記荷重 (  $w_1, \dots, w_p$  ) は、少なくとも部分的に、前記ニューロプロセッサチップの機能を定義し、

前記第 1 の取り外し可能なメモリは、前記ニューロプロセッサチップの外部にあり、かつインタフェース回路を介して前記ニューロプロセッサチップに接続され、

前記インタフェース回路は、前記ニューロプロセッサチップから前記第 1 の取り外し可能なメモリに及び前記第 1 の取り外し可能なメモリから前記ニューロプロセッサチップに前記荷重 (  $w_1, \dots, w_p$  ) を搬送し、

前記ニューロプロセッサチップによって訓練された前記荷重 (  $w_1, \dots, w_p$  ) が前記第 1 の取り外し可能なメモリに完全に格納された時点で、前記訓練された荷重 (  $w_1, \dots, w_p$  ) は、他のニューロプロセッサチップに接続された前記第 2 の他の取り外し可能なメモリ内に前記他のニューロプロセッサチップによって模写及び格納され、

前記他のニューロプロセッサチップは、少なくとも部分的に、前記他のニューロプロセッサチップによって模写及び格納された、前記訓練された荷重 (  $w_1, \dots, w_p$  ) に基づいて前記ニューロプロセッサチップの前記機能を実行し、

前記第 1 の取り外し可能なメモリは、前記第 1 の取り外し可能なメモリに格納された前記荷重 (  $w_1, \dots, w_p$  ) と異なる荷重 (  $w'_1, \dots, w'_p$  ) を格納する前記第 3 の他の取り外し可能なメモリと交換され、

前記異なる荷重 (  $w'_1, \dots, w'_p$  ) は、少なくとも部分的に、前記ニューロプロセッサチップの他の機能を定義し、

前記ニューロプロセッサチップは、前記荷重 (  $w_1, \dots, w_p$  ) の少なくとも一部を格納するためのローカルメモリを備える、電気回路。

【請求項 2】

前記第 1 の取り外し可能なメモリ、前記第 2 の取り外し可能なメモリ、前記第 3 の取り

外し可能なメモリの各々は、非揮発性メモリデバイスを備える請求項 1 に記載の電気回路。

【請求項 3】

第 1 の取り外し可能なメモリ、第 2 の取り外し可能なメモリ、第 3 の取り外し可能なメモリを用いてニューラルシステムを実装するための方法であって、

ニューロプロセッサチップに前記第 1 の取り外し可能なメモリを接続することと、

前記第 1 の取り外し可能なメモリに少なくとも 1 つのシナプスの荷重 (  $w_1, \dots, w_p$  ) を格納することと、を備え、シナプスは、ニューロプロセッサチップの複数のニューロン回路のうちの 2 つを接続し、前記荷重 (  $w_1, \dots, w_p$  ) は、少なくとも部分的に、前記ニューロプロセッサチップの機能を定義し、前記第 1 の取り外し可能なメモリは、前記ニューロプロセッサチップの外部にあり、かつインタフェース回路を介して前記ニューロプロセッサチップに接続される

前記方法は、

前記インタフェース回路を介して、前記ニューロプロセッサチップから前記第 1 の取り外し可能なメモリに、及び前記第 1 の取り外し可能なメモリから前記ニューロプロセッサチップに、前記荷重 (  $w_1, \dots, w_p$  ) を転送することと、

前記ニューロプロセッサチップによって訓練された前記荷重 (  $w_1, \dots, w_p$  ) が前記第 1 の取り外し可能なメモリに完全に格納された時点で、前記訓練された荷重 (  $w_1, \dots, w_p$  ) を、他のニューロプロセッサチップに接続された前記第 2 の他の取り外し可能なメモリ内に前記他のニューロプロセッサチップによって模写することと、をさらに備え、

前記他のニューロプロセッサチップは、少なくとも部分的に、前記他のニューロプロセッサチップによって模写及び格納された、前記訓練された荷重 (  $w_1, \dots, w_p$  ) に基づいて前記ニューロプロセッサチップの前記機能を実行し、

前記第 1 の取り外し可能なメモリに格納された前記荷重 (  $w_1, \dots, w_p$  ) と異なる荷重 (  $w'_1, \dots, w'_p$  ) を格納する前記第 3 の他の取り外し可能なメモリと前記第 1 の取り外し可能なメモリを交換することをさらに備え、前記異なる荷重 (  $w'_1, \dots, w'_p$  ) は、少なくとも部分的に、前記ニューロプロセッサチップの他の機能を定義し、

前記ニューロプロセッサチップ内のローカルメモリに前記荷重 (  $w_1, \dots, w_p$  ) の少なくとも一部を格納することをさらに備える、方法。

【請求項 4】

前記第 1 の取り外し可能なメモリ、前記第 2 の取り外し可能なメモリ、前記第 3 の取り外し可能なメモリの各々は、非揮発性メモリデバイスを備える請求項 3 に記載の方法。

【請求項 5】

実行されたときにコンピュータに、請求項 3 ~ 4 のいずれか一項に記載の方法のステップを実行させるためのコードを備える、コンピュータプログラム。