



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년03월13일
(11) 등록번호 10-2780187
(24) 등록일자 2025년03월07일

(51) 국제특허분류(Int. Cl.)

H10D 12/00 (2025.01) H10D 48/00 (2025.01)

H10D 64/66 (2025.01) H10D 64/68 (2025.01)

(52) CPC특허분류

H10D 12/211 (2025.01)

H10D 12/021 (2025.01)

(21) 출원번호 10-2023-0141535

(22) 출원일자 2023년10월20일

심사청구일자 2023년10월20일

(56) 선행기술조사문헌

KR1020160019151 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

서강대학교산학협력단

서울특별시 마포구 백범로 35 (신수동, 서강대학교)

(72) 발명자

김상완

서울특별시 용산구 서빙고로51길 64 101동 502호

고승원

서울특별시 마포구 승문16나길 11, 101호

(뒷면에 계속)

(74) 대리인

특허법인에스알비

전체 청구항 수 : 총 7 항

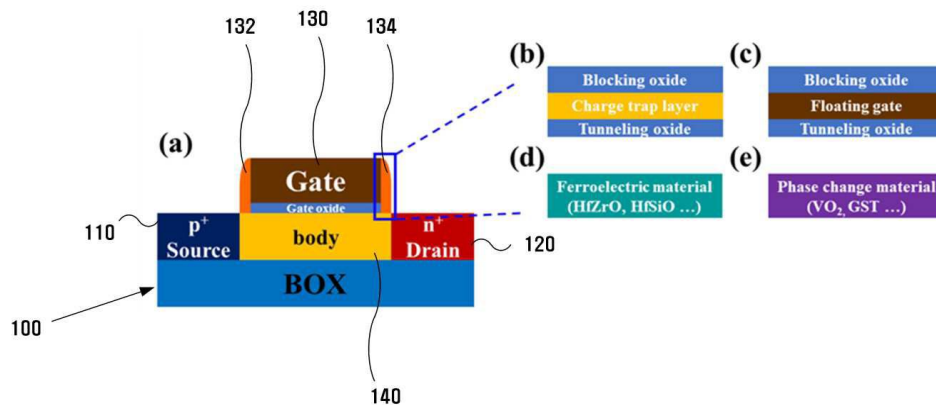
심사관 : 안경민

(54) 발명의 명칭 터널 전계효과 트랜지스터의 동작 방법

(57) 요약

본 발명에 따른 터널 전계효과 트랜지스터의 동작 방법은 드레인 영역, 소스 영역, 및 게이트 영역을 각각 포함하는 터널 전계효과 트랜지스터의 동작 방법에 있어서, 구동 전류 또는 양극성 전류의 문턱 전압을 조절하도록 상기 게이트 영역에 제1 전압을 인가하는 제1 단계, 그리고 상기 드레인 영역 또는 상기 소스 영역에 상기 제1 전압과 상이한 제2 전압을 인가하는 제2 단계를 포함하며, 상기 터널 전계효과 트랜지스터는, 상기 제1 전압 및 상기 제2 전압 차이의 극성에 따라 상기 게이트 영역의 양 측면에 형성된 제1 게이트 측벽 스페이스 또는 제2 게이트 측벽 스페이스에 전자 또는 정공이 주입될 수 있다.

대표도 - 도2



(52) CPC특허분류

H10D 64/671 (2025.01)

H10D 64/681 (2025.01)

H10D 64/689 (2025.01)

(72) 발명자

박재연

경기도 화성시 동탄중앙로 51, 625-1004

노형주

경기도 성남시 분당구 내정로 152 파크타운롯데
129동 203호

이동근

인천광역시 서구 봉오재3로 11, 407동 406호 (가정
동, 루원제일풍경채)

김성근

서울특별시 마포구 백범로37길 6, 113동 1404호

이 발명을 지원한 국가연구개발사업

과제고유번호	1711186719
과제번호	2022M3I7A1078544
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	PIM인공지능반도체핵심기술개발(소자)
연구과제명	실리콘 기반 PIM 특화 소자, 회로, 응용 기술 개발
기 여 율	1/4
과제수행기관명	서울대학교 산학협력단
연구기간	2023.01.01 ~ 2023.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711184041
과제번호	2021M3F3A2A02037889
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	차세대지능형반도체기술개발(소자)
연구과제명	수직 적층 인공지능 플랫폼을 위한 신소자 기반 초고집적 적층형 시냅스 어레이 및
CMOS 집적회로	
기 여 율	1/4
과제수행기관명	서울대학교 산학협력단
연구기간	2023.01.01 ~ 2024.03.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711179967
과제번호	2022R1A2C2092727
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)
연구과제명	채널 적층형 FeFET 기반 2F2 단일 트랜지스터 디램 셀
기 여 율	1/4
과제수행기관명	서강대학교 산학협력단
연구기간	2023.03.01 ~ 2024.02.29

이 발명을 지원한 국가연구개발사업

과제고유번호	1711198586
과제번호	IITP-2023-RS-2023-00260091
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	대학ICT연구센터육성지원사업
연구과제명	초거대 AI를 위한 대규모데이터센터용 인공지능 시스템반도체 인력양성 및 핵심기술

개발

기 여 율	1/4
과제수행기관명	서강대학교 산학협력단
연구기간	2023.07.01 ~ 2023.12.31

명세서

청구범위

청구항 1

드레인 영역, 소스 영역, 및 게이트 영역을 각각 포함하는 터널 전계효과 트랜지스터의 동작 방법에 있어서, 구동 전류 또는 양극성 전류의 문턱 전압을 조절하도록 상기 게이트 영역에 제1 전압을 인가하는 제1 단계, 그리고

상기 드레인 영역 또는 상기 소스 영역에 상기 제1 전압과 상이한 제2 전압을 인가하는 제2 단계를 포함하며, 상기 터널 전계효과 트랜지스터는, 상기 제1 전압 및 상기 제2 전압 차이의 극성에 따라 상기 게이트 영역의 양 측면에 형성된 제1 게이트 측벽 스페이서 또는 제2 게이트 측벽 스페이서에 전자 또는 정공이 주입되고,

상기 터널 전계효과 트랜지스터는,

상기 게이트 영역에 인가된 제1 전압과 상기 소스 영역에 인가된 제2 전압의 극성이 상이하게 인가되어 상기 구동 전류의 문턱 전압이 조절되고, 상기 게이트 영역에 인가된 제1 전압과 상기 드레인 영역에 인가된 제2 전압의 극성이 상이하게 인가되어 상기 양극성 전류의 문턱 전압이 조절되며,

상기 터널 전계효과 트랜지스터는,

상기 제1 전압 및 상기 제2 전압의 극성 차이에 따라 상기 게이트 영역의 양 측면에 형성된 제1 게이트 측벽 스페이서 또는 제2 게이트 측벽 스페이서에 전자 또는 정공이 각각 독립적으로 주입되는 것을 특징으로 하는 터널 전계효과 트랜지스터의 동작 방법.

청구항 2

삭제

청구항 3

제1항에서,

상기 터널 전계효과 트랜지스터는,

상기 게이트 영역의 제1 전압에 양의 전압이 인가되고, 상기 소스 영역의 제2 전압에 음의 전압이 인가되면, 상기 소스 영역 측에 형성된 상기 제1 게이트 측벽 스페이서에 전자가 주입되어 상기 구동 전류의 문턱 전압이 높아지는 것을 특징으로 하는 터널 전계효과 트랜지스터의 동작 방법.

청구항 4

제1항에서,

상기 터널 전계효과 트랜지스터는,

상기 게이트 영역의 제1 전압에 음의 전압이 인가되고, 상기 소스 영역의 제2 전압에 양의 전압이 인가되면, 상기 소스 영역 측에 형성된 상기 제1 게이트 측벽 스페이서에 정공이 주입되어 상기 구동 전류의 문턱 전압이 낮아지는 것을 특징으로 하는 터널 전계효과 트랜지스터의 동작 방법.

청구항 5

삭제

청구항 6

제1항에서,

상기 터널 전계효과 트랜지스터는,

상기 게이트 영역의 제1 전압에 양의 전압이 인가되고, 상기 드레인 영역의 제2 전압에 음의 전압이 인가되면, 상기 드레인 영역 측에 형성된 상기 제2 게이트 측벽 스페이스에 전자가 주입되어 상기 양극성 전류의 문턱 전압이 높아지는 것을 특징으로 하는 터널 전계효과 트랜지스터의 동작 방법.

청구항 7

제1항에서,

상기 터널 전계효과 트랜지스터는,

상기 게이트 영역의 제1 전압에 음의 전압이 인가되고, 상기 드레인 영역의 제2 전압에 양의 전압이 인가되면, 상기 드레인 영역 측에 형성된 상기 제2 게이트 측벽 스페이스에 정공이 주입되어 상기 양극성 전류의 문턱 전압이 낮아지는 것을 특징으로 하는 터널 전계효과 트랜지스터의 동작 방법.

청구항 8

제1항에서,

상기 제1 게이트 측벽 스페이스 또는 상기 제2 게이트 측벽 스페이스는,

HfSiO, HfZrO, HfAlO 또는 페로브스카이트(perovskite) 물질 중 어느 하나로 형성되는 것을 특징으로 하는 터널 전계효과 트랜지스터의 동작 방법.

청구항 9

제1항에서,

상기 제1 게이트 측벽 스페이스 또는 상기 제2 게이트 측벽 스페이스는,

VO₂ 또는 GST의 상변화 물질 중 어느 하나로 형성되는 것을 특징으로 하는 터널 전계효과 트랜지스터의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 과제번호 SRFC-TA2103-01인 연구사업명 "삼성미래기술육성사업"에 의해 이루어진 것으로, 상기 과제의 연구관리전문기관은 삼성전자, 연구과제명은 "하나의 강유전체 트랜지스터를 이용하고 데이터 일치도 평가가 가능한 다중비트 내용 주소화 기억장치의 개발", 과제수행기관은 서울대학교 산학협력단, 연구기간은 2023.07.01 ~ 2023.12.31 이다.

[0002] 본 발명은 구동 전류 및 양극성 전류의 문턱 전압을 독립적으로 조절하는 터널 전계효과 트랜지스터의 동작 방법에 관한 것이다.

배경 기술

[0003] 터널 전계효과 트랜지스터(tunnel field-effect transistor, TFET)는 기존 금속산화물반도체 전계효과 트랜지스터(metal-oxide-semiconductor field-effect transistor, MOSFET)의 문턱전압 이하 기율기 역수(subthreshold swing, SS)의 한계를 극복할 수 있는 차세대 저전력 로직 소자이다.

[0004] 이러한 TFET은 소스와 드레인이 같은 극성으로 도핑된 도 1(a)의 MOSFET과 달리, 도 1(b)와 같이 소스와 드레인이 반대 극성으로 도핑된 구조로 이루어진다. 구체적으로, 도 1(c)와 같이, MOSFET은 소스에서 채널로 열전자방출(thermionic emission)에 의해 전자를 주입하기 때문에, 상온에서 60 mV/dec의 근본적인 문턱전압 이하 기율기 역수(SS)의 한계를 가지고 있다.

[0005] 하지만, 기존 MOSFET의 열전자방출 방식과는 달리, TFET은 밴드 간 터널링(band-to-band tunneling, BTBT) 방식을 통해 전자나 정공의 흐름을 제어하기 때문에, 입력 전압의 미세한 변화가 출력전류의 큰 변화로 이어질 수 있다.

- [0006] 즉, TFET은 온(on), 오프(off) 상태의 변화가 게이트 전압의 변화에 따라 매우 급격하게 일어나므로, 낮은 문턱 전압 이하 기율기 역수(SS)를 달성할 수 있다. 또한, 오프(off) 상태에서는 소스의 소수캐리어(minority carrier)에 의한 표동 전류(drift current)만 존재하기 때문에 매우 작은 누설전류를 가져 전력 소모가 작다는 장점이 있다.
- [0007] 하지만, TFET은 터널링 저항이 크기 때문에 구동 전류가 낮고, 양극성 전류(ambipolar current)로 인해 정적 소비 전력이 증가하는 문제점을 가지고 있다. 따라서, 최근에는 다양한 방식을 통해 TFET의 구동 전류를 증가시키고 양극성 전류를 억제하는 방법에 대한 연구가 필요한 실정이다.
- [0008] 이 배경기술 부분에 기재된 사항은 발명의 배경에 대한 이해를 증진하기 위하여 작성된 것으로서, 이 기술이 속하는 분야에서 통상의 지식을 가진 자에게 이미 알려진 종래기술이 아닌 사항을 포함할 수 있다.

발명의 내용

해결하려는 과제

- [0009] 본 발명은 터널 전계효과 트랜지스터의 게이트 측면에 형성된 게이트 측면 스페이스에 전자 또는 정공을 주입시켜 구동 전류 및 양극성 전류의 문턱 전압을 독립적으로 조절할 수 있는 터널 전계효과 트랜지스터의 동작 방법을 제안하고자 한다.

과제의 해결 수단

- [0010] 본 발명의 터널 전계효과 트랜지스터의 동작 방법은 드레인 영역, 소스 영역, 및 게이트 영역을 각각 포함하는 터널 전계효과 트랜지스터의 동작 방법에 있어서, 구동 전류 또는 양극성 전류의 문턱 전압을 조절하도록 상기 게이트 영역에 제1 전압을 인가하는 제1 단계, 그리고 상기 드레인 영역 또는 상기 소스 영역에 상기 제1 전압과 상이한 제2 전압을 인가하는 제2 단계를 포함하며, 상기 터널 전계효과 트랜지스터는, 상기 제1 전압 및 상기 제2 전압 차이의 극성에 따라 상기 게이트 영역의 양 측면에 형성된 제1 게이트 측벽 스페이스 또는 제2 게이트 측벽 스페이스에 전자 또는 정공이 주입된다.
- [0011] 상기 터널 전계효과 트랜지스터는, 상기 게이트 영역에 인가된 제1 전압과 상기 소스 영역에 인가된 제2 전압의 극성이 상이하게 인가되어 상기 구동 전류의 문턱 전압이 조절될 수 있다.
- [0012] 상기 터널 전계효과 트랜지스터는, 상기 게이트 영역의 제1 전압에 양의 전압이 인가되고, 상기 소스 영역의 제2 전압에 음의 전압이 인가되면, 상기 소스 영역 측에 형성된 상기 제1 게이트 측벽 스페이스에 전자가 주입되어 상기 구동 전류의 문턱 전압이 높아질 수 있다.
- [0013] 상기 터널 전계효과 트랜지스터는, 상기 게이트 영역의 제1 전압에 음의 전압이 인가되고, 상기 소스 영역의 제2 전압에 양의 전압이 인가되면, 상기 소스 영역 측에 형성된 상기 제1 게이트 측벽 스페이스에 정공이 주입되어 상기 구동 전류의 문턱 전압이 낮아질 수 있다.
- [0014] 상기 터널 전계효과 트랜지스터는, 상기 게이트 영역에 인가된 제1 전압과 상기 드레인 영역에 인가된 제2 전압의 극성이 상이하게 인가되어 상기 양극성 전류의 문턱 전압이 조절될 수 있다.
- [0015] 상기 터널 전계효과 트랜지스터는, 상기 게이트 영역의 제1 전압에 양의 전압이 인가되고, 상기 드레인 영역의 제2 전압에 음의 전압이 인가되면, 상기 드레인 영역 측에 형성된 상기 제2 게이트 측벽 스페이스에 전자가 주입되어 상기 양극성 전류의 문턱 전압이 높아질 수 있다.
- [0016] 상기 터널 전계효과 트랜지스터는, 상기 게이트 영역의 제1 전압에 음의 전압이 인가되고, 상기 드레인 영역의 제2 전압에 양의 전압이 인가되면, 상기 드레인 영역 측에 형성된 상기 제2 게이트 측벽 스페이스에 정공이 주입되어 상기 양극성 전류의 문턱 전압이 낮아질 수 있다.
- [0017] 상기 제1 게이트 측벽 스페이스 또는 상기 제2 게이트 측벽 스페이스는, HfSiO , HfZrO , HfAlO 또는 페로브스카이트(perovskite) 물질 중 어느 하나로 형성될 수 있다.
- [0018] 상기 제1 게이트 측벽 스페이스 또는 상기 제2 게이트 측벽 스페이스는, VO_2 또는 GST의 상변화 물질 중 어느 하나로 형성될 수 있다.

발명의 효과

[0019] 본 발명에 따르면, 게이트 영역에 제1 전압을 인가하고, 드레인 영역 또는 소스 영역에 상기 제1 전압과 상이한 제2 전압을 인가하되, 상기 제1 전압 및 상기 제2 전압 차이의 극성에 따라 게이트 영역의 양 측면에 형성된 제1 게이트 측벽 스페이서 또는 제2 게이트 측벽 스페이서에 전자 또는 정공을 주입시킴으로써, 터널 전계효과 트랜지스터의 구동 전류 및 양극성 전류의 문턱전압을 효과적/독립적으로 조절할 수 있는 환경을 제공한다.

도면의 간단한 설명

[0020] 도 1은 기존의 금속산화물반도체 전계효과 트랜지스터(MOSFET)와 터널 전계효과 트랜지스터(TFET)의 구조 및 두 소자의 전달 특성을 도시한 도면이다.

도 2는 본 발명의 한 실시예에 따른 터널 전계효과 트랜지스터의 소자 개략도와 게이트 측면 스페이서의 예시를 도시한 도면이다.

도 3은 본 발명의 한 실시예에 따른 터널 전계효과 트랜지스터의 다양한 소자 구조를 개략적으로 도시한 도면이다.

도 4는 본 발명의 한 실시예에 따른 터널 전계효과 트랜지스터의 동작 상태에 따른 에너지 밴드 다이어그램을 도시한 도면이다.

도 5는 본 발명의 한 실시예에 따른 터널 전계효과 트랜지스터의 제조 과정을 도시한 도면이다.

도 6은 본 발명의 다른 실시예에 따른 터널 전계효과 트랜지스터의 제조 과정을 도시한 도면이다.

도 7은 본 발명의 한 실시예에 따른 터널 전계효과 트랜지스터의 동작 방법을 개략적으로 도시한 흐름도이다.

도 8은 본 발명의 한 실시예에 따라 소스 영역에 형성된 제1 게이트 측면 스페이서에 전자 또는 정공을 주입시켜 구동 전류의 문턱 전압을 조절하는 예를 도시한 도면이다.

도 9는 본 발명의 한 실시예에 따라 소스 영역에 형성된 제1 게이트 측면 스페이서에 정공이 주입된 경우의 전달 곡선을 도시한 도면이다.

도 10은 본 발명의 한 실시예에 따라 드레인 영역에 형성된 제2 게이트 측면 스페이서에 전자 또는 정공을 주입시켜 양극성 전류의 문턱 전압을 조절하는 예를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0021] 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[0022] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서에 기재된 "...부", "...기", "모듈" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어 또는 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.

[0023] 다양한 실시예들이 이제 도면을 참조하여 설명된다. 본 명세서에서, 다양한 설명들이 본 개시의 이해를 제공하기 위해서 제시된다. 그러나, 이러한 실시예들은 이러한 구체적인 설명 없이도 실행될 수 있음이 명백하다.

[0024] 더불어, 용어 "또는"은 배타적 "또는"이 아니라 내포적 "또는"을 의미하는 것으로 의도된다. 즉, 달리 특정되지 않거나 문맥상 명확하지 않은 경우에, "X는 A 또는 B를 이용한다"는 자연적인 내포적 치환 중 하나를 의미하는 것으로 의도된다. 즉, X가 A를 이용하거나; X가 B를 이용하거나; 또는 X가 A 및 B 모두를 이용하는 경우, "X는 A 또는 B를 이용한다"가 이들 경우들 어느 것으로도 적용될 수 있다. 또한, 본 명세서에 사용된 "및/또는"이라는 용어는 열거된 관련 아이템들 중 하나 이상의 아이템의 가능한 모든 조합을 지칭하고 포함하는 것으로 이해되어야 한다.

[0025] 또한, "포함한다" 및/또는 "포함하는"이라는 용어는, 해당 특징 및/또는 구성요소가 존재함을 의미하는 것으로 이해되어야 한다. 다만, "포함한다" 및/또는 "포함하는"이라는 용어는, 하나 이상의 다른 특징, 구성요소 및/또는 이들의 그룹의 존재 또는 추가를 배제하지 않는 것으로 이해되어야 한다. 또한, 달리 특정되지 않거나 단수

형태를 지시하는 것으로 문맥상 명확하지 않은 경우에, 본 명세서와 청구범위에서 단수는 일반적으로 "하나 또는 그 이상"을 의미하는 것으로 해석되어야 한다.

- [0026] 그리고, "A 또는 B 중 적어도 하나"이라는 용어는, "A만을 포함하는 경우", "B 만을 포함하는 경우", "A와 B의 구성으로 조합된 경우"를 의미하는 것으로 해석되어야 한다.
- [0027] 제시된 실시예들에 대한 설명은 본 개시의 기술 분야에서 통상의 지식을 가진 자가 본 발명을 이용하거나 또는 실시할 수 있도록 제공된다. 이러한 실시예들에 대한 다양한 변형들은 본 개시의 기술 분야에서 통상의 지식을 가진 자에게 명백할 것이다. 여기에 정의된 일반적인 원리들은 본 개시의 범위를 벗어남이 없이 다른 실시예들에 적용될 수 있다. 그리하여, 본 발명은 여기에 제시된 실시예 들로 한정되는 것이 아니다. 본 발명은 여기에 제시된 원리들 및 신규한 특징들과 일관되는 최광의의 범위에서 해석되어야 할 것이다.
- [0028] 이제 도 2 내지 도 10을 참고하여 본 발명의 한 실시예에 따른 터널 전계효과 트랜지스터의 동작 방법에 대하여 상세하게 설명한다.
- [0029] 도 2는 본 발명의 한 실시예에 따른 터널 전계효과 트랜지스터의 소자 개략도와 게이트 측면 스페이서의 예시를 도시한 도면이다.
- [0030] 도 2(a)는 본 발명의 한 실시예에 따른 터널 전계효과 트랜지스터(100)의 단면도를 보여준다. 본 발명의 한 실시예에 따른 터널 전계효과 트랜지스터(100)는 소스 영역(110), 드레인 영역(120), 게이트 영역(130), 게이트 측벽 스페이서(sidewall spacer)(132,134) 및, 바디 영역(140)를 포함할 수 있다.
- [0031] 본 발명의 한 실시예에 따른 터널 전계효과 트랜지스터(100)는 도 2(b)와 같이 소스 및 바디 또는 드레인 및 바디의 언더랩(underlap) 영역에 oxide-nitride-oxide(ONO) 물질로 게이트 측벽 스페이서(132,134)를 구성할 수 있다. 본 발명의 한 실시예에 따른 터널 전계효과 트랜지스터(100)는 게이트 측벽 스페이서(132,134)로 사용되는 ONO 층에 캐리어(전자 혹은 정공)를 주입하여 언더랩(underlap) 영역의 퍼텐셜(potential)을 조절할 수 있으므로 구동 전류 및 양극성 전류의 문턱전압을 조절할 수 있다.
- [0032] 상기 게이트 측면 스페이서(132, 134)는 ONO 물질에 국한되지 않으며, charge trapping layer로 사용할 수 있는 다양한 부도체(HfO_2 , AlN, Al_2O_3 , TaAlO₄ 등) 물질로 대체할 수도 있다. 또한, 본 발명의 한 실시예에 따른 터널 전계효과 트랜지스터(100)는 도 2(c)와 같이 금속 혹은 고농도로 도핑된 반도체 물질을 플로팅 게이트(floating gate)로 활용하여 전하를 저장해 구동 및 양극성 전류의 문턱전압을 조절할 수도 있다.
- [0033] 또한, 상기 게이트 측벽 스페이서(132, 134)는 ONO와 같은 전하 트래핑 층(charge trapping layer) 뿐만 아니라, 도 2(d)와 같이 강유전체 특성을 가지는 HfO_2 기반 도핑 물질(HfSiO , HfZrO , HfAlO 등) 또는 페로브스카이트(perovskite) 물질로 이루어질 수 있다. 또한, 본 발명의 한 실시예에 따른 터널 전계효과 트랜지스터(100)는 도 2(e)와 같이 VO_2 , GST 등과 같은 상변화 물질도 활용하여 상기 게이트 측면 스페이서(132, 134)를 형성할 수 도 있다.
- [0034] 도 3은 본 발명의 한 실시예에 따른 터널 전계효과 트랜지스터의 다양한 소자 구조를 개략적으로 도시한 도면이다.
- [0035] 도 3을 참조하면, 본 발명의 한 실시예에 따른 터널 전계효과 트랜지스터의 형태는 평면(planar) 구조에 국한되지 않고, 도 3(a)와 같이 게이트 형태가 알파벳 t 모양을 가지는 구조로 형성되거나, 도 3(b)와 같이 소자가 수직으로 구성된 구조(vertical 구조)로 형성될 수도 있다. 또한, 본 발명의 한 실시예에 따른 터널 전계효과 트랜지스터는 함몰 채널을 가지는 구조(recessed channel) 등의 다른 2차원 구조뿐만 아니라, FinFET, gate-all-around(GAA)와 같은 3차원 구조로 형성될 수도 있다. 물론, 본 발명의 한 실시예에 따른 터널 전계효과 트랜지스터는 도 2(a)와 같은 언더랩(underlap) 구조뿐만 아니라, 오버랩(overlap) 구조로 형성될 수도 있다.
- [0036] 도 4는 본 발명의 한 실시예에 따른 터널 전계효과 트랜지스터의 동작 상태에 따른 에너지 밴드 다이어그램을 도시한 도면이다.
- [0037] 도 4를 참조하면, 본 발명의 한 실시예에 따른 터널 전계효과 트랜지스터의 동작은 게이트와 드레인의 전압에 따라 구동 전류가 흐르는 상태, off 상태와 양극성 전류가 흐르는 상태로 구분할 수 있다. 먼저, 도 4(a)는 게이트와 드레인에 각각 양의 전압이 걸려 있는 상태의 에너지 밴드를 보여준다. 게이트에 양의 전압이 인가됨에 따라 소스 및 바디 사이의 터널링 장벽이 낮아지게 되고 소스에 있던 전자가 바디로 밴드 간 터널링이 일어나게 되면서 구동 전류가 흐르게 된다. 다음으로, 게이트에 전압이 인가되지 않고, 드레인에 양의 전압이 걸려있는

상태에서는 도 4(b)와 같이 소스에 있는 전자가 밴드 간 터널링이 일어날 수 없어 전류가 흐르지 않는 오프(off) 상태이다.

- [0038] 마지막으로 게이트에 음의 전압이 인가되고 드레인에 양의 전압이 인가되면 도 4(c)의 에너지 밴드처럼 형성될 수 있다. 드레인 및 바디 사이의 터널링 장벽이 낮아지게 되고 바디의 전자가 드레인으로 밴드 간 터널링이 일어나게 되며 양극성 전류가 흐르게 된다. 다시 말해, TFET의 구동 전류 및 양극성 전류는 각각 소스의 가전자대가 바디의 전도대에, 바디의 가전자대가 드레인의 전도대에 정렬되어 밴드 간 터널링이 발생하여 흐를 수 있다.
- [0039] 여기서, 구동 및 양극성 전류의 문턱전압은 각각 게이트에 가해주는 전압이 양의 방향 또는 음의 방향으로 증가해도 소스 및 바디 접합 또는 드레인 및 바디 접합의 터널링 장벽이 더 이상 낮아지지 않고 포화되는 시점으로 정의할 수 있다. 또한, TFET의 문턱전압은 소스 및 바디 접합 또는 드레인 및 바디 접합의 퍼텐셜(potential) 변화로 결정될 수 있다.
- [0040] 본 발명에서 제안하는 구동 전류 및 양극성 전류의 문턱전압을 조절할 수 있는 TFET 소자의 공정 과정은 gate first process(도 5)와 gate last process(도 6)가 모두 가능하다. 또한, 본 발명의 실시예에 따른 터널 전계효과 트랜지스터의 제조 과정은 Silicon-on-insulator (SOI) 웨이퍼에 구현하는 공정을 예시로 보였으나 bulk 웨이퍼 등의 다른 기판에 적용할 수도 있다.
- [0041] 도 5는 본 발명의 한 실시예에 따른 터널 전계효과 트랜지스터의 제조 과정을 도시한 도면이다.
- [0042] 도 5를 참조하면, 본 발명의 한 실시예에 따른 터널 전계효과 트랜지스터의 제조 과정은 소자의 active 영역을 형성해준 뒤(도 5-1), 게이트 산화막과 게이트 물질을 증착 후 패터닝을 진행할 수 있다(도 5-2). 그리고, 본 발명의 한 실시예에 따른 터널 전계효과 트랜지스터의 제조 과정은 게이트 측벽 스페이서는 atomic layer deposition (ALD) 혹은 low-pressure chemical vapor deposition (LPCVD)과 etch back 공정을 통해 형성할 수 있다(도 5-3). 다음으로, 본 발명의 한 실시예에 따른 터널 전계효과 트랜지스터의 제조 과정은 소스와 드레인을 각각 이온 주입 공정을 사용하여 형성할 수 있다(도 5-4). 그 후, 본 발명의 한 실시예에 따른 터널 전계효과 트랜지스터의 제조 과정은 일반적인 middle-of-line (MOL) 혹은 back-end-of-line (BEOL) 공정을 진행하면 소자 제작이 완료될 수 있다.
- [0043] 도 6은 본 발명의 다른 실시예에 따른 터널 전계효과 트랜지스터의 제조 과정을 도시한 도면이다.
- [0044] 도 6을 참조하면, 본 발명의 다른 실시예에 따른 터널 전계효과 트랜지스터의 제조 과정은 소자의 active 영역을 형성해준 뒤(도 6-1), dummy gate를 증착 후 패터닝을 진행할 수 있다(도 6-2). 다음으로, 본 발명의 다른 실시예에 따른 터널 전계효과 트랜지스터의 제조 과정은 소스와 드레인을 각각 이온 주입 공정을 사용하여 형성할 수 있다(도 6-3). 그리고, 본 발명의 다른 실시예에 따른 터널 전계효과 트랜지스터의 제조 과정은 inter layer dielectric (ILD) 물질을 증착 후 chemical-mechanical polishing (CMP) 공정을 통해 평탄화를 진행할 수 있다(도 6-4). 그 후, 본 발명의 다른 실시예에 따른 터널 전계효과 트랜지스터의 제조 과정은 dummy gate를 제거하고 상기 설명한 방법으로 게이트 측벽 스페이서를 형성할 수 있다(도 6-5). 또한, 본 발명의 다른 실시예에 따른 터널 전계효과 트랜지스터의 제조 과정은 게이트 산화막과 게이트 물질을 증착 후 패터닝을 진행하고(도 6-6), 일반적인 MOL 혹은 BEOL 공정을 진행하여 소자 제작을 완료할 수 있다.
- [0045] 도 7은 본 발명의 한 실시예에 따른 터널 전계효과 트랜지스터의 동작 방법을 도시한 흐름도이다.
- [0046] 도 7을 참고하면, 본 발명의 한 실시예에 따른 터널 전계효과 트랜지스터 동작 제어 장치(미도시)는 소스 영역(110), 드레인 영역(120), 및 게이트 영역(130)을 각각 포함하는 터널 전계효과 트랜지스터(100)의 게이트 영역(130)에 제1 전압을 인가할 수 있다(S110).
- [0047] 그리고, 본 발명의 한 실시예에 따른 터널 전계효과 트랜지스터의 동작 방법은 상기 터널 전계효과 트랜지스터 동작 제어 장치(미도시)가 소스 영역(110) 또는 드레인 영역(120)에 제2 전압을 인가할 수 있다(S120).
- [0048] 이를 통해 본 발명의 한 실시예에 따른 터널 전계효과 트랜지스터의 동작 방법은 상기 제1 전압 및 상기 제2 전압 차이의 극성에 따라 터널 전계효과 트랜지스터(100)의 구동 전류 또는 양극성 전류의 문턱 전압을 조절할 수 있다(S130).
- [0049] 예를 들어, 상기 터널 전계효과 트랜지스터는 상기 제1 전압 및 상기 제2 전압 차이의 극성에 따라 상기 게이트 영역(130)의 양 측면에 형성된 제1 게이트 측벽 스페이서(132) 또는 제2 게이트 측벽 스페이서(134)에 전자 또는 정공이 주입될 수 있다.

- [0050] 상기 터널 전계효과 트랜지스터는 상기 게이트 영역(130)에 인가된 제1 전압과 상기 소스 영역(110)에 인가된 제2 전압의 극성이 상이하게 인가되어 상기 구동 전류의 문턱 전압이 조절될 수 있다.
- [0051] 상기 터널 전계효과 트랜지스터는 상기 게이트 영역(130)의 제1 전압에 양의 전압이 인가되고, 상기 소스 영역(110)의 제2 전압에 음의 전압이 인가되면, 상기 소스 영역(110) 측에 형성된 상기 제1 게이트 측벽 스페이서(132)에 전자가 주입되어 상기 구동 전류의 문턱 전압이 높아질 수 있다.
- [0052] 상기 터널 전계효과 트랜지스터는 상기 게이트 영역(130)의 제1 전압에 음의 전압이 인가되고, 상기 소스 영역(110)의 제2 전압에 양의 전압이 인가되면, 상기 소스 영역(110) 측에 형성된 상기 제1 게이트 측벽 스페이서(132)에 정공이 주입되어 상기 구동 전류의 문턱 전압이 낮아질 수 있다.
- [0053] 또한, 상기 터널 전계효과 트랜지스터는 상기 게이트 영역(130)에 인가된 제1 전압과 상기 드레인 영역(120)에 인가된 제2 전압의 극성이 상이하게 인가되어 상기 양극성 전류의 문턱 전압이 조절될 수 있다.
- [0054] 상기 터널 전계효과 트랜지스터는 상기 게이트 영역(130)의 제1 전압에 양의 전압이 인가되고, 상기 드레인 영역(120)의 제2 전압에 음의 전압이 인가되면, 상기 드레인 영역(120) 측에 형성된 상기 제2 게이트 측벽 스페이서(134)에 전자가 주입되어 상기 양극성 전류의 문턱 전압이 높아질 수 있다.
- [0055] 상기 터널 전계효과 트랜지스터는 상기 게이트 영역(130)의 제1 전압에 음의 전압이 인가되고, 상기 드레인 영역(120)의 제2 전압에 양의 전압이 인가되면, 상기 드레인 영역(120) 측에 형성된 상기 제2 게이트 측벽 스페이서(134)에 정공이 주입되어 상기 양극성 전류의 문턱 전압이 낮아질 수 있다.
- [0056] 도 8은 본 발명의 한 실시예에 따라 소스 영역에 형성된 제1 게이트 측면 스페이서에 전자 또는 정공을 주입시켜 구동 전류의 문턱 전압을 조절하는 예를 도시한 도면이다.
- [0057] 도 8을 참조하면, 본 발명의 한 실시예에 따른 터널 전계효과 트랜지스터의 동작 방법은 소스 영역 측에 형성된 게이트 측벽 스페이서 물질의 ONO 층에 캐리어를 주입하여 구동 전류의 문턱 전압을 조절할 수 있다.
- [0058] 예를 들어, 본 발명은 도 8(a)와 같이, 게이트에 양의 전압 혹은 소스에 음의 전압을 인가하면 제1 게이트 측벽 스페이서(132)의 ONO 층에 전자가 주입되고 소스 및 바디 접합의 퍼텐셜(potential)이 낮아져 구동 전류의 문턱 전압이 높아질 수 있다. 반대로, 도 8b와 같이, 게이트에 음의 전압 혹은 소스에 양의 전압을 인가하면 제1 게이트 측벽 스페이서(132)에 정공이 주입되게 되고 퍼텐셜(potential)이 높아져 구동 전류의 문턱전압이 낮아질 수 있다.
- [0059] 도 9는 본 발명의 한 실시예에 따라 소스 영역에 형성된 제1 게이트 측면 스페이서에 정공이 주입된 경우의 전달 곡선을 도시한 도면이다.
- [0060] 도 9를 참조하면, 도 8(b)와 같이 소스 영역의 제1 게이트 측벽 스페이서(132)에 정공이 주입된 경우의 전달 곡선을 나타내고 있다. 정공 농도가 커질수록 소스 및 바디 언더랩(underlap) 영역의 퍼텐셜(potential)이 높아지기 때문에 문턱전압이 감소하는 것을 확인할 수 있다.
- [0061] 도 10은 본 발명의 한 실시예에 따라 드레인 영역에 형성된 제2 게이트 측면 스페이서에 전자 또는 정공을 주입시켜 양극성 전류의 문턱 전압을 조절하는 예를 도시한 도면이다.
- [0062] 도 10을 참조하면, 양극성 전류의 문턱전압은 드레인 및 바디 접합의 퍼텐셜(potential)에 의해 결정될 수 있다. 따라서, 게이트에 양의 전압 혹은 드레인에 음의 전압을 인가하여 ONO 층에 전자를 주입하고(도 10a), 게이트에 음의 전압 혹은 드레인에 양의 전압을 인가하여 정공을 주입할 수 있다(도 10b). 그 결과, 본 발명은 드레인 및 바디 접합의 퍼텐셜(potential)을 조절하여 양극성 전류의 문턱전압을 조절할 수 있다.
- [0063] 이와 같이, 본 발명의 한 실시예에 터널 전계효과 트랜지스터의 동작 방법은 게이트 영역에 제1 전압을 인가하고, 소스 영역 또는 드레인 영역에 상기 제1 전압과 상이한 제2 전압을 인가하되, 상기 제1 전압 및 상기 제2 전압 차이의 극성에 따라 게이트 영역의 양 측면에 형성된 제1 게이트 측벽 스페이서 또는 제2 게이트 측벽 스페이서에 전자 또는 정공을 주입시킴으로써, 터널 전계효과 트랜지스터의 구동 전류 및 양극성 전류의 문턱전압을 효과적으로 조절할 수 있는 환경을 제공한다.
- [0064] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면

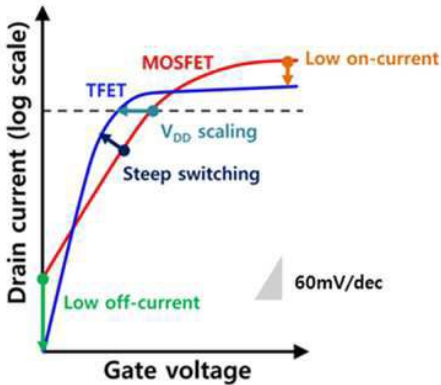
도면1



[a]

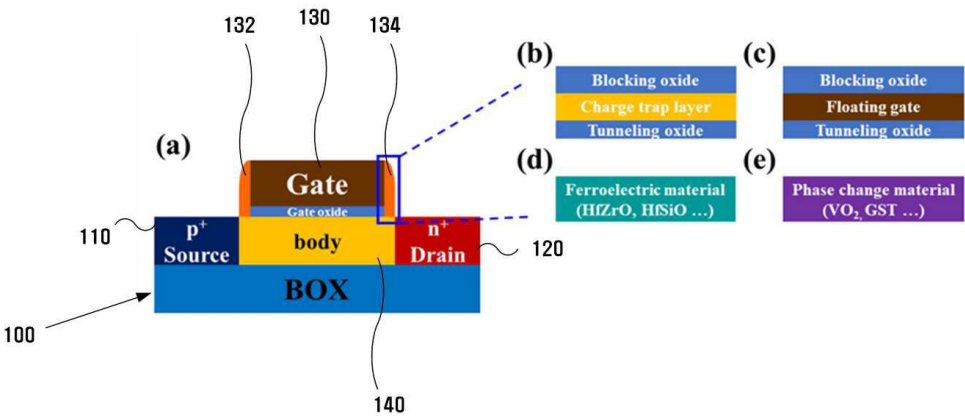


[b]

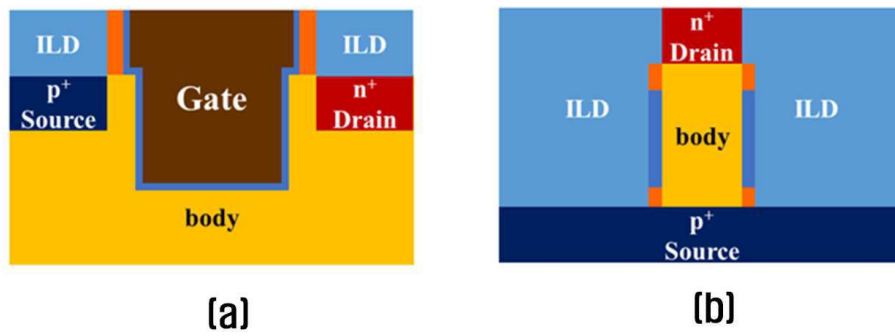


[c]

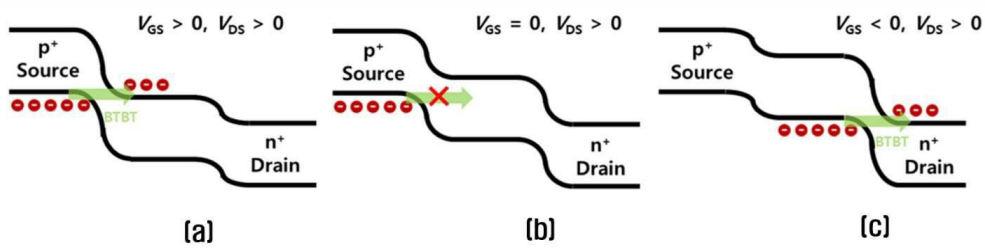
도면2



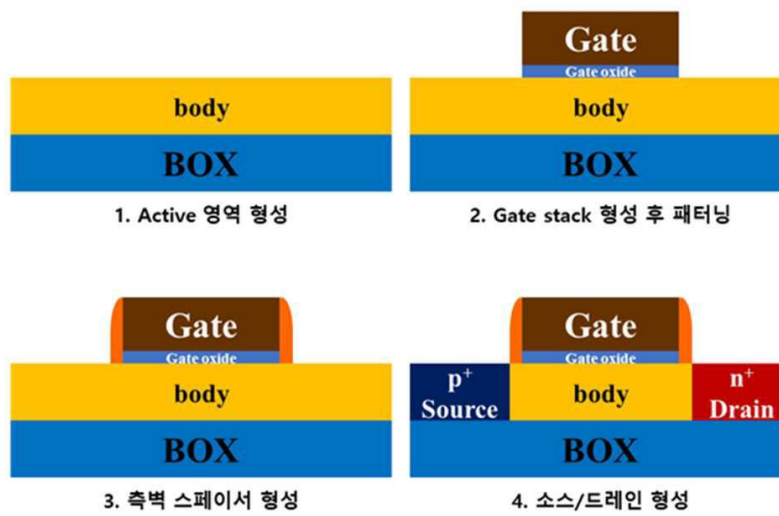
도면3



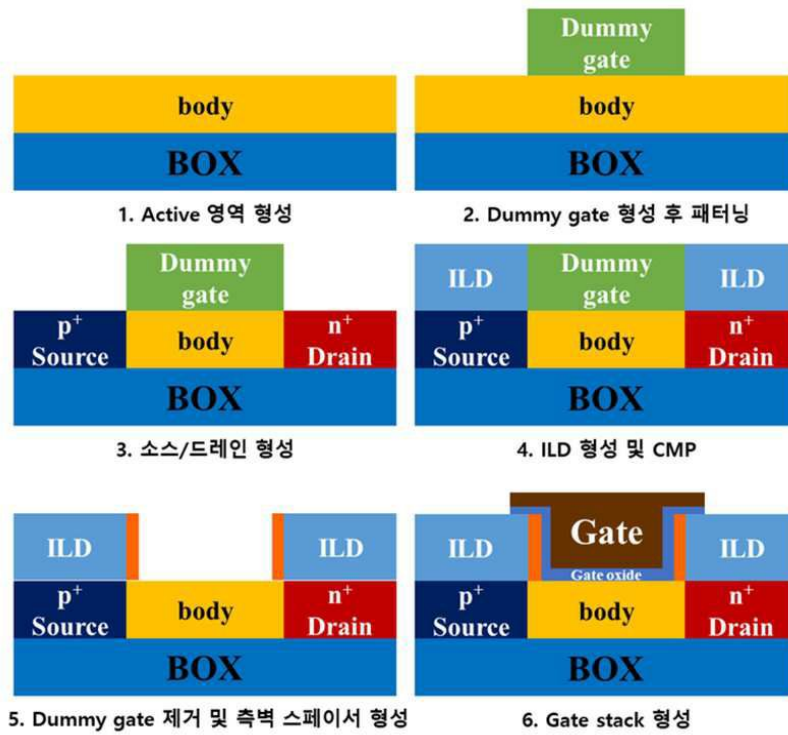
도면4



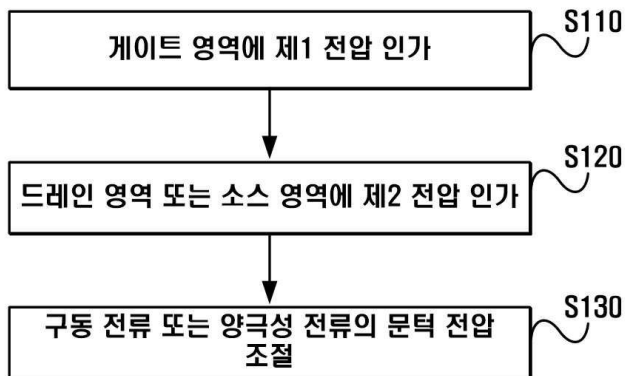
도면5



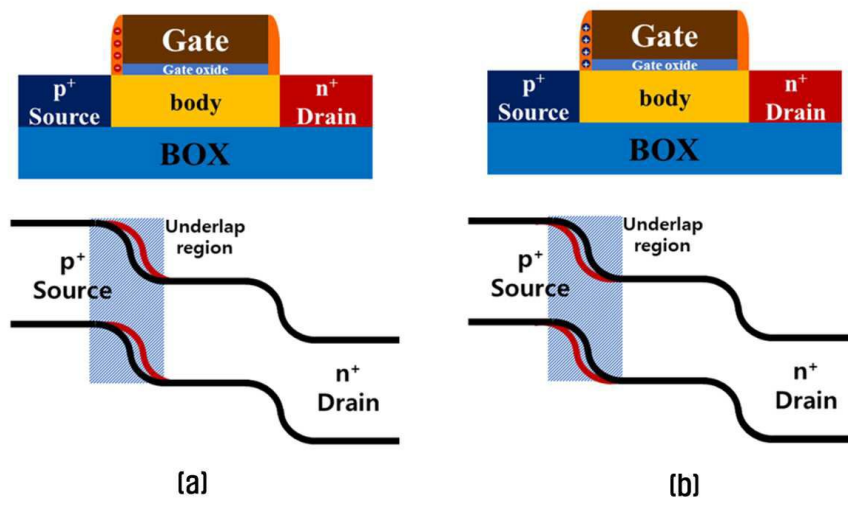
도면6



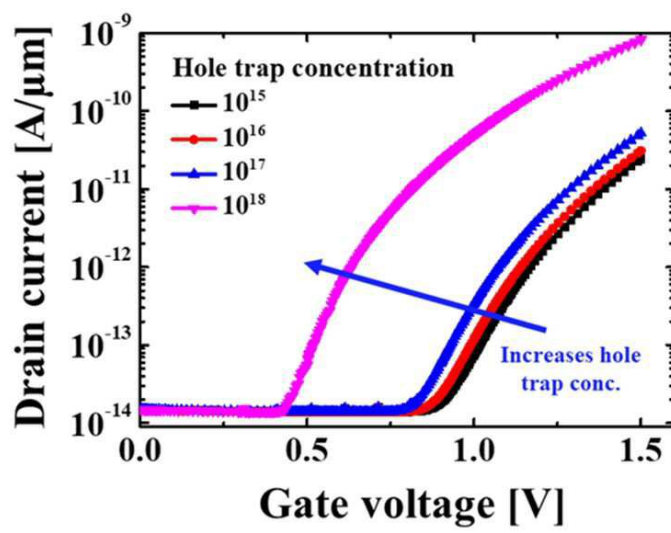
도면7



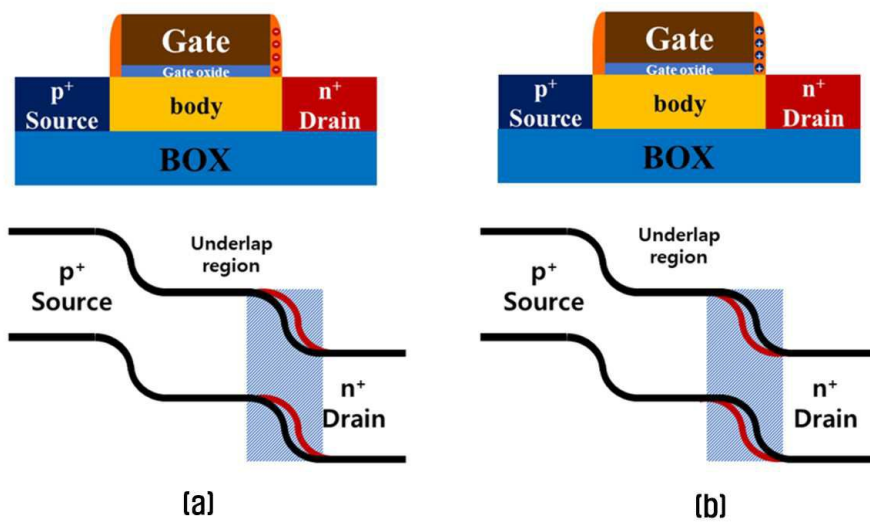
도면8



도면9



도면10



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 6

【변경전】

제1에서,

상기 터널 전계효과 트랜지스터는,

상기 게이트 영역의 제1 전압에 양의 전압이 인가되고, 상기 드레인 영역의 제2 전압에 음의 전압이 인가되면, 상기 드레인 영역 측에 형성된 상기 제2 게이트 측벽 스페이스에 전자가 주입되어 상기 양극성 전류의 문턱 전압이 높아지는 것을 특징으로 하는 터널 전계효과 트랜지스터의 동작 방법.

【변경후】

제1항에서,

상기 터널 전계효과 트랜지스터는,

상기 게이트 영역의 제1 전압에 양의 전압이 인가되고, 상기 드레인 영역의 제2 전압에 음의 전압이 인가되면, 상기 드레인 영역 측에 형성된 상기 제2 게이트 측벽 스페이스에 전자가 주입되어 상기 양극성 전류의 문턱 전압이 높아지는 것을 특징으로 하는 터널 전계효과 트랜지스터의 동작 방법.