

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-295343
(P2006-295343A)

(43) 公開日 平成18年10月26日(2006.10.26)

(51) Int. Cl.		F I		テーマコード (参考)
H03H 19/00	(2006.01)	H03H 19/00		5 J O 2 3
H03L 7/093	(2006.01)	H03L 7/08	E	5 J I 0 6

審査請求 未請求 請求項の数 8 O L (全 15 頁)

(21) 出願番号	特願2005-110272 (P2005-110272)	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成17年4月6日(2005.4.6)	(74) 代理人	100077931 弁理士 前田 弘
		(74) 代理人	100094134 弁理士 小山 廣毅
		(74) 代理人	100110939 弁理士 竹内 宏
		(74) 代理人	100110940 弁理士 嶋田 高久
		(74) 代理人	100113262 弁理士 竹内 祐二
		(74) 代理人	100115059 弁理士 今江 克実

最終頁に続く

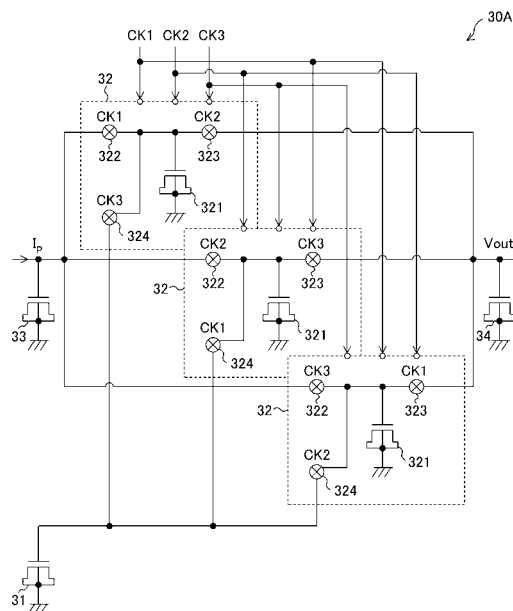
(54) 【発明の名称】 スイッチトキャパシタフィルタ及びフィードバックシステム

(57) 【要約】

【課題】 完全に平滑化された信号を出力するスイッチトキャパシタフィルタを実現する。

【解決手段】 スイッチトキャパシタフィルタは、3個のスイッチトキャパシタ回路(32)を備えている。各スイッチトキャパシタ回路(32)は、容量(321)を有し、容量(321)が電流信号の入力端に接続された第1の状態、容量(321)が電圧信号の出力端に接続された第2の状態、及び容量(321)がフィルタ容量(31)の側に接続された第3の状態が循環する。そして、これら3個のスイッチトキャパシタ回路(32)は、互いに第1から第3の状態が重ならないようにインターリーブ制御される。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

フィルタ容量を備え、入力された電流信号を当該フィルタ容量で平滑化して電圧信号を出力するスイッチトキャパシタフィルタであって、

ある位相で、前記電流信号の入力によって供給される電荷を充電し、次の位相で、前記充電によって生じた電圧と前の位相における前記フィルタ容量の電圧とを平均化した電圧を前記電圧信号として出力し、さらに次の位相で、前記平均化された電圧と前記フィルタ容量の電圧とをさらに平均化する

ことを特徴とするスイッチトキャパシタフィルタ。

【請求項 2】

請求項 1 に記載のスイッチトキャパシタフィルタにおいて、

容量を有し、当該容量が前記電流信号の入力端に接続された第 1 の状態、当該容量が前記電圧信号の出力端に接続された第 2 の状態、及び当該容量が前記フィルタ容量の側に接続された第 3 の状態が循環する第 1、第 2 及び第 3 のスイッチトキャパシタ回路を備え、

前記第 1 から第 3 のスイッチトキャパシタ回路は、互いに前記第 1 から第 3 の状態が重ならないようにインターリーブ制御される

ことを特徴とするスイッチトキャパシタフィルタ。

【請求項 3】

請求項 2 に記載のスイッチトキャパシタフィルタにおいて、

前記フィルタ容量及び前記第 1 から第 3 のスイッチトキャパシタ回路における容量は、いずれも MOS 容量である

ことを特徴とするスイッチトキャパシタフィルタ。

【請求項 4】

請求項 1 に記載のスイッチトキャパシタフィルタにおいて、

2 個の容量を有し、いずれか一方の容量が前記電流信号の入力端に接続されるとき他の容量が前記電圧信号の出力端に接続される第 1 のスイッチトキャパシタ回路と、

2 個の容量を有し、いずれか一方の容量が前記電圧信号の出力端に接続されるとき他の容量が前記フィルタ容量の側に接続される第 2 のスイッチトキャパシタ回路とを備えた

ことを特徴とするスイッチトキャパシタフィルタ。

【請求項 5】

請求項 4 に記載のスイッチトキャパシタフィルタにおいて、

前記フィルタ容量及び前記第 1 及び第 2 のスイッチトキャパシタ回路における容量は、いずれも MOS 容量である

ことを特徴とするスイッチトキャパシタフィルタ。

【請求項 6】

入力クロックに基づいて生成した出力クロックを帰還させ、当該出力クロックを所定の特性にするフィードバックシステムであって、

前記入力クロックと帰還されたクロックとの位相差に基づいてチャージ電流を生成するチャージポンプ回路と、

フィルタ容量を有し、入力された前記チャージ電流を当該フィルタ容量で平滑化して電圧信号を出力するループフィルタであって、ある位相で、前記チャージ電流の入力によって供給される電荷を充電し、次の位相で、前記充電によって生じた電圧と前の位相における前記フィルタ容量の電圧とを平均化した電圧を前記電圧信号として出力し、さらに次の位相で、前記平均化された電圧と前記フィルタ容量の電圧とをさらに平均化するループフィルタと、

前記ループフィルタから出力された電圧信号に基づいて前記出力クロックを生成する出力クロック生成回路とを備えた

ことを特徴とするフィードバックシステム。

【請求項 7】

請求項 6 に記載のフィードバックシステムにおいて、

10

20

30

40

50

前記ループフィルタは、

容量を有し、当該容量が前記チャージ電流の入力端に接続された第1の状態、当該容量が前記電圧信号の出力端に接続された第2の状態、及び当該容量が前記フィルタ容量の側に接続された第3の状態が循環する第1、第2及び第3のスイッチトキャパシタ回路を備えたものであり、

当該フィードバックシステムは、

前記入力クロックの立ち下がり変化に基づいて排他的な3相の制御クロックを生成する制御クロック生成回路を備え、

前記第1から第3のスイッチトキャパシタ回路は、前記制御クロック生成回路によって生成された3相の制御クロックに従って、互いに前記第1から第3の状態が重ならないようにインターリーブ制御されることを特徴とするフィードバックシステム。

10

【請求項8】

請求項6に記載のフィードバックシステムにおいて、

前記ループフィルタは、

2個の容量を有し、いずれか一方の容量が前記チャージ電流の入力端に接続されるとき他の容量が前記電圧信号の出力端に接続される第1のスイッチトキャパシタ回路と、

2個の容量を有し、いずれか一方の容量が前記電圧信号の出力端に接続されるとき他の容量が前記フィルタ容量の側に接続される第2のスイッチトキャパシタ回路とを備えたものであり、

20

当該フィードバックシステムは、

前記入力クロックの立ち下がり変化に基づいて排他的な2相の制御クロックを生成する制御クロック生成回路を備え、

前記第1及び第2のスイッチトキャパシタ回路は、前記制御クロック生成回路によって生成された2相の制御クロックに従って動作することを特徴とするフィードバックシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチトキャパシタフィルタに関し、特に、位相同期回路や遅延ロッキングループ回路などのフィードバックシステムにおけるループフィルタとして好適なスイッチトキャパシタフィルタの技術に関する。

30

【背景技術】

【0002】

今日、システムLSIに搭載される機能はますます増えつつあり、システムLSIの回路規模は増大する傾向にある。このため、システムLSIに搭載される個々の回路の縮小化は普遍的な問題となっている。

【0003】

システムLSIには必ずと言ってよいほど位相同期回路(以下、「PLL」と称することがある。)が搭載されている。PLLには、応答時間の最大値を入力クロックの周波数のおよそ10分の1以上に大きくすることができないという制約がある。このため、PLLを構成するループフィルタのCR積を比較的大きく設定する必要がある。比較的大きなCR積を実現するためには、ループフィルタを構成する容量の容量値を大きく設定するのが一般的である。したがって、PLLの構成要素の中でもループフィルタはPLLの回路面積の大部分を占めることとなる。そして、PLLにおいて入力クロックの周波数が低くなればなるほど応答時間は長くなるため、ループフィルタを構成する容量の容量値をさらに大きく設定する必要がある。その結果、PLLの回路規模はますます大きくなってしまふ。このような問題を解決するためにも、ループフィルタの回路規模縮小が求められるところである。

40

【0004】

50

ループフィルタの縮小化という点では、スイッチトキャパシタフィルタを用いることが非常に効果的である。スイッチトキャパシタフィルタでは、フィルタの構成要素である抵抗がスイッチトキャパシタで実現されており、比較的小さなスイッチトキャパシタで非常に大きな抵抗値が実現できる。また、入力電流の量を少なくすることによって、スイッチトキャパシタフィルタを構成する容量を全体的に小さくすることができ、回路規模の縮小及び消費電力の低減といった効果が奏される（例えば、非特許文献1参照）。

【非特許文献1】T.Lee and B.Razavi, "A stabilization technique for phase-locked frequency synthesizer", in Proc. 2001 Symp. VLSI Circuits, Kyoto, Japan, June 2001, pp.39-42

【発明の開示】

10

【発明が解決しようとする課題】

【0005】

しかし、従来のスイッチトキャパシタフィルタは、スイッチトキャパシタが入力電流をサンプリングしながらこのときに生じる電圧を出力するという構成となっている。このため、スイッチトキャパシタが入力側に接続された状態、すなわち、電流が入力されている間は漸増（電流が負の場合には漸減）する電圧が出力され、スイッチトキャパシタが入力側から切断された状態、すなわち、電流が入力されていない間は平滑化された一定電圧が出力される。すなわち、従来のスイッチトキャパシタフィルタでは入力信号が完全に平滑化されずに電圧信号が出力されることとなる。

【0006】

20

図12は、従来のスイッチトキャパシタフィルタの出力電圧のグラフである。このグラフは、スイッチトキャパシタフィルタに断続的に電流信号が入力されたときの出力電圧の変化を示している。上述したように、出力電圧は、電流入力時には三角波状となる一方、電流非入力時には一定電圧となるため、スイッチトキャパシタフィルタの出力電圧には高周波成分が含まれてしまうこととなる。この結果、図13に示したように、PLLの出力に高調波スプリアスが混入し、信号品質劣化の原因となっていた。

【0007】

上記問題に鑑み、本発明は、完全に平滑化された信号を出力するスイッチトキャパシタフィルタを実現し、位相同期回路や遅延ロックループ回路などのフィードバックシステムの出力への高調波スプリアスの混入を抑制するループフィルタ、及びこのようなループフィルタを備えたフィードバックシステムの提供を課題とする。

30

【課題を解決するための手段】

【0008】

上記課題を解決するために本発明が講じた手段は、フィルタ容量を備え、入力された電流信号を当該フィルタ容量で平滑化して電圧信号を出力するスイッチトキャパシタフィルタとして、ある位相で、電流信号の入力によって供給される電荷を充電し、次の位相で、上記の充電によって生じた電圧と前の位相におけるフィルタ容量の電圧とを平均化した電圧を電圧信号として出力し、さらに次の位相で、上記の平均化された電圧とフィルタ容量の電圧とをさらに平均化するものとする。

【0009】

40

この発明によると、ある位相で、電流信号の入力によって供給される電荷は一端充電されてから、次の位相で、その充電によって生じた電圧とその前の位相におけるフィルタ容量の電圧とを平均化した電圧が出力され、さらにその次の位相で、その平均化された電圧とフィルタ容量の電圧とがさらに平均化される。したがって、サンプリング中の充電電圧が出力側に直接伝わることなく、フィルタ容量によって完全に平滑化された電圧信号が出力される。

【0010】

具体的には、上記のスイッチトキャパシタフィルタは、容量を有し、この容量が電流信号の入力端に接続された第1の状態、この容量が電圧信号の出力端に接続された第2の状態、及びこの容量がフィルタ容量の側に接続された第3の状態が循環する第1、第2及び

50

第3のスイッチトキャパシタ回路を備えており、これら第1から第3のスイッチトキャパシタ回路は、互いに第1から第3の状態が重ならないようにインターリーブ制御されるものとする。

【0011】

好ましくは、上記のスイッチトキャパシタフィルタにおいて、フィルタ容量及び第1から第3のスイッチトキャパシタ回路における容量は、いずれもMOS容量とする。

【0012】

また、具体的には、上記のスイッチトキャパシタフィルタは、2個の容量を有し、いずれか一方の容量が電流信号の入力端に接続されるとき他の容量が電圧信号の出力端に接続される第1のスイッチトキャパシタ回路と、2個の容量を有し、いずれか一方の容量が電圧信号の出力端に接続されるとき他の容量がフィルタ容量の側に接続される第2のスイッチトキャパシタ回路とを備えたものとする。

10

【0013】

好ましくは、上記のスイッチトキャパシタフィルタにおいて、フィルタ容量及び第1及び第2のスイッチトキャパシタ回路における容量は、いずれもMOS容量とする。

【0014】

一方、本発明が講じた手段は、入力クロックに基づいて生成した出力クロックを帰還させ、この出力クロックを所定の特性にするフィードバックシステムとして、入力クロックと帰還されたクロックとの位相差に基づいてチャージ電流を生成するチャージポンプ回路と、フィルタ容量を有し、入力されたチャージ電流をこのフィルタ容量で平滑化して電圧信号を出力するループフィルタであって、ある位相で、チャージ電流の入力によって供給される電荷を充電し、次の位相で、上記の充電によって生じた電圧と前の位相におけるフィルタ容量の電圧とを平均化した電圧を電圧信号として出力し、さらに次の位相で、上記の平均化された電圧とフィルタ容量の電圧とをさらに平均化するループフィルタと、ループフィルタから出力された電圧信号に基づいて出力クロックを生成する出力クロック生成回路とを備えたものとする。

20

【0015】

この発明によると、ループフィルタにおいて、ある位相で、チャージ電流の入力によって供給される電荷は一端充電されてから、次の位相で、その充電によって生じた電圧とその前の位相におけるフィルタ容量の電圧とを平均化した電圧が出力され、さらにその次の位相で、その平均化された電圧とフィルタ容量の電圧とがさらに平均化される。したがって、サンプリング中の充電電圧が出力側に直接伝わることがなく、フィルタ容量によって完全に平滑化された電圧信号がループフィルタから出力される。この結果、ループフィルタから出力される電圧信号には高周波成分が含まれず、フィードバックシステムの出力への高調波スプリアスの混入が抑制される。

30

【0016】

具体的には、上記のループフィルタは、容量を有し、この容量がチャージ電流の入力端に接続された第1の状態、この容量が電圧信号の出力端に接続された第2の状態、及びこの容量がフィルタ容量の側に接続された第3の状態が循環する第1、第2及び第3のスイッチトキャパシタ回路を備えたものであり、上記のフィードバックシステムは、入力クロックの立ち下がり変化に基づいて排他的な3相の制御クロックを生成する制御クロック生成回路を備えており、第1から第3のスイッチトキャパシタ回路は、制御クロック生成回路によって生成された3相の制御クロックに従って、互いに第1から第3の状態が重ならないようにインターリーブ制御されるものとする。

40

【0017】

また、具体的には、上記のループフィルタは、2個の容量を有し、いずれか一方の容量がチャージ電流の入力端に接続されるとき他の容量が電圧信号の出力端に接続される第1のスイッチトキャパシタ回路と、2個の容量を有し、いずれか一方の容量が電圧信号の出力端に接続されるとき他の容量がフィルタ容量の側に接続される第2のスイッチトキャパシタ回路とを備えたものであり、上記のフィードバックシステムは、入力クロックの立ち

50

下がり変化に基づいて排他的な2相の制御クロックを生成する制御クロック生成回路を備えており、第1及び第2のスイッチトキャパシタ回路は、制御クロック生成回路によって生成された2相の制御クロックに従って動作するものとする。

【発明の効果】

【0018】

以上のように本発明によると、スイッチトキャパシタフィルタから完全に平滑化された電圧信号が出力される。そして、このスイッチトキャパシタフィルタをループフィルタとして備えたフィードバックシステムにおいて、出力への高調波スプリアスの混入が抑制されるため、極めて高品質な出力クロックを得ることができる。

【発明を実施するための最良の形態】

10

【0019】

以下、本発明を実施するための最良の形態について、図面を参照しながら説明する。

【0020】

(第1の実施形態)

図1は、本発明の第1の実施形態に係るPLLの構成を示す。本実施形態に係るPLLは、位相比較器10と、チャージポンプ回路20と、ループフィルタ(LPF)30Aと、出力クロック生成回路としての電圧制御発振器(VCO)40と、分周器50と、制御クロック生成回路60Aとを備えている。位相比較器10は、PLLに与えられる入力クロックCK_{in}と帰還クロックCK_{div}との位相を比較し、この位相差に応じたアップ信号UPおよびダウン信号DNを出力する。チャージポンプ回路20は、アップ信号UPおよびダウン信号DNに基づいてプッシュプル動作をし、チャージ電流I_pを出力(吐き出し又は吸い込み)する。電圧制御発振器40は、ループフィルタ30Aから出力された電圧V_{out}に基づいて、PLLの出力クロックCK_{out}の周波数を変化させる。分周器50は、出力クロックCK_{out}をN(Nは自然数)分周し、帰還クロックCK_{div}として位相比較器10にフィードバックする。以上の動作を繰り返すうちに、出力クロックCK_{out}は次第に所定の周波数に収束し、ロックされる。以下、ループフィルタ30A及び制御クロック生成回路60Aの構成及び動作について詳細に説明する。

20

【0021】

制御クロック生成回路60Aは、入力クロックCK_{in}の立ち下がり変化に基づいて制御クロックCK₁、CK₂及びCK₃を生成し、ループフィルタ30Aにこれら制御クロックCK₁~CK₃を与える。図2は、制御クロック生成回路60Aの回路構成を示す。また、図3は、制御クロック生成回路60Aのタイミングチャートである。

30

【0022】

インバータ61は、入力クロックCK_{in}を反転し、クロック/CK_{in}を出力する。Dフリップフロップ621、622、623及び624は、クロック/CK_{in}の立ち上がり変化に同期して動作する。Dフリップフロップ621及び622の出力は、それぞれ、NORゲート66の入力となる。NORゲート66の出力は、Dフリップフロップ621のデータ入力である。NANDゲート631は、Dフリップフロップ622の反転出力と制御クロックCK₃との否定論理積を制御クロックCK₁として出力する。NANDゲート632は、Dフリップフロップ623の反転出力と制御クロックCK₁との否定論理積を制御クロックCK₂として出力する。そして、NANDゲート633は、Dフリップフロップ624の反転出力と制御クロックCK₂との否定論理積を制御クロックCK₃として出力する。上記構成の制御クロック生成回路60Aから出力される制御クロックCK₁、CK₂及びCK₃の相は互いに異なり、かつ、オンデューティが重なることがない。すなわち、制御クロック生成回路60Aは、入力クロックCK_{in}の立ち下がり変化に基づいて排他的な3相の制御クロックを生成する。

40

【0023】

一方、ループフィルタ30Aは、入力されたチャージ電流I_pを平滑化して電圧V_{out}を出力するスイッチトキャパシタフィルタとして構成されている。図4は、ループフィルタ30Aの回路構成を示す。ループフィルタ30Aは、3個のスイッチトキャパシタ回

50

路 3 2 と、M O S 容量として構成された容量 3 1、3 3 及び 3 4 とを備えている。

【 0 0 2 4 】

各スイッチトキャパシタ回路 3 2 は、M O S 容量として構成された容量 3 2 1 と、スイッチ 3 2 2、3 2 3 及び 3 2 4 とを備えている。容量 3 2 1 は、一端が接地され、他端がスイッチ 3 2 2 ~ 3 2 4 に接続されている。各スイッチ 3 2 2 は、各容量 3 2 1 とチャージ電流 I_p の入力端との電氣的な接続の有無を制御する。各スイッチ 3 2 3 は、各容量 3 2 1 と電圧 V_{out} の出力端との電氣的な接続の有無を制御する。そして、各スイッチ 3 2 4 は、各容量 3 2 1 と容量 3 1 との電氣的な接続の有無を制御する。

【 0 0 2 5 】

容量 3 1 は、一端が接地され、他端が各スイッチトキャパシタ回路 3 2 のスイッチ 3 2 4 に接続されている。容量 3 1 は、スイッチ 3 2 4 がオンとなっているスイッチトキャパシタ回路 3 2 における容量 3 2 1 に充電された電荷を次々と受ける。すなわち、容量 3 1 は、チャージ電流 I_p によって供給される電荷を蓄積して平滑電圧を生成するフィルタ容量として機能する。

【 0 0 2 6 】

容量 3 3 は、一端が接地され、他端がチャージ電流 I_p の入力端に接続されている。また、容量 3 4 は、一端が接地され、他端が電圧 V_{out} の出力端に接続されている。容量 3 3 及び 3 4 は、主に、各スイッチトキャパシタ回路 3 2 のスイッチングノイズを緩和する働きをする。容量 3 3 および 3 4 は、理論的には省略可能であるが、実際の回路では設けることが好ましい。

【 0 0 2 7 】

各スイッチトキャパシタ回路 3 2 におけるスイッチ 3 2 2 ~ 3 2 4 は、上記の制御クロック CK_1 、 CK_2 及び CK_3 に従って動作し、スイッチ 3 2 2 のみがオンとなる状態、スイッチ 3 2 3 のみがオンとなる状態、及びスイッチ 3 2 4 のみがオンとなる状態が循環する。また、3 個のスイッチトキャパシタ回路 3 2 は、互いの動作状態が重ならないようにインターリーブ制御される。図 5 (a)、(b) 及び (c) は、各スイッチトキャパシタ回路 3 2 における容量 3 2 1 の接続状態の変化を示す。各スイッチトキャパシタ回路 3 2 における容量 3 2 1 の接続状態は、図 5 (a)、(b) 及び (c) に示した順に変化し、図 5 (c) に示した接続状態の次は再び図 5 (a) に示した接続状態から繰り返される。

【 0 0 2 8 】

各スイッチトキャパシタ回路 3 2 は制御クロック CK_1 ~ CK_3 によってスイッチング制御されるため、そのスイッチングのタイミングは入力クロック CK_{in} が立ち下がり変化をしたときとなる。したがって、チャージ電流 I_p が入力されている最中に各スイッチトキャパシタ回路 3 2 のスイッチング制御が行われることがなく、ループフィルタ 3 0 A の正常動作が保証される。

【 0 0 2 9 】

一の容量 3 2 1 に着目したときの本実施形態に係るループフィルタ 3 0 A の動作は次のように説明される。すなわち、ある位相において、容量 3 2 1 はチャージ電流 I_p の入力端に接続され、チャージ電流 I_p の入力によって供給される電荷を充電する (サンプリング動作)。ここで、容量 3 2 1 は、前の位相において容量 3 1 に接続されており、前の位相における容量 3 1 との間で平均化された電圧を保持している。したがって、容量 3 2 1 がチャージ電流 I_p の入力端に接続されることによって、チャージ電流 I_p の入力によって生じた電圧と、前の位相において容量 3 2 1 と容量 3 1 との間で平均化された電圧とについて、さらに平均化が行われ、容量 3 2 1 はこの平均化された電圧を保持することとなる。そして、次の位相において、容量 3 2 1 は電圧 V_{out} の出力端に接続され、上記の平均化された電圧が出力端に伝達される (電圧出力動作)。さらに次の位相において、容量 3 2 1 は容量 3 1 に接続されることによって、充電した電荷が容量 3 1 に転送され、容量 3 2 1 と容量 3 1 との間で電圧がさらに平均化される (イコライズ動作)。そして、上述のサンプリング動作、出力動作及びイコライズ動作からなる一連の動作を、3 つの容量

10

20

30

40

50

3 2 1 について互いにずらして繰り返すことによって、容量 3 1、3 3 及び 3 4 及び 3 つの容量 3 2 1 は、平均化された一の電圧に収束していく。

【0030】

以上、本実施形態によると、スイッチトキャパシタフィルタとして構成されたループフィルタについて、入力されたチャージ電流が一端サンプリングされてから次の位相で電圧信号が出力される。すなわち、ループフィルタからは完全に平滑化された電圧信号が出力される。図 6 は、本実施形態に係るループフィルタの出力電圧のグラフである。本実施形態に係るループフィルタの出力には三角波が現れず、完全に平滑化された電圧が階段状に出力されている。これにより、本実施形態に係る PLL の出力への高調波スプリアスの混入が抑制され、極めて高品質な出力クロックが生成される。

10

【0031】

なお、上記説明は 3 個のスイッチトキャパシタ回路をインターリーブ制御する例についてのものであるが、 n 個 (n は 4 以上の整数) のスイッチトキャパシタ回路をインターリーブ制御することによっても上記と同様の効果を得ることができる。すなわち、一の容量に n 個のスイッチが接続された n 個のスイッチトキャパシタ回路を、排他的な n 相の制御クロックでインターリーブ制御することで、入力電流を一端サンプリングしてから次の位相で電圧出力することが実現可能である。

【0032】

また、スイッチ 3 2 2 ~ 3 2 4 は、制御クロック $CK1 \sim CK3$ が L レベルのときにオンとなるようにしてもよい。この場合、制御クロック生成回路 6 0 A は、上記説明とは逆の論理の制御信号 $CK1 \sim CK3$ を生成すればよい。

20

【0033】

(第 2 の実施形態)

図 7 は、本発明の第 2 の実施形態に係る PLL の構成を示す。本実施形態に係る PLL は、第 1 の実施形態に係る PLL とは異なる構成のループフィルタ 3 0 B と、制御クロック生成回路 6 0 B とを備えている。これ以外の構成要素については第 1 の実施形態と同様である。以下、第 1 の実施形態と異なる点についてのみ説明する。

【0034】

制御クロック生成回路 6 0 B は、入力クロック CK_{in} の立ち下がり変化に基づいて制御クロック $CK1$ 及び $CK2$ を生成し、ループフィルタ 3 0 B にこれら制御クロックを与える。図 8 は、制御クロック生成回路 6 0 B の回路構成を示す。また、図 9 は、制御クロック生成回路 6 0 B のタイミングチャートである。

30

【0035】

インバータ 6 1 は、入力クロック CK_{in} を反転し、クロック / CK_{in} を出力する。D フリップフロップ 6 2 は、クロック / CK_{in} の立ち上がり変化に同期して動作する。インバータ 6 4 1 及び NAND ゲート 6 4 2 及び 6 4 3 からなる回路部分は、D フリップフロップ 6 2 の Q 出力に基づいて制御クロック $CK1$ 及び $CK2$ を生成する。上記構成の制御クロック生成回路 6 0 B から出力される制御クロック $CK1$ 及び $CK2$ の相は互いに異なり、かつ、オンデューティが重なることがない。すなわち、制御クロック生成回路 6 0 B は、入力クロック CK_{in} の立ち下がり変化に基づいて排他的な 2 相の制御クロックを生成する。

40

【0036】

一方、ループフィルタ 3 0 B は、入力されたチャージ電流 I_p を平滑化して電圧 V_{out} を出力するスイッチトキャパシタフィルタとして構成されている。図 10 は、ループフィルタ 3 0 B の回路構成を示す。ループフィルタ 3 0 B は、スイッチトキャパシタ回路 3 2 a 及び 3 2 b と、MOS 容量として構成された容量 3 1、3 3 及び 3 4 とを備えている。

【0037】

スイッチトキャパシタ回路 3 2 a は、MOS 容量として構成された容量 3 2 1 a 及び 3 2 1 b と、スイッチ 3 2 2 a、3 2 2 b、3 2 3 a 及び 3 2 3 b とを備えている。容量 3

50

2 1 a は、一端が接地され、他端がスイッチ 3 2 2 a 及び 3 2 3 a に接続されている。同様に、容量 3 2 1 b は、一端が接地され、他端がスイッチ 3 2 2 b 及び 3 2 3 b に接続されている。スイッチ 3 2 2 a は、容量 3 2 1 a とチャージ電流 I_p の入力端との電気的な接続の有無を制御する。スイッチ 3 2 3 a は、容量 3 2 1 a と電圧 V_{out} の出力端との電気的な接続の有無を制御する。同様に、スイッチ 3 2 2 b は、容量 3 2 1 b とチャージ電流 I_p の入力端との電気的な接続の有無を制御する。スイッチ 3 2 3 b は、容量 3 2 1 b と電圧 V_{out} の出力端との電気的な接続の有無を制御する。

【0038】

容量 3 1 は、一端が接地され、他端がスイッチトキャパシタ回路 3 2 b のスイッチ 3 2 2 a 及び 3 2 2 b に接続されている。なお、スイッチトキャパシタ回路 3 2 b は、スイッチ 3 2 2 a 及び 3 2 2 b の接続先が容量 3 1 である他は、上記のスイッチトキャパシタ回路 3 2 a と同様の構成をしている。容量 3 1 は、スイッチトキャパシタ回路 3 2 b におけるスイッチ 3 2 2 a がオンとなっているとき、スイッチトキャパシタ回路 3 2 b における容量 3 2 1 a に充電された電荷を受け、スイッチトキャパシタ回路 3 2 b におけるスイッチ 3 2 2 b がオンとなっているとき、スイッチトキャパシタ回路 3 2 b における容量 3 2 1 b に充電された電荷を受ける。すなわち、容量 3 1 は、チャージ電流 I_p の入力によって供給される電荷を蓄積して平滑電圧を生成するフィルタ容量として機能する。また、容量 3 3 及び 3 4 については、第 1 の実施形態で説明したとおりである。

10

【0039】

スイッチトキャパシタ回路 3 2 a において、スイッチ 3 2 2 a 及び 3 2 3 b は上記の制御クロック CK_1 に従って動作し、スイッチ 3 2 2 b 及び 3 2 3 a は上記の制御クロック CK_2 に従って動作する。したがって、容量 3 2 1 a 及び 3 2 1 b のいずれか一方がチャージ電流 I_p の入力端に接続されるとき他は電圧 V_{out} の出力端に接続される。同様に、スイッチトキャパシタ回路 3 2 b において、スイッチ 3 2 2 a 及び 3 2 3 b は上記の制御クロック CK_1 に従って動作し、スイッチ 3 2 2 b 及び 3 2 3 a は上記の制御クロック CK_2 に従って動作する。したがって、容量 3 2 1 a 及び 3 2 1 b のいずれか一方が容量 3 1 に接続されるとき他は電圧 V_{out} の出力端に接続される。図 11 (a) 及び (b) は、スイッチトキャパシタ回路 3 2 a 及び 3 2 b における容量 3 2 1 a 及び 3 2 1 b の接続状態の変化を示す。スイッチトキャパシタ回路 3 2 a 及び 3 2 b における容量 3 2 1 a 及び 3 2 1 b については、図 11 (a) 及び (b) に示した接続状態が交互に繰り返される。

20

30

【0040】

容量 3 2 1 a に着目したときの本実施形態に係るループフィルタ 3 0 B の動作は次のように説明される。すなわち、ある位相において、スイッチトキャパシタ回路 3 2 a における容量 3 2 1 a はチャージ電流 I_p の入力端に接続され、チャージ電流 I_p の入力によって供給される電荷を充電する (サンプリング動作) 。このとき、スイッチトキャパシタ回路 3 2 b における容量 3 2 1 a は容量 3 1 に接続されており、容量 3 1 との間で平均化された電圧を保持することとなる。そして、次の位相において、スイッチトキャパシタ回路 3 2 a 及び 3 2 b における容量 3 2 1 a はいずれも電圧 V_{out} の出力端に接続され、これら容量 3 2 1 a の電圧が平均化され、この平均化された電圧が出力される (電圧出力動作) 。さらに次の位相において、スイッチトキャパシタ回路 3 2 b における容量 3 2 1 a が容量 3 1 に接続されることによって、この容量 3 2 1 a に蓄積された電荷が容量 3 1 に転送され、この容量 3 2 1 a と容量 3 1 との間で電圧がさらに平均化される (イコライズ動作) 。そして、上述のサンプリング動作、出力動作及びイコライズ動作からなる一連の動作を、2 つの容量 3 2 1 a の組及び 2 つの容量 3 2 1 b の組について互いにずらして繰り返すことによって、容量 3 1、3 3 及び 3 4 及び 2 つの容量 3 2 1 a 及び 2 つの容量 3 2 1 b は、平均化された一の電圧に収束していく。

40

【0041】

以上、本実施形態によると、2 個のスイッチトキャパシタ回路をインタリーブ制御して、完全に平滑化されたループフィルタ出力を得ることができる。本実施形態に係るループ

50

フィルタの出力電圧の変化は図6に示したグラフと同様である。また、本実施形態では、スイッチトキャパシタ回路32a及び32bにおける容量321a及び321bの容量値を独立に設定でき、また、制御クロック生成回路60Bが比較的簡易な構成となるといった利点がある。

【0042】

なお、第1及び第2の実施形態において、ループフィルタ30A及び30Bを構成する各容量は、MOS容量以外にも、例えば、2層ポリシリコン容量、配線間容量及びMIM容量等であってもよい。しかし、LSIにおいて構成される容量の中でもMOS容量は単位面積当たりの容量が最も大きいため、回路規模の縮小を考慮するとMOS容量を用いることが好ましい。MOSトランジスタをMOS容量として用いるためにはその閾値電圧以上の電圧を印加する必要があるが、本発明に係るループフィルタでは常にMOSトランジスタの閾値以上の電圧が印加される構成となっており、MOS容量を使用するための条件は満たされている。

10

【0043】

また、図1及び図7のそれぞれに示したPLLにおいて、電圧制御発振器40に代えて出力クロック生成回路としての電圧制御遅延回路(VCD)を設け、分周器50を省略して当該電圧制御遅延回路が出力する出力クロックCkoutを、直接、位相比較器10にフィードバックすることで、遅延ロックループ回路(DLL)が構成される。

【産業上の利用可能性】

【0044】

本発明に係るフィードバックシステムは、完全に平滑化された電圧信号を出力するスイッチトキャパシタフィルタをループフィルタとして備え、高調波スプリアスの混入がない極めて高品質な出力クロックを生成するため、通信システムなどに有用である。

20

【図面の簡単な説明】

【0045】

【図1】第1の実施形態に係る位相同期回路の構成図である。

【図2】第1の実施形態に係る制御クロック生成回路の回路構成図である。

【図3】第1の実施形態に係る制御クロック生成回路のタイミングチャートである。

【図4】第1の実施形態に係るループフィルタの回路構成図である。

【図5】第1の実施形態に係るスイッチトキャパシタ回路における容量の接続状態の変化を示した図である。

30

【図6】第1の実施形態に係るスイッチトキャパシタフィルタの出力電圧のグラフである。

【図7】第2の実施形態に係る位相同期回路の構成図である。

【図8】第2の実施形態に係る制御クロック生成回路の回路構成図である。

【図9】第2の実施形態に係る制御クロック生成回路のタイミングチャートである。

【図10】第2の実施形態に係るループフィルタの回路構成図である。

【図11】第2の実施形態に係るスイッチトキャパシタ回路における容量の接続状態の変化を示した図である。

40

【図12】従来のスイッチトキャパシタフィルタの出力電圧のグラフである。

【図13】従来のスイッチトキャパシタフィルタを備えた位相同期回路の出力に含まれるスプリアスノイズを示すグラフである。

【符号の説明】

【0046】

20 チャージポンプ回路

30A、30B ループフィルタ

31 フィルタ容量

32 スwitchトキャパシタ回路(第1、第2及び第3のスイッチトキャパシタ回路)

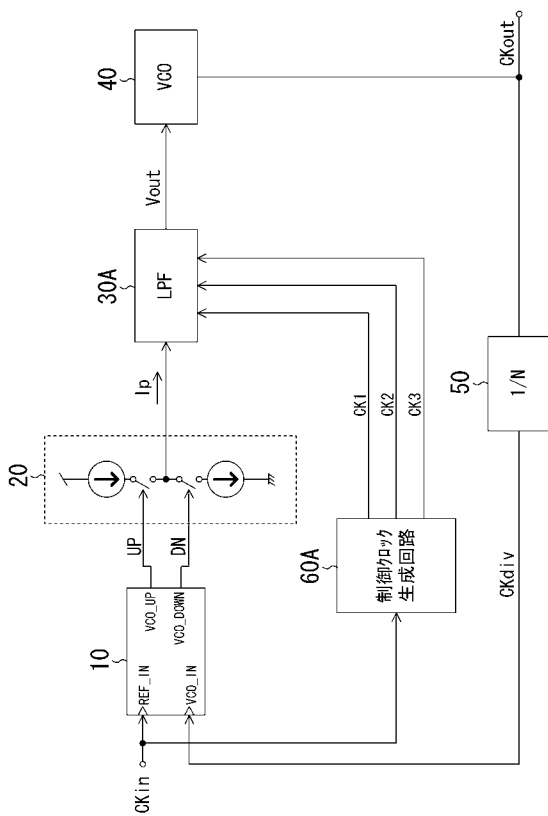
32a スwitchトキャパシタ回路(第1のスイッチトキャパシタ回路)

32b スwitchトキャパシタ回路(第2のスイッチトキャパシタ回路)

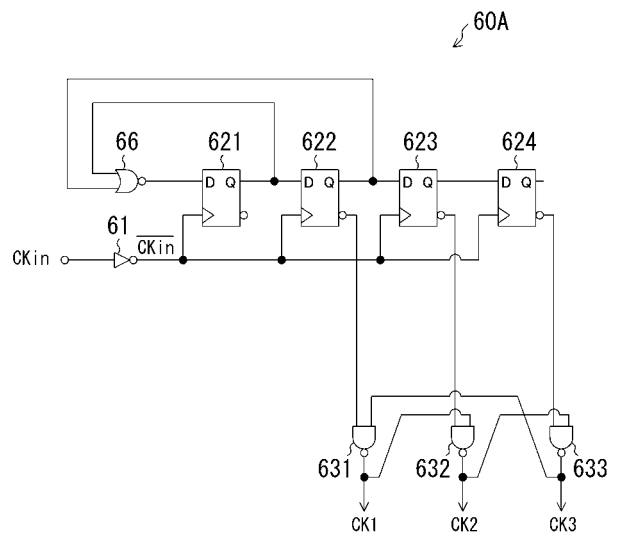
50

- 3 2 1、3 2 1 a、3 2 1 b 容量
- 4 0 電圧制御発振器（出力クロック生成回路）
- 6 0 A、6 0 B 制御クロック生成回路

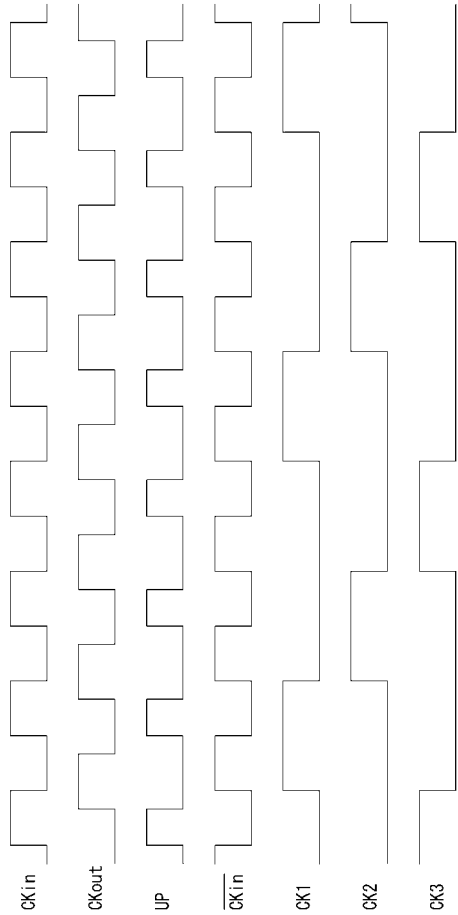
【 図 1 】



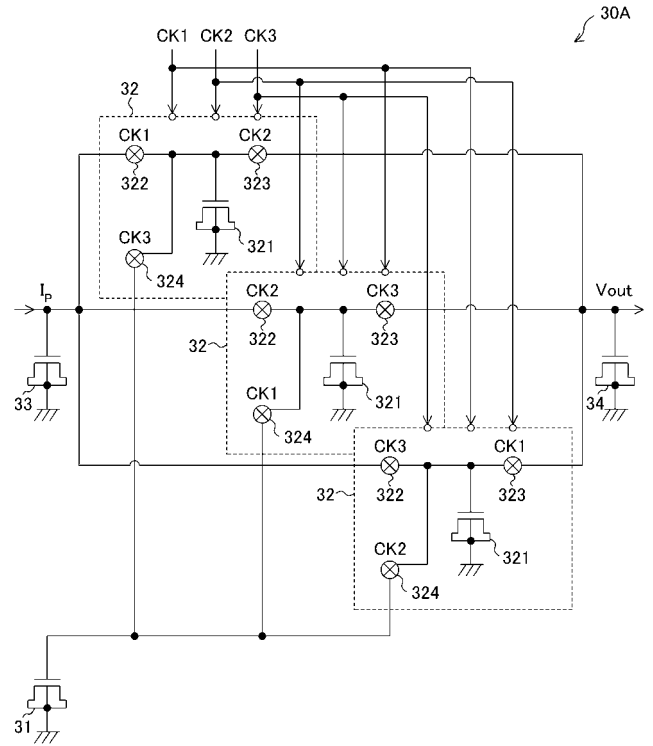
【 図 2 】



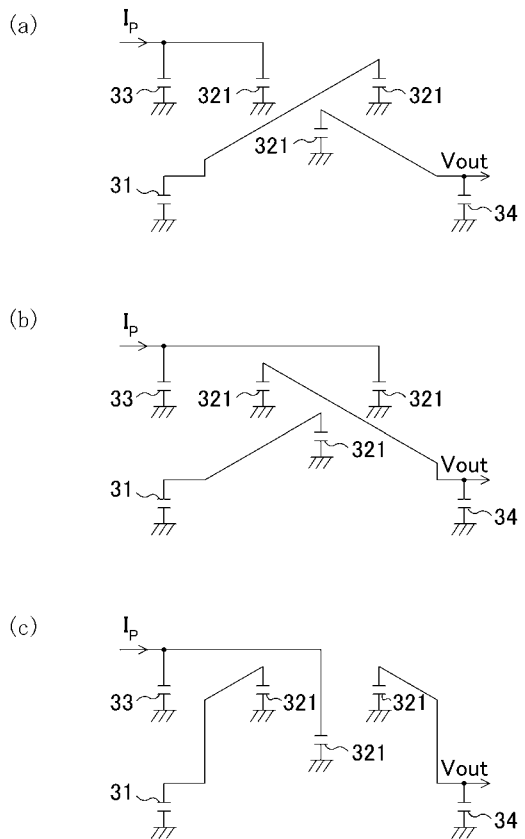
【 図 3 】



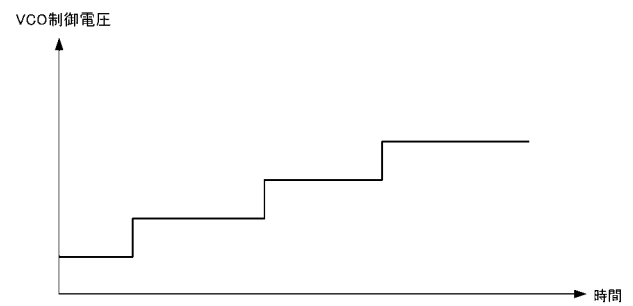
【 図 4 】



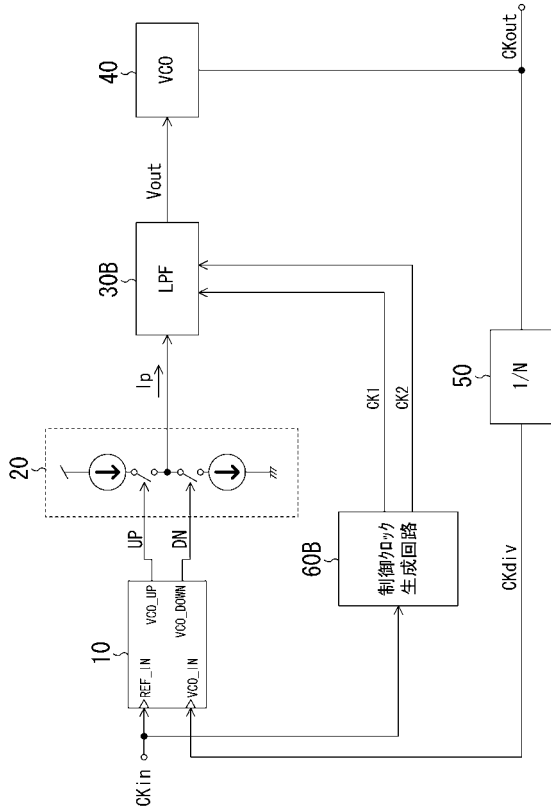
【 図 5 】



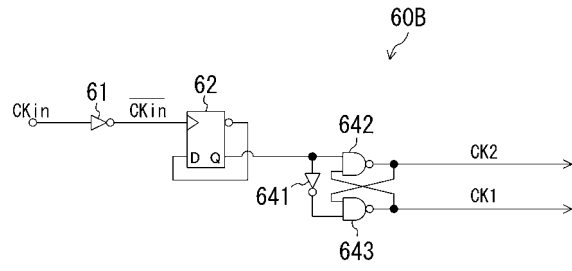
【 図 6 】



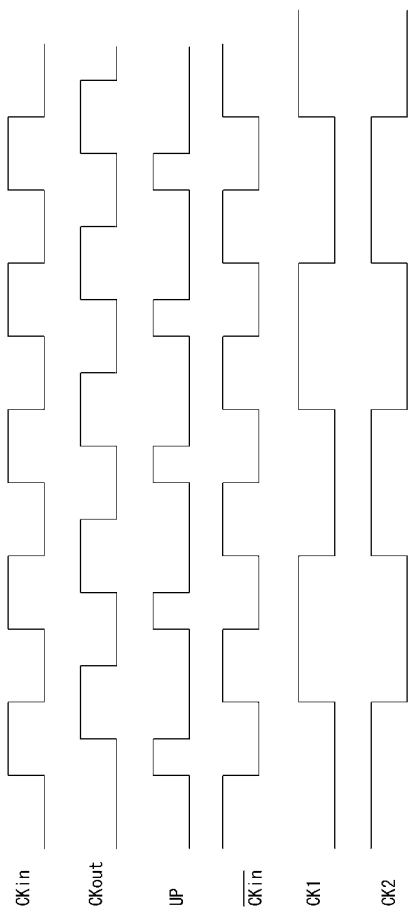
【 図 7 】



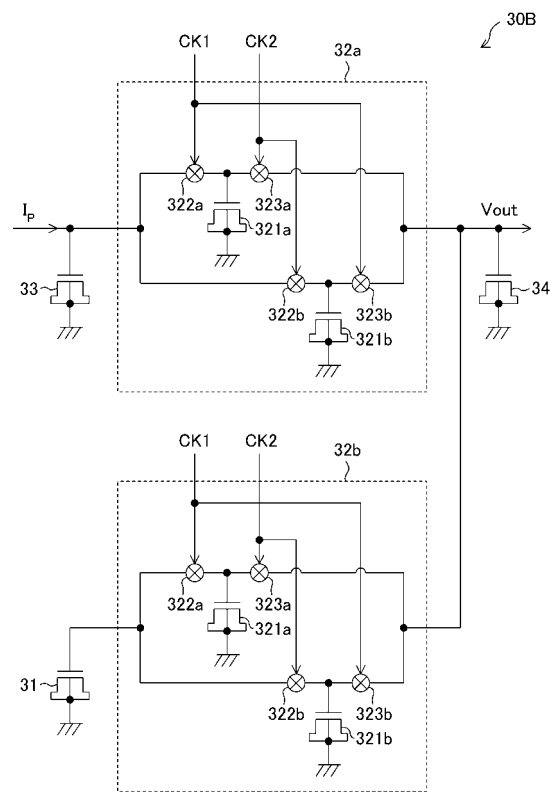
【 図 8 】



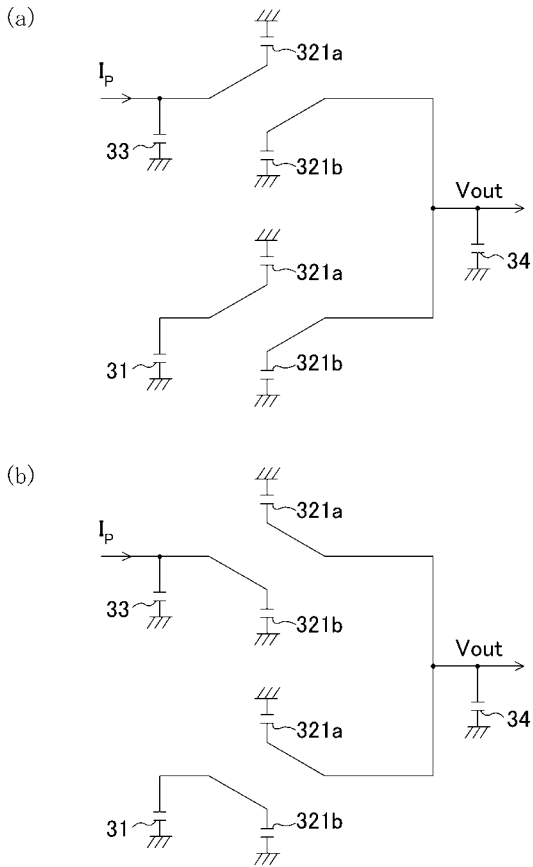
【 図 9 】



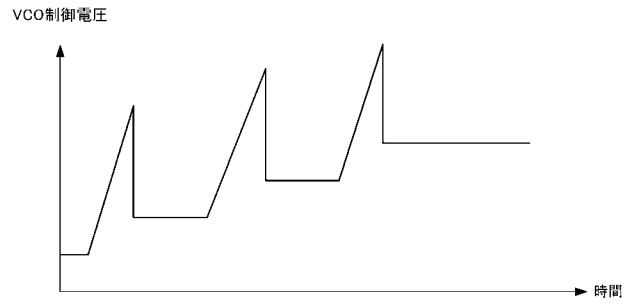
【 図 10 】



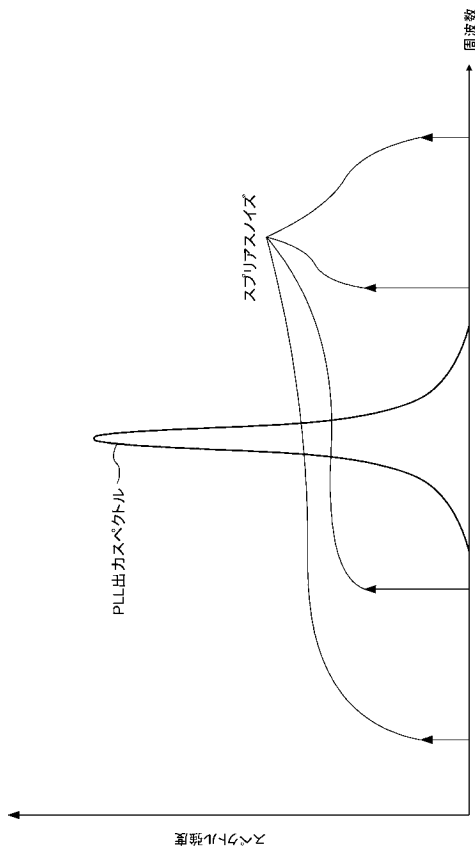
【 図 1 1 】



【 図 1 2 】



【 図 1 3 】



フロントページの続き

(74)代理人 100115691

弁理士 藤田 篤史

(74)代理人 100117581

弁理士 二宮 克也

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(72)発明者 道正 志郎

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 徳永 祐介

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 森江 隆史

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

F ターム(参考) 5J023 CA01 CB05

5J106 AA04 CC01 CC24 CC38 CC46 CC52 DD46 DD48 GG07 HH02

JJ04 KK26 LL04