



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년02월08일
(11) 등록번호 10-2358552
(24) 등록일자 2022년01월27일

- (51) 국제특허분류(Int. Cl.)
G06F 13/16 (2006.01)
- (52) CPC특허분류
G06F 13/1636 (2013.01)
- (21) 출원번호 10-2020-7005042
- (22) 출원일자(국제) 2018년07월17일
심사청구일자 2020년02월20일
- (85) 번역문제출일자 2020년02월20일
- (65) 공개번호 10-2020-0022055
- (43) 공개일자 2020년03월02일
- (86) 국제출원번호 PCT/US2018/042397
- (87) 국제공개번호 WO 2019/022993
국제공개일자 2019년01월31일
- (30) 우선권주장
15/663,641 2017년07월28일 미국(US)
- (56) 선행기술조사문헌
US20070183242 A1*
US20120099389 A1*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
마이크론 테크놀로지, 인크
미국, 아이다호, 보이세, 사우스 페더럴 웨이 8000
- (72) 발명자
에이켈, 아민, 디.
미국, 아이다호 83707-0006, 보이세, 피.오. 박스 6, 사우스 페더럴 웨이 8000, 마이크론 테크놀로지, 인크 내
- (74) 대리인
한양특허법인

전체 청구항 수 : 총 34 항

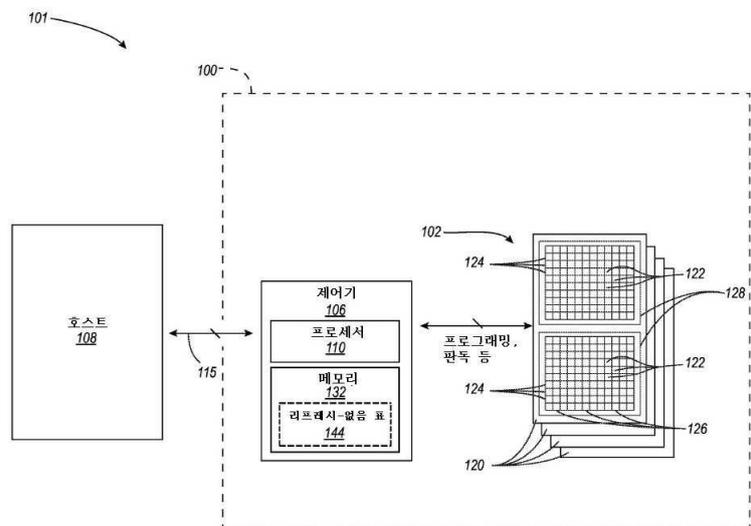
심사관 : 김세영

(54) 발명의 명칭 선택적 페이지-기반 리프레시를 이용하는 메모리 디바이스

(57) 요약

선택적 페이지-기반 리프레시를 이용하는 메모리 디바이스 및 시스템의 여러 실시형태가 본 명세서에 개시된다. 일 실시형태에서, 메모리 디바이스는 복수의 메모리 페이지를 포함하는 적어도 하나의 메모리 영역을 가진 메인 메모리에 동작 가능하게 결합된 제어를 포함한다. 제어기는 메모리 디바이스 상에 그리고/또는 호스트 디바이스 상에 저장된 하나 이상의 리프레시 스케줄 표에서, 리프레시 스케줄을 가진 복수의 메모리 페이지에서 메모리 페이지의 서브세트를 추적하도록 구성된다. 몇몇 실시형태에서, 제어기는 리프레시 스케줄에 따라 메모리 페이지의 서브세트를 리프레싱하도록 더 구성된다.

대표도 - 도1



명세서

청구범위

청구항 1

메모리 디바이스로서,

복수의 메모리 페이지를 포괄하는 복수의 비-휘발성 메모리 셀을 가진 메모리 영역을 포함하는 비-휘발성 메인 메모리; 및

상기 비-휘발성 메인 메모리에 동작 가능하게 결합된 제어기를 포함하되, 상기 제어기는,

제1 리프래시 스케줄을 가진 상기 복수의 메모리 페이지의 제1 서브세트 및 상기 제1 리프래시 스케줄과 상이한 제2 리프래시 스케줄을 가진 상기 복수의 메모리 페이지의 제2 서브세트를 추적하도록,

상기 제1 리프래시 스케줄에 따라 상기 메모리 페이지의 제1 서브세트를 리프래싱하도록, 그리고

상기 제2 리프래시 스케줄에 따라 상기 메모리 페이지의 제2 서브세트를 리프래싱하도록

구성된, 상기 제어기를 포함하는, 메모리 디바이스.

청구항 2

제1항에 있어서, 상기 제1 서브세트는 메모리 페이지의 인접한 범위이며, 상기 제어기는 상기 범위의 제1 페이지의 식별자 및 상기 범위의 마지막 페이지의 식별자를 사용하여 상기 제1 서브세트를 추적하도록 구성되는, 메모리 디바이스.

청구항 3

제1항에 있어서, 상기 제1 서브세트는 메모리 페이지의 인접한 범위이며, 상기 제어기는 상기 범위의 제1 페이지의 식별자 및 상기 범위의 길이를 사용하여 상기 제1 서브세트를 추적하도록 구성되는, 메모리 디바이스.

청구항 4

제1항에 있어서, 상기 제어기는 제1 메모리 페이지를 상기 제1 서브세트로부터 상기 제2 서브세트로 변환시키도록 더 구성되는, 메모리 디바이스.

청구항 5

제4항에 있어서, 상기 제어기는 상기 제1 메모리 페이지를 반복적으로 리프래싱함으로써 상기 제1 메모리 페이지로부터 임프린트를 제거하도록 더 구성되는, 메모리 디바이스.

청구항 6

제1항에 있어서, 상기 제어기는 또한 상기 제1 서브세트에 대응하는 메모리 페이지 내 데이터를 상기 복수의 메모리 페이지 내에서의 물리적으로 인접한 메모리 페이지에 통합하도록 구성되는, 메모리 디바이스.

청구항 7

제1항에 있어서, 상기 제어기는,

상기 제1 리프래시 스케줄 및 상기 제2 리프래시 스케줄과는 상이한 제3 리프래시 스케줄을 가진 상기 복수의 메모리 페이지의 제3 서브세트를 추적하도록 더 구성되는, 메모리 디바이스.

청구항 8

제7항에 있어서, 상기 제3 리프래시 스케줄은 상기 제3 서브세트를 결코 리프래싱하지 않는 것에 대응하는, 메모리 디바이스.

청구항 9

제1항에 있어서, 상기 제1 및 제2 리프레시 스케줄 중 적어도 하나는 마지막 리프레시 동작 이래 경과된 시간의 함수인, 메모리 디바이스.

청구항 10

제1항에 있어서, 상기 제1 및 제2 리프레시 스케줄 중 적어도 하나는 마지막 리프레시 동작 이래 동작의 수의 함수인, 메모리 디바이스.

청구항 11

제1항에 있어서, 상기 메모리 영역은 강유전성 메모리인, 메모리 디바이스.

청구항 12

제1항에 있어서, 상기 메모리 영역은 고분자 메모리인, 메모리 디바이스.

청구항 13

제1항에 있어서, 상기 제어기는 상기 메인 메모리 및 상기 제어기 중 적어도 하나에 저장된 하나 이상의 리프레시 스케줄 표에서 상기 제1 서브세트 및 상기 제2 서브세트를 추적하도록 구성되는, 메모리 디바이스.

청구항 14

복수의 메모리 페이지를 포괄하는 복수의 비-휘발성 메모리 셀을 가진 메모리 디바이스를 관리하는 방법으로서,

제1 리프레시 스케줄을 가진 상기 복수의 메모리 페이지의 제1 서브세트 및 상기 제1 리프레시 스케줄과는 상이한 제2 리프레시 스케줄을 가진 상기 복수의 메모리 페이지의 제2 서브세트를 추적하는 단계,

상기 제1 리프레시 스케줄에 따라 상기 메모리 페이지의 제1 서브세트를 리프레싱하는 단계, 및

상기 제2 리프레시 스케줄에 따라 상기 메모리 페이지의 제2 서브세트를 리프레싱하는 단계를 포함하는, 메모리 디바이스를 관리하는 방법.

청구항 15

제14항에 있어서, 상기 제1 리프레시 스케줄 및 상기 제2 리프레시 스케줄과는 상이한 제3 리프레시 스케줄을 가진 상기 복수의 메모리 페이지의 제3 서브세트를 추적하는 단계를 더 포함하는, 메모리 디바이스를 관리하는 방법.

청구항 16

제14항에 있어서, 제1 메모리 페이지를 상기 제1 서브세트로부터 상기 제2 서브세트로 변환시키는 단계를 더 포함하는, 메모리 디바이스를 관리하는 방법.

청구항 17

제16항에 있어서, 상기 제1 서브세트에 대응하는 메모리 페이지 내 데이터를 상기 복수의 메모리 페이지 내에서의 물리적으로 인접한 메모리 페이지에 통합하는 단계를 더 포함하는, 메모리 디바이스를 관리하는 방법.

청구항 18

제16항에 있어서, 상기 제1 서브세트 및 상기 제2 서브세트는 하나 이상의 리프레시 스케줄 표에서 추적되며 상기 방법은, 상기 하나 이상의 리프레시 스케줄 표에서, 상기 제1 메모리 페이지에 대응하는 상기 제1 리프레시 스케줄을 제3 리프레시 스케줄로 업데이트하는 단계를 더 포함하는, 메모리 디바이스를 관리하는 방법.

청구항 19

제18항에 있어서, 상기 제3 리프레시 스케줄은 상기 제1 메모리 페이지가 적어도 상기 제2 서브세트에 대응하는

상기 제2 리프레시 스케줄만큼 자주 리프레시 동작을 겪는, 메모리 디바이스를 관리하는 방법.

청구항 20

제19항에 있어서, 상기 제1 리프레시 스케줄은 상기 제1 서브세트를 결코 리프레싱하지 않는 것에 대응하는, 메모리 디바이스를 관리하는 방법.

청구항 21

제15항에 있어서, 상기 제3 리프레시 스케줄은 제1 메모리 페이지에서 임프린트를 제거하기 위해 상기 제1 메모리 페이지를 반복적으로 리프레싱하는 것에 대응하는, 메모리 디바이스를 관리하는 방법.

청구항 22

제14항에 있어서, 상기 제1 서브세트에 대응하는 메모리 페이지 내 데이터를 상기 복수의 메모리 페이지 내에서 물리적으로 인접한 메모리 페이지에 통합하는 단계를 더 포함하는, 메모리 디바이스를 관리하는 방법.

청구항 23

메모리 시스템으로서,

호스트 디바이스; 및

제어기 및 상기 제어기에 동작 가능하게 결합된 비-휘발성 메인 메모리를 포함하는 메모리 디바이스로서, 상기 비-휘발성 메인 메모리는 복수의 메모리 페이지를 포괄하는 복수의 비-휘발성 메모리 셀을 포함하는 메모리 영역을 가진, 상기 메모리 디바이스를 포함하되,

상기 제어기는,

제1 리프레시 스케줄을 가진 상기 복수의 메모리 페이지의 제1 서브세트 및 상기 제1 리프레시 스케줄과 상이한 제2 리프레시 스케줄을 가진 상기 복수의 메모리 페이지의 제2 서브세트를 추적하도록,

상기 제1 리프레시 스케줄에 따라 상기 메모리 페이지의 제1 서브세트를 리프레싱하도록, 그리고

상기 제2 리프레시 스케줄에 따라 상기 메모리 페이지의 제2 서브세트를 리프레싱하도록 구성되는, 메모리 시스템.

청구항 24

제23항에 있어서, 상기 제어기는 상기 메인 메모리, 상기 제어기, 및 상기 호스트 디바이스 중 적어도 하나 상에 저장된 하나 이상의 리프레시 스케줄 표에서 상기 제1 서브세트 및 상기 제2 서브세트를 추적하도록 구성되는, 메모리 시스템.

청구항 25

제24항에 있어서, 상기 제어기는 제1 메모리 페이지를 상기 제1 서브세트로부터 상기 제2 서브세트로 변환시키도록 더 구성되는, 메모리 시스템.

청구항 26

제25항에 있어서, 상기 메인 메모리, 상기 제어기, 및 상기 호스트 디바이스 중 적어도 하나는, 상기 하나 이상의 리프레시 스케줄 표에서, 상기 제1 메모리 페이지에 대응하는 상기 제1 리프레시 스케줄을 제3 리프레시 스케줄로 업데이트하도록 상기 제어기에 지시하기 위해 구성되는, 메모리 시스템.

청구항 27

제26항에 있어서, 상기 제3 리프레시 스케줄은 상기 제1 리프레시 스케줄 및 상기 제2 리프레시 스케줄과 상이한, 메모리 시스템.

청구항 28

제23항에 있어서, 상기 제1 서브세트는 메모리 페이지의 연속적인 범위이며, 상기 제어기는 상기 범위의 제1 페

이지의 식별자 및 상기 범위의 마지막 페이지의 식별자를 사용하여 상기 제1 서브세트를 추적하도록 구성되는, 메모리 시스템.

청구항 29

제23항에 있어서, 상기 제1 서브세트는 메모리 페이지의 연속적인 범위이며, 상기 제어기는 상기 범위의 제1 페이지의 식별자 및 상기 범위의 길이를 사용하여 상기 제1 서브세트를 추적하도록 구성되는, 메모리 시스템.

청구항 30

제23항에 있어서, 상기 메모리 영역은 강유전성 메모리인, 메모리 시스템.

청구항 31

제4항에 있어서, 상기 제1 리프레시 스케줄은 제1 빈도에 따라 상기 제1 서브세트를 리프레싱하는 것에 대응하고, 상기 제2 리프레시 스케줄은 상기 제1 빈도보다 적은 제2 빈도에 따라 상기 제2 서브세트를 리프레싱하는 것에 대응하는, 메모리 디바이스.

청구항 32

제4항에 있어서, 상기 제1 리프레시 스케줄은 제1 빈도에 따라 상기 제1 서브세트를 리프레싱하는 것에 대응하고, 상기 제2 리프레시 스케줄은 상기 제2 서브세트를 리프레싱하지 않는 것에 대응하는, 메모리 디바이스.

청구항 33

제4항에 있어서, 상기 제1 리프레시 스케줄은 상기 제1 서브세트를 리프레싱하지 않는 것에 대응하고, 상기 제2 리프레시 스케줄은 영이 아닌 빈도에 따라 상기 제2 서브세트를 리프레싱하는 것에 대응하는, 메모리 디바이스.

청구항 34

제1항에 있어서, 메모리 페이지의 상기 제1 서브세트 또는 상기 제2 서브세트를 리프레싱하기 위해, 상기 메모리 디바이스는, 상기 제1 서브세트 또는 상기 제2 서브세트에 대응하는 비-휘발성 메모리 셀의 데이터 상태 또는 극성을 변경하도록 구성되는, 메모리 디바이스.

발명의 설명

기술 분야

[0001] 개시된 실시형태는 메모리 디바이스 및 시스템에 관한 것이며, 특히 선택적 페이지-기반 리프레시를 이용하는 메모리 디바이스에 관한 것이다.

배경 기술

[0002] 메모리 디바이스는 컴퓨터 또는 다른 전자 디바이스에서 내부의, 반도체, 집적 회로 그리고/또는 외부 칩탈 가능한 디바이스로서 빈번하게 제공된다. 휘발성 및 비-휘발성 메모리를 포함하는, 많은 상이한 유형의 메모리가 있다. 특히, 랜덤-액세스 메모리(RAM), 동적 랜덤 액세스 메모리(DRAM) 및 동기식 동적 랜덤 액세스 메모리(SDRAM)를 포함하는, 휘발성 메모리는 그의 데이터를 유지하기 위해 인가된 전력의 소스를 요구할 수 있으며 매우 다양한 기술에서 이용 가능하다. 휘발성 메모리는 동작 동안 빈번하게 메모리 제어기에 의해 액세스되는 정보를 저장하며, 종종 비-휘발성 메모리보다 빠른 판독 및/또는 기록 시간을 보인다. 비-휘발성 메모리는, 반대로, 외부에서 동력이 공급되지 않을 때에도 그의 저장된 데이터를 유지할 수 있다. 특히, 플래시 메모리(예컨대, NAND 및 NOR), 상 변화 메모리(PCM), 저항성 랜덤 액세스 메모리(RRAM), 강유전성 랜덤 액세스 메모리(FerAM 또는 FRAM), 및 자기 랜덤 액세스 메모리(MRAM)를 포함하는, 비-휘발성 메모리가 또한 다양한 기술에서 이용 가능하다.

[0003] 몇몇 비-휘발성 메모리 기술(예컨대, 강유전성 메모리, 고분자 메모리 등)의 하나의 단점은 이들 기술이 그들의 메모리 셀이 연장된 시간 기간 동안 동일한 데이터 상태로 남아있을 때 임프린트(imprint)를 겪을 수 있다는 것이다. 데이터 상태가 메모리 셀에 새겨질 때, 메모리 셀은 메모리 제어기가 메모리 셀을 삭제하고 그리고/또는 그것을 상이한 데이터 상태로 프로그래밍하려고 시도할 때에도 상기 데이터를 유지하려는 경향이 있다. 따라서,

이들 임프린트에 취약한 메모리 기술은 데이터 상태가 메모리 셀로 새겨지는 것을 방지하기 위해 (예컨대, 메모리 셀에서 극성 및/또는 데이터 상태를 변경함으로써) 주기적으로 리프레시되어야 한다. 그러나, 이들 비-휘발성 메모리 기술을 위해 요구된 리프레시의 수는 특히, 메모리 기술이 더 치밀해짐에 따라, 많은 양의 에너지 및 메모리의 많은 양의 활동 시간(active time)을 소비할 수 있다.

도면의 간단한 설명

- [0004] 도 1은 본 기술의 실시형태에 따라 구성된 메모리 디바이스를 가진 시스템의 블록도이다.
- 도 2a 및 도 2b는 본 기술의 여러 실시형태에 따른 선택적 페이지-기반 리프레시를 예시한 표이다.
- 도 3a 및 도 3b는 본 기술의 여러 실시형태에 따른 선택적 페이지-기반 리프레시를 예시한 표이다.
- 도 4A 내지 도 4B는 본 기술의 실시형태에 따른 메모리 디바이스를 동작시키는 방법을 예시한 흐름도이다.
- 도 5A 내지 도 5B는 본 기술의 실시형태에 따른 메모리 디바이스를 동작시키는 부가적인 방법을 예시한 흐름도이다.
- 도 6은 본 기술의 실시형태에 따른 메모리 디바이스를 포함하는 시스템의 개략도이다.

발명을 실시하기 위한 구체적인 내용

- [0005] 이하에서 보다 상세하게 설명되는 바와 같이, 본 기술은 선택적 페이지-기반 리프레시를 이용하는 메모리 디바이스 및 관련 시스템에 관한 것이다. 이 기술분야의 숙련자는, 그러나, 기술이 부가적인 실시형태를 가질 수 있으며 기술이 도 1 내지 도 6을 참조하여 이하에서 설명되는 실시형태의 세부사항 중 몇몇 없이 실시될 수 있다는 것을 이해할 것이다. 이하에서의 예시된 실시형태에서, 메모리 디바이스는 주로 강유전성 저장 미디어를 통합한 디바이스의 맥락에서 설명된다. 본 기술의 다른 실시형태에 따라 구성된 메모리 디바이스는, 그러나, NAND, NOR, PCM, RRAM, MRAM, 판독 전용 메모리(ROM), 삭제 가능한 프로그램 가능 ROM(EROM), 전기적으로 삭제 가능한 프로그램 가능 ROM(EEPROM), 및 휘발성 저장 미디어를 포함하는, 다른 저장 미디어와 같은, 다른 유형의 저장 미디어를 포함할 수 있다.
- [0006] 본 기술의 일 실시형태는 제어기 및 메인 메모리를 포함하는 메모리 디바이스이다. 메인 메모리는 복수의 메모리 페이지를 가진 메모리 영역을 포함한다. 제어기는 메인 메모리에 동작 가능하게 결합되며 각각 제1 임프린트-리프레시 스케줄 및 제2 리프레시 임프린트-리프레시 스케줄을 가진 메인 메모리에서 복수의 메모리 페이지의 제1 서브세트 및 제2 서브세트를 추적하도록 구성된다. 제어기는 또한 대응하는 제1 및 제2 임프린트-리프레시 스케줄에 따라 복수의 메모리 페이지의 제1 서브세트 및 제2 서브세트를 리프레싱하도록 구성된다.
- [0007] 임프린트-리프레시 스케줄은 얼마나 자주 메모리 페이지가 임프린트 효과에 대응하기 위해 리프레싱되는지를 지시하기 위해 사용될 수 있다. 이러한 방식으로, 메모리 디바이스 내에서 메모리 페이지를 리프레싱하는데 쓴 메모리 디바이스의 활동 시간 및 소비된 에너지는 메모리 페이지의 분류 및/또는 유형(예컨대, 리프레시, 리프레시-없음(no-refresh), 매우-빈번한 리프레시, 빈번한 리프레시, 간헐적 리프레시 등)에 따라 관리될 수 있다.
- [0008] 도 1은 본 기술의 실시형태에 따라 구성된 메모리 디바이스(100)를 가진 시스템(101)의 블록도이다. 도시된 바와 같이, 메모리 디바이스(100)는 메인 메모리(102) 및 메인 메모리(102)를 호스트 디바이스(108)(예컨대, 업스트림 중앙 프로세서(CPU))에 동작 가능하게 결합한 제어기(106)를 포함한다. 메인 메모리(102)는, 복수의 메모리 셀(122)을 포함하는, 복수의 메모리 영역, 또는 메모리 유닛(120)을 포함한다. 메모리 유닛(120)은 개개의 메모리 다이, 단일 메모리 다이에서의 메모리 평면, 스루-실리콘 비아(TSV)와 수직으로 연결된 메모리 다이스의 스택 등일 수 있다. 일 실시형태에서, 메모리 유닛(120)의 각각은 반도체 다이로부터 형성되며 단일 디바이스 패키지(도시되지 않음)에서 다른 메모리 유닛 다이와 배열될 수 있다. 다른 실시형태에서, 메모리 유닛(120) 중 하나 이상은 단일 다이 상에서 같은 장소에 배치되며 그리고/또는 다수의 디바이스 패키지에 걸쳐 분포될 수 있다. 메모리 셀(122)은, 예를 들어, 영구적으로 또는 반-영구적으로 데이터를 저장하도록 구성된 강유전성 및/또는 다른 적절한 저장 요소(예컨대, 용량성, 상 변화, 자기저항성 등)를 포함할 수 있다. 메인 메모리(102) 및/또는 개개의 메모리 유닛(120)은 또한 정보를 처리하고 그리고/또는 제어기(106)와 통신하기 위해서와 같은, 메모리 셀(122) 및 다른 기능을 액세스하고 그리고/또는 프로그램(예컨대, 기록)하기 위해, 다중화기, 디코더, 버퍼, 판독/기록 드라이버, 어드레스 레지스터, 데이터 아웃/데이터 인 레지스터 등과 같은, 다른 회로 구성요소(도시되지 않음)(예컨대, 메모리 서브시스템)를 포함할 수 있다.
- [0009] 메모리 셀(122)은 (예컨대, 각각 워드 라인에 대응하는) 행(row)(124) 및 (예컨대, 각각 비트 라인에 대응하는)

열(column)(126)에 배열될 수 있다. 각각의 워드 라인(124)은 상기 워드 라인(124)의 메모리 셀(122)이 저장하도록 구성되는 데이터 상태의 수에 의존하여, 하나 이상의 메모리 페이지를 포괄할 수 있다. 예시된 실시형태에서, 예를 들어, 메모리 셀(122)은 각각이 두 개의 데이터 상태 중 하나를 저장하도록 구성되는 강유전성 메모리 셀일 수 있으며, 단일 워드 라인(124)은 단일 메모리 페이지를 포괄할 수 있다. 둘 이상의 데이터 상태(예컨대, 4, 8, 또는 그 이상의 데이터 상태)를 저장하도록 구성된 메모리 셀을 가진 다른 실시형태에서, 단일 워드 라인(124)은 둘 이상의 메모리 페이지를 포괄할 수 있다. 이들 및 다른 실시형태에서, 메모리 페이지는 각각의 셀에서 두 개의 데이터 상태 중 하나를 저장하도록 구성된 메모리 셀(122)로 구성된 워드 라인(124)이 두 개의 메모리 페이지를 포괄할 수 있도록 인터리빙될 수 있다. 예를 들어, 워드 라인(124)은 "짝수-홀수 비트 라인 아키텍처"로 배열될 수 있는데, 여기서, 예컨대, 단일 워드 라인(124)의 홀수-넘버링된 열(126)에서의 메모리 셀(122) 모두는 제1 메모리 페이지로서 그룹핑되며, 동일한 워드 라인(124)의 짝수-넘버링된 열(126)에서의 메모리 셀(122) 모두는 제2 메모리 페이지로서 그룹핑된다. 짝수-홀수 비트 라인 아키텍처가 각각의 셀에서 더 많은 수의 데이터 상태를 저장하는 메모리 셀(122)의 워드 라인(124)에서 이용될 때, 워드 라인(124) 당 메모리 페이지의 수는 훨씬 더 높을 수 있다(예컨대, 4, 6, 8 등).

[0010] 다른 실시형태에서, 메모리 셀(122)은 예시된 실시형태에서 도시된 것과는 상이한 유형의 그룹 및/또는 계층으로 배열될 수 있다. 또한, 예시된 실시형태에서 예시의 목적을 위해 특정한 수의 메모리 셀, 행, 열, 블록, 및 메모리 유닛으로 도시되지만, 다른 실시형태에서, 메모리 셀, 행, 열, 및 메모리 유닛의 수는 달라질 수 있으며, 예시된 예에서 도시된 것보다 스케일이 더 크거나 또는 더 작을 수 있다. 예를 들어, 몇몇 실시형태에서, 메모리 디바이스(100)는 단지 하나의 메모리 유닛(120)만을 포함할 수 있다. 대안적으로, 메모리 디바이스(100)는 2, 3, 4, 8, 10, 또는 그 이상(예컨대, 16, 12, 64 이상)의 메모리 유닛(120)을 포함할 수 있다. 메모리 유닛(120)이 각각 두 개의 메모리 블록(128)을 포함하는 것으로 도 1에 도시되지만, 다른 실시형태에서, 각각의 메모리 유닛(120)은 1, 3, 4, 8, 또는 그 이상(예컨대, 16, 32, 64, 100, 128, 256 이상)의 메모리 블록(128)을 포함할 수 있다. 몇몇 실시형태에서, 각각의 메모리 블록(128)은 예컨대, 2^{15} 메모리 페이지를 포함할 수 있으며, 블록 내에서의 각각의 메모리 페이지는 예컨대, 2^{12} 메모리 셀(122)을 포함할 수 있다.

[0011] 제어기(106)는 마이크로제어기, 특수 목적 논리 회로(예컨대, 필드 프로그램 가능한 게이트 어레이(FPGA), 애플리케이션 특정 집적 회로(ASIC) 등), 또는 다른 적절한 프로세서일 수 있다. 제어기(106)는 메모리에 저장된 명령어를 실행하도록 구성된 프로세서(130)를 포함할 수 있다. 예시된 예에서, 제어기(106)의 메모리는 메인 메모리(102)를 관리하는 것 및 메모리 디바이스(200)와 호스트 디바이스(108) 간의 통신을 핸들링하는 것을 포함하는, 메모리 디바이스(100)의 동작을 제어하기 위한 다양한 프로세스, 논리 흐름, 및 루틴을 저장하도록 구성된 내장 메모리(132)를 포함한다. 몇몇 실시형태에서, 내장 메모리(132)는 예컨대, 메모리 포인터, 인출 데이터 등을 저장한 메모리 레지스터를 포함할 수 있다. 내장 메모리(132)는 또한 마이크로-코드를 저장하기 위한 판독-전용 메모리(ROM)를 포함할 수 있다. 도 1에 예시된 대표적인 메모리 디바이스(100)는 제어기(106)를 포함하지만, 본 기술의 또 다른 실시형태에서, 메모리 디바이스는 제어기를 포함하지 않을 수 있으며, 대신에 (예컨대, 외부 호스트에 의해, 또는 메모리 디바이스로부터 분리된 프로세서 또는 제어기에 의해 제공되는) 외부 제어에 의존할 수 있다.

[0012] 동작 시, 제어기(106)는 메모리 페이지 및/또는 메모리 블록(128)의 그룹으로부터 판독하고 그리고/또는 그에 기록하는 것에 의해서와 같은, 메인 메모리(102)의 다양한 메모리 영역을 직접 판독하고, 기록하거나, 또는 그 외 프로그램(예컨대, 삭제)할 수 있다. FRAM-기반 및 다른 메모리 유형에서, 기록 동작은 종종 데이터 값(예컨대, 각각이 논리 0 또는 논리 1의 값을 갖는 데이터 비트의 스트림)을 나타내는 특정 극성을 가진 선택된 메모리 페이지에서 메모리 셀(122)을 프로그래밍하는 것을 포함한다. 삭제 동작은, 삭제 동작이 특정 극성 및 데이터 상태(예컨대, 논리 0)로 메모리 셀(122)을 재-프로그래밍한다는 것을 제외하고, 기록 동작과 유사하다.

[0013] 제어기(106)는 호스트-디바이스 인터페이스(115)를 통해 호스트 디바이스(108)와 통신한다. 몇몇 실시형태에서, 호스트 디바이스(108) 및 제어기(106)는 직렬 접속 SCSI(SAS), 직렬 AT 접속(SATA) 인터페이스, 주변 구성요소 상호 연결 고속(PCIe), 또는 다른 적절한 인터페이스(예컨대, 병렬 인터페이스)와 같은 직렬 인터페이스를 통해 통신할 수 있다. 호스트 디바이스(108)는 다양한 요청을 (예컨대, 패킷 또는 패킷의 스트림의 형태로) 제어기(106)에 전송할 수 있다. 요청은 정보를 기록하고, 삭제하고, 반환하기 위해, 및/또는 특정한 동작(예컨대, TRIM 동작)을 수행하기 위해 명령을 포함할 수 있다.

[0014] 상기 논의된 바와 같이, 메모리 셀(122)은 이들이 연장된 시간 기간 동안 동일한 극성 및/또는 데이터 상태에 남아있을 때 임프린트를 겪을 수 있다. 이러한 효과에 대응하기 위해, 제어기(106) 및/또는 메인 메모리(102)는

메모리 셀(122)을 (예컨대, 그의 극성을 역전시키거나 또는 그 외 그의 데이터 상태를 변경함으로써) 주기적으로 리프레시할 수 있다. 그러나, 요구된 리프레시의 수는 특히, 메인 메모리(102) 내에서의 메모리 셀(122)의 수가 증가함에 따라, 많은 양의 에너지 및 메모리 디바이스(100)의 많은 양의 활동 시간을 소비할 수 있다. 또한, 메인 메모리(102) 내에서의 메모리 셀(122) 모두가 동일한 레이트로 리프레싱될 필요는 없다. 예를 들어, 메인 메모리(102) 내에서의 메모리 셀(122) 중 몇몇은 제어기(106), 메인 메모리(102) 및/또는 호스트 디바이스(108)가 이들 메모리 페이지에서 메모리 셀(122)에 기록하는 것을 방지하도록 판독-전용 페이지로서 표시되는 메모리 페이지에서 그룹핑될 수 있다. 이들 판독-전용 메모리 페이지는 종종 메모리 디바이스(100)의 수명 동안 수정될 것으로 예상되지 않는 데이터를 저장하는 코드 페이지, 캐싱된 파일 페이지, 및 다른 메모리 페이지를 포함한다. 임프린트가 이들 메모리 페이지에서 우려가 덜하기 때문에(예컨대, 이들 셀에서 데이터를 변경하기 위한 무능, 또는 그의 어려움이 문제를 야기하는 것으로 예상되지 않으므로), 이들 페이지에서 메모리 셀(122)은 빈번하게 판독, 삭제 및/또는 프로그래밍되는 (또는 심지어, 몇몇 실시형태에서, 전혀) 데이터를 포함하는 메모리 페이지에서의 메모리 셀(122)만큼 종종 또는 규칙적으로 리프레싱될 필요는 없다. 또한 이하에서 설명되는 바와 같이, 제어기(106), 메인 메모리(102)(예컨대, 메인 메모리의 메모리 서브시스템), 및/또는 호스트 디바이스(108)는 또한 하나의 분류 및/또는 유형의 메모리 페이지의 메모리 페이지를 또 다른 분류 및/또는 유형의 메모리 페이지로 변환시킬 수 있다. 그러므로, 상이한 임프린트-리프레시 스케줄을 가지며 메모리 리프레시 동작에 의해 소비된 에너지 및 활동 시간을 줄이기 위해 덜 적극적인 리프레시 스케줄을 요구할 수 있는 메모리 페이지를 추적하는 것이 바람직하다.

[0015] 이하에서 보다 상세하게 설명되는 바와 같이, 시스템(101)은 상이한 임프린트-리프레시 스케줄을 가진 메모리 페이지를 추적하기 위해 (예컨대, 메모리 다이, 메모리 유닛(120), 및/또는 메모리 블록(128) 단위에 기초하여) 표(144)를 이용한다. 도 1에 예시된 실시형태에서, 표(144)는 제어기(106)의 내장 메모리(132)에 저장된다. 다른 실시형태에서, 표(144)는 (예컨대, 내장 메모리(132) 상에 표(144)를 저장하는 것 외에 또는 그 대신에) 메인 메모리(102) 상에 그리고/또는 호스트 디바이스(108) 상에와 같은, 다른 위치에 저장될 수 있다.

[0016] 도 2a 및 도 2b는 본 기술의 실시형태에 따른 선택적 페이지-기반 리프레시를 예시한 표이다. 도 2a를 참조하면, 메모리 디바이스(100)(도 1) 및/또는 호스트 디바이스(108)(도 1)는 임프린트-리프레시 스케줄 표(244a)에서 리프레시-없음 메모리 페이지로서 표시된 메모리 페이지의 범위를 추적한다. 도시된 바와 같이, 임프린트-리프레시 스케줄 표(244a)는 n 수의 메모리 영역(예컨대, 메모리 다이 및/또는 메모리 유닛(120)); 도 1) 내에서의 m 수의 메모리 블록(예컨대, 메모리 블록(128)); 도 1)에서 메모리 페이지를 추적한다. 예시된 실시형태에서, 각각의 메모리 블록은 64개 메모리 페이지를 포함한다. 다른 실시형태에서, 메모리 블록은 상이한 수의 메모리 페이지(예컨대, 10, 16, 32, 100, 128, 256, 512, 1048개 메모리 페이지)를 포함할 수 있다.

[0017] 임프린트-리프레시 스케줄 표(244a)는 다른 메모리 페이지만큼 빈번하게 리프레싱될 필요가 없는 각각의 메모리 블록에 메모리 페이지의 하나 이상의 범위를 저장한다. 예를 들어, 임프린트-리프레시 스케줄 표(244a)에서의 엔트리(251)는 메모리 영역 1의 메모리 블록 1에 대응한다. 엔트리(251)에서, 메모리 페이지 39 내지 54는 리프레시-없음 메모리 페이지로서 표시되었다. 따라서, 메모리 페이지 39 내지 54 내에서의 메모리 셀은 메모리 블록 1 내에서 리프레시 메모리 페이지 1 내지 38 및 55 내지 64 내에서의 메모리 셀만큼 빈번하게 리프레싱될 필요가 없다. 유사하게, 다수의 리프레시-없음 영역이, 메모리 영역 1 내에서의 메모리 블록 3에 대응하는, 엔트리(253)에 기록된다. 그러므로, 메모리 블록 3에서 메모리 페이지 16 내지 24 및 메모리 페이지 43 내지 47은 리프레시-없음 메모리 페이지로서 표시되었으며, 이들 리프레시-없음 메모리 페이지에서의 메모리 셀은 빈번한 리프레시 동작을 요구하지 않는다. 반대로, 메모리 영역 1 내에서의 메모리 블록 2에 대응하는, 엔트리(252)는 기록된 리프레시-없음 영역 없이 예시된다. 따라서, 메모리 블록 2 내에서의 메모리 페이지 중 어떤 것도 리프레시-없음 메모리 페이지로서 표시되지 않았다. 이와 같이, 메모리 블록 2의 메모리 페이지 1 내지 64는 리프레시 메모리 페이지이며 빈번하고 규칙적인 리프레시 동작을 겪는다.

[0018] 이하에서 추가로 상세하게 설명되는 바와 같이, 메모리 디바이스(100) 및/또는 호스트 디바이스(108)는 메모리의 물리적으로 인접한 위치에 동일한 분류 또는 유형(예컨대, 리프레시 및/또는 리프레시-없음)의 메모리 페이지를 위치시키기 위해 알고리즘을 이용하며, 그에 의해 임프린트-리프레시 스케줄 표(244a)에 저장될 필요가 있는 메모리 페이지의 범위의 수 및 메모리 페이지의 각각의 범위에서의 메모리 페이지의 수를 제한할 수 있다. 임프린트-리프레시 스케줄 표(244a)에 저장된 리프레시-없음 영역의 수를 제한하는 것은 임프린트-리프레시 스케줄 표(244a)를 저장하기 위해 요구된 메모리의 양을 최소화할 수 있으며, 이것은 임프린트-리프레시 스케줄 표(244a)가 엄격한 메모리 제약을 가진 위치에 저장되도록 허용할 수 있다. 예를 들어, 임프린트-리프레시 스케줄 표(244a)의 엔트리(255)는 임프린트-리프레시 스케줄 표(244a)의 엔트리(253)와 동일한 수의 메모리 페이지

(즉, 총 14개 메모리 페이지)를 커버하는 리프레시-없음 영역을 포함한다. 그러나, 알고리즘은 리프레시-없음 메모리 페이지를 메모리 블록(m-2)의 첫 14개 메모리 페이지에 통합하여, 엔트리(253)에서의 두 개의 리프레시-없음 영역에 비교하여 엔트리(255)에 단지 하나의 리프레시-없음 영역만을 필요하게 한다. 그러므로, 엔트리(255)를 위해 이용된 메모리의 양은 엔트리(253)를 위해 이용된 메모리의 양보다 적다. 다른 실시형태에서, 알고리즘은 리프레시-없음 메모리 페이지를 메모리의 다른 물리적으로 인접한 위치에 통합할 수 있다. 예를 들어, 알고리즘은 리프레시-없음 메모리 페이지를 메모리 블록 내에서의 물리적으로 인접한 메모리 페이지로 그리고/또는 임프린트-리프레시 스케줄 표(244a)의, 각각 엔트리(256 및 257)에 예시된 바와 같이 메모리 블록의 끝에 위치된 물리적으로 인접한 메모리 페이지에 통합할 수 있다.

[0019] 이제 도 2b를 참조하면, 메모리 디바이스(100) 및/또는 호스트 디바이스(108)는 임프린트-리프레시 스케줄 표(244b)에서 리프레시-없음 메모리 페이지로 표시된 메모리 페이지의 범위를 추적한다. 임프린트-리프레시 스케줄 표(244b)는 임프린트-리프레시 스케줄 표(244b)가 각각의 리프레시-없음 영역의 종료 페이지를 기록하지 않는다는 점을 제외하고 임프린트-리프레시 스케줄 표(244a)와 유사하다. 대신에, 임프린트-리프레시 스케줄 표(244b)는 각각의 리프레시-없음 영역의 시작 페이지 및 길이를 기록한다. 예를 들어, 도 2b에서 임프린트-리프레시 스케줄 표(244b)의 엔트리(271)에 기록된 리프레시-없음 영역은 도 2a에서의 임프린트-리프레시 스케줄 표(244a)의 엔트리(251)에 기록된 리프레시-없음 영역과 동일하다. 그러나, 임프린트-리프레시 스케줄 표(244b)는 임프린트-리프레시 스케줄 표(244a)에 기록된 메모리 영역의 종료 페이지(즉, 메모리 페이지(54))보다는 리프레시-없음 영역의 길이(즉, 메모리 페이지(39)로 시작하는 16개의 메모리 페이지)를 기록한다.

[0020] 도 3a 및 도 3b는 각각 본 기술에 따른 선택적 페이지-기반 리프레시의 대안적인 실시형태를 예시한 표(344a 및 344b)이다. 예시된 실시형태에서, 메모리 디바이스(100) 및/또는 호스트 디바이스(108)는 임프린트-리프레시 스케줄 표(344a 및 344b)에서 리프레시-없음 메모리 페이지로 표시되지 않은 메모리 페이지의 범위를 추적한다. 따라서, 임프린트-리프레시 스케줄 표(344a 및 344b)(도 3a 및 도 3b)는 임프린트-리프레시 스케줄 표(344a 및 344b)가 빈번하게 리프레싱될 필요가 없는 메모리 페이지(예컨대, 리프레시-없음 메모리 페이지) 대신에 빈번하게 리프레시되어야 하는 메모리 페이지(예컨대, 리프레시 메모리 페이지)를 추적한다는 점을 제외하고, 각각 임프린트-리프레시 스케줄 표(244a 및 244b)(도 2a 및 도 2b)와 유사하다. 도 3a에서의 엔트리(355 내지 357) 및 도 3b에서의 엔트리(375 내지 377)에서 도시된 바와 같이, 임프린트-리프레시 스케줄 표(344a 및 344b)는 또한 임프린트-리프레시 스케줄 표(344a 및 344b)를 저장하도록 요구된 양이 최소이도록 리프레시-없음 메모리 영역을 물리적으로 인접한 메모리 위치에 통합하는 것에서 이익을 얻을 수 있는데, 이는 상기 표로 하여금 엄격한 메모리 제약을 가진 위치에 저장되게 한다.

[0021] 도 2a 내지 도 3b에 예시된 실시형태에서 도시되지 않지만, 임프린트-리프레시 스케줄 표(244a, 244b, 344a 및/또는 344b)는 다른 실시형태에서 부가적인 열 및/또는 정보를 포함할 수 있다. 예를 들어, 임프린트-리프레시 스케줄 표(244a, 244b, 344a, 및/또는 344b)는 개개의 메모리 페이지, 리프레시-없음 영역, 및/또는 리프레시 영역에 대한 임프린트-리프레시 스케줄 및/또는 임프린트-리프레시 지속 기간에 관련된 부가적인 열 및/또는 정보를 포함할 수 있다. 다시 말해서, 메모리 디바이스(100)(도 1) 및/또는 호스트 디바이스(108)(도 1)는 메모리 페이지의 분류 또는 유형(예컨대, 리프레시, 리프레시-없음, 매우-빈번한 리프레시, 빈번한 리프레시, 간헐적 리프레시 등)에 그리고/또는 다른 파라미터(예컨대, 메인 메모리(102)에서 메모리 페이지의 물리적 위치, 메모리 페이지가 사용 중이 아니며 즉각적인 사용을 위해 이용 가능함을 나타내는 플래그 등)에 의존하여 메모리 페이지 및/또는 메모리 페이지의 영역에 다양한 임프린트-리프레시 스케줄 및 지속 기간을 할당할 수 있다. 본 기술에 따른 리프레시-없음 메모리 페이지를 위한 임프린트-리프레시 스케줄의 예는 임프린트 효과를 방지하기 위해 리프레시 메모리 페이지를 리프레싱하는 것의 부분만큼(예컨대, 1/10, 1/4, 1/3, 1/2, 2/3, 3/4, 9/10) 종종 리프레시-없음 메모리 페이지를 리프레싱하는 것을 포함한다. 다른 실시형태에서, 리프레시-없음 메모리 페이지를 위한 임프린트-리프레시 스케줄은 대응하는 리프레시-없음 메모리 페이지에 대한 리프레시 동작을 함께 허용하지 않을 수 있다. 반대로, 리프레시-없음 또는 또 다른 분류 또는 유형의 메모리 페이지로 변환되는 다른 메모리 페이지에 대한 본 기술에 따른 임프린트-리프레시 스케줄의 예는 임프린트 효과를 방지하기 위해 적어도 리프레시 메모리 페이지를 리프레싱하는 것만큼 및/또는 그의 배수만큼(예컨대, 1.5, 2, 3, 5배) 종종 이들 메모리 페이지를 리프레싱하는 것을 포함한다. 또한, 몇몇 실시형태에서, 메모리 페이지를 위해 스케줄링된 리프레시 동작의 빈도는 대응하는 임프린트-리프레시 스케줄 표에서 수정(예컨대, 증가 및/또는 감소)되고 그리고/또는 업데이트될 수 있다. 예를 들어, 메모리 페이지에 대한 리프레시 동작의 빈도는, 예컨대 원치 않는 임프린트 효과가 메모리 페이지의 메모리 셀에서 발견된다면 증가될 수 있으며 그리고/또는 메모리 페이지에 대한 리프레시 동작의 빈도는 예컨대, 시스템 요구를 수용하기 위해(예컨대, 메모리 리프레시 동작에 의해 소비된 에너지 및/또는 활동 시간을 줄이기 위해) 감소될 수 있다. 다른 실시형태에서, 메모리 디바이스(100) 및/또는 호스트

트 디바이스(108)는 임프린트-리프레시 스케줄 표에 저장된 임프린트-리프레시 스케줄을 수정하거나 또는 업데이트하지 않고 임프린트-리프레시 스케줄 표에 저장된 임프린트-리프레시 스케줄에 대한 예외를 허락할 수 있다.

[0022] 게다가, 도 2a 내지 도 3b에 예시된 실시형태는 단지 두 개의 분류 및 유형의 메모리 페이지(즉, 리프레시 메모리 페이지 및 리프레시-없음 메모리 페이지)만으로 도시되지만, 하나 이상의 임프린트-리프레시 스케줄 표(예컨대, 임프린트-리프레시 스케줄 표(244a, 244b, 344a, 및/또는 344b))가 다른 실시형태에서, 리프레시 메모리 페이지 및/또는 리프레시-없음 메모리 페이지 외에 또는 그 대신에 다른 분류 및/또는 유형(예컨대, 매우-빈번한 리프레시, 빈번한 리프레시, 간헐적 리프레시 등)의 메모리 페이지를 추적하기 위해 사용될 수 있다. 예를 들어, 몇몇 실시형태에서, 단일 임프린트-리프레시 스케줄 표는 추적되는 분류 및 유형의 메모리 페이지가 있는 것만큼 많은 임프린트-리프레시 스케줄 표가 있도록 단일 분류 또는 유형의 메모리 페이지를 추적하기 위해 사용될 수 있다. 다른 실시형태에서, 단일 임프린트-리프레시 스케줄 표는 메모리 디바이스를 위해 단지 하나의 임프린트-리프레시 스케줄 표가 있도록 모든 분류 및 유형의 메모리 페이지를 추적하기 위해 사용될 수 있다. 계속해서 다른 실시형태에서, 하나 이상의 임프린트-리프레시 스케줄 표는 메모리 디바이스의 지정된 메모리 영역(예컨대, 메모리 블록, 다이 및/또는 유닛)에서 하나 이상의 분류 및/또는 유형의 메모리 페이지를 추적하기 위해 사용될 수 있다.

[0023] 도 4 내지 도 5B는 본 기술의 실시형태에 따른 메모리 디바이스를 동작시키기 위한 루틴(460, 470, 580a, 및 580b)을 각각 예시한 흐름도이다. 루틴(460, 470, 580a, 및 580b)은 예를 들어, 제어기(106)(도 1), 메인 메모리(102)(도 1)(예컨대, 메인 메모리(102)의 메모리 서브세트), 및/또는 호스트 디바이스(108)(도 1)에 의해 실행될 수 있다.

[0024] 도 4A를 참조하면, 루틴(460)은 예컨대, 메인 메모리(102)(도 1) 상에, 제어기(106)(도 1) 상에, 그리고/또는 호스트 디바이스(108)(도 1) 상에 저장된 임프린트-리프레시 스케줄 표를 참조함으로써 메모리 영역에서 메모리 페이지를 리프레싱할지를 결정한다. 몇몇 실시형태에서, 임프린트-리프레시 스케줄 표는 도 2a, 도 2b, 도 3a, 및/또는 도 3b에서 설명된 임프린트-리프레시 스케줄 표와 유사할 수 있다. 블록 461에서, 루틴(460)은, 임프린트-리프레시 스케줄 표에서, 적어도 메모리 페이지의 서브세트 내에서 메모리 페이지의 분류 및/또는 유형(예컨대, 리프레시, 리프레시-없음, 간헐적-리프레시 등)에 기초하여 하나 이상의 임프린트-리프레시 스케줄을 가진 메모리 영역 내에서의 메모리 페이지의 서브세트를 추적함으로써 시작한다. 예를 들어, 몇몇 실시형태에서, 루틴(460)은 주기적인 또는 규칙적으로 스케줄링된 간격에서의 리프레시 동작(예컨대, 리프레시 메모리 페이지에 대한), 특정 이벤트의 발생 후(예컨대, 특정 수의 관독, 기록, 삭제, 또는 다른 시스템 동작이 발생한 후) 또는 미리 결정된 양의 시간이 경과한 후(예컨대, 간헐적-리프레시 메모리 페이지에 대한) 자동으로 리프레시 동작, 및/또는 어떤 리프레시 동작도 없음(예컨대, 리프레시-없음 메모리 페이지에 대한)을 규정하는 임프린트-리프레시 스케줄을 할당할 수 있다. 블록 462에서, 루틴(460)은 메모리 페이지의 서브세트에 대한 하나 이상의 임프린트-리프레시 스케줄에 따라 메모리 페이지의 서브세트를 리프레싱하도록 진행될 수 있다.

[0025] 이제 도 4B를 참조하면, 루틴(470)은 예컨대, 제어기(106) 및/또는 호스트 디바이스(108)로부터 수신된 명령어에 따라 메모리 페이지의 서브세트에 대한 하나 이상의 임프린트-리프레시 스케줄을 업데이트할 수 있다. 몇몇 실시형태에서, 명령어는 사용자 프롬프트될 수 있다. 다른 실시형태에서, 명령어는 자동적일 수 있다. 예를 들어, 제어기(106) 및/또는 호스트 디바이스(108)는 특정 이벤트의 발생 후(예컨대, 특정 수의 관독, 기록, 삭제, 또는 다른 시스템 동작이 메모리 페이지에 대해 수행된 후), 메모리 페이지가 미리 결정된 양의 시간 동안 액세스되지 않은 후, 및/또는 원치 않는 임프린트 효과가 메모리 페이지의 하나 이상의 메모리 셀에서 발견된 후 자동으로 하나 이상의 임프린트-리프레시 스케줄을 업데이트하기 위한 명령어를 전송할 수 있다. 블록 471에서, 루틴(470)은, 예컨대, 메모리 페이지의 서브세트 내에서의 메모리 페이지를 참조하는 하나 이상의 논리 어드레스를 포함하는 임프린트-리프레시 명령어를 수신할 수 있다.

[0026] 블록 472에서, 루틴(470)은, 수신된 명령어에 따라, 명령어에서 참조된 메모리 페이지에 대응하는 하나 이상의 임프린트-리프레시 스케줄을 업데이트하고 그리고/또는 수정할 수 있다. 예를 들어, 수신된 명령어는 (예컨대, 이하의 도 5A 및 도 5B를 참조하여 이하에서 논의되는 바와 같이, 참조된 메모리 페이지가 상이한 분류 및/또는 유형의 메모리 페이지로 변환될 때; 원치 않는 임프린트 효과가 참조된 메모리 페이지의 메모리 셀에서 발견될 때; 시스템 요구를 수용하기 위해; 그리고/또는 메모리 디바이스의 전력 스케줄에 따라) 참조된 메모리 페이지 상에서 리프레시 동작의 빈도 및/또는 지속 기간을 증가시키고 그리고/또는 감소시킴으로써 임프린트-리프레시 스케줄 표에 저장된 하나 이상의 임프린트-리프레시 스케줄을 변경하도록 루틴(470)에 지시할 수 있다. 이들 및 다른 실시형태에서, 수신된 명령어는 그 외 하나 이상의 임프린트-리프레시 스케줄을 수정하지 않고 임프린트-

리프्रेस 스케줄 표에 저장된 하나 이상의 임프린트-리프्रेस 스케줄에 대한 예외를 만들도록 루틴(470)에 지시할 수 있다. 예를 들어, 수신된 명령어는 (예컨대, 루틴(470)이 참조된 메모리 페이지를 상이한 분류 및/또는 유형의 메모리 페이지로 변환시키는 것을 예상할 때 그리고/또는 바람직하지 않은 임프린트 효과가 참조된 메모리 페이지의 메모리 셀에서 발견될 때) 참조된 메모리 페이지가 일시적인 적극적 리프्रेस 동작을 겪도록 루틴(470)에 지시할 수 있다.

[0027] 이제 도 5A 내지 도 5B를 참조하면, 루틴(580a 및 580b)은 (예컨대, 임프린트-리프्रेस 스케줄 표(들)를 저장하기 위해 요구된 메모리 공간을 최소화하기 위해) 리프्रेस-없음 및/또는 다른 분류 또는 유형의 메모리 페이지를 메모리의 물리적으로 인접한 위치에 통합할 수 있다. 루틴(580a)은 메모리 페이지를 리프्रेस-없음 메모리 페이지로 변환시키기 위해 실행될 수 있다. 반대로, 루틴(580b)은 메모리 페이지(예컨대, 리프्रेस-없음 메모리 페이지)를 다른 분류(들) 및/또는 유형(들)의 메모리 페이지로 변환시키기 위해 실행될 수 있다.

[0028] 이제 도 5A를 참조하면, 루틴(580a)은 하나 이상의 메모리 페이지(예컨대, 리프्रेस 및/또는 다른 분류 및/또는 유형의 메모리 페이지)를 리프्रेस-없음 메모리 페이지(들)로 변환시키기 위한 명령어를 수신함으로써 시작된다(블록 581a). 블록 582a에서, 루틴(580a)은 예를 들어, 제어기(106) 상에, 메인 메모리(102) 상에, 그리고/또는 호스트 디바이스(108) 상에 저장된 임프린트-리프्रेस 스케줄 표로부터 (예컨대, 선택된 메모리 블록, 메모리 다이 및/또는 메모리 유닛의) 대응하는 리프्रेस-없음 영역(들)을 검색할 수 있다. 루틴(580a)은 하나 이상의 메모리 페이지가 대응하는 리프्रेस-없음 영역(들)에 대해 물리적으로 인접한 위치에 위치되는지를 결정하도록 진행된다(판단 블록 583a). 루틴(580a)이 하나 이상의 메모리 페이지가 대응하는 리프्रेस-없음 영역(들)에 대해 물리적으로 인접한 위치에 위치된다고 결정하면, 루틴(580a)은 하나 이상의 메모리 페이지를 리프्रेस-없음 메모리 페이지(들)로 변환시킬 수 있으며(블록 586a) 블록(587a)으로 진행될 수 있다. 몇몇 실시형태에서, 루틴(580a)은 블록(587a)으로 진행되기 전에 성공 메시지를 반환할 수 있다.

[0029] 다른 한편으로, 루틴(580a)이 하나 이상의 메모리 페이지가 대응하는 리프्रेस-없음 영역(들)에 대해 물리적으로 인접한 위치에 위치되지 않는다고 결정하면(판단 블록 583a), 루틴(580a)은 하나 이상의 메모리 페이지에 그리고/또는 대응하는 리프्रेस-없음 영역(들)에 저장된 데이터를 재배치하고, 재배열하며, 그리고/또는 물리적으로 인접한 메모리 위치에 통합할 수 있다(블록 585a). 몇몇 실시형태에서, 루틴(580a)은 리프्रेस-없음 메모리 영역(들)의 리프्रेस-없음 메모리 페이지에 저장된 데이터를 재배치할 때 대응하는 리프्रेस-없음 영역(들)에서의 리프्रेस-없음 메모리 페이지를 리프्रेस 및/또는 다른 분류 및/또는 유형의 메모리 페이지로 그리고/또는 그 반대로 변환시킬 수 있다. 루틴(580a)이 하나 이상의 메모리 페이지(들)에 그리고/또는 대응하는 리프्रेस-없음 영역(들)에서의 리프्रेस-없음 메모리 페이지에 저장된 데이터를 재배치하고, 재배열하며, 그리고/또는 물리적으로 인접한 메모리 위치에 통합한 후, 루틴(580a)은 하나 이상의 메모리 페이지 및/또는 이들의 재배치된 데이터를 포함하는 메모리 페이지를 리프्रेस-없음 메모리 페이지로 변환시킬 수 있으며(블록 586a) 블록(587a)으로 진행될 수 있다. 몇몇 실시형태에서, 루틴(580a)은 블록(587a)으로 진행되기 전에 성공 메시지를 반환할 수 있다.

[0030] 이제 도 5B를 참조하면, 루틴(580b)은 몇 가지 예외를 지니지만 도 5A의 루틴(580a)과 유사하다. 상기 논의된 바와 같이, 루틴(580b)은 메모리 페이지(예컨대, 리프्रेस-없음 메모리 페이지)를 리프्रेस 및/또는 다른 분류 및/또는 유형의 메모리 페이지로 변환시키기 위해 실행될 수 있다. 루틴(580b)은 하나 이상의 리프्रेस-없음 메모리 페이지를 다른 분류(들) 및/또는 유형(들)의 메모리 페이지로 변환시키기 위한 명령어를 수신함으로써 시작된다(블록 581a). 블록 582b에서, 루틴(580b)은 예를 들어, 메인 메모리(102) 상에, 제어기(106) 상에, 그리고/또는 호스트 디바이스(108) 상에 저장된 임프린트-리프्रेस 스케줄 표로부터 대응하는 리프्रेस-없음 영역(들)을 검색한다.

[0031] 판단 블록(583b)에서, 루틴(580b)은 하나 이상의 리프्रेस-없음 메모리 페이지가 대응하는 리프्रेस-없음 영역(들)에 물리적으로 인접하는지를 결정한다. 예를 들어, 몇몇 실시형태에서, 루틴(583b)은 하나 이상의 리프्रेस-없음 메모리 페이지가 대응하는 리프्रेस-없음 영역에 대하여 이전에 물리적으로 인접한 메모리 위치에 통합되지 않았으며, 따라서 대응하는 리프्रेस-없음 영역(들)에 물리적으로 인접하지 않는다고 결정할 수 있다. 다른 실시형태에서, 루틴(583b)은 하나 이상의 리프्रेस-없음 메모리 페이지가 대응하는 리프्रेस-없음 영역(들)의 전체 길이를 포괄하는지를 결정함으로써 하나 이상의 리프्रेस-없음 메모리 페이지가 대응하는 리프्रेस-없음 영역(들)에 물리적으로 인접하는지를 결정할 수 있다. 하나 이상의 메모리 페이지가 대응하는 리프्रेस-없음 영역(들)의 전체 길이를 포괄하지 않는다면, 루틴(580b)은 하나 이상의 메모리 페이지가 대응하는 리프्रेस-없음 영역(들)에 물리적으로 인접한다고 결정할 수 있다. 다른 한편으로, 하나 이상의 메모리 페이지가 대응하는 리프्रेस-없음 영역(들)의 전체 길이를 포괄한다면, 루틴(580b)은 하나 이상의 메모리 페이지가 대응하는 리프레

시-없음 영역(들)에 물리적으로 인접하지 않다고 결정할 수 있다.

[0032] 루틴(580b)이 하나 이상의 리프레시-없음 메모리 페이지가 대응하는 리프레시-없음 영역(들)에 대해 물리적으로 인접한 위치에 위치되지 않는다고 결정하면, 루틴(580b)은 하나 이상의 리프레시-없음 메모리 페이지를 다른 분류(들) 및/또는 유형(들)의 메모리 페이지로 변환시킬 수 있으며(블록 586b) 블록(587b)으로 진행될 수 있다. 몇몇 실시형태에서, 루틴(580b)은 블록(587b)으로 진행되기 전에 성공 메시지를 반환할 수 있다. 다른 한편으로, 루틴(580b)이 하나 이상의 리프레시-없음 메모리 페이지가 대응하는 리프레시-없음 영역(들)에 대해 물리적으로 인접한 위치에 위치된다고 결정하면(판단 블록 583b), 루틴(580b)은 하나 이상의 리프레시-없음 메모리 페이지가 대응하는 리프레시-없음 영역(들)의 시작(예컨대, 시작 메모리 페이지) 또는 종료(예컨대, 종료 메모리 페이지)에 위치되는지를 결정하도록 진행될 수 있다(판단 블록 584b). 루틴(580b)이 하나 이상의 리프레시-없음 메모리 페이지가 대응하는 리프레시-없음 영역(들)의 시작 및/또는 종료라고 결정하면, 루틴(580b)은 하나 이상의 리프레시-없음 메모리 페이지를 다른 분류(들) 및/또는 유형(들)의 메모리 페이지로 변환시킬 수 있으며(블록 586b) 블록(587b)으로 진행될 수 있다. 몇몇 실시형태에서, 루틴(580b)은 블록(587b)으로 진행되기 전에 성공 메시지를 반환할 수 있다.

[0033] 루틴(580b)이 하나 이상의 리프레시-없음 메모리 페이지가 대응하는 리프레시-없음 영역(들)의 시작(예컨대, 시작 페이지) 또는 종료(예컨대, 종료 페이지)에 위치되지 않는다고 결정하면(예컨대, 루틴(580b)은 하나 이상의 리프레시-없음 메모리 페이지가 대응하는 리프레시-없음 영역(들)의 내부 리프레시-없음 메모리 페이지에 위치된다고 결정한다)(판단 블록 584b), 루틴(580b)은 하나 이상의 리프레시-없음 메모리 페이지에 그리고/또는 대응하는 리프레시-없음 영역(들)에서의 리프레시-없음 메모리 페이지에 저장된 데이터를 재배치하고, 재배열하며, 그리고/또는 물리적으로 인접한 메모리 위치에 통합할 수 있다(블록 585b). 몇몇 실시형태에서, 루틴(580b)은 리프레시-없음 영역(들)의 리프레시-없음 메모리 페이지에 저장된 데이터를 재배치할 때 대응하는 리프레시-없음 영역(들)에서의 리프레시-없음 메모리 페이지를 다른 분류(들) 및/또는 유형(들)의 메모리 페이지로 그리고/또는 그 반대로 변환시킬 수 있다. 루틴(580b)이 하나 이상의 리프레시-없음 메모리 페이지(들)에 그리고/또는 대응하는 리프레시-없음 영역(들)에서의 리프레시-없음 메모리 페이지에 저장된 데이터를 재배치하고, 재배열하며, 그리고/또는 물리적으로 인접한 메모리 위치에 통합한 후, 루틴(580b)은 하나 이상의 리프레시-없음 메모리 페이지 및/또는 이들의 재배치된 데이터를 포함하는 메모리 페이지를 다른 분류(들) 및/또는 유형(들)의 메모리 페이지로 변환시킬 수 있으며(블록 586b) 블록(587b)으로 진행될 수 있다. 몇몇 실시형태에서, 루틴(580b)은 블록(587b)으로 진행되기 전에 성공 메시지를 반환할 수 있다.

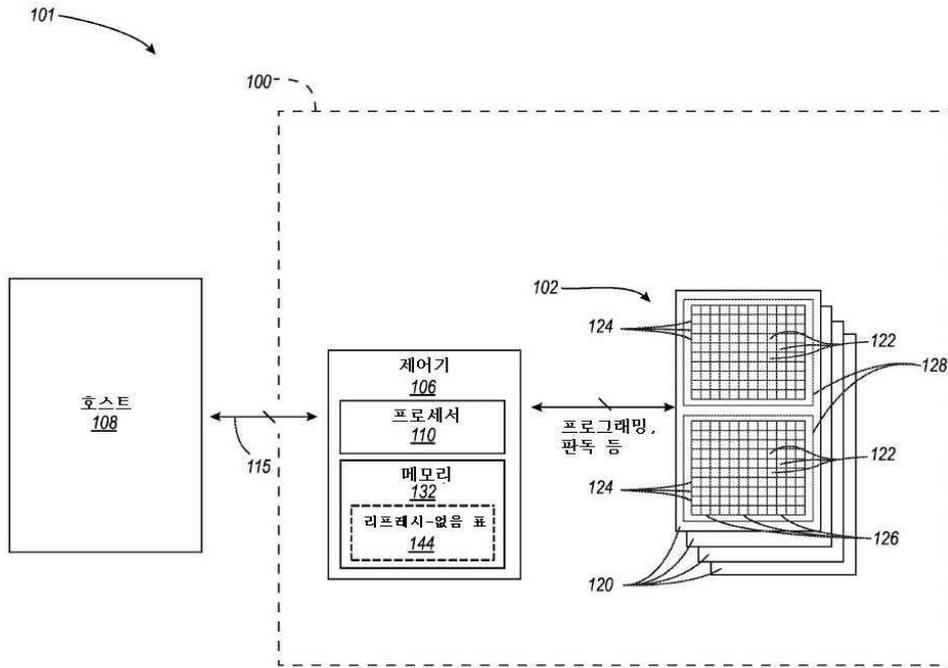
[0034] 도 6은 본 기술의 실시형태에 따른 메모리 디바이스를 포함하는 시스템의 개략도이다. 도 1 내지 도 5B를 참조하여 위에서 기재된 상기 메모리 디바이스 중 임의의 것은 무수한 보다 큰 그리고/또는 보다 복잡한 시스템에 통합될 수 있으며, 그 대표적인 예는 도 6에 개략적으로 도시된 시스템(690)이다. 시스템(690)은 반도체 디바이스 어셈블리(600), 전원(692), 드라이버(694), 프로세서(696), 및/또는 다른 서브시스템 및 구성요소(698)를 포함할 수 있다. 반도체 디바이스 어셈블리(600)는 도 1 내지 도 5B를 참조하여 상기 설명된 메모리 디바이스의 어셈블리와 일반적으로 유사한 특징을 포함할 수 있으며, 그러므로 선택적 페이지-기반 리프레시의 다양한 특징을 포함할 수 있다. 결과적인 시스템(690)은, 메모리 저장, 데이터 처리, 및/또는 다른 적절한 기능과 같은, 매우 다양한 기능 중 임의의 것을 수행할 수 있다. 따라서, 대표적인 시스템(690)은, 제한 없이, 핸드-헬드 디바이스(예컨대, 이동 전화, 태블릿, 디지털 판독기, 및 디지털 오디오 플레이어), 컴퓨터, 차량, 기기, 및 다른 제품을 포함할 수 있다. 시스템(690)의 구성요소는 단일 유닛에 수용되거나 또는 다수의, 상호 연결된 유닛을 통해(예컨대, 통신 네트워크를 통해) 분배될 수 있다. 시스템(690)의 구성요소는 또한 원격 디바이스 및 매우 다양한 컴퓨터 판독 미디어 중 임의의 것을 포함할 수 있다.

[0035] 이상의 내용으로부터, 본 발명의 특정 실시형태는 본 명세서에서 예시의 목적을 위해 설명되었지만, 다양한 수정이 개시 내용으로부터 벗어나지 않고 이루어질 수 있다는 것이 이해될 것이다. 예를 들어, 도 5B에 도시되지 않지만, 루틴(580b)은, 몇몇 실시형태에서, 다른 분류(들) 및/또는 유형(들)의 메모리 페이지(예컨대, 리프레시 메모리 페이지, 간헐적-리프레시 메모리 페이지 등) 내 데이터를 대응하는 분류(들) 및/또는 유형(들)의 메모리 페이지에 대하여 재배치하고, 재배열하며, 물리적으로 인접한 메모리 위치에 통합할 수 있다. 그렇게 할 때, 루틴(580b)은 메모리 페이지를 다른 분류(들) 및/또는 유형(들)의 메모리 페이지로 변환시킬 수 있다. 또한, 특정한 실시형태의 맥락에서 설명된 새로운 기술의 특정한 양상이 또한 다른 실시형태에서 조합되거나 또는 제거될 수 있다. 게다가, 새로운 기술의 특정한 실시형태와 연관된 이점이 이들 실시형태의 맥락에서 설명되었지만, 다른 실시형태가 또한 이러한 이점을 보일 수 있으며 모든 실시형태가 반드시 기술의 범위 내에 있기 위해 이러한 이점을 보일 필요는 없다. 따라서, 개시 내용 및 연관된 기술은 명확하게 도시되거나 또는 설명되지 않은 다른

실시형태를 포함할 수 있다.

도면

도면1



도면2a

244a

메모리 영역	메모리 블록	리프레시 없음 범위
1	1	$p_{39} - p_{54}$
	2	
	3	$p_{15} - p_{24}; p_{43} - p_{47}$
	⋮	⋮
	m-2	$p_1 - p_{14}$
	m-1	$p_{25} - p_{38}$
m	$p_{51} - p_{64}$	
2	⋮	⋮
3	⋮	⋮
⋮	⋮	⋮
n-2	⋮	⋮
n-1	⋮	⋮
n	⋮	⋮

251
252
253
255
256
257

도면2b

244b

메모리 영역	메모리 블록	리프레시 없음 범위
1	1	$p_{39}, 16$
	2	
	3	$p_{15}, 9; p_{43}, 5$
	⋮	⋮
	m-2	$p_1, 14$
	m-1	$p_{25}, 14$
m	$p_{51}, 14$	
2	⋮	⋮
3	⋮	⋮
⋮	⋮	⋮
n-2	⋮	⋮
n-1	⋮	⋮
n	⋮	⋮

271
272
273
275
276
277

도면3a

344a

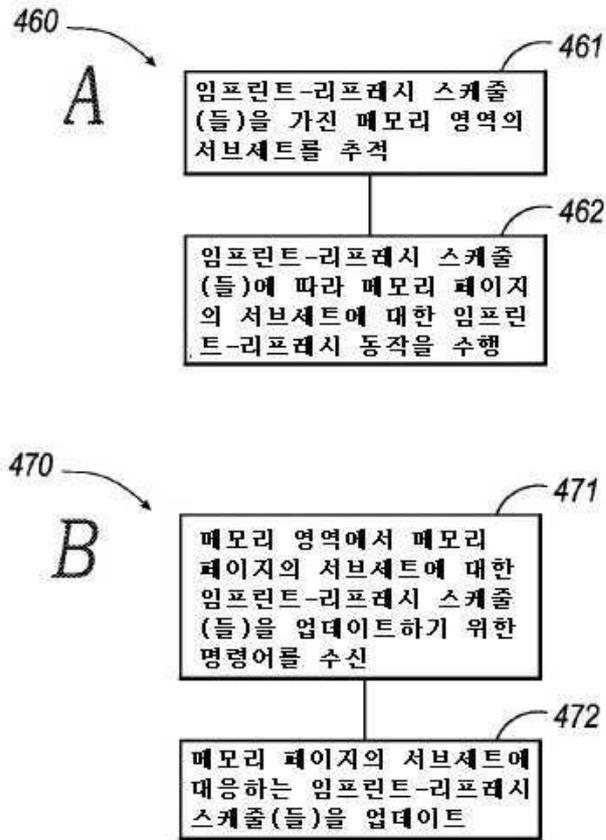
메모리 영역	메모리 블록	리프레시 범위
1	1	$p_1 - p_{39}; p_{35} - p_{64}$ ← 351
	2	$p_1 - p_{64}$ ← 352
	3	$p_1 - p_{15}; p_{25} - p_{42}; p_{48} - p_{64}$ ← 353
	⋮	⋮
	m-2	$p_{15} - p_{64}$ ← 355
	m-1	$p_1 - p_{24}; p_{39} - p_{64}$ ← 356
	m	$p_1 - p_{50}$ ← 357
2	⋮	⋮
3	⋮	⋮
⋮	⋮	⋮
n-2	⋮	⋮
n-1	⋮	⋮
n	⋮	⋮

도면3b

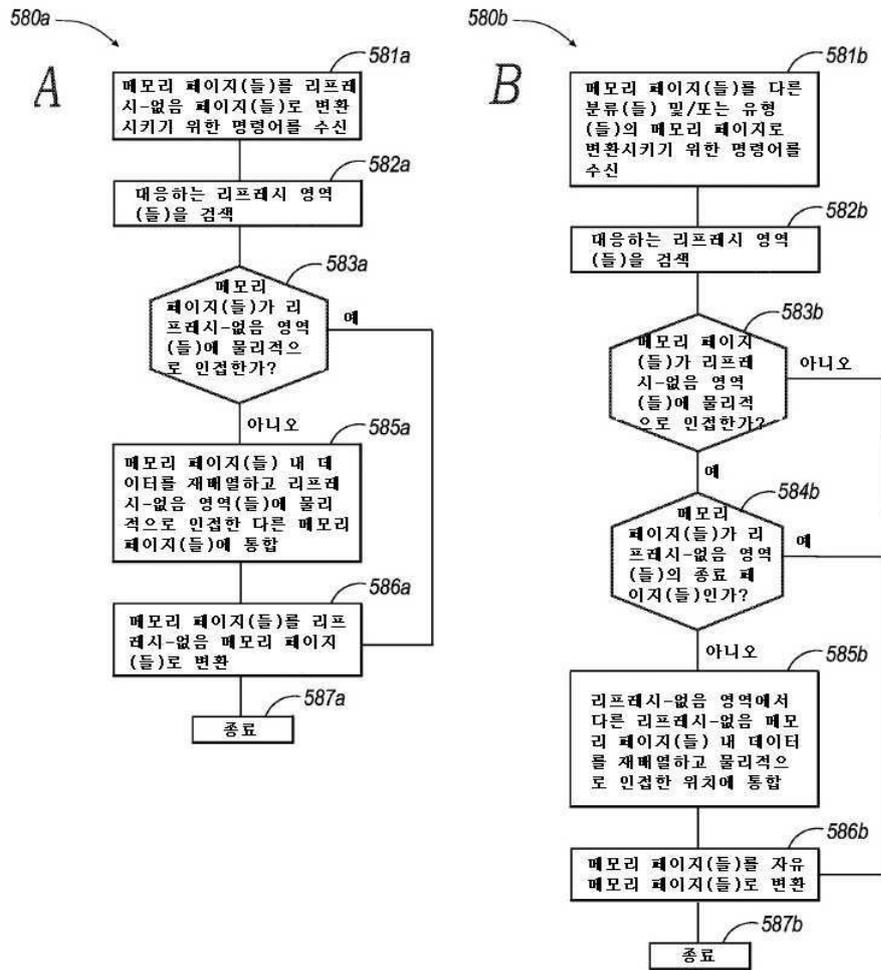
344b

메모리 영역	메모리 블록	리프레시 범위
1	1	$p_1, 39, p_{35}, 10$ ← 371
	2	$p_1, 64$ ← 372
	3	$p_1, 15, p_{25}, 18, p_{48}, 17$ ← 373
	⋮	⋮
	m-2	$p_{15}, 50$ ← 375
	m-1	$p_1, 24, p_{39}, 26$ ← 376
	m	$p_1, 50$ ← 377
2	⋮	⋮
3	⋮	⋮
⋮	⋮	⋮
n-2	⋮	⋮
n-1	⋮	⋮
n	⋮	⋮

도면4



도면5



도면6

