



(12) 发明专利

(10) 授权公告号 CN 102497544 B

(45) 授权公告日 2014. 06. 25

(21) 申请号 201110419891. 0

US 6154225 A, 2000. 11. 28,

(22) 申请日 2011. 12. 15

US 7284074 B2, 2007. 10. 16,

(73) 专利权人 中国科学院自动化研究所
地址 100190 北京市海淀区中关村东路 95 号

陈宏铭 等. 高效能, 低功耗 DDR2 控制器的硬件实现. 《中国集成电路》. 2011, (第 144 期),

审查员 姜丹

(72) 发明人 倪素萍 杜学亮 郭若杉 林啸
蒿杰 张森

(74) 专利代理机构 中科专利商标代理有限责任公司 11021

代理人 周国城

(51) Int. Cl.

H04N 7/24 (2011. 01)

(56) 对比文件

CN 101236601 A, 2008. 08. 06,

CN 102253909 A, 2011. 11. 23,

CN 101055704 A, 2007. 10. 17,

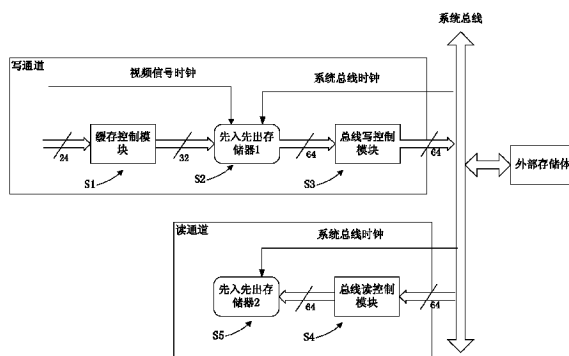
权利要求书2页 说明书4页 附图7页

(54) 发明名称

一种对视频信号的存取进行控制的装置

(57) 摘要

本发明公开了一种对视频数据的存取进行控制的装置, 该装置包括写通道和读通道, 写通道包括: 缓存控制模块, 先入先出存储器 1 和总线写控制模块; 读通道包括: 总线读控制模块和先入先出存储器 2。其中, 缓存控制模块将视频数据暂存在先入先出存储器 1 中, 然后由总线写控制模块通过三个并行写模块将视频数据通过系统总线存入外部存储体中; 总线读控制模块通过三个并行读模块将外部存储体中的视频数据读出, 暂存到先入先出存储器 2 中。本发明通过采用跨时钟域、两端数据宽度不同的先入先出存储器来进行数据缓冲, 并利用三个并行写控制和三个并行读控制来实时存取视频数据, 从而能够有效地利用总线带宽, 避免总线的竞争。



1. 一种视频数据存取控制装置,其特征在于,该装置包括写通道和读通道,其中:
写通道用于将视频数据通过系统总线存储到系统总线上挂接的外部存储体中;
读通道用于将视频数据通过系统总线从所述外部存储体中读取出来;
所述写通道进一步包括:缓存控制模块(S1),先入先出存储器 1 (S2)和总线写控制模块(S3),所述先入先出存储器 1 (S2)用于缓存视频数据,其与缓存控制模块(S1)连接部分采用了 32 位宽和视频信号时钟,与总线写控制模块(S3)连接的部分采用了 64 位数据位宽和系统总线时钟,以实现数据的对齐;
所述读通道进一步包括:总线读控制模块(S4)和先入先出存储器 2 (S5);
其中,
所述总线写控制模块(S3)进一步包括三个并行写模块:写地址控制模块,写数据控制模块和写突发计数器更新模块;
所述总线读控制模块(S4)进一步包括三个并行读模块:读地址控制模块,读数据控制模块和读突发计数器更新模块。
2. 根据权利要求 1 所述的装置,其特征在于,所述缓存控制模块(S1)用于将视频数据写入到先入先出存储器 1 (S2)中;所述缓存控制模块(S1)首先以视频信号时钟周期在数据有效信号为高时进行采样得到视频数据,并将得到的视频数据存入先入先出存储器 1 (S2)中。
3. 根据权利要求 1 所述的装置,其特征在于,所述总线写控制模块(S3)用于读出先入先出存储器 1 (S2)的视频数据,然后通过系统总线将视频数据存储到外部存储体中。
4. 根据权利要求 1 所述的装置,其特征在于,对于所述写地址控制模块:
如果帧同步信号为高,将写地址设置为外部存储体的某个固定地址;如果帧同步信号为低,则:
如果写突发开始信号为 0、先入先出存储器 1 (S2)已存在 N 个数据,其中, $N \geq M$,且写突发计数器为 0,则将写地址更新为后移 $M * 8$ 字节的地址位置;
然后设置所述总线写控制模块发起总线写请求时的写地址有效信号为有效,即 AW_VALID 信号为高,如该地址的外部存储体响应了该写请求,则外部存储体设置写地址准备就绪信号 AW_READY 为高;
最后,设置写突发开始信号为高,即为写数据控制模块的使能控制信号。
5. 根据权利要求 1 所述的装置,其特征在于,对于所述写数据控制模块:
如果写突发开始信号为高,表明数据要写入位置的外部存储体已经允许,则进行后面的动作,否则所述写数据控制模块不作任何动作;
然后判断先入先出存储器 1 (S2)是否为空,如果不空,表明先入先出存储器 1 (S2)中存有数据,则取出一个数据放到系统总线的数据信号线上,然后设置写数据有效信号 W_VALID 为高,如果外部存储体可以写入该数据,这时系统总线会返回写数据准备就绪信号 W_READY 信号为高,当看到 W_READY 为高时,重复上述过程;
当写突发计数器为 M-1 时,执行上述过程的同时,设置最后一个数据信号线为高。
6. 根据权利要求 1 所述的装置,其特征在于,对于所述写突发计数器更新模块:
如果写数据有效信号 W_VALID 和写数据准备就绪信号 W_READY 同时有效,这时如果写突发计数器不等于 M-1 时,则写突发计数器累加 1;如果等于 M-1,则将写突发计数器置为

0,同时将写突发开始信号设置为 0,表明一次写突发结束。

7. 根据权利要求 1 所述的装置,其特征在于,对于所述读地址控制模块:

如果帧同步信号为高,将读地址设置为外部存储体某个固定地址;如果帧同步信号为低,则:

如果先入先出存储器 2 (S5) 不满且读突发计数器为 0,则将读地址更新为读地址后移 $M*8$ 字节的地址位置;

然后设置所述总线读控制模块发起总线读请求时的地址有效信号为有效,即 AR_VALID 信号为高,如该地址的外部存储体响应了该读请求,则外部存储体设置读地址准备就绪信号 AR_READY 为高;

最后,设置读突发开始信号为高,所述读突发开始信号为读数据控制模块的使能控制信号。

8. 根据权利要求 1 所述的装置,其特征在于,对于所述读数据控制模块:

如果读突发开始信号为高,表明数据要读取位置的外部存储体已经允许,则进行后面的动作,否则所述读数据控制模块不作任何动作;

然后判断先入先出存储器 2 (S5) 是否已满,如果不满,表明可以将系统总线的数据信号线上的数据存下来,则设置读数据准备就绪信号 R_READY 为高,如果从外部存储体中可以读出数据,这时系统总线会返回读数据有效信号 R_VALID 信号为高,因此当 R_VALID 为高时,重复上述过程,当读到该次读突发的最后一个数据时最后一个数据信号线被外部存储体设置为高,数据读取的结束由所述读突发计数器更新模块来完成。

9. 根据权利要求 1 所述的装置,其特征在于,对于所述读突发计数器更新模块:

如果读数据有效信号 R_VALID 和读数据准备就绪信号 R_READY 同时有效,这时如果读突发计数器不等于 $M-1$,则读突发计数器累加 1;如果读突发计数器等于 $M-1$,则将读突发计数器置为 0,表明一次读突发结束,同时将读突发开始信号设置为 0,关闭所述读数据控制模块。

一种对视频信号的存取进行控制的装置

技术领域

[0001] 本发明属于视频传输技术领域,涉及一种对视频数据的存取进行控制的装置,特别用于以 ARM 公司提出 AXI 总线为系统总线的片上系统中,视频数据需要存储在外部存储体中,而外部存储体作为 AXI 总线的从设备的情形。

背景技术

[0002] 随着片上系统在视频领域的应用发展和 64 位系统总线位宽的广泛应用,有一类以 64 位宽的 AXI 总线为系统总线的片上系统也得到了一定的发展。AXI (Advanced eXtensible Interface) 总线是 ARM 公司提出的总线协议的一部分,是一种面向高性能、高带宽、低延迟的片内总线。对于 AXI 总线来说,其采用系统时钟,一般频率较高。而承载视频数据的视频信号中,视频数据的位宽通常为 24,其频率通常为一些标准约定的频率,一般频率较低。在带有视频处理的片上系统中,为了支持较复杂应用,比如视频运动估计等,需要缓存很多帧视频图像进行动态分析,而片上又没有足够的空间来存储多帧图像,因此需要将视频数据存储到外部存储体中,以提供足够大的数据缓存区。这样就会出现视频信号和总线信号频率不一致和数据位宽不一致的问题。

发明内容

[0003] 为了解决现有技术存在的问题,本发明提供一种对视频数据的存取进行控制的装置。

[0004] 本发明所提出的一种视频数据存取控制装置,其特征在于,该装置包括写通道和读通道,其中:

[0005] 写通道用于将视频数据通过系统总线存储到系统总线上挂接的外部存储体中;

[0006] 读通道用于将视频数据通过系统总线从所述外部存储体中读取出来;

[0007] 所述写通道进一步包括:缓存控制模块 S1,先入先出存储器 1S2 和总线写控制模块 S3;

[0008] 所述读通道进一步包括:总线读控制模块 S4 和先入先出存储器 2S5。

[0009] 本发明通过在视频信号和 AXI 总线间加入跨时钟域、两端位宽不同的先入先出存储器来解决视频信号和总线信号频率和位宽不一致的问题,并采用了三个并行写控制和三个并行读控制来实时存取视频数据,有效地利用总线带宽,避免总线的竞争。

附图说明

[0010] 图 1 是视频数据存取控制装置结构框图。

[0011] 图 2 是写地址控制模块控制流程图。

[0012] 图 3 是写数据控制模块控制流程图。

[0013] 图 4 是写突发计数器更新模块控制流程图。

[0014] 图 5 是读地址控制模块控制流程图。

[0015] 图 6 是读数据控制模块控制流程图。

[0016] 图 7 是读突发计数器更新模块控制流程图。

具体实施方式

[0017] 为使本发明的目的、技术方案和优点更加清楚明白，以下结合具体实施例，并参照附图，对本发明进一步详细说明。

[0018] 本发明采用了使用跨时钟域、两端位宽不同的先入先出存储器来缓存视频数据，然后再通过 AXI 总线来将视频数据存储到外部存储体或者从外部存储体中读出的一种对视频数据的存取进行控制的装置，该装置基于 FPGA 实现。

[0019] 本发明所述的控制装置适用于使用 64 位宽的 AXI 总线为系统总线的片上系统，以及将视频数据（视频数据位宽 24 位）通过 AXI 总线存取于外部存储体中。在视频存取过程中，会面对两个问题：频率不一致和数据位宽不一致。对于 AXI 总线来说，其采用系统时钟，一般频率较高；而对于视频信号来说，它以一些约定的固定频率传输，一般频率较低。因此本发明在视频信号和 AXI 总线间加入一个跨时钟域、两端位宽不同的 FIFO 来将位宽 24 位的视频数据存储到 64 位宽的 AXI 总线上，给出了一种用于视频存取的控制方法。这里，视频信号可以是数字视频接口 (Digital Visual Interface, DVI) 视频信号或者高清晰度多媒体接口 (High Definition Multimedia Interface, HDMI) 信号的视频分量，其包括同步信号和视频数据。同步信号有帧同步信号、行同步信号和数据有效信号，在数据有效信号置高时，以 HDMI/DVI 时钟采样得到的视频数据即为图像的一个像素，就是本发明所述的视频数据。本发明的视频数据信息采用了最常用的真彩色，为 24 位宽。

[0020] 图 1 是视频数据存取控制装置的结构框图，如图 1 所示，本发明所提出的对视频数据的存取进行控制的装置包括：写通道和读通道，其中：

[0021] 写通道用于将视频数据通过系统总线存储到系统总线上挂载的外部存储体中；

[0022] 读通道用于将视频数据通过系统总线从所述外部存储体中读取出来。

[0023] 所述写通道进一步包括：缓存控制模块 S1，先入先出存储器 1S2 和总线写控制模块 S3，其中：

[0024] 缓存控制模块 S1 用于将视频数据写入到先入先出存储器 1S2 中，24 位的视频数据线连接到先入先出存储器 1S2 的输入信号的 [24:0] 位；首先缓存控制模块 S1 以 HDMI/DVI 视频信号时钟周期在数据有效信号为高时进行采样得到视频数据，然后将得到的视频数据存入先入先出存储器 1S2 中。视频数据线最多能支持 32 位的扩展。

[0025] 先入先出存储器 1S2 用于缓存视频数据。与缓存控制模块 S1 连接的部分采用了 32 位宽和视频信号时钟，将视频数据同步地写入先入先出存储器 1S2 内部，但视频数据通常是 24 位真彩色，一个 24 位代表一个像素，因此需将先入先出存储器 1S2 输入信号的 [31:25] 位置 0；与总线写控制模块 S3 连接的部分采用了 64 位数据位宽和系统总线时钟，使之与总线写控制模块 S3 同步。这里，先入先出存储器 1S2 与缓存控制模块 S1 连接的部分采用了 32 位宽的目的是为了与总线写控制模块 S3 相对应，使两个 32 位的视频数据（存储了 2 个 24 位像素）经过先入先出存储器 1S2 后产生一个 64 位的总线数据，实现了数据的对齐，避免了非对齐时的像素拼接。

[0026] 总线写控制模块用于读出先入先出存储器 1S2 的视频数据，然后通过 AXI 系统总

线将视频数据存储到外部存储体中,总线写控制模块进一步包括:写地址控制模块,写数据控制模块和写突发计数器更新模块,总线写控制模块所执行的控制是基于FPGA用电路来实现的,其采用所述三个模块进行并行控制,主要的控制信号是写突发开始信号和写突发计数器,通过二者的配合完成一次AXI总线的写突发传输。其中:

[0027] 假定一次突发传输M个64位数据,那么:

[0028] 对于写地址控制模块,其具体控制流程如图2所示,如果帧同步信号为高时写地址设置为外部存储体的某个固定地址,该固定地址可由软件来配置;否则,如果写突发开始信号为0、且先入先出存储器1S2已存在N个数据($N \geq M$)、且写突发计数器为0时,则更新写地址,将写地址更新为后移 $M*8$ 字节的地址位置;然后设置总线写控制模块发起AXI写请求时的写地址有效信号为有效,即AW_VALID信号为高,如该地址的外部存储体响应了该写请求,则外部存储体设置写地址准备就绪信号AW_READY为高;最后,设置写突发开始信号为高,即为写数据控制模块的使能控制信号。

[0029] 对于写数据控制模块,其具体控制流程如图3所示,如果写突发开始信号为高,表明数据要写入位置的外部存储体已经允许,则进行后面的动作,否则该模块不作任何动作;然后判断先入先出存储器1S2是否为空,如果不空,表明先入先出存储器1S2中存有数据,则取出一个数据放到AXI总线的数据线上,然后设置写数据有效信号W_VALID为高,如果外部存储体可以写入该数据,这时AXI总线会返回写数据准备就绪信号W_READY信号为高,因此当看到W_READY为高时,重复上述过程,当写突发计数器为M-1时,执行上述过程的同时,设置最后一个数据信号线为高。

[0030] 对于写突发计数器更新模块,其具体控制流程如图4所示,如果写数据有效信号W_VALID和写数据准备就绪信号W_READY同时有效(表明当时的一个64位数据已被接受,并会将其写入外部存储体中),这时如果写突发计数器不等于M-1时,则写突发计数器累加1;如果等于M-1,则将写突发计数器置为0,同时将写突发开始信号设置为0,表明一次写突发结束。

[0031] 所述读通道用于读取出外部存储体中的视频数据,因此读通道较写通道来说只有从AXI总线到先入先出存储体FIFO的处理,该过程也是基于FPGA,用实际的硬件电路实现。

[0032] 所述读通道进一步包括:总线读控制模块S4和先入先出存储器2S5。所述总线读控制模块S4采用三个模块进行数据读取的并行控制:读地址控制模块,读数据控制模块和读突发计数器更新模块,主要的控制信号是读突发开始信号和读突发计数器,通过二者的配合完成一次AXI总线的读突发传输。

[0033] 假定一次突发的长度是M个64位数据,那么:

[0034] 对于读地址控制模块,其具体控制流程如图5所示,如果帧同步信号为高时读地址设置为外部存储体的某个固定地址,该固定地址可由软件来配置,软件保证读写地址的一致性;否则,如果先入先出存储器2S5不满且读突发计数器为0时,则更新读地址,即累加 $M*8$,也就是将读地址更新为后移 $M*8$ 字节的地址位置;然后设置总线读控制模块发起AXI读请求时的地址有效信号为有效,即AR_VALID信号为高,如该地址的外部存储体响应了该读请求,则外部存储体设置读地址准备就绪信号AR_READY为高;最后,设置读突发开始信号为高,即为读数据控制模块的使能控制信号。

[0035] 对于读数据控制模块,其具体控制流程如图6所示,如果读突发开始信号为高,

表明数据要读取位置的外部存储体已经允许,则进行后面的动作,否则该模块不作任何动作;然后判断先入先出存储器 2S5 是否已满,如果不满,表明可以将 AXI 总线的数据线上的数据存下来,则设置读数据准备就绪信号 R_READY 为高,如果外部存储体准备好数据,这时 AXI 总线会返回读数据有效信号 R_VALID 信号为高,因此当看到 R_VALID 为高时,重复上述过程,当读到该次突发的最后一个数据时会看到最后一个数据信号线被外部存储体设置为高,数据读取的结束由读突发计数器更新模块来完成。

[0036] 对于读突发计数器更新模块,其具体控制流程如图 7 所示。如果读数据有效信号 R_VALID 和读数据准备就绪信号 R_READY 同时有效(表明当时的一个 64 位的数据已准备好,并将会写入先入先出存储器 2S5),这时如果读突发计数器不等于 M-1 时,则读突发计数器累加 1;如果等于 M-1 时,则将读突发计数器置为 0(表明一次读突发结束),同时将读突发开始信号设置为 0,关闭读数据控制模块。

[0037] 以上所述的具体实施例,对本发明的目的、技术方案和有益效果进行了进一步详细说明,所应理解的是,以上所述仅为本发明的具体实施例而已,并不用于限制本发明,凡在本发明的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

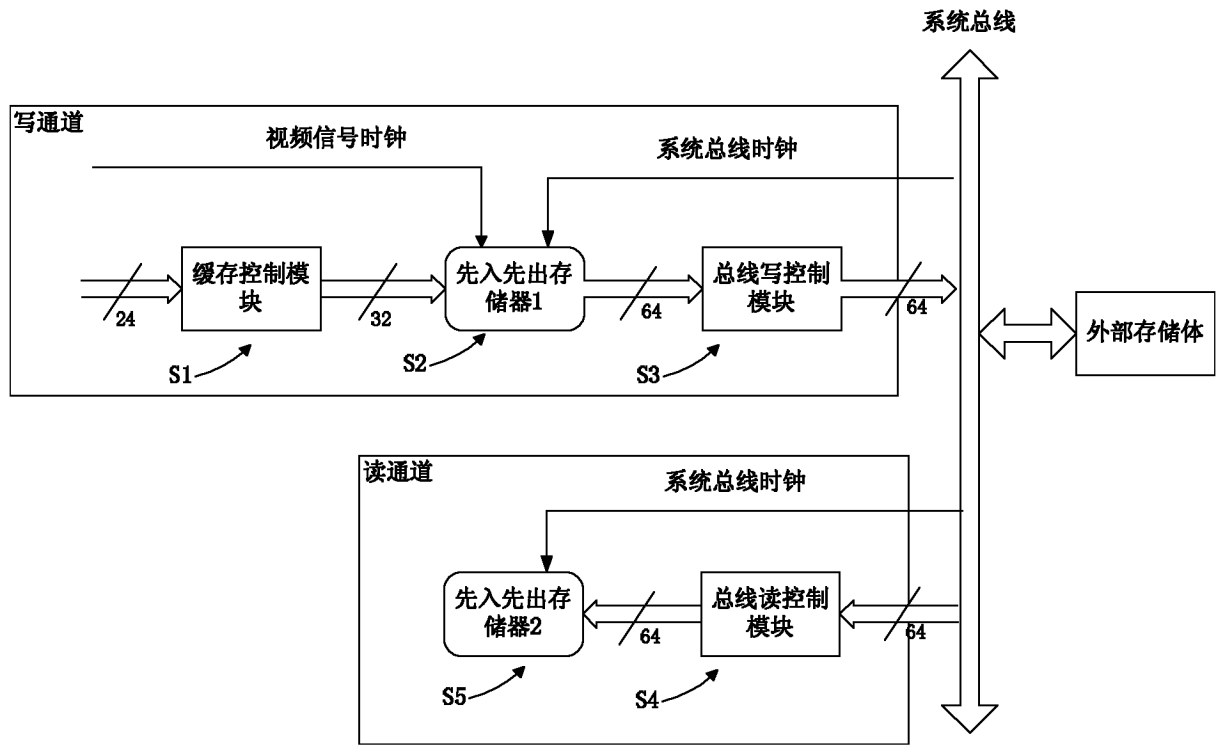


图 1

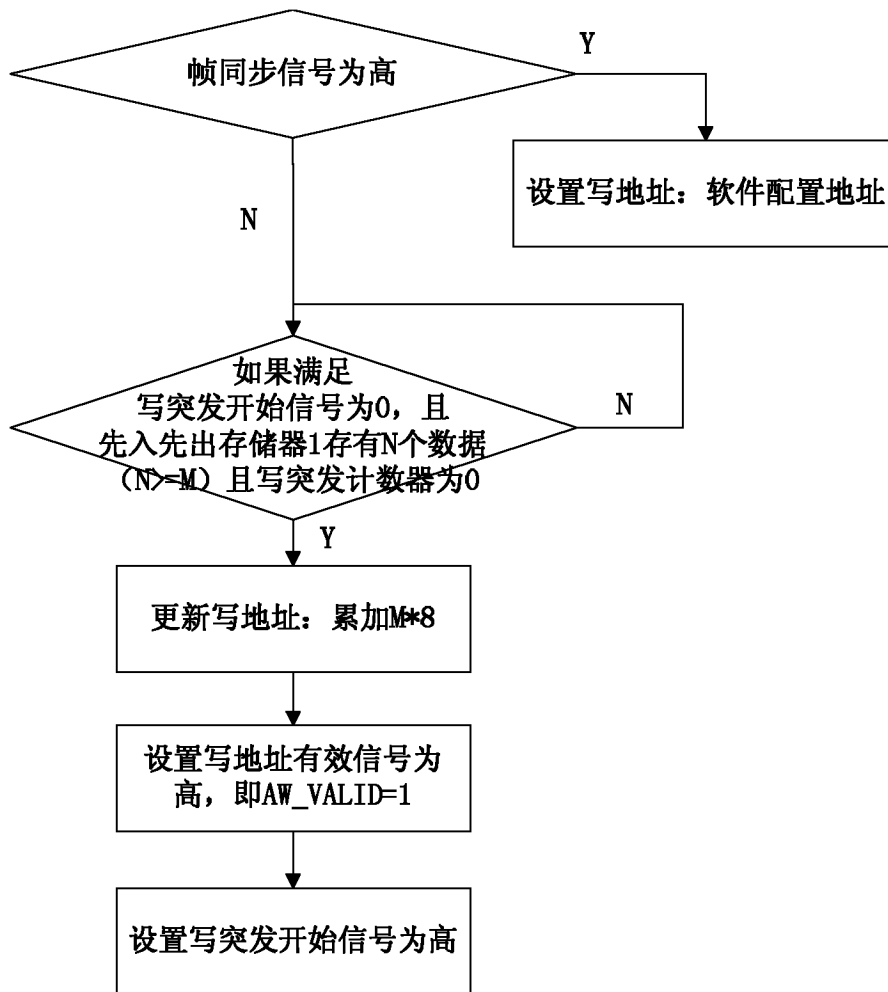


图 2

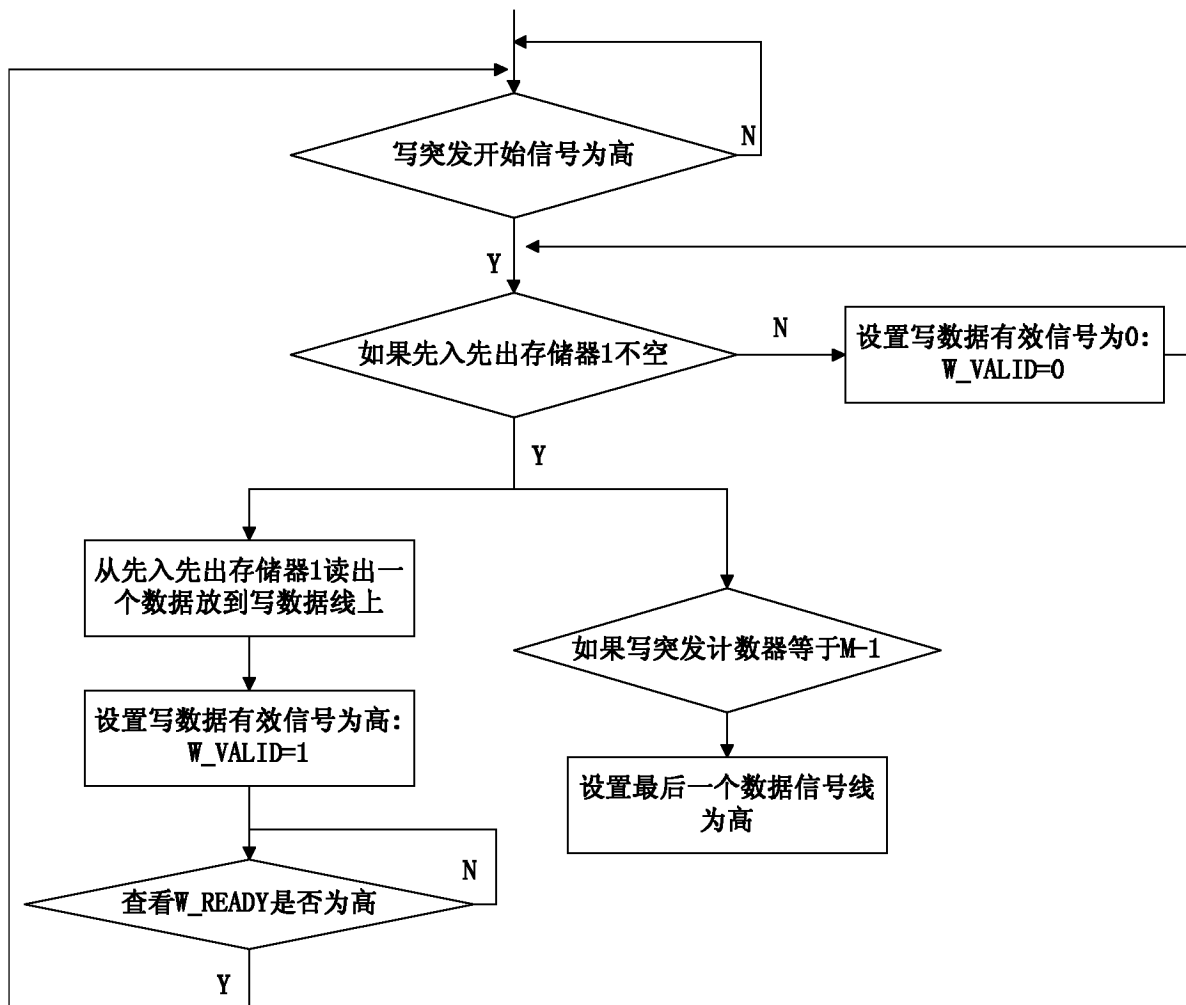


图 3

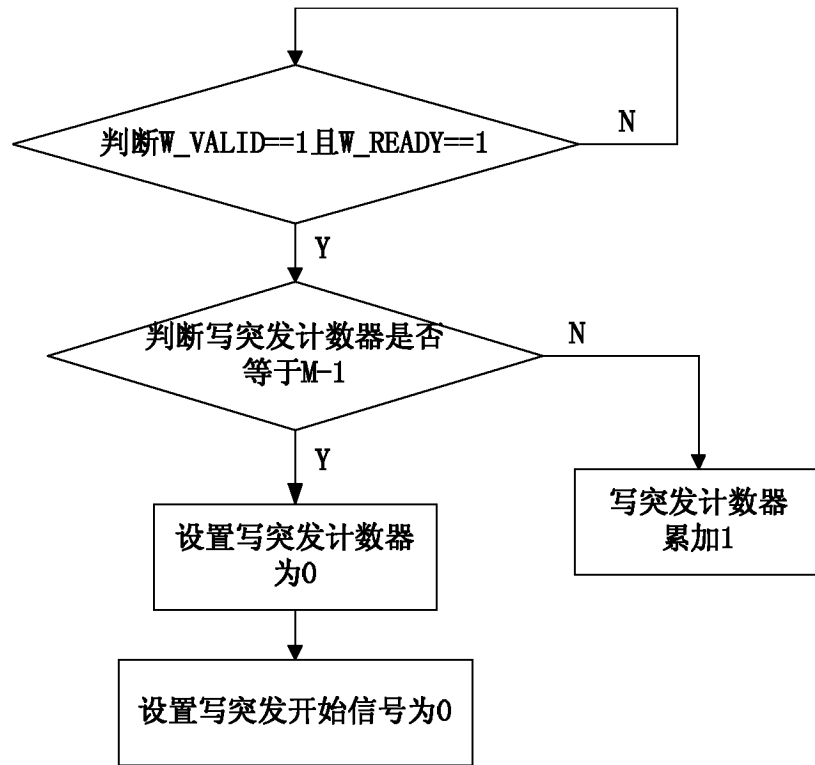


图 4

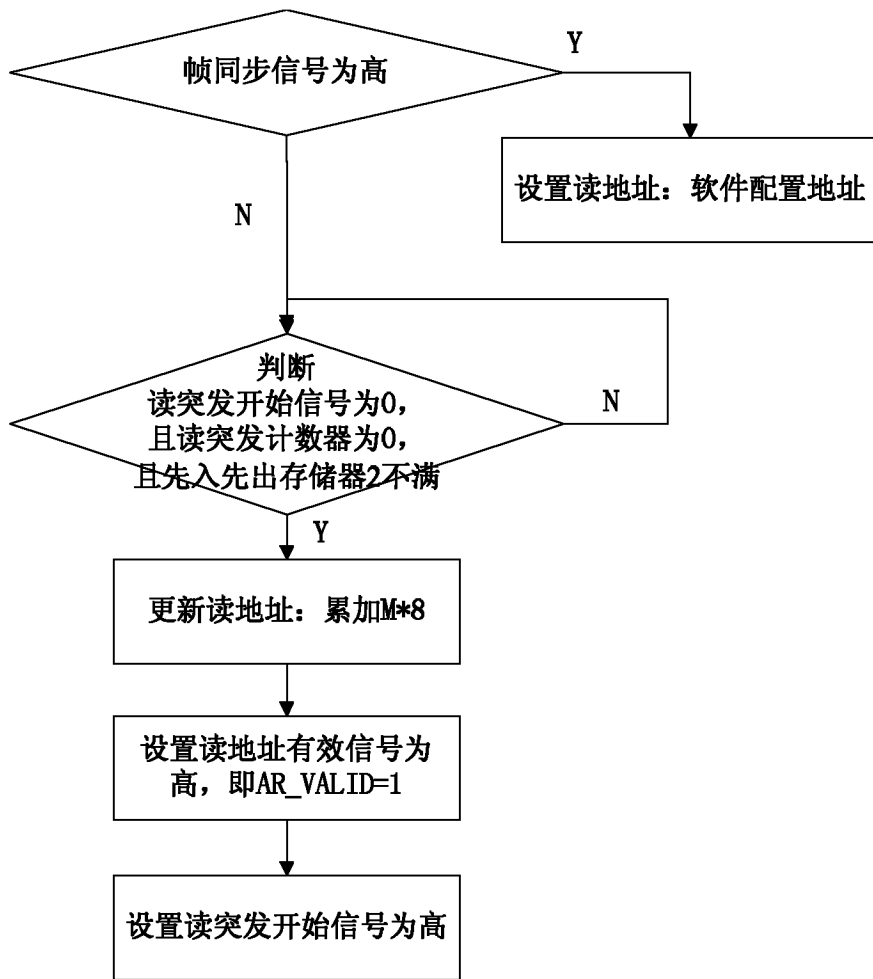


图 5

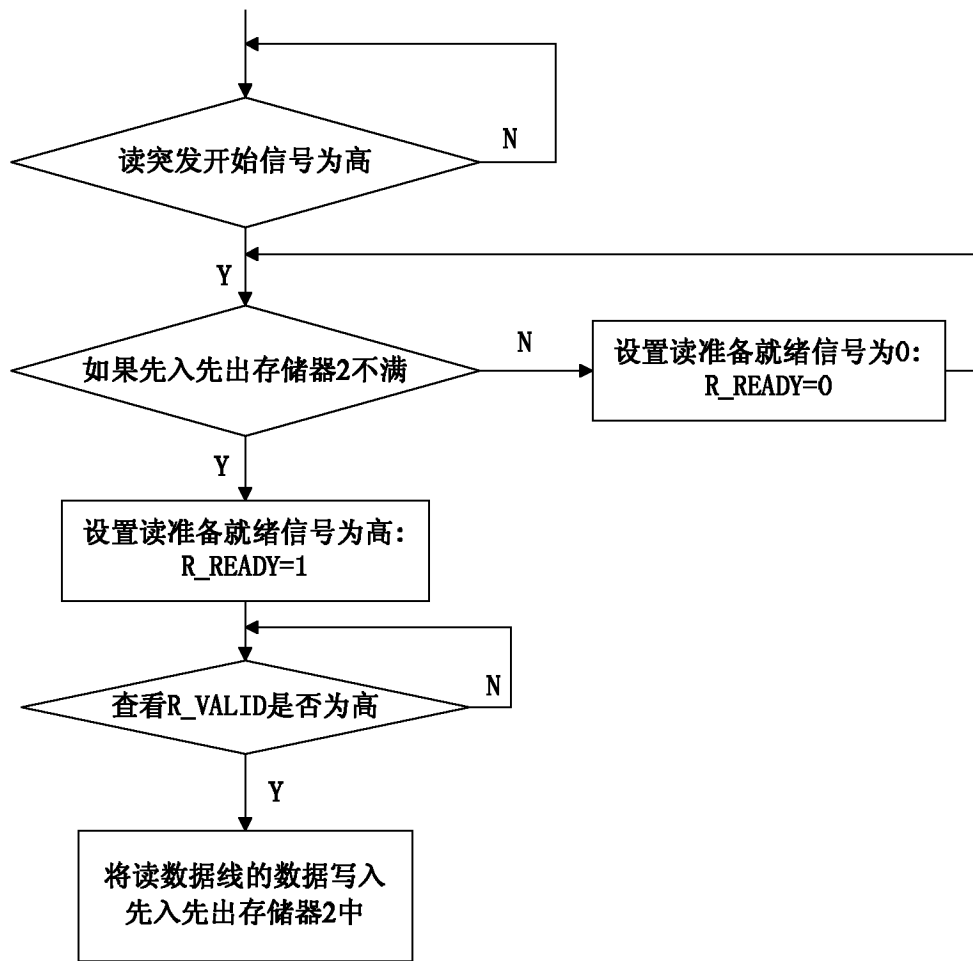


图 6

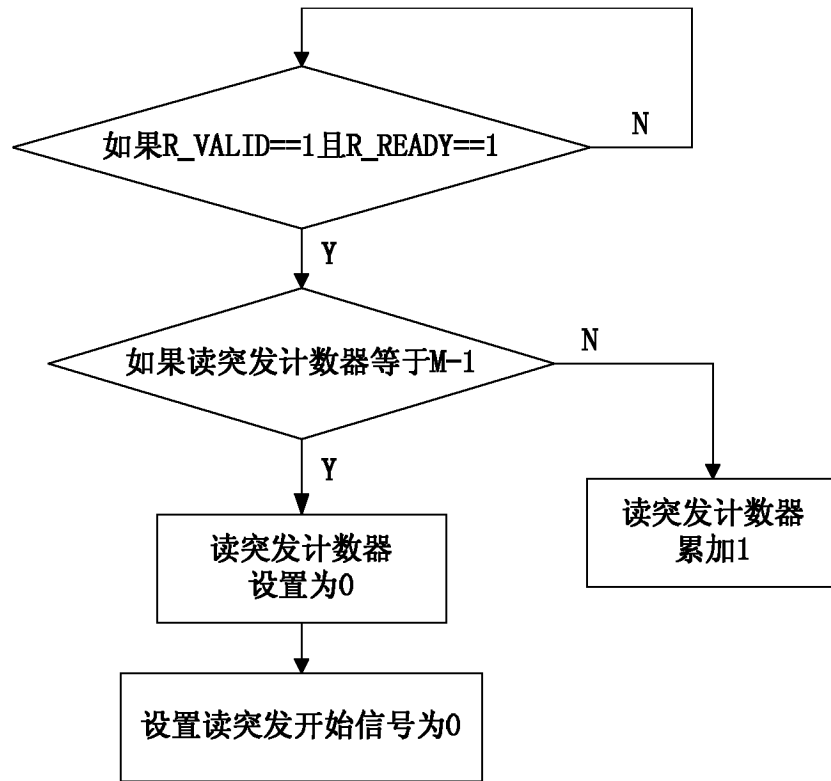


图 7