

公告本

389943

申請日期：

87

10. /

案號：

87/116 *15

類別：

H01L 21/28

(以上各欄由本局填註)

發明專利說明書

389943

一、 發明名稱	中文	設有矽化物層的半導體裝置之製造方法
	英文	Fabrication Method Of Semiconductor Device Equipped With Silicide Layer
二、 發明人	姓名 (中文)	1. 松原 義久 2. 石上 隆司 3. 山田 義明 4. 綿貫 真一
	姓名 (英文)	1. 2. 3. 4.
	國籍	1. 日本 2. 日本 3. 日本 4. 日本
	住、居所	1. 日本國東京都港區芝五丁目7番1號日本電氣股份有限公司內 2. 日本國東京都港區芝五丁目7番1號日本電氣股份有限公司內 3. 日本國東京都港區芝五丁目7番1號日本電氣股份有限公司內 4. 日本國東京都港區芝五丁目7番1號日本電氣股份有限公司內
三、 申請人	姓名 (名稱) (中文)	1. 日本電氣股份有限公司
	姓名 (名稱) (英文)	1. NEC Corporation
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都港區芝五丁目7番1號
	代表人 姓名 (中文)	1. 金子 尚志
	代表人 姓名 (英文)	1.



本案已向

國(地區)申請專利

日本 JP

申請日期

1997/10/09 特願平9-277604

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明之背景

發明之領域

本發明是關於一種半導體裝置之製造方法，特別是關於製造一具有一如矽化鈦般之金屬矽化物層的半導體裝置，其中最好引用所謂的自行對準矽化物製程(SALICIDE)技術。

習知技術之描述

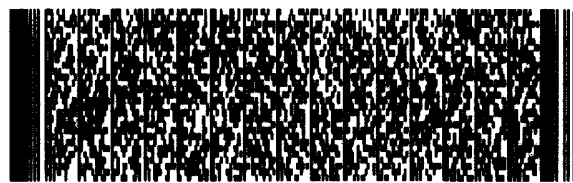
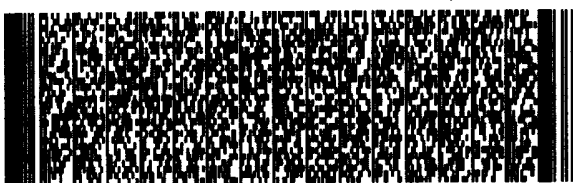
在最近幾年中，半導體裝置越來越微小化並且其整合積集度之程度也越來越高。在此情況下，許多依設計規則而窄度約只有0.15到0.25 μm 的電子裝置如記憶體或邏輯裝置都被合併在一半導體晶片中。在這些高集積化的裝置中，通常都使用金屬氧化半導體場效電晶體(MOSFETs)。

為了因應微小化的進展以及集積化增加的趨勢，其有強烈的必要來降低用於MOSFETs的閘極長度及源極/汲極區之寬度。然而，降低閘極長度及源極/汲極區之寬度相對的也增加了它們的電阻，因此延宕了裝置的操作速度。

因此，在微小化及集積化的電子裝置中，現在普遍的在閘極及源極/汲極之介面區附加的形成矽化物層來降低其電阻。MOSFETs的矽化層通常是以所謂的SALICIDE技術來形成。

這類型之習用製造方法的第一個例子是顯示於圖1A到1E。

不用說，有許多的MOSFETs形成及集積在一半導體基板上。然而，為了使其簡單明瞭，在此將只解釋一個



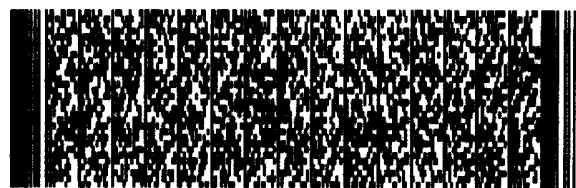
五、發明說明 (2)

MOSFETs 及其圖示。

首先，如圖1A所顯示，一個隔離氧化層1102選擇性的以一個矽之局部氧化(LOCOS)過程在一個單晶矽(Si)基板1101之表面區域形成，以此確定MOSFET所形成於上之一個裝置區域1101A的界線。一個雜質被選擇性的以離子植入到基板1101以便形成通道阻絕區，並因此提高了絕緣擊穿電壓。一個二氧化矽膜(SiO_2)1103在裝置區1101A上基板1101之整個暴露表面上以熱氧化處理而形成。

然後，一個具有約150nm厚度之多晶矽膜(並無顯示)藉由一個化學氣相沈積(CVD)處理而沈積在 SiO_2 膜1103上並覆蓋整個基板1101。而由此形成的多晶矽膜接著用如磷(P)一般的雜質加以摻雜以便降低其電阻。被降低電阻之多晶矽膜接著被加上一特定之平面形狀，因此就在裝置區1101A的 SiO_2 膜1103上形成一閘極1104。

一 SiO_2 膜(並未顯示)藉由一CVD處理沈積在整個基板1101上來覆蓋多晶矽閘極1104， SiO_2 膜1103，及以 SiO_2 膜所形成之隔離氧化層1102。接著，因此沈積的 SiO_2 膜，該 SiO_2 膜1103，及隔離氧化層1102以非等向性蝕刻處理來加以蝕刻，因此就在閘極1104之每側的基板1101表面上形成一對的側壁間隔部1105。此一對側壁間隔部1105是以 SiO_2 製成。在此蝕刻製程過程中，基板1101之表面在和一對源極/汲極區相對應之位置的覆蓋被移開。而剩餘之 SiO_2 膜1103則做為一閘極氧化膜。而閘極1104則位於在因此形成的閘極氧化膜103上。



五、發明說明 (3)

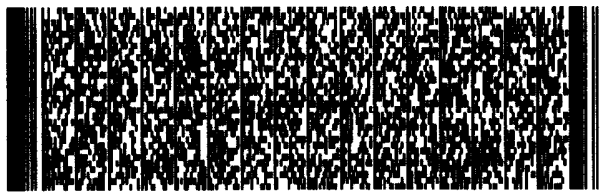
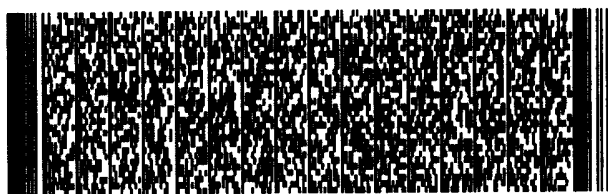
如此，如砷(As)或硼(B)之雜質選擇性的藉由一離子植入法植入到基板1101之裝置區1101A中。接著基板1101歷經溫度約為800° 到1000 °C之熱處理。因此，一對源極/汲極1106即在裝置區1101A的閘極1104每側形成。所以此形成的源極/汲極1106是自動對準到閘極1104，側壁間隔部1105。此步驟之狀態是顯示於圖1A。

接著此步驟，一厚度約為50nm的鈦(Ti)膜1107藉由一濺渡處理而沈積在整個基板1101上，如圖1B所顯示。接著，鈦膜1107所形成於上之已沈積的基板1101藉使用一燈爐回火裝置在一氮氣(N₂)環境中以溫度600 °C到650 °C的氣壓溫度來進行30到60秒的第一次熱處理。

因此，如圖1C所顯示，矽化反應在接近鈦膜1107和單晶矽源極/汲極1106以及多晶矽閘極1104之介面附近發生，並以此形成矽化鈦(TiSi₂)層1109，其x約等於2。此矽化鈦層1109是在具有約為60 $\mu\Omega \cdot \text{cm}$ 的頗高之電阻率的C-49相裡。在此矽化反應的同時，在環境中的氮原子擴散進入到Ti膜1107，從而將鈦膜1107藉由氮化反應改變為Ti_xN膜1107'，其中x是等於或大於1(例如，x ≥ 1)。

接著，使用氨氣(NH₃)與過氧化氫(H₂O₂)之混合水溶液為一蝕刻劑，以濕式蝕刻製程將整個未反應的Ti_xN膜1107'移除。結果，TiSi₂層1109就分別留置在源極/汲極1106的表面區及閘極1104的表面區，如圖1D所顯示。

具有TiSi₂層1109之基板1101在充滿氮(N₂)氣之氣壓中在溫度約為850 °C的情況下以燈爐回火裝置進行60秒的第



五、發明說明 (4)

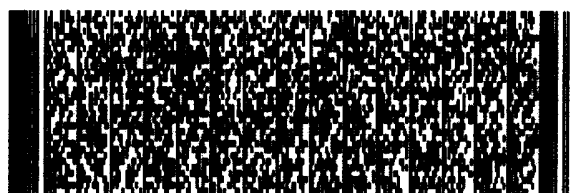
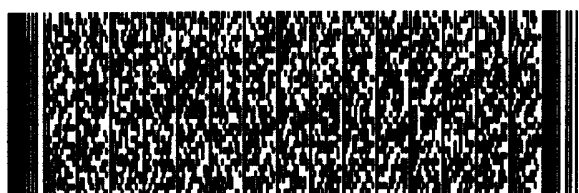
二次熱處理製程。因此，具有C-49相之 NiSi_2 層1109變成具有C54-相的 TiSi_2 層1111，且其具有較低的電阻率，約為 $20 \mu \Omega \cdot \text{cm}$ ，如圖1E所顯示。

為何上述形成具有C-49相之 NiSi_2 層1109的第一熱處理製程是在 N_2 環境中執行的原因將在下文中探討。

更詳細而言，在上述之鈦與矽之矽化反應中，矽是充當一擴散物質。因此，Si原子由於在此矽化反應過程中的擴散，其不僅被引進到閘極1104及源極/汲極1106，也被引進到隔離氧化層1102。若擴散到隔離氧化層1102的Si和Ti起反應，就在隔離氧化層1102上形成一 TiSi_2 層，因此減損了隔離氧化層1102的電隔離之執行。非意欲之 TiSi_2 層形成於隔離氧化層1102之上的現象是稱為"過度成長"。為了避免此"過度成長"的現象，所以第一熱處理製程才在 N_2 環境中執行使Ti和N起反應，因此形成 Ti_xN 膜1107'。

由於 Ti_xN 的反應溫度較 TiSi_2 為低，在隔離氧化層1102上之Ti膜1107在矽化反應過程中被 Ti_xN 之生成反應所耗盡。這表示在隔離氧化層1102上之Ti膜並未和Si相互反應且因此就避免 TiSi_2 形成在隔離氧化層1102上。因此就可以在源極/汲極1106及閘極1104上形成C-49相 TiSi_2 膜1109且如所需的自行對準到閘極1104，一對側壁間隔部1105，及隔離氧化層1102。

本類型之習用製造方法的第二個例子，其中避免了"過度成長"現象的發生，是顯示在圖2A到2F。此例子是顯示在和公開於1997年7月的日本公開號碼9-186194號及



五、發明說明 (5)

9-186195 號相應對的日本特願平第7-3039028 號。

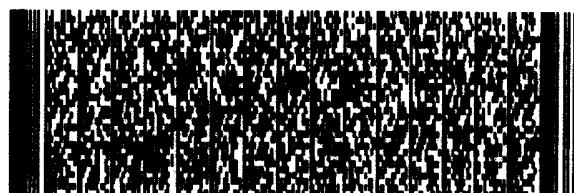
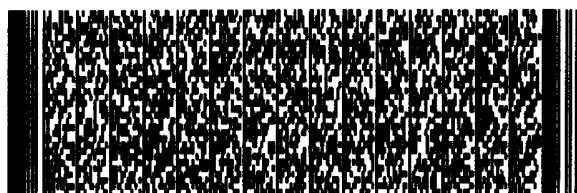
首先，如圖2A所顯示，和第一個例子中顯示於圖1A到1E相同的方法，隔離氧化層1102在一個單晶矽基板1101之表面區域形成，以此確定MOSFET所形成於上之一個裝置區域1101A的界線。多晶矽閘極1104經由 SiO_2 膜1103形成在基板1101之表面上。一對側壁之間隔部1105是形成在基板1101表面閘極1104之每一側。一對源極/汲極1106形成在裝置區域1101A中表面閘極1104之每一側。在此階段之狀況是顯示於圖2A。

接著，厚度約為20nm之Ti膜1107藉由一濺鍍製程沈積在整個基板1101上，如圖2B所示。然後，厚度約為50nm之 Ti_xN 膜1108藉由一濺鍍製程沈積在整個Ti膜1107上，如圖2C所顯示。

根據此步驟，Ti膜1107和 Ti_xN 膜1108所沈積於上之基板1101藉使用燈爐回火裝置在Ar環境中以溫度700℃來進行30秒的第一次熱處理。因此，如圖2D所顯示，矽化反應在接近鈦膜1107和一對源極/汲極區1106以及閘極1104之介面附近發生，並以此形成矽化鈦(TiSi_2)層1109。這些在C-49相的 TiSi_2 層1109具有一個頗高的電阻率。

在矽化反應的同時，存在覆蓋於 Ti_xN 膜1108之上的氮原子擴散到Ti膜1107，因氮化反應而將Ti膜1107轉變為 Ti_xN 膜1107'。

接著，使用一個氨氣(NH_3)與過氧化氫(H_2O_2)之水溶液為一蝕刻劑，以濕式蝕刻製程將整個未反應的 Ti_xN 膜



五、發明說明 (6)

1107' 移除。結果， NiSi_2 層 1109 就分別留置在源極/汲極 1106 的表面區及閘極 1104 的表面區，如圖 2E 所顯示。

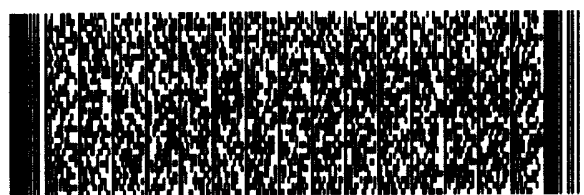
此外 C-49 相 TiSi_2 層 1109 所形成於之上的基板 1101 在一個充滿 Ar 氣之氣壓中在溫度約為 800°C 的情況下以一個燈爐回火裝置進行 10 秒的第二次熱處理製程。因此，具有 C-49 相之 TiSi_2 層 1109 變成具有 C54- 相的 TiSi_2 層 1111，且其具有較低的電阻率，如圖 2F 所顯示。

顯示於圖 1A 到 1E 的習用製造方法可以有效的以自我對準形成 C54 相 TiSi_2 層 1111。然而，但有一個問題是這些 TiSi_2 層 1111 的形成在其厚度降低到約 30 nm 或更低時就不是所意欲的。

申言之，Ti 膜 1107 必須依據半導體越來越進展的微小化而變為更薄。然而，在第一次熱處理過程中發生在 Ti 膜 1107 之氮化反應及矽化反應有彼此競爭的傾向。特別是，當砷 (As) 摻雜到源極/汲極 1106 及閘極 1104 後，在同時矽化反應之速率也降低了，而氮化反應之速率則升高。結果， TiSi_2 層 1109 之厚度變成非常的小。在特殊的情形中，Ti 膜 1107 只有產生氮化反應且結果並未形成 TiSi_2 層。

並且，由於在第一熱處理中 TiSi_2 層 1109 是在 N_2 環境中形成，需探討的所實施到 TiSi_2 層 1109 之相變的效果將在下文中探討。

圖 3 顯示 Ti 膜 1107 從 C-49 相變為 C-54 相的相變溫度變化與 Ti 膜 1107 厚度之關係。如圖 3 所顯示，當 Ti 膜 1107 之



五、發明說明 (7)

厚度約為30nm或更小時，相變溫度突然上升，此乃因為存在Ti膜1107之N濃度因氮化反應而增加。因此，在第二熱處理中用於降低TiSi₂層1109 C-49相之溫度需設定在更高的溫度。第二熱處理中的高溫度嚴重的影響源極/汲極1106並造成半導體裝置(如MOSFET)執行之減損。並且，此高溫也降低了TiSi₂之堆聚反應之溫度邊際。

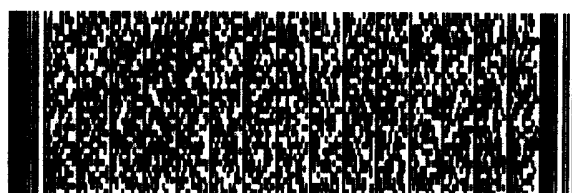
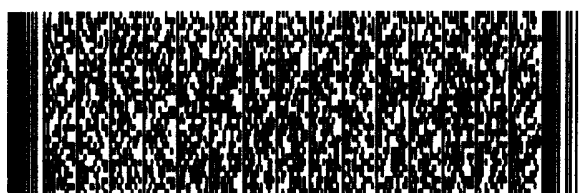
反之，如圖2A到2F習用製造方法中的第二個例子有效的在抑制N的擴散時啟動矽化反應。因此，上述之第一例子的問題就解決了。

更詳細而言，如上述的第二個例子中，第一次熱處理是在Ar環境中執行。因此，從Ti_xN膜1108(而非環境中)的N原子擴散到Ti膜1107，如此就使得在Ti_xN膜1108中的N濃度降低。並且，擴散進入Ti膜1107的N原子之擴散深度就變得比當如圖1A到1E中第一熱處理是在N₂環境中執行的較淺。申言之，N原子之擴散行為被有效的抑制了。

由於對進入到Ti膜1107之N原子的擴散之抑制，Ti的氮化反應被抑制在Ti膜1107的和源極/汲極1106相連接的較低側。如此，即使當Ti膜1107之厚度降低到約30nm或更小，所需的矽化反應仍將出現在Ti膜1107之較低側，如此形成所意欲之TiSi₂層1109的小厚度。

然而，以如圖2A到2F之習用製造方法的第二個例子，仍因為Ti_xN膜1108沈積在Ti膜1107上而有下列的問題。

更詳細而言，由於第一次熱處理是在Ti_xN膜1108形成之後才執行，Ti_xN膜1108在此熱處理製程中有被熔結的傾



五、發明說明 (8)

向。結果， Ti_xN 膜1108似乎有一個高應力及高密度。在如此的情況下，雖然Ti膜1107藉使用 NH_3 及 H_2O_2 混合之水溶劑以濕式蝕刻移除，熔結的 Ti_xN 膜1108很難以相同的蝕刻製程來移除。

為了因應此蝕刻上之困難， Ti_xN 膜1108可以過度蝕刻而以上述之濕式蝕刻來加以整個移除，或者其可以在濕式蝕刻製程後再整個施以另一乾式蝕刻製程。然而，在此兩種情況下，就引起了在下面的 $TiSi_2$ 層1109在附加之過度蝕刻或在乾式蝕刻製程中被蝕刻了的傾向，此是由於在 $TiSi_2$ 及 Ti_xN 之間的蝕刻選擇性較低之緣故。

如此，結果所得之具有C-54相之 $TiSi_2$ 層1111的薄膜電阻傾向於大幅的波動，並且在同時，降低 $TiSi_2$ 層1111層之電阻的目的就變得很難達到。

並且，若Ti膜是形成在被絕緣材料所包圍之Si區域，一個 $TiSi_2$ 層因矽化反應而形成於Ti膜及Si區域之間的介面附近。在此情形下，因此形成的 $TiSi_2$ 層依照矽化反應之進展而有從其原本層下陷到Si區域之傾向。此下陷現象是因存在於Si區域之Si原子擴散到Ti膜所引起。由於此 $TiSi_2$ 層在矽化反應期間的下陷行為，Ti膜本身就產生了塑性變形。

若一 Ti_xN 膜是形成在Ti膜上，一個塑性變形就會發生在 Ti_xN 膜中而此 Ti_xN 膜的變形會根據 $TiSi_2$ 層之下陷現象的進展而增加。

若Si區域具有一個細長的形狀並具有很小的寬度如



五、發明說明 (9)

5 μm 或更小(例如,一條狀的形狀),則以周圍之絕緣材料所支持的Si區域之跨距(span)是很短的。依此, Si區域就很難被塑性變形。

位於細長形狀之Si區域之上的 Ti_xN 膜造成Si區域比較不會因 Ti_xN 膜之應力值而塑性變形。因此,矽化反應之速率就變得比當Si區域並非為細長形狀的情形時低。這表示和矽化反應相競爭之氮化反應變為較強勢。結果,就有困難形成所意欲之 TiSi_2 層或是根本無法形成 TiSi_2 層。

如上所解釋,雖然顯示於圖2A到2F中的第2個例子之方法可以因應簡單的 TiSi_2 層之變薄,但卻無法運用在薄及細長之Si區域的矽化。

發明之概述

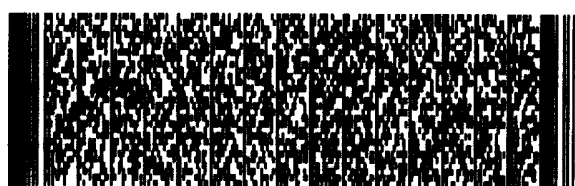
因此,本發明的目的之一即為提供一種半導體裝置之製造方法,使其可能形成一薄及細長的耐火金屬矽化物層,並且防止過度成長的情形。

本發明之另一目的是提供一半導體裝置之製造方法,其形成具有單一相同厚度之耐火金屬矽化物層,即使此耐火金屬矽化物層是薄且細長的。

本發明另一個目的是提供一半導體裝置之製造方法,其可防止具有薄及細長的耐火金屬矽化物層之半導體之執行及特定的減損。

上述之目的及其他未詳細指明的目的,熟悉本技藝者在下文的敘述中對這些目的更加明白。

根據本案第一實施樣態之半導體裝置之製造方法,包



五、發明說明 (10)

含下列的步驟(a)到(c):

於步驟(a)中，在一矽區形成第一耐火金屬膜；

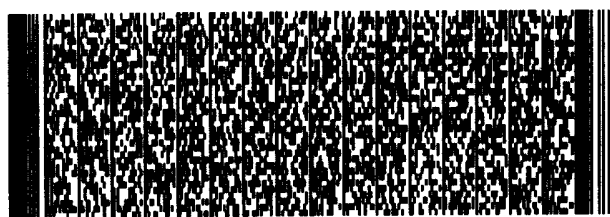
於步驟(b)中，在該第一耐火金屬膜上形成第二耐火金屬膜。該第二耐火金屬膜包含和該第一耐火金屬膜相同的一耐火金屬及氮。該第二耐火金屬膜之一應力被控制為一特定值或比此值更低。

於步驟(c)中，在一不含氮氣之環境中，熱處理該第一耐火金屬膜及該第二耐火金屬膜，由於該第一耐火金屬膜和該矽區所產生的矽化反應而在該矽區及該第一耐火金屬膜之介面形成一個耐火金屬矽化物層。

其中該第二耐火金屬膜之該應力值是設定為使該第二耐火金屬膜在步驟(c)中之該矽化反應時並無實質的影響該耐火金屬矽化物層之塑性變形。

根據本案第一實施樣態之半導體裝置之製造方法，當在步驟(a)中在一矽區形成第一耐火金屬膜之後，包含和該第一耐火金屬膜相同的一耐火金屬及氮的該第二耐火金屬膜在步驟(b)中形成於該第一耐火金屬膜之上。接著，在一不含氮氣之環境中，熱處理該第一耐火金屬膜及該第二耐火金屬膜，由於該第一耐火金屬膜和該矽區所產生的矽化反應而在該矽區及該第一耐火金屬膜之介面形成一耐火金屬矽化物層。

第二耐火金屬膜之一應力被控制為一特定值或比此值更低，且該第二耐火金屬膜之該應力值是設定為使該第二耐火金屬膜在步驟(c)中之該矽化反應時並無實質的影響



五、發明說明 (11)

該耐火金屬矽化物層之塑性變形。

因此，由於第二耐火金屬膜之一應力如上述般的控制著，第二耐火金屬膜對該耐火金屬矽化物層在矽化反應時之塑性變形並無實質的影響。這表示矽化反應速率由於第二耐火金屬膜的存在而無法或很難降低。

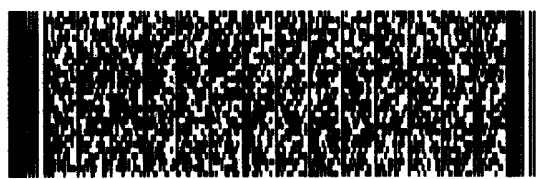
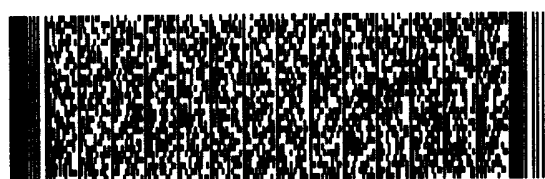
因此，一薄且細長的耐火金屬矽化物層就可以形成在矽區域之上，即使此矽化物層之厚度只約為30nm或更小並且其寬度是約為0.5 μm 或更小。

並且，無需再以其他的蝕刻製程來移除第二耐火金屬膜，而在同時，矽化反應速率並未降低或很難降低。因此，即使此耐火金屬矽化物層是薄且細長的。此矽化物層即具有一個單一相同的厚度。

再者，由於在步驟(c)中熱處理該第一耐火金屬膜及該第二耐火金屬膜，是在一個不含氮氣之環境中進行，用於引起耐火金屬矽化物層之相轉變的相轉變溫度即使當耐火金屬矽化物層之厚度小到約為30nm或更小時仍不會上升。

因此，就可防止半導體之執行及特性因相轉變之熱處理而有所減損。

除此之外，在含有氮氣之第二耐火金屬膜在步驟(b)中形成於第一耐火金屬膜上之後，在步驟(c)中，在一個不含氮氣之環境中熱處理該第一耐火金屬膜及該第二耐火金屬膜而在該矽區及該第一耐火金屬膜之介面形成一個耐火金屬矽化物層。如此，氮原子從第二耐火金屬膜(而非



五、發明說明 (12)

環境)擴散進入到第一耐火金屬膜裡，因此在步驟(c)氮化第一耐火金屬膜。因此，乃避免了在位於矽區域外側的絕緣材料上之耐火金屬矽化物層之過度成長現象。

在根據本發明第一實施樣態之方法的一個較佳實施例，第二耐火金屬膜之特定的應力值為 $3 \times 10^9 \text{ dyne/cm}^2$ 。使用此值可以確定得到本發明之優點。

在根據本發明專利申請範圍第一實施樣態之方法的另一個較佳實施例，於步驟(c)中，由於在該第二耐火金屬膜所包含的該氮氣擴散到該第一耐火金屬膜中，而使得該第一耐火金屬膜轉變為一個第三耐火金屬膜。且該第三耐火金屬膜包含一個和該第一耐火金屬膜相同的耐火金屬及氮。在此實施例中，即可有效的得到本發明之優點。

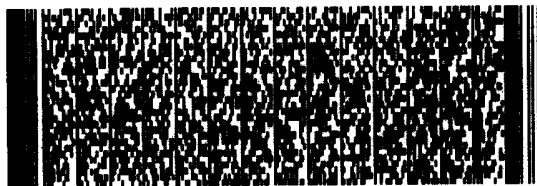
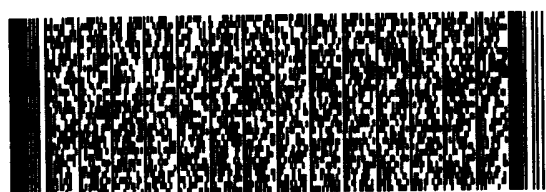
在此情況下，最好也加入下列的步驟(d)和(e)。

在步驟(d)中選擇性的移除該第一耐火金屬膜及該未反應的第三耐火金屬膜以便暴露該耐火金屬矽化層。該耐火金屬矽化層具有一個第一相。

在步驟(e)中，熱處理該耐火金屬矽化層以便以相變來得到一個第二相。

在根據本發明第一實施樣態之方法的又另一較佳實施例，其中形成該第二耐火金屬膜之步驟(b)是藉由在一個包含和該第一耐火金屬膜相同的耐火金屬及氮的環境中以功率密度 2.5 W/cm^2 的一個反應性濺鍍製程來執行。

除了以 2.5 W/cm^2 或更低的濺鍍功率密度，反應性濺鍍製程可以在一個包含和該第一耐火金屬膜相同的耐火金屬



五、發明說明 (13)

及氮的環境中且以8mTorr或更高的壓力來執行。或在該矽區的溫度是控制在400℃或更高的溫度之情形下來執行。

在根據本發明第一實施施樣態之方法的再另一較佳實施例，其中在步驟(c)中熱處理該第一及第二耐火金屬膜之不含氮氣的環境是一個非活性環境或是真空環境。其中該第一耐火金屬膜最好是一個鈦膜而該第二耐火金屬膜最好是一個氮化鈦膜，因為在此情況下才可最有效的得到本發明之優點。

一個根據本案第二實施施樣態之半導體裝置之製造方法，其包含步驟(a)到(g)：

於步驟(a)中，選擇性的在一個矽基板表面上形成一個隔離絕緣體，以此界定一個裝置區域。

於步驟(b)中，在該裝置區域中的該基板之表面上形成一個閘絕緣體。

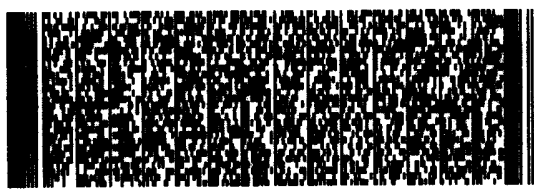
於步驟(c)中，在該閘絕緣體上形成一個閘極。

於步驟(d)中，在該基板的表面上該閘極的每一側形成一個絕緣側壁間隔部。該側壁間隔部和相對應之該閘極的側表面相連接；

於步驟(e)中，藉由引進一個雜質到該基板之裝置區域來在該基板上該閘極的每一側形成源極/汲極區。

於步驟(f)中，形成一個第一耐火金屬膜和該隔離絕緣體、該絕緣側壁間隔部、及該源極/汲極相連接；

於步驟(g)中，在該第一耐火金屬膜上形成一個第二耐火金屬膜。該第二耐火金屬膜包含一個和該第一耐火金



五、發明說明 (14)

屬膜相同的耐火金屬及氮。該第二耐火金屬膜之一個應力被控制為一特定值或比此值更低。

於步驟(h)中，在一個不含氮氣之環境中，熱處理該第一耐火金屬膜及該第二耐火金屬膜，因此在該第一耐火金屬膜及該源極/汲極區之介面形成一個耐火金屬矽化物層；

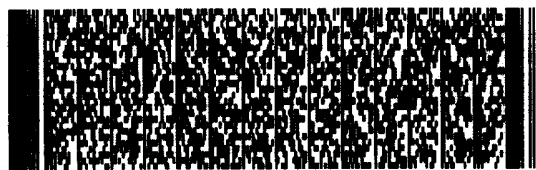
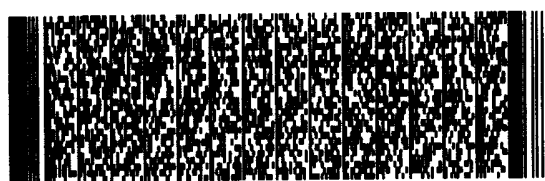
其中該第二耐火金屬膜之該應力值是設定為使該第二耐火金屬膜在步驟(c)中之該矽化反應時並無實質的影響該耐火金屬矽化物層之塑性變形。

根據本案第二實施施樣態之方法，其和使用本案第二實施施樣態之方法具有相同的優點；其乃因為本案第二實施施樣態之方法和將第一實施施樣態之方法應用到一個MOSFET之製造是相對應的。

在根據本發明第二實施施樣態之方法的一個較佳實施例，該第二耐火金屬膜之該應力值是設定為 3×10^{19} dyne/cm²。

於根據本發明第二實施施樣態之方法的另一個較佳實施例，該第一耐火金屬膜由於在步驟(h)中，在該第二耐火金屬膜所包含的該氮氣擴散到該第一耐火金屬膜中而使該第一耐火金屬膜轉變為一個第三耐火金屬膜。並且該第三耐火金屬膜包含一個和該第一耐火金屬膜相同的耐火金屬以及氮。在此實施例中，即可有效的得到本發明之優點。

在此情況下，最好也加入下列的步驟(i)和(j)。



五、發明說明 (15)

在步驟(i)中，選擇性的移除該第一耐火金屬膜及該未反應的第三耐火金屬膜以便暴露該耐火金屬矽化層。該耐火金屬矽化層具有一個第一相。

在步驟(j)中熱處理該耐火金屬矽化層以便以相變來得到一個第二相。

在根據本發明第二實施施樣態之方法的另一個較佳實施例，其中形成該第二耐火金屬膜之步驟(g)是藉由在一個包含和該第一耐火金屬膜相同的耐火金屬及氮的環境中以功率密度 $2.5\text{W}/\text{cm}^2$ 或更低的一個反應性濺鍍製程來執行。

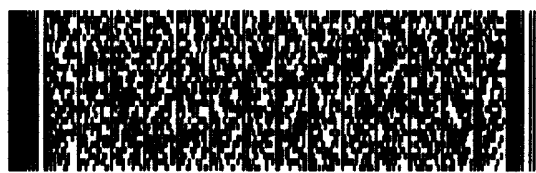
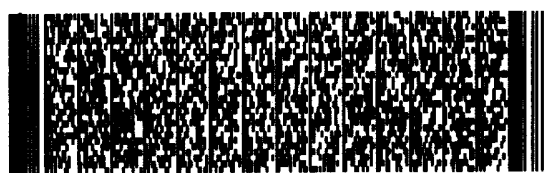
除了以 $2.5\text{W}/\text{cm}^2$ 或更低的濺鍍功率密度，反應性濺鍍製程可在一個包含和該第一耐火金屬膜相同的耐火金屬及氮的環境中以 8mTorr 或更高的壓力來執行。或是將在該矽區的溫度控制在 400°C 或更高的溫度來執行反應性濺鍍製程。

在根據本發明第二實施施樣態之方法的再另一較佳實施例，其中在步驟(h)中熱處理該第一及第二耐火金屬膜之不含氮氣的環境是一個非活性環境或是真空的環境。

此外，該第一耐火金屬膜最好是一鈦膜而該第二耐火金屬膜最好是一氮化鈦膜，以此才可最有效的發揮本發明之優點。

圖示之簡單說明

為了使本發明可付諸實施，將在下文中參照圖示加以敘述。



五、發明說明 (16)

圖1A到1E各別為顯示習用半導體裝置之製造方法第一例之處理步驟的示意部分橫剖面圖。

圖2A到2F各別為顯示習用半導體裝置之製造方法第二例之處理步驟的示意部分橫剖面圖。

圖3為顯示矽化鈦膜之間相變溫度及其厚度之關係圖。

圖4A到4F各別為顯示本發明第一實施例的半導體裝置之製造方法處理步驟的示意部分橫剖面圖。

圖5為顯示根據第一實施例之製造方法中氮化鈦膜之壓縮應力與濺渡功率或濺渡功率密度之關係圖。

圖6為一顯示根據第一實施例之製造方法中蝕刻速率與濺渡功率或濺渡功率密度之關係圖。

圖7為一顯示根據第一實施例之製造方法中矽化鈦層之薄膜電阻與濺渡功率或濺渡功率密度之關係圖。

圖8A到8C各別為顯示本發明第二實施例的半導體裝置之製造方法處理步驟的示意部分橫剖面圖。

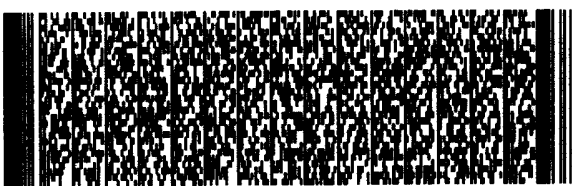
圖9為一顯示根據第二實施例之製造方法中氮化鈦膜之壓縮應力與濺渡功率或濺渡功率密度之關係圖。

圖10A到10C各別為顯示本發明第三實施例的半導體裝置之製造方法處理步驟的示意部分橫剖面圖。

圖11為一顯示根據第三實施例之製造方法中氮化鈦膜之壓縮應力與基板溫度之關係圖。

符號說明

101~基板

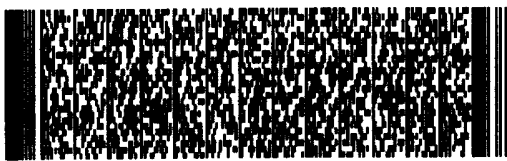


五、發明說明 (17)

101A~裝置區域
102~隔離氧化層
103~SiO₂膜
104~閘極
105~側壁之間隔部
106~源極/汲極
107~Ti膜
107'~Ti_xN膜
108~Ti_xN膜
108a~氮化鈦膜
109~TiSi₂層
111~TiSi₂層
1101~基板
1102~隔離氧化層
1103~SiO₂膜
1104~閘極
1105~側壁之間隔部
1106~源極/汲極
1107~Ti膜
1107'~Ti_xN膜
1108~Ti_xN膜
1109~TiSi₂層

較佳實施例之詳細說明

本發明之較佳實施例將參照附圖在下文中詳細說明。



五、發明說明 (18)

(第一實施例)

圖4A到4F根據本發明之第一實施例具有一MOSFET之半導體裝置的製造方法。

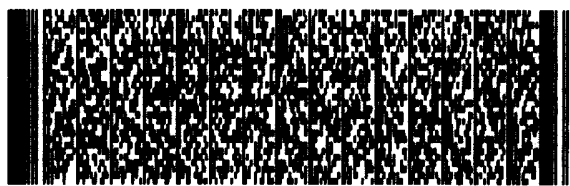
在此方法中，首先，如圖4A所顯示，一以 SiO_2 製成之隔離氧化層102選擇性的以一LOCOS過程在一P類型單晶矽基板101之表面區域形成，以此確定MOSFET所形成於上的一裝置區域101A的界線。一雜質被選擇性的以離子植入到基板101以便形成通道阻絕區，因此提高了絕緣擊穿電壓。

除了此p類型基板101外，也可使用一具有p類型之n類型單晶矽基板。

在裝置區101A中之基板101之整個暴露表面上，以熱氧化處理方式形成厚度約8nm之一 SiO_2 膜103。

然後，一個具有約100nm厚度之矽之多晶體(例如，多晶矽)膜(並無顯示)藉由一個CVD處理而沈積在 SiO_2 膜103上覆蓋整個基板101。而由此形成的多晶矽接著用如磷(P)之雜質加以摻雜以便降低其電阻。具有降低電阻之多晶矽膜接著被加上一特定之平面形狀，因此就在裝置區101A的 SiO_2 膜103上形成一閘極104。

一具有約100nm厚度之二氧化矽膜(並未顯示)沈積在整基板101上來覆蓋多晶矽閘極104、 SiO_2 膜103、及藉由一CVD處理以二氧化矽膜所形成之隔離氧化層102。接著，二氧化矽膜因此沈積，該 SiO_2 膜103，及隔離氧化層102以非等向性蝕刻處理來加以蝕刻，因此就在閘極104之每側



五、發明說明 (19)

的基板101表面上形成一對的側壁之間隔部105。此一對側壁之間隔部105是以二氧化矽製成，並和與相對應之閘極104的側表面相連接。

在此非等向性蝕刻處理過程中，基板101之表面在和一對源極/汲極區相對應之位置的覆蓋被移開。而剩餘之 SiO_2 膜103則做為一閘極氧化膜。而閘極104則位於在因此形成的閘極氧化膜103上。

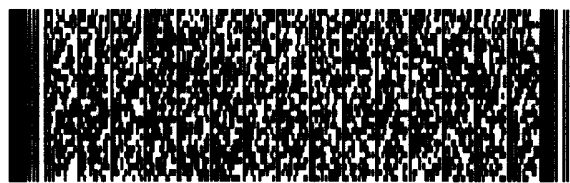
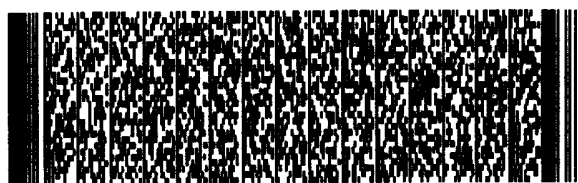
如此，一個如砷(As)之n類型雜質選擇性的以藉由一離子植入法植入到基板101之裝置區101A中。n類型雜質之劑量可以是，例如，設定在 $1 \times 10^{15} \text{ atoms/cm}^2$ 。接著基板101歷經溫度約為 900°C 之熱處理。因此，一對源極/汲極106即在閘極104每側之裝置區101A形成。所以因此形成的源極/汲極106是自動對準到閘極104，側壁之間隔部105，及隔離氧化層102。此步驟之狀態是顯示於圖4A。

接著在形成一源極/汲極區106的步驟，厚度約為20nm的鈦(Ti)膜107藉由一回應性濺渡處理而沈積在整個基板101上，如圖4B所顯示。此濺渡處理是以使用一鈦靶及一氬氣環境來執行。

在鈦膜107上，厚度約為20nm的氮化鈦(Ti_xN)膜108a藉由一回應性濺渡處理而沈積在整個基板101上，如圖4C所顯示，此是當 $x \leq 1$ 。此濺渡處理是在下列的條件下執行。

(i) 靶：一個直徑為30cm的鈦靶

(ii) 環境：Ar與 N_2 之混合



五、發明說明 (20)

(iii) Ar 與 N_2 之流動速率：相等

(iv) 氣壓：3mTorr

(v) 基板溫度：約200℃

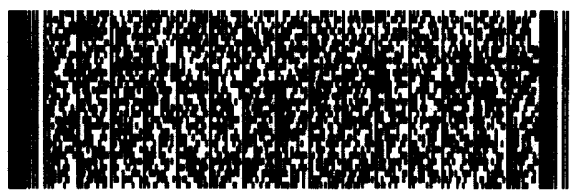
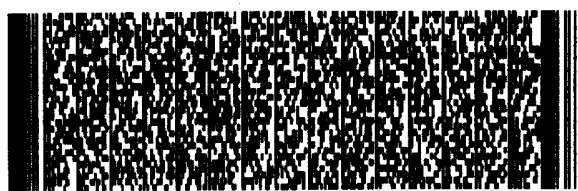
(vi) 濺渡功率：0.5到1.5kw

濺渡功率最好是設定在最低值0.5kw，其原因可從圖5中看出。

圖5顯示第一實施例中 Ti_xN 膜108a之壓縮應力與濺渡功率或濺渡功率密度之間的關聯。如圖5所顯示， Ti_xN 膜108a之壓縮應力因降低濺渡功率或濺渡功率密度而降低。這表示降低濺渡功率或濺渡功率密度不只 Ti_xN 膜108a之濺渡速率連其壓縮應力也隨之降低。 Ti_xN 膜108a之壓縮應力是單一的由在4.5kw(=6.3W/cm²)時為 8.5×10^{19} dyne/cm²到在0.5kw(=0.7W/cm²)時改變為 0.5×10^{19} dyne/cm²。而其壓縮應力在1.5 kw (=2.1W/cm²)時為 3.0×10^{19} dyne/cm²。

接著，鈦及Ti膜1107還有 Ti_xN 膜108a所形成於上之沈積的基板101藉使用燈爐回火裝置在一Ar環境中以溫度700℃來進行30秒的第一次熱處理。因此，如圖4D所顯示，矽化反應在接近Ti膜1107和單晶矽源極/汲極106以及多晶矽閘極104之介面附近發生，並以此形成矽化鈦($TiSi_2$)層109。此 $TiSi_2$ 層1109是在具有約為 $60 \mu \Omega \cdot cm$ 的頗高之電阻的C-49相裡。

在第一熱處理製程中， Ti_xN 膜108a的壓縮應力轉變成一拉伸應力。此 Ti_xN 膜108a的壓縮應力在第一熱處理後隨著濺渡功率之降低而減少。而鈦之矽化反應乃為一體積減



五、發明說明 (21)

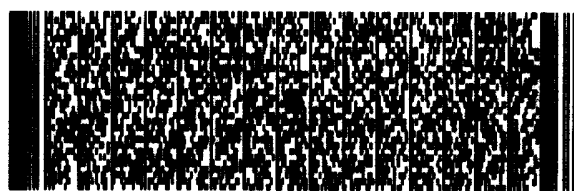
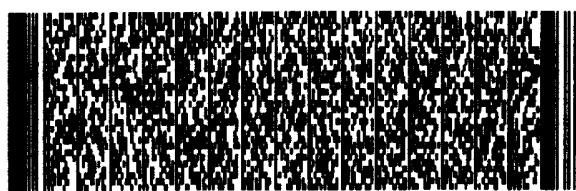
少反應，因此， Ti_xN 膜108a的拉伸應力越高，矽化反應降低的速率就越低。如此，較佳的狀態是將濺鍍功率密度設定為允許的低值，所以所引起的 Ti_xN 膜108a的拉伸應力可以變得較低。

在此矽化反應的同時，覆於 Ti_xN 膜108a之上的原子N擴散進入到Ti膜107，從而將Ti膜107藉由氮化反應改變為 Ti_xN 膜107'。由於 Ti_xN 膜107'的存在， $NiSi_2$ 層109並未在隔離氧化層102上生長，這表示此可以防止過度成長的發生。

因此，使用一氨氣(NH_3)與過氧化氫(H_2O_2)之混合水溶液為一蝕刻劑，以濕式蝕刻製程將整個 Ti_xN 膜108a及未反應的 Ti_xN 膜107'移除。結果， $NiSi_2$ 層109就分別留置在源極/汲極106的表面區及閘極104的表面區，如圖4E所顯示。

圖6顯示在濕式蝕刻製程中 Ti_xN 膜108a之蝕刻速率與濺鍍功率密度之關係。如圖所顯示，當濺鍍功率為2kw或濺鍍功率密度是 $2.8W/cm^2$ 或更高時， Ti_xN 膜108a之蝕刻速率並未出現很大的改變。然而，當濺鍍功率為1.5kw或濺鍍功率密度是 $2.1W/cm^2$ 或更低時， Ti_xN 膜108a之蝕刻速率增加了大約兩倍。這表示當用於 Ti_xN 膜108a的濺鍍製程的濺鍍功率密度為 $2.1W/cm^2$ 或更低時， Ti_xN 膜108a之蝕刻速率會突然的增加。所以一個臨界值似乎在 $2.1W/cm^2$ 及 $2.8W/cm^2$ 之間。本發明者則發現此臨界值是在 $2.5W/cm^2$ 。

為何 Ti_xN 膜108a具有一個高蝕刻速率的原因將在下文



五、發明說明 (22)

中探討。

由於其低濺鍍功率密度，從鈦靶所濺鍍出的Ti粒子之動力能量也變低，如此降低了 Ti_xN 膜108a的結合能。此結合能的減少導致一低密度及許多的孔洞，並且因此， Ti_xN 膜108a具有一個低應力及高蝕刻速率。

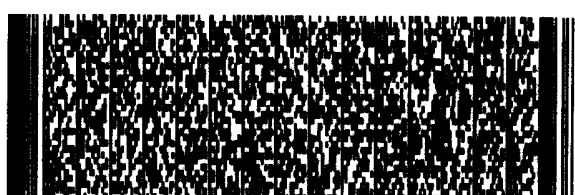
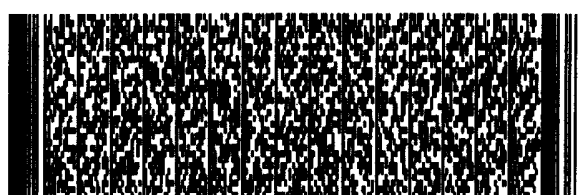
Ti_xN 膜108a之應力的降低和其厚度的減小是等效的，此有助於 $NiSi_2$ 層109在矽化反應時的下陷(sinking)，並防止矽化反應速率的降低。

根據第一實施例之方法，其濺鍍功率為0.5kw，等於濺鍍功率密度 $0.7W/cm^2$ 。因此， Ti_xN 膜108a的蝕刻速率約高為40埃/ cm^2 ，其大約為濺鍍功率密度為 $2.1W/cm^2$ 時之蝕刻速率的兩倍。因此，就有效得到了本發明的優點。

在濕式蝕刻製程後， $NiSi_2$ 層109所形成於之基板101在一個充滿Ar氣之氣壓中在溫度約為 $800^\circ C$ 的情況下以燈回火裝置進行10秒的第二次熱處理製程。因此，具有C-49相之 $NiSi_2$ 層109變成具有C-54相的 $TiSi_2$ 層111，且其具有較低的電阻率，約為 $20 \mu \Omega \cdot cm$ ，如圖4F所顯示。

圖7顯示具有C54-相之 $TiSi_2$ 層111的電層電阻與濺鍍功率或濺鍍功率密度之關係圖。由圖7可看出，當 Ti_xN 膜108a的濺鍍製程是在濺鍍功率密度為 $2.1W/cm^2$ 或更低時下所執行時，其 Ti_xN 膜108a的蝕刻速率是很高的，而 $TiSi_2$ 層111的電層電阻是非常低的。

如上所解釋，根據本發明第一實施例之半導體裝置的製造方法，在Ti膜107形成於基板101後， Ti_xN 膜108a形成



五、發明說明 (23)

在Ti膜107上。接著，Ti膜107及 Ti_xN 膜108a在Ar環境中經過熱處理，因此就在源極/汲極106的表面區及閘極104的表面區中因Ti膜107的矽化反應而形成 $NiSi_2$ 層109。

Ti_xN 膜108a應力值之設定是使 Ti_xN 膜108a在矽化反應中對 $NiSi_2$ 層109的塑性變形並無影響。

結果，由於 Ti_xN 膜108a之低應力，在矽化反應中 $NiSi_2$ 層109的塑性變形對第二耐熱金屬膜並無影響。這表示由於 Ti_xN 膜108a之存在，矽化反應之速率無法或很難降低。

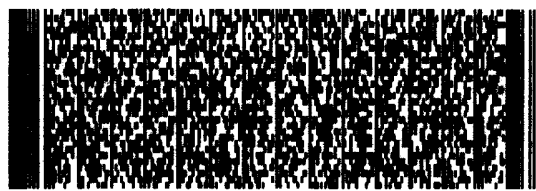
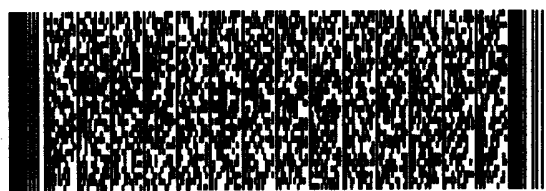
如此，即使 $NiSi_2$ 層109具有很小約為30nm或更薄的厚度以及一很窄約為0.5 μm 或更窄的寬度，他們仍可以形成於源極/汲極106及閘極104之上。

並且，並不需要特別蝕刻製程來移除 $NiSi_2$ 層109，在同時，矽化反應之速率並未降低或很難降低。因此，即使 $NiSi_2$ 層109很薄及細長的，他們仍有一樣的厚度。

此外，由於Ti膜107及 Ti_xN 膜108a的第一熱處理製程是在Ar環境中進行，用於引起 $NiSi_2$ 層109之相轉變的相轉變溫度並不會升高，即使 $NiSi_2$ 層109之厚度小到約30nm或更小。

因此，半導體裝置之執行及特徵就不會因相轉變之熱處理而減損。

除此之外，在 Ti_xN 膜108a形成於Ti膜107之上後，Ti膜107及 Ti_xN 膜108a在Ar環境中經過熱處理，因此形成 $NiSi_2$ 層109。結果，氮原子從 Ti_xN 膜108a(而非從環境)擴散進入Ti膜107，因此在這製程中氮化Ti膜107。因此就可



五、發明說明 (24)

以防止， NiSi_2 層109在隔離氧化層102上過度成長的發生。

(第二實施例)

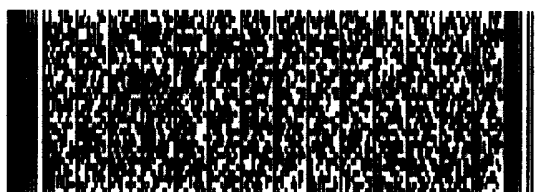
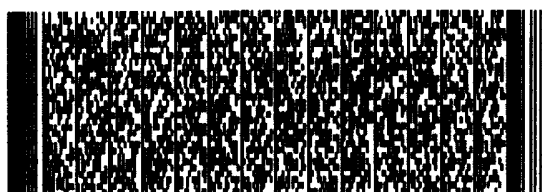
圖8A到8C顯示根據本發明第二實施例中具有一MOSFET之半導體裝置的製造方法。

根據第二實施例所用之方法包括根據第一實施例所用的製程步驟，除了在此實施例中用於 Ti_xN 膜108a濺鍍壓力是被控制的，而非如第一實施例中的 Ti_xN 膜108a的濺鍍功率密度。因此，製程步驟中和第一實施例步驟相同之部分的解釋即加以省略，只在圖8A及8C中使用相同的標號元件來表示。

首先，和第一實施例相同，隔離氧化層102， SiO_2 膜103及閘極104，側壁之間隔部105，及源極/汲極106形成在之中、之上、及覆蓋於基板101。然後，具有厚度約為20nm的Ti膜107藉由和第一實施例相同之反應性濺鍍製程而沈積在整個基板101。此步驟之狀態是顯示於圖8A。

接著，如圖8B顯示，一厚度約為20nm的 Ti_xN 膜108b藉由一反應性濺鍍製程而沈積在Ti膜107上且覆蓋整個基板101，但是是在下列的條件下進行。

- (i) 靶：一個直徑為30cm的Ti靶
- (ii) Ar及 N_2 之流動速率：相等
- (iii) 環境：Ar及 N_2 的混合
- (iv) 環境壓力：3mTorr到12mTorr
- (v) 基板之溫度：約200℃



五、發明說明 (25)

(vi) 濺鍍功率: 4.5kw

濺鍍壓力之改變是藉由改變Ar及N₂之流動速率的總合且其中使各個之Ar及N₂之流動速率相等。

較佳的情況是使濺鍍壓力約等於12mTorr，其原因可由圖9來說明。

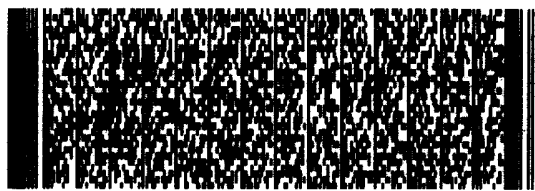
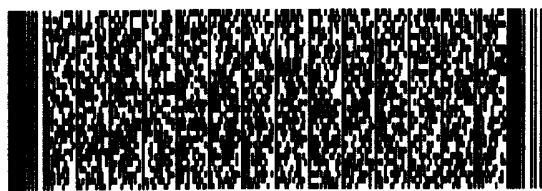
圖9顯示在第二實施例中Ti_xN膜108b的壓縮應力及濺鍍壓力之關係。如圖9所顯示，Ti_xN膜108b的壓縮應力隨著濺鍍壓力之上升而下降。Ti_xN膜108b的壓縮應力單一的由在3mTorr時為 8.0×10^{19} dyne/cm²到在12mTorr時改變為 0.5×10^{19} dyne/cm²。而其壓縮應力在8mTorr時為 3.0×10^{19} dyne/cm²。

Ti_xN膜108b具有一低壓縮應力之原因將在下文中探討。

由於高濺鍍壓力使得濺鍍電壓變為低，此造成Ti的濺鍍粒子動力能量之降低。此和第一實施例中濺鍍功率或濺鍍功率密度之降低是一樣的。因此，Ti_xN膜108b即具有一低應力及高蝕刻速率。

接著，Ti膜107及Ti_xN膜108a所沈積於之上的基板101在Ar環境中以和第一實施例中相同的方法經過第一次熱處理製程，因此形成具有C-49相的NiSi₂層109，如圖8B所顯示。

整個Ti_xN膜108b及未反應的Ti_xN膜107'以和第一實施例中相同的濕式蝕刻來移除，因此將NiSi₂層109分別留置於源極/汲極106及閘極104之間的介面區。



五、發明說明 (26)

最後， NiSi_2 層109所形成於之上的基板101在Ar環境中以和第一實施例相同的方法經過第二次熱處理製程。因此，具有C-49相之 NiSi_2 層109轉變為具有C54-相之 TiSi_2 層111。

非常明顯的是根據第二實施例的方法具有和第一實施例相同的優點。

此外，本實施例具有其他之優點是在於其可以使濺鍍裝置最有效率的執行，且所需的濺鍍期間較根據第一實施例的方法為短(例如，其濺鍍速率較高)。

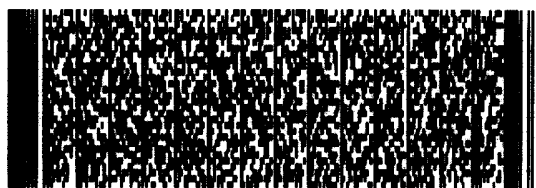
例如，根據第一實施例的方法，其需要約3分鐘或更長的時間來生長一厚度為20nm的 Ti_xN 膜108a，其中之濺鍍功率密度約為 $0.7\text{W}/\text{cm}^2$ 。反之，根據第二實施例之方法，其只需要20秒或更短的時間來長成一樣厚度的 Ti_xN 膜108b。

(第三實施例)

圖10A到10C顯示根據本發明第三實施例中具有一MOSFET之半導體裝置的製造方法。

根據第三實施例所用之方法包括根據第一實施例所用的相同製程步驟，除了在此實施例中基板101之溫度是被控制的，而非如第一實施例中的 Ti_xN 膜108a濺鍍功率密度。因此，製程步驟中和第一實施例步驟相同之部分的解釋即加以省略，只在圖10A及10C中使用相同的標號元件來表示。

首先，和第一實施例相同，隔離氧化層102， SiO_2 膜



五、發明說明 (27)

103 及閘極104，側壁之間隔部105，及源極/汲極106形成在之中、之上、及覆蓋於基板101。然後，具有厚度約為20nm的Ti膜107藉由一和第一實施例相同之反應性濺鍍製程而沈積在整個基板101。此步驟之狀態是顯示於圖10A。

接著，如圖10B顯示，一厚度約為20nm的 Ti_xN 膜108c藉由一反應性濺鍍製程而沈積在Ti膜107上且覆蓋整個基板101，但是是在下列的條件下進行。

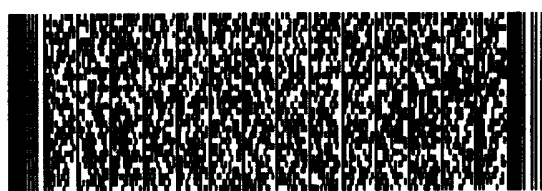
- (i) 靶：一個直徑為30cm的Ti靶
- (ii) 環境：Ar及 N_2 的混合
- (iii) Ar及 N_2 之流動速率：相等
- (iv) 環境壓力：3mTorr
- (v) 基板之溫度：約50℃到450℃
- (vi) 濺鍍功率：4.5kw

較佳的情況是使基板101之溫度約等於400℃，其原因可由圖11來說明。

圖11顯示在第三實施例中 Ti_xN 膜108c之壓縮應力與基板101之溫度的關係。如圖11所顯示， Ti_xN 膜108c之壓縮應力隨著基板101之溫度的升高而降低。 Ti_xN 膜108c之壓縮應力單一的由在50℃時為 $11.0 \times 10^{19} \text{dyne/cm}^2$ 到在450℃時改變為 $0.5 \times 10^{19} \text{dyne/cm}^2$ 。而其壓縮應力在400℃時為 $3.0 \times 10^{19} \text{dyne/cm}^2$ 。

Ti_xN 膜108c具有一低壓縮應力之原因將在下文中探討。

由於基板101之高溫度，如此降低了 Ti_xN 膜108c的結



五、發明說明 (28)

合能。此結合能的減少導致一低密度及許多的孔洞，並且因此， Ti_xN 膜108c具有一低應力及高蝕刻速率。

接著，Ti膜107及 Ti_xN 膜108c所沈積於之上的基板101在Ar環境中以和第一實施例中相同的方法經過第一次熱處理製程，因此形成具有C-49相的 $NiSi_2$ 層109，如圖10B所顯示。

整個 Ti_xN 膜108c及未反應的 Ti_xN 膜107'以和第一實施例中相同的濕式蝕刻來移除，因此將 $NiSi_2$ 層109分別留置於源極/汲極106及閘極104之間的介面區。

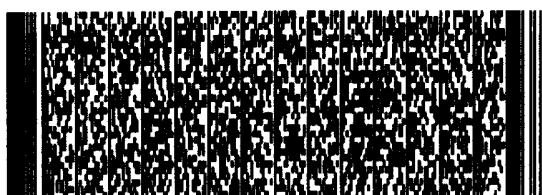
最後， $NiSi_2$ 層109所形成於之上的基板101在Ar環境中以和第一實施例相同的方法經過第二次熱處理製程。因此，具有C-49相之 $NiSi_2$ 層109轉變為具有C54-相之 $TiSi_2$ 層111。

非常明顯的是根據第三實施例的方法乃具有和第一實施例相同的優點。

此外，本實施例具有第二實施例1之優點，其可以使一濺鍍裝置最有效率的執行，且所需的濺鍍期間較根據第一實施例的方法為短(例如，其濺鍍速率較高)。

雖然從第一實施例到第三實施例中都使用Ti為其耐火金屬，但本發明並不侷限在Ti。在本發明也可以使用其他的耐火金屬如鎢(W)或鈷(Co)應是不言而明。

雖然在本發明是以耐火金屬矽化物層111用於一MOSFET，但本發明並不侷限在此。本發明也可以應用到一雙極電晶體。



五、發明說明 (29)

雖然本發明已參照較佳實施例來說明，但熟悉本技藝者在不離開本發明之精神下，當可對其做各種修改。

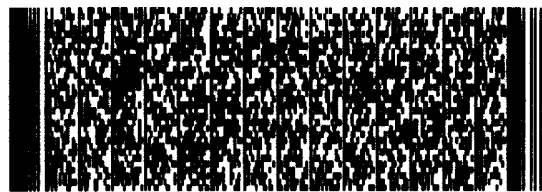


四、中文發明摘要 (發明之名稱：設有矽化物層的半導體裝置之製造方法)

一種半導體裝置之製造方法，使其可以形成一薄及細長的耐火金屬矽化物層，並且防止過度成長現象的發生。此方法包含步驟(a)到(c)。在步驟(a)中，一第一耐火金屬膜形成於一矽區之上。在步驟(b)中，一第二耐火金屬膜形成於第一耐火金屬膜之上。該第二耐火金屬膜包含和該第一耐火金屬膜相同的一耐火金屬及氮。該第二耐火金屬膜之一應力被控制為一特定值或比此值更低。在步驟(c)中，以一不含氮氣之環境來熱處理該第一耐火金屬膜及該第二耐火金屬膜，由於該第一耐火金屬膜和該矽區所產生的矽化反應而在該矽區及該第一耐火金屬膜之介面形成一個耐火金屬矽化物層。其中該第二耐火金屬膜之該應力值是設定為：使該第二耐火金屬膜在步驟(c)中之該矽

英文發明摘要 (發明之名稱：Fabrication Method Of Semiconductor Device Equipped With Silicide Layer)

A fabrication method of a semiconductor device is provided, which makes it possible to form a thin and elongated refractory-metal silicide layer while preventing the overgrowth phenomenon. This method is comprised of the steps (a) to (c). In the step (a), a first refractory metal film is formed on a silicon region. In the step (b), a second refractory metal film is formed on the first refractory metal film. The second refractory metal film contains a same refractory metal as the

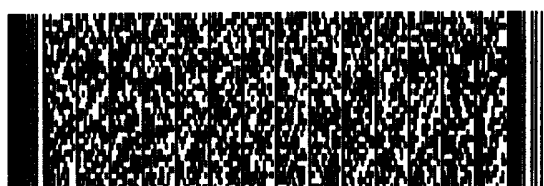


四、中文發明摘要 (發明之名稱：設有矽化物層的半導體裝置之製造方法)

化反應時並無實質的影響該耐火金屬矽化物層之塑性變形。

英文發明摘要 (發明之名稱：Fabrication Method Of Semiconductor Device Equipped With Silicide Layer)

first refractory metal film and nitrogen. A stress of the second refractory metal film is controlled to be a specific value or lower. In the step (c), the first refractory metal film and the second refractory metal film are heat-treated in an atmosphere excluding nitrogen, thereby forming a refractory-metal silicide layer at an interface between the silicon region and the first refractory metal film due to silicidation reaction of the first refractory metal film with the



四、中文發明摘要 (發明之名稱：設有矽化物層的半導體裝置之製造方法)

英文發明摘要 (發明之名稱：Fabrication Method Of Semiconductor Device Equipped With Silicide Layer)

silicon region. The value of the stress of the second refractory metal film is set so that the second refractory metal film applies substantially no effect to a plastic deformation of the refractory-metal silicide layer occurring during the silicidation reaction in the step (c).



六、申請專利範圍

1. 一種半導體裝置之製造方法，包含如下步驟：

(a) 在一矽區上形成第一耐火金屬膜；

(b) 在該第一耐火金屬膜上形成第二耐火金屬膜；

該第二耐火金屬膜包含和該第一耐火金屬膜相同的耐火金屬及氮；

該第二耐火金屬膜之應力被控制為一特定值或比此值更低；且

(c) 在一未含氮氣之環境中，對該第一耐火金屬膜及該第二耐火金屬膜施以熱處理，由於該第一耐火金屬膜和該矽區所產生的矽化反應，而在該矽區及該第一耐火金屬膜之介面形成一耐火金屬矽化物層；

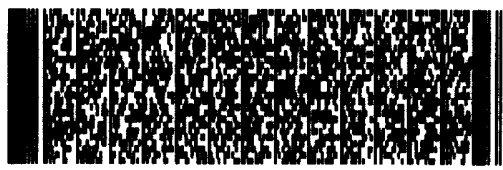
其中該第二耐火金屬膜之該應力值，是設定為使該第二耐火金屬膜在步驟(c)中之該矽化反應時並無實質的影響該耐火金屬矽化物層之塑性變形。

2. 如申請專利範圍第1項之半導體裝置之製造方法，其中該第二耐火金屬膜之該應力值是設定為 3×10^{19} dyne/cm²。

3. 如申請專利範圍第1項之半導體裝置之製造方法，於步驟(c)中，由於在該第二耐火金屬膜所包含的該氮氣擴散到該第一耐火金屬膜中，而使得該第一耐火金屬膜轉變為一個第三耐火金屬膜；

並且其中該第三耐火金屬膜，包含和該第一耐火金屬膜相同的耐火金屬以及氮。

4. 如申請專利範圍第3項之半導體裝置之製造方法，



六、申請專利範圍

更包含如下步驟：

(d)選擇性的移除該第一耐火金屬膜及該未反應的第三耐火金屬膜，以便暴露該耐火金屬矽化層；

該耐火金屬矽化層具有一第一相；並且

(e)對該耐火金屬矽化層施以熱處理，俾藉由相變而得到一第二相。

5. 如申請專利範圍第1項之半導體裝置之製造方法，其中形成該第二耐火金屬膜之步驟(b)係藉由在包含和該第一耐火金屬膜相同的耐火金屬及氮的環境中，以 $2.5\text{W}/\text{cm}^2$ 或更低功率密度的反應性濺鍍製程執行之。

6. 如申請專利範圍第1項之半導體裝置之製造方法，其中形成該第二耐火金屬膜之步驟(b)係藉由在包含和該第一耐火金屬膜相同的耐火金屬及氮的環境中，以 8mTorr 或更高的壓力的反應性濺鍍製程來執行之。

7. 如申請專利範圍第1項之半導體裝置之製造方法，其中形成該第二耐火金屬膜之步驟(b)，是藉由在包含和該第一耐火金屬膜相同的耐火金屬及氮的環境中，且在該矽區的溫度是控制在 400°C 或更高的溫度的反應性濺鍍製程來執行之。

8. 如申請專利範圍第1項之半導體裝置之製造方法，其中在步驟(c)中，用以熱處理該第一及第二耐火金屬膜之不含氮氣的環境，是一個非活性環境或是真空環境。

9. 如申請專利範圍第1項之半導體裝置之製造方法，其中該第一耐火金屬膜是一鈦膜。



六、申請專利範圍

10. 如申請專利範圍第1項之半導體裝置之製造方法，其中該第一耐火金屬膜，是一鈦膜，而該第二耐火金屬膜是一氮化鈦膜。

11. 一種半導體裝置之製造方法，其包含如下步驟：

(a) 選擇性的在一矽基板表面上形成一隔離絕緣體，以此界定一裝置區域；

(b) 在該裝置區域中的該基板之表面上形成一閘絕緣體；

(c) 在該閘絕緣體上形成一閘極；

(d) 在該基板的表面上，該閘極的每一側，形成一絕緣側壁間隔部；

該側壁間隔部，和相對應之該閘極的側表面相連接；

(e) 藉由引進一雜質到該基板之裝置區域，以在該基板上該閘極的每一側形成源極/汲極區；

(f) 形成一第一耐火金屬膜，和該隔離絕緣體、該絕緣側壁間隔部、及該源極/汲極相連接；

(g) 在該第一耐火金屬膜上形成一第二耐火金屬膜；

該第二耐火金屬膜包含和該第一耐火金屬膜相同的耐火金屬及氮；

該第二耐火金屬膜之一應力，被控制為一特定值或比此值更低；且

(h) 在一不含氮氣之環境中，熱處理該第一耐火金屬膜及該第二耐火金屬膜，因此在該第一耐火金屬膜及該源極/汲極區之介面形成一耐火金屬矽化物層；



六、申請專利範圍

其中該第二耐火金屬膜之該應力值，是設定為使該第二耐火金屬膜在步驟(c)中之該矽化反應時，並無實質的影響該耐火金屬矽化物層之塑性變形。

12. 如申請專利範圍第11項之半導體裝置之製造方法，其中該第二耐火金屬膜之該應力值，是設定為 3×10^{19} dyne/cm²。

13. 如申請專利範圍第11項之半導體裝置之製造方法，於步驟(h)中，由於在該第二耐火金屬膜所包含的該氮氣擴散到該第一耐火金屬膜中，而使得該第一耐火金屬膜轉變為一個第三耐火金屬膜；

並且其中該第三耐火金屬膜，包含和該第一耐火金屬膜相同的耐火金屬以及氮。

14. 如申請專利範圍第11項之半導體裝置之製造方法，更包含如下步驟：

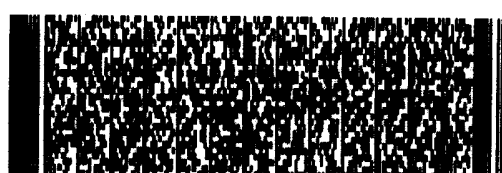
(i)選擇性的移除該第一耐火金屬膜及該未反應的第三耐火金屬膜，以便暴露該耐火金屬矽化層；

該耐火金屬矽化層具有一第一相；並且

(j)對該耐火金屬矽化層施以熱處理，俾藉由相變而得到一第二相。

15. 如申請專利範圍第11項之半導體裝置之製造方法，其中形成該第二耐火金屬膜之步驟(g)係藉由在包含和該第一耐火金屬膜相同的耐火金屬及氮的環境中，以 2.5 W/cm^2 或更低功率密度的反應性濺鍍製程執行之。

16. 如申請專利範圍第11項之半導體裝置之製造方



六、申請專利範圍

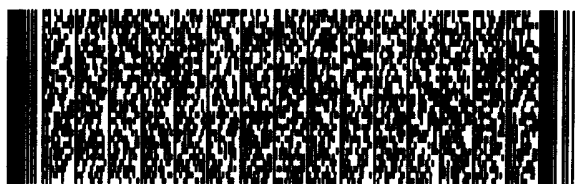
法，其中形成該第二耐火金屬膜之步驟(g)係藉由在包含和該第一耐火金屬膜相同的耐火金屬及氮的環境中，以8mTorr或更高的壓力的反應性濺鍍製程來執行之。

17. 如申請專利範圍第11項之半導體裝置之製造方法，其中形成該第二耐火金屬膜之步驟(g)，是藉由在包含和該第一耐火金屬膜相同的耐火金屬及氮的環境中，且在該砂區的溫度是控制在400℃或更高的溫度的反應性濺鍍製程來執行之。

18. 如申請專利範圍第11項之半導體裝置之製造方法，其中在步驟(h)中，用以熱處理該第一及第二耐火金屬膜之不含氮氣的環境，是一個非活性環境或是真空環境。

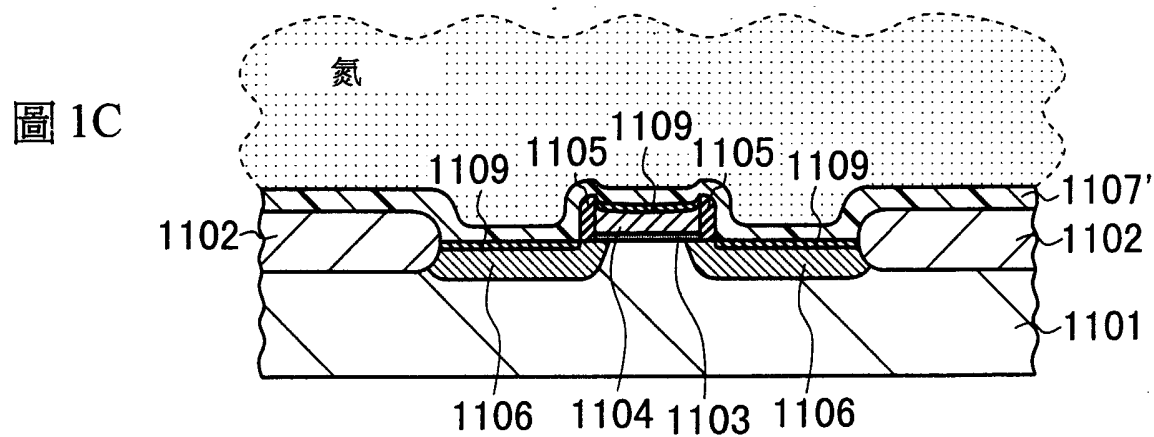
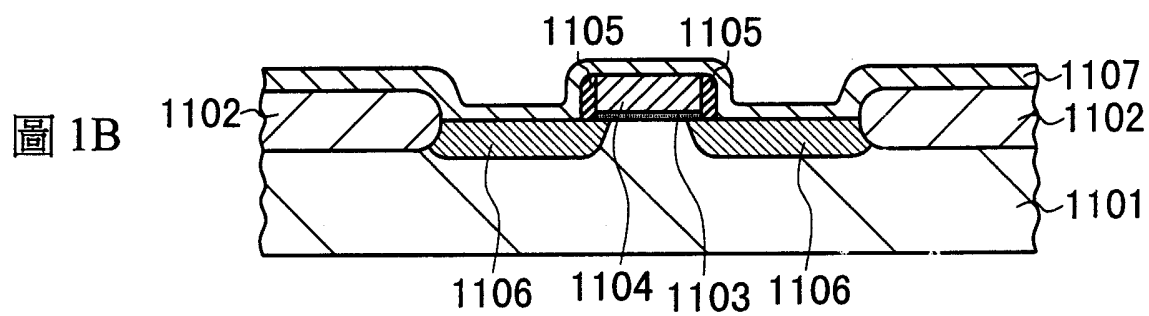
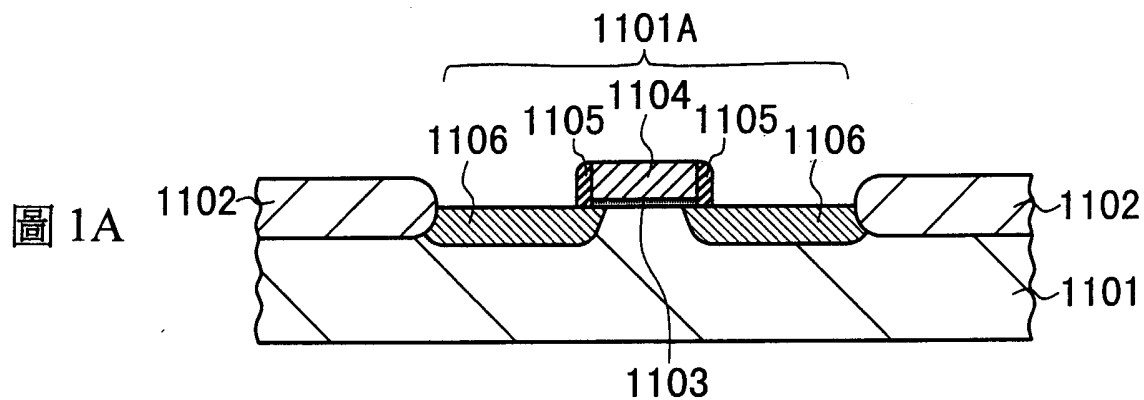
19. 如申請專利範圍第11項之半導體裝置之製造方法，其中該第一耐火金屬膜是一鈦膜。

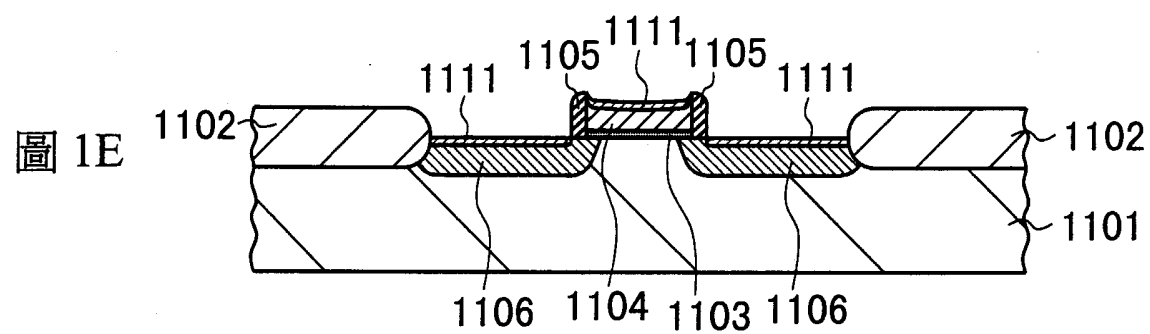
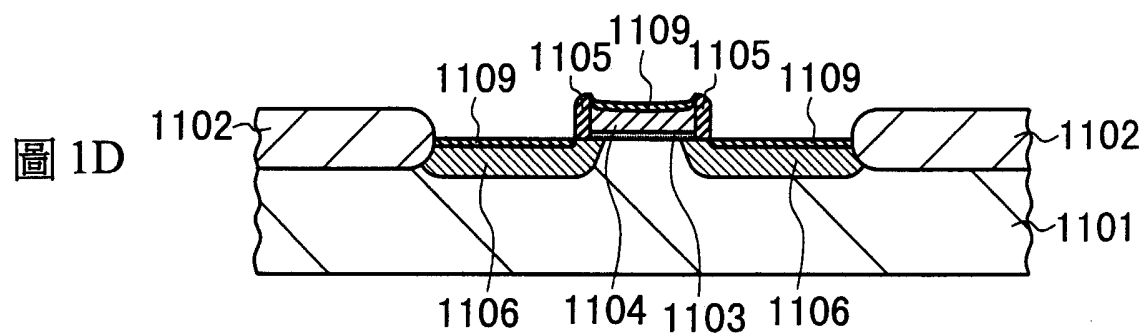
20. 如申請專利範圍第11項之半導體裝置之製造方法，其中該第一耐火金屬膜，是一鈦膜，而該第二耐火金屬膜是一氮化鈦膜。



89116XIX

圖式





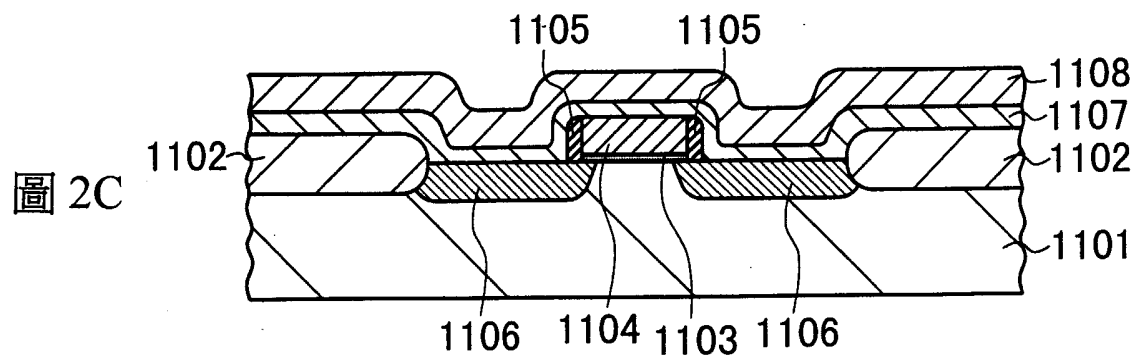
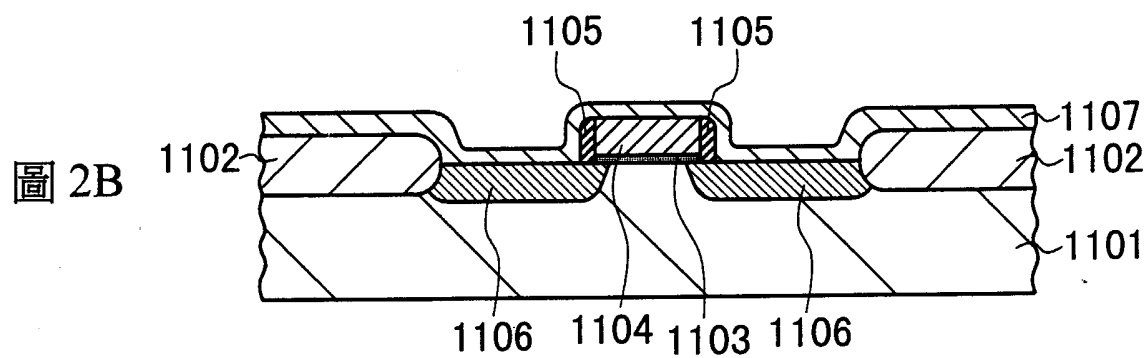
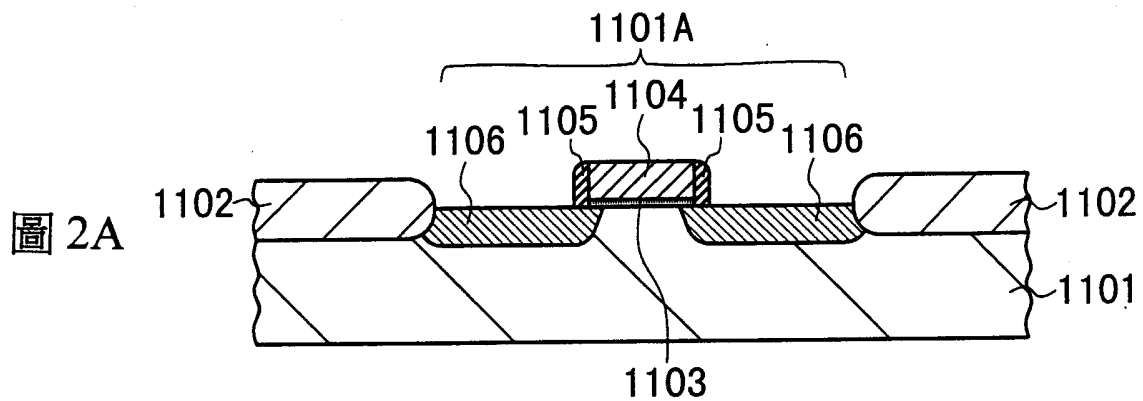


圖 2D

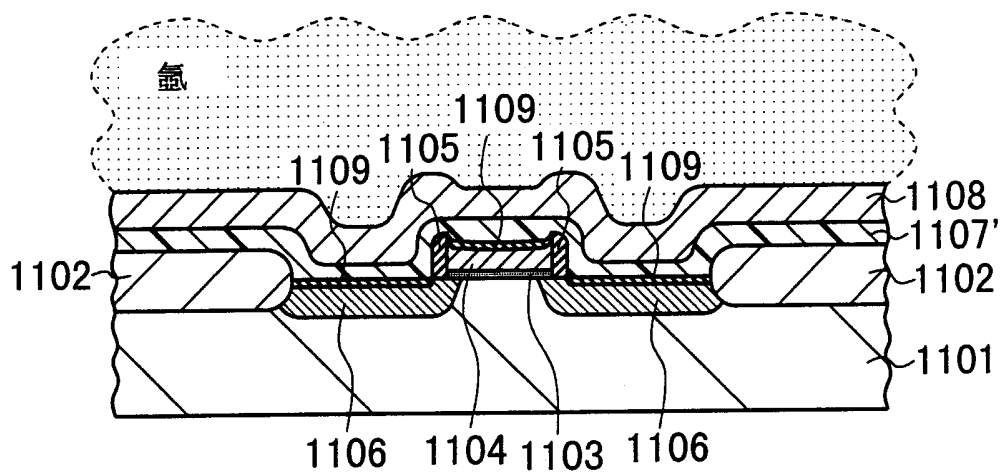


圖 2E

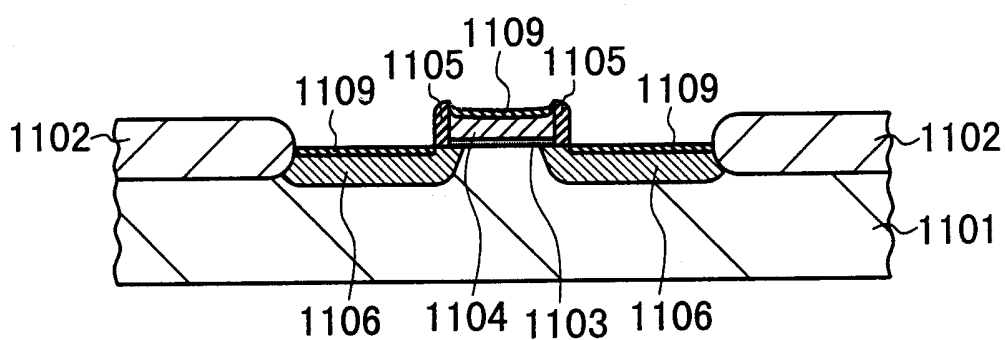
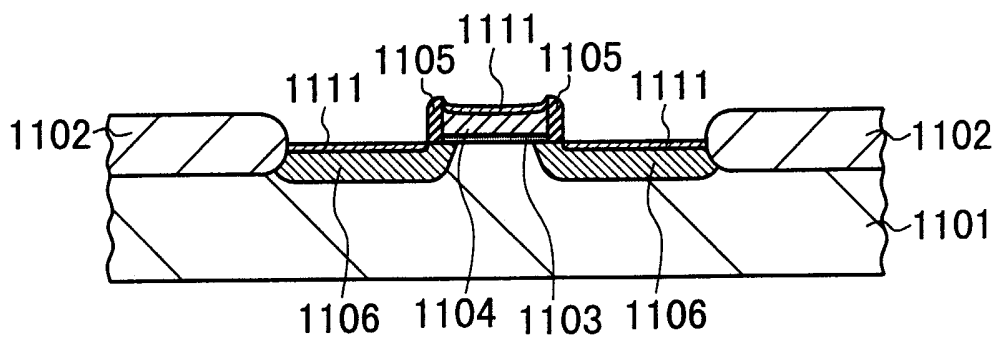


圖 2F



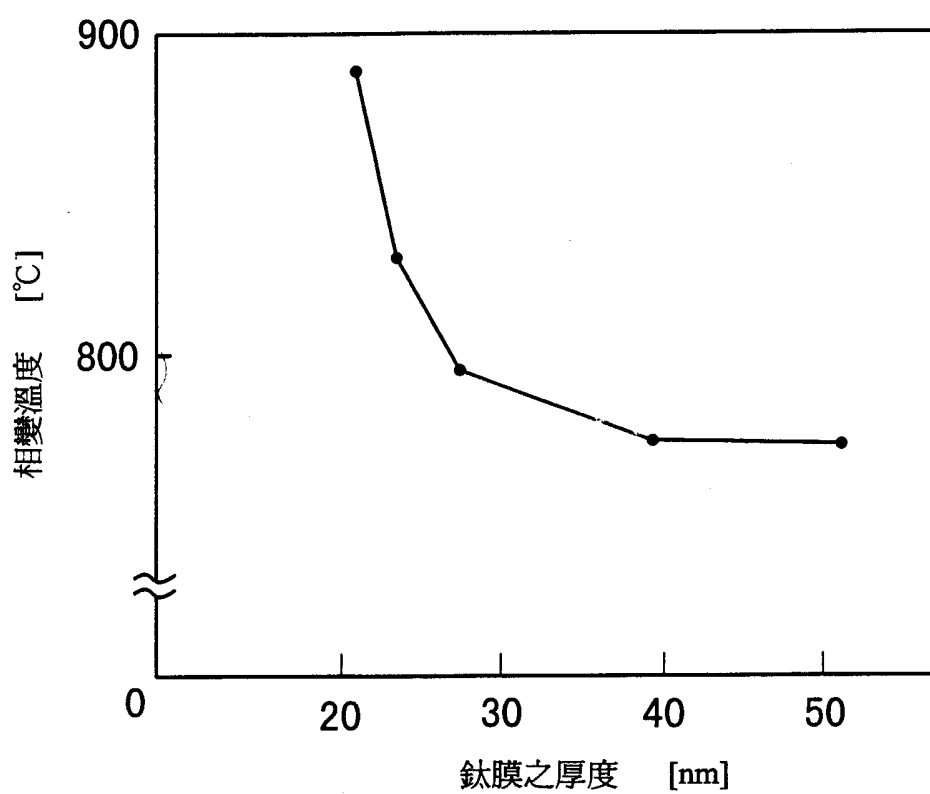


圖 3

圖 4A

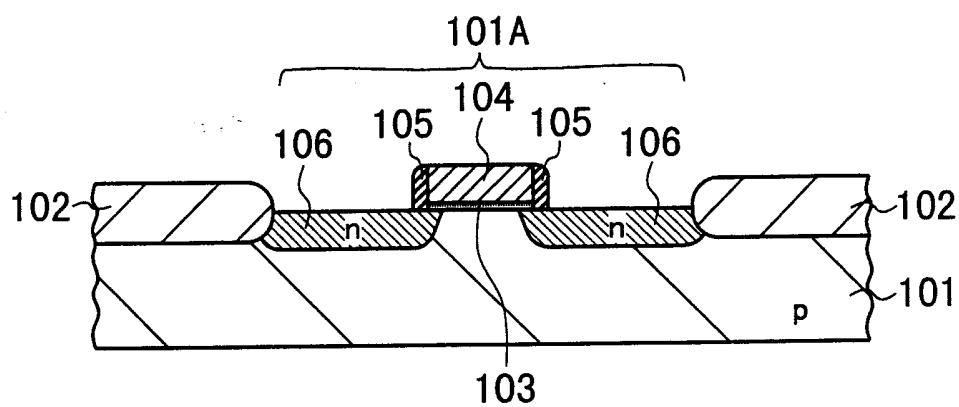


圖 4B

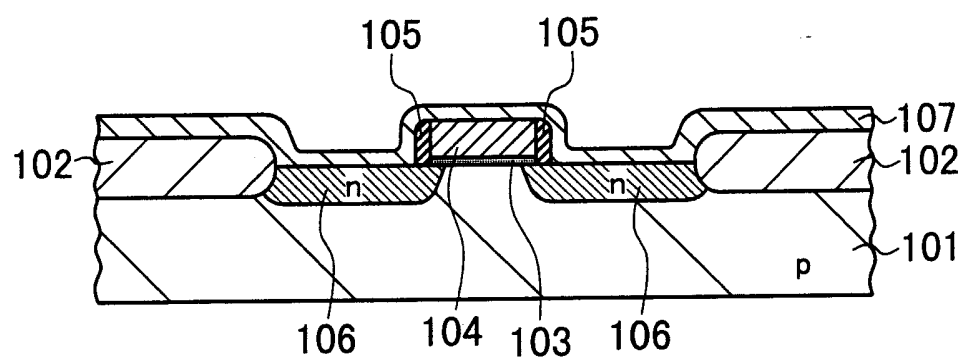


圖 4C

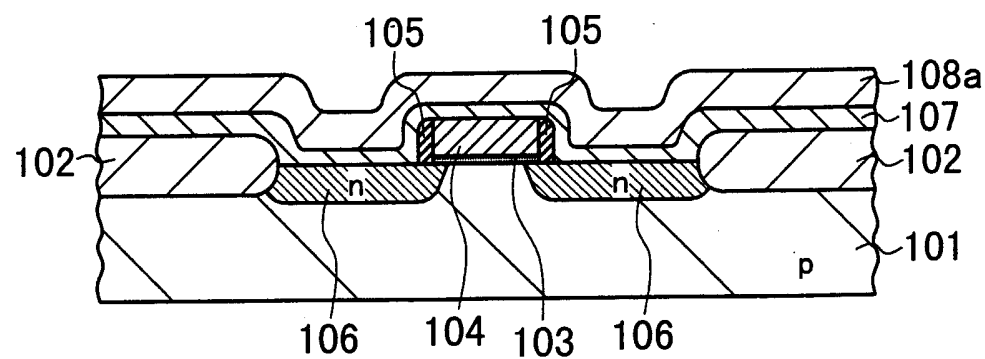


圖 4D

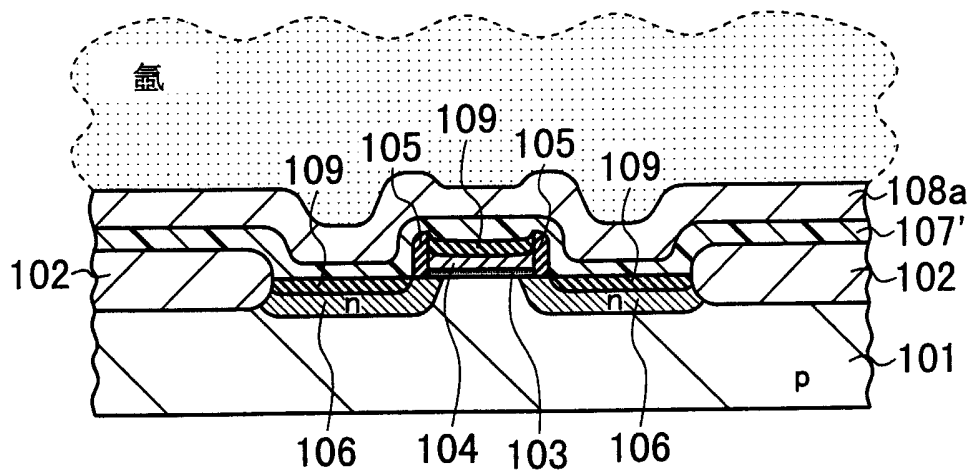


圖 4E

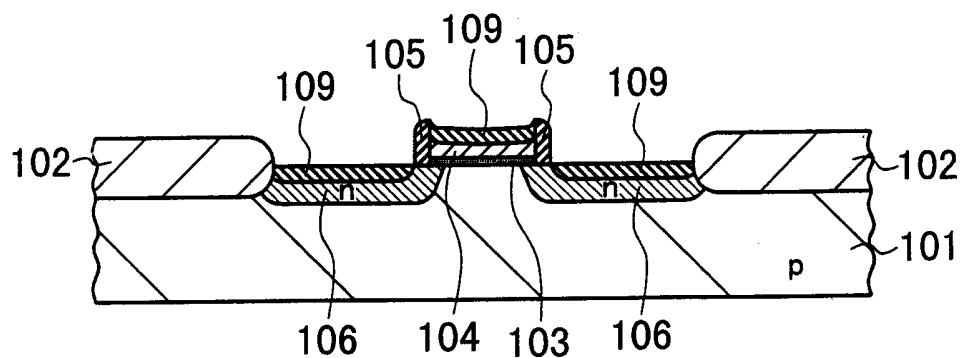


圖 4F

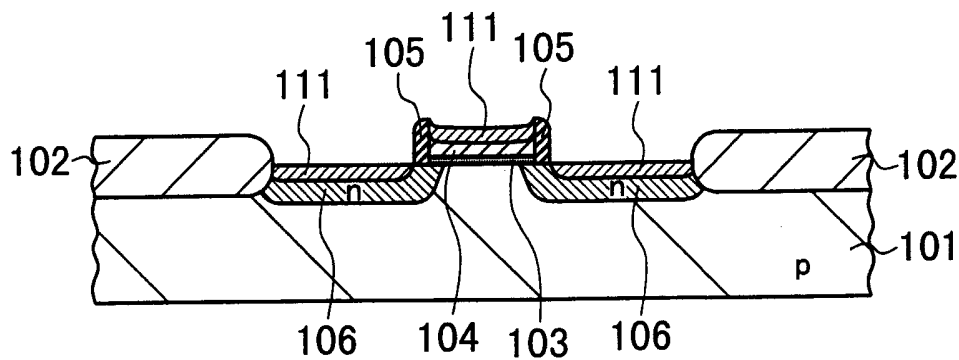


圖 5

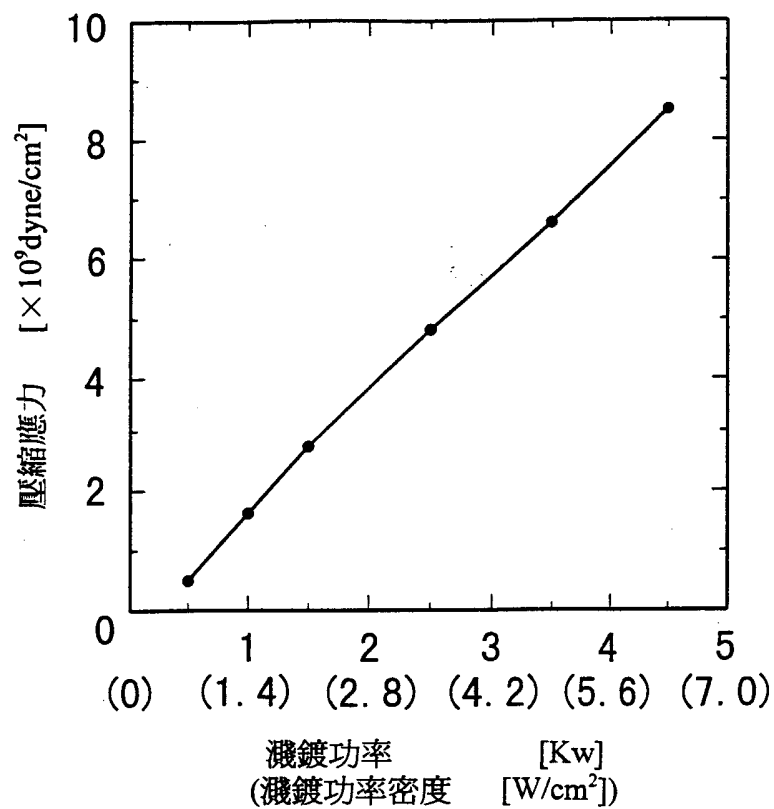
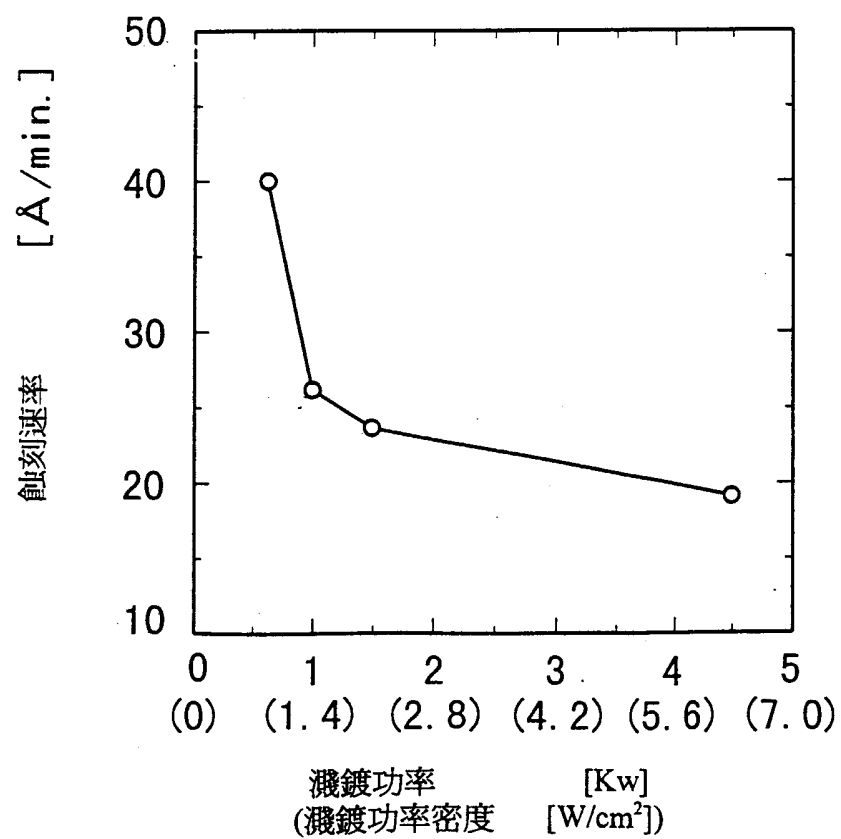


圖 6



圖式

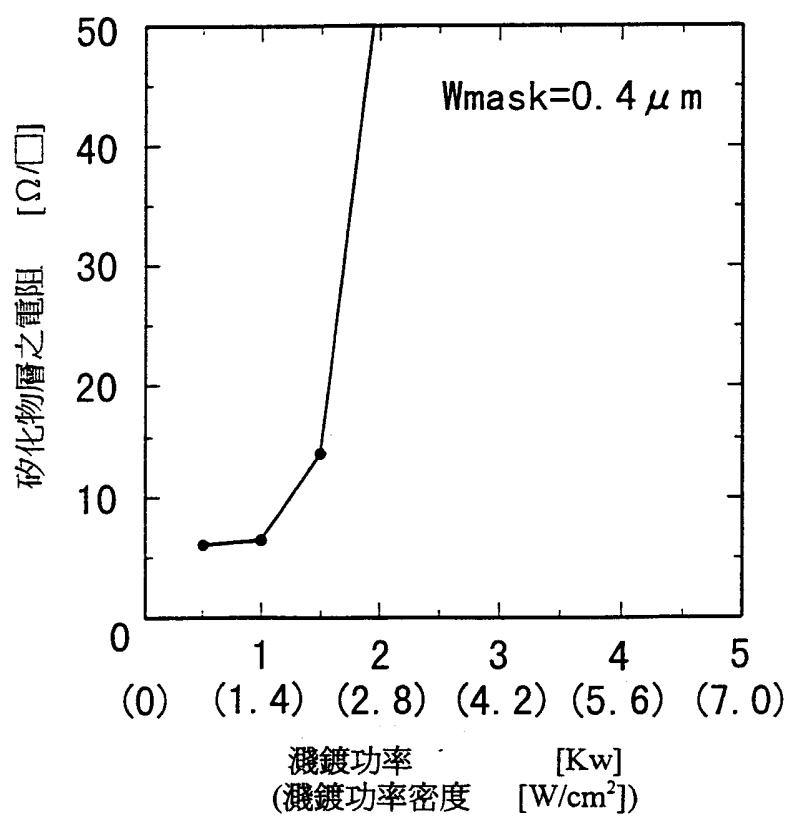
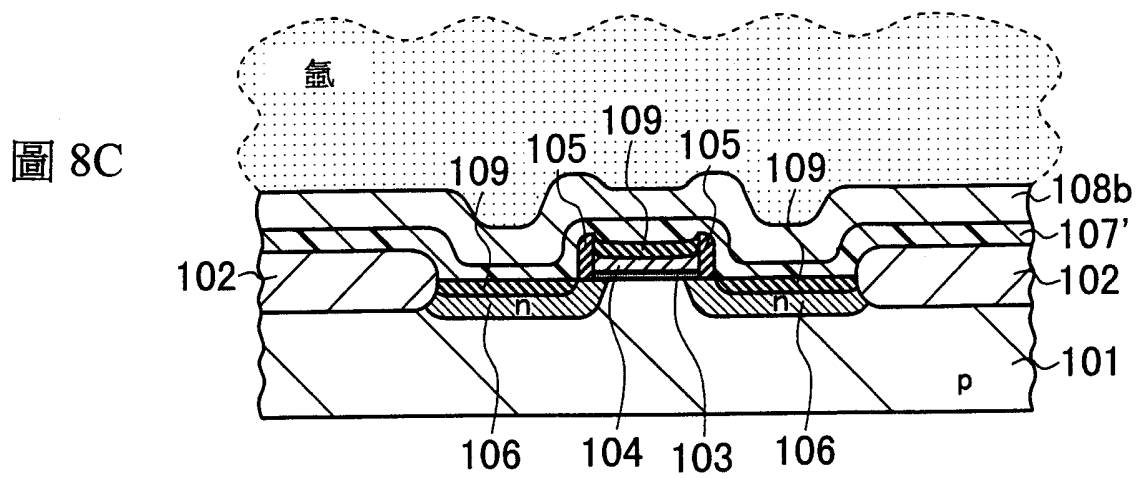
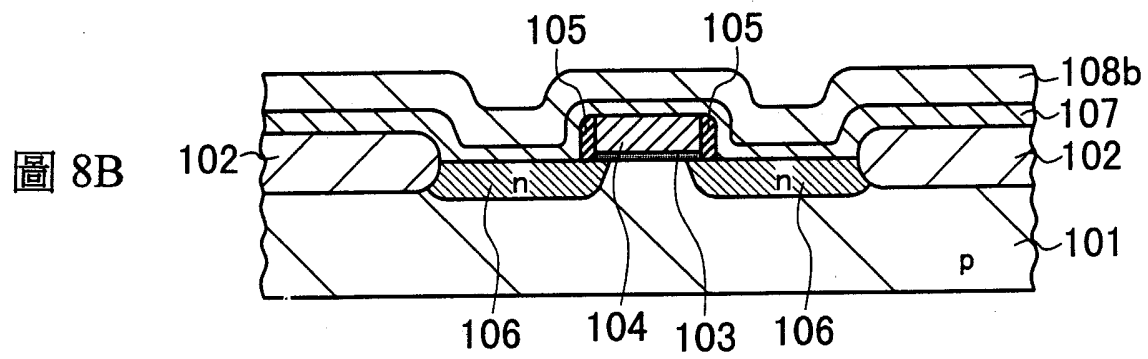
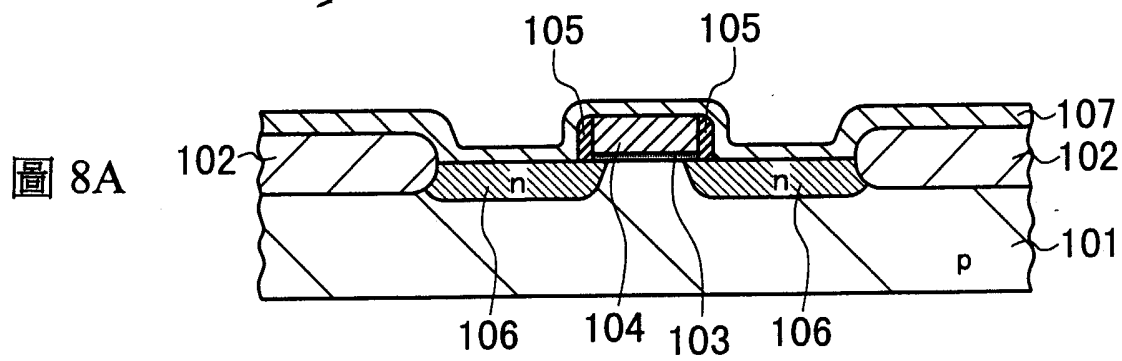


圖 7

圖式



圖式

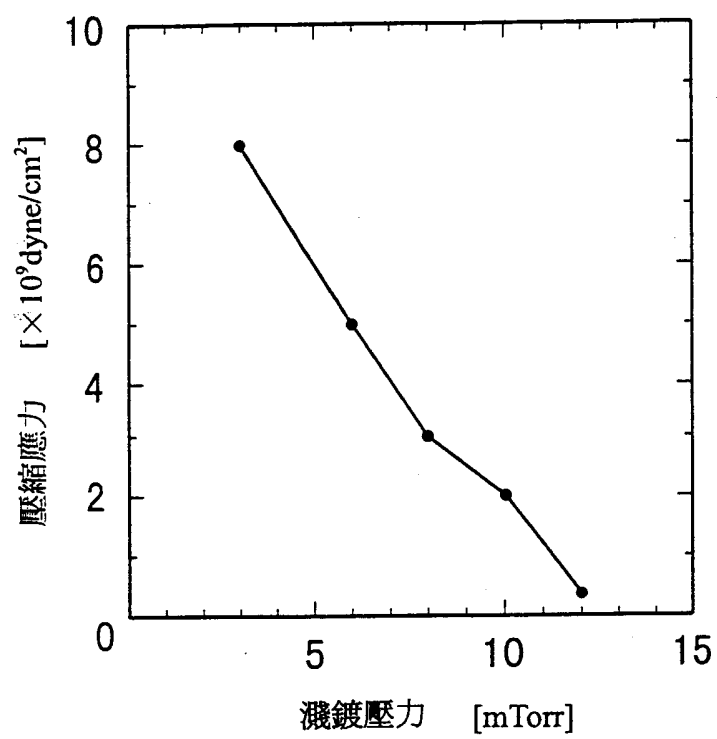
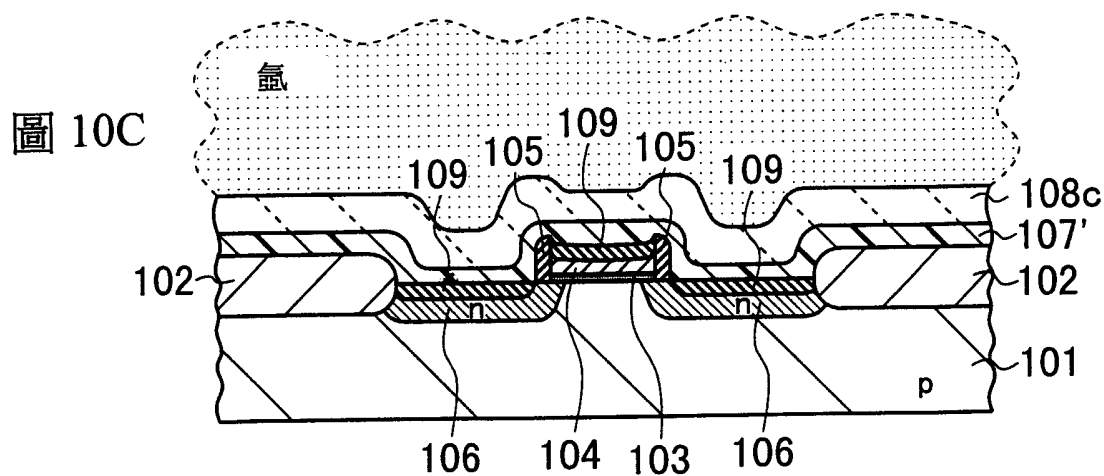
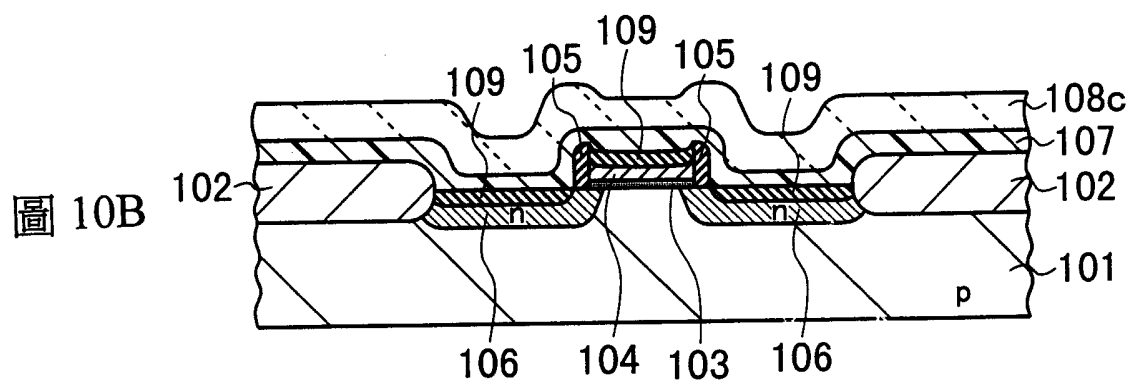
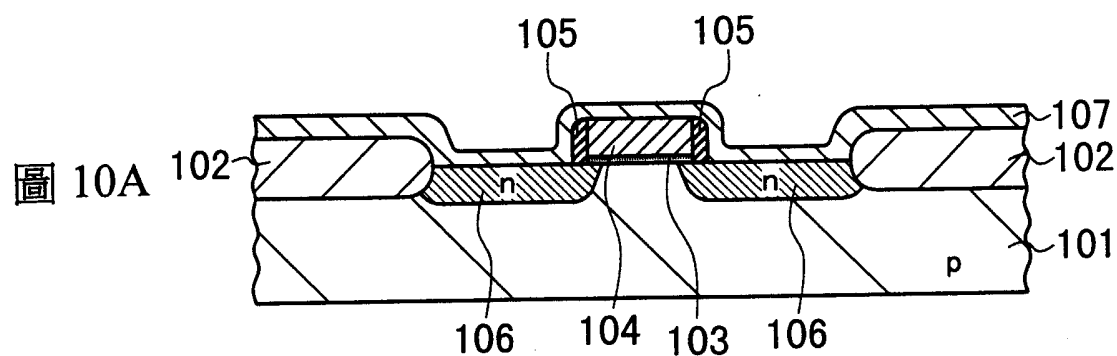


圖 9

圖式



圖式

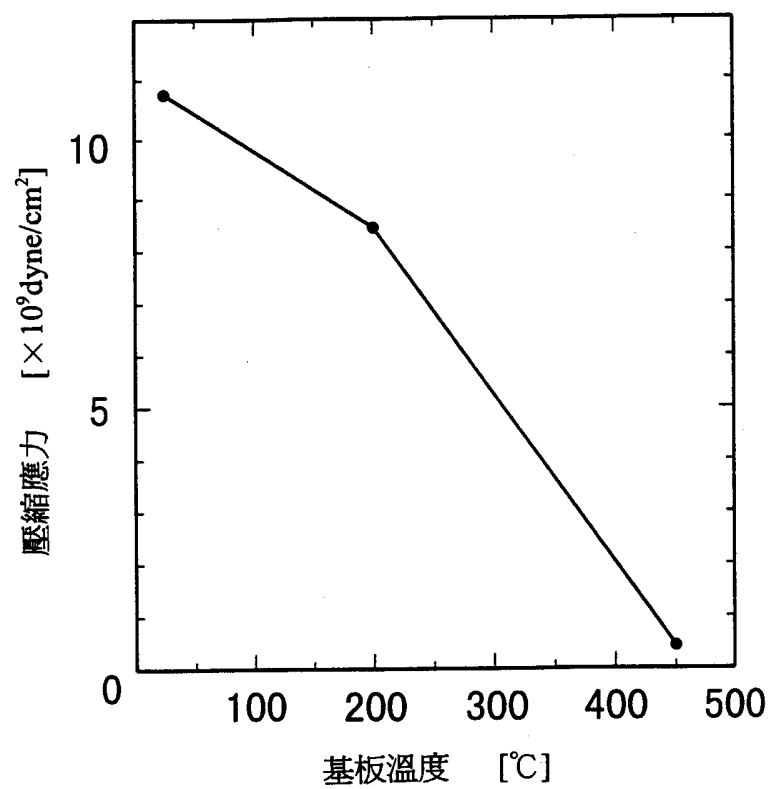


圖 11