

申請日期: 88.10.20	案號: 88118122
類別: G66F 9/36	

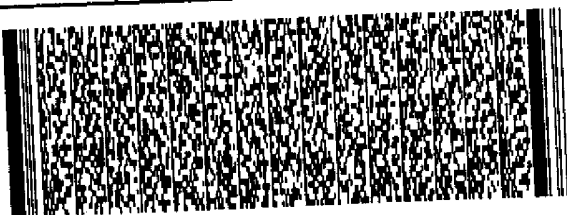
(以上各欄由本局填註)

公告本

發明專利說明書

449721

一、發明名稱	中文	用以提供管線化記憶體控制器之方法及裝置
	英文	METHOD AND APPARATUS FOR PROVIDING A PIPELINED MEMORY CONTROLLER
二、發明人	姓名 (中文)	1. 普西雅 K. 尼則 2. 麥可 W. 威廉斯
	姓名 (英文)	1. PUTHIYA K. NIZAR 2. MICHAEL W. WILLIAMS
	國籍	1. 美國 2. 美國
	住、居所	1. 美國加州艾爾多拉都希耳斯市達文路1762號 2. 美國加州希特熱斯海茲路怎卡內洛庭道8386號
三、申請人	姓名 (名稱) (中文)	1. 美商英特爾公司
	姓名 (名稱) (英文)	1. INTEL CORPORATION
	國籍	1. 美國
	住、居所 (事務所)	1. 美國加州聖塔卡拉瓦市米遜大學路2200號
	代表人姓名 (中文)	1. F. 湯姆士. 當烈二世
	代表人姓名 (英文)	1. F. THOMAS DUNLAP, JR.



449721

本案已向

國(地區)申請專利

美國 US

申請日期

案號

主張優先權

1998/11/03 09/186,045

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明範疇

本發明大致有關於電腦系統的範圍，而且尤其有關於處理記憶體存取請求的範圍。

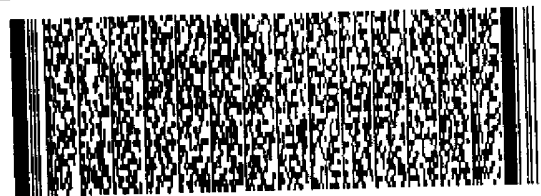
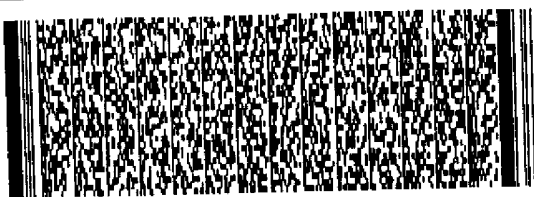
發明背景

電腦系統的性能部分是依存取系統記憶體的速度而定（如電腦系統的主要一般目的儲存區），例如微處理器只能以相同於資料運算元的速度來執行指令，該運算元送入微處理器。許多資料運算元需要從系統記憶體中得到。

因此存取系統記憶體的速度對於微處理器能完成指令執行的速度上有很大的影響，結果，需要繼續增加存取系統記憶體的速度。

通常由一種稱為記憶體控制器的單元控制系統記憶體的存取，記憶體控制器從電腦系統（如中央處理器（CPU），圖形加速器等）中的其他單元接收記憶體存取請求（如請求讀取儲存在記憶體中的資料或是請求將資料寫入記憶體），記憶體控制器可仲裁順序，其中允許多個請求存取記憶體，此外記憶體控制器也準備/翻譯記憶體存取請求以傳送到系統記憶體，例如記憶體控制器將記憶體請求解碼成至少一指令（依記憶體協定而不同）以便由系統記憶體執行以完成記憶體請求。

記憶體控制器處理記憶體請求的速度部分是依記憶體控制器與系統記憶體間的記憶體匯流排（即電子通路）的頻寬（即資料傳送率）而定，例如記憶體控制器通常僅以一速度向系統記憶體提出請求，該速度等於或小於記憶體匯流排



五、發明說明 (2)

上傳送資料/控制的速度，否則記憶體控制器會以快於其能傳送的速度準備記憶體請求，因而導致瓶頸現象。

過程去記憶體匯流排的頻寬較慢，結果記憶體控制器已能以串列方式處理記憶體請求(即開始處理一後繼記憶體請求之前完成一記憶體請求)，然而儘管是以串列方式處理請求，記憶體控制器仍能填滿記憶體匯流排的大部分頻寬。

惟記憶體匯流排技術的進步已增加記憶體匯流排上傳送資料/控制的頻寬，結果，需要處理移記憶體控制器速度以處理記憶體請求以利用增加頻寬的優點。

發明總結

本發明提供一種管線化記憶體控制器包括：一解碼級，及一排程級，其中排程級包括一指令佇列以儲存多個指令。在一實施例中，排程級更包括前瞻邏輯其能修正記憶體指令儲存在該指令佇列中之順序。

圖式簡單說明

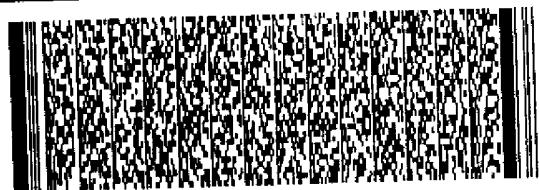
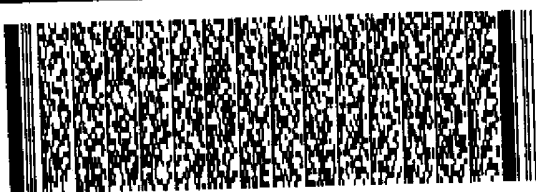
本發明是以範例來說明，且不限於附圖，其中相同數字表示類似元件，而其中：

圖1是根據本發明而實施記憶體控制器的電腦系統方塊圖。

圖2是具有多個處理器的電腦系統的方塊圖，其根據本發明而實施記憶體控制器。

圖3的時序圖說明管線化操作。

圖4的流程圖說明根據本發明而操作記憶體控制器的步



五、發明說明 (3)

驟。

圖5是電腦系統的方塊圖，其根據實施例而在晶片組中裝設記憶體控制器。

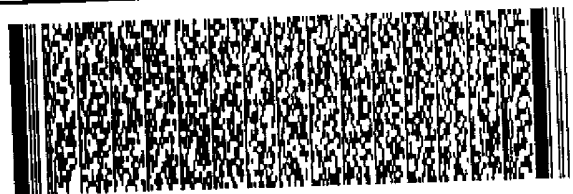
詳細說明

說明一種提供高性能記憶體控制器的方法及裝置，在一實施例中的記憶體控制器在具有多級的管線化架構中執行記憶體請求，結果，平行執行多個請求，其增加處理記憶體請求的處理量(即速度與效率)。

此外在一實施例中的管線化記憶體控制器包括具有至少一指令佇列的排程級以儲存多個記憶體指令，以傳送到系統記憶體。在一實施例中的排程級也包括前瞻邏輯以比較目前儲存在指令佇列中的記憶體指令與要儲存在佇列中的新記憶體指令。根據比較結果，前瞻邏輯將新記憶體指令排入指令佇列的選定位置，以避免記憶體衝突及時序或違反規則，及/或加速記憶體指令的執行。

以下要說明各種細節，惟熟於此技術者可了解可以在不這些特定細節下實施本發明，在其他例如中以方塊圖而非詳細的形式表示習用結構及裝置，以避免混淆本發明。

圖1是根據本發明而實施記憶體控制器105的電腦系統101的方塊圖，圖中的記憶體控制器105執行的記憶體請求接收自電腦系統中的其他元件，例如記憶體控制器105會執行接收自處理器103及/或圖形記憶體104的記憶體請求，記憶體控制器105也能執行記憶體請求，其接收自接到電腦系統的額外周邊設備(如硬碟，鍵盤，及電腦系統



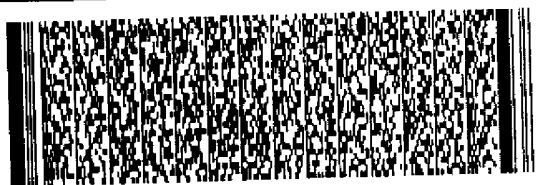
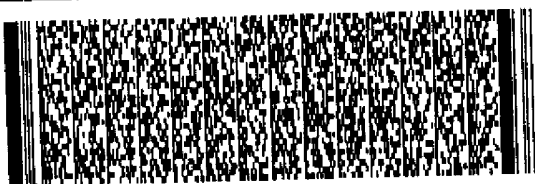
五、發明說明 (4)

中的其他不同元件)。此外在其他實施例中，記憶體控制器105可裝設在具有多個處理器的電腦系統中，如圖2的方塊圖所示。

在圖1中一實施例的記憶體控制器105以管線化架構執行記憶體請求，例如在一實施例中的記憶體控制器105也包括四級：請求級、解碼級、排程級、及發送級，圖1中的各級可以在一時脈周期中完成，惟在其他實施例中於不違反本發明的範圍下可以在記憶體控制器105中增加或減少級數，此外不限於在一時脈周期中完成該等級數。

如上所述，管線化架構允許平行執行多個指令，雖然是在記憶體控制器105的不同級。例如在圖3的第一時脈周期中，請求級接收第一請求，在第二時脈周期中，於解碼級執行第一請求，及在請求級執行第二請求。在第三時脈周期中，於排程級執行第一請求，於解碼級執行第二請求，及在請求級執行第三請求等。平行執行多個指令的結果是記憶體控制器105能在各時脈周期中完成一記憶體請求的處理。

圖1記憶體控制器105實施例的操作步驟如圖3的流程圖所示。在步驟402，記憶體控制器105從電腦系統中的元件接收至少一請求，在一實施例中，在記憶體控制器105的仲裁器接收請求。若同時由記憶體控制器105接收一個以上的記憶體請求，則仲裁器會判定順序，其中由記憶體控制器105處理記憶體請求，在一實施例中，仲裁器執行預設的優先順序。



五、發明說明 (5)

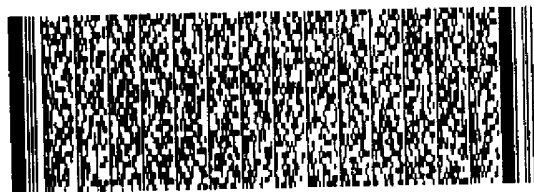
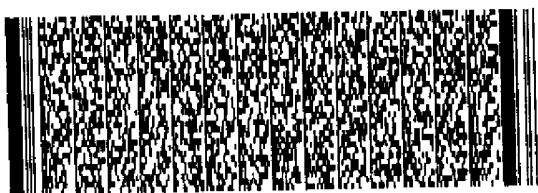
例如圖形控制器104具有第一優先而處理器103具有第二優先，結果若同時從處理器103及圖形控制器104接收記憶體請求，與圖形控制器的記憶體請求會在請求處理器之前處理。惟在其他實施例中，可以在不違反本發明範圍之下以額外方法判定處理多個記憶體請求的順序。

在步驟404，記憶體控制器105的解碼級解碼記憶體請求，例如在一實施例中，解碼級解碼請求以判定請求的意欲操作(如讀取資料或是寫入資料)，及請求的記憶體位址。然後在解碼記憶體請求的操作下將記憶體位址資訊送入記憶體控制器105的後繼級。

記憶體請求提供的位址資訊部分是依系統中的記憶體類型而定，例如在圖1的實施例中，系統記憶體115是由多個可定址記憶體裝置組成，各具有多個可定址記憶體頁，記憶體頁包括多個記憶體儲存位置(如列或行)，因此解碼記憶體請求提供位址資訊包括記憶體裝置ID，記憶體頁，及發其記憶體位址的列與行。

惟在一實施例中每一記憶體裝置中僅可打開一頁記憶體，結果在一實施例中，解碼級判定若各記憶體請求定址的記憶體頁已開啟(即判定是否有一頁命中)，例如目前解碼記憶體請求定址的記憶體裝置的記憶體頁已被稍早記憶體請求指令所打開，及/或即將被一指令佇列中儲存的指令打開。

更明確而言在一實施例中，解碼級包括頁命中邏輯111，其識別目前打開的記憶體頁。結果，解碼級將目前



五、發明說明 (6)

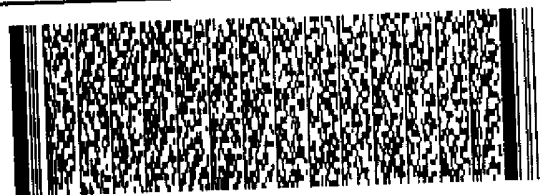
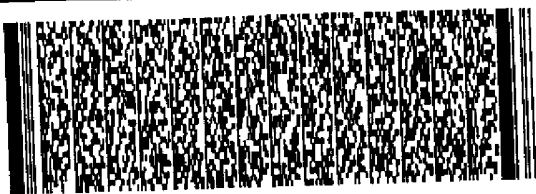
解碼記憶體請求定址的頁與目前開啟頁比較，及/或即將被指令佇列中的指令開啟。比較結果送入記憶體控制器105的次一級，接著用以判定需要那些指令以完成記憶體請求。

例如目前解碼記憶體請求將存取的記憶體裝置頁已被先前記憶體請求的頁開啟指令排程要開啟，該指令儲存在指令佇列中。結果，目前解碼記憶體請求不需要開啟頁指令。換言之若未級開啟該記憶體頁，則需要目前解碼記憶體請求的頁開啟指令。惟在其他實施例中，可以在不違反本發明範圍下於記憶體控制器105的稍後級中執行一記憶體頁是否開啟的判定步驟。

此外在另一實施例中的解碼級也判定解碼記憶體請求定址的記憶體裝置的功率狀態。例如在一實施例中，記憶體115中的記憶體裝置具有多個功率狀態(即動作，備機或睡眠狀態)，在其他實施例中，功率狀態的變化是在本發明的範圍中。

在一實施例中，至少一記憶體裝置的功率狀態複製儲存解碼級的在功率狀態邏輯112中，根據解碼記憶體請求的記憶體位址，功率狀態邏輯112提供各記憶體裝置的功率狀態，接著將相關功率狀態資訊送入記憶體控制器105中的後繼級。

在步驟406的解碼級之後，記憶體控制器105的排程級接收解碼記憶體請求的操作，位址資訊以及解碼級中產生的頁命中資訊。在又一實施例中，排程級也接收定址記憶體



五、發明說明 (7)

裝置的功率狀態資訊。

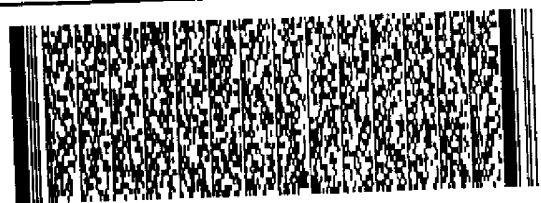
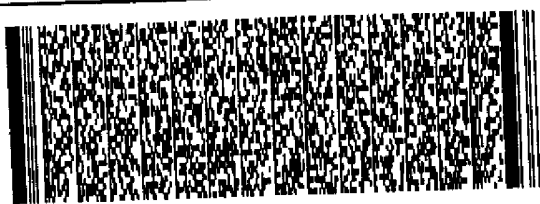
排程級接著將解碼記憶體請求的操作(及頁命中及/或功率狀態資訊)映射到至少一指令，然後將指令(如開啟頁，關閉頁，寫入資料，讀取資料等)送入記憶體以執行記憶體存取請求。

在一實施例中，排程級的封包產生邏輯113在解碼記憶體請求的單一操作中同時產生多個指令，例如以關閉的定址記憶體頁為例(即頁失誤)，排程級會提供：指令以關閉定址記憶體裝置中的開啟頁，指令以開啟定址頁，及指令以讀取位址資料。指令組(其映射解碼記憶體請求的操作)有時在此稱為封包。

在一實施例中，操作，頁命中及/或接收自解碼級的功率狀態資訊用以得到各指令。在其他實施例中，封包產生邏輯使用的替代方法可提供指令以執行解碼記憶體請求的操作。

排程級的封包產生邏輯113提供的指令數目及類型是依電腦系統中裝設的記憶體裝置類型而定，例如在一實施例中，實施的直接記憶體匯流排0記憶體子系統可作為電腦系統記憶體。

在一實施例中直接記憶體匯流排0的特徵是包括在電壓2.5/1.8V的操作頻率800MHZ。記憶體匯流排連接記憶體控制器105到記憶體115(或稱為記憶體匯流排通道0)，以1.6G位元組/秒的速度傳送資料，及具有每資料通道16位元的資料路徑。此外記憶體匯流排通道0包括多個指令通



五、發明說明 (8)

道以允許多個指令從記憶體控制器105平行傳送到記憶體115，其他記憶體匯流排/通道也提供多個指令通道。

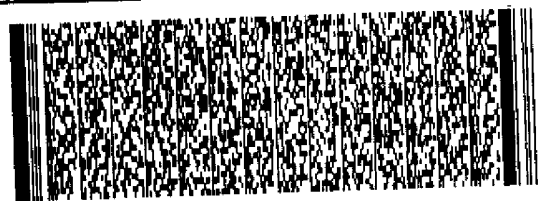
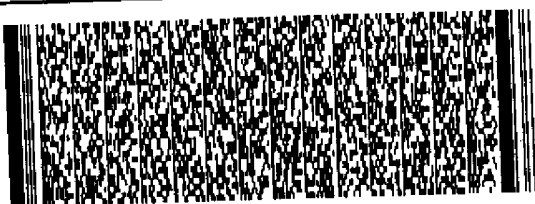
此外可以在不違反本發明範圍下配合記憶體控制器105而使用其他記憶體子系統，此外在實施直接記憶體匯流排的實施例中，直接記憶體匯流排0的特徵可以在不違反本發明的範圍下改變。

排程級已將解碼記憶體請求的操作映射到至少一指令後，在送入記憶體之前將指令排入至少一指令佇列。記憶體控制器105的排程級包括至少一指令佇列具有多個槽以儲存多個指令，其送入記憶體以完成記憶體請求。

在裝設具有多個指令通道的記憶體匯流排的另一實施例中，可使用對應指令通道的多個指令佇列(如指令佇列121及指令佇列123)，如圖1所示。此外以直接記憶體匯流排0為例，在封包及記憶體控制器105的排程級中設置至少兩個佇列：主控制封包佇列(PCP)，及輔控制封包佇列(SCP)。

在一實施例中，會將一指令置入預設的佇列中。例如以直接記憶體匯流排0為例，指令如頁開啟，頁關閉及/或改變定址記憶體裝置的功率狀態，都會置入PCP佇列，此外SCP佇列會包括這些指令如記憶體讀取及記憶體寫入。

詳如以下所述，在一實施例中指令佇列中的指令會在各記憶體控制器105時脈周期中位移，結果至少一指令(依佇列數目而定)於各時脈周期移入記憶體匯流排(除非一佇列中的槽無指令)，在一實施例若在一佇列槽中無指令則傳



五、發明說明 (9)

送空的封包。

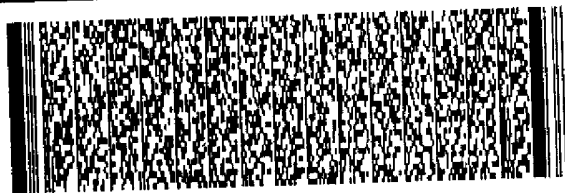
將指令排入指令佇列之前，在步驟408排程級中包括的前瞻邏輯114將要儲存在指令佇列中的指令與已儲存在指令佇列中的指令比較，根據該比較，前瞻邏輯114可檢測可能的記憶體時序或是違反規則。為了避免可能的時序或是違反規則，前瞻邏輯114以修正的順序將解碼記憶體請求指令儲存在指令佇列以避免可能的時序或是違反規則。

例如一些記憶體操作(如資料讀寫)需要預設數目的時脈周期以完成操作(其依記憶體種類而定)。結果，定址相同記憶體裝置，頁，及/或位址的多個記憶體操作需要用至少一時脈周期來分開。惟至少兩個操作間的實際時序限制是根據操作類型(如讀取後又接著讀取，寫入後又一起讀取，讀取後又接著寫入等)而定的。

在一實施例中的前瞻邏輯114先比較要排程的記憶體指令的位址資訊與已儲存在指令佇列中的指令。為了回應檢測到匹配(根據一預設標準，其在本發明的範圍下是可變的)，邏輯接著比較具有匹配位址資訊的指令操作。

(具有匹配位址資訊)的記憶體指令的操作接著與多個不同操作標準(讀與讀，寫與讀，關閉頁與讀等)比較。記憶體指令間的匹配及一操作標準可找出具有匹配位址資訊(如用預設數目的時脈周期將兩個不同記憶體操作分開)的至少兩個記憶體指令之間的可能時序或是違反規則。

前瞻邏輯114接著使用操作比較的結果(如時序限制資訊)以判定何時將指令插入指令佇列或是插入何處，以避



五、發明說明 (10)

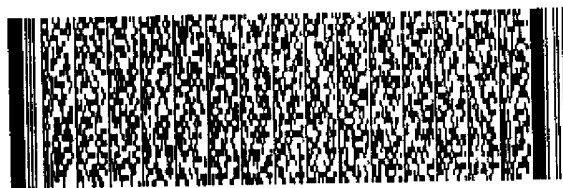
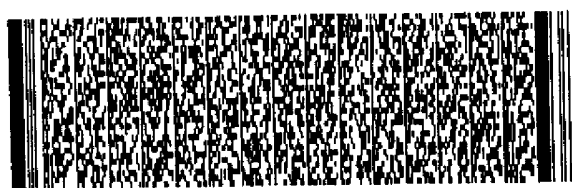
免時序或是違反規則。例如為了避免時序或是違反規則，排程邏輯會在將它插入指令佇列之前門鎖一記憶體指令（即延遲指令）。結果，用額外時脈周期可分開含匹配位址資訊及時序限制的指令以避免時序或是違反規則。

在又一實施例中，排程級的前瞻邏輯114可以將已儲存在指令佇列槽中的指令門鎖，結果，在門鎖指令已儲存在佇列之前可以將新指令插入。

此外排程級的前瞻邏輯114也可修正已儲存在佇列中的指令順序以加速要排程的指令執行。例如若一新記憶體操作定址一頁記憶體（其正在被儲存在指令佇列中的記憶體操作所開啟），則排程級的前瞻邏輯114會使儲存在佇列中的頁關閉操作無效。結果，在不必開啟記憶體頁之下可執行新指令。或者，前瞻邏輯114可匹配已儲存在佇列中的頁關閉指令，而且在門鎖頁關閉指令之前插入新指令。

排程級之對電腦步驟410將指令從指令佇列移入發送級的記憶體匯流排，在本發明的實施例中，儲存在指令佇列末端槽中的指令則於記憶體控制器105的各時脈周期移入記憶體匯流排的對應指令通道。儲存在剩餘槽中的指令則移到相鄰槽，除了如上所述若前瞻邏輯114改變佇列中指令的順序之外。

在設有多個指令佇列的又一實施例中，使用佇列之間的預設時間偏移以分開佇列中對應槽儲存的指令。例如指令佇列兩端槽中的指令可同時移入匯流排存取單元(BAC)，其提供記憶體匯流排的多工/解多工存取。惟將各指令置



五、發明說明 (11)

入記憶體匯流排之前，BAC可以在記憶體時脈周期的預設一部分將自一佇列中接收的指令門鎖，例如在一實施例，其中記憶體匯流排是以記憶體控制器105的倍數頻率來操作(如800MHZ、400MHZ、100MHZ)，在記憶體匯流排的至少一時脈周期中可以將指令佇列的指令門鎖。

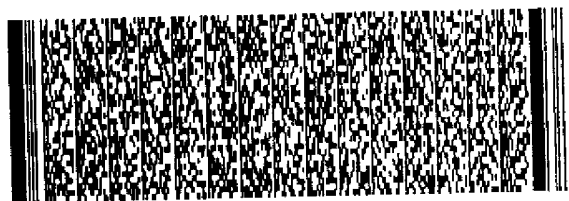
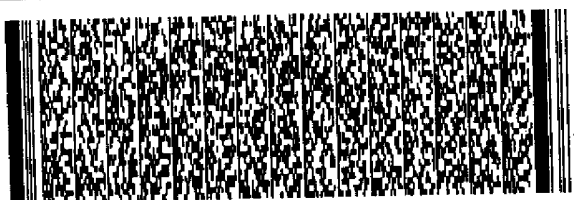
此外在設有佇列間預設偏移的實施例中，前瞻邏輯114知道指令佇列間提供的偏移，結果，前瞻邏輯114於判定指令該該何時插入佇列及插入在那裡時會將該偏移列入考慮，如上所述以避免時序或是違反規則。

在第二替代實施例中，可提供佇列間的動態(即變化)偏移，明確而言，前瞻邏輯114將偏移及記憶體指令一起插入佇列槽，結果，當指令及偏移時序資訊從佇列的末端槽移出時，BAC使用時序以便根據時序資訊而門鎖各指令。

如上所述若判定出現時序限制，則在排程級期間前瞻邏輯114會產生偏移時序資訊，前瞻邏輯114將偏移時序及指令資訊插入佇列槽，以避免時序限制。

此外若考慮前瞻邏輯114動態產生偏移時序資訊的彈性(即插入可變長度的偏移)，則可再簡化選擇何時及將那些佇列槽插入指令的工作，例如前瞻邏輯114可以將偏移時序資訊插入以避免時序限制，而不是改變已儲存在佇列中的指令順序。

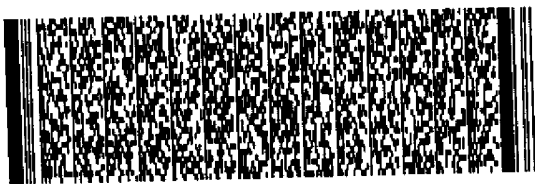
在上述說明書中已將用本發明的特定典型實施例來說明本發明，惟很明顯的在不違反本發明的更廣範圍及精神下可以作各種修正及變化，因此該該將說明書及附圖視為敘



五、發明說明 (12)

述性而非一種限制含意。

例如在一實施例中的記憶體控制器105如同詳細說明所述，可以設在一組晶片中(即晶片組)以提供電腦系統的子系統間及/或多個元件間的介面，例如晶片組提供匯流排及電子裝置以允許中央處理器，記憶體及輸入/輸出裝置互動，此外在額外的替代實施例中記憶體控制器105是設置在晶片組上如圖5所示，其也具有整合在晶片組上的額外元件(如處理器，圖形加速器)。



四、中文發明摘要 (發明之名稱：用以提供管線化記憶體控制器之方法及裝置)

一種管線化記憶體控制器包括：一解碼級、及一排程級，其中排程級包括一指令佇列以儲存多個指令。在一實施例中，排程級更包括前瞻邏輯，其能修正記憶體指令儲存在該指令佇列中之順序。

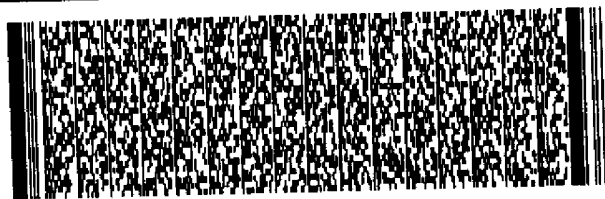
英文發明摘要 (發明之名稱：METHOD AND APPARATUS FOR PROVIDING A PIPELINED MEMORY CONTROLLER)

A pipelined memory controller that includes a decode stage, and a schedule stage, wherein the schedule stage includes a command queue to store multiple commands. In one embodiment, the schedule stage further includes look ahead logic which can modify an order memory commands are stored in the command queue.



六、申請專利範圍

1. 一種管線化記憶體控制器，包括：
一解碼級；及
一耦合至該解碼級之排程級，該排程級包括一指令佇列以儲存多個指令。
2. 如申請專利範圍第1項之記憶體控制器，其中該排程級更包括前瞻邏輯。
3. 如申請專利範圍第2項之記憶體控制器，其中該前瞻邏輯修正記憶體指令儲存在該指令佇列中之順序。
4. 如申請專利範圍第3項之記憶體控制器，其中該排程級包括至少兩個指令佇列。
5. 如申請專利範圍第4項之記憶體控制器，其中可操作該記憶體控制器以接至具有兩個指令通道之記憶體匯流排。
6. 如申請專利範圍第2項之記憶體控制器，其中儲存在該指令佇列中之指令於傳送至一記憶體匯流排之前係動態延遲。
7. 如申請專利範圍第6項之記憶體控制器，其中儲存在該指令佇列中之指令包括該排程級提供之時序資訊，以實施該動態延遲。
8. 如申請專利範圍第3項之記憶體控制器，其中儲存在該指令佇列中之指令以一固定預設率傳送至一記憶體匯流排。
9. 如申請專利範圍第8項之記憶體控制器，其中儲存在兩個分開指令佇列中之指令以一固定偏移分開地傳送至記



六、申請專利範圍

記憶體匯流排。

10. 如申請專利範圍第5項之記憶體控制器，其中記憶體匯流排係一記憶體匯流排通道0。

11. 如申請專利範圍第5項之記憶體控制器，其中該記憶體控制器係實施於一晶片組上。

12. 一種管線化記憶體控制器，包括：

用以解碼一記憶體請求之裝置；及

用以將多個記憶體指令排入一用以儲存多個記憶體指令之指令佇列之排程裝置。

13. 如申請專利範圍第12項之記憶體控制器，其中該用以排程多個記憶體指令之裝置包括前瞻邏輯。

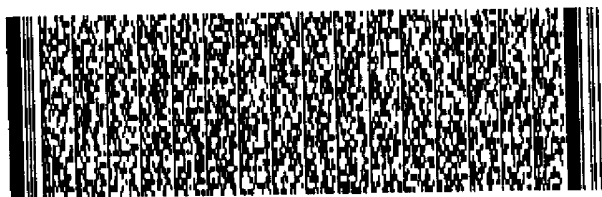
14. 如申請專利範圍第12項之記憶體控制器，其中該前瞻邏輯包括用以修正記憶體指令儲存在該指令佇列中之順序之裝置。

15. 如申請專利範圍第14項之記憶體控制器，其中該排程多個記憶體指令之裝置更包括至少兩個指令佇列。

16. 如申請專利範圍第15項之記憶體控制器，其中該記憶體控制器包括用以連接記憶體控制器至具有兩個指令通道之記憶體匯流排之裝置。

17. 如申請專利範圍第13項之記憶體控制器，其中該記憶體控制器更包括動態延遲裝置，同以在傳送該記憶體指令至一記憶體匯流排之前，將儲存在該指令佇列中之記憶體指令。

18. 如申請專利範圍第17項之記憶體控制器，其中儲存



六、申請專利範圍

在該指令佇列中之指令包括由該排程裝置所提供之時序資訊。

19. 如申請專利範圍第16項之記憶體控制器，其中該記憶體控制器更包括以一固定預設率傳送該記憶體指令至一記憶體匯流排之裝置。

20. 如申請專利範圍第16項之記憶體控制器，其中該記憶體控制器更包括以一固定偏移將儲存在兩個分開指令佇列中之指令傳送至記憶體匯流排之裝置。

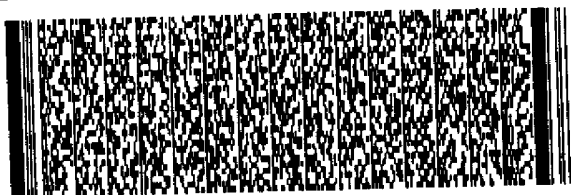
21. 如申請專利範圍第16項之記憶體控制器，其中記憶體匯流排係一記憶體匯流排通道。

22. 如申請專利範圍第14項之記憶體控制器，其中該記憶體控制器實施於一晶片組上。

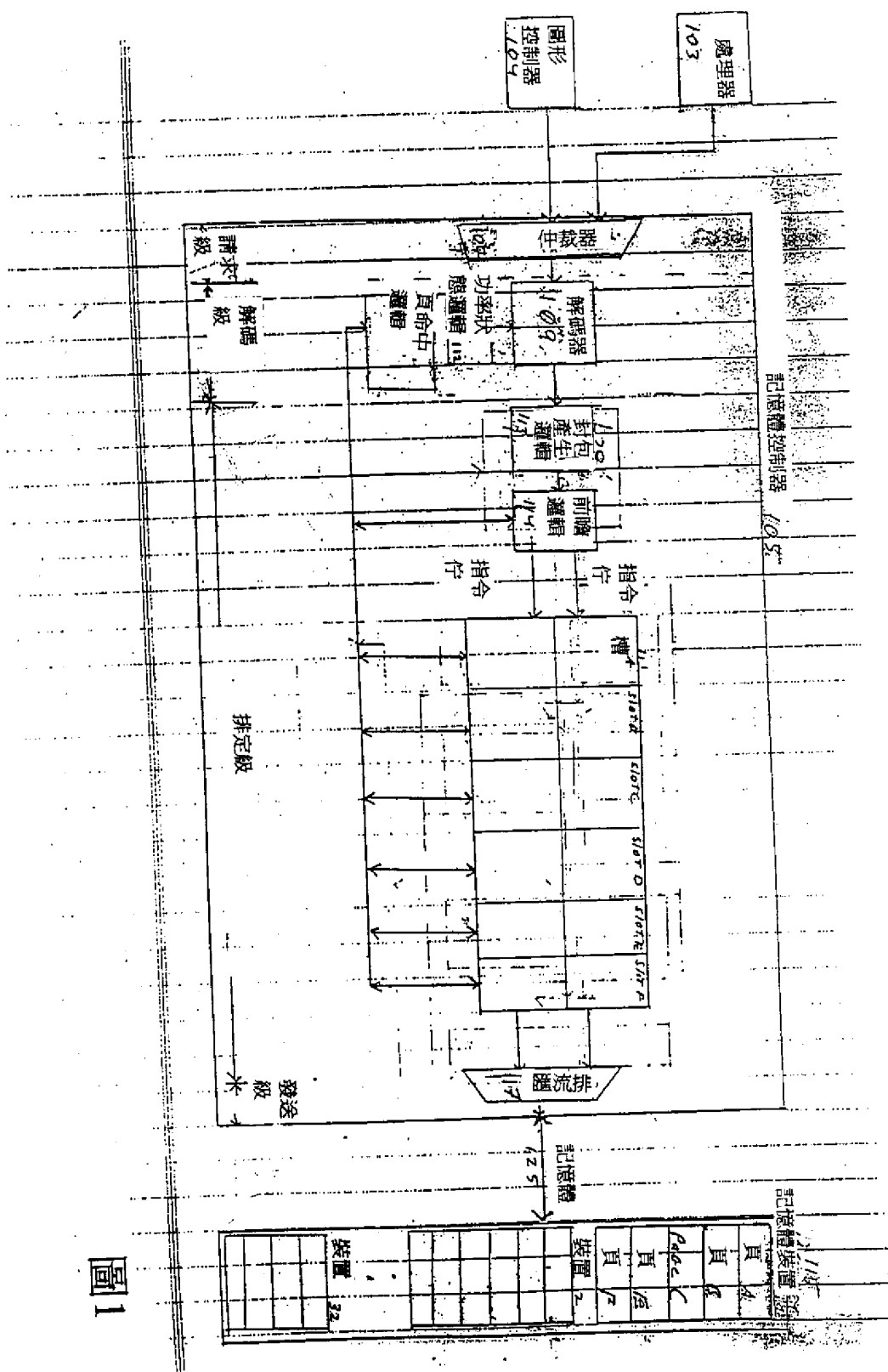
23. 一種管線化記憶體控制器，包括：

一解碼級；及

一耦合至該解碼級之排程級，該排程級包括兩個指令佇列以儲存多個指令，以及前瞻邏輯以修正指令儲存在該指令佇列中之順序。



圖式



圖式

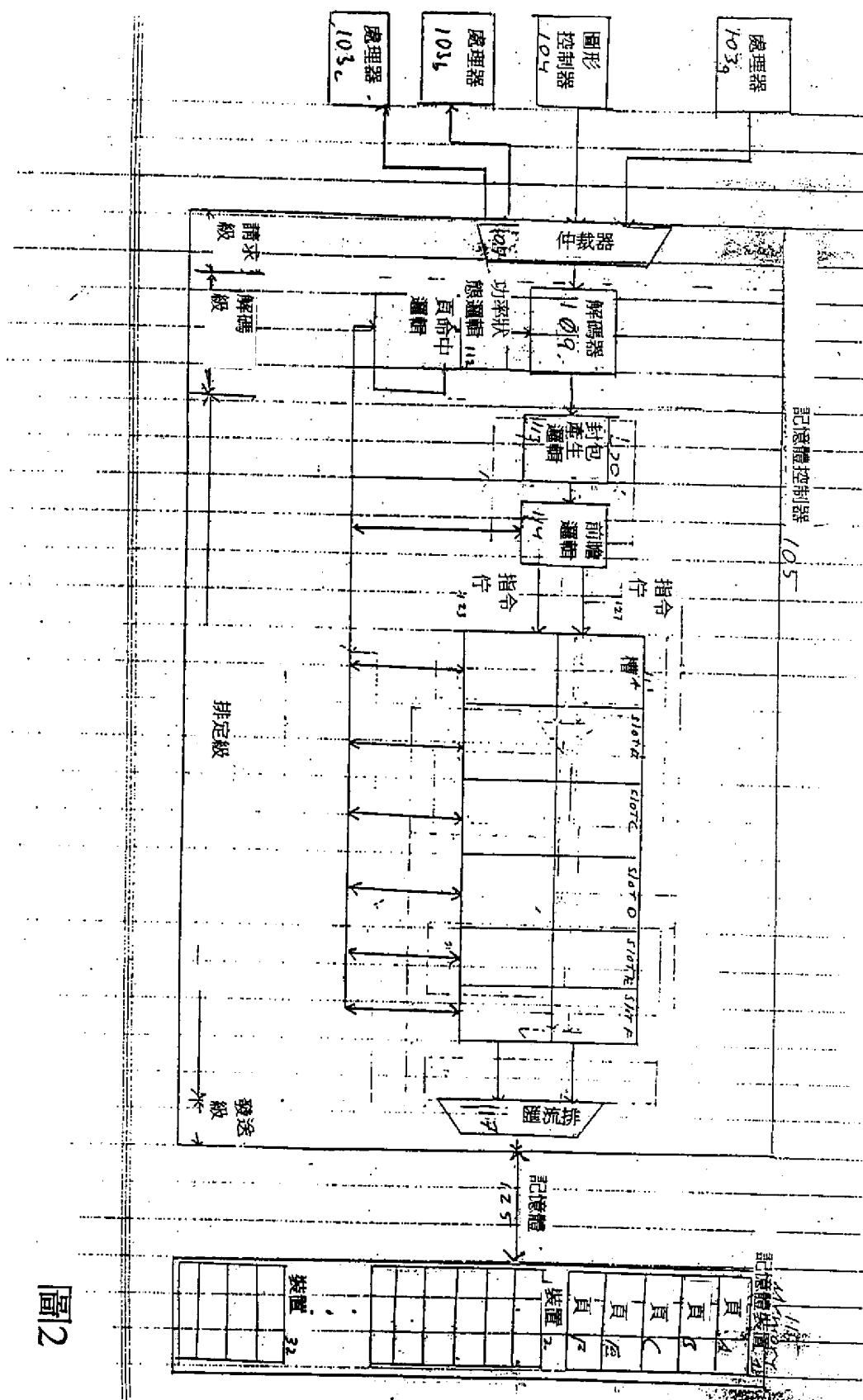


圖2

圖式

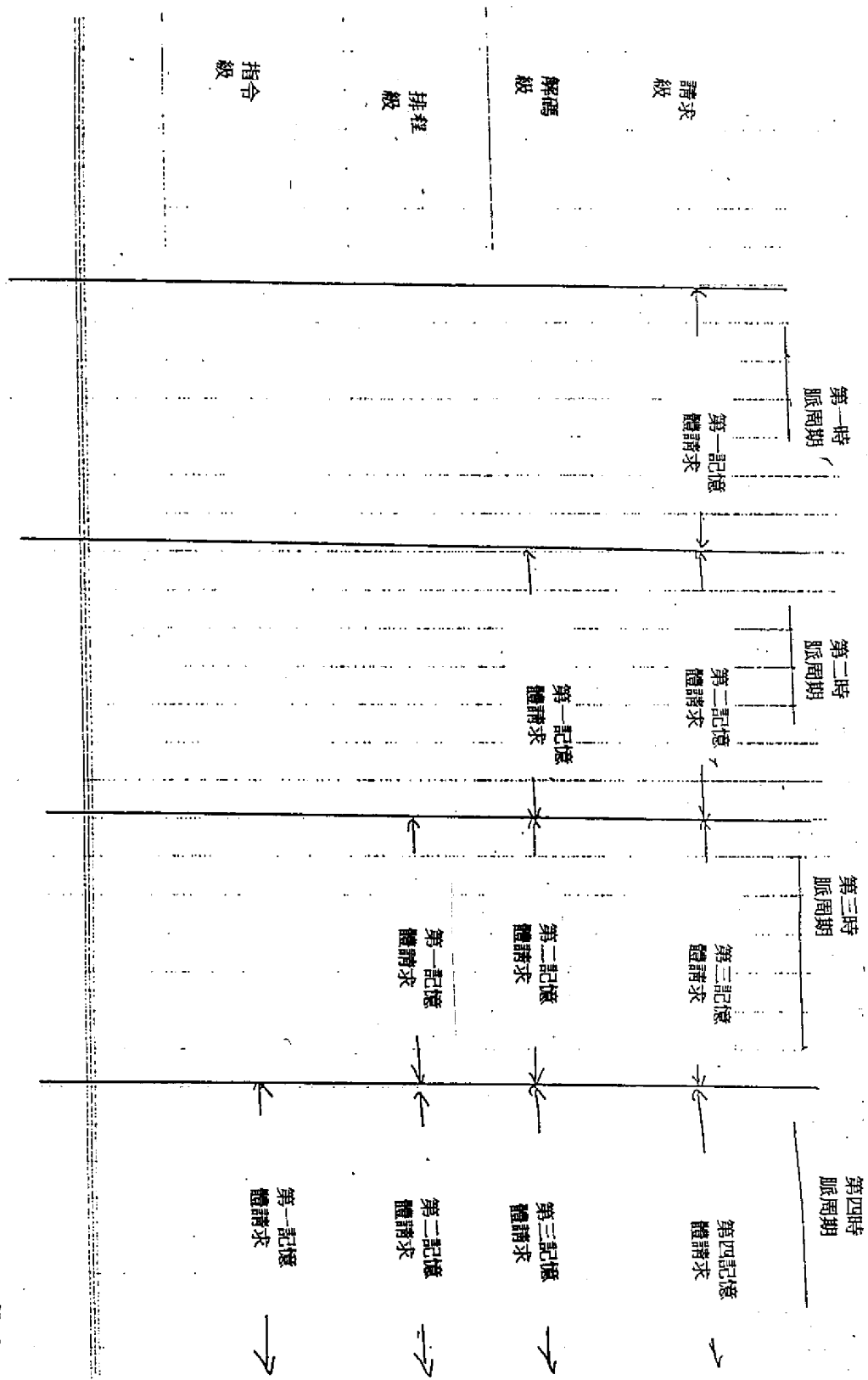


圖3

圖式

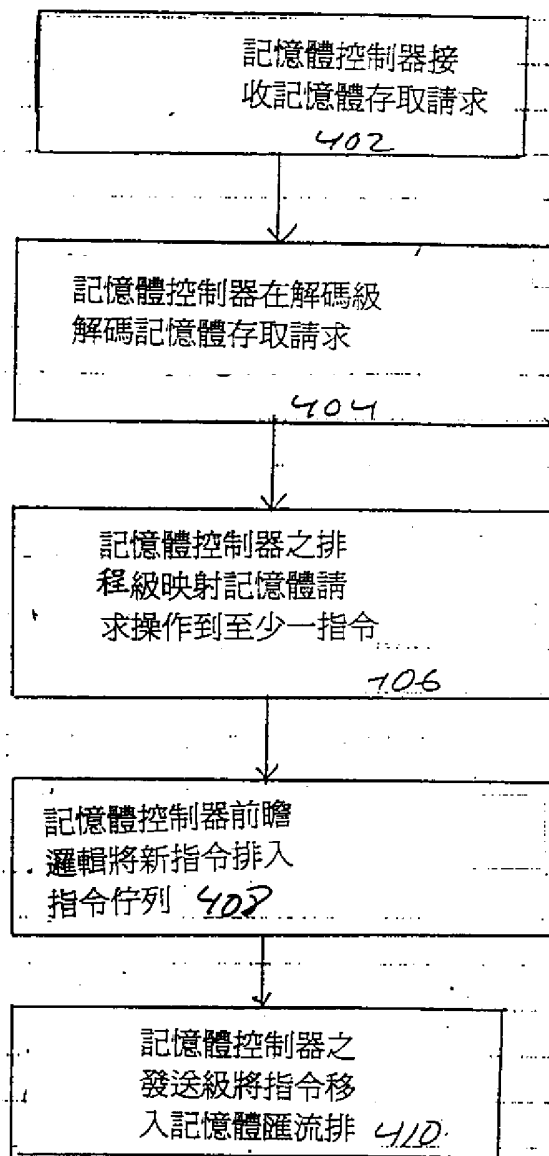


圖4

圖式

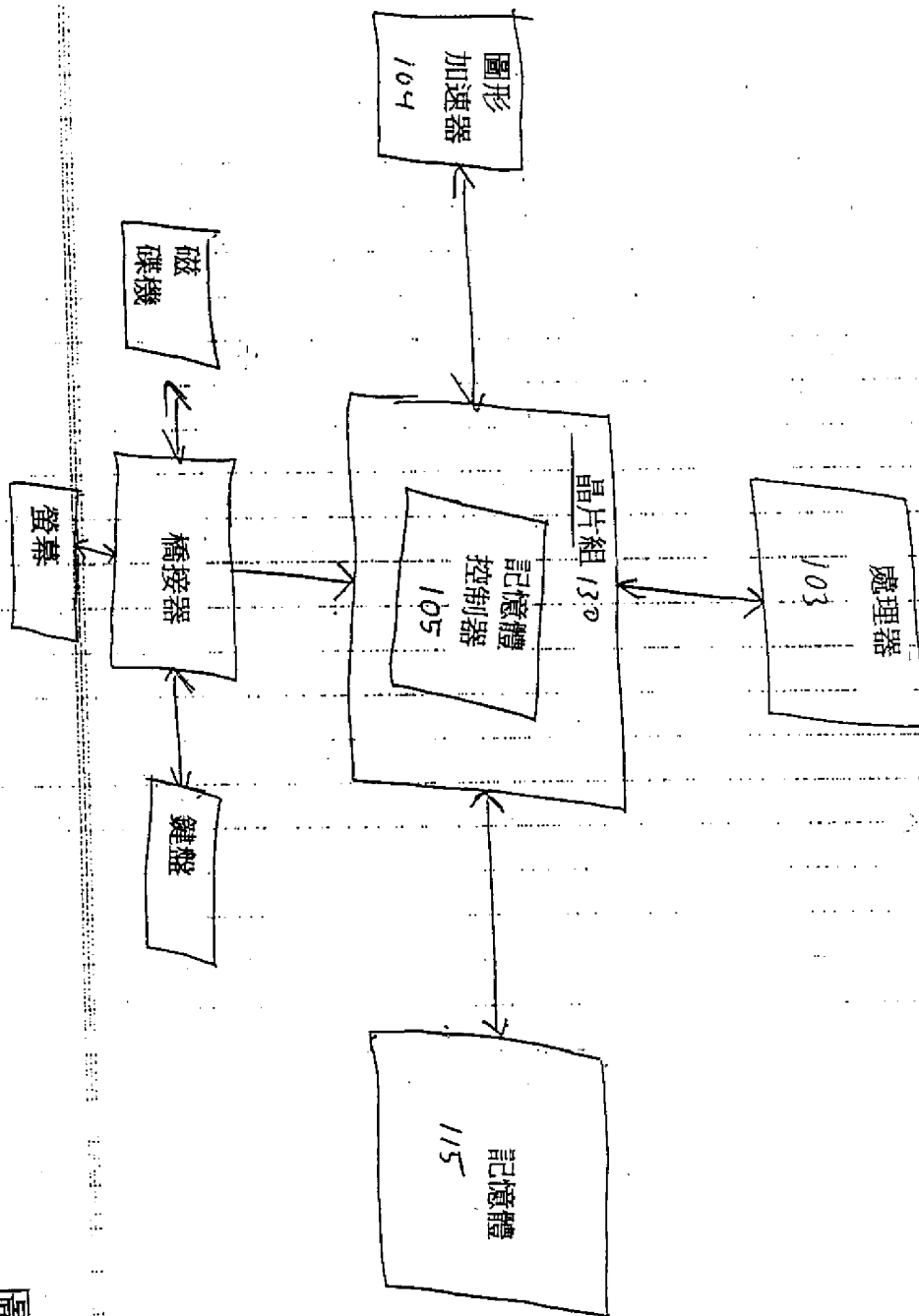
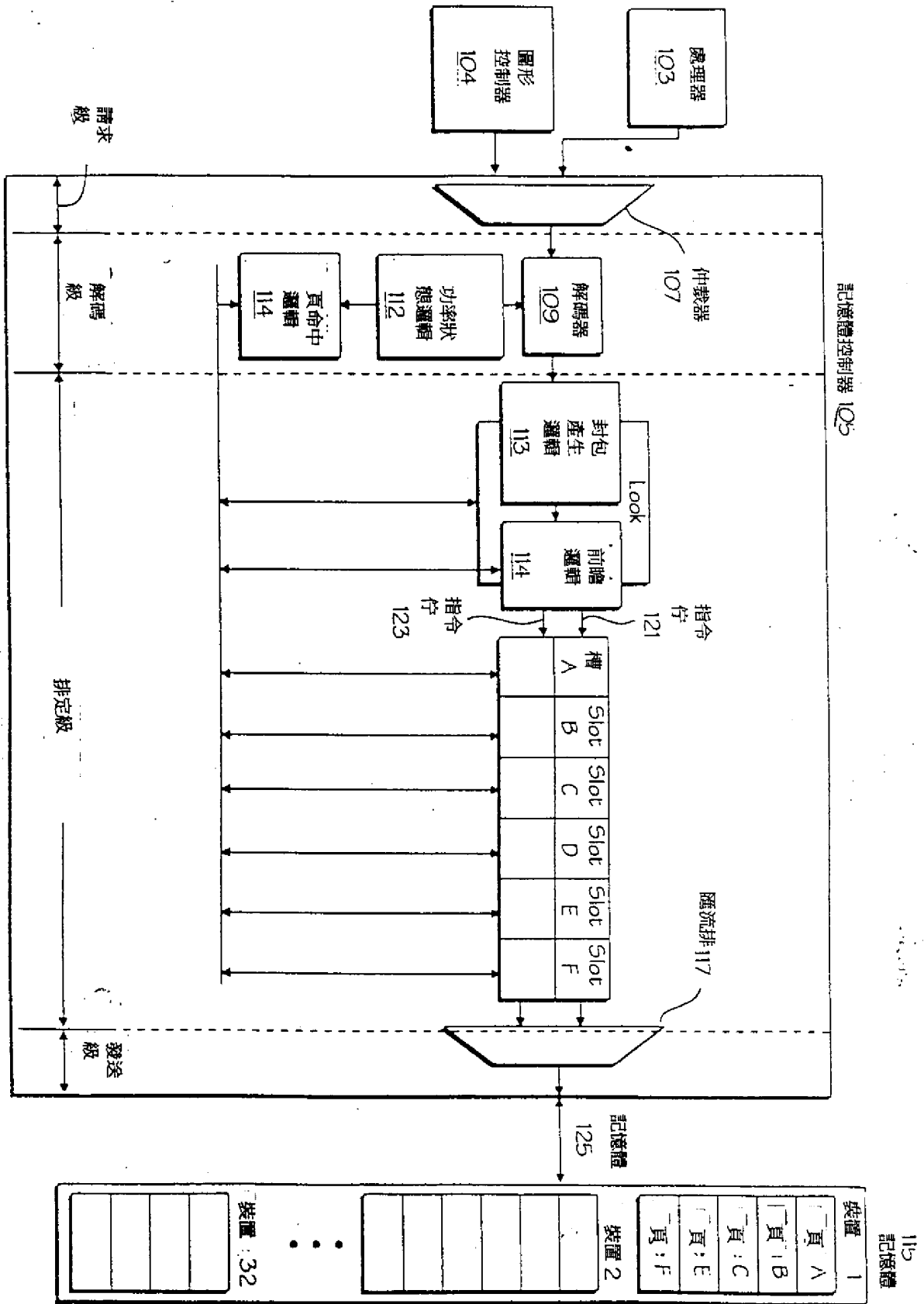


圖5

圖式



圖式

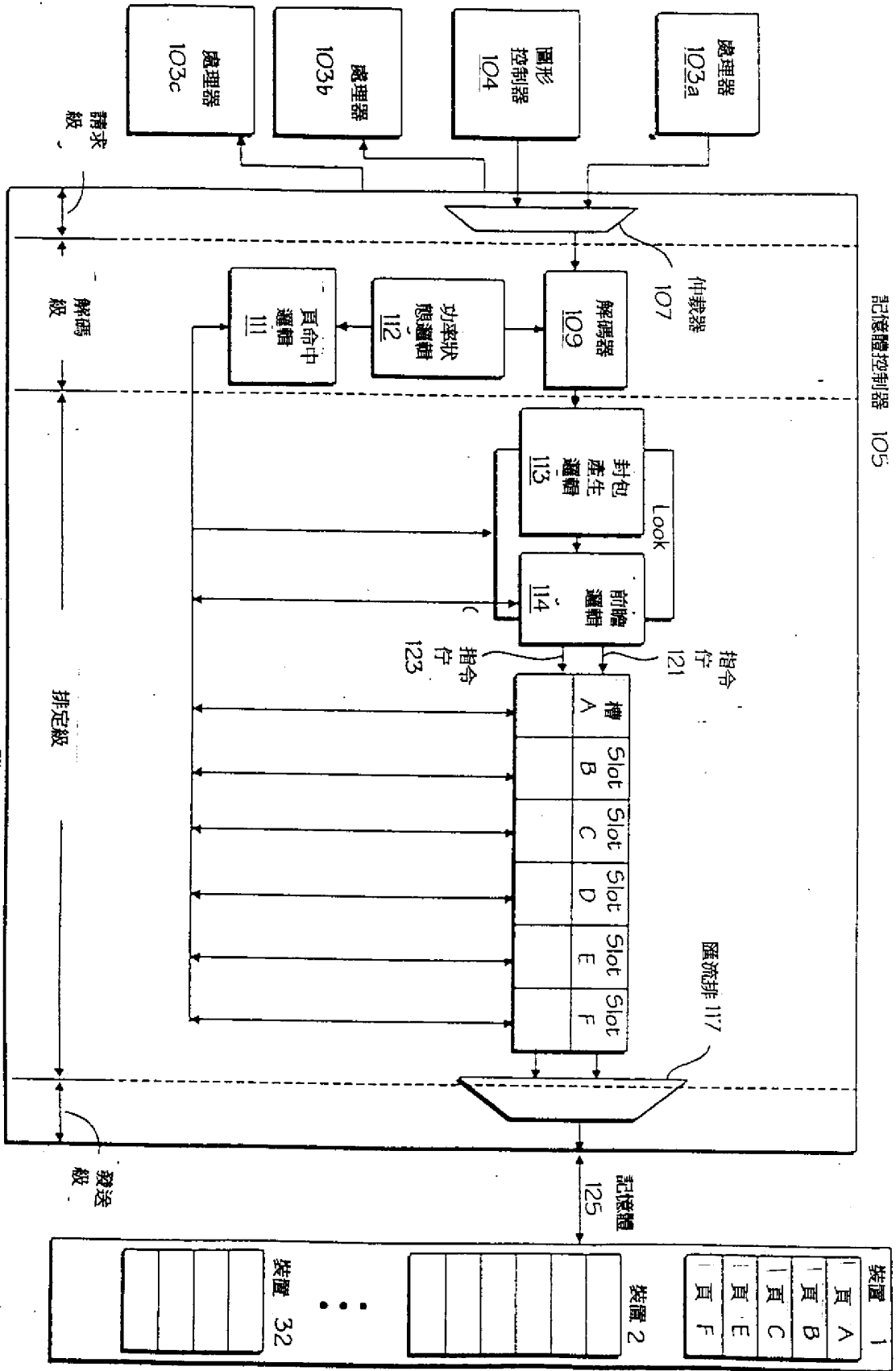


圖2

圖式

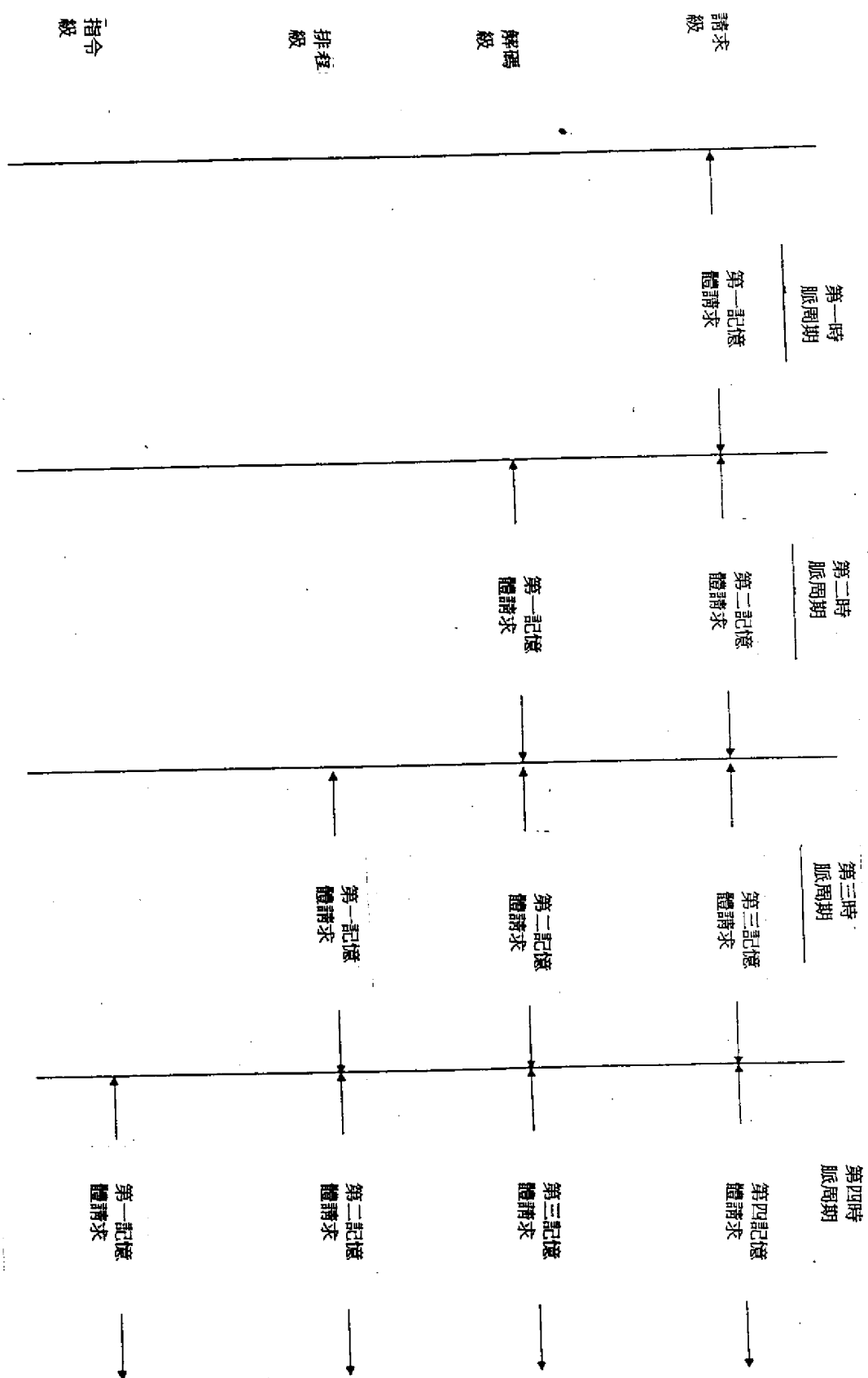


圖 3

圖式

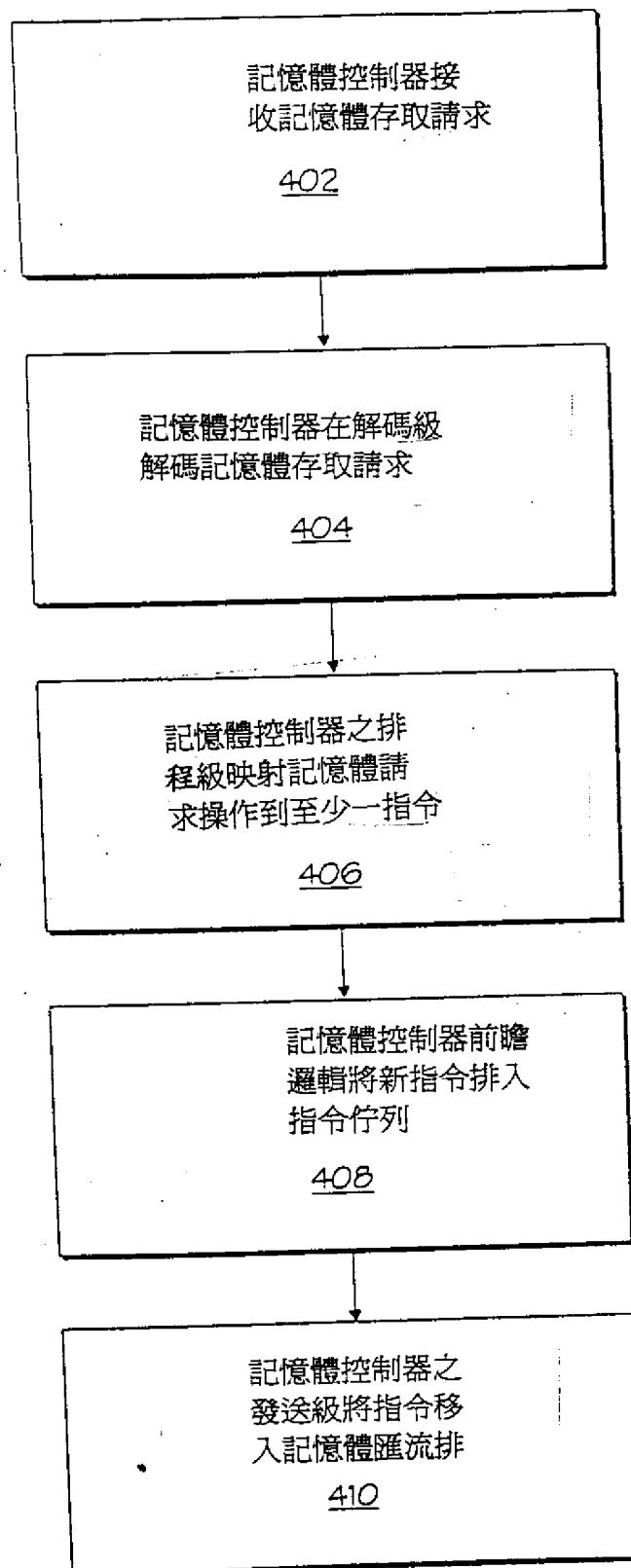


圖4

圖式

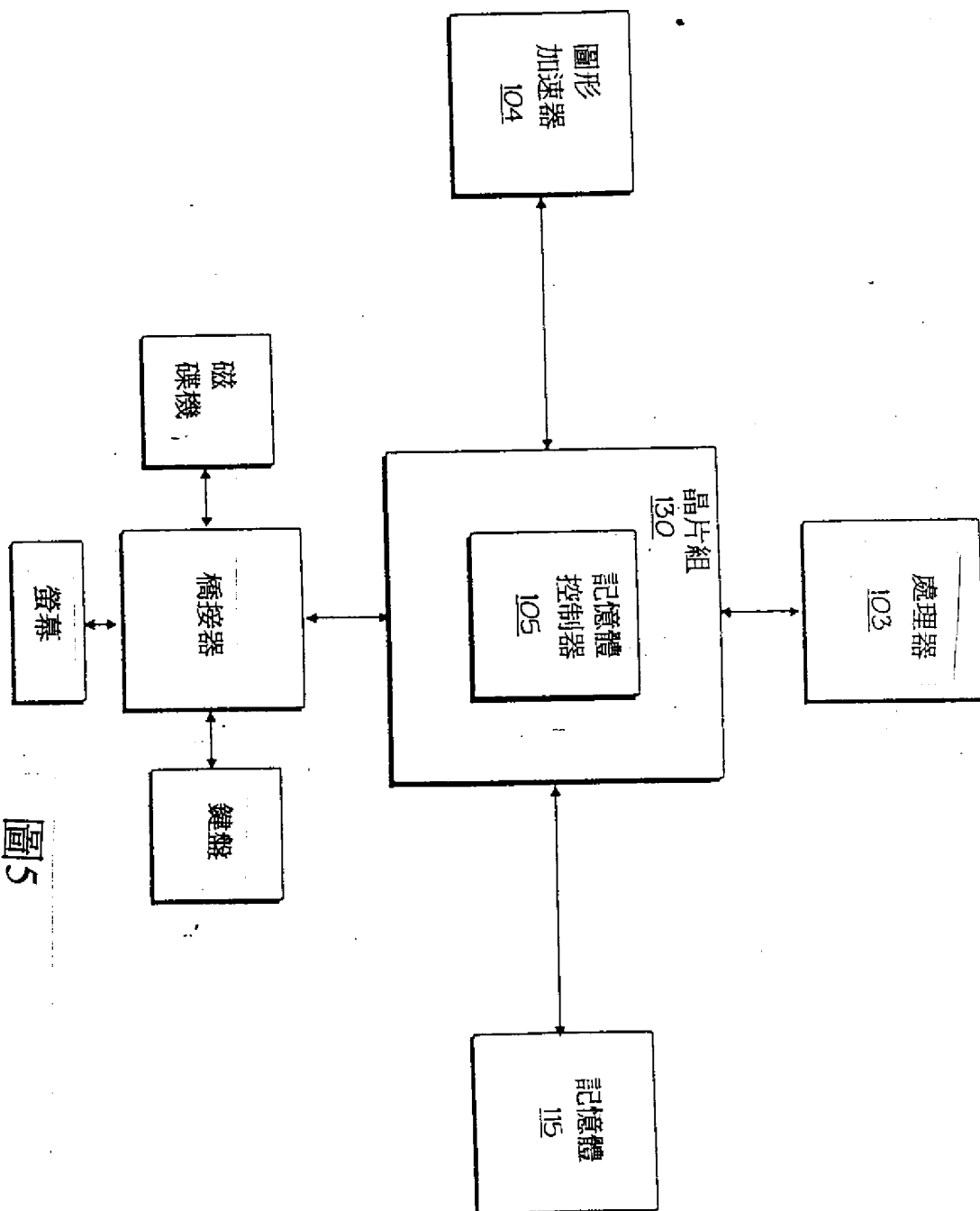


圖 5