[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H01L 27/11
H01L 27/10 H01L 21/8244
H01L 21/8239

[12] 发明专利说明书

[21] ZL 专利号 97114051.0

[43] 授权公告日 2003 年 6 月 18 日

[11] 授权公告号 CN 1111911C

[22] 申请日 1997.6.26 [21] 申请号 97114051.0

[30] 优先权

[32] 1996.11.29 [33] JP [31] 319510/1996

[71] 专利权人 三菱电机株式会社

地址 日本东京都

[72] 发明人 牧幸生 本田裕己

审查员 赵百令

[74] 专利代理机构 中国专利代理(香港)有限公司

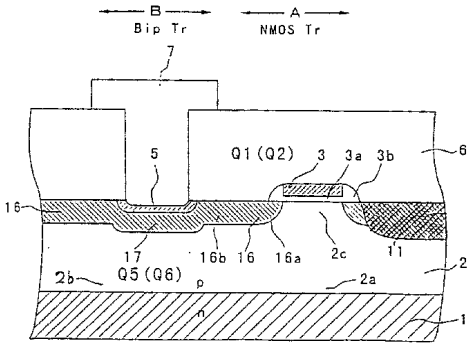
代理人 吴增勇 萧掬昌

权利要求书 3 页 说明书 16 页 附图 11 页

[54] 发明名称 半导体存储器件及其制造方法

[57] 摘要

通过用杂质注入法形成一个从 MOS 晶体管的源/漏区连续延伸的基极区作为本征基极区，并在位线的接触孔处形成发射极区而形成双极晶体管。 或者，通过用杂质注入法在位线的接触孔处形成本征基极区和发射极区而形成双极晶体管。 本征基极区做得比源/漏区深。 另外，使本征基极区的杂质不同于连接基极区的杂质。



ISSN1008-4274

知识产权出版社出版

1. 一种半导体存储器件，其特征在于包括：

金属-氧化物-半导体(MOS)晶体管，它的源/漏区处在跨越沟道区的位置上，该沟道区是在半导体存储器部分的半导体区域的主平面上形成的；以及

双极晶体管，它具有发射极区、基极区和集电极区，所述发射极区在所述源/漏区的接触孔处形成；所述基极区由与所述源/漏区公用的区构成；而所述集电极区由所述半导体区构成；

所述双极晶体管位于所述MOS晶体管和隔离区之间，以提供所述双极晶体管和所述存储器单元外部电路之间的电绝缘。

2. 权利要求1提出的半导体存储器件，其特征在于：在所述双极晶体管的所述发射极区与所述集电极区之间设置本征基极区；所述本征基极区做得比所述基极区深。

3. 权利要求2提出的半导体存储器件，其特征在于：所述源/漏区做得浅，而所述本征基极区做得比所述源/漏区深。

4. 权利要求2提出的半导体存储器件，其特征在于：所述MOS晶体管的所述源/漏区和所述双极晶体管的所述连接基极区共用的主要杂质不同于所述双极晶体管的所述本征基极区所用的主要杂质。

5. 权利要求4提出的半导体存储器件，其特征在于：所述MOS晶体管的所述源/漏区和所述双极晶体管的所述连接基极区共用的主要杂质是砷，而所述双极晶体管的所述本征基极区的主要杂质是磷。

6. 权利要求1提出的半导体存储器件，其特征在于：所述MOS晶体管作为静态随机存储器(SRAM)存储单元的存取晶体管而形成，而所述双极晶体管在所述MOS晶体管的位线接触孔处形成。

7. 权利要求1提出的半导体存储器件，其特征在于：所述半导体区域是p型的，所述源/漏区中的一个是n^-型的，而所述源/漏区中的另一个是n^+型的。

8.权利要求1提出的半导体存储器件，其特征在于：所述半导体区域是p型的，而两个所述源/漏区都是n^-型的。

9.权利要求1提出的半导体存储器件，其特征在于：所述半导体区域是p型的，而所述源/漏区和所述基极区是n^-型，并以磷为主杂质。

10.权利要求1提出的半导体存储器件，其特征在于：所述双极晶体管的所述发射极区是与另一个导电类型与所述MOS晶体管相反的MOS晶体管的所述源/漏区的接触层同时形成的。

11.权利要求10提出的半导体存储器件，其特征在于：所述双极晶体管的所述发射极区杂质浓度和所述另一个MOS晶体管源/漏区杂质浓度的总和基本上等于所述另一个MOS晶体管所述源/漏区的杂质浓度。

12.一种半导体存储器件的制造方法，其特征在于包括下列步骤：

通过在半导体存储器部分的半导体区主平面上形成沟道区、并且形成跨越所述沟道区的源/漏区来形成金属-氧化物-半导体(MOS)晶体管；以及

通过在所述源/漏区的接触孔处形成发射极区、用与所述源/漏区共用的区域形成基极区、以及由所述半导体区形成集电极区来形成双极晶体管；

所述双极晶体管位于所述MOS晶体管和隔离区之间，以提供所述双极晶体管和所述存储器单元外部电路之间的电绝缘。

13.权利要求12提出的方法，其特征在于：在所述源/漏区的接触孔处进一步形成本征基极区，而所述发射极区做得比所述本征基极区浅。

14.权利要求13提出的方法，其特征在于：所述源/漏区做得浅，所述本征基极区做得比所述源/漏区深。

15.权利要求13提出的方法，其特征在于：用一种与所述源/漏区和所述连接基极区共用的主杂质不同的主杂质注入所述本征基极

区。

16 权利要求 15 提出的方法，其特征在于：用砷作为所述 MOS 晶体管的所述源/ 漏区和所述双极晶体管的所述基极区两者共用的主杂质注入，而用磷作为所述双极晶体管所述本征基极区的主杂质注入。

17 权利要求 12 提出的方法，其特征在于：所述 MOS 晶体管作为静态随机存储器(SRAM)存储单元的存取晶体管而形成，而所述双极晶体管在所述 MOS 晶体管的位线接触孔处形成。

18 权利要求 12 提出的方法，其特征在于：所述半导体区域是 p 型的，所述 MOS 晶体管的源/漏区中的一个是 n^-型的，而所述 MOS 晶体管的所述另一个源/漏区是 n^+型的。

19.权利要求 12 提出的方法，其特征在于：所述半导体区域是 p 型的，而所述 MOS 晶体管的两个所述源/漏区都是 n^-型的。

20.权利要求 12 提出的方法，其特征在于：所述双极晶体管的所述发射极区与另一个导电类型与所述 MOS 晶体管相反的 MOS 晶体管的源/ 漏区的接触层同时形成。

半导体存储器件及其制造方法

本发明涉及半导体存储器件，更具体地说，涉及在存储部分的金属-氧化物-半导体（MOS）晶体管的区域中包括双极晶体管的半导体存储器件。

在图 25 中，示出作为传统半导体存储器件的静态随机存储器（SRAM）存储单元的等效电路。传统 SRAM 存储单元包括 6 个元件，亦即，存取晶体管 Q1 和 Q2、驱动晶体管 Q3 和 Q4 以及负载元件 R1 和 R2。位线 BL 和字线 WL 连接到存取晶体管 Q1 和 Q2，而电源线 Vcc 连接到负载元件 R1 和 R2。

但是，在列电流由于电源电压降低而减小时，传统的存储器存储单元不能很好地工作。如图 26 所示，已经提出了一种存储单元，其中双极晶体管 Q5 和 Q6 连接到存取晶体管 Q1 和 Q2，以放大列电流。

在诸如图 26 所示的存储单元的情况下，元件数目从传统的 6 个增加到 8 个，使得存储单元的面积趋于增大。因此，需要在不增大存储单元面积的情况下形成双极晶体管 Q5 和 Q6 的技术。

因此，本发明就是为解决这样的问题而作的。本发明的目的是提供一种半导体存储器件及其制造方法，它在不增大面积的情况下在 MOS 晶体管区域中包括双极晶体管。

按照本发明的一个方面，半导体存储器件包括金属-氧化物-半导体（MOS）晶体管和双极晶体管。金属-氧化物-半导体（MOS）晶体管的源/漏区位于跨越在半导体存储器部分中半导体区域的主平面上形成的沟道区的位置上。双极晶体管具有发射极区、基极区和集电极区。发射极区在所述源/漏区的接触孔处形成。基极区由与所述源/漏区共用的区域形成。集电极区由半导体区形成。

在本发明的另一个方面，在半导体存储器件中，本征基极区位于

双极晶体管的发射极区与集电极区之间，并且，使该本征基极区比上述基极区深。

在本发明的另一个方面，在半导体存储器件中，源/漏区做得浅，而本征基极区做得比源/漏区深。

在本发明的另一个方面，在半导体存储器件中，MOS 晶体管的源/漏区和双极晶体管的连接基极区共用的主要杂质不同于双极晶体管的本征基极区的主要杂质。

在本发明的另一个方面，在半导体存储器件中，MOS 晶体管的源/漏区和双极晶体管的连接基极区共用的主要杂质是砷，而双极晶体管的本征基极区的主要杂质是磷.

在本发明的另一个方面，在半导体存储器件中，MOS 晶体管是作为静态随机存储器（SRAM）存储单元的存取晶体管形成的，而双极晶体管是在该 MOS 晶体管的位线接触孔处形成的。

在本发明的另一个方面，在半导体存储器件中，半导体区域是 p 型的，源/漏区中的一个是 n^-型的，而其他源/漏区是 n^+型的。

在本发明的另一个方面，在半导体存储器件中，半导体区域是 p 型的，而两个源/漏区都是 n^-型的。

在本发明的另一个方面，在半导体存储器件中，半导体区域是 p 型的，而源/漏区和基极区是 n^-型，并以磷为主要杂质。

在本发明的另一个方面，在半导体存储器件中，双极晶体管的发射极区与另一个导电类型与该 MOS 晶体管相反的 MOS 晶体管的源/漏区的接触层同时形成。

在本发明的另一个方面，在半导体存储器件中，双极晶体管发射极区杂质浓度和所述另一个 MOS 晶体管源/漏区杂质浓度的总和基本上等于另一个 MOS 晶体管源/漏区的杂质浓度。

在本发明的另一个方面，在半导体存储器件的制造方法中，金属-氧化物-半导体（MOS）晶体管和双极晶体管用下述方法形成。金属-氧化物-半导体（MOS）晶体管是通过在半导体存储器部分中半导体

区主平面上形成沟道区，并形成跨越该沟道区的源/漏区而形成的。双极晶体管的形成方法是：在所述源/漏区的接触孔处形成发射极区，由与所述源/漏区共用的区域形成基极区，并由所述半导体区形成集电极区。

在本发明的另一个方面，在半导体存储器件的制造方法中，在所述源/漏区的接触孔处进一步形成本征基极区，而发射极区形成得比本征基极区浅。

在本发明的另一个方面，在半导体存储器件的制造方法中，源/漏区形成得浅，而本征基极区形成得比源/漏区深。

在本发明的另一个方面，在半导体存储器件的制造方法中，用一种与源/漏区和连接基极区共用的主杂质不同的主杂质注入本征基极区。

在本发明的另一个方面，在半导体存储器件的制造方法中，用砷作为 MOS 晶体管的源/漏区和双极晶体管的基极区两者共用的主杂质注入，而用磷作为双极晶体管本征基极区的主杂质注入。

在本发明的另一个方面，在半导体存储器件的制造方法中，MOS 晶体管作为静态随机存储器（SRAM）存储单元的存取晶体管而形成，而双极晶体管在 MOS 晶体管位线接触孔处形成。

在本发明的另一个方面，在半导体存储器件的制造方法中，半导体区域是 p 型的，MOS 晶体管的源/漏区中的一个是 n^-型的，而 MOS 晶体管的另一个源/漏区是 n^+型的。

在本发明的另一个方面，在半导体存储器件的制造方法中，半导体区域是 p 型的，而 MOS 晶体管的两个源/漏区都是 n^-型的。

在本发明的另一个方面，在半导体存储器件的制造方法中，双极晶体管的发射极区与另一个导电类型与该 MOS 晶体管相反的 MOS 晶体管的源/漏区的接触层同时形成。

从以下的描述中，本发明的其他特征和优点将会变得更加明显。

图 1 是作为按照本发明第一实施例而构成的半导体存储器件的例

子的 SRAM 存储单元结构的横剖面图。

图 2 是作为按照本发明第二实施例构成的半导体存储器件的例子的 SRAM 存储单元结构的横剖面图。

图 3 是作为按照本发明第三实施例而构成的半导体存储器件的例子的 SRAM 存储单元结构的横剖面图。

图 4 是作为按照本发明第四实施例而构成的半导体存储器件的例子的 SRAM 存储单元结构的横剖面图。

下面将描述本发明的半导体存储器件的制造方法。

图 5 至图 11 表示作为本发明第五实施例的具有图 1 所示结构的半导体存储器件的制造方法。

图 12 至图 18 表示作为本发明第六实施例的具有图 2 所示结构的半导体存储器件的制造方法

图 19 至图 24 表示作为本发明第七实施例的具有 CMOS 结构的半导体存储器件的制造方法。

图 25 示出作为传统的半导体存储器件的静态随机存储器（SRAM）存储单元的等效电路。

图 26 示出一种传统的存储单元，其中双极晶体管 Q_5 和 Q_6 连接到存储晶体管 Q_1 和 Q_2，以放大列电流。

下面将参照附图举例更详细地说明本发明。

实施例 1

参照图 1，其中表示按照本发明第一实施例构成的半导体存储器件的结构。本实施例是将本发明半导体存储器件的结构应用于具有图 26 所示的电路结构的 SRAM 存储单元的情况的一个例子。在本实施例中，为了避免当在 SRAM 存储单元中形成双极晶体管时，增大存储单元的面积，双极 pnp 型晶体管在 SRAM 存储单元的位线接触部分形成。

在图 1 中，部分 A 是其中形成 n 沟道金属-氧化物-半导体

（NMOS）晶体管Q1（或Q2）的区域，后者起SRAM存储单元存取晶体管的作用，而部分B是其中形成连接在NMOS晶体管和位线之间的双极pnp型晶体管Q5（或Q6）的区域。

图1还表示n型硅半导体衬底（或n型阱区）1，而p型半导体区（阱区）2在该半导体衬底1上形成。p型半导体区2包括存储单元的阱区2a和双极晶体管Q5的集电极区2b。半导体区2的主平面2c变成NMOS晶体管Q1的沟道区。存取晶体管Q1的栅极3和栅极氧化膜3a在主平面上形成。杂质浓度高的n型半导体区11是n^+源区（或漏区）。n型半导体区16包括存取晶体管Q1的漏区（或源区）16a和双极晶体管Q5的连接基极区16b。本征基极区17在连接基极区16b内形成。在本征基极区17上还为双极晶体管Q5形成发射极5。另外，在晶体管Q1和Q5上形成层间绝缘薄膜6，而经由层间绝缘薄膜6到达位线形成发射极7。发射极7在通往存取晶体管Q5的漏区（或源区）16a的位线接触极的位置上形成。尽管描述是针对在n型半导体衬底上形成的存储单元的情况进行的，但是，它同样也适用于形成由n型区域包围的存储单元的情况。

作为存取晶体管的NMOS晶体管Q1包括源区（或漏区）11、漏区（或源区）16a、沟道区2c和栅极3。双极晶体管Q5包括发射极5、连接基极区16b、本征基极区17和集电极2b。

在用上述方法形成的SRAM半导体器件中，n型半导体层16是由存取晶体管Q1的漏区（或源区）16a和双极晶体管Q5的连接基极区16b所共用的，所以存取晶体管Q1和双极晶体管Q5连接在同一个半导体衬底1上。另外，发射极5是在位线接触部分为双极晶体管Q5形成的。这样，与传统的存储单元相比，双极晶体管就可以在不增大硅衬底1上存储单元的面积的情况下制造出来。

在上述结构中，本征基极区17是在发射极开孔（opening）形成之后作为双极晶体管Q5的基极区形成的。所以，与腐蚀发射极开孔引起双极晶体管性能波动的情况相比，这一结构的优点在于，将双极

晶体管Q5性能的波动减到最小。

另外，在像这样的结构中，为了避免减小存取晶体管Q1的击穿极限或击穿电压特性，最好把扩散系数小的砷（As）作为包括存取晶体管Q1的漏区（或源区）16a的n型半导体层16的主杂质注入。另外，最好把扩散系数大的磷（P）作为本征基极区17的主杂质注入。因此，双极晶体管Q5的基极区就被牢牢地固定住，从而使双极晶体管的特性稳定。

将扩散系数小的砷（As）注入漏区（或源区）16可以满足MOS晶体管精细结构的要求，以减小存储单元的尺寸。

在半导体存储器件的存储单元中，为了增大集成度，采用最小的晶体管栅极长度和绝缘宽度。因此，相当于双极晶体管基极区的MOS晶体管的n型区（漏区或源区）最好做得浅些，例如，深度要小于0.1微米左右。

另一方面，在形成双极晶体管的情况下，最好不用这样浅的n^-区作为双极晶体管的基极区。因为用这样浅的n^-区无法得到特性稳定的双极晶体管。正因为如此，最好形成本征基极层。因而本征基极层要比双极晶体管的发射极深。例如，在用注入法形成发射极的情况下，发射极的深度变成0.1至0.2微米左右，使得本征基极层做得比它深。因此，为了满足双极晶体管和MOS晶体管两方面必要的要求，在存储单元内形成具有连接基极（link base）结构的双极晶体管是特别有效的。

实施例2

参照图2，其中示出按照本发明第二实施例构造的半导体存储器件的结构。这个实施例是将本发明的半导体存储器件的结构应用于图26所示的电路结构的SRAM存储单元的另一个示例。为了避免在SRAM存储单元中形成双极晶体管时存储单元面积增大，在第二实施例中也在SRAM存储单元位线接触部分的一部分形成双极pnp型晶体

管。

在图 2 中，部分 A 是其中形成起 SRAM 存储单元的存取晶体管作用的 NMOS 晶体管 Q1（或 Q2）的区域，而部分 B 是其中在 NMOS 晶体管和位线之间形成双极 pnp 型晶体管 Q5（或 Q6）的区域。

在图 2 中，和图 1 所示的结构一样，示出了 n 型硅半导体衬底（或 n 型阱区）1，而 p 型硅半导体区（阱区）2 在该半导体衬底 1 上形成。p 型半导体区 2 包括存储单元的阱区 2a 和双极晶体管 Q5 的集电极区 2b。在半导体区 2 的表面上形成 NMOS 晶体管 Q1 的沟道区 2c。在沟道区 2c 上形成存取晶体管 Q1 的栅极氧化膜 3a 和栅极 3。为双极晶体管 Q5 形成集电极 5。在晶体管 Q1 和 Q5 上面形成层间绝缘薄膜 6。经由层间绝缘薄膜 6 形成发射极 7。为 NMOS 晶体管 Q1 形成 n^+源区（或漏区）。

但是，第二实施例在以下几点上不同于图 1 的第一实施例。这就是，在图 2 中，足够厚度的 n 型半导体区 4 包括存取晶体管 Q1 的源区（或漏区）4a 和双极晶体管 Q5 的基极区 4b。这样，就没有与图 1 所示本征基极区 17 对应的区域。

起存取晶体管作用的 NMOS 晶体管 Q1 由源区（或漏区）11、漏区（或源区）4a、沟道区 2c 和栅极 3 形成。双极晶体管 Q5 由发射极 5、基极 4b 和集电极 2b 形成。

在用上述方法形成的半导体 SRAM 器件中，n 型半导体层 4 是由存取晶体管 Q1 的漏区（或源区）4a 和双极晶体管 Q5 的基极区 4b 共用的。所以存取晶体管 Q1 和双极晶体管 Q5 在同一个半导体衬底上连接在一起。另外，由于是在形成双极晶体管 Q5 的位线接触部分的位置上形成发射极 5 的，所以，与传统的存储单元相比，可以在不增大存储单元面积的情况下在硅衬底 1 上制造双极晶体管。

在像这样的结构中，n 型半导体区 4 也用作双极晶体管的基极 4b。为了获得特性稳定的双极晶体管，需要形成足够厚度的基极层。为此原因，与用扩散系数小的砷（As）的情况相比，用扩散系数大的

磷（P）作为n型半导体区4的杂质比较有效。这是因为双极晶体管Q5的基极区可以被牢牢地固定住。如果用砷（As）作为n型半导体区4的杂质，为了获得与用磷（P）的情况相同的杂质注入，就需要几百keV（千电子伏特）的杂质注入能量，结果生产效率降低。因此，在图2的第二实施例中，诸如磷（P）的杂质是合适的。

实施例3

参照图3，其中示出按照本发明第三实施例构造的半导体存储器件的结构。第三实施例与图1的第一实施例不同之处在于，不形成上述n^+源区（或漏区）11。其余部分与图1相同。因为相同的标号指的是与图1相同或类似的部件，在此就不再赘述。

若该器件是用上述方法构造的，则起存取晶体管作用的NMOS晶体管Q1（或Q2）的源区和漏区就将都变成n^-型，结果存取晶体管的电流值将要降低。为此原因，定义为驱动器晶体管的电流值除以存取晶体管的电流值的存储单元比率（电流比率）将要变大。相应就有一个优点，存储单元的工作变得比较稳定了。

实施例4

参照图4，其中示出按照本发明第四实施例构造的半导体存储器件的结构。第四实施例与图2的第二实施例不同之处在于，不形成上述n^+源区（或漏区）11。其他部分与图2相同。因为相同的标号指的是与图2相同或类似的部件，在此就不再赘述。

若该器件是用上述方法构造的，则起存取晶体管作用的NMOS晶体管Q1（或Q2）的源区和漏区就将都变成n^-型，结果存取晶体管的电流值将要降低。为此原因，定义为驱动器晶体管的电流值除以存取晶体管的电流值的存储单元比率（电流比率）将要变大。相应就有一个优点，存储单元的操作变得比较稳定了。

实施例 5

下面将以本发明的第五实施例的形式描述本发明半导体存储器件的制造方法。参照图 5 至图 11，其中示出具有图 1 所示结构的半导体存储器件的制造方法。

开始，如图 5 所示，用传统方法在 n 型半导体衬底 1（或 n 型阱区 1）上形成 NMOS 晶体管的 p 型阱区 2 和绝缘氧化物薄膜 8。

然后，如图 6 所示，用传统方法形成 NMOS 晶体管的栅极氧化物薄膜 3a 和栅极 3。其次，利用抗蚀剂图案作为掩模来形成成为 NMOS 晶体管的源/漏区（S/D 区）和双极晶体管连接基极区的 n^-区 16。为了提高存储单元的集成度，以要求的浓度把 n^-区 16 做浅。

此后，如图 7 所示，形成栅极 2 的侧壁 3b。接着，利用抗蚀剂图案作为掩模来形成高杂质浓度的 n^+源区（或漏区）11。

此后，如图 8 所示，利用抗蚀剂图案 12 作为掩模在集电极引出区形成 p^+集电极接触区 13（阱接触）。

然后，如图 9 所示，形成层间绝缘薄膜 6，并形成位线接触孔 14。

接着，如图 10 所示，形成抗蚀剂图案 15，其中打通位线接触孔 14，以形成双极晶体管的发射极。然后，用离子注入法首先形成足够厚度的本征基极区 17。然后，形成比本征基极区 17 浅的发射极 5。

此后，如图 11 所示，形成发射极引出电极 7。

利用上述工艺，用源区（或漏区）11、漏区（或源区）16a、沟道区 2c 和栅极 3 形成 NMOS 晶体管 Q1。于此同时，用发射极 5、本征基极区 7 和连接基极区 16b 和集电极 2b 形成双极晶体管 Q5。

用上述制造方法同时形成存取晶体管 Q1 的源区（或漏区）16a 和双极晶体管 Q5 的连接基极区 16b，共用 n 型半导体层 16。因此，存取晶体管 Q1 和双极晶体管 Q5 在同一个半导体衬底上彼此连接。另外，因为发射极 5 在位线接触部分上形成，以形成双极晶体管 Q5，所以与传统的存储单元相比，双极晶体管 Q5 可以在不增大存储单元面积的情况下制造出来。

用上述制造方法，这样形成基极区 16b ，使得它具有连接基极（ link base ）结构，并且，用图 10 的工序形成本征基极区 17，使之在形成发射极 5 之前具有足够的厚度。结果，就有一个优点，即将双极晶体管 Q5 特性的波动减到最小。在图 10 中，打通位线接触孔以便形成双极晶体管的发射极时，改变过腐蚀量，硅衬底的腐蚀可能波动。此外，由于本征基极层 17 的形成，双极晶体管 Q5 特性的波动变小了。

用上述制造方法，为了避免存取晶体管 Q1 的击穿容限或隔离电压性能下降，最好以扩散系数小的砷（ As ）作为包括漏区（或源区）16a 的 n 型半导体层 16 的主杂质注入。另外，最好以扩散系数大的磷（ P)作为本征基极区 17 的主杂质注入，以此将基极区牢牢地固定住，从而使双极晶体管 Q5 稳定。

此外，将扩散系数小的砷（ As ）作为包括漏区（或源区） 16 的 n 型半导体层 16 的主杂质注入，就可以通过减小存储单元的尺寸，满足 MOS 晶体管精细结构的要求。

在半导体存储器件的存储单元中，为了增大集成度，采用最小的晶体管栅极长度和绝缘宽度。正因为如此，起 MOS 晶体管漏区（或源区） 16a 作用的 n^-型区 16 最好做得浅些，例如，把深度做得小于 0.1 微米左右。因此，双极晶体管的连接基极区 16b 类似地变浅。但是，为了将双极晶体管特性的波动减到最小，基极层最好具有要求的厚度。因此，形成本征基极层 17 。所以，本征基极层要求比双极晶体管的发射极 5 深。例如，在发射极 5 用注入法形成的情况下，发射极的深度变成 0.1 至 0.2 微米左右，使本征基极层做得比它深。因此，为了既满足存储单元高集成度的要求，又满足双极晶体管特性稳定性的要求，在存储单元内形成具有连接基极结构的双极晶体管。

发射极的引出电极 7 用诸如铝化合物一类金属、多晶硅或硅化物中的任一种材料形成。在用多晶硅和硅化物形成发射极的引出电极的情况下，双极晶体管的发射极 5 可以通过扩散用多晶硅来形成。

尽管本实施例是针对形成pnp型双极晶体管和利用NMOS晶体管

的存储单元的情况来描述的，但同样适用于针对形成 npn 型双极晶体管和利用 PMOS 晶体管的存储单元的情况。

作为上述制造方法的变型，有一种不进行图 7 的形成高杂质浓度的 n^+源区（或漏区）11 的工序的制造方法。用这种制造方法，可以制造出具有图 3 所示结构的半导体存储器件。除了这个工序以外，其他工序都是一样的，故此不再赘述。

实施例 6

参照图 12 至图 18，其中示出具有图 2 所示结构的半导体存储器件的制造方法。

开始，如图 12 所示，用传统方法在 n 型半导体衬底 1（或 n 型阱区 1）上形成 NMOS 晶体管的 p 型阱区 2 和绝缘氧化物薄膜 8。

然后，如图 13 所示，用传统方法形成 MOS 晶体管的栅极氧化物薄膜 3a 和栅极 3。其次，采用抗蚀剂图案 9 作为掩模，形成起 NMOS 晶体管的源/漏区（S/D 区）和双极晶体管基极区作用的 n^-区 4。在这个实施例中，这样形成 n^-区 4，使得它具有足够的厚度，以便起双极晶体管基极区的作用。

此后，如图 14 所示，形成栅极 3 的侧壁 3b。接着，采用抗蚀剂图案 10 作为掩模形成高杂质浓度的 n^+源区（或漏区）11。

此后，如图 15 所示，采用抗蚀剂图案 12 作为掩模在集电极引出部分形成 p^+集电极接触区 13（阱接触）。

然后，如图 16 所示，形成层间绝缘薄膜 6，并形成位线接触孔 14。

接着，如图 17 所示，形成抗蚀剂图案 15，在该图案上打通位线接触孔 14，以形成双极晶体管的发射极。然后，用离子注入法形成双极晶体管的发射极 5。把发射极 5 做得比 n^-区 4 浅，使得剩余的 n^-区 4b 能够起双极晶体管基极区的作用。

此后，如图 18 所示，形成发射极引出电极 7。

利用上述工艺，用源区（或漏区）11、漏区（或源区）4a、沟道区2c和栅极3形成NMOS晶体管Q1。与此同时，用发射极5、基极4b和集电极2b形成双极晶体管Q5。

用上述制造方法同时形成存取晶体管Q1的源区（或漏区）4a和双极晶体管Q5的连接基极区4b，共用n型半导体层4。因此，存取晶体管Q1和双极晶体管Q5在同一个半导体衬底上彼此连接。另外，因为发射极5在位线接触部分形成，以形成双极晶体管Q5，所以与传统的存储单元相比，双极晶体管Q5可以在不增大存储单元面积的情况下制造出来。

此外，采用上述制造方法，因为NMOS晶体管Q1的漏区（或源区）4a和双极晶体管Q5的基极区4b共用n型半导体层4，所以采用本方法的结果是，在不增加制造工序数目的情况下降低制造成本。

在上述制造方法中，n型半导体层4还用作双极晶体管的基极区4b。因此，在采用扩散系数大的磷（P）在情况下，与采用扩散系数小的砷（As）的情况相比，双极晶体管的基极区4b可以被牢牢地固定住，因此生产工艺的容限变大了。

同样地，发射极的引出电极7可以用诸如铝化合物一类金属、多晶硅或硅化物中的任一种材料形成。在用多晶硅和硅化物形成发射极的引出电极的情况下，双极晶体管的发射极5可以通过扩散用多晶硅或硅化物来形成。

尽管本实施例是针对形成pnp型双极晶体管和利用NMOS晶体管的存储单元的情况来描述的，但同样适用于针对形成npn型双极晶体管和利用PMOS晶体管的存储单元的情况。

作为上述制造方法的变型，有一种不进行图14的形成高杂质浓度的n^+源区（或漏区）11的工序的制造方法。用这种制造方法，可以制造出具有图4所示结构的半导体存储器件。除了这个工序以外，其他工序都是一样的，故此不再赘述。

实施例 7

下面将描述本发明的第七实施例的半导体存储器件的制造方法。图 19 至图 24 举例说明采用 CMOS 工艺制造半导体存储器件的情况下第七实施例的制造方法。本实施例涉及图 5 至图 11 或图 12 至图 18 所示在制造存储器部分 NMOS 晶体管的同时，制造外围电路中的 PMOS 晶体管的情况下的制造方法。

首先，如图 19 所示，与图 5 的 NMOS 晶体管的制造过程平行，用传统方法在 n 型半导体衬底 1 上形成 PMOS 晶体管的 n 型阱区 2 和绝缘氧化物薄膜 8。

然后，与图 6 的 NMOS 晶体管的制造过程平行，形成栅极氧化物薄膜 3a、栅极 3 和侧壁 3b。

其次，如图 20 所示，与图 7 的 NMOS 晶体管的制造过程平行，采用抗蚀剂图案 10 作为掩模，形成图 7 的 n^+源区（或漏区）11 的同时，形成阱接触区 11'。

接着，如图 21 所示，与图 8 的 NMOS 晶体管的制造过程平行，采用公用抗蚀剂图案 12 作为掩模在形成图 8 集电极接触区 13 的同时，形成 p^+源区/漏区 13'。

然后，如图 22 所示，与图 9 的 NMOS 晶体管的制造过程平行，形成公共层间绝缘薄膜 6，然后在形成图 9 位线接触孔 14 的同时，形成源/漏接触孔 14'。

接着，如图 23 所示，与图 10 的 NMOS 晶体管的制造过程平行，形成公用抗蚀剂图案 15，其中打通源/漏接触孔 14'。然后，用离子注入法在形成图 10 的发射极 5 的同时，形成 p^+接触区 20。在存储单元部分，抗蚀剂图案 15 是用来进行双极晶体管发射极注入的抗蚀剂图案，而在外围电路部分，抗蚀剂图案 15 是用来进行 PMOS 晶体管 p^+SAC 注入（形成欧姆接触的注入）的抗蚀剂图案。因此，抗蚀剂图案 15 既用于双极晶体管又用于 PMOS 晶体管的形成。

这时，在图 23 所示的外围电路 PMOS 晶体管的接触区 20 中，对

p^+源区和漏区13'进行和图10或17所示存储器部分的双极晶体管发射极5同样数量的杂质注入。结果，PMOS晶体管接触区20的杂质浓度是存储器部分双极晶体管发射极5杂质浓度和PMOS晶体管p^+源区和漏区13'杂质浓度的总和。

此后，如图24所示，与图11的NMOS晶体管的制造过程平行，在形成图11发射极引出电极7的同时，形成源/漏电极7'。

采用上述制造方法，与在存储单元部分形成NMOS晶体管Q1和双极晶体管Q5平行，在外围电路部分形成PMOS晶体管。

如上所述，在存储单元部分形成双极晶体管时对发射极5的注入工艺，也可以用于对外围电路部分PMOS晶体管自对准接触（SAC）的注入。因此，采用本实施例的结果是，在不增加工序数目的情况下，降低制造成本。

像图11（或图18）的发射极引出电极7的情况一样，图24的源/漏电极7'也可以用诸如铝化合物一类金属、多晶硅或硅化物中的任一种材料形成。在用多晶硅和硅化物形成源/漏电极7'的情况下，接触区20可以通过扩散用多晶硅或硅化物来形成。

尽管第七实施例是针对在存储单元部分形成pnp型双极晶体管和利用NMOS晶体管的存储单元，而同时在外围电路形成PMOS晶体管的情况来描述的，但是，在存储单元部分形成npn型双极晶体管和利用PMOS晶体管，而同时在外围电路形成NMOS晶体管的情况也一样。

如上所述，按照本发明，可以获得一种半导体存储器件，其中半导体杂质层是半导体存储器部分中MOS晶体管的源/漏区和双极晶体管基极区共用的，并且，其中双极晶体管是用在源/漏区的接触孔处形成的发射极形成的。另外，采用这一安排的结果是在不增加工序数目的情况下，降低生产成本。

按照本发明，可以获得一种半导体存储器件，其中MOS晶体管的源/漏区和双极晶体管的连接基极区是在同一个半导体杂质层上形

成的，而且其中双极晶体管具有本征基极区。采用这样的安排，就可以稳定双极晶体管的特性。

按照本发明，可以获得一种半导体存储器件，其中 MOS 晶体管的源/漏区做得比较浅，而双极晶体管的本征基极区做得比 MOS 晶体管的源/漏区深。采用这样的安排，双极晶体管的特性就变得稳定。

按照本发明，可以获得一种半导体存储器件，其中 MOS 晶体管是作为 SRAM 存储单元的存取晶体管而形成的，而双极晶体管则在 MOS 晶体管的位线接触孔处形成。这样的安排可以在不增大面积的情况下在半导体存储器的存储单元内形成双极晶体管，从而提供一种半导体存储器件。

按照本发明，可以获得一种半导体存储器件，其中 MOS 晶体管的源/漏区中的一个是 n^-型，而另一个是 n^+型。这样，就可以满足 MOS 晶体管的精细结构的要求。

按照本发明，可以获得一种半导体存储器件，其中 MOS 晶体管的源/漏区都是 n^-型。这样，就可以满足 MOS 晶体管的精细结构的要求。

按照本发明，可以获得一种半导体存储器件，其中 MOS 晶体管的源/漏区和双极晶体管的基极区都是 n^-型，均以磷作为主要杂质。这样做，就可以在不增加工序数目的情况下，降低生产成本。

按照本发明，可以获得一种半导体存储器件，其中使 MOS 晶体管的源/漏区和双极晶体管的连接基极区的公用主要杂质不同于双极晶体管的本征基极区的主要杂质，使得双极晶体管的特性变得稳定。这样，就可以满足 MOS 晶体管的精细结构的要求。

按照本发明，可以获得一种半导体存储器件，其中 MOS 晶体管的源/漏区和双极晶体管的连接基极区的公用主要杂质是砷，而双极晶体管的本征基极区的主要杂质是磷。采用这样的安排，就可以满足 MOS 晶体管的精细结构的要求。

按照本发明，在应用 CMOS 工艺的情况下，当进行发射极的杂质

注入以便在包括一种导电类型的存储器部分形成双极晶体管时，同时进行杂质注入以便在外围电路部分形成另一个导电类型的 MOS 晶体管。两种注入可以共用一个公用的抗蚀剂图案进行。结果，就可以在不增加工序数目的情况下，降低生产成本。

按照上述教导，对本发明可以进行各种各样的变化和修改。因此，应该理解，在所附的权利要求书的范围内，本发明可以用与这里具体描述的不同的方法实施。

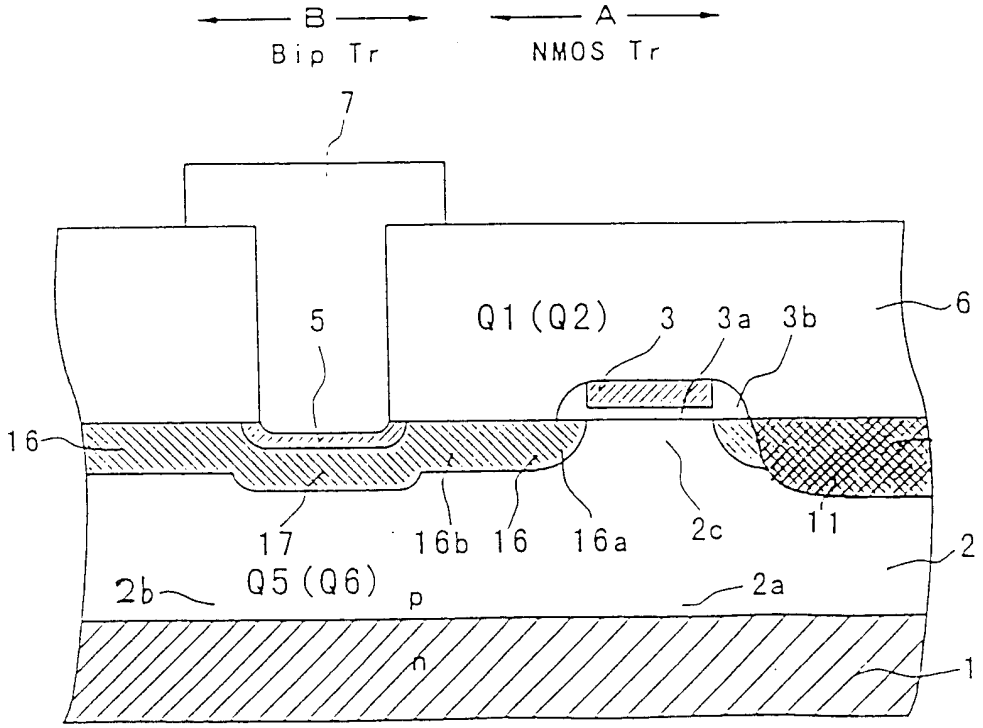

B
Bip Tr
A
NMOS Tr
7
5
Q1(Q2)
3
3a
3b
6
16
17
16b
16
16a
2c
11
2
2b
Q5(Q6)
p
2a
n
1

图 1

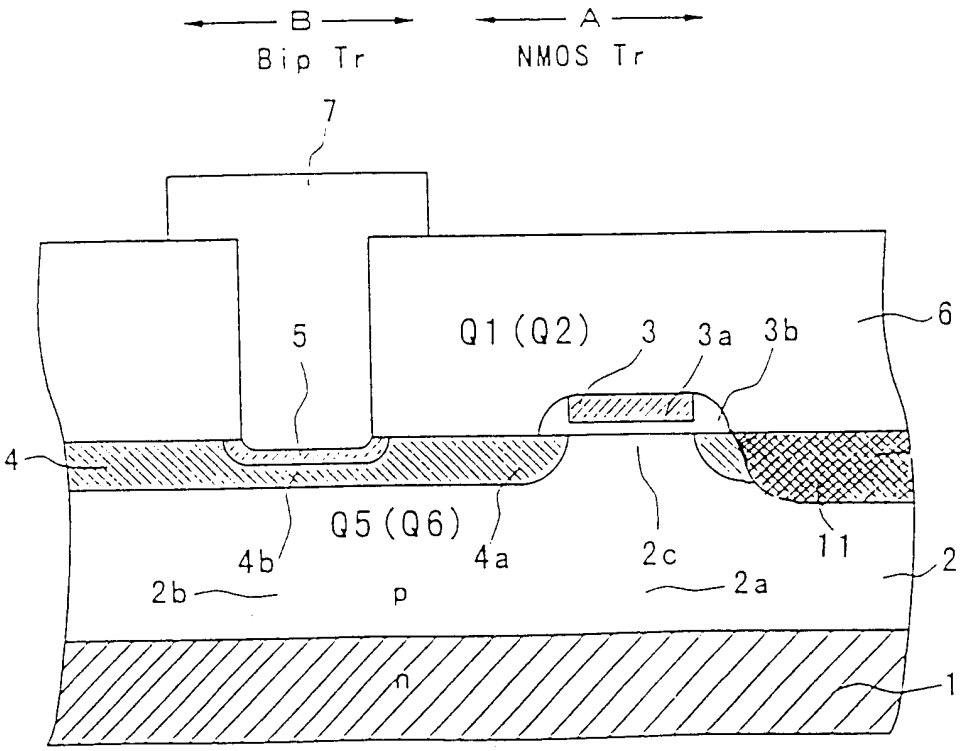

B
Bip Tr
A
NMOS Tr
7
5
Q1(Q2)
3
3a
3b
6
4
4b
Q5(Q6)
4a
2c
11
2
2b
p
2a
n
1

图 2

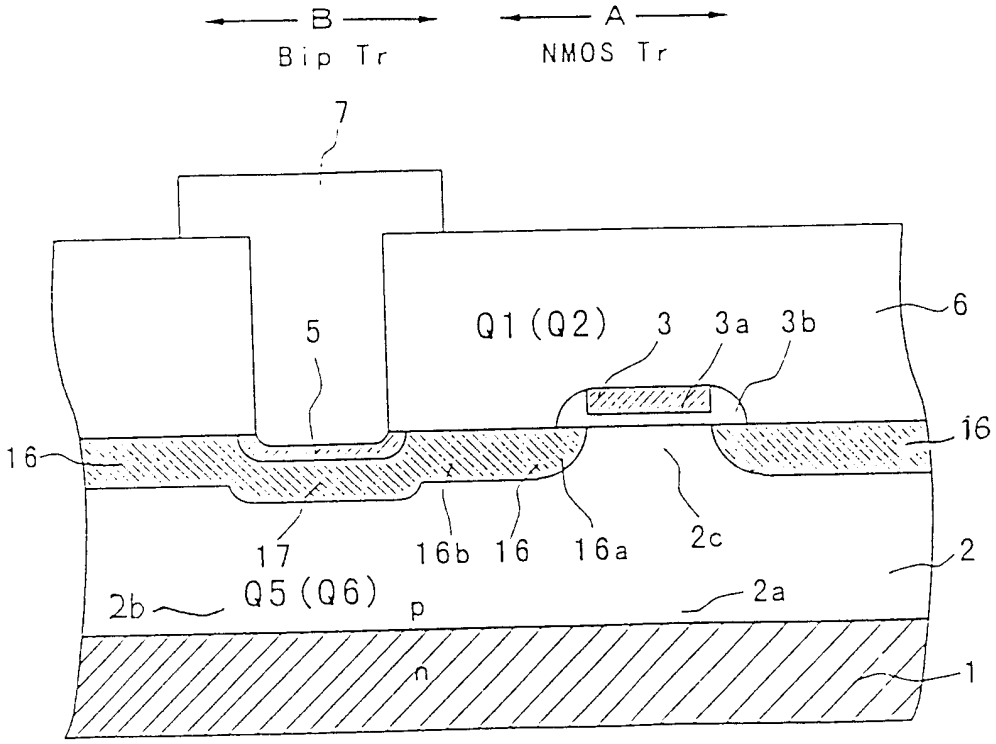

B
Bip Tr
A
NMOS Tr
7
5
Q1(Q2)
3
3a
3b
6
16
16
17
16b
16
16a
2c
2
2b
Q5(Q6)
p
2a
n
1

图 3

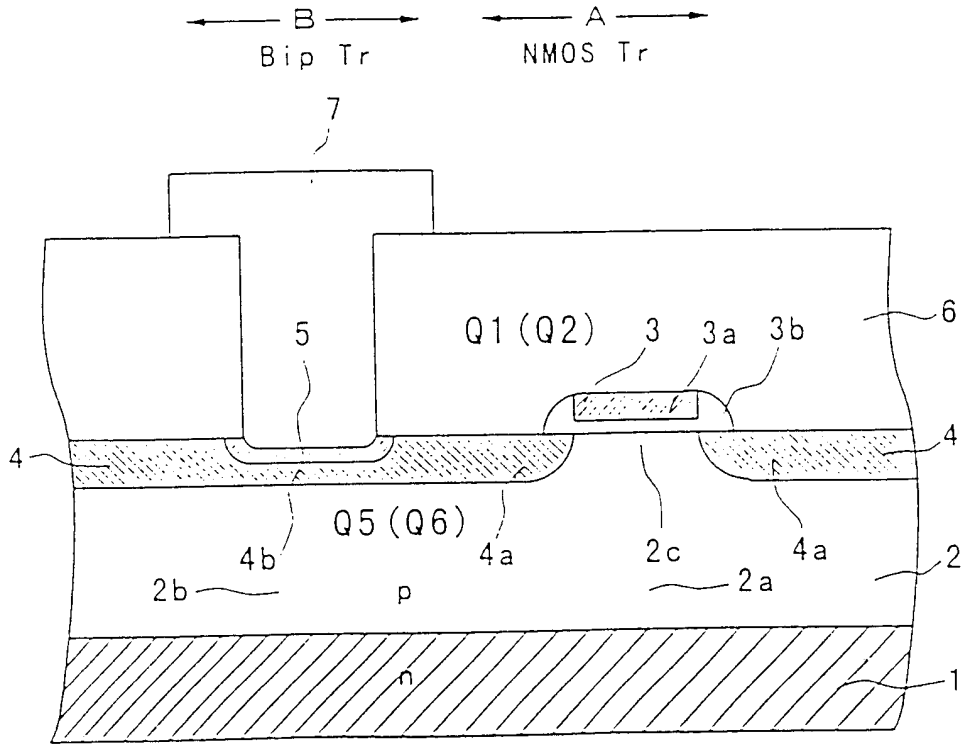

B
Bip Tr
A
NMOS Tr
7
5
Q1(Q2)
3
3a
3b
6
4
4
4b
Q5(Q6)
4a
2c
4a
2
2b
p
2a
n
1

图 4

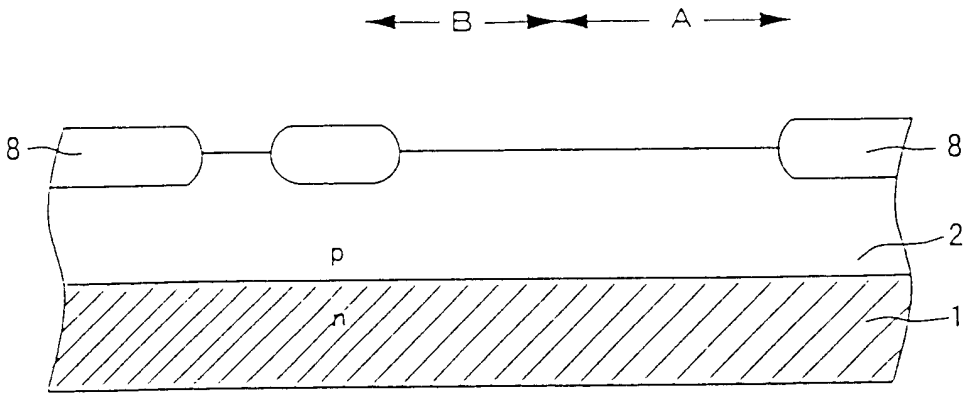


图 5

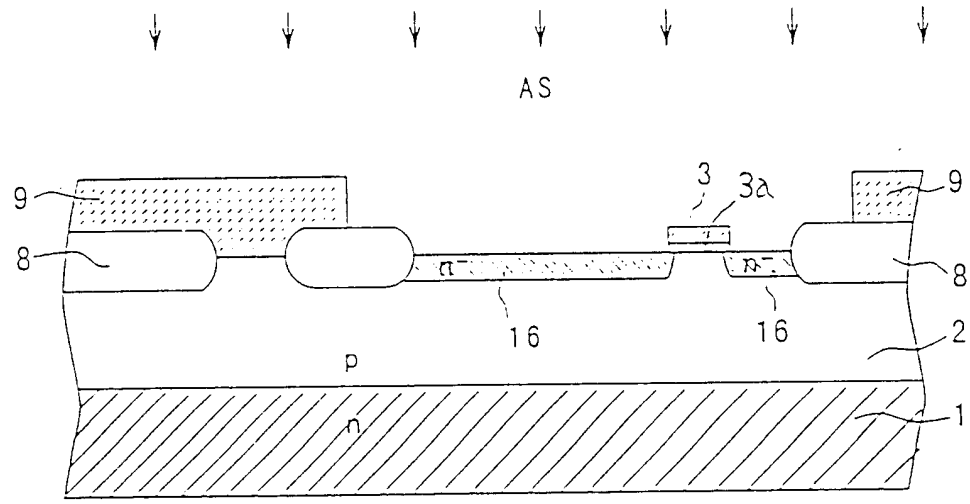


图 6

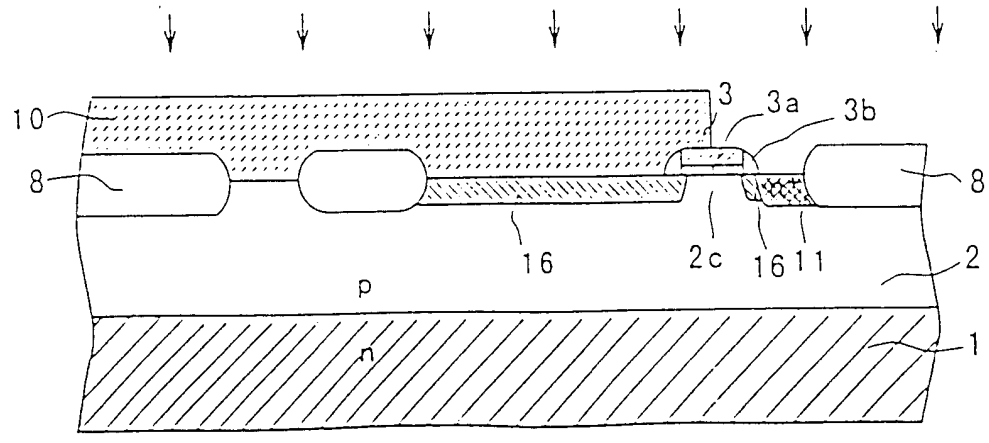


图 7

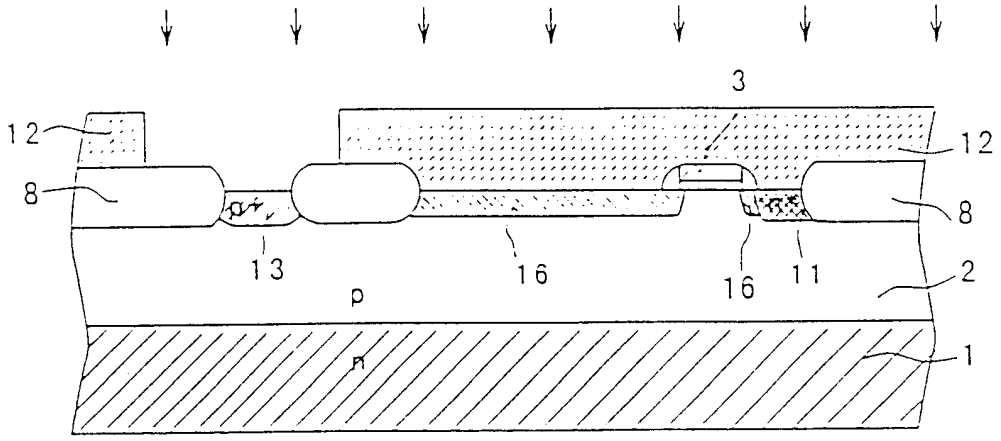


图 8

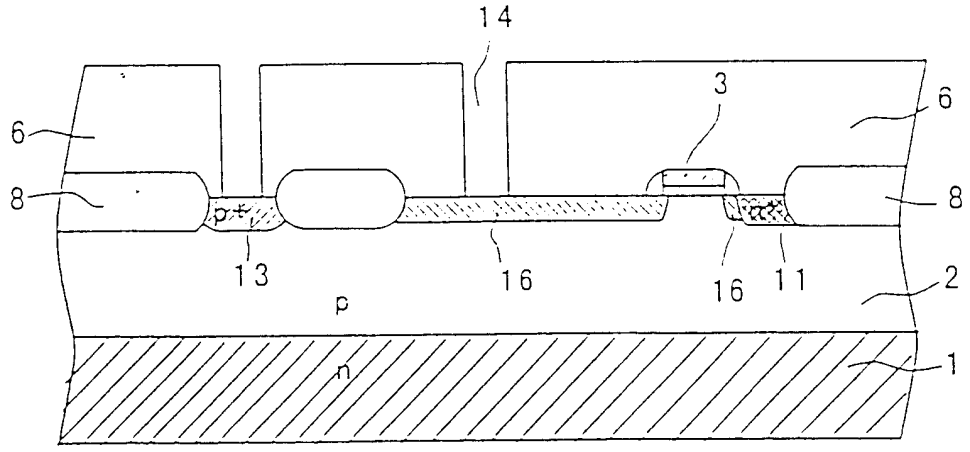


图 9

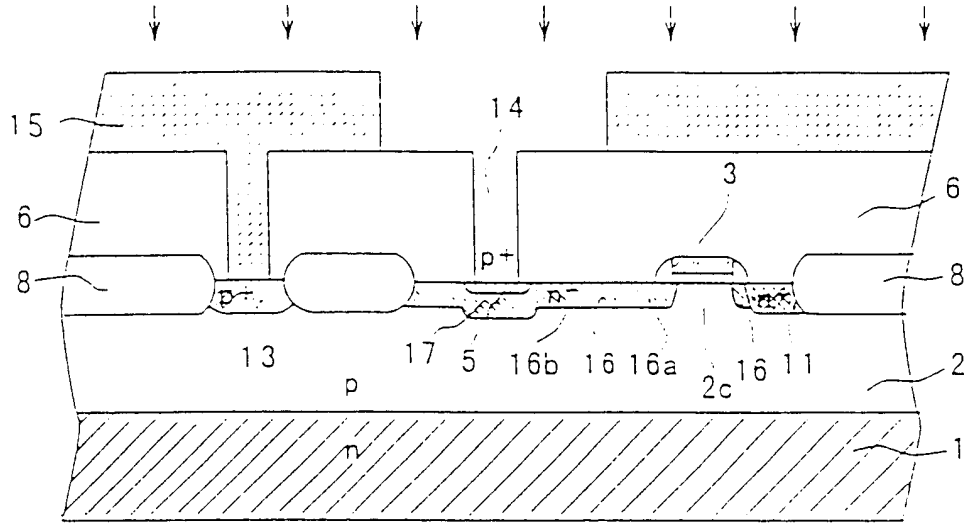

15
14
3
6
6
8
8
p+
n-
13
17
5
16b
16
16a
16
11
2c
2
p
n
1

图 10

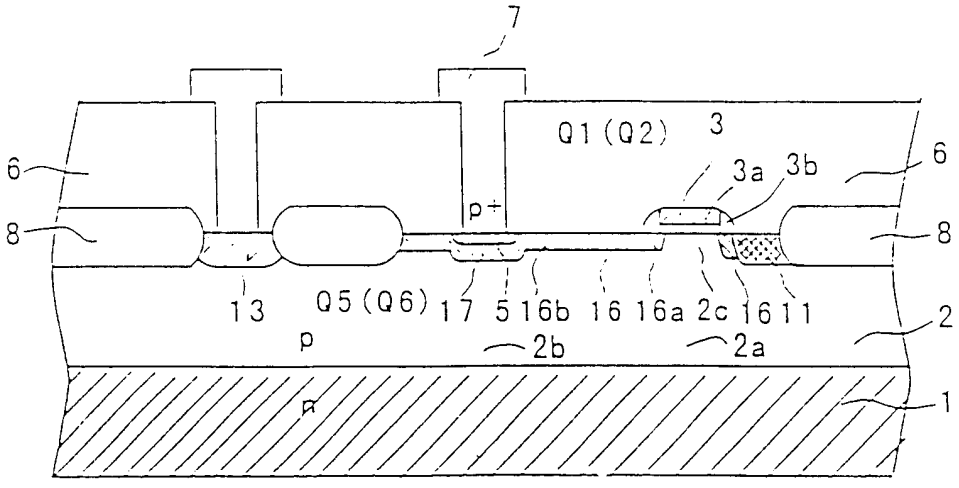

7
Q1(Q2)
3
6
6
3a
3b
8
8
p+
13
Q5(Q6)
17
5
16b
16
16a
2c
16
11
2
p
2b
2a
n
1

图 11

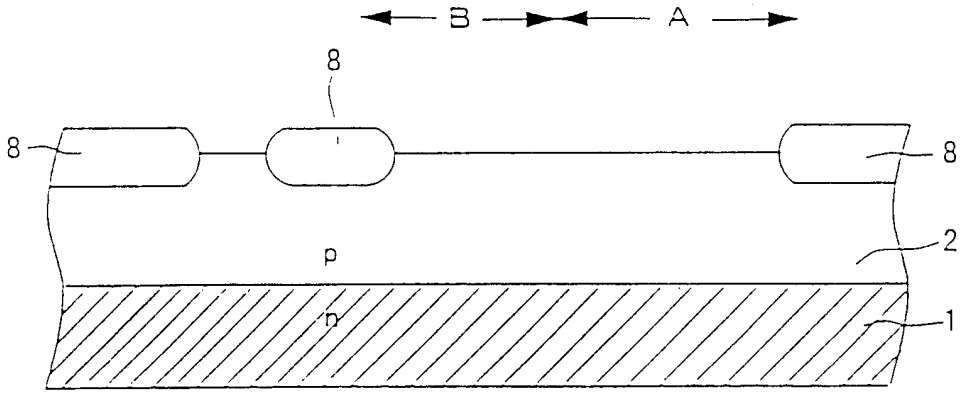


图 12

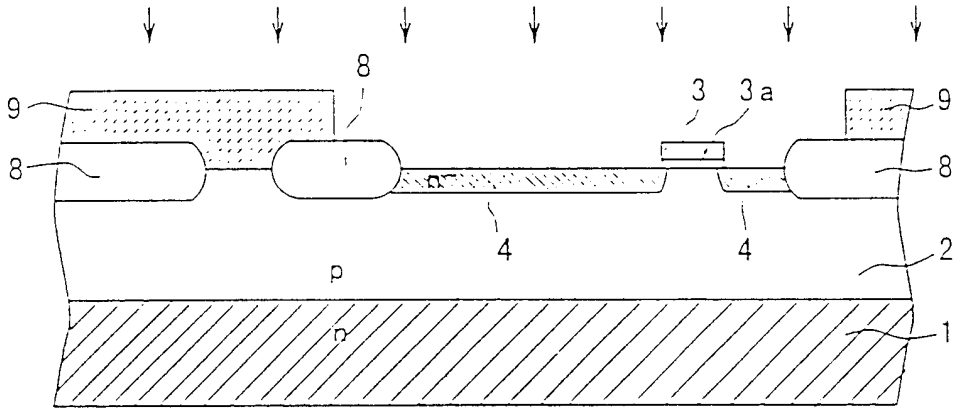


图 13

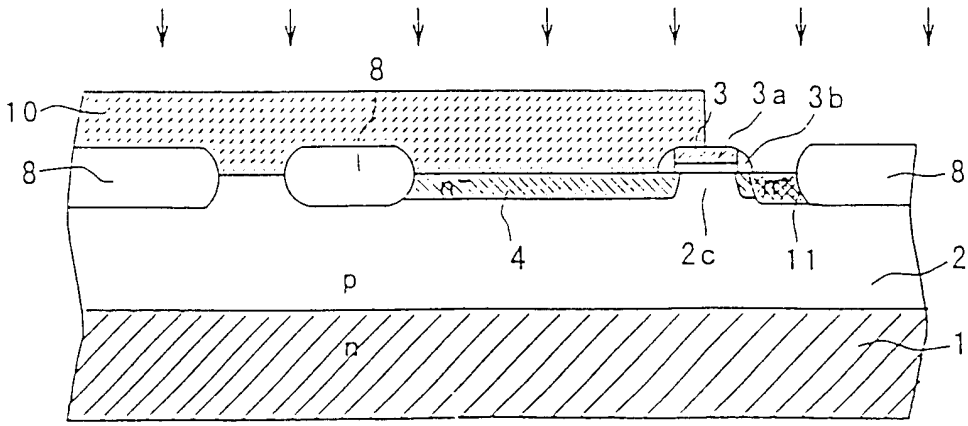


图 14

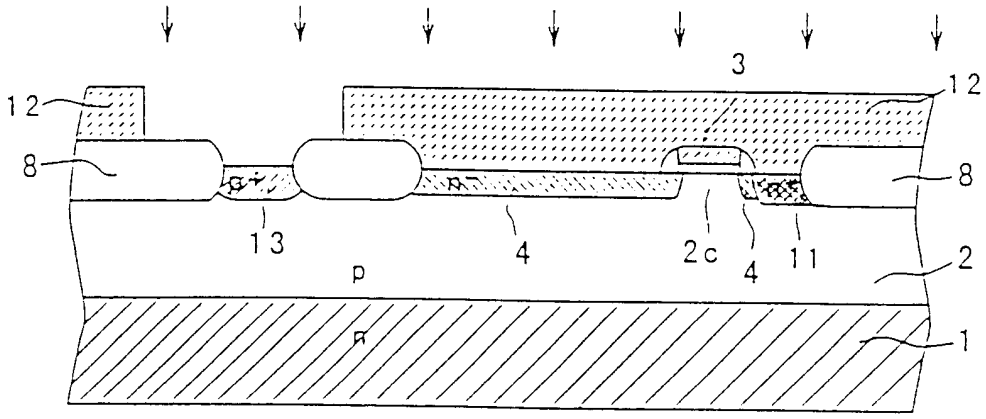


图 15

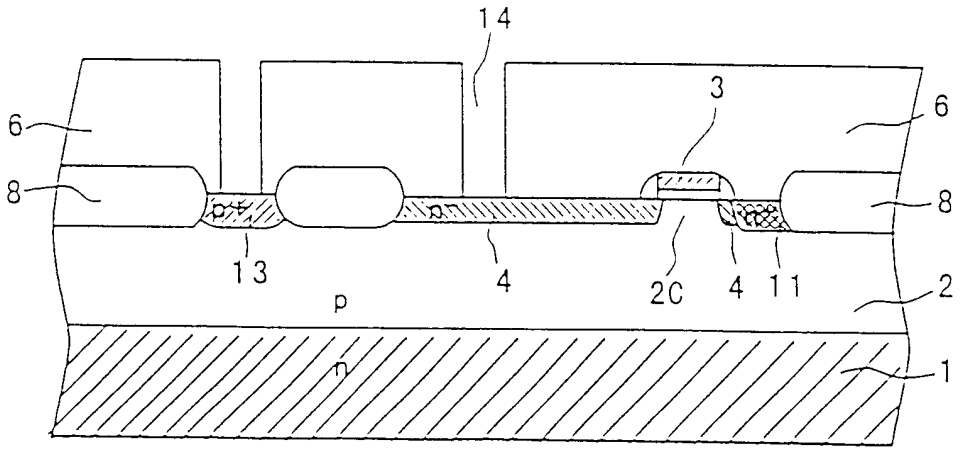


图 16

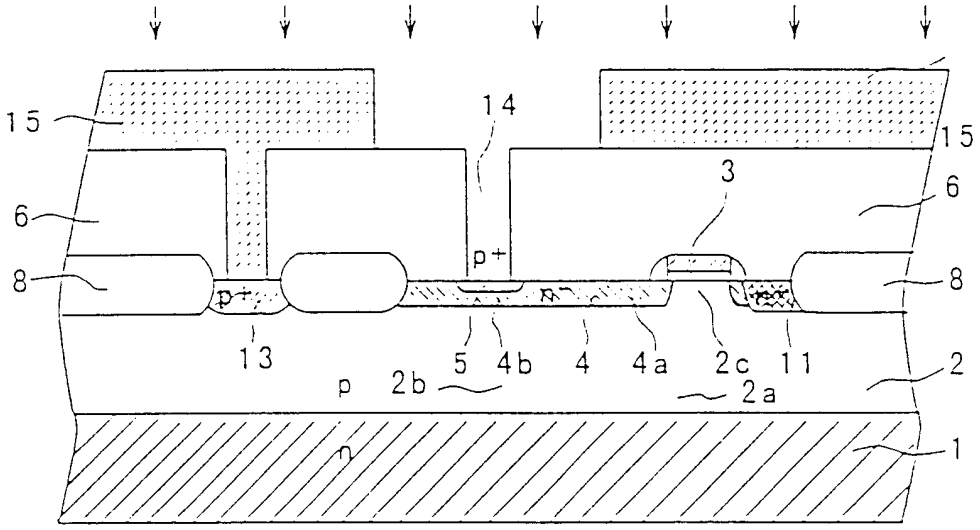

15
14
15
3
6
6
8
p+
p+
8
n-
13
5
4b
4
4a
2c
11
2
p
2b
2a
n
1

图 17

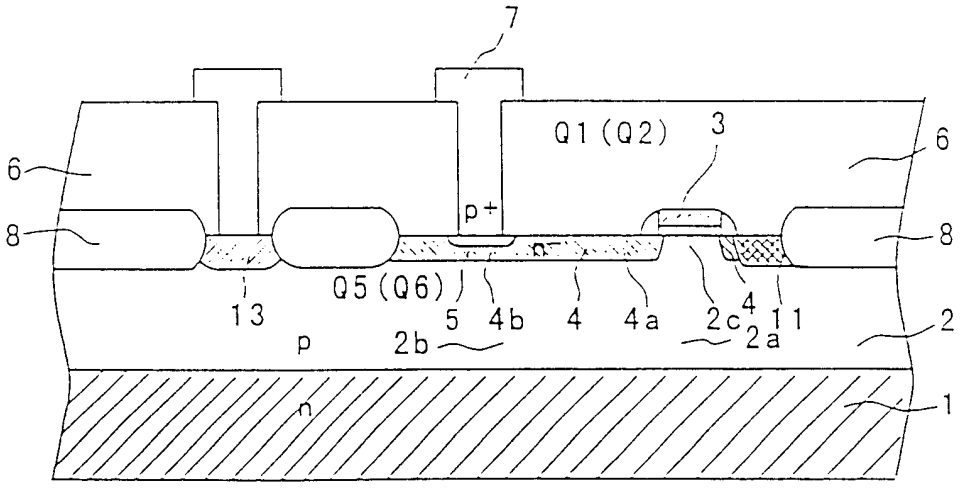

7
Q1(Q2)
3
6
6
p+
8
8
n-
Q5(Q6)
13
5
4b
4
4a
2c
4
11
2
p
2b
2a
n
1

图 18

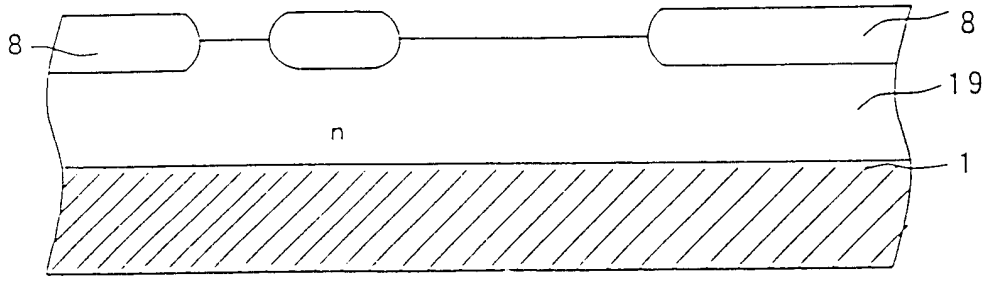


图 19

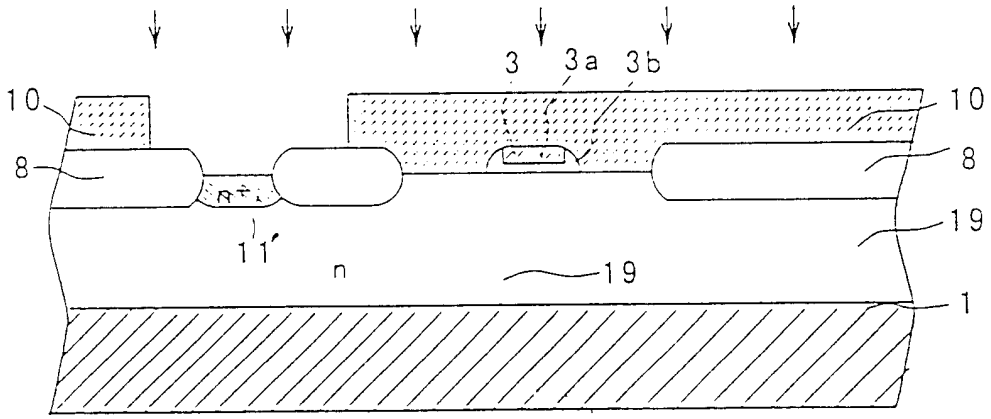


图 20

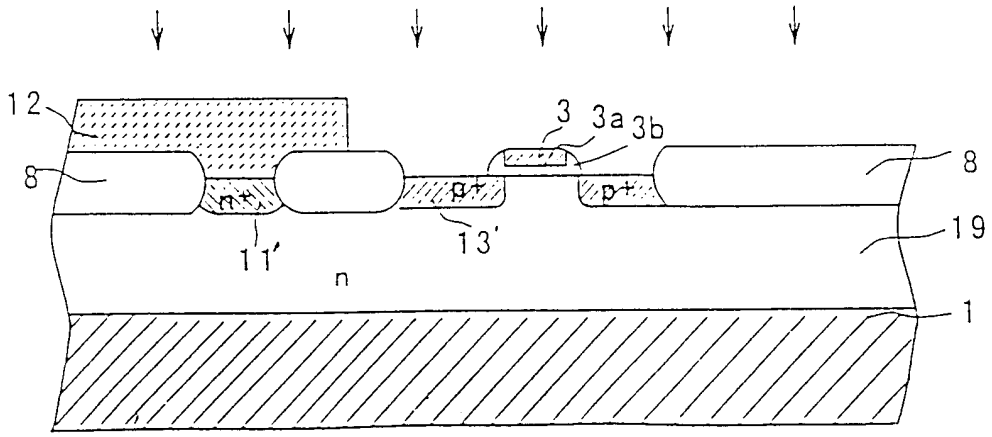


图 21

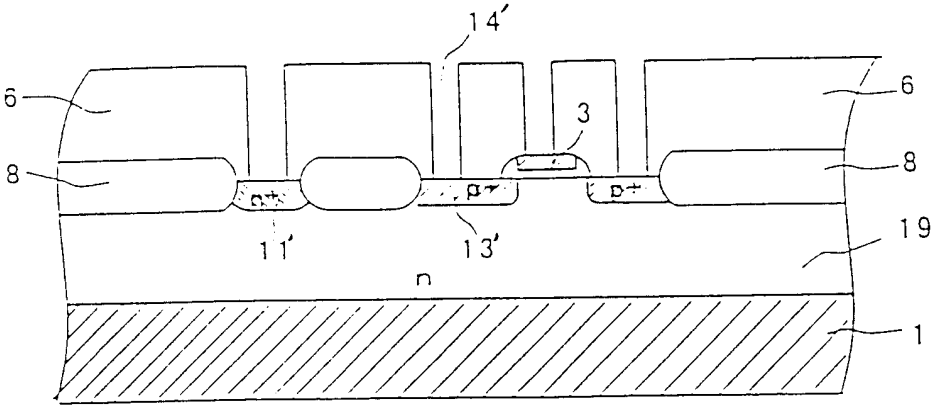

14'
6
6
3
8
8
p+
p+
p+
11'
13'
19
n
1

图 22

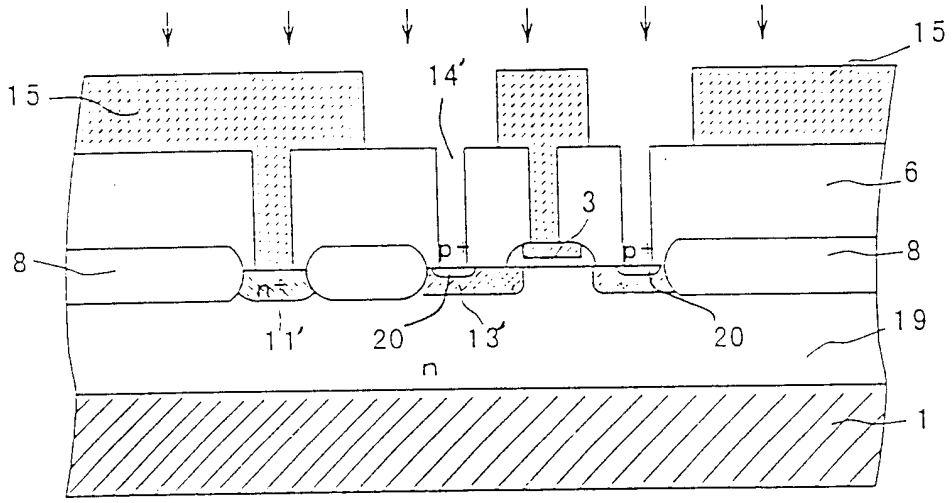

15
15
14'
6
3
8
8
p+
p+
11'
20
13'
20
19
n
1

图 23

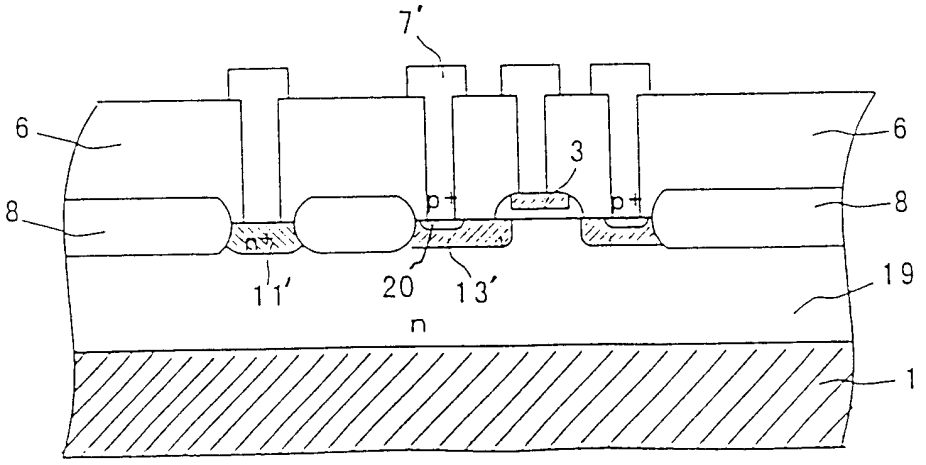

7'
6
6
3
8
8
p+
p+
11'
20
13'
19
n
1

图 24

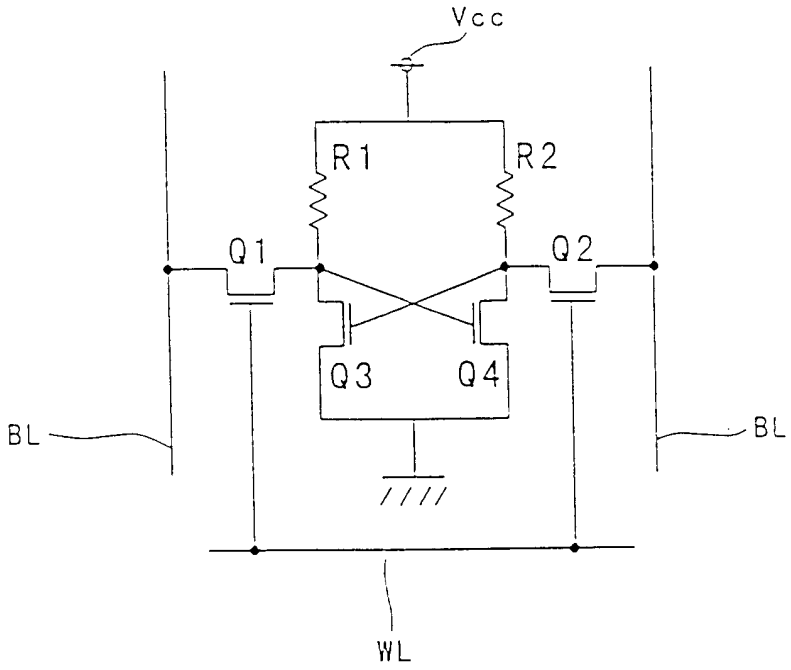


图 25

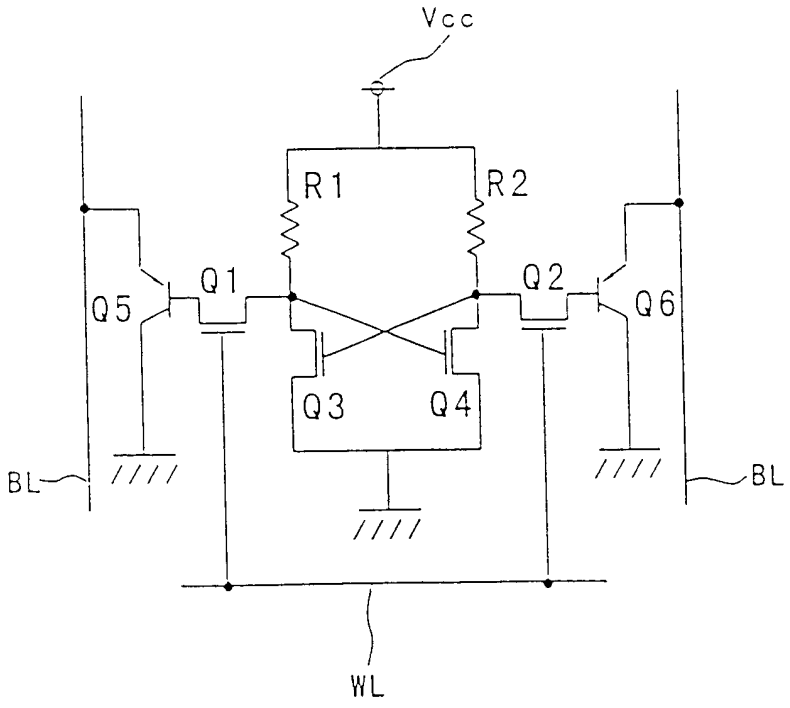


图 26