(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3645316号

(P3645316)

(45)発行日　平成17年5月11日(2005.5.11)　(24)登録日　平成17年2月10日(2005.2.10)

(51)Int.Cl.[7]		F I		
G02F	1/133	G02F	1/133	505
G02F	1/13	G02F	1/13	505
G02F	1/1333	G02F	1/1333	
G02F	1/1347	G02F	1/1347	
G09G	3/36	G09G	3/36	

請求項の数 7　(全 22 頁)

(21)出願番号　特願平7-172811
(22)出願日　平成7年6月15日(1995.6.15)
(65)公開番号　特開平9-5774
(43)公開日　平成9年1月10日(1997.1.10)
審査請求日　平成14年6月14日(2002.6.14)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　小山　潤
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　▲ひろ▼木　正明
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　小沼　利光
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　山崎　舜平
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

最終頁に続く

(54)【発明の名称】表示装置

(57)【特許請求の範囲】

【請求項１】

第１の画素領域と第１の信号線駆動回路と第１の走査線駆動回路とを有する第１の液晶パネル、第２の画素領域と第２の信号線駆動回路と第２の走査線駆動回路とを有する第２の液晶パネル、第３の画素領域と第３の信号線駆動回路と第３の走査線駆動回路とを有する第３の液晶パネル、第1の同期式クロックカウンタ、及び第２の同期式クロックカウンタを有する１つの基板を有し、

前記第１の信号線駆動回路、前記第２の信号線駆動回路、及び前記第３の信号線駆動回路には、前記第１の同期式クロックカウンタから第１の信号が供給され、

前記第１の走査線駆動回路、前記第２の走査線駆動回路、及び前記第３の走査線駆動回路には、前記第２の同期式クロックカウンタから第２の信号が供給され、

前記第１の信号線駆動回路、前記第２の信号線駆動回路、及び前記第３の信号線駆動回路はそれぞれ、前記第１の同期式クロックカウンタからの前記第１の信号がアドレス信号として入力されるアドレスデコーダ回路を有し、

前記第１の走査線駆動回路、前記第２の走査線駆動回路、及び前記第３の走査線駆動回路はそれぞれ、前記第２の同期式クロックカウンタからの前記第２の信号がアドレス信号として入力されるアドレスデコーダ回路を有することを特徴とする表示装置。

【請求項２】

第１の画素領域と第１の信号線駆動回路と第１の走査線駆動回路とを有する第１の液晶パネル、第２の画素領域と第２の信号線駆動回路と第２の走査線駆動回路とを有する第２

の液晶パネル、第３の画素領域と第３の信号線駆動回路と第３の走査線駆動回路とを有する第３の液晶パネル、第1の同期式クロックカウンタ、及び第２の同期式クロックカウンタを有する１つの基板と、
光源と、
前記光源からの光を分光し、前記第１の液晶パネル、前記第２の液晶パネル、及び前記第３の液晶パネルそれぞれに入射させる手段と、
前記第１の液晶パネル、前記第２の液晶パネル、及び前記第３の液晶パネルそれぞれによって変調された光を合成して投影し、画像を形成する手段と、
前記変調された光の焦点距離を前記第１の液晶パネル、前記第２の液晶パネル、及び前記第３の液晶パネルそれぞれで個別に設定する手段とを有し、
前記第１の信号線駆動回路、前記第２の信号線駆動回路、及び前記第３の信号線駆動回路には、前記第１の同期式クロックカウンタから第１の信号が供給され、
前記第１の走査線駆動回路、前記第２の走査線駆動回路、及び前記第３の走査線駆動回路には、前記第２の同期式クロックカウンタから第２の信号が供給され、
前記第１の信号線駆動回路、前記第２の信号線駆動回路、及び前記第３の信号線駆動回路はそれぞれ、前記第１の同期式クロックカウンタからの前記第１の信号がアドレス信号として入力されるアドレスデコーダ回路を有し、
前記第１の走査線駆動回路、前記第２の走査線駆動回路、及び前記第３の走査線駆動回路はそれぞれ、前記第２の同期式クロックカウンタからの前記第２の信号がアドレス信号として入力されるアドレスデコーダ回路を有することを特徴とする表示装置。
【請求項３】
第１の画素領域と第１の信号線駆動回路と第１の走査線駆動回路とを有する第１の液晶パネル、第２の画素領域と第２の信号線駆動回路と第２の走査線駆動回路とを有する第２の液晶パネル、第３の画素領域と第３の信号線駆動回路と第３の走査線駆動回路とを有する第３の液晶パネル、第1の同期式クロックカウンタ、及び第２の同期式クロックカウンタを有する１つの基板と、
光源と、
前記光源からの光を分光し、前記第１の液晶パネル、及び前記第２の液晶パネル、前記第３の液晶パネルそれぞれに入射させる手段と、
前記第１の液晶パネル、前記第２の液晶パネル、及び前記第３の液晶パネルそれぞれによって変調された光を合成して投影し、画像を形成する手段とを有し、
前記第１の液晶パネル、前記第２の液晶パネル、及び前記第３の液晶パネルは、全体が透光性の冷却用の液体に浸され、
前記第１の液晶パネル、前記第２の液晶パネル、及び前記第３の液晶パネルによって変調された前記光の焦点位置が同じになるように、変調された前記光が前記液体中を通過する距離はそれぞれ異なり、
前記第１の信号線駆動回路、前記第２の信号線駆動回路、及び前記第３の信号線駆動回路には、前記第１の同期式クロックカウンタから第１の信号が供給され、
前記第１の走査線駆動回路、前記第２の走査線駆動回路、及び前記第３の走査線駆動回路には、前記第２の同期式クロックカウンタから第２の信号が供給され、
前記第１の信号線駆動回路、前記第２の信号線駆動回路、及び前記第３の信号線駆動回路はそれぞれ、前記第１の同期式クロックカウンタからの前記第１の信号がアドレス信号として入力されるアドレスデコーダ回路を有し、
前記第１の走査線駆動回路、前記第２の走査線駆動回路、及び前記第３の走査線駆動回路はそれぞれ、前記第２の同期式クロックカウンタからの前記第２の信号がアドレス信号として入力されるアドレスデコーダ回路を有することを特徴とする表示装置。
【請求項４】
請求項３において、
前記液体は、フッ素系の不活性液体または油であることを特徴とする表示装置。
【請求項５】

請求項１乃至請求項４のいずれか一項において、
前記第１の液晶パネル、前記第２の液晶パネル、前記第３の液晶パネルは、アクティブマトリクス型であることを特徴とする表示装置。
【請求項６】
請求項１乃至請求項５のいずれか一項において、
前記第１の液晶パネルは、赤色用の液晶パネルであり、前記第２の液晶パネルは、緑色用の液晶パネルであり、前記第３の液晶パネルは、青色用の液晶パネルであることを特徴とする表示装置。
【請求項７】
請求項１乃至請求項６のいずれか一項において、
前記第１の同期式クロックカウンタ及び前記第２の同期式カウンタは、アップ・ダウンカウンタであることを特徴とする表示装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本明細書で開示する発明は、投影型の表示装置の構成に関する。
【０００２】
【従来の技術】
現在、アクティブマトリクス型の液晶表示装置のような表示装置の駆動回路として、シフトレジスタを用いた線順次走査回路が主流である。
階調表示を与えるための階調信号としては、デジタル方式とアナログ方式の２つに分けられるが、どちらの場合もN 段（N ：水平方向または垂直方向の画素数）直列接続されたシフトレジスタに入力信号を入れ、信号を遅延・伝達させることで線順次走査を行なっている。
シフトレジスタ１段にはサンプルホールド回路や信号増幅回路が接続されており、それら回路を通って信号線を通じて画素部に信号が伝達される。
【０００３】
液晶表示装置全体の概略図を図１に示す。
同一のガラス基板上に、信号線駆動回路１０１と走査線駆動回路１０２が配置され、さらに表示装置中心部には液晶画素部１０３が配置されている。
各駆動回路と液晶画素部とは、列方向の信号線Ｘ１，Ｘ２，・・・と行方向の走査線Ｙ１，Ｙ２，・・・によって接続されている。信号線と走査線の交点の各々には、スイッチング素子として薄膜トランジスタ（以下TFT ）がマトリクス状に配置されている。
TFT のソースは信号線に、ゲートは走査線に、ドレインは画素電極に接続されている。画素電極は、液晶を挟んで対向電極と相対向している。
信号線駆動回路１０１により信号線が線順次されるのと同期して、走査線駆動回路(102)より走査線に信号が送られ、画像表示に必要な信号が与えられる。
【０００４】
この１例として、アナログ方式の線順次駆動回路を図２に示す。ここで信号線駆動回路は２０１で示される。また走査線駆動回路は、シフトレジスタ回路(200) とその他の回路で構成される。
【０００５】
信号線駆動回路において、シフトレジスタ回路２００には、電源電圧 Vdd２０２、 Vss２０３、そしてCP２０４が接続されており、入力されたスタートパルスSP２０５は内部で直列接続されたフリップフロップ（以下F.F.）を遅延・伝達していく。
【０００６】
各シフトレジスタの出力は、Q0,Q1,・・・Qnであり、これらをタイミング信号として、ビデオ信号２０６からアナログスイッチ２０７によるサンプリング回路を介して、階調データをサンプリングする。
サンプリングされたアナログ階調データは、画素部に入る前に、一度サンプルホールド回

路であるアナログメモリ２０８に蓄積される。蓄積された階調データは、外部から入力されるラッチパルス２０９によって走査タイミングをとり、アナログバッファ２１０で信号をインピーダンス変換した後、信号線２１１を通じて画素部ＴＦＴ２１２に伝達される。シフトレジスタ各段を通してこのような経路が取られ、画像の線順次走査が行われる。

【０００７】

以上、アナログ方式における線順次走査駆動回路の例を示したが、サンプルホールド回路としてはアナログ方式ではアナログメモリ（容量）が、デジタル方式ではラッチが用いられ、そこで信号が保持される。

どちらもシフトレジスタによる線順次走査には変わりがなく、１つの回路不良により、それより後段のシフトレジスタに信号が伝わらなくなってしまうため、良好な表示状態は得られず、表示装置としての歩留まりの低さは変わらない。

【０００８】

これを改善すべく、シフトレジスタ部分をデコーダ回路と置き換えアドレス信号で直接表示画素部を選択するデコーダ式駆動回路が考えられている。

デジタル方式のデコーダ式駆動回路を図３に示す。

外部端子から表示したい画素のアドレス信号がアドレスデコーダ３０１に入力され、２進数のデジタル信号として表示画素が選択される。

このアドレス信号は、画像信号のビット数分並列に接続されたラッチ１３０２のラッチパルス３０３となる。ラッチはD 型(ディレイ型）型フリップフロップ（以下D-F.F.）で構成されている。

これらラッチには階調を選択するデータ信号３０４が入力信号をして入り、前アドレスデコーダから出力された信号（ラッチパルス）のタイミングによって表示すべき画像データの階調を選択し、内部にロジックとして保存する。

【０００９】

ここで選択された信号は、ラッチ１に直列接続された次なるラッチ２３０５の入力信号として取り込まれる。このラッチ２で外部から取り込んだラッチパルス３０６により表示装置の１回の走査タイミングと同期した信号を出力し、表示すべき画像データの階調を選択した状態でデコーダ３０７に入る。

デコーダの出力は、あらかじめ階調に対応した電位を抵抗分割して用意された階調信号３０８接続されているアナログスイッチ３０９のゲート側に入り、表示が必要な画素とその階調を選択する。選択されたデジタル表示データは信号線３１０を通して表示が必要とされる画素へ伝達される。

【００１０】

このデコーダ式駆動回路では１つの回路不良が他に及ぼす影響がなく、良好な表示状態を得ることができ、表示装置としての歩留まりは著しく向上する。

またランダムアクセスによる表示駆動回路のため低消費電力化が可能で、これに伴い低コスト化も期待される。

【００１１】

しかしながらこのデコーダ方式駆動回路では、ビット数が多くなるほど、それに伴って入力端子数も増加する。入力端子には、外部よりのアドレス信号線が接続される。入力端子はアドレス信号線と接続するために基板上の領域を大きく専有する。そのために入力端子数が多いと、入力端子を設けるための領域が増加し、表示装置小型化の妨げになるという新たな問題が生じていた。

さらに配線が多くなり、それらが隣接してランダムに電圧がかかるためクロストークの問題が生じる恐れがある。

【００１２】

また、図４に示す、液晶プロジェクタに代表される一般的な投影型表示装置において、３板式ではＲ（赤色）・Ｇ（緑色）・Ｂ（青色）の液晶パネル（４０１、４０２、４０３）がそれぞれ独立して３枚使用される。ランプによる光は偏光プリズムを利用することによりダイクロイック・ミラーを介して赤色液晶パネルには赤色偏光成分が、緑色液晶パネル

には緑色偏光成分が、青色液晶パネルには青色偏光成分がそれぞれ入射される。
【００１３】
このような構成においては、各液晶パネルの光軸合わせが煩雑になり、高い生産性でもって装置を得ることができないという問題がある。
【００１４】
【発明が解決しようとする課題】
シフトレジスタによる遅延信号伝達方式線順次走査では、１つの回路不良により次段回路に信号が伝達されず回路全部が働かなくなってしまうため、良好な表示が得られず、表示装置全体としては歩留まりが低かった。このためシフトレジスタによらない線順次走査駆動回路を採用することで、良好な表示状態を得、歩留まりの向上を図ることを課題とする。
【００１５】
またアドレスデコーダ方式の駆動回路では、ビット数に伴う入力端子数の増加のため表示回路の小型化を妨げている。本発明は端子数の大幅な削減をし、表示装置の小型化を促進することを別な課題とする。
【００１６】
さらにアドレスデコーダ方式駆動回路においては、アドレス信号のビット数の増加に伴い配線の増加、配線に必要な領域の増加が避けられない。しかもこのアドレス信号線にはランダムに電圧がかかるためクロストークが生じる可能性がある。ここでクロストークを避けるために入力信号線をできるだけ少なくすることを別な課題とする。
【００１７】
また高い生産性を有した構造を持つカラーが画像を得るための集積化された液晶表示装置を提供することを別な課題とする。
【００１８】
また、全体の構成は簡素で生産コストが安く、表示特性の優れた投影型の表示装置を提供することを別な課題とする。
【００１９】
【課題を解決するための手段】
上記課題を解決するために、本明細書で開示する発明の一つは、
同期式クロックカウンタと、
該同期式クロックカウンタの出力を、アドレス信号として入力するアドレスデコーダ回路と、
該アドレスデコーダ回路に接続された複数の信号線または走査線と、
を有する液晶パネルが同一基板を用いて複数集積化されており、
前記複数の液晶パネルからの像を合成する手段と、
前記液晶パネルからの像の焦点距離を個別に設定する機能と、
前記焦点距離の調整された像を合成して投影する手段と、
を有することを特徴とする。
【００２０】
上記構成において、同期式クロックカウンタとしてアップ・ダウンカウンタを用いることが好ましい。
【００２１】
上記構成において、液晶パネルの出力側に接して冷却用の液体を配置し、各液晶パネルからの像が前記液体中をそれぞれ異なる長さで通過することにより各液晶パネルからの像の焦点距離を設定することは有用である。
【００２２】
また、各液晶パネルからの像の焦点距離を個別に設定する方法として、各像に対応して焦点距離の調整用のレンズを配置してもよい。
【００２３】
他の発明の構成は、

多階調表示を行うアクティブマトリクス型の液晶パネルが同一基板を用いて複数集積化されて構成されており、
前記液晶パネルのそれぞれは、
同期式クロックカウンタと、
該同期式クロックカウンタの出力を、アドレス信号として入力するアドレスデコーダ回路と、
階調データを保持する階調保持回路と、
前記階調保持回路で保持された階調データの出力タイミングを、前記表示装置の走査タイミングと同期させる階調同期回路と、
前記階調同期回路で同期された階調データをアナログ階調電圧に変換する回路と、
を有し、
ていることを特徴とする。

【００２４】

すなわち本明細書で開示する発明は、アドレスデコーダ回路により信号線や走査線の選択を行い、アドレスデコーダ回路に入力されるアドレス信号として、同期式クロックカウンタの出力を用いたものである。

【００２５】

同期式カウンタは、クロック信号を入力信号とし、信号線や走査線を数えるのに必要な数のビット数を有する、並列接続されたJK-F.F. により構成される。
本発明は、この同期式カウンタの、クロック入力に対する出力をアドレス信号として、アドレスデコーダ回路に入力する。この構成によって、シフトレジスタを用いない、すなわち、遅延信号伝達式でない線順次走査が可能となる。

【００２６】

この本発明の表示装置駆動回路は、駆動回路への入力信号線が、クロックパルスのみの１本で済み、単にアドレスデコーダ方式により信号線や走査線を選択する方式に比較して、入力端子数は大幅に削減できる。これにより装置を小型化できる。

【００２７】

また、アドレスデコーダ回路は、一信号線（または一走査線）に接続された回路に不良が生じても、他の信号線（または走査線）に接続された回路の動作に影響しない。したがって、シフトレジスタ回路を用いた駆動回路において問題となっていた、回路不良が発生した際の、不良箇所より後段すべてが表示不良となることを防ぐことができる。その結果、良好な表示を行う表示装置を歩留り良く得ることができる。

【００２８】

また、本発明の駆動回路においては、同期式カウンタを、クロック信号の立ち上がりで動作させるか（アップカウント）、立ち下がりで動作させるか（ダウンカウント）を選択することによって、信号線や走査線を選択する方向を、順方向、逆方向に容易に変えることができ、駆動回路を増やすことなく双方向駆動が可能になる。

【００２９】

カウンタについて以下に説明を行う。
カウンタには大きく分けて非同期式カウンタと同期式カウンタがある。まず非同期式カウンタを図６に示す。
クロックパルスCP(601) を入力信号とするJK-F.F. が、信号線や走査線を数えるのに必要なビット数だけN段直列接続されている。例えば水平方向の画素数が５００、すなわち信号線数が５００の場合、信号線駆動回路の入力には９ビットが必要である。

【００３０】

２段目以降のJK-F.F. の入力信号は前段の出力信号である。
入力されるクロックパルスをカウントするためには１段目のJK-F.F. はクロックパルスが入るたびに反転するように、また２段目JK-F.F. はクロックパルスが２発入るたびに信号を反転させ、それ以外では信号を保持することが要求される。そのため１段目のJK-F.F. はクロックパルスが入るたびに反転するようにJ,K 入力ともにHigh信号にしておく。同様

に２段目以降もJ,K はHighで固定し、入力信号がHigh（以下H ）からLow （以下L ）に変わるタイミングで出力が立つようにする。このようにして得られる波形を図７に示す。

【００３１】

しかしこの非同期式カウンタでは２段目以降のカウントが前段出力に依存するため、実際には伝達遅延時間の蓄積が生じ高速動作が困難になると同時に、この信号の遅れが重なってハザードが生じてしまい、高いクロック周波数の対応には不適当である。このため、本発明には同期式カウンタを採用する。

【００３２】

【実施例】

〔実施例１〕

本実施例では、本発明構成を有する投影方式のアクティブマトリクス型の液晶表示装置の例について示す。本実施例は、ＲＧＢのそれぞれの画像に対応した液晶パネルを同一のガラス基板上に集積化し、それらの画像を重ね合わせることにより、カラー表示を行う構成に関する。

【００３３】

本実施例に示す構成においては、ＲＧＢそれぞれの液晶パネルは基本的に図１の構成を有している。即ち、信号線駆動回路１０１および走査線駆動回路１０２共に、同期式カウンタの出力が、アドレスデコーダ回路へ入力されるアドレス信号となる。

【００３４】

また、ＲＧＢそれぞれの液晶パネルの対応する信号線駆動回路及び走査線駆動回路には、それぞれ１つづつ配置された同期式カウンタからの出力が供給される。即ち、ＲＧＢそれぞれの液晶パネルの信号線駆動回路には、１つの同期式カウンタから出力が供給され、ＲＧＢそれぞれの液晶パネルの走査線駆動回路には、また別の１つの同期式カウンタから出力が供給される構成となっている。

【００３５】

図１６に本実施例に示すＲＧＢの各液晶パネルが集積化された概略の構成を示す。図１６には同一のガラス基板１６００上に、画素領域１６０１と信号線駆動回路１６０２と走査線駆動回路１６０３とで構成されるＲ（赤）用の液晶パネルと、画素領域１６０６と信号線駆動回路１６０７と走査線駆動回路１６０８とで構成されるＧ（緑）用の液晶パネルと、画素領域１６０９と信号線駆動回路１６１０と走査線駆動回路１６１１とで構成されるＢ（青）用の液晶パネルと、を集積化した構成が示されている。

【００３６】

各液晶パネルの信号線駆動回路１６０２、１６０７、１６１０へは１つの同期式カウンタ１６０５から必要とする信号が供給される。また、各液晶パネルの走査線駆動回路１６０３、１６０８、１６１１へは１つの同期式カウンタ１６０４から必要とする信号が供給される。

【００３７】

各液晶パネルの信号線駆動回路及び走査線駆動回路に対して、それぞれ１つの同期式カウンタを設ければよいのは、ＲＧＢの画像を表示する場合、ＲＧＢそれぞれの画素の動作は同時に行われるからである。即ち、ＲＧＢの各画素においては同時に表示動作が行われるからである。

【００３８】

画素領域は薄膜トランジスタが配置されている。この薄膜トランジスタのソース電極には信号線が、ゲート電極には走査線が接続されている。

【００３９】

図１６に示すような集積化された液晶パネルを用いた投影型の液晶表示装置の全体の概要を図１５に示す。また図１５に示す構成を立体的に示した図を図１４に示す。図１４及び１５に示す構成においては、光源である白色光を発するランプ１５０１から出た光はレンズ１５０２で進行方向のそろった光（平行な光）に補正され、ダイクロックミラー１５０３、１５０４、１５０５でＲＧＢに対応した光に分光される。

【００４０】
ダイクロックミラー１５０３においてはＢに対応する波長分布を有する光が分光される。ダイクロックミラー１５０３で反射されたＢに対応する光は、Ｂ用の液晶パネル１５１５に入射し、所定の光学変調を受ける。液晶パネル１５１４（１５１１、１５１３で示される構成も同じ）は、独立した液晶電気光学装置として機能する光学変調素子である。
【００４１】
液晶パネル１５１５は、ガラス基板１５０７と１５０９の間にＴＮ型の液晶１５１４が挟んで保持され、さらにガラス基板の外側に一対の偏光板１５０６と１５１０が配置された構成を有している。
【００４２】
また、図示しないが、液晶を所定の領域に封じ込めるための封止材、液晶を配向させる配向膜、液晶に所定の電界を加えるための電極、該電極に電荷を保持させるためのスイッチング素子である薄膜トランジスタ、該薄膜トランジスタを駆動するために周辺回路（信号線駆動回路と走査線駆動回路とで構成される）が形成されている。なお画素領域と周辺回路の構成の概略については、図１６に示すような構成をとっている。
【００４３】
ダイクロックミラー１５０４においてはＧに対応する波長分布を有する光が分光される。ダイクロックミラー１５０４で反射されたＧに対応する光は、Ｇ用の液晶パネル１５１３に入射し、所定の光学変調を受ける。
【００４４】
液晶パネル１５１３は、ガラス基板１５０７と１５０９の間にＴＮ型の液晶１５１２が挟んで保持され、さらにガラス基板の外側に一対の偏光板１５０６と１５１０が配置された構成を有している。
【００４５】
ダイクロックミラー１５０５においてはＲに対応する波長分布を有する光が分光される。ダイクロックミラー１５０５で反射されたＲに対応する光は、Ｒ用の液晶パネル１５１１に入射し、所定の光学変調を受ける。
【００４６】
液晶パネル１５１１は、ガラス基板１５０７と１５０９の間にＴＮ型の液晶１５０８が挟んで保持され、さらにガラス基板の外側に一対の偏光板１５０６と１５１０が配置された構成を有している。
【００４７】
液晶パネル１５１５で光学変調を受けたＢの像は、レンズ１５２３によってその焦点距離が調整される。そしてミラー１５１６で反射され、さらに半透過ミラー１５１７と１５１８を経て、投影レンズ１５１９に入射する。
【００４８】
液晶パネル１５１３で光学変調を受けたＧの像は、レンズ１５２２でその焦点距離が調整される。そして半透過ミラー１５１７で反射され、さらに半透過ミラー１５１８を経て、投影レンズ１５１９に入射する。
【００４９】
液晶パネル１５１１で光学変調を受けたＲの像は、レンズ１５２１によってその焦点距離が調整される。そして半透過ミラー１５１８で反射され投影レンズ１５１９に入射する。
【００５０】
レンズ１５２１、１５２２、１５２３は、各液晶パネル１５１１、１５１３、１５１５からの像の焦点が同じ位置になるようにその光学特性が選択される。またはその設置位置が調整される。
【００５１】
投影レンズ１５１９に入射する段階でＲＧＢの像は合成されている。そして、その合成画像は投影レンズ１５１９によって焦点が調整され、スクリーン１５２０または適当な投影面に投影が行われる。なお図１４及び図１５においては、レンズ１５０２や投影レンズ１

５１９、さらにレンズ１５２１～１５２３が単体のレンズで構成されているかの如く示されている。しかしこれらは単体のレンズを使用することに限らず、必要とする画質に応じてより複雑な光学系を利用するのでもよい。

【００５２】

図１５に示す構成においては、１５１１、１５１３、１５１５で示される各液晶パネルの全体が冷却用の液体に浸かっている。この液体は１５２４の点線で示される領域に存在している。この液体は透光性の高い材料であることが必要である。また、少なくとも光が透過する部分には、透光性の材料でもって窓を形成する必要がある。また、液体が液晶セル内に進入しないように液晶セルの封止を十分に行うことも必要である。この液体としては、フッ素系の不活性液体を用いることができる。具体的には、フロリナートと称される液体を用いることができる。また、ある主の油。例えばセダ油を用いることができる。

【００５３】

また液体として、フロン系の液体に代表される不活性な材料を用いることは、液晶セルに外部から水分が侵入しないようにシールドする意味で好ましい。

【００５４】

また図には示されていないが、１５２４の領域に存在する冷却用の液体を冷却するために適当な材料でなる放熱器を配置してもよい。

【００５５】

図１４及び図１５に示す構成においては、各液晶パネルから投影レンズ１５１９までの空間的な距離に応じて、レンズ１５２１～１５２３の光学特性やその設置位置を調整し、ＲＧＢの各像が投影レンズ１５１９において同じ位置に焦点を結ぶ（結像する）ようにしている。

【００５６】

なお、ＲＧＢ各像の焦点位置（結像位置）の位置合わせの精度は、要求される画質に応じて、所定の範囲内に収まるようにすればよい。また、ＲＧＢの全ての像に対応して焦点距離の補正のためのレンズ（図１５では１５２１～１５２３で示される）を設ける必要はない。例えば、Ｒの像の焦点にＧとＢの像の焦点を合わせるために、ＧとＢの像が通過する光路にレンズを配置するのでもよい。

【００５７】

本実施例に示す構成を採用することにより、レンズ１５１９を通過するＲＧＢの各画像の焦点位置（結像位置）を合わせることができる。そしてこのようにすることで、投影レンズ１５１９の焦点を変化させることによって、投影面までの距離を変化させたり、投影画像の大きさを変化させても、色ズレのない鮮明な画像を表示することができる。

【００５８】

また他に図１４または図１５に示す構成が特徴とするのは、１つの液晶セル内にＲＧＢに対応する３つの液晶パネル１５１１、１５１３、１５１５が集積化され一体化されていることである。このような構成とすることで、ガラス基板間に液晶を注入する工程（パネル組工程）を１回行うのみでよいという作製工程における簡略化を実現することができる。このような構成とすることは、特に装置全体の構成要素（構成部品）を少なくすることができるという意味で有用である。

【００５９】

また、同一基板を用いてＲＧＢ用の液晶パネルが形成されているので、液晶パネル間の光軸合わせを行う必要がないという特徴を有する。また、構成が簡略化され、小型化されるという特徴を有する。

【００６０】

本実施例に示す構成においては、１５１６にミラーを用い、１５１７と１５１８で示される部分に半透過ミラーを用いた。しかし、これらの部分にダイクロックミラーを用いてもよい。

【００６１】

また、本実施例に示す構成においては、ダイクロックミラーを用いてＲＧＢの各波長領域

に対応する光を得ている。しかし、カラーフィルターを用いて、ＲＧＢに対応する光を得てもよい。またＲＧＢに対応する光源を別々に用意するのでもよい。

【００６２】

また液晶パネルの構成として、パッシブマトリクス型、さらにはＭＩＭ型の素子を用いたアクティブマトリクス型を採用してもよい。また、液晶材料として、強誘電性型液晶や分散型液晶を用いてもよい。

【００６３】

本実施例における信号線駆動回路の構成を図９に示す。ここでは１つの液晶パネルの信号線駆動回路について説明する。

まず、同期式カウンタ(902) について説明する。

同期式カウンタは、前段出力を入力信号として取り込まずに、クロックパルスを各段に入力信号として与え、さらにJ,K を制御することで、非同期式カウンタの欠点である時間遅延のない正確なカウントを行うものである。

【００６４】

図８に示すように、同期式カウンタはクロックパルスを入力信号とするJK-F.F. を、信号線を数えるのに必要なビット数だけN 段並列接続することで構成される。

ここでは、画素構成が500 ×500 のモノクロ表示を行うため、信号線駆動回路の入力には9 ビットが必要である。ここでクロックパルスは各段に同時に入力されている。

【００６５】

この回路動作は以下の通りである。

Qn段目の出力においてQn-1の出力信号を保持したいときは、J,K 入力をともにL 信号にし、Qn段目の出力においてQn-1の出力信号を強制的に反転させたいときにはJ,K 入力ともにH信号にする必要がある。

そこで１段目のJK-F.F. はクロックパルスが入るたびに反転するようにJ,K 入力ともにH信号にしておく。この出力波形が図７(a) である。

【００６６】

２段目JK-F.F. はクロックパルスが２発入るたびに信号を反転させ、それ以外では信号を保持することが要求される。そのためJ,K 入力としては前段JK-F.F. の出力信号が使われる。つまりはじめからJ,K をH で固定せずに前段出力がH になった後に自ら保持している信号を反転させる。この出力波形が図７(b) である。

【００６７】

３段目以降はJ,K を以下のように制御する。波形図７からQnの出力が反転する（つまりJ,K ＝H となる）のはQ0,Q1,・・・,Qn-1 がすべてH のときであることが分かる。このことからQ0,Q1,・・・,Qn-1 のAND をｎ段目JK-F.F. のJ,K の入力信号とすると、Q0,Q1,・・・,Qn-1 すべてがHのときにはJ,K ＝H となってｎ段目JK-F.F. の出力が反転し、それ以外の時には信号が保持されることになる。このようにして出力された波形が図７(C) である。

【００６８】

図９に示す信号線駆動回路において、クロックパルスCP９０１が入力信号として同期式カウンタ９０２に入力される。ここでカウントされたクロックの数をアドレス信号とみなし、アドレス線９０３を通してアドレスデコーダ９０４に信号が入力され、２進数のデジタル信号として表示画素が選択される。

したがってアドレス信号線は、クロックカウンタ以前には存在せず、クロックパルスのための配線１本のみが、クロックカウンタから外部接続端子へと引き出される。

【００６９】

このアドレス信号は、画像信号（階調信号）のビット数分並列に接続されたラッチ１９０５のラッチパルス９０６となる。ラッチはディレイフリップフロップ回路（以下D-F.F.）で構成されている。

これらラッチには、階調データを供給するデータ信号９０７が入力信号として入る。ラッチは、アドレスデコーダ９０４から出力された信号（ラッチパルス９０６）のタイミング

によって、データ信号９０７より供給される階調信号を取込み、結果を内部にロジックとして保存する。

【００７０】

ここで選択された信号は、ラッチ１に直列接続された、次なるラッチ２９０８の入力信号として取り込まれる。

このラッチ２は、外部から取り込んだラッチパルス９０９により表示装置の１回の走査タイミングと同期した信号を出力し、表示すべき画像データの階調を選択した状態でデコーダ９１０に入る。

デコーダの出力は、入力された階調データに対応したアナログスイッチ９１２のゲート側に入る。

アナログスイッチは、階調信号９１１に接続されている。階調信号９１１は、階調に対応した電位を抵抗分割して用意されている。

このようにして選択された階調電位が、信号線９１３を通して表示が必要とされる画素へ出力される。

必要があれば、階調電位を、画素へ出力する前に増幅回路により増幅させてもよい。

【００７１】

次に双方向駆動について説明する。

双方向駆動を行う場合、クロック信号の立ち上がりで動作させるか、立ち下がりで動作させるかの選択が可能なアップ・ダウンカウンタを用いる。

アップ・ダウンカウンタの論理回路図を図１０に示す。アップカウンタ・ダウンカウンタの切り替えスイッチ入力Ｓ１００１において入力をH にするとアップカウンタとなりクロックの立ち下がりで動作し、入力をL にするとダウンカウンタとなりクロックの立ち上がりで動作するようになっている。

【００７２】

アップ・ダウンカウンタの回路動作を以下に説明する。１段目のJK-F.F. はこれまでと同様、クロックパルスが入るたびに反転するようにJ,K 入力ともにH に固定する。

２段目以降のJ,K には、アップ・ダウン切り換えスイッチ入力S とQ0,Q1,...,Qn-1のNAND１００２、スイッチ入力S をインバータに通したS ＿１００８とQ ＿0,Q ＿1,...,Q ＿n-1 のNAND１００３をとり、それら出力をインバータに通してOR１００４をとったものが入力される。

【００７３】

アップ・ダウン切り換えスイッチの入力Ｓ１００１をS ＝H としたときの回路動作を以下に示す。２段目JK-F.F. において、上段NAND出力１００５はQn-1=HのときL、Qn-1=LのときH となる。つまり切り換え信号としてH が固定して入力されているため、Qn-1のレベルによって出力は変化する。

これに対し、下段NAND出力１００６はL が固定信号として入っているためQ ＿n-1 のレベルによらず常に出力はH となる。

そこでインバータを通してORに入る信号はQn-1=HのときH,L となり出力１００７はH （Qnは信号反転）、Qn-1=LのときL,L となり出力１００７はL （Qnは信号保持）となる。

【００７４】

２段目以降も同様にして出力波形を追ったものが図１１である。つまりアップ・ダウン切り換えスイッチの入力S をS ＝H としたときはアップカウンタとして働き、Q0,Q1,・・・,Qn-1 がすべてH のときにJ,K=H となって信号が反転し、Q0,Q1,・・・,Qn-1 のうち１つでもL が入っているとQnは信号保持状態となる。

【００７５】

アップ・ダウン切り換えスイッチの入力S をS ＝L としたときの回路動作を以下に示す。

２段目JK-F.F. において、上段NAND出力１００５はL が固定信号として入っているためQn-1のレベルによらず常に出力はH となる。

これに対し、下段NAND出力１００６はQn-1=Hのときは L 、Qn-1=LのときはH となる。つまり切り換え信号の反転信号としてH が固定して入力されているため、Qn-1のレベルによっ

て出力は変化する。
そこでインバータを通してORに入る信号はQn-1=HのときL,L となり出力１００７はL （Qnは信号保持）、Qn-1=LのときH,L となり出力１００７はH （Qnは信号反転）となる。
【００７６】
同様にして出力波形を追ったものが図１２である。つまりアップ・ダウン切り換えスイッチの入力S をS ＝L としたときはダウンカウンタとして働き、Q0,Q1,・・・,Qn-1 がすべてL のときにJ,K=H となってQnは信号反転し、Q0,Q1,・・・,Qn-1 のうち１つでもH が入っているとQnは信号保持状態となる。
【００７７】
このようにして、信号線の選択方向を、アップ・ダウン切り換えスイッチにより極めて容易に切り換えることが可能である。
たとえば、信号線を選択する方向を、左から右へ移っていく状態から、右から左へ移っていくように切り換えることができ、左右が反転した画像が容易に得られる。
【００７８】
次に、本実施例における走査線駆動回路のブロック図を図１３に示す。ここでは１つの液晶パネルの走査線駆動回路の構成を説明する。
ここでは、走査線駆動回路においても、同期式クロックカウンタの出力を、アドレスデコーダ回路へアドレス信号として入力している。
図１３において、クロックパルスCP１３０１を入力信号とする同期式カウンタ１３０２の出力を、アドレスデコーダ１３０３へ入力されるアドレス信号とする。このアドレス指定により選択された走査線１３０４ではレベルシフタ１３０５、バッファ１３０６により信号を増幅し、一ラインの各画素の薄膜トランジスタのゲート電極が接続された画素部１３０７に伝達する。
【００７９】
この走査線駆動回路において、同期式クロックカウンタをアップ・ダウンカウンタとして設けることで、走査線の選択方向を切り換えることが可能であり、この場合、切り換えにより、表示画像の上下が反転できる。
【００８０】
以上に示した、本発明の構成を有する液晶表示装置は、信号線の１本が不良で表示できなくても、他の信号線はその影響を受けることなく、良好な表示状態を得ることができる。また、アドレス信号線の配線がなく、クロックパルス用配線のみが回路の周辺に延長しているため、アドレス信号線の接続領域が不要となり、装置として小型化に適したものとなる。
【００８１】
ここでは、１つの液晶パネルの信号線駆動回路の構成と走査線駆動回路の構成とを示した。しかし、他の２つの液晶パネルについても同様な構成とすればよい。
【００８２】
〔実施例２〕
図１７に本実施例の投影型の液晶表示装置の概略の構成を示す。本実施例は液晶パネルの冷却用の液体中を各液晶パネルからの像が異なる長さで通過するようにすることで、各像の焦点の位置をそろえる構成としたことを特徴とする。なお、特に断らない限り符号は図１５に示したものと同じである。
【００８３】
図１７において、光源である白色光を発するランプ１５０１から出た光はレンズ１５０２で進行方向のそろった光（平行な光）に補正され、ダイクロックミラー１５０３、１５０４、１５０５でＲＧＢに対応したそれぞれに光に分光される。
【００８４】
ダイクロックミラー１５０３においてはＢに対応する波長分布を有する光が分光される。
ダイクロックミラー１５０３で反射されたＢに対応する光は、Ｂ用の液晶パネル１５１５に入射し、所定の光学変調を受ける。液晶パネル１５１５（１５１１、１５１３で示され

る構成も同じ）は、独立した液晶電気光学装置として機能する光学変調素子である。
【００８５】
液晶パネル１５１５は、ガラス基板１５０７と１５０９の間にＴＮ型の液晶１５１４が挟んで保持され、さらにガラス基板の外側に一対の偏光板１５０６と１５１０が配置された構成を有している。
【００８６】
また、図示しないが、液晶を所定に領域に封じ込めるための封止材、液晶を配向させる配向膜、液晶に所定の電界を加えるための電極、該電極に電荷を保持させるためのスイッチング素子である薄膜トランジスタ、該薄膜トランジスタを駆動するために周辺回路（この周辺回路も薄膜トランジスタで構成されている）が形成されている。
【００８７】
ダイクロックミラー１５０４においてはＧに対応する波長分布を有する光が分光される。ダイクロックミラー１５０４で反射されたＧに対応する光は、Ｇ用の液晶パネル１５１３に入射し、所定の光学変調を受ける。
【００８８】
液晶パネル１５１３は、ガラス基板１５０７と１５０９の間にＴＮ型の液晶１５１２が挟んで保持され、さらにガラス基板の外側に一対の偏光板１５０６と１５１０が配置された構成を有している。
【００８９】
ダイクロックミラー１５０１においてはＲに対応する波長分布を有する光が分光される。ダイクロックミラー１５０１で反射されたＲに対応する光は、Ｒ用の液晶パネル１５１１に入射し、所定の光学変調を受ける。
【００９０】
液晶パネル１５１１は、ガラス基板１５０７と１５０９の間にＴＮ型の液晶１５０８が挟んで保持され、さらにガラス基板の外側に一対の偏光板１５０６と１５１０が配置された構成を有している。
【００９１】
液晶パネル１５１５で光学変調を受けたＢの像は、ミラー１５１６で反射され、さらに半透過ミラー１５１７と１５１８を経て、投影レンズ１５１９に入射する。液晶パネル１５１３で光学変調を受けたＧの像は、半透過ミラー１５１７で反射され、さらに半透過ミラー１５１８を経て、投影レンズ１５１９に入射する。液晶パネル１５１１で光学変調を受けたＲの像は、半透過ミラー１５１８で反射され投影レンズ１５１９に入射する。
【００９２】
投影レンズ１５１９に入射する段階でＲＧＢの像は合成されている。そして、その合成画像は投影レンズ１５１９によって焦点が調整され、スクリーン１５２０または適当な投影面に投影が行われる。なお図１７においては、レンズ１５０２や投影レンズ１５１９が単体のレンズで構成されているかの如く示されている。しかしレンズ１５０２や投影レンズ１５１９としては、必要とする画質に応じてより複雑な光学系を利用してもよい。
【００９３】
図１７に示す構成においては、１５１１、１５１３、１５１５で示される各液晶パネルの全体が冷却用の液体に浸かっている。この液体は１６０１の点線で示される領域に存在している。この液体は屈折率が高く、また透光性の高い材料であることが必要である。また、少なくとも光が透過する部分には、透光性の材料でもって窓を形成する必要がある。また、液体が液晶セル内に進入しないように液晶セルの封止を十分に行うことも必要である。
【００９４】
また液体として、フロン系の液体に代表される不活性な材料を用いることは、液晶セルに外部から水分が侵入しないようにシールドする意味で好ましい。
【００９５】
また図には示されていないが、１６０１の領域に存在する冷却用の液体を冷却するために

適当な材料でなる放熱器を配置してもよい。

【００９６】

図１７に示す構成においては、各液晶パネルから投影レンズ１５１９までの空間的な距離に応じて、この液体中を液晶パネルからの光（像）が通過する長さを異ならせている。即ち、各液晶パネルから投影レンズ１５１９までの空間的な距離の違いに応じて、各液晶パネルからの光が通過する液体中での距離を設定している。こうすることで、投影レンズ１５１９に到達する各液晶パネルからの像の焦点の位置をほぼ同じ位置にすることができる。

【００９７】

例えば、液晶パネル１５１１から投影レンズ１５１９までの空間的距離に比較して、液晶パネル１５１３から投影レンズ１５１９までの空間的な距離は長い。従って、液晶パネル１５１３を出た像（光）と液晶パネル１５１１を出た像の焦点位置を合うようにするために、液晶パネル１５１３を出た像の焦点距離を短くする。このために液晶パネル１５１３から出た像がより長い距離にわたって冷却用の液体中を通過するようにする。この冷却用の液体の屈折率は空気よりも大きいので、その中を像が通過することにより、像の焦点距離を短くすることができる。この像の焦点距離が短くなることによって、液晶パネル１５１３の位置があたかも投影レンズ１５１９側に近づいたかのような状況を実現することができる。そして、このようにすることで、液晶パネル１５１１から出た像の焦点位置と液晶パネル１５１３から出た像の焦点位置を合わせることができる。

【００９８】

また、液晶パネル１５１３から投影レンズ１５１９までの空間的距離に比較して、液晶パネル１５１５から投影レンズ１５１９までの空間的な距離は長い。そこで、液晶パネル１５１５から出た像がより長い距離に渡って冷却用の液体中を通過するようにする。すると、液晶パネル１５１５から出た像の焦点距離を短くすことができる。即ち、投影レンズ１５１９から見ると、液晶パネル１５１５が投影レンズ１５１９側に近づいたような状態とすることができる。そして、液晶パネル１５１３から出た像の焦点位置と液晶パネル１５１５から出た像の焦点位置とを合わせることができる。

【００９９】

このようにして、ＲＧＢそれぞれの像の焦点距離を変化させ、最終的に投影レンズ１５１９において、各像の焦点位置（結像位置）が合うようにすることができる。この各像の焦点の位置合わせの精度は、要求される画質に応じて、所定の範囲内に収まるようにすればよい。

【０１００】

図１７に示す構成は、液晶パネルの冷却用の液体中を各液晶パネルからの像が通過する長さを設定することで、各液晶パネルからの像が結像する位置を適時設定することを特徴とする。

【０１０１】

即ち、冷却用の液体の屈折率に従って、この液体中を通過する像の焦点距離が変化することを利用し、各液晶パネルから出た光が最終的に同じ位置に焦点を結ぶ（結像する）ようにしたことを特徴とする。

【０１０２】

本実施例に示す構成を採用することにより、レンズ１５１９を通過するＲＧＢの各画像の焦点位置（結像位置）を合わせることができる。そしてこのようにすることで、投影レンズ１５１９の焦点を変化させることによって、投影面までの距離を変化させたり、投影画像の大きさを変化させても、色ズレのない鮮明な画像を表示することができる。

【０１０３】

本実施例に示す構成においては、１５１６にミラーを用い、１５１７と１５１８で示される部分に半透過ミラーを用いた。しかし、これらの部分にダイクロックミラーを用いてもよい。

【０１０４】

また、本実施例に示す構成においては、ダイクロックミラーを用いてＲＧＢの各波長領域に対応する光を得ている。しかし、カラーフィルターを用いて、ＲＧＢに対応する光を得てもよい。またＲＧＢに対応する光源を別々に用意するのでもよい。

【０１０５】

また液晶パネルの構成として、パッシブマトリクス型、さらにはＭＩＭ型の素子を用いたアクティブマトリクス型を採用してもよい。また、液晶材料として、強誘電性型液晶や分散型液晶を用いてもよい。

【０１０６】

【発明の効果】

以上のように、本発明により、シフトレジスタによる遅延信号伝達式の線順次走査（選択）駆動回路に替わる線順次走査（選択）が可能となる。

このため、１つの信号線（または走査線）に接続された回路の不良も、それより次段の回路の動作に影響を与えることがなくなり、良好な表示状態が得られた。その結果表示装置全体の歩留まりを大幅に向上できる。

【０１０７】

アドレスデコーダ使用による外部入力端子の増加に伴う表示装置の大型化・入力線増加によるクロストーク発生の可能性という問題点を、同期式カウンタを取り入れることで解決できる。

アドレスデコーダ回路にアドレス値を直接供給して駆動する場合に比較して、アドレス信号供給用の配線が１本と激減するため、装置の小型化を促進できる。

【０１０８】

また、本発明の駆動回路は、信号線駆動回路、走査線駆動回路のどちらにも使用可能である。

【０１０９】

また、簡単な構成で高い画質を得ることができる投影型の液晶表示装置を得ることができる。特にＲＧＢ用の各像を表示する液晶パネルを一体化した構成として得ることができるので、生産コストを下げることができる。また、全体の構成を小型化することができる。

【０１１０】

さらに、各液晶パネルからの像の焦点位置を合わせることができるので、高い画質を有した表示装置を得ることができる。

【図面の簡単な説明】

【図１】　液晶表示装置全体の概略図。

【図２】　アナログ方式の線順次走査駆動回路を示す図。

【図３】　アドレスデコーダを用いたデジタル駆動回路を示した図。

【図４】　３板式投影型表示装置ディスプレイの構造を示した図。

【図５】　双方向ドライバを搭載した表示装置の概略図。

【図６】　非同期式カウンタの論理回路図。

【図７】　カウンタ回路の出力波形図。

【図８】　同期式カウンタの論理回路図。

【図９】　実施例で用いられる、カウンタを用いた信号線駆動回路を示す図。

【図１０】　アップダウンカウンタの論理回路図。

【図１１】　アップカウンタの出力波形図。

【図１２】　ダウンカウンタの出力波形図。

【図１３】　実施例で用いられる、カウンタを用いた走査線駆動回路を示す図。

【図１４】　投影型の液晶表示装置の概要を示す図。

【図１５】　投影型の液晶表示装置の概要を示す図。

【図１６】　集積化された液晶パネルの概略の構成を示す図。

【図１７】　投影型の液晶表示装置の概要を示す図。

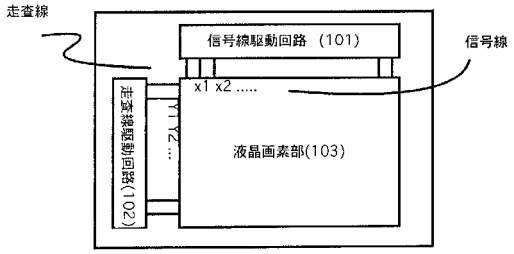
【符号の説明】

１０１　信号線駆動回路

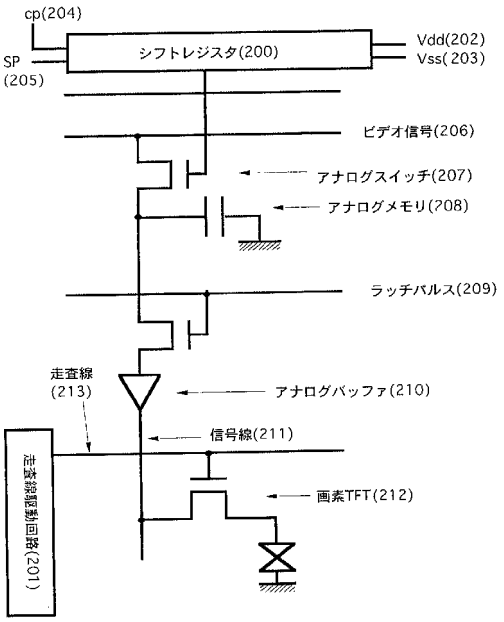
１０２　走査線駆動回路
１０３　液晶画素部
２０１　信号線駆動回路
２０２　走査線駆動回路
２０３　Ｖｄｄ
２０４　Ｖｓｓ
２０５　クロックパルス
２０６　スタートパルス
２０７　ビデオ信号
２０８　アナログスイッチ
２０９　アナログメモリ
２１０　ラッチパルス
２１１　アナログバッファ
２１２　信号線
２１３　画素部
３０１　アドレスデコーダ
３０２　ラッチ１
３０３　ラッチパルス
３０４　データ信号
３０５　ラッチ２
３０６　ラッチパルス
３０７　デコーダ
３０８　階調信号
３０９　アナログスイッチ
３１０　信号線
６０１　クロックパルス
９０１　クロックパルス
９０２　同期式カウンタ
９０３　アドレス線
９０４　アドレスデコーダ
９０５　ラッチ１
９０６　ラッチパルス
９０７　データ信号
９０８　ラッチ２
９０９　ラッチパルス
９１０　デコーダ
９１１　階調信号
９１２　アナログスイッチ
９１３　信号線
１００１　切り換えスイッチ入力Ｓ
１００２　ＮＡＮＤ
１００３　ＮＡＮＤ
１００５　上段ＮＡＮＤ出力
１００６　下段ＮＡＮＤ出力
１００７　出力
１３０１　クロックパルス
１３０２　同期式カウンタ
１３０３　アドレスデコーダ
１３０４　走査線
１３０５　レベルシフタ

１３０６　バッファ
１３０７　画素部

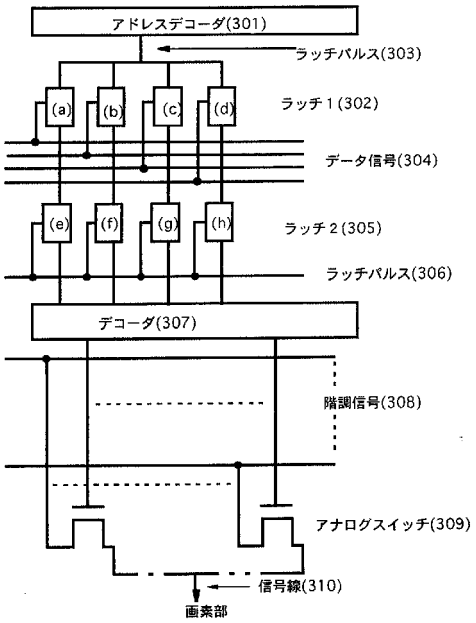
【図１】



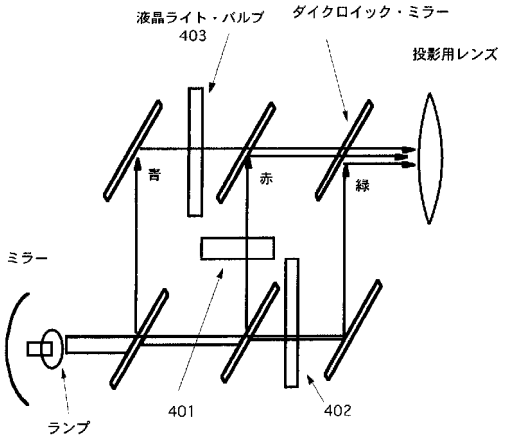
【図２】



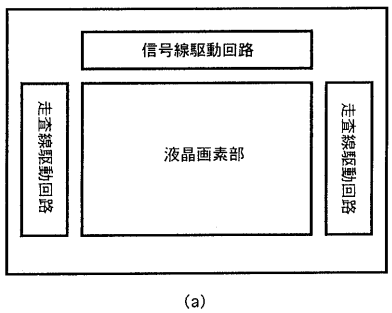
【図３】



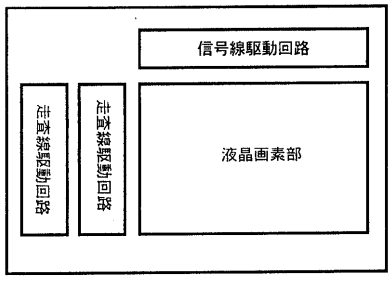
【図４】



【図５】

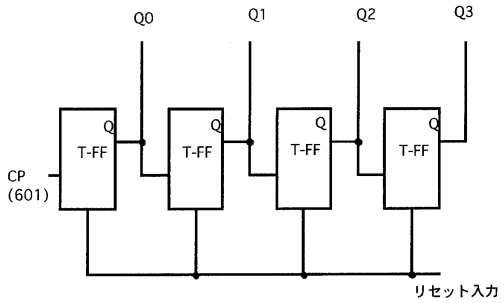


(a)

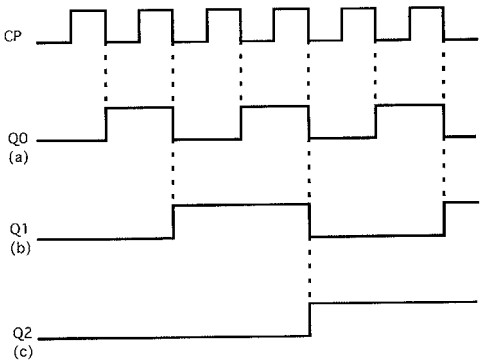


(b)

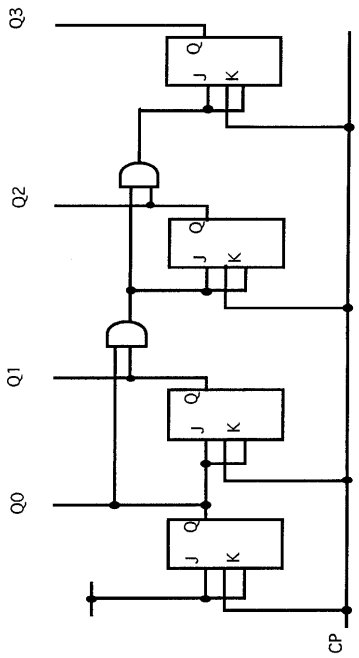
【図６】



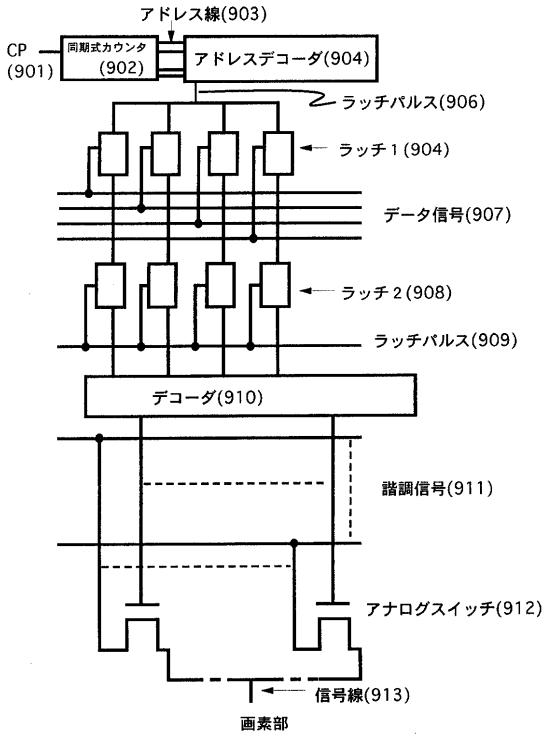
【図７】



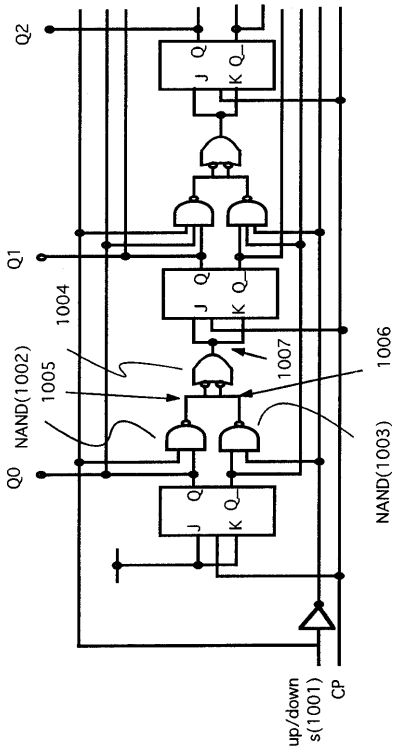
【図８】



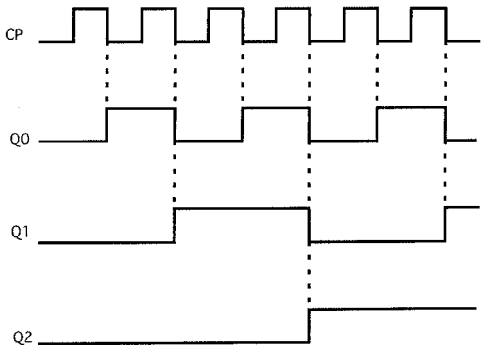
【図９】



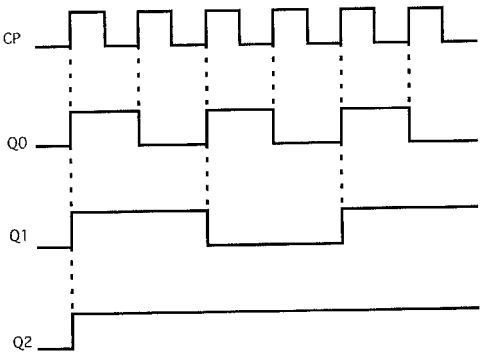
【図１０】



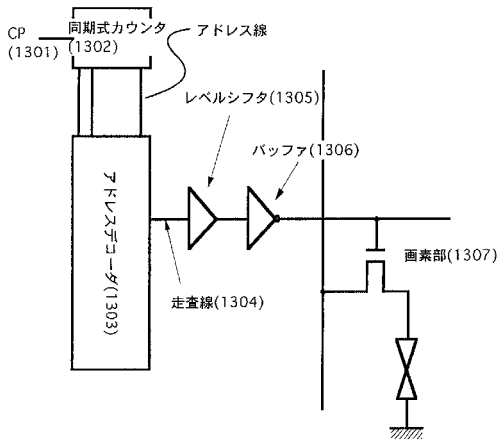
【図１１】



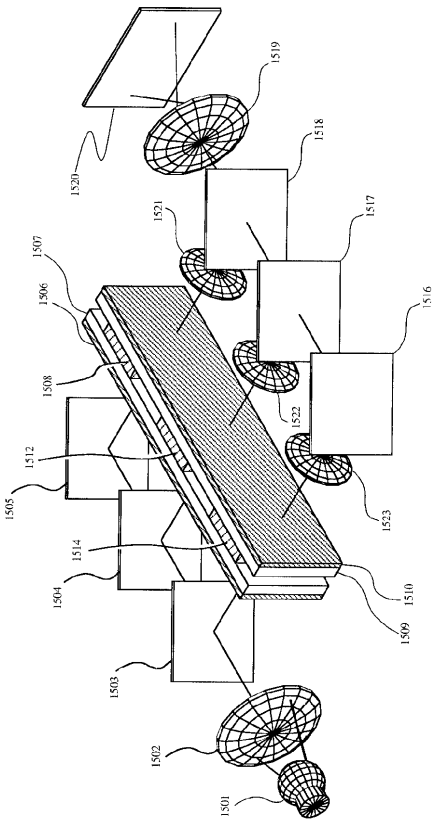
【図１２】



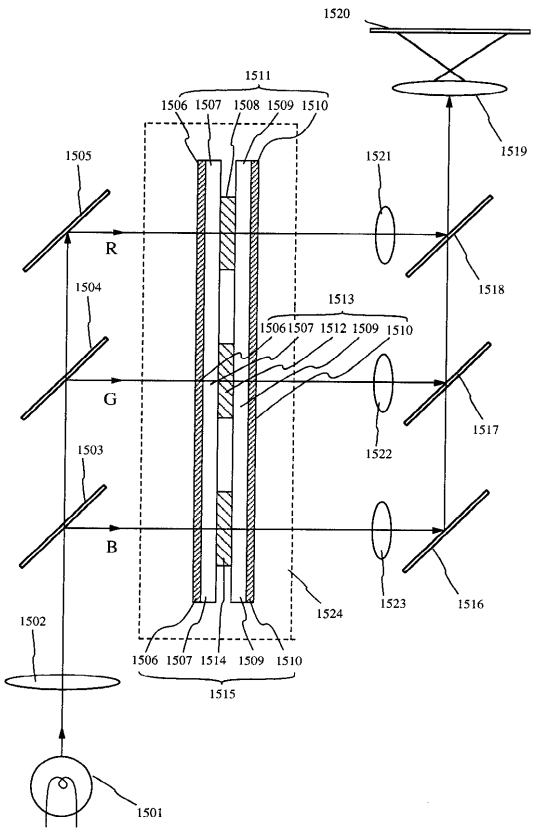
【図１３】



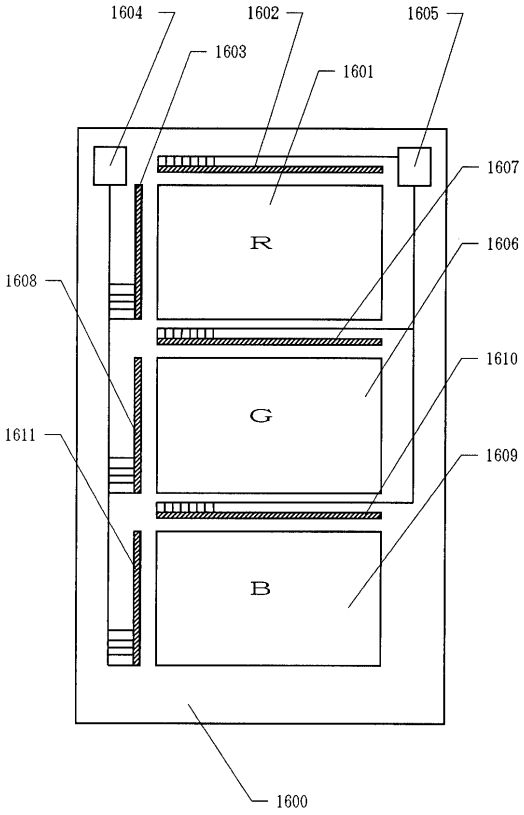
【図１４】



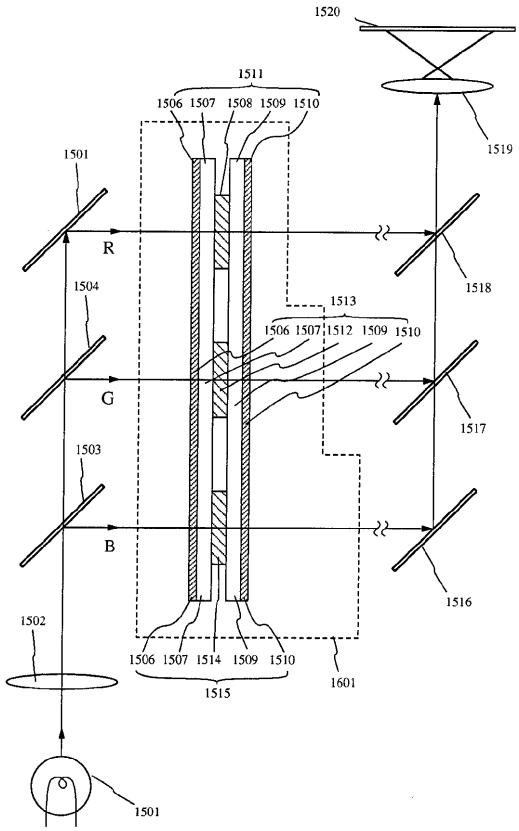
【図１５】



【図１６】



【図１７】


1520
1511
1506 1507 1508 1509 1510
1519
1501
R
1518
1504
1513
1506 1507 1512 1509 1510
G
1517
1503
B
1516
1502
1506 1507 1514 1509 1510
1515
1601
1501

フロントページの続き

審査官　山口　裕之

(56)参考文献　特開昭６２－２７１５７２（ＪＰ，Ａ）
特開平０２－２６４２９６（ＪＰ，Ａ）
特開平０６－１１８９０４（ＪＰ，Ａ）
特開平０６－２１４２０６（ＪＰ，Ａ）
特開平０６－３４７７４３（ＪＰ，Ａ）
特開平０３－２６１９１２（ＪＰ，Ａ）
特開平０４－１３８４１８（ＪＰ，Ａ）
特開平０６－０７５５５２（ＪＰ，Ａ）
特開平０２－０７３２２４（ＪＰ，Ａ）
特開平０５－２９７８３９（ＪＰ，Ａ）
特開平０３－０４８２２１（ＪＰ，Ａ）
特開平０５－０５３２２２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G02F　1/133　505
G02F　1/13　505
G02F　1/1333
G02F　1/1347