

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/02

H01L 23/522



[12] 发明专利申请公开说明书

[21] 申请号 200510009364.7

[43] 公开日 2005年8月24日

[11] 公开号 CN 1658372A

[22] 申请日 2005.2.17

[21] 申请号 200510009364.7

[30] 优先权

[32] 2004.2.17 [33] JP [31] 040408/2004

[71] 申请人 三洋电机株式会社

地址 日本大阪府

[72] 发明人 龟山工次郎 铃木彰 冈山芳央

[74] 专利代理机构 北京市柳沈律师事务所

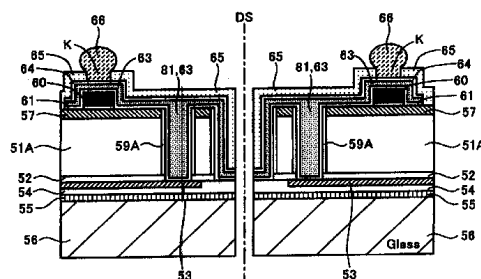
代理人 李贵亮 杨 梧

权利要求书2页 说明书9页 附图9页

[54] 发明名称 半导体装置及其制造方法

[57] 摘要

一种半导体装置及其制造方法，谋求可靠性的提高。在形成有焊盘电极53的硅晶片(51)的表面粘接玻璃衬底(56)。其次，形成从硅晶片(51)的背面到达焊盘电极(53)的通孔(81)，同时，形成沿切割线中心DS延伸，且从硅晶片(51)的背面贯通硅晶片(51)的槽(82)。然后，利用含有伴随加热处理的工序的各种工序在硅晶片(51)的背面形成缓冲层(60)、配线层(63)、焊接掩模(65)、焊球(66)。最后，将支承在玻璃衬底(56)上的硅晶片(51)切割成各个硅片(51A)。



ISSN 1008-4274

- 1、一种半导体装置的制造方法，其特征在于，包括：准备形成有焊盘电极的半导体衬底，并在所述半导体衬底的第一主面上粘接支承体的工序；
- 5 在形成从所述半导体衬底的第二主面到达所述焊盘电极表面上的通孔的同时，形成沿切割线延伸并从所述半导体衬底的第二主面贯通所述半导体衬底的槽的工序。
- 2、如权利要求 1 所述的半导体装置的制造方法，其特征在于，具有在形成所述槽的工序后，加热粘接所述支承体的所述半导体衬底的工序。
- 10 3、一种半导体装置的制造方法，其特征在于，包括：准备形成有焊盘电极的半导体衬底，并在所述半导体衬底的第一主面上粘接支承体的工序；在形成从所述半导体衬底的第二主面到达所述焊盘电极表面的通孔的同时，形成沿切割线延伸并从所述半导体衬底的第二主面贯通所述半导体衬底的槽的工序；在包括所述通孔内的所述半导体衬底的第二主面的整个面上形成
- 15 第一绝缘膜的工序；各向异性蚀刻所述第一绝缘膜，除去位于所述通孔底部的第一绝缘膜，在所述通孔及所述槽的侧壁形成侧壁绝缘膜的工序；形成通过所述通孔与所述焊盘电极电连接，且从所述通孔向所述槽内延伸的配线层的工序。
- 4、如权利要求 3 所述的半导体装置的制造方法，其特征在于，形成所
- 20 述配线层的工序通过镀敷法或喷溅法进行。
- 5、如权利要求 3 所述的半导体装置的制造方法，其特征在于，具有形成覆盖在所述配线层上的保护层的工序和在所述配线层上形成导电端子的工序。
- 6、一种半导体装置，其特征在于，包括：焊盘电极，其形成在半导体
- 25 芯片的第一主面上；支承体，其粘接在所述半导体芯片的第一主面上；通孔，其从所述半导体芯片的第二主面贯通所述焊盘电极的表面；侧壁绝缘膜，其形成在所述通孔的侧壁及所述半导体芯片的侧面；配线层，其通过所述通孔，与所述焊盘电极电连接。
- 7、如权利要求 6 所述的半导体装置，其特征在于，所述配线层由镀敷
- 30 法或喷溅法形成。
- 8、如权利要求 6 所述的半导体装置，其特征在于，还包括：保护层，

其覆盖所述配线层上；导电端子，其形成在所述配线层上。

9、一种半导体装置，其特征在于，包括：支承体，其粘接在形成有焊盘电极的半导体衬底的第一主面上；通孔，其从所述半导体衬底的第二主面到达所述焊盘电极的表面；在沿切割线被切割的侧端部被蚀刻的面。

5

半导体装置及其制造方法

5 技术领域

本发明涉及芯片尺寸封装型的半导体装置及其制造方法。

背景技术

近年来，作为三维安装技术且作为新的封装技术，CSP（芯片尺寸封装
10 Chip Size Package）正引起人们的关注。所谓CSP是指具有与半导体芯片的
外形尺寸大致相同尺寸的小型封装。

目前，作为CSP之一种，BGA型半导体装置是众所周知的。该BGA
型半导体装置中，在封装的一主面上格子状排列多个由焊锡等金属部件构成
的球状导电端子，使其与搭载于封装其它面上的半导体芯片电连接。

15 而且，在将该BGA型半导体装置装入电子设备时，通过在印刷线路板
上的配线图案上压装各导电端子，将半导体芯片和搭载在印刷线路板上的外
部电路电连接。

这种BGA型半导体装置与具有向侧部突出的引脚的SOP（Small Outline
Package）或QFP（Quad Flat Package）等其它CSP型的半导体装置相比，可
20 设置多个导电端子，而且具有可小型化的优点。该BGA型半导体装置具有
例如作为搭载于手机上的数字相机的图像传感器芯片的用途。

图13是现有BGA型半导体装置的概略结构图，图13（A）是该BGA
型半导体装置表面侧的立体图。图13（B）是该BGA型半导体装置背面侧
的立体图。

25 该BGA型半导体装置101中，在第一及第二玻璃衬底102、103之间介
由环氧树脂105a、105b密封有半导体芯片104。在第二玻璃衬底103的一主
面上，即BGA型半导体装置101的背面上格子状配置多个导电端子106。
该导电端子106介由第二配线110与半导体芯片104连接。多个第二配线110
30 上分别连接从半导体芯片104内部引出的铝配线，将各导电端子106和半导
体芯片104电连接。

参照图14进一步详细说明该BGA型半导体装置101的断面结构。图

14 显示沿切割线分割为一个个芯片的 BGA 型半导体装置 101 的断面图。

在配置于半导体芯片 104 表面上的绝缘膜 108 上设有第一配线 107。该半导体芯片 104 通过树脂层 105a 与第一玻璃衬底 102 粘接。另外，该半导体芯片 104 的背面通过树脂层 105b 与第二玻璃衬底 103 粘接。

5 而且，第一配线 107 的一端与第二配线 110 连接。该第二配线 110 从第一配线 107 的一端延伸到第二玻璃衬底 103 的表面。在延伸到第二玻璃衬底 103 上的第二配线上形成有球状的导电端子 106。

上述的技术记载于例如以下的专利文献 1 中。

专利文献 1: 特表 2002-512436 号公报

10 但是，在所述的 BGA 型半导体装置 101 中，由于第一配线 107 和第二配线 110 的接触面积非常小，故可能在该接触部分产生断线。另外，第二配线 110 的分步数层也有问题。因此，本发明在具有 BGA 的半导体装置及其制造方法中，谋求可靠性的提高。

15 另外，在所述的半导体装置中，由于在半导体芯片 104 上介由环氧树脂粘接玻璃衬底 102、103，粘接膨胀系数各不相同的物体，故在伴随热处理的各种操作工序中会产生半导体晶片的挠曲，操作性恶化。

发明内容

20 本发明提供一种半导体装置的制造方法，其包括：准备形成有焊盘电极的半导体衬底，并在所述半导体衬底的第一主面上粘接支承体的工序；在形成从所述半导体衬底的第二主面到达所述焊盘电极表面的通孔的同时，形成沿切割线延伸并从所述半导体衬底的第二主面贯通所述半导体衬底的槽的工序。

25 本发明在上述工序之外，还具有在进行形成所述槽的工序后，加热粘接有所述支承体的所述半导体衬底的工序。

30 本发明提供一种半导体装置，其包括：焊盘电极，其形成在半导体芯片的第一主面上；支承体，其粘接在所述半导体芯片的第一主面上；通孔，其从所述半导体芯片的第二主面贯通所述焊盘电极的表面；侧壁绝缘膜，其形成在所述通孔的侧壁及所述半导体芯片的侧面；配线层，其通过所述通孔，与所述焊盘电极电连接；保护层，其覆盖所述配线层上而形成；导电端子，其形成在所述配线层上。

本发明提供一种半导体装置，其包括：支承体，其被粘接在形成有焊盘电极的半导体衬底的第一主面上；通孔，其从所述半导体衬底的第二主面到达所述焊盘电极的表面；在沿切割线被切割的侧端部被蚀刻的面。

5 根据本发明，由于形成从半导体芯片的焊盘电极介由通孔直至其导电端子的配线，故可防止所述配线的断线或分步敷层的劣化。由此，可得到可靠性高的半导体装置。

另外，根据本发明，在加热粘接有支承衬底的半导体衬底的工序中，可最大限度地抑制支承衬底的热膨胀系数和半导体衬底的热膨胀系数的差异产生的挠曲。由此，可顺畅地进行向不同的工序搬运时的半导体衬底的运送，
10 同时，可提高半导体装置的成品率。

根据本发明，由于在将粘接有支承衬底的半导体衬底分离成一个个半导体芯片后，半导体芯片的侧面被配线层及保护层覆盖，故可最大限度地防止水分侵入半导体芯片内。

15 附图说明

图 1 是说明本发明实施例的半导体装置制造方法的剖面图；
图 2 是说明本发明实施例的半导体装置制造方法的剖面图；
图 3 是说明本发明实施例的半导体装置制造方法的剖面图；
图 4 是说明本发明实施例的半导体装置制造方法的剖面图；
20 图 5 是说明本发明实施例的半导体装置制造方法的剖面图；
图 6 是说明本发明实施例的半导体装置制造方法的剖面图；
图 7 是说明本发明实施例的半导体装置制造方法的剖面图；
图 8 是说明本发明实施例的半导体装置制造方法的剖面图；
图 9 是说明本发明实施例的半导体装置制造方法的剖面图；
25 图 10 是说明本发明实施例的半导体装置制造方法的剖面图；
图 11 是说明本发明实施例的半导体装置及其制造方法的剖面图；
图 12 是说明本发明实施例的半导体装置制造方法的平面图；
图 13(A)、(B)是说明现有的半导体装置的图；
图 14 是说明现有的半导体装置的图。

30

具体实施方式

其次，参照附图详细说明本实施例。首先，说明该半导体装置的结构。图 11 是该半导体装置的剖面图，其表示将经过后述的工序的半导体衬底即硅晶片 51 沿切割线区域 DL 的切割线中心 DS 分割成各个半导体芯片的情况。

5 作为半导体芯片的硅片 51A 是例如 CCD (Charge Coupled Device) 图像传感器芯片，在作为其第一主面的表面上介由 BPSG 等层间绝缘膜 52 形成有焊盘电极 53。该焊盘电极 53 是将通常的用于引线接合的焊盘电极扩大到切割线区域 DL 的电极，其被称为扩张焊盘电极。

10 该焊盘电极 53 被氮化硅膜等钝化膜 54 覆盖。在形成有该焊盘电极 53 的硅片 51A 的表面上介由例如由环氧树脂构成的树脂层 55 粘接有玻璃衬底 56。玻璃衬底 56 被作为保护硅片 51A 的保护衬底，及支承硅片 51A 的支承衬底使用。

15 在硅片 51A 为 CCD 图像传感器芯片时，由于必须利用硅片 51A 表面的 CCD 器件接收来自外部的光，故必须使用玻璃衬底 56 这样的透明衬底或半透明衬底。在硅片 51A 不接收或发射光时，也可以使用不透明衬底。

然后，形成从硅片 51A 的作为第二主面的背面到达焊盘电极 53 的通孔 81。另外，在通孔 81 的侧壁及硅片 51A 的侧面形成侧壁绝缘膜 59A。侧壁绝缘膜 59A 是使后述的配线层 63 和硅片 51A 电绝缘的绝缘膜。

20 另外，在硅片 51A 的背面与通孔 81 邻接的区域介由第一绝缘膜 57 形成缓冲层 60。

然后，形成通过该通孔 81 电连接到焊盘电极 53 上，且从通孔 81 延伸到硅片 51A 的背面上及侧面的配线层 63。配线层 63 也被称为再配线层，是例如在铜 (Cu) 上层积了 Ni/Au 等阻挡层 64 的结构。

25 在配线层 63 的下层设有籽晶层 61，这是构成在利用电镀形成配线层 63 时使用的镀敷电极的金属层。配线层 63 向硅片 51A 的背面上延伸，覆盖缓冲层 60。

30 然后，利用作为保护层的焊接掩模 65 覆盖配线层 63，在焊接掩模 65 上，在缓冲层 60 上的部分形成开口部 K。通过该焊接掩模 65 的开口部 K 搭载有作为导电端子的焊球 66。由此，将焊球 66 和配线层 63 电连接。通过形成多个这种焊球 66，可得到 BGA 结构。

这样，可进行从硅片 51A 的焊盘电极 53 直至形成在其背面的焊球 66

的配线。另外，由于通过通孔 81 进行配线，故不易引起断线，分步敷层也好。进而配线的机械强度也高。

由于硅片 51A 的侧面被配线层 63 及焊接掩模 65 覆盖，故可最大限度地防止水分向硅片 51A 内部侵入。

5 由于焊球 66 被配置在缓冲层 60 上，故在介由该焊球 66 将该半导体装置向印刷线路板上搭载时，缓冲层 60 作为一种缓冲器起作用，可缓和其冲击，防止损伤焊球 66 或作为主体的半导体装置。

另外，焊球 66 的形成位置比硅片 51A 的背面高出缓冲层 60 的厚度的量。由此，在将该半导体装置搭载于印刷线路板上时，可防止因印刷线路板和焊球 66 的热膨胀系数之差产生的应力而损伤焊球 66 或硅片 51A。

另外，缓冲层 60 可使用有机绝缘物、无机绝缘物、金属、硅、光致抗蚀剂等各种材质，但要使其作为缓冲器起作用，则富有弹性的有机绝缘物、无机绝缘物、光致抗蚀剂等适合。

硅片 51A 也可以是 GaAs、Ge、Si-Ge 等其它材料的半导体芯片。

15 下面，说明上述本实施例的半导体装置的制造方法。如图 1 所示，在作为半导体衬底的硅晶片 51 的第一主面即表面上形成未图示的半导体集成电路（例如 CCD 图像传感器）。另外，图 1 表示在后述的切割工序中被切割的予定的邻接芯片的边界（即切割线区域 DL 附近）的剖面。

在该硅晶片 51 的表面上介由 BPSG 等层间绝缘膜 52 形成一对焊盘电极 20 53。该一对焊盘电极 53 由铝、铝合金、铜等金属层构成，其厚度为 $1\mu\text{m}$ 左右。另外，将一对焊盘电极 53 向切割线区域 DL 扩张，并将其扩张的端部配置在切割线区域 DL 的切割线中心 DS 的附近。

然后，形成覆盖一对焊盘电极 53 的氮化硅膜等的钝化膜 54，进而在该钝化膜 54 上涂敷例如由环氧树脂构成的树脂层 55。

25 然后，介由该树脂层 55 将玻璃衬底 56 粘接在硅晶片 51 的表面上。该玻璃衬底 66 作为硅晶片 51 的保护衬底或支承衬底起作用。另外，支承衬底不限于玻璃衬底 56，也可以为例如金属衬底或由有机物构成的衬底状件或带状衬底。之后，在粘接了该玻璃衬底 56 的状态下，根据需要进行硅晶片 51 的背面蚀刻，即所谓的背面研磨，将其厚度加工为 $150\mu\text{m}$ 左右。

30 然后，使用酸（例如 HF 和硝酸等的混合液）作为蚀刻剂，将硅晶片 51 蚀刻 $20\mu\text{m}$ 左右。由此，机械地除去背面研磨产生的硅晶片 51 的机械性损

伤层，对改善形成于硅晶片 51 表面上的器件的特性是有效的。在本实施例中，硅晶片 51 的最终完成的厚度为 $130\ \mu\text{m}$ 左右，但也可以对应器件的种类进行适当的选择。

然后，在利用所述工序研削背面后的硅晶片 51 背面的整个面上形成第一绝缘膜 57。该第一绝缘膜 57 通过例如等离子 CVD 法形成，且适用 PE-SiO₂ 膜或 PE-SiN 膜。另外，也可以省去第一绝缘膜 57 的形成。

其次，如图 2 所示，选择性地在第一绝缘膜 57 上形成光致抗蚀剂层 58。以该光致抗蚀剂层 58 为掩模，进行第一绝缘膜 57 及硅晶片 51 的蚀刻。通过该蚀刻形成贯通硅晶片 51 的通孔 81，同时，形成沿切割线区域 DL 的切割线中心 DS 附近延伸且贯通硅晶片 51 的槽 82。另外，也可以省略所述第一绝缘膜 57 的形成工序，此时，以直接形成在硅晶片 51 上的光致抗蚀剂层 58 为掩模，进行硅晶片 51 的蚀刻。

要形成通孔 81 及槽 82，有湿蚀刻方法和使用干蚀刻的方法。在本实施例中，使用至少包括 SF₆、O₂ 或 C₂F₄、C₄F₈ 或 CHF₃ 等 CF 系气体的蚀刻气体进行干蚀刻。关于通孔 81，为了使后述的籽晶层 61 的包覆性良好，其断面形状也可以加工成正锥形。这样，通孔 81 和沿切割线形成的槽 82 具有被蚀刻的面。

在此，在通孔 81 的底部露出层间绝缘膜 52，且与其相接具有焊盘电极 53。通孔 81 的宽度为 $40\ \mu\text{m}$ 左右，其长度为 $200\ \mu\text{m}$ 左右。另外，在槽 82 的底部也露出层间绝缘膜 52。槽 82 的深度与通孔 81 的长度相同（或相同程度）。即，利用槽 82 将硅晶片 51 在与玻璃衬底 56 粘接的状态下分离成各个硅片。由此，在后述的工序中，在进行加热处理（例如之后说明的喷溅工序中的加热处理或焊锡回流时的热处理）时，由于硅晶片 51 被单片化，故对应目前这样的硅晶片 51 的热膨胀系数的膨胀或收缩被分断，对应该热膨胀系数的膨胀或收缩被降低，只需考虑对应玻璃衬底 56 的热膨胀系数的膨胀或收缩即可，故与现有技术相比，可大幅度地降低挠曲的程度。另外，通过同时考虑对应作为粘接剂使用的环氧树脂的热膨胀系数的膨胀或收缩，进一步提高可靠性。

另外，在形成于硅晶片 51 上的通孔 81、槽 82 及切割线区域 DL 的位置关系成为如从硅晶片 51 背面看时的平面图即图 12 所示。另外，焊盘电极 53 不局限于沿切割线形成。

其次，如图3所示，在形成有通孔81及槽82的硅晶片51的背面整体上形成第二绝缘膜59。第二绝缘膜59通过例如等离子CVD法形成，PE-SiO₂膜或PE-SiN膜适用。第二绝缘膜59在通孔81的底部、侧壁、槽82的底部、侧壁及第一绝缘膜57上形成。

5 其次，如图4所示，邻接通孔81，在第二绝缘膜59上形成缓冲层60。缓冲层60可使用抗蚀剂薄膜，通过掩模曝光及显影处理形成在规定的区域。缓冲层60不限于此，也可以使用有机绝缘物或无机绝缘物、金属、硅、光致抗蚀剂等各种材料，但要使其具有缓冲器的功能，则富有弹性的有机绝缘物或无机绝缘物、光致抗蚀剂等适用。另外，也可以省略所述缓冲层60。

10 其次，如图5所示，不使用光致抗蚀剂层，进行各向异性干蚀刻。由此，仅在通孔81的侧壁及槽82的侧壁留下第二绝缘膜59，将其作为侧壁绝缘膜59A。另外，蚀刻除去位于通孔81和槽82底部的第二绝缘膜59及层间绝缘膜52。在通孔81的底部露出焊盘电极53。

15 这样，在本实施例中，在形成通孔81后，在通孔81内形成第二绝缘膜59，在形成缓冲层60后，蚀刻除去位于通孔81底部的第二绝缘膜59及层间绝缘膜52，露出焊盘电极53。

20 与此相对，也可以在蚀刻通孔81的底部并露出焊盘电极53之后，形成缓冲层60，但这种情况下，在形成缓冲层60时，露出的通孔81的底部被污染，之后，在通孔81内形成的配线层63和焊盘电极53的电连接可能产生不良。因此，如本实施例，最好在形成缓冲层60后，蚀刻通孔81的底部，由此可得到配线层63和焊盘电极53的良好的电连接。

另外，在图5的工序形成缓冲层60后，蚀刻通孔81内的绝缘膜，形成侧壁绝缘膜59A，利用该蚀刻将缓冲层60的表面粗糙化，还具有提高和后述的籽晶层61的附着性的优点。

25 其次，说明形成配线层63的工序。如图6所示，利用伴随加热处理的喷溅法、MOCVD法、无电解镀敷法等任意一种方法在从硅晶片51的背面侧到包括通孔81内及槽82内的硅晶片51的背面整体形成籽晶层61。籽晶层例如由铜(Cu)层、或钛钨(TiW)层或氮化钛(TiN)层、氮化钽(TaN)层等势垒金属层、或铜(Cu)层和势垒金属层的层积结构形成。在此，在通孔81内形成籽晶层61，使其与焊盘电极53电连接，且覆盖侧壁绝缘膜59A。

籽晶层61也覆盖缓冲层60。在此，构成籽晶层61的势垒金属层防止铜

(Cu)通过侧壁绝缘膜 59A 扩散到硅晶片 51 中。但在侧壁绝缘膜 59A 有氮化硅膜(SiN 膜)形成的情况下, 由于氮化硅膜(SiN 膜)构成相对铜扩散的势垒, 故籽晶层 61 可仅由铜构成。

该籽晶层 61 为了后述的电镀时的镀敷成长而构成镀敷电极。其厚度为 1
5 μm 左右即可。另外, 在将通孔 81 加工成正锥形时, 籽晶层 61 的形成可使用喷溅法。

其次, 如图 7 所示, 通过进行铜 (Cu) 的电镀形成配线层 63。配线层 63 从通孔 81 引出到硅晶片 51 的背面, 在该背面上延伸, 覆盖缓冲层 60。由此, 配线层 63 与焊盘电极 53 电连接。另外, 配线层 53 从硅晶片 51 的背
10 面向槽 82 内延伸, 覆盖其侧壁及底部。

另外, 在图 7 中, 配线层 63 被完全埋入通孔 81 内, 但通过调整镀敷时间, 也可以不完全埋入。另外, 配线层 63 通过电镀被埋入通孔 VH 内而形成, 但不限于此, 也可以通过其它方法形成。例如, 配线层 63 可通过 CVD
15 法或 MOCVD 法, 或向通孔 81 内埋入铜 (Cu) 或铝 (Al) 等金属的方法形成。另外, 配线层 63 可在硅晶片 51 背面的规定区域形成所希望的条数。

这样, 由于介由通孔 81 形成从硅片 51A 的焊盘电极 53 到焊球 66 的配线层 63, 故与现有技术相比, 可降低配线层 63 的断线或分布敷层的劣化。由此, 与现有例相比, 可得到可靠性高的 BGA 型半导体装置。

其次, 如图 8 所示, 利用镍 (Ni)、金 (Au) 的无电解镀敷或喷溅法在
20 配线层 63 上形成由 Ni/Au 层构成的阻挡层 64。然后, 如图 9 所示, 在配线层 63 上覆盖作为保护层的焊接掩模 65。焊接掩模 65 的缓冲层 60 上的部分被除去, 设置开口部 K。

然后, 如图 10 所示, 使用网印法在配线层 63 的规定区域上印刷焊锡, 通过热处理使该焊锡回流, 形成焊球 66。焊球 66 不限于焊锡, 也可以使用
25 无铅低熔点金属材料形成。另外, 焊球 66 可自由地选择其数量或形成区域而形成。不限于焊锡, 也可以通过镀敷形成。

在此, 焊球 66 形成在比硅片 51A 的背面高缓冲层 60 的膜厚的量的位置。由此, 容易吸收该半导体装置向印刷线路板安装时产生的应力, 可大幅度地防止焊球 66 的损伤。另外, 由于焊球 66 形成在缓冲层 60 上, 故可缓和向
30 印刷线路板上安装半导体装置时的冲击, 防止损伤半导体装置。

然后, 如图 11 所示, 沿切割线区域 DL 的切割线中心 DS 进行切割工序,

将硅晶片 51 分割成多个硅片 51A。在该切割工序中使用切割片进行切削。

在此，槽 82 形成各硅片 51A 的侧面。该硅片 51A 的侧面被侧壁绝缘膜 59A、籽晶层 61、配线层 63、阻挡层 64、焊接掩模 65 覆盖。由此，可最大限度地防止水分侵入硅片 51 内。

5 在所述的工序中，由于在伴随加热处理的工序，即利用喷溅法形成籽晶层 61 等时、或利用焊锡的回流形成焊球 66 时，硅晶片 51 在被槽 82 隔断的状态下支承在玻璃衬底 56 上（参照图 12），故玻璃衬底 56 和硅晶片 51 的热膨胀系数的差异产生的挠曲减小。由此，可顺畅地进行向不同工序前进时硅晶片 51 的搬运，同时，可提高半导体装置的成品率。

10 另外，在所述本实施例中，形成将通常用于引线接合的焊盘电极扩张到切割线区域 DL 而构成的焊盘电极 53，但不限于此，也可以直接使用不扩张到切割线区域 DL 的通常用于引线接合的焊盘电极代替焊盘电极 53。此时，只要使通孔 81 的形成位置与该焊盘电极对准即可，其它工序完全相同。

15 另外，本发明适用于形成有焊球 66 的 BGA 型半导体装置及其制造方法，但本发明不限于此，即，只要在形成贯通硅晶片的通孔的工序之后，包括伴随加热处理的工序，则本发明也适用于不形成焊球的半导体装置及其制造方法。例如也适用于 LGA（Land Grid Array）型半导体装置及其制造方法。

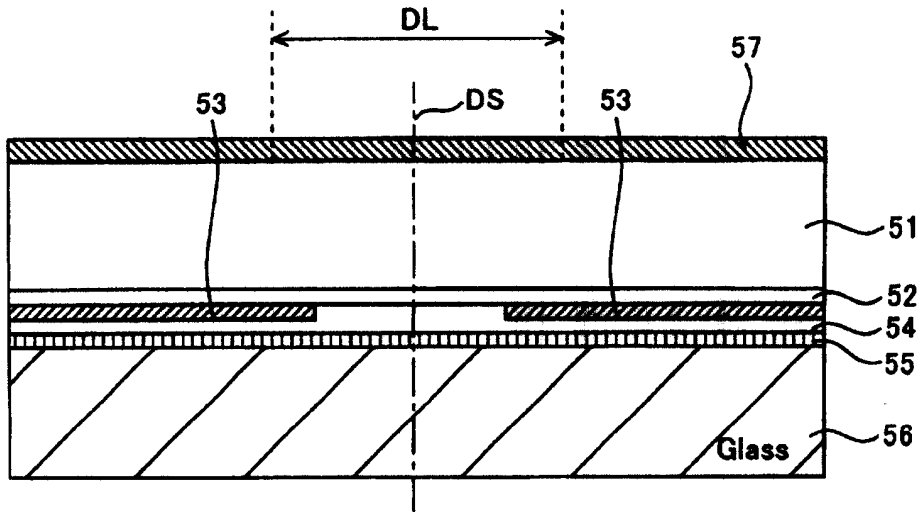


图 1

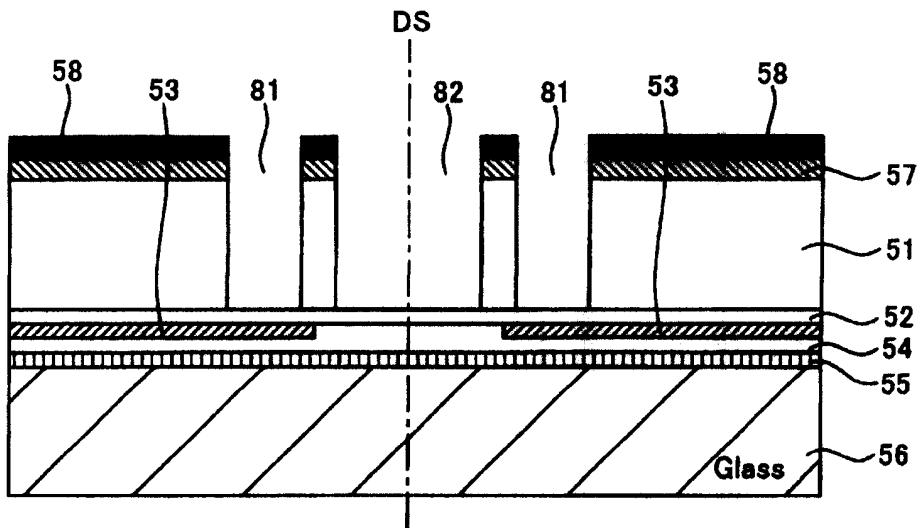


图 2

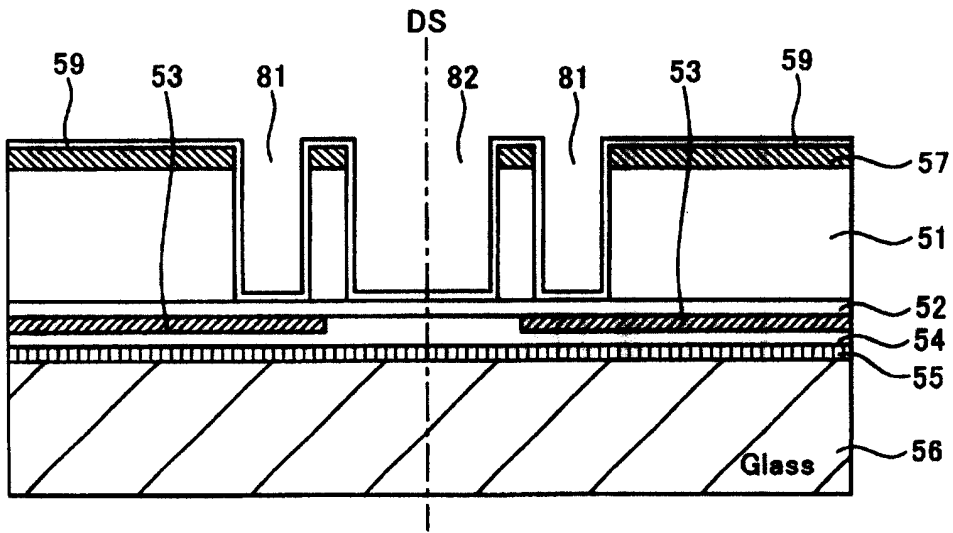


图 3

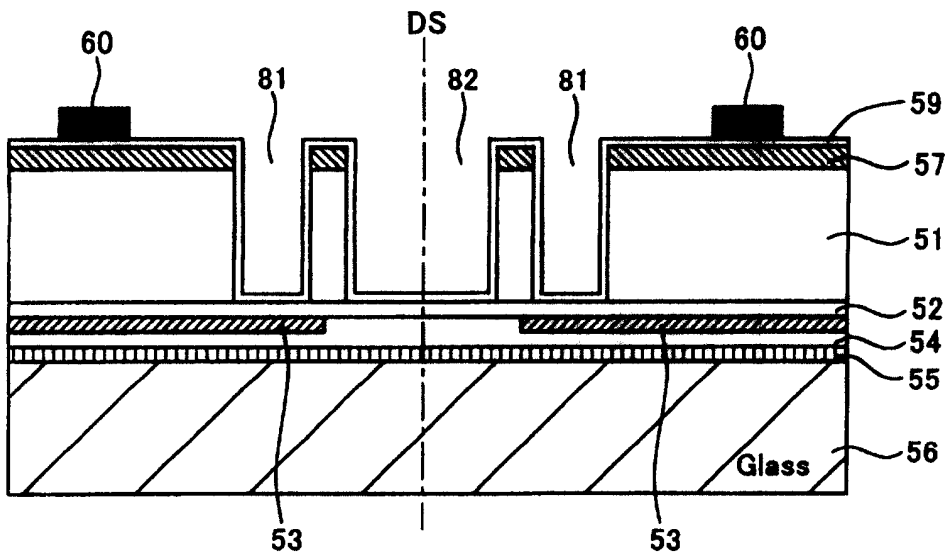


图 4

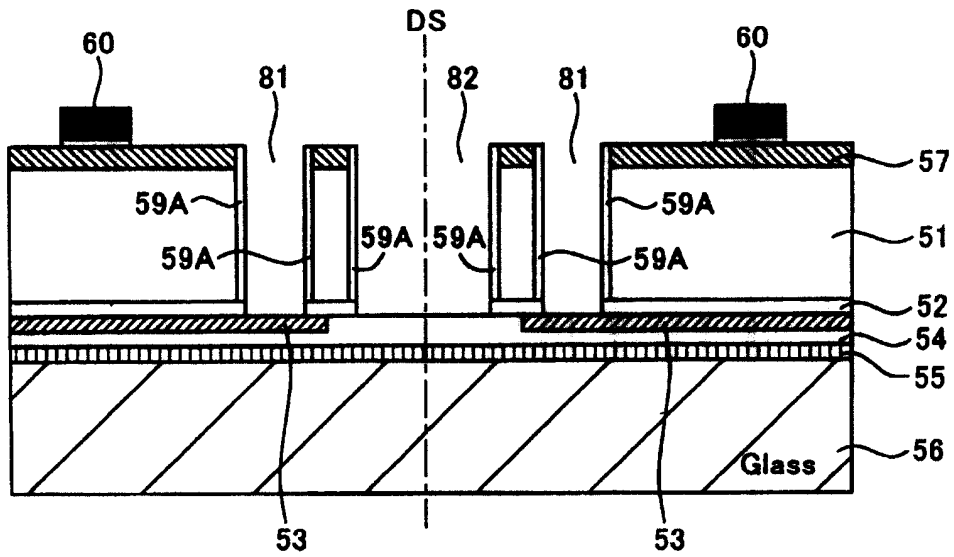


图 5

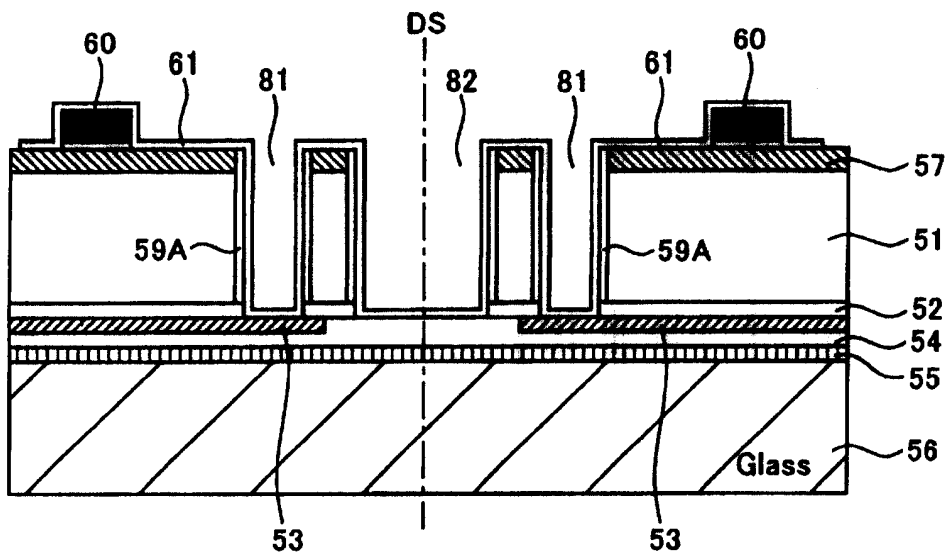


图 6

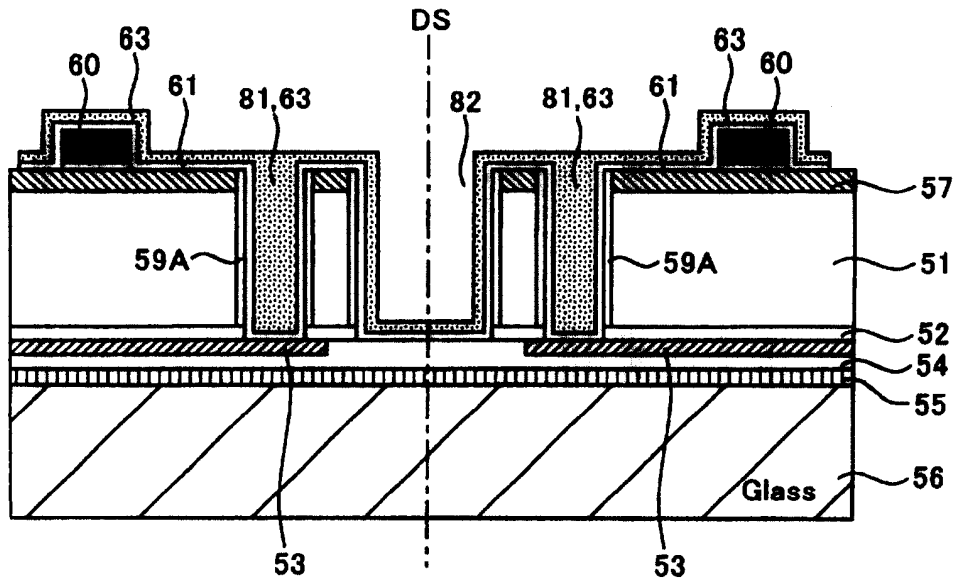


图 7

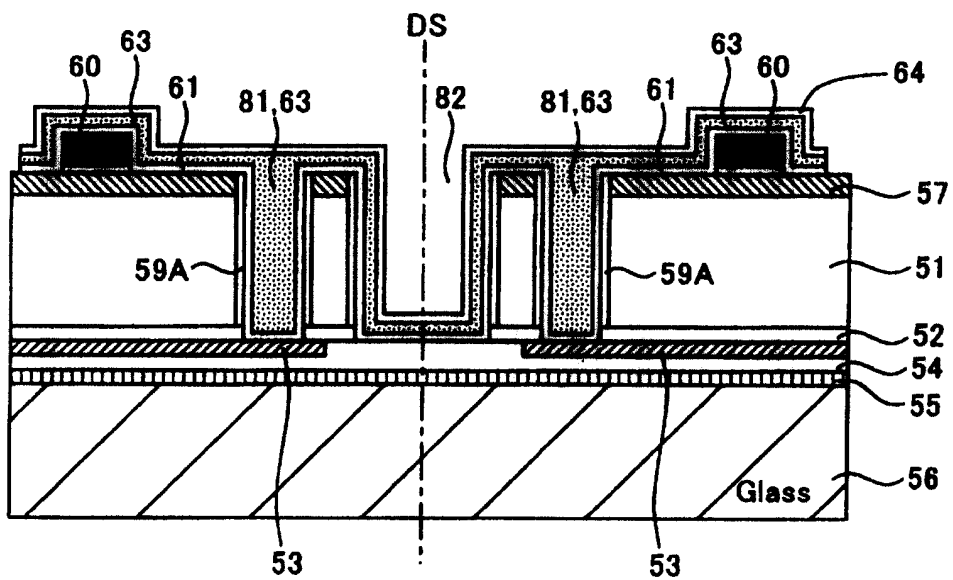


图 8

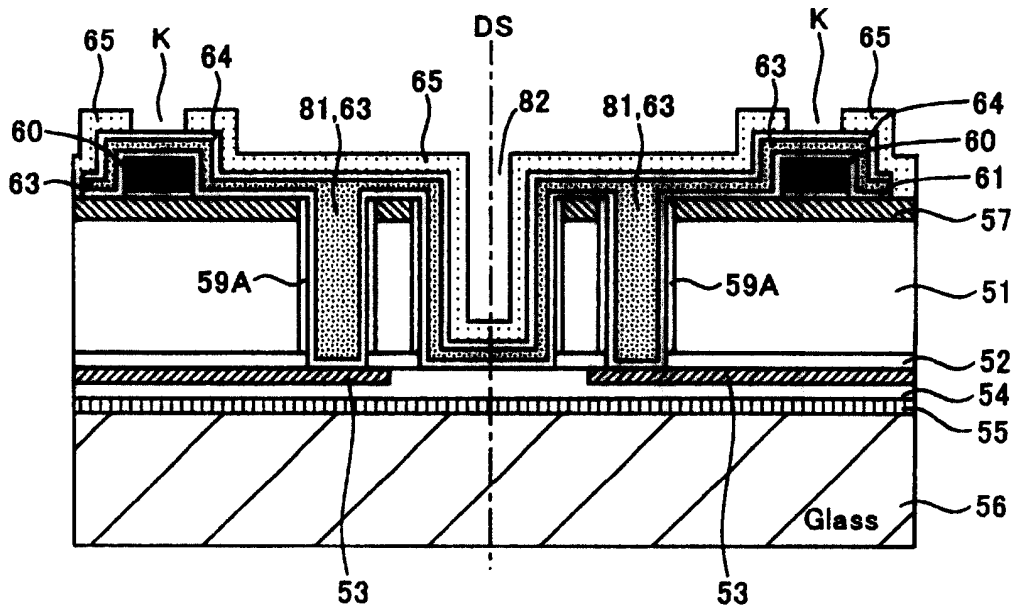


图 9

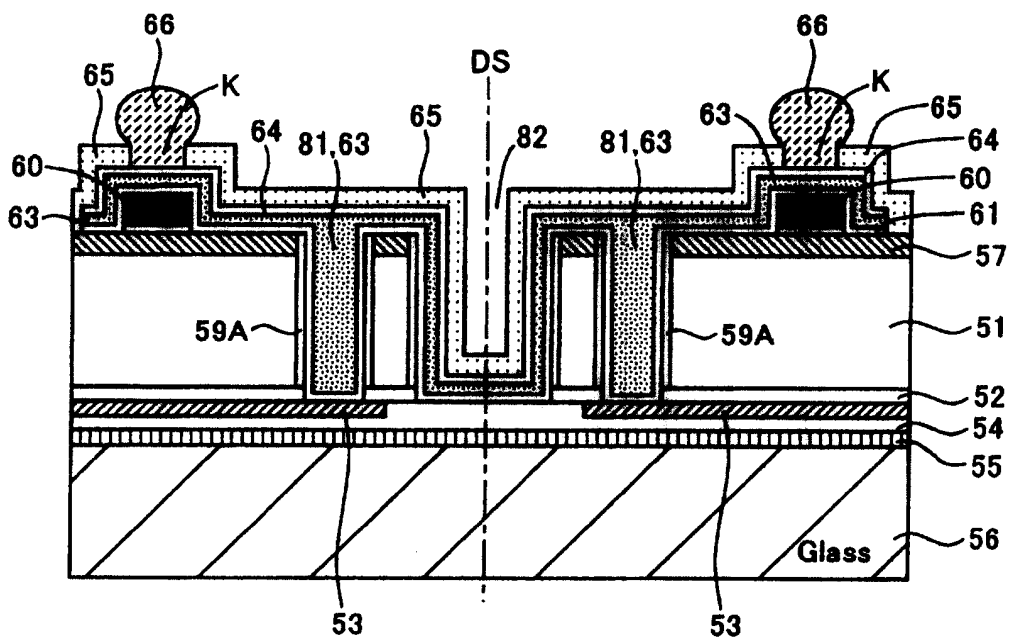


图 10

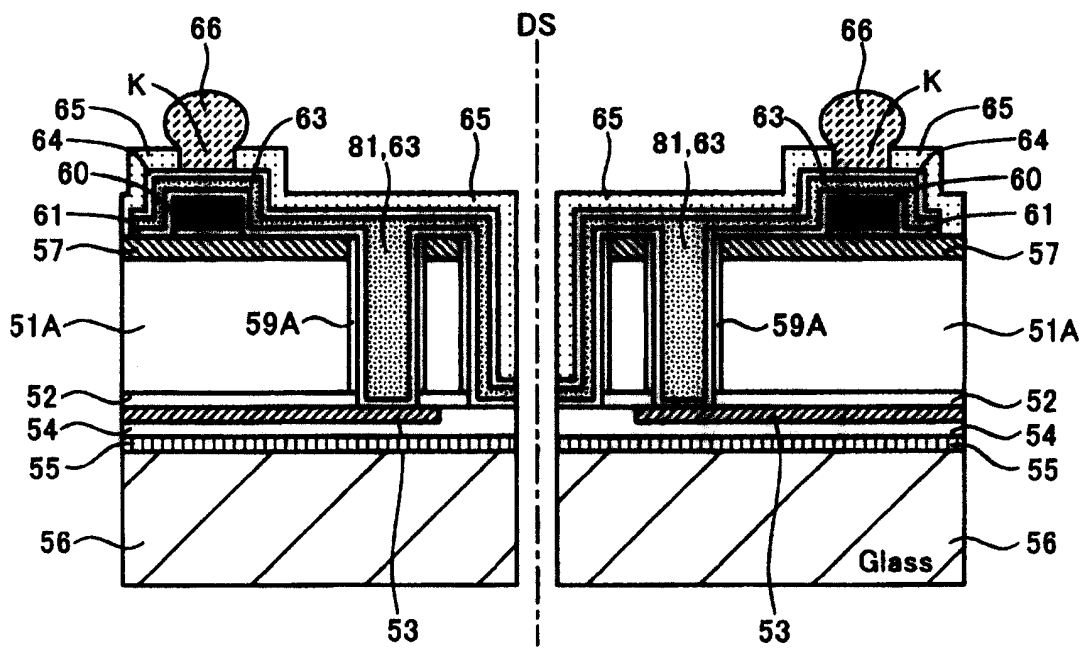


图 11

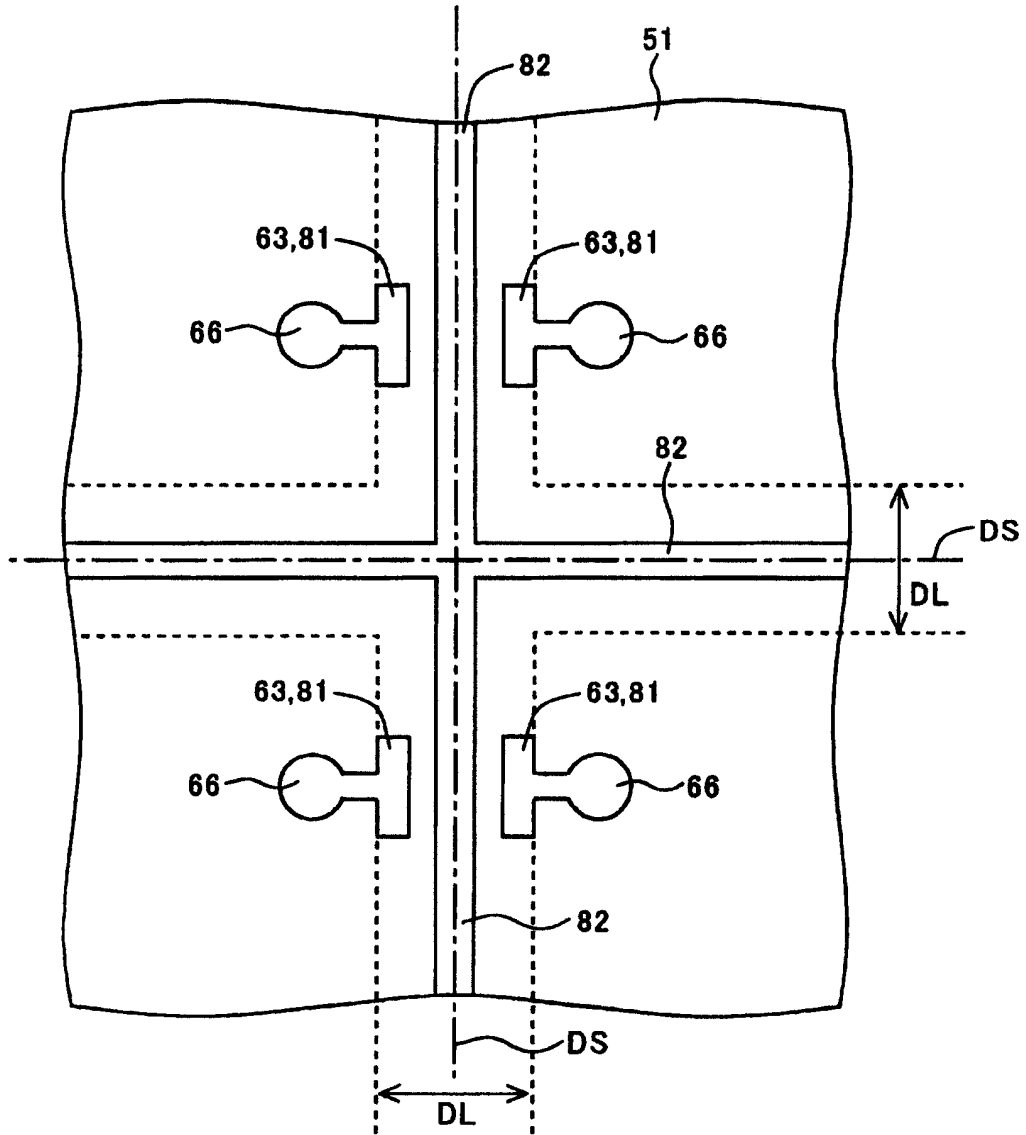


图 12

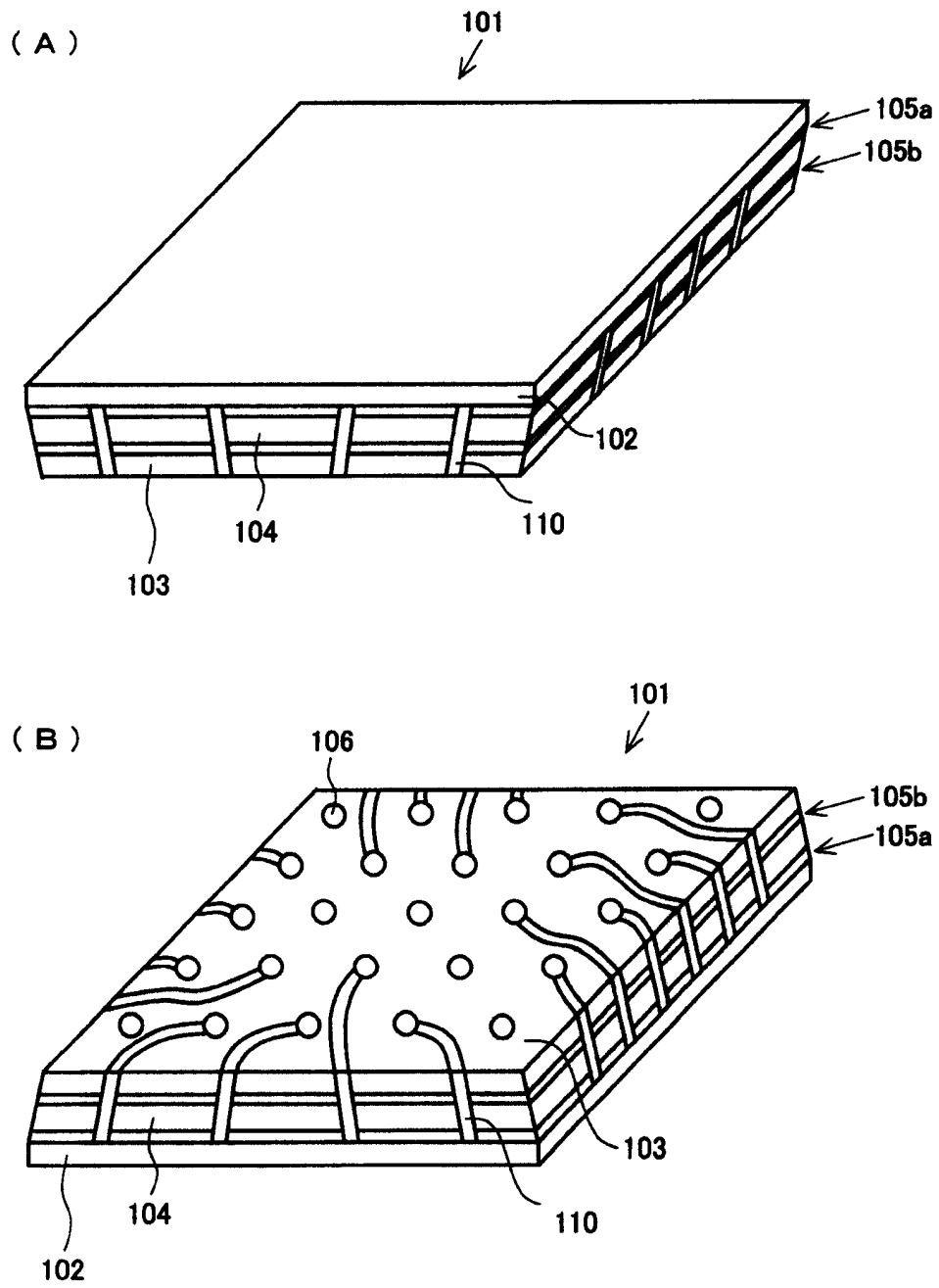


图 13

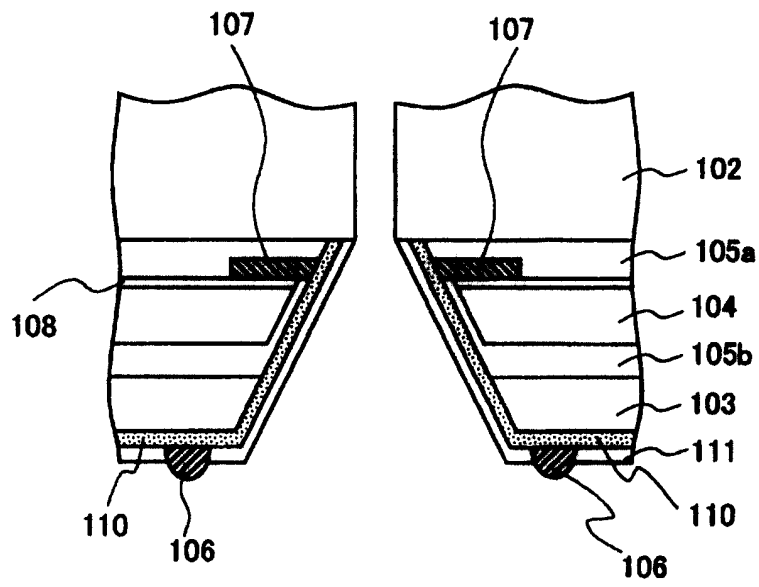


图 14