



(21)申請案號：100124338

(22)申請日：中華民國 100 (2011) 年 07 月 08 日

(51)Int. Cl. : H01L23/488 (2006.01)

H01L21/60 (2006.01)

(30)優先權：2010/07/08 美國

12/832,376

(71)申請人：泰斯拉公司 (美國) TESSERA, INC. (US)
美國

(72)發明人：哈巴 比加希姆 HABA, BELGACEM (US)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：47 項 圖式數：35 共 88 頁

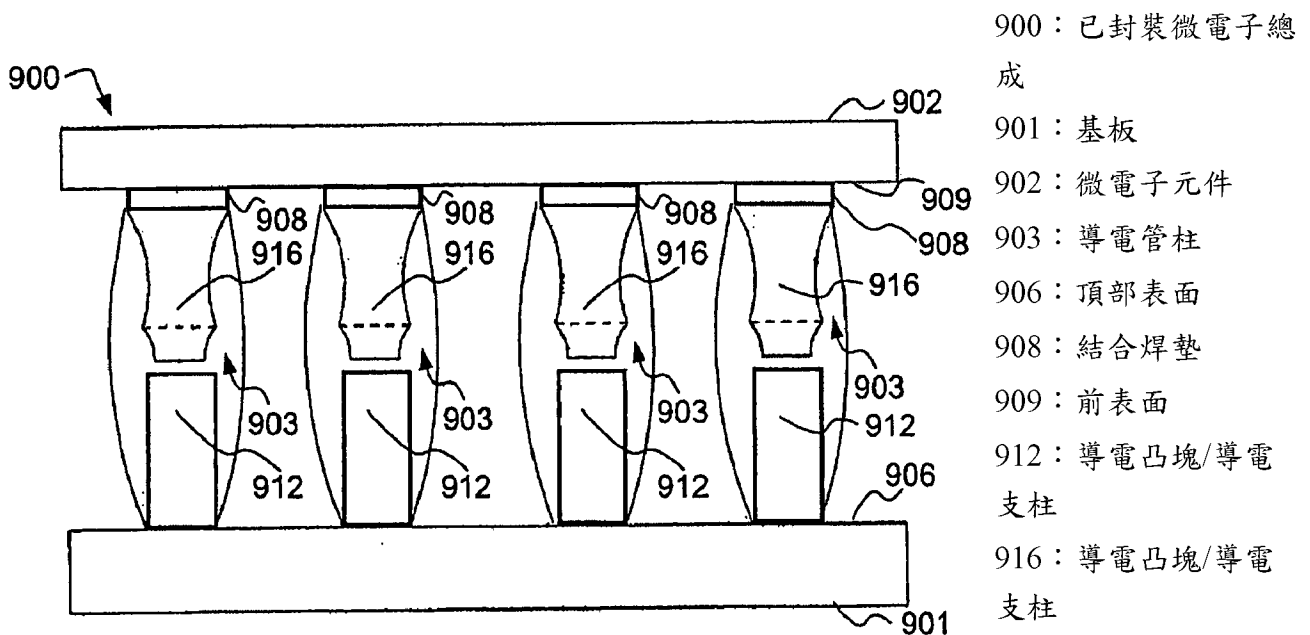
(54)名稱

具有雙重或多重蝕刻覆晶連接器之微電子封裝

MICROELECTRONIC PACKAGES WITH DUAL OR MULTIPLE-ETCHED FLIP-CHIP CONNECTORS

(57)摘要

一種已封裝微電子元件包括一微電子元件，該微電子元件具有一前表面及延伸離開該前表面之複數個第一固體金屬支柱。一基板具有一主表面及曝露於該主表面處且接合至該等第一固體金屬支柱之複數個導電元件。在特定實例中，該等導電元件可為結合焊墊，或可為具有頂部表面及以實質角度延伸離開該等頂部表面之邊緣表面的第二支柱。每一第一固體金屬支柱包括鄰近於該微電子元件之一基底區及遠離於該微電子元件之一尖端區，該基底區及該尖端區具有各別凹形圓周表面。每一第一固體金屬支柱具有在該基底區中為垂直位置之一第一函數且在該尖端區中為垂直位置之一第二函數的一水平尺寸。





(21)申請案號：100124338

(22)申請日：中華民國 100 (2011) 年 07 月 08 日

(51)Int. Cl. : H01L23/488 (2006.01)

H01L21/60 (2006.01)

(30)優先權：2010/07/08 美國

12/832,376

(71)申請人：泰斯拉公司 (美國) TESSERA, INC. (US)
美國

(72)發明人：哈巴 比加希姆 HABA, BELGACEM (US)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：47 項 圖式數：35 共 88 頁

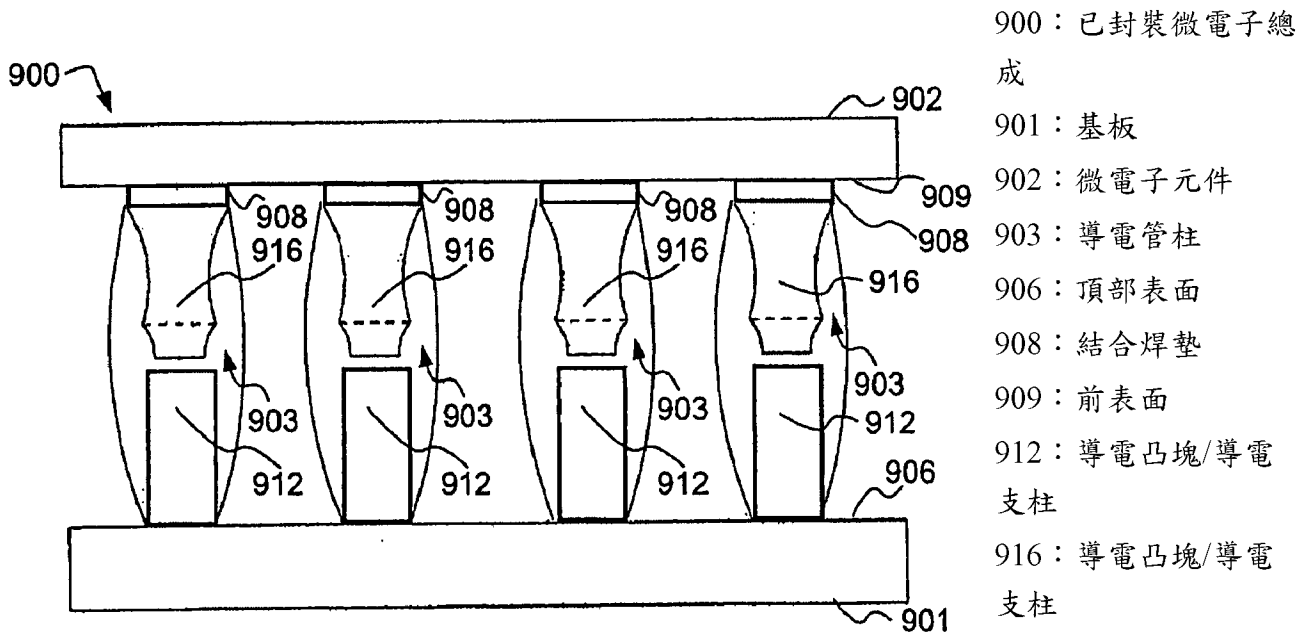
(54)名稱

具有雙重或多重蝕刻覆晶連接器之微電子封裝

MICROELECTRONIC PACKAGES WITH DUAL OR MULTIPLE-ETCHED FLIP-CHIP CONNECTORS

(57)摘要

一種已封裝微電子元件包括一微電子元件，該微電子元件具有一前表面及延伸離開該前表面之複數個第一固體金屬支柱。一基板具有一主表面及曝露於該主表面處且接合至該等第一固體金屬支柱之複數個導電元件。在特定實例中，該等導電元件可為結合焊墊，或可為具有頂部表面及以實質角度延伸離開該等頂部表面之邊緣表面的第二支柱。每一第一固體金屬支柱包括鄰近於該微電子元件之一基底區及遠離於該微電子元件之一尖端區，該基底區及該尖端區具有各別凹形圓周表面。每一第一固體金屬支柱具有在該基底區中為垂直位置之一第一函數且在該尖端區中為垂直位置之一第二函數的一水平尺寸。



六、發明說明：

【發明所屬之技術領域】

本發明係關於微電子封裝、係關於用於製造微電子封裝之組件，且係關於製作該等封裝及該等組件之方法。

【先前技術】

微電子裝置通常包含半導體材料(諸如，矽或砷化鎵)之薄塊(通常被稱作晶粒或半導體晶片)。通常將半導體晶片提供為個別已預封裝單元。在一些單元設計中，將半導體晶片安裝至基板或晶片載體，基板或晶片載體又安裝於電路面板(諸如，印刷電路板)上。

在半導體晶片之一個面中製造主動電路。為了促進至主動電路之電連接，晶片在同一面上具備結合焊墊。結合焊墊通常係以一規則陣列而置放，該規則陣列圍繞晶粒之邊緣或(對於許多記憶體裝置)處於晶粒中心。結合焊墊通常係由約0.5微米厚之導電金屬(諸如，金或鋁)製成。結合焊墊之大小將隨著裝置類型而變化，但在一側上通常將有數十至數百微米。

覆晶互連為用於將半導體晶片上之結合焊墊導電地連接至基板上之接觸焊墊的常用方案。在覆晶互連中，通常將金屬團塊(lump)置放於每一結合焊墊上。接著倒轉晶粒，因此，金屬團塊提供在結合焊墊與基板之間的電路徑以及晶粒至基板之機械附接。

存在覆晶程序之許多變化，但一常見組態係使用焊料用於金屬團塊且使用焊料之熔合作為將焊料緊固至結合焊墊

及基板之方法。當焊料熔融時，焊料流動以形成截頂球體。

可使用呈狹長支柱或針腳之形式的微觸點元件以將微電子封裝連接至電路板且用於在微電子封裝中之其他連接。在一些情況下，已藉由蝕刻包括一或多個金屬層之金屬結構以形成微觸點來形成微觸點。蝕刻程序限制微觸點之大小。習知蝕刻程序通常不能形成具有高度對最大寬度之大比率(在本文中稱作「縱橫比」)的微觸點。已很難或不可能形成具有可觀高度及在鄰近微觸點之間的極小間距或間隔的微觸點陣列。此外，藉由習知蝕刻程序形成之微觸點的組態受到限制。

儘管在覆晶互連中已取得進步，但仍需要改良，以便最小化封裝厚度，同時增強接點可靠性。本發明之此等屬性係藉由如在下文中所描述之微電子封裝之構造而達成。

【發明內容】

一種已封裝微電子元件包括：一微電子元件，其具有一前表面及延伸離開該前表面之複數個固體金屬支柱；及一基板，其具有一主表面及曝露於該主表面處之複數個導電元件。該等導電元件可接合至該等固體金屬支柱。每一固體金屬支柱可包括鄰近於該微電子元件之一基底區及遠離於該微電子元件之一尖端區，該基底區及該尖端區具有各別凹形圓周表面。每一固體金屬支柱可具有在該基底區中為垂直位置之一第一函數且在該尖端區中為垂直位置之一第二函數的一水平尺寸。

每一固體金屬支柱可進一步包括位於該基底區與該頂部區之間的至少一中間區。該中間區可具有一凹形圓周表面。每一固體金屬支柱之該水平尺寸可在該中間區中為垂直位置之一第三函數。每一固體金屬支柱可具有在該前表面之一方向上之一寬度及自該前表面延伸之一高度，其中該高度為該寬度之至少一半。

該等固體金屬支柱可藉由一易熔金屬而接合至該等導電元件。該易熔金屬可包含焊料。該焊料可覆蓋每一固體金屬支柱之邊緣表面之至少部分。該已封裝微電子元件可進一步包括位於該前表面處之複數個導電焊墊。每一固體金屬支柱可自該複數個導電焊墊中之一各別導電焊墊延伸。在一實施例中，該焊料可能不觸碰該複數個導電焊墊中至少一者。

在一特定實例中，該焊料不能觸碰任何固體金屬支柱之該基底區。在一特定實例中，該焊料可僅觸碰每一固體金屬支柱之一頂部表面。每一固體金屬支柱之一高度可介於在該微電子元件之該前表面與該基板之該主表面之間的距離的25%與50%之間。每一固體金屬支柱之一高度可為在該微電子元件之該前表面與該基板之該主表面之間的距離的至少40%。

該等固體金屬支柱及該等導電元件可被擴散結合在一起。該第一函數及該第二函數可實質上不同。水平尺寸相對於垂直位置之一斜率可在該等固體金屬支柱之該基底區與該尖端區之間的一邊界處突然地改變。該等固體金屬支

柱及該等導電元件可基本上由銅組成。該等導電元件可包括導電焊墊，該等焊墊接合至該等固體金屬支柱。

該等固體金屬支柱可為第一固體金屬支柱，且該等導電元件可包括延伸於該主表面上方且接合至該等第一固體金屬支柱之複數個第二固體金屬支柱。該等第二支柱可具有遠離於該基板之該主表面之頂部表面及以實質角度延伸離開該等頂部表面之邊緣表面。該等第一固體金屬支柱可藉由一易熔金屬而接合至該等第二固體金屬支柱。該易熔金屬可包含焊料。該焊料可覆蓋每一固體金屬支柱之邊緣表面之至少部分。該已封裝微電子元件可進一步包括位於該前表面處之複數個導電焊墊。每一第一固體金屬支柱可自該複數個導電焊墊中之一各別導電焊墊延伸。在一實施例中，該焊料可能不觸碰該複數個導電焊墊中至少一者。在一特定實例中，該焊料可僅觸碰每一固體金屬支柱之一頂部表面。該等第一固體金屬支柱及該等第二固體金屬支柱可被擴散結合在一起。

每一第二固體金屬支柱可包括鄰近於該基板之一基底區及遠離於該基板之一尖端區。每一第二固體金屬支柱之該基底區及該尖端區可具有各別凹形圓周表面。每一第二固體金屬支柱可具有在該基底區中為垂直位置之一第三函數且在該尖端區中為垂直位置之一第四函數的一水平尺寸。每一第二支柱可具有在該主表面之一方向上之一寬度及自該主表面延伸之一高度，其中該高度為該寬度之至少一半。

該等第一固體金屬支柱可藉由一易熔金屬而接合至該等第二固體金屬支柱。該易熔金屬可包含焊料。該焊料可覆蓋每一固體金屬支柱之邊緣表面之至少部分。在一特定實例中，該焊料不能觸碰任何固體金屬支柱之該基底區。在一特定實例中，該焊料可僅觸碰每一固體金屬支柱之一頂部表面。該已封裝微電子元件可進一步包括位於該前表面處之複數個導電焊墊。每一第一固體金屬支柱可自該複數個導電焊墊中之一各別導電焊墊延伸。在一實施例中，該焊料可能不觸碰該複數個導電焊墊中至少一者。該等第一固體金屬支柱及該等第二固體金屬支柱可被擴散結合在一起。該第一函數可與該第三函數相同，且該第二函數可與該第四函數相同。

一種已封裝微電子元件包括：一微電子元件，其具有一前表面及突出於該前表面上方之複數個第一固體金屬支柱；及一基板，其具有一主表面及自該主表面延伸且接合至該等第一固體金屬支柱之複數個第二固體金屬支柱。該等第一支柱可具有遠離於該前表面之頂部表面及以實質角度延伸離開該前表面之邊緣表面。每一第二固體金屬支柱可包括鄰近於該微電子元件之一基底區及遠離於該微電子元件之一尖端區。該基底區及該尖端區可具有各別凹形圓周表面。每一第二固體金屬支柱可具有在該基底區中為垂直位置之一第一函數且在該尖端區中為垂直位置之一第二函數的一水平尺寸。

每一第一支柱可具有一截頭圓錐形形狀。每一第二支柱

可具有在該主表面之一方向上之一寬度及自該主表面延伸之一高度，其中該高度為該寬度之至少一半。該等第一固體金屬支柱可藉由一易熔金屬而接合至該等第二固體金屬支柱。該易熔金屬可包含焊料。該焊料可覆蓋每一固體金屬支柱之邊緣表面之至少部分。該已封裝微電子元件可進一步包括位於該前表面處之複數個導電焊墊。每一第一固體金屬支柱可自該複數個導電焊墊中之一各別導電焊墊延伸。在一實施例中，該焊料可能不觸碰該複數個導電焊墊中至少一者。在一特定實例中，該焊料可僅觸碰每一固體金屬支柱之一頂部表面。該等第一固體金屬支柱及該等第二固體金屬支柱可被擴散結合在一起。

一種組裝一已封裝微電子元件之方法包括以下步驟：提供一微電子元件，該微電子元件具有一前表面及在一垂直方向上突出於該前表面上方之複數個固體金屬支柱；使該複數個固體金屬支柱與曝露於一基板之一主表面處之複數個導電元件至少實質上對準；及將該微電子元件之該等固體金屬支柱與該基板之該等導電元件接合。每一固體金屬支柱可包括鄰近於該前表面之一基底區及遠離於該前表面之一尖端區。該基底區及該尖端區可具有各別凹形圓周表面。每一固體金屬支柱可具有在該基底區中為垂直位置之一第一函數且在該尖端區中為垂直位置之一第二函數的一水平尺寸。

組裝一已封裝微電子元件之該方法之該接合步驟可包括將一易熔金屬加熱至一熔融溫度，其中該易熔金屬流動至

該等固體金屬支柱之邊緣表面之曝露部分上。該易熔金屬可包含焊料。該焊料可覆蓋每一固體金屬支柱之邊緣表面之至少部分。該已封裝微電子元件可進一步包括位於該前表面處之複數個導電焊墊。每一固體金屬支柱可自該複數個導電焊墊中之一各別導電焊墊延伸。在一實施例中，該焊料可能不觸碰該複數個導電焊墊中至少一者。在一特定實例中，該焊料不能觸碰任何固體金屬支柱之該基底區。在一特定實例中，該焊料可僅觸碰每一固體金屬支柱之一頂部表面。每一固體金屬支柱之一高度可介於在該微電子元件之該前表面與該基板之該主表面之間的距離的25%與50%之間。每一固體金屬支柱之一高度可為在該微電子元件之該前表面與該基板之該主表面之間的距離的至少40%。可將一鈍化層及一凸塊下金屬化層沈積於該微電子元件之上。

【實施方式】

現參看圖1A至圖1C，圖1A至圖1C說明圖2所示之已封裝微電子總成100之組件的橫截面圖。如圖所示，已封裝微電子總成100包括基板102、處於面朝下或覆晶位置之微電子元件104，及將基板與微電子元件接合之導電管柱106。導電管柱包括導電凸塊或支柱108，導電凸塊或支柱108突起於基板102之面105上方，其與突起於微電子元件104之面107上方的導電凸塊或支柱110對準。導電管柱106藉由增加微電子元件104與基板102之間間隙或垂直距離來提供基板上晶片封裝之增加高度，而同時允許導電管柱106

之間的中心至中心水平距離或間距P縮減。如下文將進一步詳細地所論述，增加基板102與微電子元件104之間的距離的能力可有助於減少導電管柱處之應力、可有助於使底膠材料112之塗覆(見圖2A)容易，且允許使用更多種類之底膠。

參看圖1A，基板102較佳地包括介電元件102A。介電元件102A具有頂部表面101及對置面向之底部表面103。複數個導電跡線109可沿著頂部表面或底部表面或其兩者延伸。介電元件102A可為剛性或可撓性的。介電元件102可包含聚醯亞胺或其他聚合薄片。儘管介電元件102之厚度可變化，但介電元件102A最通常為高達2毫米厚。基板102可包括其他導電元件，諸如，曝露於底部表面103處之外部觸點(未圖示)。如本案中所使用，「曝露於」介電元件之表面處的導電元件可與此類表面齊平、相對於此類表面凹陷，或自此類表面突起，只要該導電元件易於為在垂直於該表面之方向上朝向該表面移動的理論點所接觸即可。

可使用共同讓渡之美國公開申請案第11/014,439號中所說明的方法來建立跡線及觸點，該申請案之揭示內容以引用的方式併入本文中。在所說明之特定實施例中，導電元件(未圖示)安置於基板102之頂部表面101上。然而，在其他實施例中，導電元件亦可沿著基板102之底部表面103延伸、在基板102之頂部表面101及底部表面103上延伸，或在基板102內部延伸。因而，如本案中所使用，第一特徵安置於第二特徵「上」之陳述不應被理解為要求第一特徵

位於第二特徵之表面上。如本文中關於微電子元件待經由支柱而電連接至之基板所使用，「頂部表面」及「底部表面」應關於其相對於微電子元件之置放進行理解，而非在重力參考座標系中進行理解。因而，「頂部表面」應意謂鄰近於微電子元件之前表面的基板之表面，觸點(例如，結合焊墊、金屬支柱，等等)曝露於該表面處。「底部表面」應意謂遠離於頂部表面的基板之表面。底部表面通常為經曝露有觸點的基板之表面，該等觸點可與在已封裝微電子元件外部之另一元件(諸如，電路面板)之端子接合。如本案中所使用，基板之「主表面」應意謂基板之「頂部表面」。

固體金屬凸塊或導電支柱108亦自基板102之頂部表面101延伸以形成導電管柱106之第一部分(圖2及圖2A)。導電支柱108具有頂部表面111及邊緣表面113，邊緣表面113以實質角度延伸離開基板102之頂部表面，使得建立一相異角度，其中邊緣表面113與基板102之頂部表面101交會。舉例而言，在所展示之實施例中，在基板102之頂部表面101與導電支柱108之邊緣表面113之間建立大於90度之角度。該角度將基於導電支柱108之形狀而不同。舉例而言，圓柱形支柱可具有在基板102之頂部表面101與導電支柱108之間的90度之角度。以下臨時申請案中描述例示性程序及支柱：2006年12月19日申請且名為Chip Capacitor Embedded PWB之臨時申請案第60/875,730號；2007年8月15日申請且名為Multilayer Substrate with

Interconnection Vias and Method of Manufacturing the Same之臨時申請案第60/964,916號；2007年8月15日申請且名為Interconnection Element with Posts Formed by Plating之臨時申請案第60/964,823號；所有該等臨時申請案之揭示內容以引用的方式併入本文中。舉例而言，如本文中更詳細地所描述，可藉由蝕刻程序來形成導電支柱108。或者，可藉由電鍍來形成導電支柱108，其中藉由通過在介電層(諸如，光阻層)中所圖案化之開口而將金屬電鍍至基底金屬層上來形成支柱108。

導電支柱108之尺寸可遍及一顯著範圍而變化，但最通常的是，自介電元件102A之頂部表面103延伸之每一導電支柱108的高度H1為至少50微米且可延伸至高達300微米。此等導電支柱108可具有大於其直徑或寬度W1之高度H1。然而，高度H1亦可小於寬度W1，諸如，為寬度W1之大小的至少一半。

導電支柱108可由任何導電材料(諸如，銅、銅合金、金及其組合)製成。導電支柱108可至少包括可藉由焊料潤濕之曝露金屬層。舉例而言，支柱可包含銅，其中在支柱之表面處具有金層。另外，導電支柱108可包括至少一金屬層，該至少一金屬層具有大於其將被接合至之焊料之熔融溫度的熔融溫度。舉例而言，此類導電支柱108將包括銅層或完全地由銅形成。

導電支柱108亦可呈許多不同形狀，包括截頭圓錐形。導電支柱108中每一者之基底114及尖端116可為實質上圓

形或具有不同形狀(例如，長橢圓形)。導電支柱108之基底114之直徑通常為約50微米至300微米，而尖端116之直徑通常為約25微米至200微米。每一導電支柱108可具有鄰近於介電基板102之基底114，及遠離於介電基板之尖端116。另外，自介電元件102A之頂部表面101的導電支柱之高度H1(排除任何焊接遮罩)通常處於小至30微米至高達200微米之範圍內。

如圖所示，焊接遮罩118(圖2)可安置於基板102之上且鄰近於導電支柱108。焊接遮罩118有助於防止在回焊階段期間於鄰近管柱106之間的焊料溢流及橋接。

參看圖1B，微電子元件104具有前表面122及後表面124。微電子元件104在其封裝及與另一元件之互連之前較佳地為半導體晶片或其類似者。舉例而言，微電子元件為裸晶粒。

例示性導電支柱及製造能夠自微電子元件或其類似者延伸之導電支柱的方法被描述於Advanpak Solutions Pte. Ltd.(「Advanpak」)之網站上，以及美國專利第6,681,982號、第6,592,109號及第6,578,754號中，該等專利被讓渡給Advanpak，且該等專利之揭示內容以引用的方式併入本文中。舉例而言，可藉由蝕刻程序來形成導電支柱110。或者，可藉由電鍍來形成導電支柱110，其中藉由通過在光阻層中所圖案化之開口而將金屬電鍍至基底金屬層上來形成支柱110。類似於自基板延伸之導電支柱108，自微電子元件104延伸之支柱110可具有頂部表面111及邊緣表面

113，邊緣表面113以實質角度延伸離開微電子元件之頂部表面122，使得在微電子元件與導電支柱之間建立相異角度。

為了在導電支柱110與微電子元件104之間提供金屬觸點，可在微電子元件104之前表面122上提供凸塊下金屬化層120。凸塊下金屬化層120通常係由包括鈦、鈦-鎢、鉻之材料組成。凸塊下金屬化層120作為用於導電管柱106之導電金屬觸點而操作。亦可使用此項技術中之已知方法而在微電子元件104與凸塊下金屬化層120之間的微電子元件104之前表面122上提供鈍化層119。

參看圖1B、圖1C及圖2，自微電子元件104延伸之導電支柱110之尺寸亦可遍及一顯著範圍而變化，但最通常的是，每一導電支柱110之高度H2不小於50微米。導電支柱110可具有大於其寬度W2之高度H2。然而，高度亦可小於寬度W2，諸如，為寬度之大小的至少一半。

導電支柱110較佳地係由銅或銅合金製成，但亦可包括其他導電材料，諸如，金或金與銅之組合。另外，導電支柱110可包括至少一金屬層，該至少一金屬層具有大於其將被接合至之焊料之熔融溫度的熔融溫度。舉例而言，此類導電支柱包括銅層或完全地由銅形成。

在一特定實施例中，導電支柱110可為圓柱形，使得支柱之基底126之直徑與支柱之尖端128之直徑實質上相等。在一實施例中，導電支柱之基底126及尖端128之直徑可為約30微米至150微米。每一導電支柱110可具有鄰近於基板102之基底126及遠離於基板102之尖端128。或者，導電支

柱110可呈各種形狀，諸如，截頭圓錐形、矩形或桿形。

焊料塗層或焊料頂蓋130可附接至導電支柱110之尖端128，或未附接至微電子元件104的導電支柱之部分。焊料頂蓋130可具有與導電支柱110之直徑或寬度 W_2 相同的直徑或寬度，使得其成為導電支柱110之延伸部。在一實例中，焊料頂蓋130可具有處於大約25微米至80微米之範圍內的高度 H_3 。

應瞭解，自微電子元件104之前表面122延伸之導電支柱110的高度 H_2 可等於自介電元件102A之頂部表面101延伸之導電支柱108的高度 H_1 (圖1A)。然而，或者，該等高度可不同，使得導電支柱110之高度 H_2 可小於或大於導電支柱108之高度 H_1 。在一特定說明性實例中，自微電子元件104延伸之導電支柱110可具有長度為50微米之高度 H_2 ，而自基板延伸之導電支柱108可具有55微米之高度 H_1 (圖2)。

為了將微電子元件104與基板102導電地連接在一起，必須將微電子元件104上之導電支柱110連接至基板102上之導電支柱108。參看圖1C，倒轉微電子元件104，使得微電子元件104之導電支柱110與基板102之導電支柱108彼此對準且緊密近接。使微電子元件104上之焊料頂蓋130回焊以允許焊料潤濕在微電子元件104上導電支柱110之表面及在基板102上導電支柱108之表面。如圖2至圖2A所示，焊料將潤濕至導電支柱之曝露表面且建立自微電子元件延伸至基板之導電管柱106。焊料被接合至的在微電子元件104及基板102上導電管柱108、110之增加表面面積可有助於減

少焊料界面處之電流密度。此類電流密度縮減可有助於減少電遷移且提供較大耐用性。

如圖所示，導電管柱106包括導電地互連導電支柱之焊料。在一實例中，延伸於自微電子元件延伸的導電支柱之基底與自基板延伸的基底之曝露部分之間的導電管柱的間隙或高度H處於80微米至100微米之範圍內。

如圖2、圖2A所示，導電管柱106之壁132可為凸形或筒形，其中導電管柱之中點區M(亦即，在微電子元件之導電支柱110與基板之導電支柱108之間)具有寬度W，寬度W大於分別鄰近於基板102之頂部表面101及微電子元件104之前表面102的導電管柱106之部分的寬度W1、W2。

如圖2A進一步所示，可使用已知方法而在微電子元件104及基板102上形成接觸焊墊117。在一實施例中，可藉由分離的蝕刻步驟來形成延伸離開基板102之下部支柱108，以及下部接觸焊墊117，諸如國際申請案PCT第WO 2008/076428號中所揭示，該申請案係於2008年6月28日公開且其揭示內容以引用的方式併入本文中。舉例而言，可利用具有頂部與底部金屬層123以及中間蝕刻終止層或內部金屬層121之三金屬基板以建立導電支柱108及接觸焊墊117。在一種此類程序中，根據光微影圖案化光阻層來蝕刻三層或多層金屬結構之曝露金屬層以形成導電支柱108，蝕刻程序終止於該結構之內部金屬層121上。內部金屬層121包括不同於頂部與底部金屬層123之金屬的一或多種金屬，內部金屬層具有不被用以蝕刻頂部金屬層123之

蝕刻劑附接的此類組合物。舉例而言，蝕刻出導電支柱108之頂部金屬層123基本上由銅組成，底部金屬層123亦可基本上由銅組成，且內部金屬層121基本上由鎳組成。鎳相對於銅提供良好選擇性以避免鎳層與經蝕刻以形成導電支柱108之金屬層附接。為了形成接觸焊墊117，可根據另一光微影圖案化光阻層進行另一蝕刻步驟。支柱108可與其他導電特徵(諸如，介層孔115)進一步互連，且該等導電特徵又進一步互連至其他導電特徵(未圖示)。

參看圖3，導電管柱106'之壁232亦可筆直，使得寬度W5約等於分別鄰近於基板102'之頂部表面101'及微電子元件104'之前表面122'之導電管柱106'的寬度W4、W4'。應瞭解，寬度W4、W4'無需相等。或者，視待達成之所要間隙而定，導電管柱106'之壁232'可為凹形(見圖4)。

根據本發明之導電管柱106允許在介電元件與微電子元件之間的較大間隙高度，同時准許在曝露於微電子元件104之前表面122處之導電支柱110中之每一者之間的間距P(見圖1B、圖2)之顯著減少，以及在曝露於基板102之頂部表面101處之導電支柱108中之每一者之間的間距P之顯著減少。在一實施例中，間距P可小至50微米，或大至200微米。應瞭解，由於導電管柱108、110彼此對準之事實，在導電支柱108、110中之每一者之間的間距P將相等。

間距P亦可為導電支柱108、110之直徑或寬度W1、W2的函數，使得導電支柱之基底的直徑W1、W2為間距P之高達75%。換言之，直徑W1、W2對間距P之比率可高達

3:4。舉例而言，若間距P為145微米，則導電支柱108、110之直徑W1、W2可處於高達108微米或為間距P之75%的範圍內。

增加間隙高度會減少可存在於微電子元件中之低k介電材料上的應變。另外，增加間隙會有助於最小化通常與小間距相關聯之問題，諸如，電遷移及擁擠。此係歸因於導電管柱106能夠潤濕導電支柱108、110之表面的事實。

參看圖5至圖6，展示用於將微電子元件上之導電凸塊與基板上之導電凸塊接合的替代配置。參看圖5，代替將焊料頂蓋230置放於自微電子元件204延伸之導電支柱210之尖端228處，可將焊料頂蓋230置放於自基板202延伸之導電支柱208之尖端216處。在一實施例中，焊料頂蓋230之寬度或直徑W5約略地等於導電支柱208之基底214之直徑W6。因此，焊料頂蓋230延伸超出自基板202延伸的導電支柱208之尖端216。然而，一旦使焊料回焊，導電管柱隨即將較佳地採取圖2所示之導電管柱之形狀。

參看圖6，在又一替代配置中，可將焊料頂蓋330置放於自微電子元件304及基板302兩者延伸之導電支柱310、308上。將導電支柱308、310置放成彼此緊密近接。施加熱，從而導致焊料頂蓋330回焊、潤濕及熔合至導電支柱308、310。一旦進行回焊，導電管柱306隨即將較佳地相似於圖2所示之導電管柱306。

參看圖7，展示用於微電子封裝之替代配置。該配置相似於圖2所示之配置，唯一差異在於：不存在鄰近於自基

板延伸之導電支柱的焊接遮罩。在此替代配置中，可使用介層孔307以將導電管柱406導電地連接至曝露於基板402之底部表面(與基板402之頂部表面401相對置)處的電子電路(未圖示)。使用介層孔307會免除針對焊接遮罩之需要。

參看圖8，展示一替代實施例，其中在不使用焊料的情況下進行在導電支柱之間的金屬至金屬結合。取而代之，可藉由使導電支柱508、510變形以彼此啣合而在導電支柱之間形成結合。導電支柱508、510較佳地係由具有最小彈性或反彈性之展性材料(例如，實質上純金)形成。另外，導電支柱508、510可藉由在該等支柱與覆蓋物之材料之間的共晶結合或陽極結合而結合在一起。舉例而言，可使導電支柱508、510之尖端516、517塗佈有少量錫、矽、鍍，或與金形成相對低熔點合金之其他材料，且該等支柱可完全地由金形成或可在其表面上具有金塗層。當導電支柱508、510彼此啣合且接著被加熱時，在導電支柱508、510之材料與導電支柱之尖端516上之材料之間的擴散形成合金，該合金具有低於在該等支柱與壁之間的界面處個別元素之熔點的熔點。在將總成保持於高溫的情況下，進一步擴散導致成合金元素自界面離開而擴散至支柱之金的塊體中，進而升高在界面處材料之熔融溫度且導致界面凝固，從而在該等部件之間形成固體連接。

參看圖9，圖9與圖8相同，惟如下情況除外：導電支柱608、610皆較佳地包含銅且在導電支柱之間不存在低熔融溫度金屬(諸如，焊料或錫)的情況下彼此直接熔合。較佳

地，為了達成強結合，在將導電支柱608、610接合至端子之前，導電支柱608、610之接合表面必須清潔且實質上無氧化物(例如，原生氧化物)。通常，可執行經特性化為蝕刻或微蝕刻之表面處理的程序以移除貴金屬(諸如，銅、鎳、鋁及其他者)之表面氧化物，在不實質上影響下伏於表面氧化物之凸塊或金屬層之厚度的情況下執行表面蝕刻程序。僅在實際接合程序之前不久最好地執行此清潔程序。在介於約百分之三十至百分之七十的相對濕度之正常濕度環境中清潔之後維護組件部件的條件下，通常可在接合程序之前執行清潔程序高達幾小時(例如，六小時)，而不影響待凸塊與電容器端子之間達成之結合之強度。

如圖10至圖11所說明，在經執行以接合導電支柱608、610之程序期間，將間隔物結構726置放於基板602之頂部表面601上。間隔物結構626可由一或多種材料(諸如，聚醯亞胺、陶瓷)或一或多種金屬(諸如，銅)形成。將供延伸出導電支柱610之微電子元件604置放於間隔物結構626上方，使得微電子元件604之導電支柱610之尖端628上覆於基板602之導電支柱608之尖端616。參看圖10，將間隔物結構626、微電子元件604及基板602插入於一對板640之間，且在藉由箭頭636指示之方向上將熱及壓力同時地施加至導電支柱。如圖9所說明，施加至板640之壓力具有將導電支柱之高度減少至高度H6的效應，高度H6低於在最初製造時導電支柱608、610之初始高度H5(圖10)。在此步驟期間所施加之例示性壓力範圍介於約20 kg/cm²與150

kg/cm²之間。舉例而言，在介於約攝氏140度與約攝氏500度之間的範圍內的溫度下執行接合程序。

接合程序壓縮導電支柱608、610達如下程度：自導電支柱608、610之前頂部表面下方的金屬在熱及壓力下接觸及接合。由於接合程序，導電支柱608、610之高度可縮減達1微米或更多。當導電支柱608、610基本上由銅組成時，導電支柱之間的接點亦基本上由銅組成，因而形成包括凸塊及端子之連續銅結構。此後，如圖9所說明，移除板及間隔物結構，從而留下次總成250，次總成250具有由導電支柱608、610之導電接合物形成的導電管柱606。

參看圖12，展示根據本發明之另一替代實施例。此處，唯一差異在於：代替使用單層基板，可使用多層基板，諸如，以下申請案中所描述之多層基板：2007年8月15日申請且名為Interconnection Element with Posts Formed by Plating之美國申請案第60/964,823號；2007年8月15日申請且名為Multilayer Substrate With Interconnection Vias and Method of Manufacturing the Same之美國申請案第60/964,916號；及2007年6月29日申請且名為Multilayer Wiring Element Having Pin Interface之美國專利申請案第11/824,484號，該等申請案之揭示內容併入本文中。如圖所示，多層基板702以覆晶方式而與微電子元件704(例如，具有主動裝置、被動裝置或主動裝置及被動裝置兩者之半導體晶片)接合。如本文中所描述，自多層基板之頂部表面701突起的導電支柱710之尖端716接合至自微電子

元件延伸之導電支柱710。如圖所示，多層基板702之導電支柱708可直接接合至自前表面微電子元件延伸之導電支柱710，諸如，經由在支柱之尖端160處之成品金屬(例如，金)與存在於導電焊墊及支柱中之另一金屬之間所形成的擴散結合。或者，可經由諸如焊料、錫或共晶組合物之易熔金屬而將導電支柱708、710之支柱接合在一起，易熔金屬潤濕支柱及焊墊以形成經潤濕或經焊接之接點。舉例而言，可以曝露於微電子元件704之前表面722處之焊料凸塊(未圖示)的形式提供易熔金屬，凸塊提供於導電支柱之尖端中之一者或其兩者的末端處。

亦可在堆疊封裝中利用導電管柱，諸如，以下共同擁有之申請案中所描述之彼等封裝：2007年8月3日申請且名為Die Stack Package Fabricated at the Wafer Level with Pad Extensions Applied To Reconstituted Wafer Elements之美國申請案第60/963,209號；2007年8月9日申請且名為Wafer Level Stacked Packages with Individual Chip Selection之美國申請案第60/964,069號；2007年7月27日申請且名為Reconstituted Wafer Stack Packaging with After-Applied Pad Extensions之美國申請案第60/962,200號；及2007年6月20日申請且名為Reconstituted Wafer Level Stacking之美國申請案第60/936,617號。

舉例而言，參看圖13，在一替代實施例中，堆疊封裝總成包括第一次總成800及第二次總成802。第一次總成及第二次總成與圖2所示之已封裝微電子元件實際上相同，惟

如下事實除外：基板806、806'進一步向外延伸以容納延伸於第一次總成及第二次總成之基板806、806'之間的導電管柱808。導電管柱808亦包括自基板延伸之導電支柱812，導電支柱812連接至介層孔814，介層孔814延伸通過第二次總成上的基板之頂部表面及底部表面。

圖14為三金屬基板10的示意性說明。三金屬基板10具有跡線層12、蝕刻終止層14、厚層16及頂部表面18。跡線層12及厚層16可由易於蝕刻之第一金屬(諸如，銅)形成，而蝕刻終止層14可由實質上抵抗藉由用以蝕刻銅之程序之蝕刻的金屬(諸如，鎳)形成。儘管講述銅及鎳，但基板10可按需要而由任何合適材料形成。

圖15為具有第一光阻層20的圖14之三金屬基板10的示意性說明。將第一光阻20沈積至頂部表面18上。第一光阻20可為在曝露於諸如光之輻射時硬化或經歷化學反應的任何類型之材料。因而，可使用任何抗蝕刻材料。亦可利用正型光阻及負型光阻，且正型光阻及負型光阻在此項技術中係已知的。

圖16為具有第一光阻層20及遮罩22的圖14之三金屬基板的透視示意性說明。遮罩22常常為透明板，其上經印刷有不透明區域(被稱為光罩或蔭罩)，從而在遮罩22上建立圖案24，圖案24具有藉由遮罩22覆蓋之區域(藉由參考數字26表示)及未藉由遮罩22覆蓋之區域(藉由參考數字28表示)。分別具有覆蓋區域26及未覆蓋區域28之圖案24允許將第一光阻20之部分選擇性地曝光於輻射。

一旦將遮罩22置放於第一光阻20之頂部上，隨即提供輻射。輻射最常常呈紫外光之形式。此輻射曝光在未覆蓋區域28處之第一光阻20，從而引起未覆蓋區域28不可溶解。當使用負型光阻時，相反情況成立：覆蓋區域26變得不可溶解。在曝光第一光阻20之後，移除遮罩22。接著藉由用一溶液進行洗滌來顯影第一光阻20，該溶液移除在第一光阻20尚未變得不可溶解之位置中的第一光阻20。因而，光阻曝光及顯影在基板10之表面18之頂部上留下不可溶解材料圖案。此不可溶解材料圖案反映遮罩22之圖案24。

在光阻之曝光及顯影之後，蝕刻基板，如圖17所示。一旦達到特定蝕刻深度，隨即中斷蝕刻程序。舉例而言，可在預定時間之後中止蝕刻程序。蝕刻程序在厚層16處留下自基板10向上突出之第一微觸點部分32。隨著蝕刻劑侵蝕厚層16，蝕刻劑移除在第一光阻20之邊緣之下的材料，從而允許第一光阻20自第一微觸點部分32之頂部橫向地突出(表示為懸垂物30)。第一光阻20仍保留於藉由遮罩22判定之特定位置處。

一旦已將厚層16蝕刻至所要深度，隨即將第二光阻層34(圖18)沈積於三金屬基板10上。在此情況下，將第二光阻34沈積至厚層16上的厚層16先前已被蝕刻之位置處。因而，第二光阻34亦覆蓋第一微觸點部分32。若使用電泳光阻，則第二光阻34歸因於其固有化學性質而不沈積至第一光阻20上。

在下一步驟處，將具有第一光阻20及第二光阻34之基板

曝光於輻射且接著顯影第二光阻。如圖19所示，第一光阻20橫向地突出於厚層16之部分之上(藉由懸垂物30表示)。此懸垂物30防止第二光阻34曝光於輻射且因而防止其被顯影及移除，從而導致第二光阻34之部分黏附至第一微觸點部分32。因而，第一光阻20充當對第二光阻34之遮罩。藉由洗滌來顯影第二光阻34，以便移除輻射曝光之第二光阻34。此情形在第一微觸點部分32上留下第二光阻34之未曝光部分。

一旦已曝光及顯影第二光阻34之部分，隨即執行第二蝕刻程序，從而移除三金屬基板10之厚層16之額外部分，進而如圖20所示在第一微觸點部分32下方形成第二微觸點部分36。在此步驟期間，仍黏附至第一微觸點部分32之第二光阻34保護第一微觸點部分32免於被再次蝕刻。

可按需要而將此等步驟重複多次以建立較佳縱橫比及間距，從而形成第三微觸點部分、第四微觸點部分或第n微觸點部分。當到達蝕刻終止層14時，該程序可終止。作為一最終步驟，可完全地分別剝離第一光阻20及第二光阻34。

此等程序引起圖21A至圖21D所示之微觸點38。此等圖亦說明可使用本文中所描述之程序而達成的各種輪廓。參看圖21A至圖21C，微觸點38具有第一部分32(亦被稱為尖端區)及第二部分36(亦被稱作基底區)。假如在上文所論述之步驟中所使用的第二光阻之光點為圓形，則每一微觸點將通常呈圍繞中心軸線51(圖21A)之迴轉本體的形式，中

心軸線 51 在垂直或 Z 方向上自基板之剩餘部分向上延伸且大體上垂直於蝕刻終止層 14 之平面。第一部分及第二部分之寬度或直徑 X 隨著在每一部分內在 Z 或高度方向上之位置而變化。換言之，在第一部分內， $X=F1(Z)$ ，且在第二部分內， $X=F2(Z)$ 。斜率或 dX/dZ 可在第一部分與第二部分之間的邊界 52 處突然地改變。在每一部分內，斜率或 dX/dZ 通常不隨著在 Z 方向上之位置而突然地改變且因而不界定步進改變。在每一部分內，斜率或 dX/dZ 通常隨著在 Z 方向上之位置而至多逐漸地改變。

如在圖 21A 中進一步所見，微觸點區之第一部分 32 之圓周表面 44 及第二部分 38 之圓周表面 46 為凹形表面，且各自具有隨著在 Z 方向上之位置而至多逐漸地改變的斜率或 dX/dZ 。關於本文中所描述之微觸點之圓周表面中之每一者(例如，表面 44 或表面 46(圖 21A))，「凹形」意謂：在圓周表面之邊界之間的每一高度處(例如，在圓周表面 44 之上部邊界 19 與彼圓周表面 44 之下部邊界 52 之間的每一高度 29 處(圖 21E))，該圓周表面圍封小於在同一高度 29 處藉由延伸於該等邊界之間的一系列直線所界定之理論圓錐形表面圍封之直徑的直徑 25。舉例而言，在邊界 19、52 之間的圓周表面 44 上之每一點係自藉由延伸通過邊界 19、52 之一系列直線所界定之理論圓錐形表面 48 向內。

微觸點之特定功能及因此其形狀係藉由在第一蝕刻步驟及第二蝕刻步驟中所使用之蝕刻條件判定。舉例而言，可變化蝕刻劑之組合物及蝕刻溫度以變化蝕刻劑侵蝕金屬層

之速率。又，可變化使蝕刻劑與金屬層接觸之機械學。可強有力地朝向基板噴射蝕刻劑，或可將基板浸至蝕刻劑中。在第一部分及第二部分之蝕刻期間，蝕刻條件可相同或不同。

在圖21A所示之微觸點中，第一部分32及第二部分36中每一者之圓周表面44、46為凹形。此外，在圖21A之實施例中，第一部分32具有圓周表面44，圓周表面44在向下方向上向外展開，使得斜率或 dX/dZ 之量值在向下方向上增加。第二部分36亦具有向外展開之圓周表面46；第二部分之斜率或 dX/dZ 之量值在邊界52處最小，且在朝向支柱之基底的方向上漸進地增加。在邊界52處存在實質斜率改變。在微觸點之基底(其中微觸點接合層14)處的第二部分之最大寬度或直徑 X 實質上大於第一部分之最大寬度或直徑。

在圖21A至圖21D中所見之實施例中每一者中，每一微觸點中每一部分之圓周表面為凹形。此等實施例以其他方式變化。舉例而言，在圖21B中，第二部分36之最大寬度僅略微大於第一部分32之最大寬度。又，第二部分在支柱之基底與邊界52之間的位置處具有最小寬度，使得寬度在向上方向上逐漸地縮減至最小值且接著在向上方向上自最小值漸進地增加至邊界52。此類形狀通常被稱為「冷卻塔」(cooling tower)形狀。在圖21B之微觸點中，斜率或 dX/dZ 在該等部分之間的邊界52處改變正負號。在圖21C中，第二部分36在微觸點之基底附近具有其最小寬度。

最後，圖 21D 說明具有兩個以上部分之微觸點 38 的輪廓。此類型之輪廓可引起將本文中所述之程序之步驟執行眾多次的情況。因而，可看出，此特定微觸點 38 具有四個部分：分別為第一部分 32 及第二部分 36，以及分別為第三部分 40 及第四部分 42。此等四個部分可具有任何尺寸且可按需要而寬於或窄於另一部分。在此情況下，可存在一個以上邊界。圖 21A 至圖 21D 僅為代表性輪廓，且可達成各種輪廓。亦可將第一部分 32 稱作尖端區，亦可將第四部分 42 稱作基底區，且可將第二部分 36 及第三部分 40 稱作中間區。

儘管圖 21A 至圖 21D 中每一者中描繪僅包括兩個微觸點或支柱之陣列，但實務上，可形成包括眾多支柱之支柱陣列。在圖 21A 至圖 21D 中每一者中所描繪之實施例中，陣列中之所有微觸點或支柱皆係由單一金屬層 16 (圖 27) 形成。每一微觸點上覆於在微觸點之基底處的蝕刻終止層 14 之部分，其中微觸點連接至金屬層 12。如下文所論述，通常在微觸點之間的區中移除蝕刻終止層 14，且通常蝕刻或以其他方式處理金屬層 12 以將其轉換成連接至微觸點之跡線或其他導電特徵。然而，每一微觸點之本體 (自其基底至其尖端) 為單式本體、無諸如熔接點之接點，且自始至終具有實質上均一組合物。又，因為在遠離於層 12 及 14 的微觸點之末端處微觸點之尖端表面 18' 為金屬層 16 之原始頂部表面 18 之部分 (圖 14)，所以此等尖端表面實質上平坦且水平，且所有微觸點之尖端表面彼此實質上共平面。

在一替代實施例中，不是在第一蝕刻步驟之後僅在選定位置處移除第一光阻20，而是可移除整個第一光阻20。在此情況下，可將第二光阻34沈積於基板10之整個表面之上。接著，將遮罩22置放至第二光阻34上。必須適當地對準遮罩22，以便僅曝露於先前曝露於第一微觸點部分32上之位置處。接著顯影第二光阻34，且可在基板10上執行另外蝕刻。

圖22為描繪第一實施例的流程圖。在步驟1100處開始，提供基板。接著，在步驟1102處，將光阻n沈積至基板上。接著，在步驟1104處，將遮罩置放於光阻n之頂部上。在步驟1106處，將光阻n曝光於輻射。隨後，在步驟1108處，移除遮罩，且接著，在步驟1110處，在選定位置處顯影光阻n且蝕刻基板。

接下來，在步驟1112處，沈積被稱為n+1之另一光阻。接著，在步驟1114處，將此n+1光阻曝光於輻射。隨後，在步驟1116處，在選定位置處移除光阻n+1且再次蝕刻基板。接著，在步驟1118處，評估是否已達成所要微觸點高度。若尚未達成所要微觸點高度(在步驟1120處)，則該程序返回至步驟1112且將另一光阻沈積至基板上。若已達成所要高度(在步驟1122處)，則接著在步驟1124處移除剩餘光阻且該程序結束。

圖23為描繪第二實施例的流程圖。第二實施例之步驟1200至1210反映第一實施例之步驟1100至1110。然而，在步驟1212處，移除整個光阻n。接著，在步驟1214處，將

另一光阻層 $n+1$ 沈積至基板上。接下來，在步驟 1216 處，將遮罩置放回至基板上。在此步驟期間，必須對準遮罩，使得其圖案位於與在將遮罩置放於光阻 n 上時實質上相同之位置中。隨後，在步驟 1218 處，將光阻 $n+1$ 曝光於輻射且移除遮罩。

接下來，在步驟 1220 處，選擇性地移除光阻 $n+1$ 且再次蝕刻基板。亦可重複此程序，直至達成所要微觸點高度為止。因而，在步驟 1222 處，評估是否已達成所要微觸點高度。若尚未達成較佳高度(在步驟 1224 處)，則該程序返回至完全地移除光阻之步驟 1212，且沈積另一光阻 $n+1$ 且該等步驟在其上繼續進行。然而，若已達成所要高度(在步驟 1224 處)，則在步驟 1228 處移除剩餘光阻且該程序結束。

可將蝕刻終止層 14 及薄層 12 與一介電層聯結，且可接著蝕刻薄層 12 以形成跡線，以便提供一組件，該組件具有連接至該等跡線之微觸點且具有自該介電層突出之微觸點。此類結構可(例如)用作半導體晶片封裝之元件。舉例而言，可使用 2005 年 12 月 27 日申請之美國專利申請案第 11/318,822 號，其揭示內容據此以引用的方式併入本文中。

本文中所描述之結構可為多層基板 10 之一體式部件，例如，如圖 24 所示的多層基板 10 之頂部層。可將微觸點 38 焊接至晶粒 54。焊料 56 可圍繞微觸點 38 之部分起毛細作用。毛細作用在微觸點 38 與晶粒 54 之間提供極好接觸。亦可使用除了焊料 56 以外之其他結合程序。底膠 58 環繞微觸點 38，底膠 58 用以將晶粒 54 黏附至微觸點 38 及基板 10。可按

需要而使用任何類型之底膠58或可省略底膠58。跡線60及介電層62處於微觸點38下方。端子64安置於基板10之底部處。

特定封裝包括經堆疊之微電子晶片。此情形允許封裝在基板上佔用小於堆疊中晶片之總表面面積的表面面積。可堆疊包括使用本文中所講述之程序而製造之微觸點的封裝。參考2005年5月27日申請之同在申請中之美國專利申請案第11/140,312號，及美國專利第6,782,610號，其揭示內容據此以引用的方式併入。可藉由本文中所論述之程序來替換在此等申請案中所教示之微觸點蝕刻步驟。

儘管上文論述三金屬基板，但可利用具有任何數目個層之合適基板，諸如，單一金屬。另外，不是使用光阻，而是可使用抗蝕刻金屬，諸如，金或實質上抵抗用以蝕刻厚金屬層之蝕刻劑的其他金屬。舉例而言，可使用抗蝕刻金屬以代替上文所論述之第一光阻20。在塗覆遮罩(諸如，在用於抗蝕刻金屬光點之所要位置處具有孔的光阻)之後，可將該等光點電鍍至厚層16之頂部上。在將抗蝕刻金屬電鍍至厚層之頂部上之後，蝕刻厚層以形成如上文所論述之微觸點。可使抗蝕刻金屬留在微觸點之尖端上的適當位置中。在將抗蝕刻金屬用作第二抗蝕刻材料(代替上文所論述之第二光阻34)之情況下，可使用遮罩以限制第二抗蝕刻金屬僅至微觸點之第一部分32的沈積，使得微觸點之間的區域保持無抗蝕刻金屬。或者，可在蝕刻第一微觸點部分32後隨即移除整個第一抗蝕刻金屬層，接著可沈積

第二抗蝕刻金屬層以保護第一微觸點部分32。

參看圖25，微電子單元70經展示成具有微觸點72。微觸點72具有蝕刻終止層74。微觸點72自己形成為跡線76之金屬層垂直地突出。在跡線76之間可存在縫隙或空間78。可將第一介電層80黏附至鄰近於跡線76的單元70之底側。第一介電層80中之開口82允許跡線76形成電子觸點。可將第二介電層84形成於單元70之頂側上。

由此等程序形成之微觸點可具有處於約40微米至約200微米之範圍內的典型高度。另外，微觸點之間的典型間距可小於約200微米，較佳地小於150微米。詳言之，參看圖26，兩個微觸點經展示成具有尖端直徑 d 及微觸點高度 h 。間距 P 係藉由兩個微觸點之縱向軸線之間的距離界定。

在許多應用中，尤其是在使用連接至半導體晶片之觸點之微觸點(如(例如)在下文參考圖27所論述之結構中)的情況下，需要提供小間距。然而，在微觸點係藉由單一蝕刻程序而由單一金屬層形成之程序中，通常不實務的是使間距 P 小於特定最小間距 P_0 ，最小間距 P_0 等於直徑 d 加上高度 h 之總和，因而， $P_0=d+h$ 。理論上，可藉由減少尖端直徑 d 來減少最小間距。然而，不可能使尖端直徑小於零。此外，在許多狀況下，不需要將尖端直徑減少至低於約20微米或30微米。舉例而言，在針腳之尖端與用以在蝕刻期間保護尖端之光阻光點之間的黏附力係同尖端之面積成比例，且因此同尖端直徑之平方成比例。因此，在極小尖端直徑的情況下，光阻光點可在處理期間變位。因而，在使

用習知程序的情況下，已難以形成具有極小間距之微觸點。

然而，使用本文中所講述之程序之微觸點之間的間距可小於 P_0 ($P < P_0$)，例如， $P = (0.9)P_0$ 或更小。舉例而言，若尖端之直徑 d 為30微米且高度 h 為60微米，則習知程序將達成90微米之間距 P_0 。然而，本文中所描述之程序(具有至少兩次蝕刻)可達成約80微米或更小之間距 P 。換言之，多步驟蝕刻程序允許以在習知蝕刻程序中不可獲得之間距、尖端直徑及高度之組合而由單一金屬層形成單式金屬微觸點或支柱。隨著蝕刻步驟之數目增加，針對給定尖端直徑及高度之最小可獲得間距縮減。

現參看圖27，微電子封裝90經展示成使用具有如上文所論述之微觸點38之封裝元件或晶片載體。晶片載體包括第一介電層62，第一介電層62可由諸如聚醯亞胺、BT樹脂或通常用於晶片載體之類型之其他介電材料的材料形成。晶片載體亦包括連接至微觸點38中之一些或全部的跡線60。該等跡線併入端子61。微觸點38自面朝上的介電層62之第一側突出，如在圖27中所見。介電層62具有開口82，且端子61通過開口82而曝露於第一介電層62之第二或面朝下之表面處。載體進一步包括選用的第二介電層84。

將微觸點38之尖端結合至諸如半導體晶片或晶粒54之微電子元件之觸點55。舉例而言，可將微觸點之尖端焊接結合至微電子元件之觸點55。可使用其他結合程序，諸如，共晶結合或擴散結合。所得已封裝微電子元件在微電子元

件上具有藉由微觸點及跡線而連接至端子61之觸點55中之一些或全部。可藉由將端子61結合至印刷電路板上之焊墊94而將已封裝微電子元件安裝至電路面板92(諸如，印刷電路板)。舉例而言，可使用焊球96而在開口82處將電路面板92上之焊墊94焊接至端子61。

即使在觸點55被緊密地間隔之情況下，在微觸點38與微電子元件之觸點55之間的連接亦可提供可靠連接。如上文所論述，微觸點38可經形成為具有合理尖端直徑及高度。可觀尖端直徑可在每一微觸點之尖端與微電子元件之觸點之間提供實質結合區域。在使用中，可藉由微觸點38之彎曲及傾斜來適應晶片54相對於電路面板92之差動熱膨脹及收縮。藉由微觸點之高度來增強此動作。此外，因為微觸點係由共同金屬層形成，所以微觸點之高度在極小公差內係均一的。此情形促進在微觸點尖端與晶片或其他微電子元件之觸點之間的強健結合之嚙合及形成。

晶片載體之結構可變化。舉例而言，晶片載體可包括僅一個介電層。可將跡線安置於介電層之任一側上。或者，晶片載體可包括多層介電質，且可包括多個跡線層，以及諸如導電接地平面之其他特徵。

用於本發明之另外實施例的程序使用具有支柱部分1550之結構(圖28)，支柱部分1550自表面1526(諸如，介電層1510之表面)突出。可藉由任何程序來形成支柱部分1550，但理想地藉由相似於上文所論述之蝕刻程序的蝕刻程序來形成支柱部分1550。在形成部分1550之後，將金屬

或其他導電層 1502 塗覆於支柱部分 1550 之尖端 1533 之上。舉例而言，可將層 1502 層壓於併入部分 1550 之結構上，且用冶金學結合至支柱部分 1550 之尖端。選擇性地處理層 1502，以便移除遠離於支柱部分 1550 的該層之材料，但留下上覆於支柱部分 1550 的層厚度之至少部分，且進而形成與支柱部分 1550 對準之額外支柱部分 1504 (圖 29)，且因而形成複合微觸點，每一複合微觸點包括接近於基板之近端支柱部分 1550 及遠離於基板之遠端支柱部分 1504，遠端部分在垂直或 z 方向上自近端部分突出。應用於層 1502 之處理可包括如上文所論述之蝕刻程序，其使用與支柱部分 1550 對準的抗蝕刻材料 1506 之光點。可在蝕刻層 1502 之前塗覆諸如介電囊封物 1508 之保護層以覆蓋支柱部分 1550。或者或另外，可在蝕刻層 1502 之前將支柱部分 1550 電鍍有或以其他方式覆蓋有抗蝕刻導電材料 (諸如，鎳或金)。

可重複建置連續支柱部分之程序，以便在部分 1504 上形成額外部分，使得可形成具有基本上任何長度之微觸點。長微觸點提供支柱尖端之增加可撓性及移動。在一或多個介電囊封物層 (諸如，圖 28 及圖 29 中之層 1508) 留在圍繞已經形成之支柱部分之適當位置中的情況下，囊封物理想地係順應式的，使得其不實質上限制支柱之撓曲。在其他實施例中，在使用組件之前移除囊封物。儘管結合相似於上文所論述之介電基板及跡線的介電基板 1522 及跡線 1528 來說明微觸點，但可使用此程序以在基本上任何結構上製造微觸點。

如圖 29 所示，每一微觸點具有水平或寬度尺寸 x ，水平或寬度尺寸 x 遍及近端支柱部分 1550 之垂直或 z 方向範圍而變化且在近端支柱部分 1550 與遠端部分 1504 之間的接合點處以實質上逐步方式突然地增加，且沿著遠端部分之垂直範圍而變化。寬度相對於垂直位置之變化的斜率亦在支柱部分之間的接合點處突然地改變。在每一支柱部分內水平或寬度尺寸之變化樣式視用於蝕刻或以其他方式形成此類支柱部分之程序而定。舉例而言，在一另外實施例中，可藉由如上文所論述之多階段蝕刻程序來形成遠端支柱部分 1504，使得每一遠端支柱部分包括不同子部分，該等不同子部分具有界定在垂直或 z 方向上寬度 x 之變化的不同函數。

亦參考以下內容，其據此以引用的方式併入：2004 年 11 月 10 日申請之美國專利申請案第 10/985,126 號；2005 年 12 月 27 日申請之美國專利申請案第 11/318,822 號；2005 年 12 月 23 日申請之美國專利申請案第 11/318,164 號；2005 年 6 月 24 日申請之美國專利申請案第 11/166,982 號；2005 年 5 月 27 日申請之美國專利申請案第 11/140,312 號；及美國專利第 7,176,043 號。

諸如本文中所使用的用於形成支柱之程序可如美國專利申請案第 11/717,587 號中所描述，該申請案以引用的方式併入本文中。

現參看圖 30，其說明根據上文關於圖 1A 至圖 2A 所展示及描述之總成之變化之已封裝微電子總成 900 的橫截面

圖，其中自微電子元件902之前表面延伸的支柱916包括多重蝕刻導電支柱。

如圖所示，在此變化中，已封裝微電子總成900包括諸如上文關於圖1A所展示及描述之基板的基板901。總成亦包括處於面朝下或覆晶位置之微電子元件902及將基板與微電子元件接合之導電管柱903。導電管柱903包括突起於基板901之頂部表面906上方的導電凸塊或支柱912，導電凸塊或支柱912與突起於微電子元件902之前表面909上方的導電凸塊或支柱916對準。

微電子元件902具有前表面909。微電子元件902較佳地為半導體晶片或其類似者。舉例而言，微電子元件為裸晶粒。支柱916可自曝露於微電子元件902之前表面909處的結合焊墊908延伸。

如圖30所示，導電管柱903包括焊料，焊料導電地互連導電支柱912及916，進而建立自微電子元件902延伸至基板901之導電管柱903。導電管柱903可藉由本文中參考其他實施例所揭示之任何程序、材料或材料組合而結合在一起。舉例而言，導電管柱903可藉由在支柱與覆蓋物之材料之間的共晶結合或陽極結合而結合在一起。

支柱912可為任何類型之導電支柱，包括本文中參考其他實施例所揭示的任何類型之導電支柱。舉例而言，支柱912可具有任何形狀，包括截頭圓錐形。導電支柱912中每一者之基底及尖端可為實質上圓形或具有不同形狀(例如，長橢圓形)。

更具體言之，自基板901延伸之支柱912可為圖1A、圖1C、圖2及圖2A所示之支柱108，使得自微電子元件902延伸之支柱916可替換對應支柱110，對應支柱110中每一者可包括焊料頂蓋130。

在將支柱912接合至支柱916之前，支柱912可為圖5所示且各自包括焊料頂蓋230之支柱208，使得支柱916可替換對應支柱210。支柱912可為圖6所示且各自包括焊料頂蓋330之支柱308，使得支柱916可替換對應支柱310，對應支柱310中每一者亦可包括焊料頂蓋330。

在一特定實施例中，支柱912可為圖8所示之支柱508，使得支柱916可替換對應支柱510。在此類實施例中，支柱912及916較佳地係由具有最小彈性或反彈性之展性材料(例如，實質上純金)製成，且每一支柱經組態以在不使用焊料的情況下變形成與對應支柱啮合。

支柱912可為圖9至圖11所示之支柱608，使得支柱916可替換對應支柱610。在此類實施例中，支柱912及916較佳地包含銅，且每一支柱經組態以在導電支柱之間不存在低熔融溫度金屬(諸如，焊料或錫)的情況下直接熔合至對應支柱。

支柱912可為圖12所示之多層基板702之支柱708，使得支柱916可替換對應支柱710。在此類實施例中，支柱912可直接接合至自微電子元件902延伸之支柱916，諸如，經由在支柱之尖端處之成品金屬(例如，金)與存在於導電焊墊及支柱中之另一金屬之間所形成的擴散結合。或者，可

經由諸如焊料、錫或共晶組合物之易熔金屬而將支柱912及916接合在一起，易熔金屬潤濕支柱及焊墊以形成經潤濕或經焊接之接點。

支柱912可為圖13所示之支柱812及自基板806、806'延伸之其他支柱，使得支柱916可替換對應支柱810、810'。在此類實施例中，可在諸如圖13所示之總成800、800'的堆疊封裝總成中使用支柱912及916。

支柱912及916可用於諸如圖24所示之多層基板10的多層基板。支柱912可為圖24所示之微觸點38，且支柱916可自微電子元件或諸如晶粒54之其他組件延伸，使得可使用焊料或本文中所描述之其他支柱結合程序而將支柱912結合至支柱916。

支柱912可為圖25所示之微觸點72，其中支柱912自己形成為跡線76之金屬層垂直地突出。

支柱912可為圖27所示之微觸點38，其中支柱912自包括跡線60、開口82、端子61及選用的第二介電層84之基板延伸。

支柱916為多重蝕刻導電支柱。如圖30所示，支柱916與圖21B所示之雙重蝕刻微觸點38相同。如上文參看圖21B所描述，每一支柱916通常將呈圍繞中心軸線之迴轉本體的形式，中心軸線在垂直或Z方向上自微電子元件902向下延伸且大體上垂直於前表面909之平面。

在其他實施例(未圖示)中，支柱916可為任何多重蝕刻導電支柱，包括(例如)圖21A、圖21C及圖21D所示之多重

蝕刻微觸點38。儘管在圖30中將支柱916展示為被雙重蝕刻，但支柱916可經歷兩次以上蝕刻，諸如，圖21D所示之四次蝕刻。

支柱916可為具有圖28及圖29所示之結構的複合微觸點，其中每一支柱916包括接近於微電子元件902之近端支柱部分1550及遠離於微電子元件之遠端支柱部分1504。

現參看圖31，其說明根據上文關於圖1A至圖2A所展示及描述之總成之變化之已封裝微電子總成920的橫截面圖，其中自基板921之頂部表面延伸的支柱932包括多重蝕刻導電支柱。

圖31所示之已封裝微電子總成920與圖30所示之已封裝微電子總成900實質上相同，惟如下情況除外：自基板921延伸之支柱932為多重蝕刻導電支柱(諸如，圖21B所示之雙重蝕刻微觸點38)，而自微電子元件922延伸之支柱936可為任何類型之導電支柱(包括本文中參考其他實施例所揭示的任何類型之導電支柱)。

如圖所示，在此變化中，已封裝微電子總成920包括諸如上文關於圖1A所展示及描述之基板的基板921。總成亦包括處於面朝下或覆晶位置之微電子元件922及將基板與微電子元件接合之導電管柱923。導電管柱923包括突起於基板921之頂部表面926上方的導電凸塊或支柱932，導電凸塊或支柱932與突起於微電子元件922之前表面929上方的導電凸塊或支柱936對準。

如圖31所示，導電管柱923包括焊料，焊料導電地互連

導電支柱932及936，進而建立自微電子元件922延伸至基板921之導電管柱923。導電管柱923可藉由本文中參考其他實施例所揭示之任何程序、材料或材料組合而結合在一起。

支柱932為多重蝕刻導電支柱。如圖31所示，支柱932與圖21B所示之雙重蝕刻微觸點38相同。在其他實施例(未圖示)中，支柱932可為任何多重蝕刻導電支柱，包括(例如)圖21A、圖21C及圖21D所示之多重蝕刻微觸點38。儘管在圖31中將支柱932展示為被雙重蝕刻，但支柱932可經歷兩次以上蝕刻，諸如，圖21D所示之四次蝕刻。支柱932可為具有圖28及圖29所示之結構的複合微觸點，其中每一支柱932包括接近於基板922之近端支柱部分1550及遠離於基板之遠端支柱部分1504。

支柱936可為任何類型之導電支柱，包括本文中參考其他實施例所揭示的任何類型之導電支柱。舉例而言，支柱936可具有任何形狀，包括截頭圓錐形。導電支柱936中每一者之基底及尖端可為實質上圓形或具有不同形狀(例如，長橢圓形)。

更具體言之，自微電子元件922延伸之支柱936可為圖1B、圖2及圖2A所示之支柱110，使得自基板921延伸之支柱932可替換對應支柱108。支柱936中每一者可包括焊料頂蓋130。

在將支柱936接合至支柱932之前，支柱936可為圖5所示之支柱210，使得支柱932可替換包括焊料頂蓋230之對應

支柱208。支柱936可為圖6所示且各自包括焊料頂蓋330之支柱310，使得支柱932可替換對應支柱308，對應支柱308中每一者亦可包括焊料頂蓋330。

在一特定實施例中，支柱936可為圖8所示之支柱510，使得支柱932可替換對應支柱508。在此類實施例中，支柱932及936較佳地係由具有最小彈性或反彈性之展性材料(例如，實質上純金)製成，且每一支柱經組態以在不使用焊料的情況下變形成與對應支柱嚙合。

支柱936可為圖9至圖11所示之支柱610，使得支柱932可替換對應支柱608。在此類實施例中，支柱932及936較佳地包含銅，且每一支柱經組態以在導電支柱之間不存在低熔融溫度金屬(諸如，焊料或錫)的情況下直接熔合至對應支柱。

支柱936可為圖13所示之支柱810、810'，使得支柱932可替換自基板806、806'延伸之對應支柱。在此類實施例中，可在諸如圖13所示之總成800、800'的堆疊封裝總成中使用支柱932及936。

支柱932及936可用於諸如圖24所示之多層基板10的多層基板。支柱932可為圖24所示之微觸點38，且支柱936可自微電子元件或諸如晶粒54之其他組件延伸，使得可使用焊料或本文中所描述之其他支柱結合程序而將支柱932結合至支柱936。

現參看圖32，其說明根據上文關於圖1A至圖2A所展示及描述之總成之變化之已封裝微電子總成940的橫截面

圖，其中自基板941之頂部表面延伸的支柱952及自微電子元件942之前表面延伸的支柱956包括多重蝕刻導電支柱。

圖32所示之已封裝微電子總成940與圖30所示之已封裝微電子總成900及圖31所示之已封裝微電子總成920實質上相同，惟如下情況除外：自基板941延伸之支柱952及自微電子元件942延伸之支柱956為多重蝕刻導電支柱(諸如，圖21B所示之雙重蝕刻微觸點38)。

如圖所示，在此變化中，已封裝微電子總成940包括諸如上文關於圖1A所展示及描述之基板的基板941。總成亦包括處於面朝下或覆晶位置之微電子元件942及將基板與微電子元件接合之導電管柱943。導電管柱943包括突起於基板941之頂部表面946上方的導電凸塊或支柱952，導電凸塊或支柱952與突起於微電子元件942之前表面949上方的導電凸塊或支柱956對準。

如圖32所示，導電管柱943包括焊料，焊料導電地互連導電支柱952及956，進而建立自微電子元件942延伸至基板941之導電管柱943。導電管柱943可藉由本文中參考其他實施例所揭示之任何程序、材料或材料組合而結合在一起。

支柱952及956為多重蝕刻導電支柱。如圖32所示，支柱952及956與圖21B所示之雙重蝕刻微觸點38相同。在其他實施例(未圖示)中，支柱952及956可為任何多重蝕刻導電支柱，包括(例如)圖21A、圖21C及圖21D所示之多重蝕刻微觸點38。

儘管將支柱952及956展示為與圖21B所示之雙重蝕刻微觸點38相同，但在其他實施例(未圖示)中，支柱952可具有不同於支柱956之多重蝕刻形狀(包括(例如)將支柱952成形為如21A所示及將支柱956成形為如圖21C所示之情況)，使得判定支柱952之形狀且藉由在支柱952之第一蝕刻步驟及第二蝕刻步驟中所使用之蝕刻條件判定的第一函數及第二函數可不同於判定支柱956之形狀且藉由在支柱956之第一蝕刻步驟及第二蝕刻步驟中所使用之蝕刻條件判定的第三函數及第四函數。

儘管在圖32中將支柱952及956展示為被雙重蝕刻，但支柱952及956中任一者或其兩者皆可經歷兩次以上蝕刻，諸如，圖21D所示之四次蝕刻。支柱952及956可為具有圖28及圖29所示之結構的複合微觸點，其中每一支柱952及956包括接近於基板942之近端支柱部分1550及遠離於基板之遠端支柱部分1504。

更具體言之，支柱952及956中任一者或其兩者皆可包括如圖1B、圖1C、圖5及圖6所示之焊料頂蓋。

相似於圖8所示之實施例，支柱952及956可由具有最小彈性或反彈性之展性材料(例如，實質上純金)製成，且每一支柱經組態以在不使用焊料的情況下變形成與對應支柱嚙合。

相似於圖9所示之實施例，支柱952及956可包含銅，且每一支柱可經組態以在導電支柱之間不存在低熔融溫度金屬(諸如，焊料或錫)的情況下直接熔合至對應支柱。

可在諸如圖 13 所示之總成 800、800' 的堆疊封裝總成中使用支柱 952 及 956。支柱 952 及 956 可用於諸如圖 24 所示之多層基板 10 的多層基板。

現參看圖 33，其說明根據上文關於圖 1A 至圖 2A 所展示及描述之總成之變化之已封裝微電子總成 960 的橫截面圖，其中自基板 961 之頂部表面延伸的支柱 972 包括多重蝕刻導電支柱。

圖 33 所示之已封裝微電子總成 960 與圖 31 所示之已封裝微電子總成 920 實質上相同，惟如下情況除外：自微電子元件 962 延伸之支柱 976 具有截頭圓錐形形狀（諸如，本文中參考其他實施例所揭示之截頭圓錐形支柱或微觸點中任一者）。

如圖所示，在此變化中，已封裝微電子總成 960 包括諸如上文關於圖 1A 所展示及描述之基板的基板 961。總成亦包括處於面朝下或覆晶位置之微電子元件 962 及將基板與微電子元件接合之導電管柱 963。導電管柱 963 包括突起於基板 961 之頂部表面 966 上方的導電凸塊或支柱 972，導電凸塊或支柱 972 與突起於微電子元件 962 之前表面 969 上方的導電凸塊或支柱 976 對準。

如圖 33 所示，導電管柱 963 包括焊料，焊料導電地互連導電支柱 972 及 976，進而建立自微電子元件 962 延伸至基板 961 之導電管柱 963。導電管柱 963 可藉由本文中參考其他實施例所揭示之任何程序、材料或材料組合而結合在一起。

支柱972為多重蝕刻導電支柱。如圖33所示，支柱972與圖21B所示之雙重蝕刻微觸點38相同。在其他實施例(未圖示)中，支柱972可為任何多重蝕刻導電支柱，包括(例如)圖21A、圖21C及圖21D所示之多重蝕刻微觸點38。儘管在圖33中將支柱972展示為被雙重蝕刻，但支柱972可經歷兩次以上蝕刻，諸如，圖21D所示之四次蝕刻。支柱972可為具有圖28及圖29所示之結構的複合微觸點，其中每一支柱972包括接近於基板962之近端支柱部分1550及遠離於基板之遠端支柱部分1504。

更具體言之，支柱972及976中任一者或其兩者皆可包括如圖1B、圖1C、圖5及圖6所示之焊料頂蓋。

相似於圖8所示之實施例，支柱972及976可由具有最小彈性或反彈性之展性材料(例如，實質上純金)製成，且每一支柱經組態以在不使用焊料的情況下變形成與對應支柱嚙合。

相似於圖9所示之實施例，支柱972及976可包含銅，且每一支柱可經組態以在導電支柱之間不存在低熔融溫度金屬(諸如，焊料或錫)的情況下直接熔合至對應支柱。

可在諸如圖13所示之總成800、800'的堆疊封裝總成中使用支柱972及976。支柱972及976可用於諸如圖24所示之多層基板10的多層基板。

現參看圖34，其說明根據上文關於圖1A至圖2A所展示及描述之總成之變化之已封裝微電子總成980的橫截面圖，其中自微電子元件982之前表面延伸的支柱996包括多

重蝕刻導電支柱。

圖33所示之已封裝微電子總成980與圖30所示之已封裝微電子總成900實質上相同，惟如下情況除外：圖30中自基板901延伸之支柱912已用附接至基板981之結合焊墊992(諸如，本文中參考其他實施例所揭示之結合焊墊中任一者)替換。

如圖所示，在此變化中，已封裝微電子總成980包括諸如上文關於圖1A所展示及描述之基板的基板981。總成亦包括處於面朝下或覆晶位置之微電子元件982及將基板與微電子元件接合之導電管柱983。導電管柱983包括附接至基板981之頂部表面986的導電結合焊墊992，導電結合焊墊992與突起於微電子元件982之前表面989上方的導電凸塊或支柱996對準。

如圖34所示，導電管柱983包括焊料，焊料導電地互連導電支柱996及焊墊992，進而建立自微電子元件982延伸至基板981之導電管柱983。導電管柱983可藉由本文中參考其他實施例所揭示之任何程序、材料或材料組合而結合在一起。

支柱996為多重蝕刻導電支柱。如圖34所示，支柱996與圖21B所示之雙重蝕刻微觸點38相同。在其他實施例(未圖示)中，支柱996可為任何多重蝕刻導電支柱，包括(例如)圖21A、圖21C及圖21D所示之多重蝕刻微觸點38。儘管在圖33中將支柱996展示為被雙重蝕刻，但支柱996可經歷兩次以上蝕刻，諸如，圖21D所示之四次蝕刻。支柱996可為

具有圖28及圖29所示之結構的複合微觸點，其中每一支柱996包括接近於微電子元件981之近端支柱部分1550及遠離於微電子元件之遠端支柱部分1504。

更具體言之，焊墊992及支柱996中任一者或其兩者皆可包括如圖1B、圖1C、圖5及圖6所示之焊料頂蓋。

相似於圖8所示之實施例，焊墊992及支柱996可由具有最小彈性或反彈性之展性材料(例如，實質上純金)製成，且每一支柱經組態以在不使用焊料的情況下變形成與對應支柱嚙合。

相似於圖9所示之實施例，焊墊992及支柱996可包含銅，且每一支柱可經組態以在導電支柱之間不存在低熔融溫度金屬(諸如，焊料或錫)的情況下直接熔合至對應支柱。

可在諸如圖13所示之總成800、800'的堆疊封裝總成中使用焊墊992及支柱996。焊墊992及支柱996可用於諸如圖24所示之多層基板10的多層基板。

現參看圖35，其說明根據上文關於圖1A至圖2A所展示及描述之總成之變化之已封裝微電子總成1000的橫截面圖，其中自基板1001之頂部表面延伸的支柱1012及自微電子元件1002之前表面延伸的支柱1016包括多重蝕刻導電支柱。

圖35所示之已封裝微電子總成1000與圖32所示之已封裝微電子總成940實質上相同，惟如下情況除外：包括於導電地互連導電支柱1012及1016之導電管柱1003中的焊料不

觸碰微電子元件1002之導電焊墊1008。在一特定實施例中，包括於導電管柱1003中之焊料不觸碰基板1001之表面1006或不觸碰可供延伸出基板之支柱1012的焊墊(未圖示)，此類焊墊可曝露於基板之表面1006處。

圖30至圖34所示之導電管柱903、923、943、963及983藉由增加微電子元件與基板之間間隙或垂直距離來提供基板上晶片封裝之增加高度，而同時允許導電管柱之間的中心至中心水平距離或間距縮減。增加基板與微電子元件之間的距離的能力可有助於減少導電管柱處之應力、可有助於使底膠之塗覆(見(例如)圖2A)容易，且允許使用更多種類之底膠。

圖30所示之支柱912及916、圖31所示之支柱932及936、圖32所示之支柱952及956、圖33所示之支柱972及976以及圖34所示之結合焊墊992及支柱996可由諸如銅、銅合金、金及其組合之任何導電材料製成。圖31所示之支柱932及936、圖32所示之支柱952及956、圖33所示之支柱972及976以及圖34所示之結合焊墊992及支柱996可包括可藉由焊料潤濕之曝露金屬層。舉例而言，支柱可包含銅，在支柱之表面處具有金層。另外，圖31所示之支柱932及936、圖32所示之支柱952及956、圖33所示之支柱972及976以及圖34所示之結合焊墊992及支柱996可包括至少一金屬層，該至少一金屬層具有大於其將被接合至之焊料之熔融溫度之熔融溫度。舉例而言，此類導電支柱將包括銅層或完全地由銅形成。

圖 31 所示之支柱 932 及 936、圖 32 所示之支柱 952 及 956、圖 33 所示之支柱 972 及 976 以及圖 34 所示之支柱 996 的尺寸可遍及一顯著範圍而變化，但最通常的是，自基板及微電子元件之前表面延伸之每一支柱的高度為至少 30 微米且可延伸至高達 300 微米。此等支柱可具有大於其直徑或寬度(分別大致平行於基板及微電子元件之前表面)之高度(分別大致垂直於基板及微電子元件之前表面)。然而，高度亦可小於寬度，諸如，為寬度之大小的至少一半。

用於將微電子元件(諸如，半導體晶片)電連接至基板(例如，晶片載體)之程序可如美國專利申請案第 12/286,102 號中進一步所描述，該申請案以引用的方式併入本文中。

儘管已參考特定實施例而描述本文中之本發明，但應理解，此等實施例僅僅用於說明本發明之原理及應用。因此應理解，在不脫離藉由附加申請專利範圍界定的本發明之精神及範疇的情況下，可對說明性實施例進行眾多修改且可構思其他配置。

應瞭解，可以不同於初始申請專利範圍中所呈現之方式的方式來組合本文中所闡述之各種附屬申請專利範圍及特徵。亦應瞭解，結合個別實施例所描述之特徵可與所描述實施例中其他者進行共用。

【圖式簡單說明】

圖 1A 及圖 1B 為根據一實施例之微電子總成之組件的剖視圖。

圖 1C 為說明接合在一起之圖 1A 及圖 1B 的剖視圖。

圖 2 為說明根據圖 1A 至圖 1C 之實施例之微電子總成的剖視圖。

圖 2A 為圖 2 之部分的分解剖視圖。

圖 3 為說明根據圖 2 所示之實施例之變化之已完成微電子總成的剖視圖。

圖 4 為說明根據圖 2 所示之實施例之變化之已完成微電子總成的剖視圖。

圖 5 為說明根據另一實施例之微電子總成之組件的剖視圖。

圖 6 為說明根據圖 5 所示之實施例之變化之微電子總成之組件的剖視圖。

圖 7 為說明根據一實施例之已完成微電子總成的剖視圖。

圖 8 為說明根據另一實施例之已完成微電子總成的剖視圖。

圖 9 為說明根據另一實施例之已完成微電子總成的剖視圖。

圖 10 為說明根據另一實施例之已完成微電子總成的剖視圖。

圖 11 為說明根據另一實施例之已完成微電子總成的剖視圖。

圖 12 為說明根據另一實施例之已完成微電子總成的剖視圖。

圖 13 為說明根據另一實施例之已完成微電子總成的剖視圖。

圖。

圖 14 為基板的示意性說明。

圖 15 為具有光阻層的圖 14 之基板的示意性說明。

圖 16 為具有光阻層及遮罩的圖 14 之基板的透視示意性說明。

圖 17 為經蝕刻的圖 14 之基板的示意性說明。

圖 18 為具有第二光阻的圖 14 之基板的示意性說明。

圖 19 為已使第二光阻顯影的圖 14 之基板的示意性說明。

圖 20 為經第二次蝕刻的圖 14 之基板的示意性說明。

圖 21A 至圖 21D 為微觸點的實例輪廓。

圖 21E 為圖 21B 所示之微觸點之尖端區的放大輪廓。

圖 22 為描繪第一實施例的流程圖。

圖 23 為描繪第二實施例的流程圖。

圖 24 為在應用中之多層基板的示意性說明。

圖 25 為微電子單元的示意性說明。

圖 26 為兩個鄰近微電子單元的示意性說明。

圖 27 為微電子總成的示意性說明。

圖 28 為微電子總成的另一示意性說明。

圖 29 為微電子總成的又一示意性說明。

圖 30 為說明根據另一實施例之已完成微電子總成的剖視圖。

圖 31 為說明根據另一實施例之已完成微電子總成的剖視圖。

圖 32 為說明根據另一實施例之已完成微電子總成的剖視

圖。

圖 33 為說明根據另一實施例之已完成微電子總成的剖視

圖。

圖 34 為說明根據另一實施例之已完成微電子總成的剖視

圖。

圖 35 為說明根據另一實施例之已完成微電子總成的剖視

圖。

【主要元件符號說明】

10	多層基板
12	跡線層
14	蝕刻終止層
16	厚層
18	頂部表面
18'	尖端表面
19	上部邊界
20	第一光阻層
22	遮罩
24	圖案
25	直徑
26	覆蓋區域
28	未覆蓋區域
29	高度
30	懸垂物
32	第一微觸點部分

34	第二光阻層
36	第二微觸點部分
38	微觸點
40	第三部分
42	第四部分
44	圓周表面
46	圓周表面
48	理論圓錐形表面
51	中心軸線
52	下部邊界
54	半導體晶片/晶粒
55	觸點
56	焊料
58	底膠
60	跡線
61	端子
62	第一介電層
64	端子
70	微電子單元
72	微觸點
74	蝕刻終止層
76	跡線
78	縫隙/空間
80	第一介電層

82	開口
84	第二介電層
90	微電子封裝
92	電路面板
94	焊墊
96	焊球
101	頂部表面
101'	頂部表面
102	基板
102'	基板
102A	介電元件
103	底部表面
104	微電子元件
104'	微電子元件
105	基板之面
106	導電管柱
106'	導電管柱
107	微電子元件之面
108	導電凸塊/導電支柱
109	導電跡線
110	導電凸塊/導電支柱
111	頂部表面
112	底膠材料
113	邊緣表面

114	基底
115	介層孔
116	尖端
117	接觸焊墊
118	焊接遮罩
119	鈍化層
120	凸塊下金屬化層
121	中間蝕刻終止層/內部金屬層
122	頂部表面/前表面
122'	前表面
123	頂部與底部金屬層
124	後表面
126	基底
128	尖端
130	焊料頂蓋
132	導電管柱之壁
202	基板
204	微電子元件
208	導電支柱
210	導電支柱
214	基底
216	尖端
228	尖端
230	焊料頂蓋

232	導電管柱之壁
232'	導電管柱之壁
302	基板
304	微電子元件
308	導電支柱
310	導電支柱
330	焊料頂蓋
401	頂部表面
402	基板
406	導電管柱
508	導電支柱
510	導電支柱
516	尖端
602	基板
604	微電子元件
608	導電支柱
610	導電支柱
616	尖端
626	間隔物結構
628	尖端
636	方向
640	板
701	頂部表面
702	多層基板

704	微電子元件
708	導電支柱
710	導電支柱
716	尖端
722	前表面
800	第一次總成
800'	第二次總成
806	基板
806'	基板
808	導電管柱
810	支柱
810'	支柱
812	導電支柱
814	介層孔
900	已封裝微電子總成
901	基板
902	微電子元件
903	導電管柱
906	頂部表面
908	結合焊墊
909	前表面
912	導電凸塊/導電支柱
916	導電凸塊/導電支柱
920	已封裝微電子總成

921	基板
922	微電子元件
923	導電管柱
926	頂部表面
929	前表面
932	導電凸塊/導電支柱
936	導電凸塊/導電支柱
940	已封裝微電子總成
941	基板
942	微電子元件
943	導電管柱
946	頂部表面
949	前表面
952	導電凸塊/導電支柱
956	導電凸塊/導電支柱
960	已封裝微電子總成
961	基板
962	微電子元件
963	導電管柱
966	頂部表面
969	前表面
972	導電凸塊/導電支柱
976	導電凸塊/導電支柱
980	已封裝微電子總成

981	基板
982	微電子元件
983	導電管柱
986	頂部表面
989	前表面
992	結合焊墊
996	導電凸塊/導電支柱
1000	已封裝微電子總成
1001	基板
1002	微電子元件
1003	導電管柱
1006	表面
1008	導電焊墊
1012	導電支柱
1016	導電支柱
1502	金屬層或其他導電層
1504	遠端支柱部分
1506	抗蝕刻材料
1508	介電囊封物/層
1510	介電層
1526	表面
1528	跡線
1533	尖端
1550	近端支柱部分

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：(00124338)

※申請日：(00.7.8)

※IPC 分類：H01L 23/488

一、發明名稱：(中文/英文)

H01L 21/60

具有雙重或多重蝕刻覆晶連接器之微電子封裝

MICROELECTRONIC PACKAGES WITH DUAL OR MULTIPLE-
ETCHED FLIP-CHIP CONNECTORS

二、中文發明摘要：

一種已封裝微電子元件包括一微電子元件，該微電子元件具有一前表面及延伸離開該前表面之複數個第一固體金屬支柱。一基板具有一主表面及曝露於該主表面處且接合至該等第一固體金屬支柱之複數個導電元件。在特定實例中，該等導電元件可為結合焊墊，或可為具有頂部表面及以實質角度延伸離開該等頂部表面之邊緣表面的第二支柱。每一第一固體金屬支柱包括鄰近於該微電子元件之一基底區及遠離於該微電子元件之一尖端區，該基底區及該尖端區具有各別凹形圓周表面。每一第一固體金屬支柱具有在該基底區中為垂直位置之一第一函數且在該尖端區中為垂直位置之一第二函數的一水平尺寸。

三、英文發明摘要：

A packaged microelectronic element includes a microelectronic element having a front surface and a plurality of first solid metal posts extending away from the front surface. A substrate has a major surface and a plurality of conductive elements exposed at the major surface and joined to the first solid metal posts. In particular examples, the conductive elements can be bond pads or can be second posts having top surfaces and edge surfaces extending at substantial angles away therefrom. Each first solid metal post includes a base region adjacent the microelectronic element and a tip region remote from the microelectronic element, the base region and tip region having respective concave circumferential surfaces. Each first solid metal post has a horizontal dimension which is a first function of vertical location in the base region and which is a second function of vertical location in the tip region.

七、申請專利範圍：

1. 一種已封裝微電子元件，其包含：
 - 一微電子元件，其具有一前表面及延伸離開該前表面之複數個固體金屬支柱；及
 - 一基板，其具有一主表面及曝露於該主表面處之複數個導電元件，該等導電元件接合至該等固體金屬支柱；
 - 每一固體金屬支柱包括鄰近於該微電子元件之一基底區及遠離於該微電子元件之一尖端區，該基底區及該尖端區具有各別凹形圓周表面；
 - 每一固體金屬支柱具有在該基底區中為垂直位置之一第一函數且在該尖端區中為垂直位置之一第二函數之一水平尺寸。
2. 如請求項1之已封裝微電子元件，其中每一固體金屬支柱進一步包括位於該基底區與該頂部區之間的至少一中間區，該中間區具有一凹形圓周表面，每一固體金屬支柱之該水平尺寸在該中間區中為垂直位置之一第三函數。
3. 如請求項1之已封裝微電子元件，其中每一固體金屬支柱具有在該前表面之一方向上之一寬度及自該前表面延伸之一高度，其中該高度為該寬度之至少一半。
4. 如請求項1之已封裝微電子元件，其中該等固體金屬支柱係藉由一易熔金屬而接合至該等導電元件。
5. 如請求項4之已封裝微電子元件，其中該易熔金屬包含焊料，且該焊料覆蓋每一固體金屬支柱之邊緣表面之至

少部分。

6. 如請求項5之已封裝微電子元件，其進一步包含位於該前表面處之複數個導電焊墊，其中每一固體金屬支柱自該複數個導電焊墊中之一各別導電焊墊延伸且該焊料不觸碰該複數個導電焊墊中至少一者。
7. 如請求項5之已封裝微電子元件，其中該焊料不觸碰任何固體金屬支柱之該基底區。
8. 如請求項4之已封裝微電子元件，其中該易熔金屬包含焊料，且該焊料僅觸碰每一固體金屬支柱之一頂部表面。
9. 如請求項1之已封裝微電子元件，其中每一固體金屬支柱之一高度介於在該微電子元件之該前表面與該基板之該主表面之間的距離的25%與50%之間。
10. 如請求項1之已封裝微電子元件，其中每一固體金屬支柱之一高度為在該微電子元件之該前表面與該基板之該主表面之間的距離的至少40%。
11. 如請求項1之已封裝微電子元件，其中該等固體金屬支柱及該等導電元件被擴散結合在一起。
12. 如請求項1之已封裝微電子元件，其中該第一函數及該第二函數實質上不同。
13. 如請求項1之已封裝微電子元件，其中水平尺寸相對於垂直位置之一斜率在該等固體金屬支柱之該基底區與該尖端區之間的一邊界處突然地改變。
14. 如請求項1之已封裝微電子元件，其中該等固體金屬支

柱及該等導電元件基本上由銅組成。

15. 如請求項1之已封裝微電子元件，其中該等導電元件包括導電焊墊，該等焊墊接合至該等固體金屬支柱。
16. 如請求項1之已封裝微電子元件，其中該等固體金屬支柱為第一固體金屬支柱，且該等導電元件包括延伸於該主表面上方且接合至該等第一固體金屬支柱之複數個第二固體金屬支柱，該等第二支柱具有遠離於該基板之該主表面之頂部表面及以實質角度延伸離開該等頂部表面之邊緣表面。
17. 如請求項16之已封裝微電子元件，其中該等第一固體金屬支柱係藉由一易熔金屬而接合至該等第二固體金屬支柱。
18. 如請求項17之已封裝微電子元件，其中該易熔金屬包含焊料，且該焊料覆蓋每一固體金屬支柱之邊緣表面之至少部分。
19. 如請求項18之已封裝微電子元件，其進一步包含位於該前表面處之複數個導電焊墊，其中每一第一固體金屬支柱自該複數個導電焊墊中之一各別導電焊墊延伸且該焊料不觸碰該複數個導電焊墊中至少一者。
20. 如請求項17之已封裝微電子元件，其中該易熔金屬包含焊料，且該焊料僅觸碰每一固體金屬支柱之一頂部表面。
21. 如請求項16之已封裝微電子元件，其中該等第一固體金屬支柱及該等第二固體金屬支柱被擴散結合在一起。

22. 如請求項16之已封裝微電子元件，其中每一第二固體金屬支柱包括鄰近於該基板之一基底區及遠離於該基板之一尖端區，每一第二固體金屬支柱之該基底區及該尖端區具有各別凹形圓周表面，每一第二固體金屬支柱具有在該基底區中為垂直位置之一第三函數且在該尖端區中為垂直位置之一第四函數之一水平尺寸。
23. 如請求項22之已封裝微電子元件，其中每一第二支柱具有在該主表面之一方向上之一寬度及自該主表面延伸之一高度，其中該高度為該寬度之至少一半。
24. 如請求項22之已封裝微電子元件，其中該等第一固體金屬支柱係藉由一易熔金屬而接合至該等第二固體金屬支柱。
25. 如請求項24之已封裝微電子元件，其中該易熔金屬包含焊料，且該焊料覆蓋每一固體金屬支柱之邊緣表面之至少部分。
26. 如請求項25之已封裝微電子元件，其進一步包含位於該前表面處之複數個導電焊墊，其中每一第一固體金屬支柱自該複數個導電焊墊中之一各別導電焊墊延伸且該焊料不觸碰該複數個導電焊墊中至少一者。
27. 如請求項25之已封裝微電子元件，其中該焊料不觸碰任何固體金屬支柱之該基底區。
28. 如請求項24之已封裝微電子元件，其中該易熔金屬包含焊料，且該焊料僅觸碰每一固體金屬支柱之一頂部表面。

29. 如請求項22之已封裝微電子元件，其中該等第一固體金屬支柱及該等第二固體金屬支柱被擴散結合在一起。
30. 如請求項22之已封裝微電子元件，其中該第一函數與該第三函數相同，且該第二函數與該第四函數相同。
31. 一種已封裝微電子元件，其包含：
- 一微電子元件，其具有一前表面及突出於該前表面上方之複數個第一固體金屬支柱，該等第一支柱具有遠離於該前表面之頂部表面及以實質角度延伸離開該前表面之邊緣表面；及
 - 一基板，其具有一主表面及自該主表面延伸且接合至該等第一固體金屬支柱之複數個第二固體金屬支柱；
 - 每一第二固體金屬支柱包括鄰近於該微電子元件之一基底區及遠離於該微電子元件之一尖端區，該基底區及該尖端區具有各別凹形圓周表面；
 - 每一第二固體金屬支柱具有在該基底區中為垂直位置之一第一函數且在該尖端區中為垂直位置之一第二函數的一水平尺寸。
32. 如請求項31之已封裝微電子元件，其中每一第一支柱具有一截頭圓錐形形狀。
33. 如請求項31之已封裝微電子元件，其中每一第二支柱具有在該主表面之一方向上之一寬度及自該主表面延伸之一高度，其中該高度為該寬度之至少一半。
34. 如請求項31之已封裝微電子元件，其中該等第一固體金屬支柱係藉由一易熔金屬而接合至該等第二固體金屬支

柱。

35. 如請求項34之已封裝微電子元件，其中該易熔金屬包含焊料，且該焊料覆蓋每一固體金屬支柱之邊緣表面之至少部分。
36. 如請求項35之已封裝微電子元件，其進一步包含位於該前表面處之複數個導電焊墊，其中每一第一固體金屬支柱自該複數個導電焊墊中之一各別導電焊墊延伸且該焊料不觸碰該複數個導電焊墊中至少一者。
37. 如請求項34之已封裝微電子元件，其中該易熔金屬包含焊料，且該焊料僅觸碰每一固體金屬支柱之一頂部表面。
38. 如請求項31之已封裝微電子元件，其中該等第一固體金屬支柱及該等第二固體金屬支柱被擴散結合在一起。
39. 一種組裝一已封裝微電子元件之方法，其包含：
 - (a)提供一微電子元件，該微電子元件具有一前表面及在一垂直方向上突出於該前表面上方之複數個固體金屬支柱，每一固體金屬支柱包括鄰近於該前表面之一基底區及遠離於該前表面之一尖端區，該基底區及該尖端區具有各別凹形圓周表面，每一固體金屬支柱具有在該基底區中為垂直位置之一第一函數且在該尖端區中為垂直位置之一第二函數的一水平尺寸；
 - (b)使該複數個固體金屬支柱與曝露於一基板之一主表面處之複數個導電元件至少實質上對準；及
 - (c)將該微電子元件之該等固體金屬支柱與該基板之該

等導電元件接合。

40. 如請求項39之方法，其中步驟(c)包括將一易熔金屬加熱至一熔融溫度，其中該易熔金屬流動至該等固體金屬支柱之邊緣表面之曝露部分上。
41. 如請求項40之方法，其中該易熔金屬包含焊料，且該焊料覆蓋每一固體金屬支柱之邊緣表面之至少部分。
42. 如請求項41之方法，其進一步包含位於該前表面處之複數個導電焊墊，其中每一固體金屬支柱自該複數個導電焊墊中之一各別導電焊墊延伸且該焊料不觸碰該複數個導電焊墊中至少一者。
43. 如請求項41之方法，其中該焊料不觸碰任何固體金屬支柱之該基底區。
44. 如請求項40之方法，其中該易熔金屬包含焊料，且該焊料僅觸碰每一固體金屬支柱之一頂部表面。
45. 如請求項39之方法，其中每一固體金屬支柱之一高度介於在該微電子元件之該前表面與該基板之該主表面之間的距離的25%與50%之間。
46. 如請求項39之方法，其中每一固體金屬支柱之一高度為在該微電子元件之該前表面與該基板之該主表面之間的距離的至少40%。
47. 如請求項39之方法，其中將一鈍化層及一凸塊下金屬化層沈積於該微電子元件之上。

八、圖式：

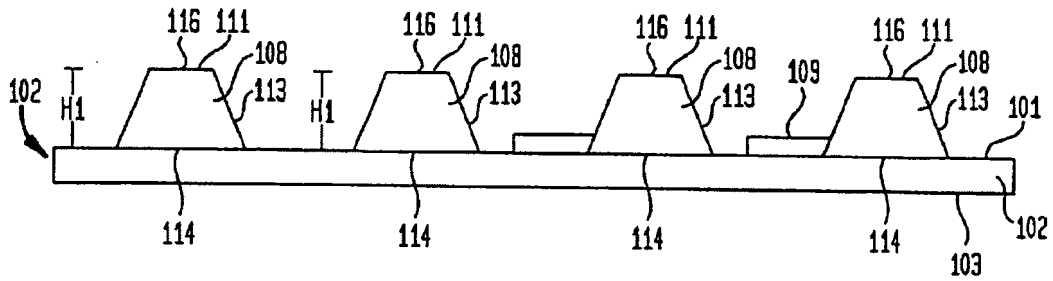


圖 1A

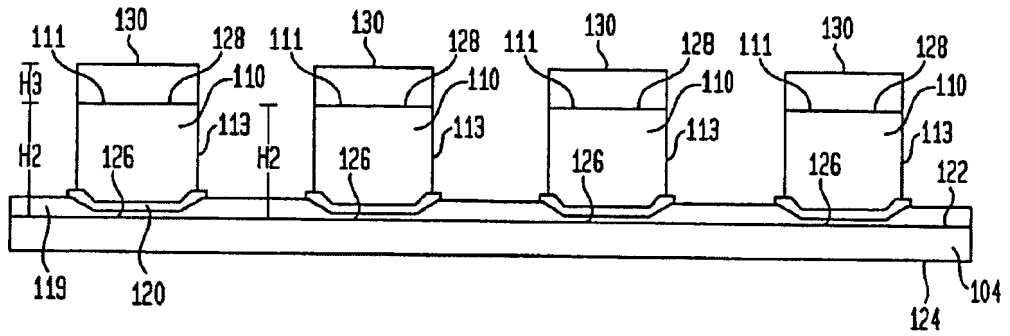


圖 1B

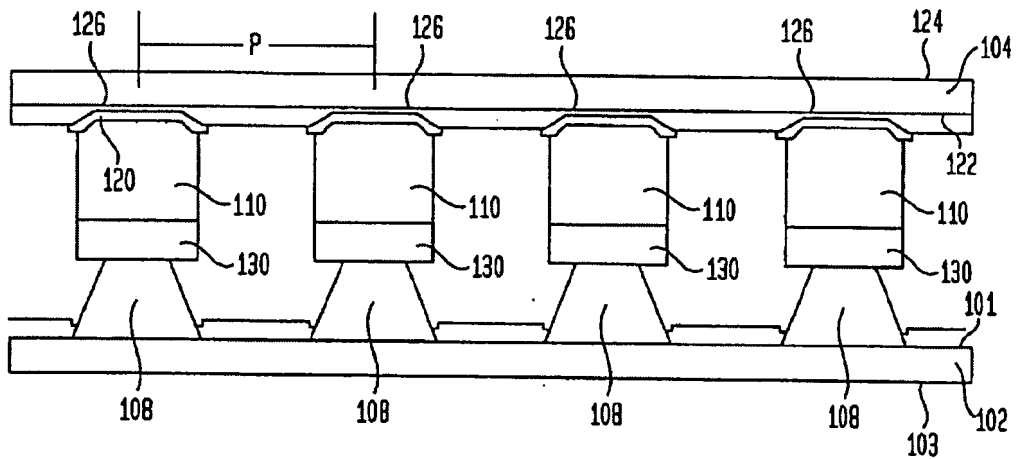


圖 1C

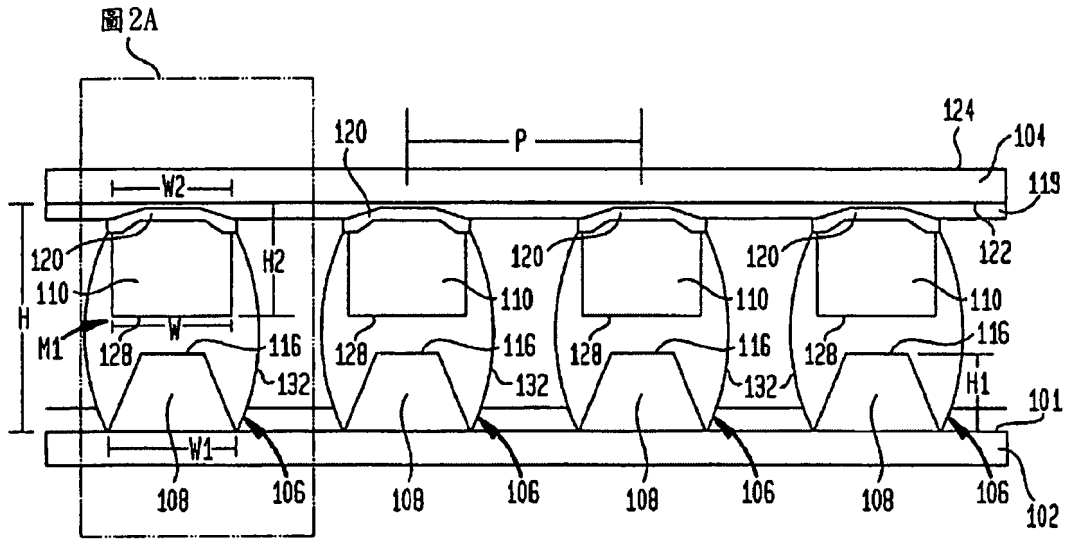


圖 2

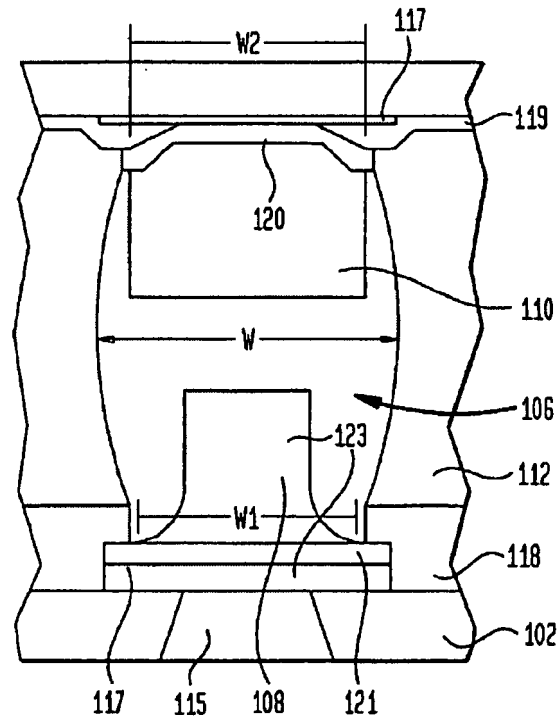


圖 2A

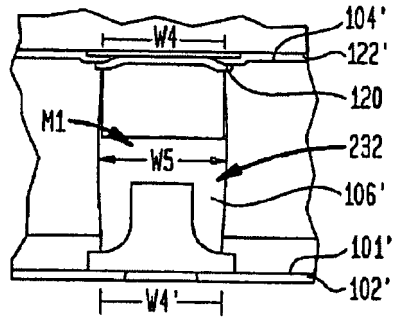


圖3

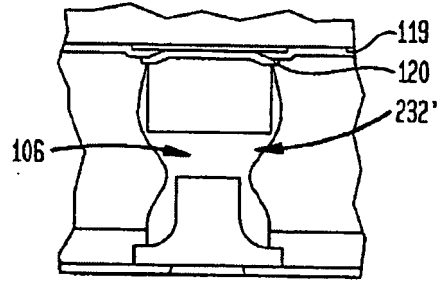


圖4

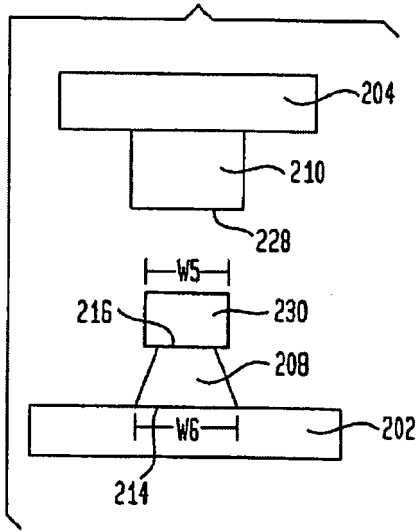


圖5

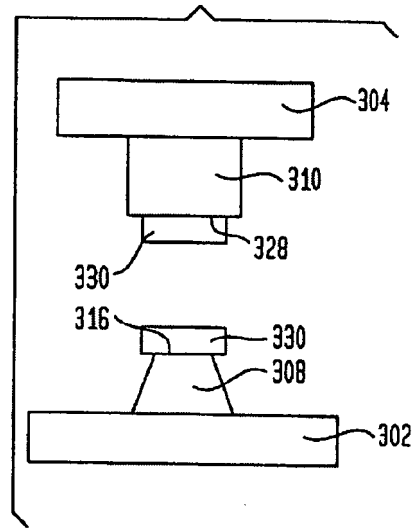


圖6

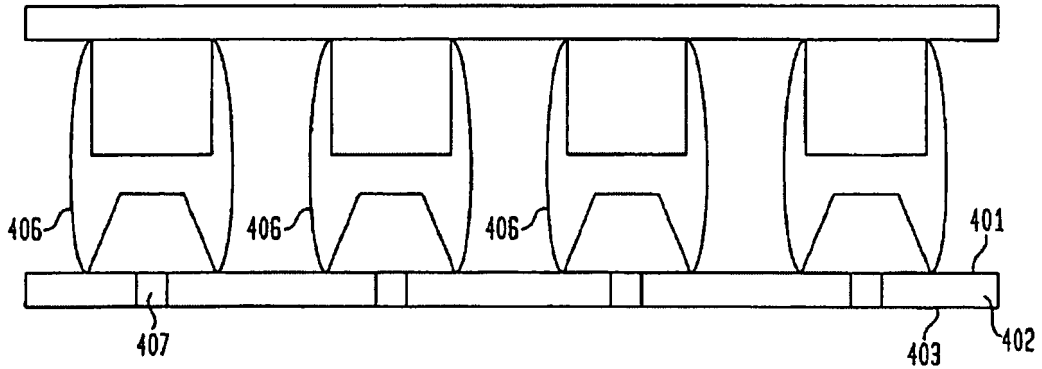


圖 7

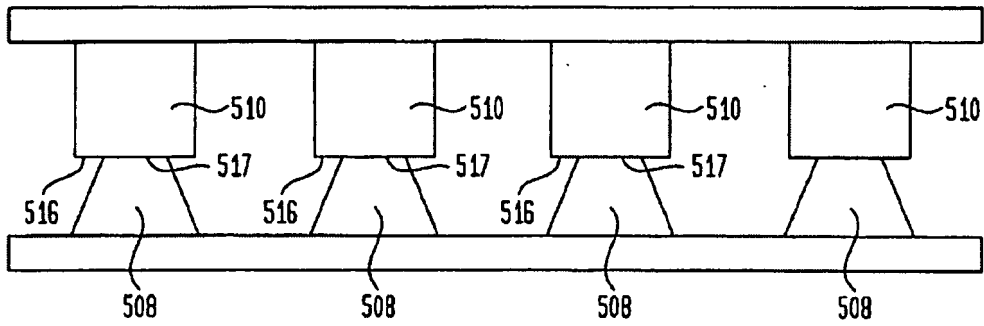


圖 8

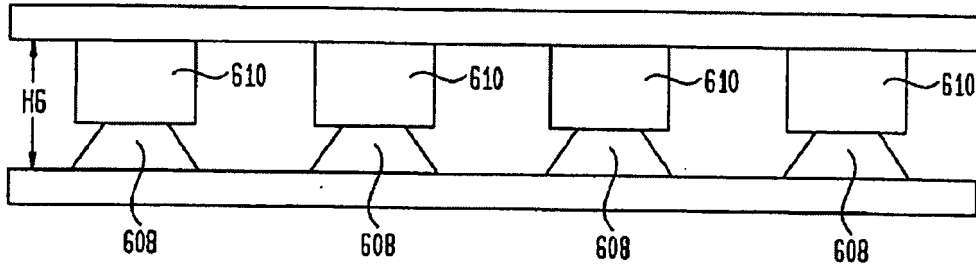


圖 9

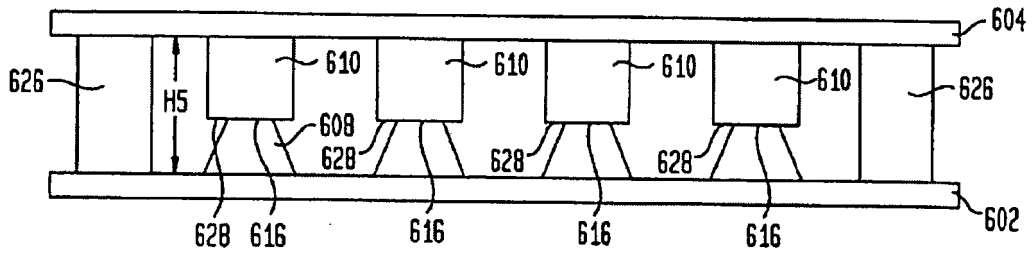


圖 10

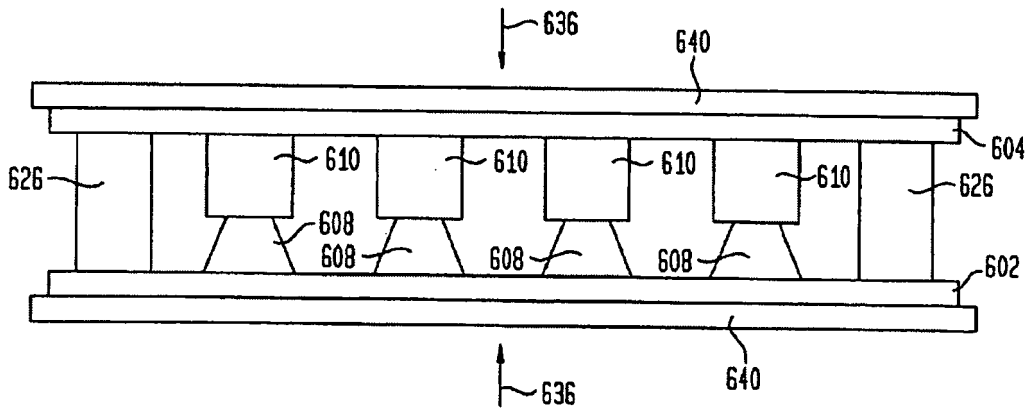


圖 11

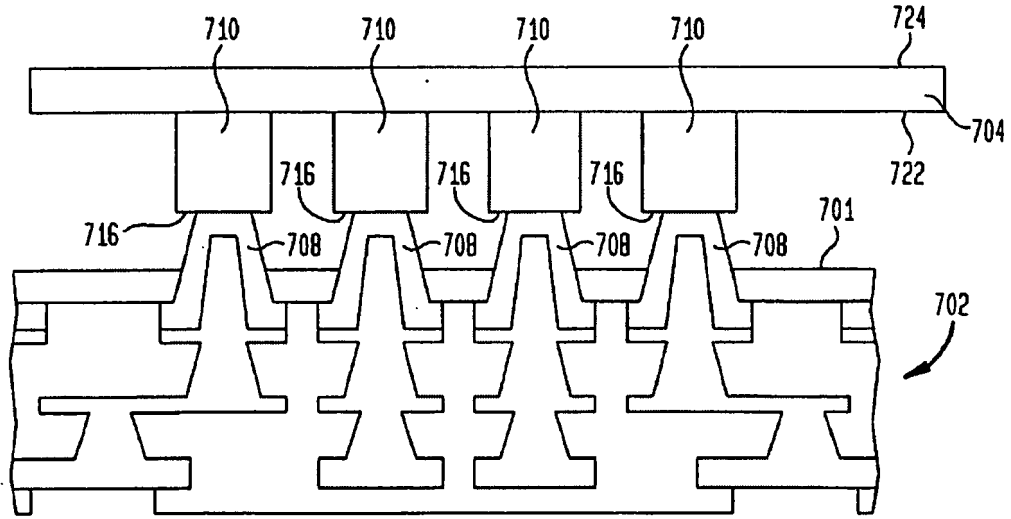


圖12

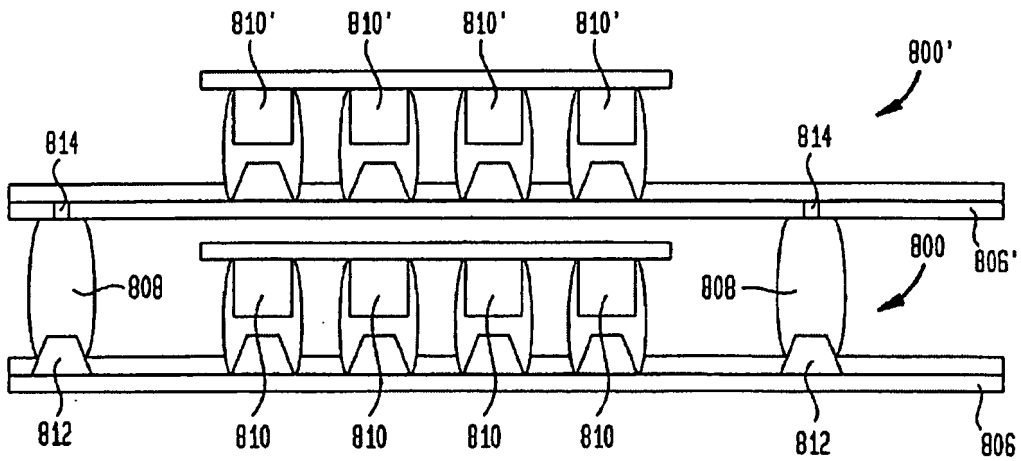


圖13

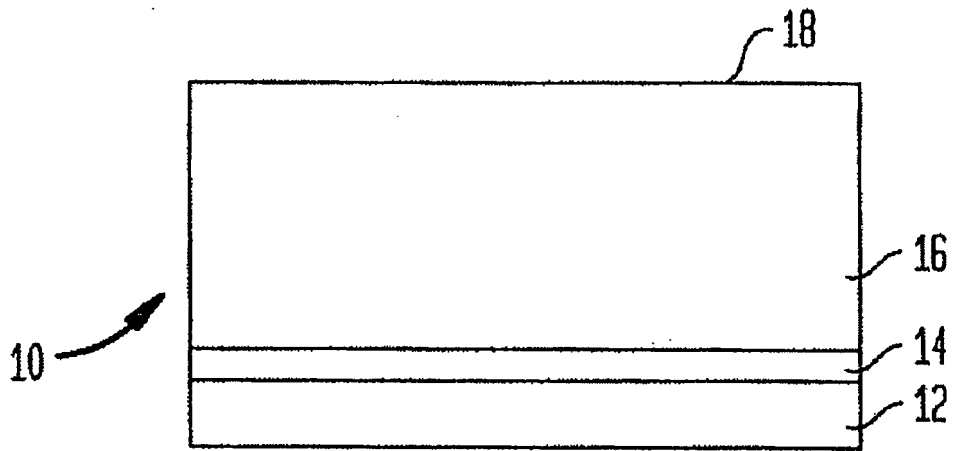


圖 14

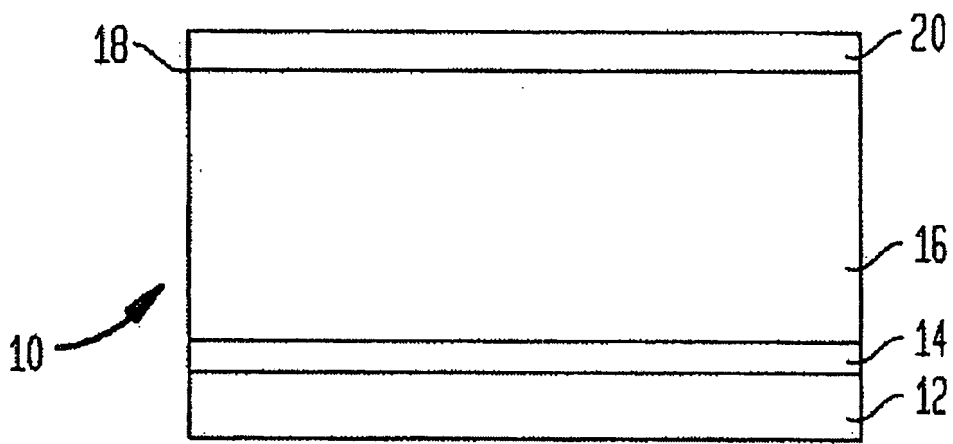


圖 15

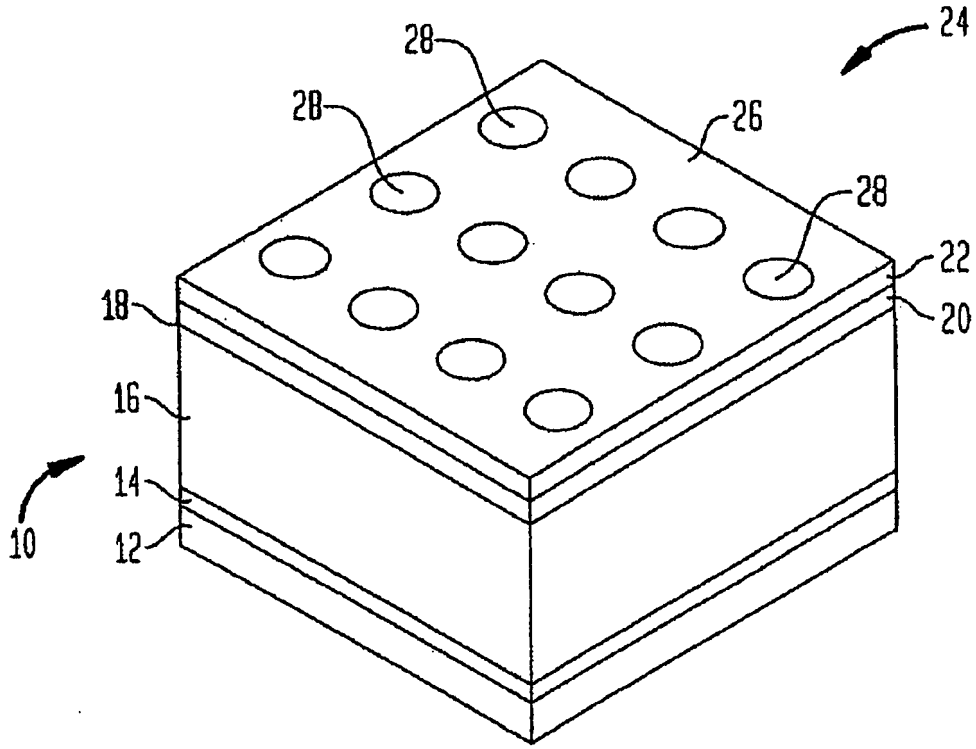


圖 16

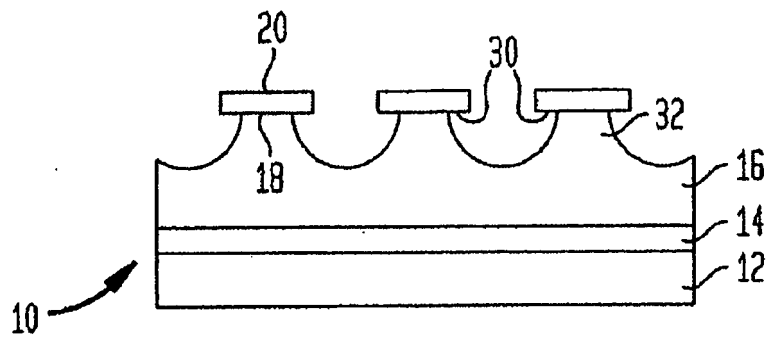


圖 17

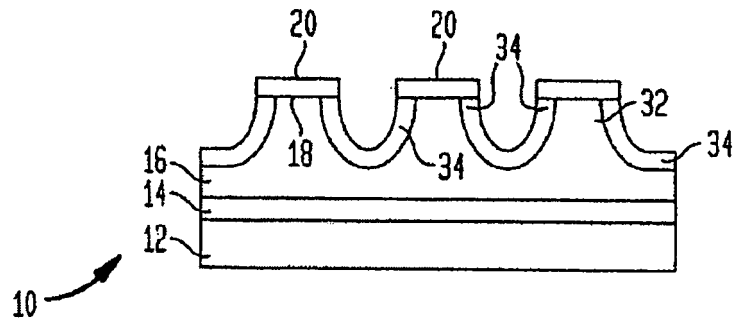


圖 18

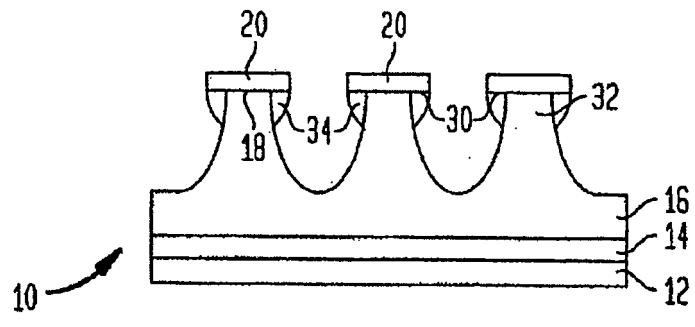


圖 19

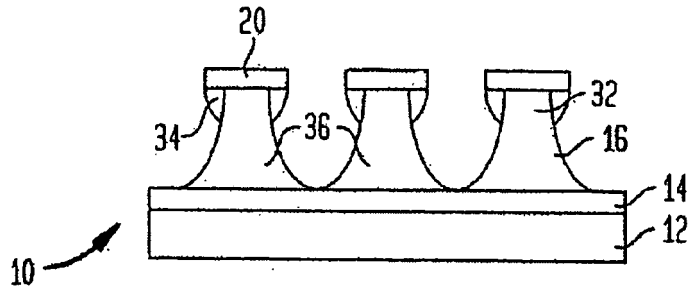


圖 20

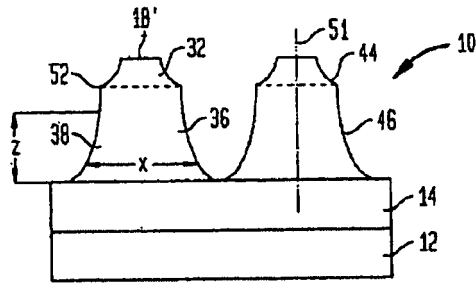


圖 21A

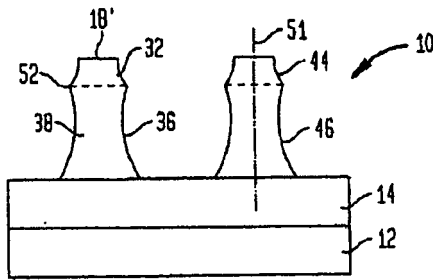


圖 21B

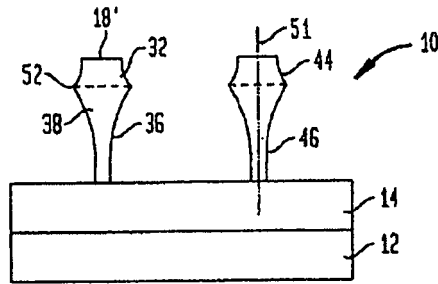


圖 21C

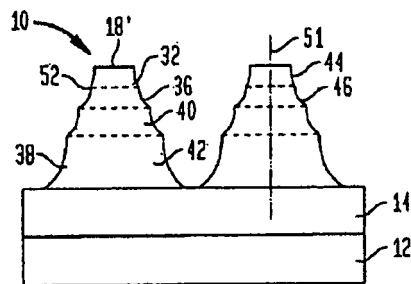


圖 21D

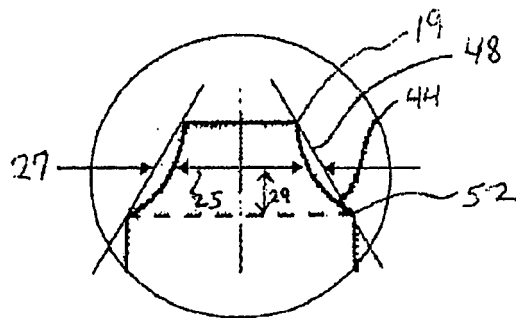


圖 21E

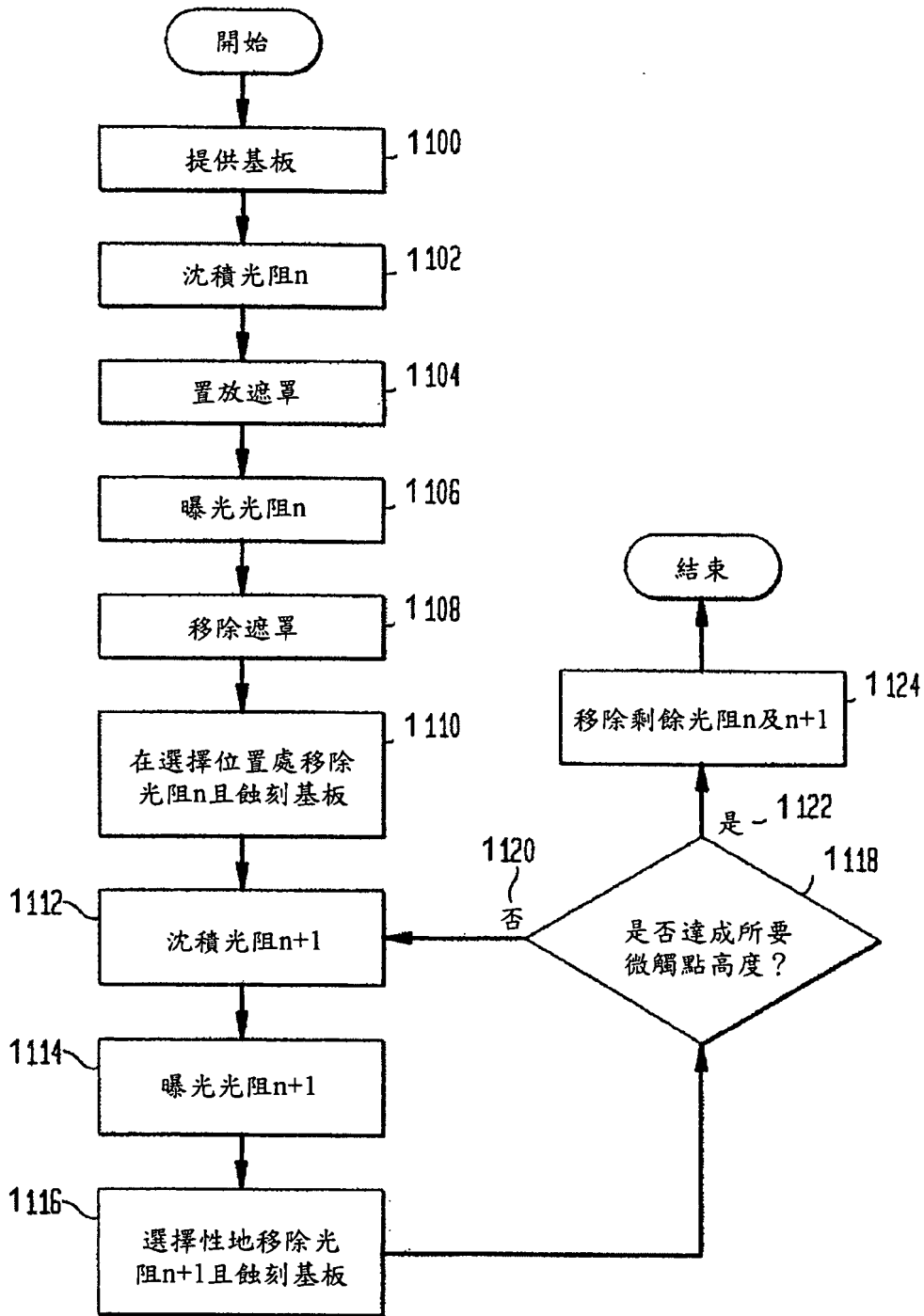


圖 22

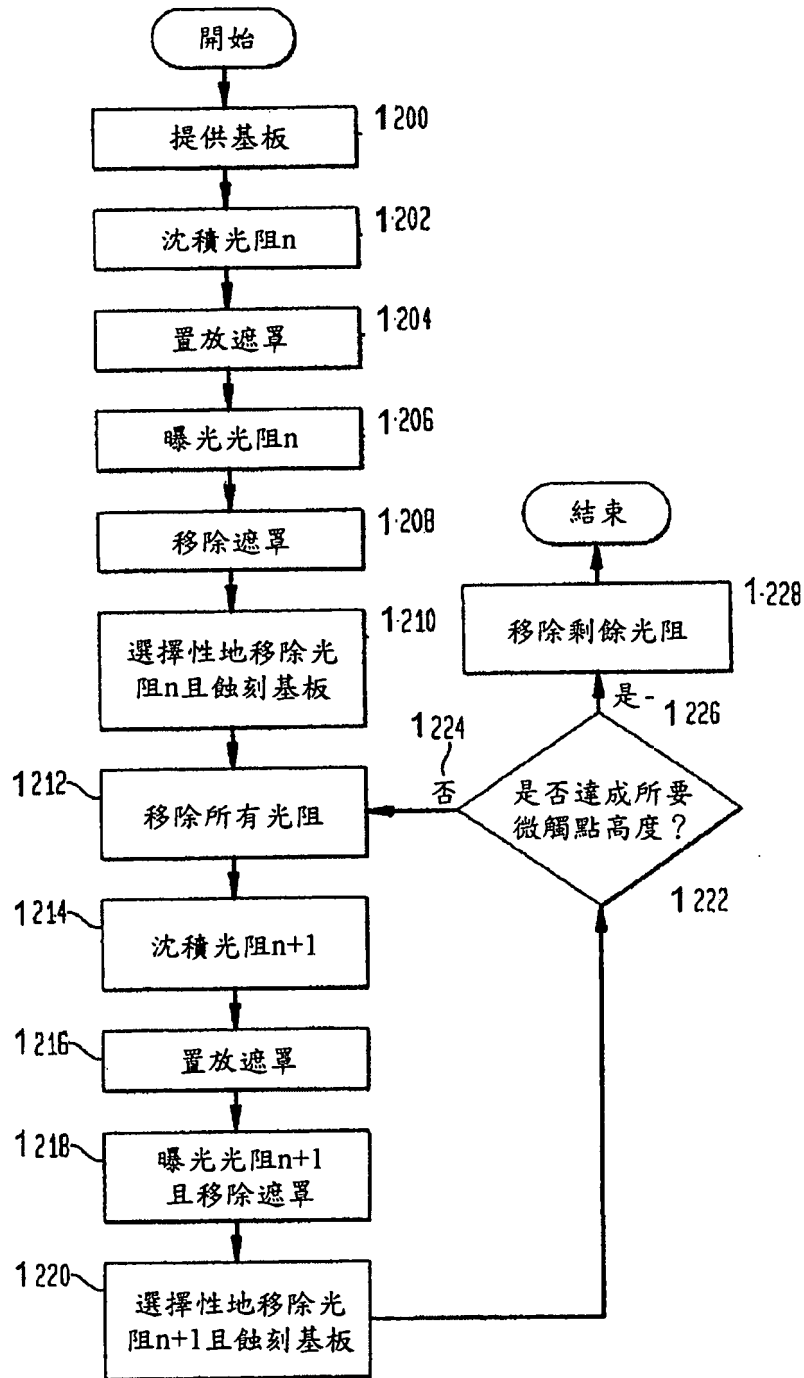


圖23

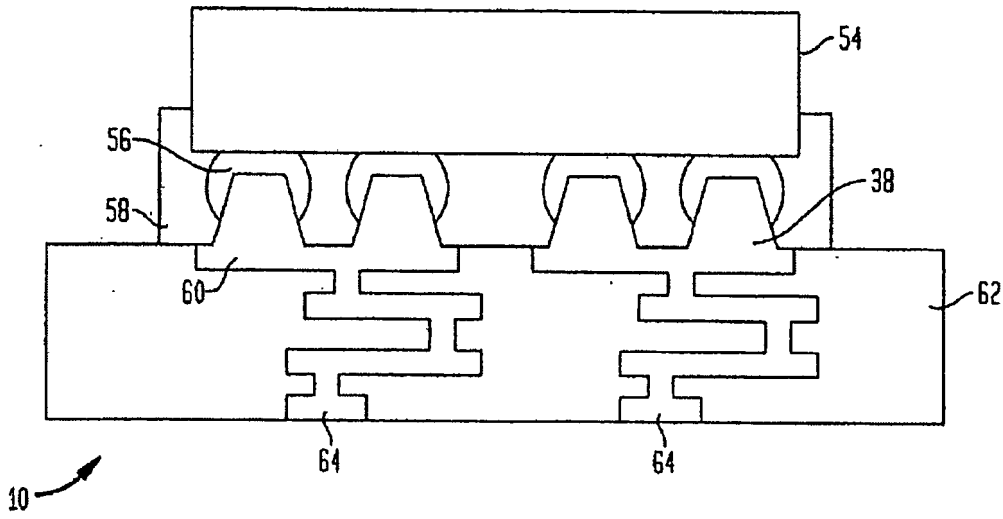


圖 24

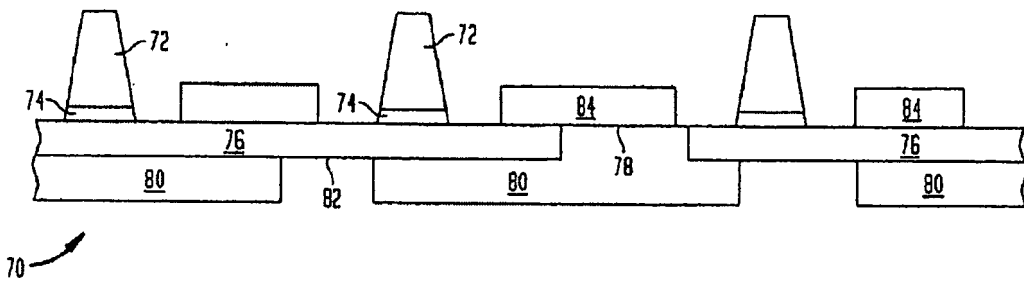


圖 25

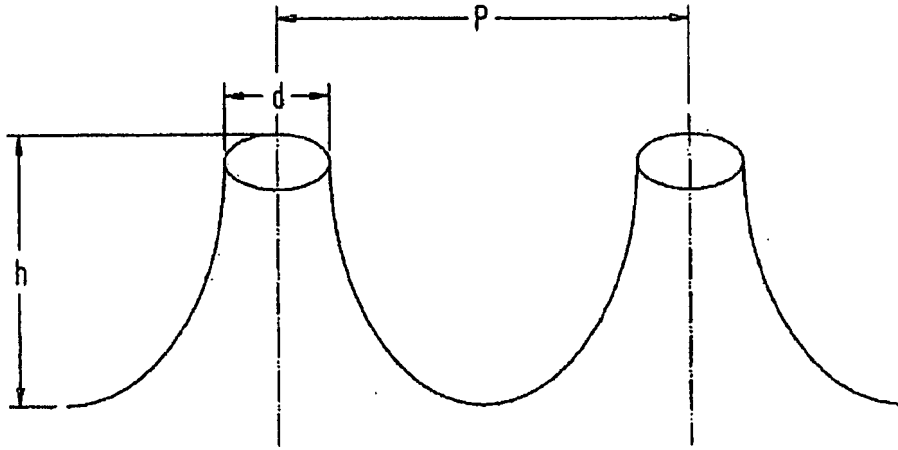


圖 26

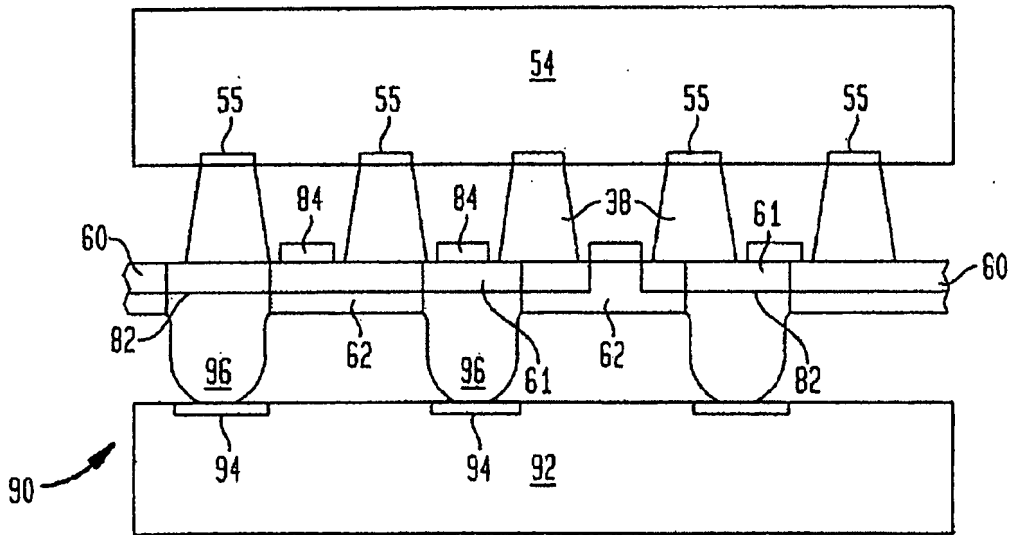


圖 27

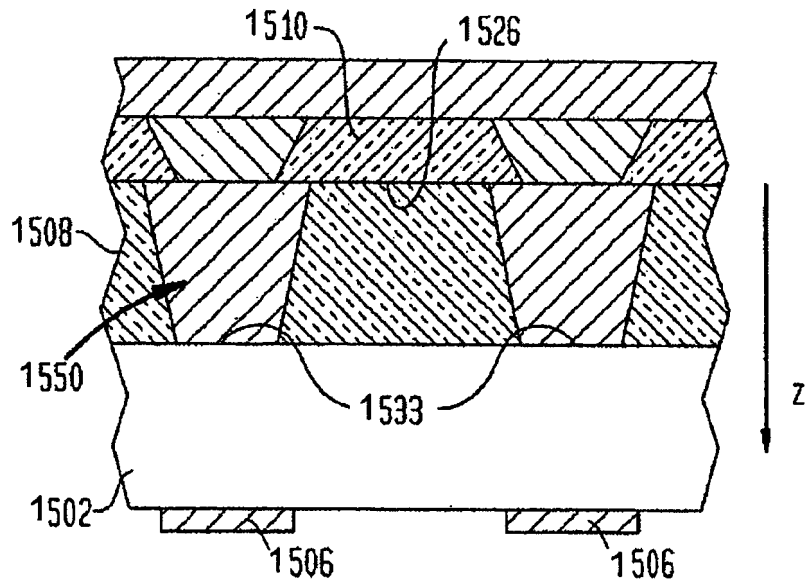


圖 28

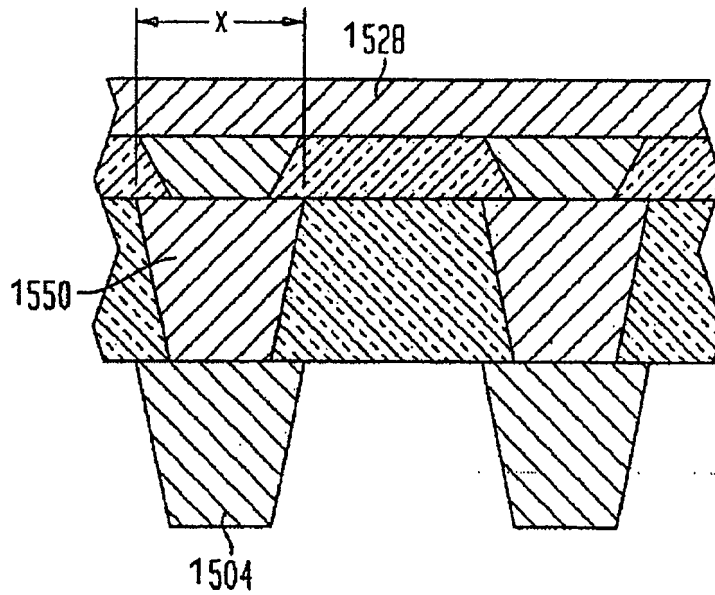


圖 29

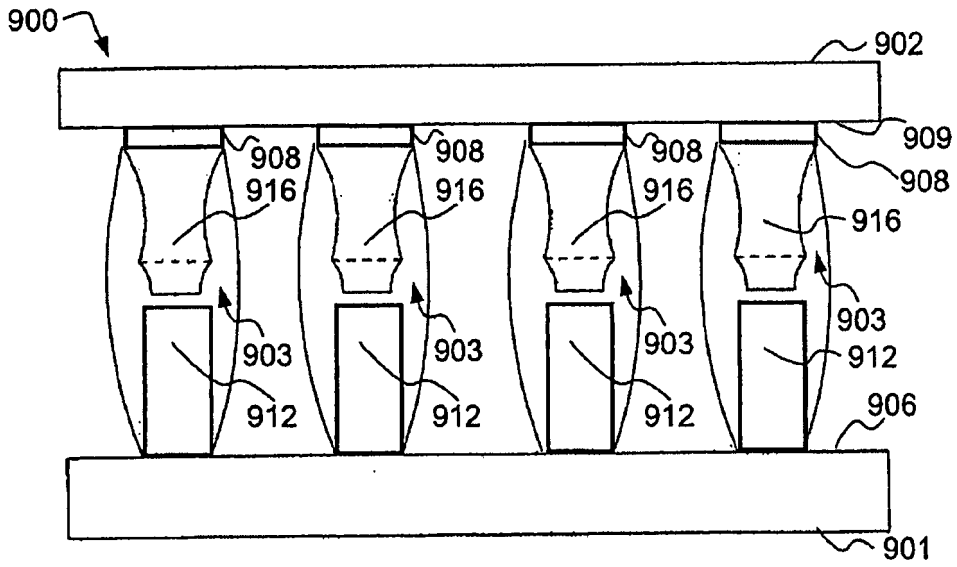


圖 30

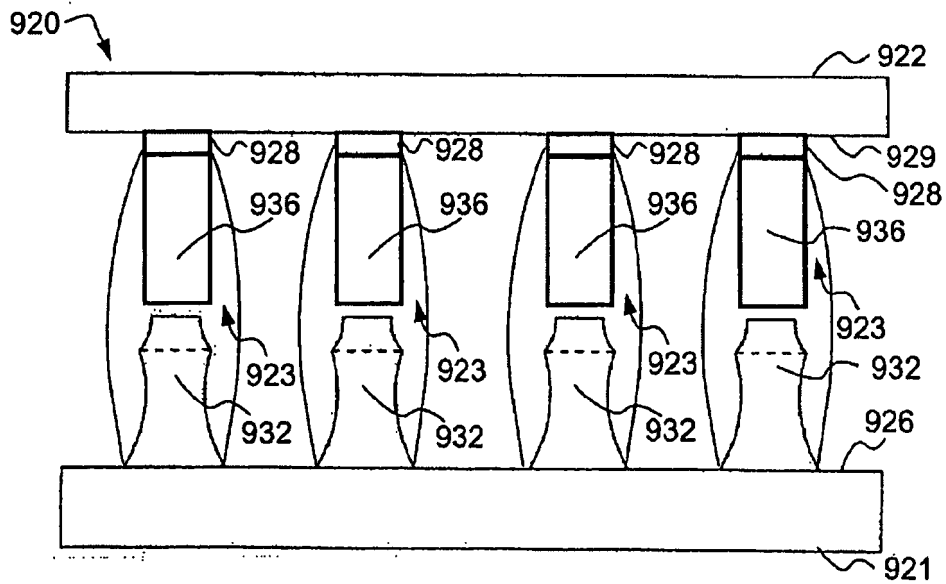


圖 31

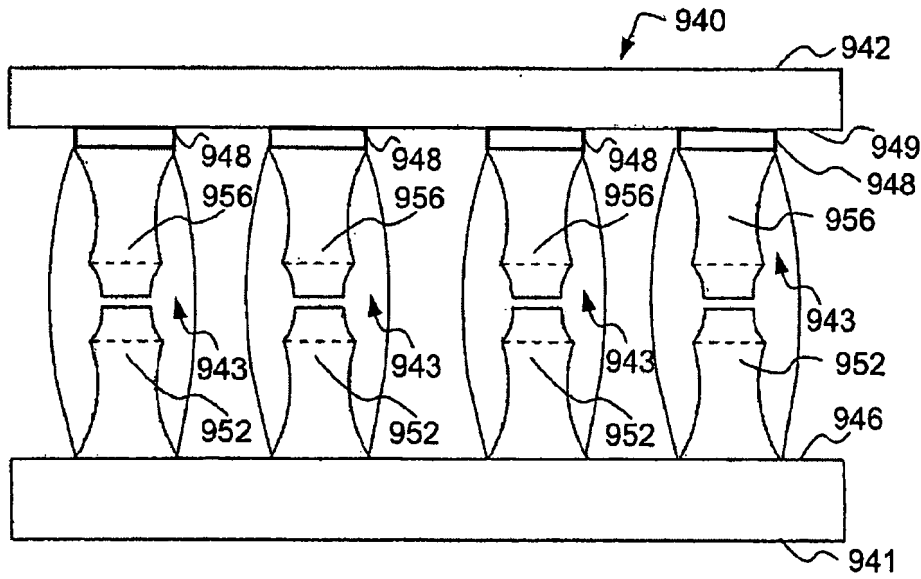


圖 32

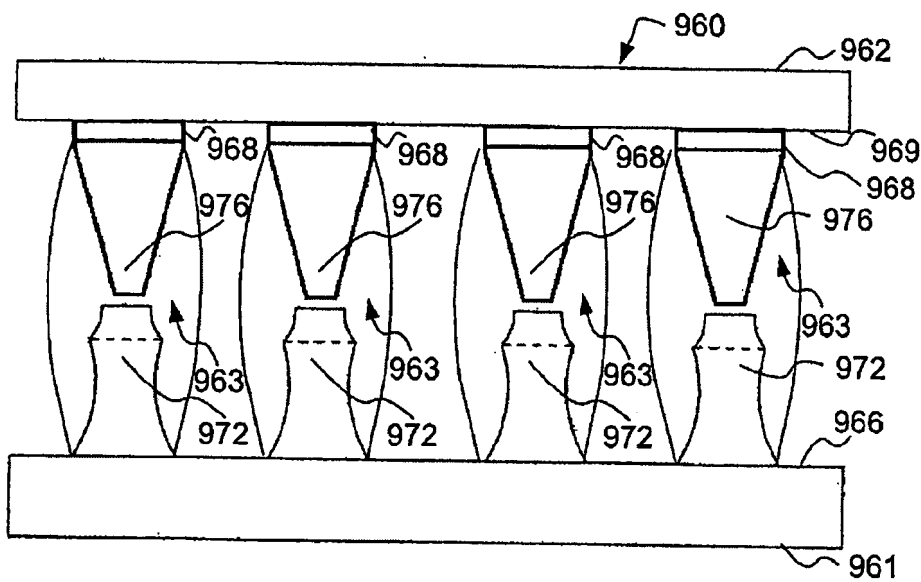


圖 33

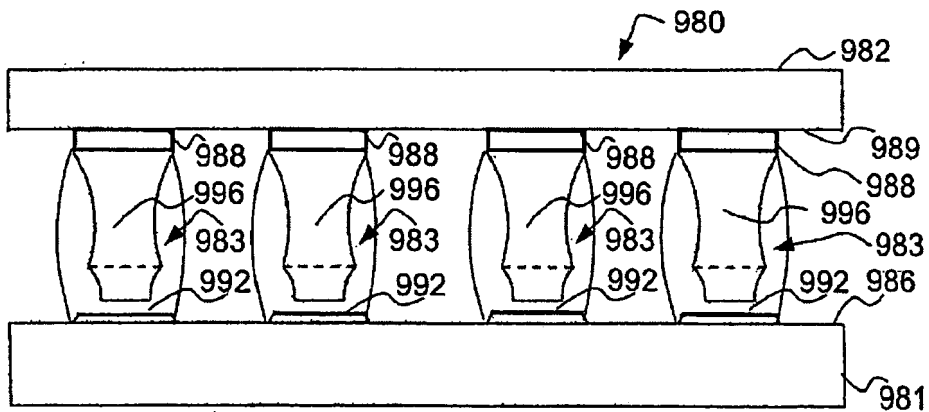


圖 34

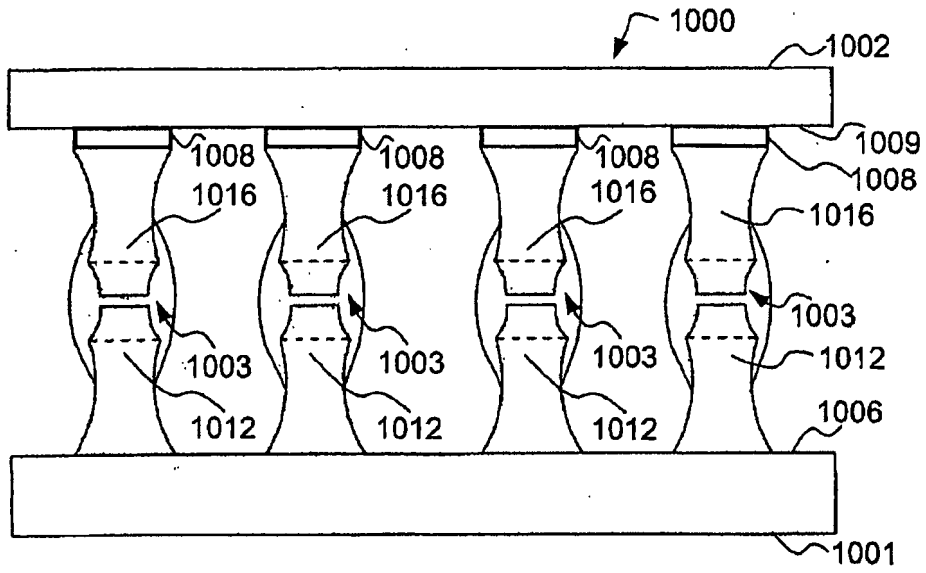


圖 35

四、指定代表圖：

(一)本案指定代表圖為：第 (30) 圖。

(二)本代表圖之元件符號簡單說明：

900	已封裝微電子總成
901	基板
902	微電子元件
903	導電管柱
906	頂部表面
908	結合焊墊
909	前表面
912	導電凸塊/導電支柱
916	導電凸塊/導電支柱

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)