



(12) 发明专利申请

(10) 申请公布号 CN 101860366 A

(43) 申请公布日 2010. 10. 13

(21) 申请号 201010164031. 2

(22) 申请日 2005. 03. 09

(30) 优先权数据

10/797, 836 2004. 03. 09 US

(62) 分案原申请数据

200510062741. 3 2005. 03. 09

(71) 申请人 阿尔特拉公司

地址 美国加利福尼亚州

(72) 发明人 格莱格瑞·W·斯达尔 章万里

赖康威 米安·Z·史密斯

理查德·常

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 屠长存

(51) Int. Cl.

H03L 7/18(2006. 01)

H03L 7/08(2006. 01)

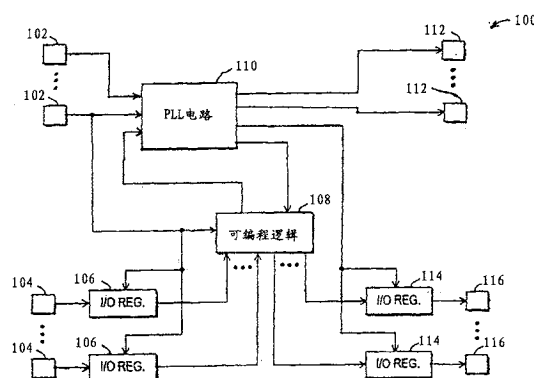
权利要求书 2 页 说明书 8 页 附图 17 页

(54) 发明名称

用于可编程逻辑的高度可配置 PLL 体系结构

(57) 摘要

一种可编程逻辑设备, 包括输出具有可编程相位和频率的多个时钟信号的可配置锁相环 (PLL) 电路。每个输出信号都可编程选择用作外部时钟、内部全局时钟、内部本地时钟或其组合。PLL 电路具有可编程的分频, 包括提供高度时钟设计灵活性的可编程级联分频及可编程输出信号复用。



1. 一种用于产生时钟信号的电路,所述电路包括:

第一复用器,用于从多个输入信号选择参考信号;

PLL 电路,用于接收所述参考信号并产生多个相移信号,其中所述相移信号具有相同的频率和不同的相位,并且其中所述 PLL 电路包括第二复用器,所述第二复用器用于从所述多个相移信号选择反馈信号;

第一分频器电路,用于对至少两个相移信号的频率进行划分,以产生多个输出时钟信号;以及

第三复用器,用于选择所述多个输出时钟信号中的一个。

2. 如权利要求 1 所述的电路,其中所述 PLL 电路还包括:

相位/频率检测器电路,用于接收第一和第二输入信号并基于第一和第二输入信号之间的相位关系产生控制信号;

电压控制振荡器电路,用于接收所述控制信号并基于所述控制信号调整所述多个相移信号的频率;以及

第二和第三分频器电路,通过对所述参考信号和所述反馈信号的频率进行划分而产生第一和第二输入信号;

由此相位检测器电路调整施加到所述电压控制振荡器电路的控制信号,直到第一和第二输入信号同相。

3. 如权利要求 2 所述的电路,其中在第一输入信号的相位领先于第二输入信号的相位时所述控制信号被调整为增大所述多个相移信号的频率,并且在第一输入信号的相位落后于第二输入信号的相位时所述控制信号被调整为减小所述多个相移信号的频率。

4. 如权利要求 1 所述的电路,其中所述第一分频器电路可被编程为调整划分所述相移信号的频率的因子。

5. 如权利要求 1 所述的电路,其中所述多个输入信号与使能信号同步。

6. 如权利要求 1 所述的电路,其中所选择的输出时钟信号被耦合到输出引脚以用作芯片外时钟信号,被耦合到全局时钟网络以用作芯片内全局时钟信号,或被耦合到时钟网络以用作芯片内本地时钟信号。

7. 一种用于产生时钟信号的方法,所述方法包括:

从多个输入信号选择参考信号;

产生多个相移信号,其中所述相移信号具有相同的频率和不同的相位,并且产生多个相移信号包括从所述多个相移信号选择反馈信号;

对至少两个相移信号的频率进行划分,以产生多个输出时钟信号;以及

选择所述多个输出时钟信号中的一个。

8. 如权利要求 7 所述的方法,其中产生多个相移信号还包括:

基于第一和第二输入信号之间的相位关系产生控制信号;

基于所述控制信号调整所述多个相移信号的频率;

通过对所述参考信号和所述反馈信号的频率进行划分而产生第一和第二输入信号;以及

调整所述控制信号直到第一和第二输入信号同相。

9. 如权利要求 8 所述的方法,其中在第一输入信号的相位领先于第二输入信号的相位

时所述控制信号被调整为增大所述多个相移信号的频率,并且在第一输入信号的相位落后于第二输入信号的相位时所述控制信号被调整为减小所述多个相移信号的频率。

10. 如权利要求 7 所述的方法,其中通过可编程控制的因子划分每个相移信号的频率。

11. 如权利要求 7 所述的方法,其中所述多个输入信号与使能信号同步。

12. 如权利要求 7 所述的方法,其中所选择的输出时钟信号被耦合到输出引脚以用作芯片外时钟信号,被耦合到全局时钟网络以用作芯片内全局时钟信号,或被耦合到时钟网络以用作芯片内本地时钟信号。

13. 一种用于将参考信号同步地提供到被 PLL 使能信号使能的 PLL 电路的电路,其包括:

复用器,用于从多个时钟信号选择参考信号;

锁存器,用于接收所述 PLL 使能信号并且在与所述 PLL 电路所对准的参考信号的边沿相对的参考信号的边沿处输出所述 PLL 使能信号的电流值;以及

与门,用于在锁存器的输出为高时将所述参考信号提供到所述 PLL 电路;

由此,在使能所述 PLL 电路时,所述 PLL 电路在其锁存到所述参考信号前接收所述参考信号。

14. 如权利要求 13 所述的电路,其中所述锁存器是下降沿对准的,而所述 PLL 电路是上升沿对准的。

15. 如权利要求 13 所述的电路,其中所述锁存器是上升沿对准的,而所述 PLL 电路是下降沿对准的。

16. 如权利要求 13 所述的电路,其中所述多个时钟信号中的一个内核输入信号,其源自芯片内时钟引脚或通过另一芯片内 PLL 电路产生。

17. 如权利要求 13 所述的电路,还包括切换电路,其接收所述参考信号和第二同步时钟信号以将所述参考信号或所述第二同步时钟信号动态地提供到所述 PLL 电路。

18. 如权利要求 17 所述的电路,其中在所述参考信号停止运动时所述切换电路将所述第二同步时钟信号提供到所述 PLL 电路。

19. 如权利要求 18 所述的电路,其中参考时钟信号和所述第二同步时钟信号是冗余信号。

20. 如权利要求 17 所述的电路,其中响应于接收到用户输入,所述切换电路将所述第二同步时钟信号提供到所述 PLL 电路。

用于可编程逻辑的高度可配置 PLL 体系结构

[0001] 本申请是阿尔特拉公司于 2005 年 3 月 9 日提交的、申请号为 200510062741.3、发明名称为“用于可编程逻辑的高度可配置 PLL 体系结构”的发明专利申请的分案申请。

技术领域

[0002] 本发明涉及可编程逻辑集成电路设备,更特别地涉及用于可编程逻辑设备的可配置锁相环 (PLL) 电路。

背景技术

[0003] 可编程逻辑集成电路设备是众所周知的,通常包括大量的可编程逻辑块、存储器块和可编程互连资源。逻辑块是用户可编程的,以执行用户期望的各种逻辑功能。存储器块可由用户用于存储及随后输出数据。互连资源是用户可编程的,以便在可编程逻辑设备的输入与逻辑和存储器块的输入之间、逻辑和存储器块的输出与设备的输出之间及逻辑和存储器块的输出与输入之间进行任何广泛的连接。尽管每个逻辑块一般只能执行相对小的逻辑任务,但这种互连使可编程逻辑设备能够执行极其复杂的逻辑功能。

[0004] 在可编程逻辑设备上提供 PLL 电路也是众所周知的。PLL 电路产生被连续调整的输出信号,以便维持与输入参考信号恒定的频率和相位关系(因此,PLL 电路“锁定”在那个频率与相位关系)。PLL 电路可以用来抵消可编程逻辑设备上的时钟信号传播延迟,从一个时钟信号频率(例如,输入时钟信号频率)转换成另一不同的时钟信号频率(例如,要由设备输出的),而且更通常地是提供一个或多个外部时钟信号、内部全局时钟信号或内部本地/区域性时钟信号。

[0005] 但是,已知 PLL 电路的可配置性一般是有限的。例如,由已知 PLL 电路产生的输出信号的频率范围可能对于许多使用可编程逻辑设备的应用都太窄。此外,PLL 输出的个数与可配置性可能太有限。例如,已知 PLL 电路可能没有足够的可用于连接到芯片外计时应用的 I/O 引脚的输出。而且,已知 PLL 电路可能没有足够的可用于连接到芯片内全局或本地计时网络的输出。因此,可编程逻辑设备上已知 PLL 电路的可配置性可能会限制能在该设备上实现的设计数量,从而限制其中否则可使用可编程逻辑设备的应用数量。

[0006] 鉴于以上所述,期望能够提供高度可配置的 PLL 电路,以便增加其中可使用可编程逻辑设备的设计和应用的数目。

发明内容

[0007] 根据本发明,可编程逻辑设备装备了高度可配置的锁相环 (PLL) 电路。本发明的 PLL 电路输出多个信号,其中每个信号都可编程连接到以下任何一个或全部:一个或多个用作外部(例如,芯片外)时钟的 I/O 引脚、一个或多个内部(例如,芯片内)全局时钟网络、一个或多个内部本地/区域性时钟网络及其组合。PLL 电路相对于输入参考信号执行移相,从而如果期望则每个输出信号都可以具有不同的相位。此外,每个输出信号的频率也可以单独编程。在本发明的其它实施方式中,PLL 输出可以可选择的级数可编程地级联,从而

提供数量级宽度量级的输出信号频率范围。本发明的其它实施方式中, PLL 电路可以接收多个输入信号(例如,从芯片外和/或芯片内源),从中可编程选出参考信号。

[0008] 提供这种时钟信号输出的方法也根据本发明提供。

[0009] 有利地,本发明的 PLL 电路和方法可用于实现很广范围的设计,包括例如频率合成器及零延迟缓冲器。这显著增加了其中可使用可编程逻辑设备的设计和应用的数目。

附图说明

[0010] 通过考虑以下具体描述并联系附图,本发明的以上及其它优点将变得显而易见,其中贯穿全文相同的标号都指相同的部分,其中:

[0011] 图 1 是根据本发明的可编程逻辑集成电路设备代表性部分的说明性实施方式的简化方框图;

[0012] 图 2 是根据本发明的 PLL 电路第一实施方式的简化方框图;

[0013] 图 2a 是根据本发明的动态可配置复用器实施方式的简化方框图;

[0014] 图 3 是图 2PLL 电路一典型部分的更具体但仍是简化的方框图;

[0015] 图 4 是根据本发明的 PLL 电路另一实施方式的简化方框图;

[0016] 图 5、5a 和 5b 是说明根据本发明采用以发送和接收模式配置的 PLL 的可编程逻辑集成电路设备的简化方框图;

[0017] 图 6 是根据本发明用于 PLL 电路的同步电路的简化方框图;

[0018] 图 6a 是来自图 6 的信号的时序图;

[0019] 图 6b 是根据本发明图 6 的同步电路可替换部分的简化方框图;

[0020] 图 7 是根据本发明时钟复用模式的简化方框图;

[0021] 图 8 是根据本发明外部时钟复用模式的简化方框图;

[0022] 图 9 是根据本发明 PLL 电路级联部分的简化方框图;

[0023] 图 10 是根据本发明可配置时钟缓冲器电路的简化方框图;

[0024] 图 11 是根据本发明的 PLL 使能电路的简化方框图;及

[0025] 图 12 是采用本发明的说明性系统的简化方框图。

具体实施方式

[0026] 图 1 示出了根据本发明的说明性可编程逻辑集成电路设备 (PLD) 100。PLD 100 具有一个或多个用于从该设备外部的电路接收一个或多个时钟信号的时钟信号输入引脚 102。PLD 100 还包括多个用于从外部电路接收数据和/或控制信号的输入/输出 (“I/O”) 引脚 104。(在这里,为了方便,除时钟信号以外的所有数据和控制信号都简单地称为数据信号)。来自引脚 104 的数据信号可以施加到用于临时存储的 I/O 寄存器 106 并由那些寄存器输出。施加到引脚 102 的输入时钟信号可以施加到 I/O 寄存器 106,以控制那些寄存器的操作(尤其是定时)。由寄存器 106 输出的数据信号施加到 PLD 100 的可编程逻辑 108。(作为利用寄存器 106 的一种可选方式,来自引脚 104 的数据可以更直接地施加到逻辑 108(即,无需首先输入到寄存器 106)。)可编程逻辑 108 还可以从引脚 102 接收输入时钟信号,而且通常可以由所接收时钟信号的频率确定的速率对来自引脚 104 和/或寄存器 106 的输入数据执行至少一些操作。换句话说,施加到引脚 104 的一些或全部数据可以

利用从引脚 102 接收的时钟信号同步,而可编程逻辑 108 可与该时钟信号同步地部分处理该数据。

[0027] 根据本发明,施加到引脚 102 的多个输入时钟信号可以施加到锁相环 (“PLL”) 电路 110。PLL 电路 110 还可以从可编程逻辑 108 接收内部时钟信号,该信号可能是在 PLD 100 上产生的和 / 或得自从一个时钟引脚 102 接收的另一时钟信号。PLL 电路 110 可编程选择一个输入时钟信号作为输入参考信号,并提供多个与输入参考信号具有期望频率关系的修改时钟输出信号。例如,由 PLL 电路 110 产生的修改时钟输出信号的频率可能高于和 / 或低于输入参考信号的频率。由 PLL 电路 110 产生的修改时钟信号有利地可以可编程施加到时钟信号输出引脚 112、可编程逻辑 108 和 I/O 寄存器 114 中的任何一个或全部。

[0028] 可编程逻辑 108 可以配置成以由 PLL 电路 110 产生的一个或多个修改时钟信号所确定的一个或多个速率执行至少一些数据处理。例如,可编程逻辑 108 可以与由 PLL 电路 110 产生的修改时钟信号同步地执行一些数据处理。来自可编程逻辑 108 的输出数据信号可能通过 I/O 寄存器 114 施加到 I/O 引脚 116,其中寄存器 114 可以可能另一修改时钟信号速率寄存那些在到引脚 116 途中的数据信号。此外,PLD100 可以通过引脚 116 以可以与施加到输出时钟引脚 112 的任何修改时钟信号相同或不同的和 / 或与其同步或不同步的修改时钟信号频率输出数据。

[0029] 应当指出,在本发明的其它实施方式中(见例如图 10 及其以下相关描述),引脚 102 和 112 可以动态用作时钟或数据 I/O 引脚。

[0030] 尽管图 1 看起来显示了各种电路元件之间的固定互连,但是应当指出,在如 PLD 100 的可编程逻辑设备上,一般有高度可编程性,因此提供了互连资源中的信号路由灵活性。本领域中众所周知的这种互连资源可编程性没有示出,以避免不必要地将图复杂化。因此,并不是图 1(或任何随后描述的图中)示出的全部互连都会出现在 PLD 的所有应用中,和 / 或图 1(或其它图)未示出的其它互连也可能出现在 PLD 100 的有些应用中。本领域技术人员还应当理解,图 1 示出的电路元件和互连资源可能只是 PLD 100 上所提供更广泛电路元件和互连资源的一部分。其中可以实现本发明的可编程逻辑设备的例子可以在 cliff 等的美国专利 5,689,195 号;cliff 等的美国专利 5,909,126 号及 Jefferson 等的美国专利 6,215,326 号中找到,所有这些都在此引入其全部作为参考。

[0031] 图 2 示出了根据本发明 PLL 电路的一种实施方式。PLL 电路 210 通过输入 218 接收输入参考信号(不象 PLL 电路 110,在这种实施方式中只接收一个输入信号)。该输入信号施加到预分频分频器 220。分频器 220 用因子 N 去除输入参考信号的频率,其中 N 优选地是存储在例如 PLD 100 的可编程功能控制元件中的 PLD 100 的可编程参数。分频器 220 的输出作为驱动时钟信号施加到相位 / 频率检测器 (PFD) 电路 222 的一个输入。可以是传统式的 PFD 电路 222 还接收反馈分频器 224 的输出信号。PFD 电路 222 产生指示施加到它的两个信号之间相位 / 频率差的输出信号。(PFD 电路 222 更完整的描述在图 3 中示出并在以下描述)。PFD 电路 222 的输出信号作为控制信号施加到电压控制振荡器 (VCO) 226。VCO 226 产生 K1 个输出信号(其中 K1 是整数),每个输出信号都是通过优选地增加 $360^\circ / K1$ 的倍数移相的。例如,在一种实施方式中,VCO 226 可以输出六个信号(即, $K1 = 6$),其中每个输出信号优选地都是相对于输入参考信号以 60° 的间隔移相的(例如, 60° 、 120° 、 180° 、 240° 、 300° 和 360°)。例如,在另一种实施方式中,可以输出八个信号(导致 45°

的移相增量)。VCO 226 的输出信号施加到复用器电路 228 和反馈复用器 230。

[0032] 复用器 230 将 VCO 226 的一个输出信号馈送到反馈分频器 224。馈送到分频器 224 的特定 VCO 226 输出信号可以由设计固定、由用户编程,或通过由设计固定或用户编程的控制逻辑在 VCO 226 的输出信号间轮流或交替。分频器 224 用因子 M 去除施加到它的信号的频率,以便产生上面提到的到 PFD 电路 222 的第二(反馈)输入。因子 M 优选地是存储在例如 PLD 100 的可编程功能控制元件中的 PLD 100 的可编程参数。

[0033] 复用器电路 228 接收 VCO 226 的全部 K1 个输出信号,并可编程地选择哪个信号馈送到后分频分频器电路 232。分频器电路 232 优选地包括多个计数器/分频器电路,在图 2 所示的实施方式中是六个。应当指出,单独计数器或分频器电路的个数不一定要等于 VCO 输出信号的个数。复用器电路 228 优选地是用户可编程的,但也可以可选地固定成向各单独的分频器电路输出例如各个 VCO 输出信号,假定分频器电路的个数等于 VCO 输出信号的个数的话。每个单独的分频器电路都用其对应的因子 C0-Cn1(其中 n1 是整数,在图 2 中等于 5)去除施加到它的信号的频率。每个因子 C0-Cn1 优选地都是存储在例如 PLD 100 的一个或多个可编程功能控制元件中的独立可编程参数。因此,每个因子 C0-Cn1 都可以不同、相同或是其组合。

[0034] 后分频分频器电路 232 的结果输出信号施加到复用器 234、236 和 238。复用器 234、236 和 238 每个都是动态可编程控制的,以便将其任一输入输出到其任一输出。复用器 234 将选定的信号耦合到多达 K2 个时钟 I/O 引脚(CLKOUT;例如,图 1 的引脚 112)。常量 K2 一般是小于等于 K1 的整数。例如,如果 K1 等于 8,则 K2 可以等于 6。复用器 236 将选定的信号耦合到多达 K3 个全局时钟(GCLK)网络。常量 K3 一般也是小于等于 K1 的整数。因此,例如,如果 K1 等于 8,则 K3 可以等于 4。最后,复用器 238 将选定的信号耦合到多达 K4 个本地时钟(LCLK)网络。常量 K4 同样一般是小于等于 K1 的整数。例如,如果 K1 等于 8,则 K4 也可以等于 8。而且,8 可以是用于设计成具有相同计时的两个本地区域的两组相同的四个信号。

[0035] 图 2a 示出了根据本发明可用于每个复用器 234、236 和 238 的动态可配置复用器的实施方式。复用器 235 包括可由用户动态选择的输入的输入组 237。有利地,复用器 235 允许例如 PLL 输出、时钟引脚或内核信号中的任何一个有选择地被驱动到例如全局(gc1k)或本地(lc1k)时钟网络上。信号 CR_GCLKMUXCTRL 和 CR_GCLKMUXSEL 是用于配置复用器 235 成为可动态重新配置或固定(即,非动态可重新配置)的编程位。使能电路 239 的实施方式在图 11 中示出并在以下描述。

[0036] 有利地,PLL 210 电路提供高度可配置性。例如,通过适当地对复用器电路 228 和分频器电路 232 编程,由电路 232 产生的六个修改时钟信号可以具有不同的相位和不同的频率、不同的相位和相同的频率、相同的相位和不同的频率或是其组合。而且,在需要的时候,六个修改时钟信号中的每一个都是可编程进行路由的。没有一个是限定或划分到仅特定的电路、I/O 引脚或应用。

[0037] 图 3 示出了相位/频率检测器(PFD)电路 322 的实施方式。PFD 电路 322 一般包括接收输入和反馈时钟信号的相位/频率检测器电路 323。根据输入时钟信号的相位是超前还是落后于反馈时钟信号的相位,检测器电路 323 产生“升”或“降”输出信号脉冲。“升”或“降”信号脉冲的宽度一般由检测器电路 323 控制成与输入和反馈时钟信号之间的相位

差成比例。“升”或“降”信号馈送到电荷泵电路 325,该电路提供这些信号到 PLD 100 电源电压与地之间的电平的输出信号电压的转移功能。“升”或“降”信号切换内部电流源以传输电荷,从而在每个时钟周期升高或降低电荷泵的输出信号电压。电荷泵电路 325 的输出信号施加到平滑用作对关联 VCO(例如 VCO 226)的控制信号的信号的低通滤波器电路 327。总的来说,当输入时钟信号的相位超前于反馈时钟信号的相位时,由检测器电路 323 产生“升”信号。这导致反馈时钟信号频率的提高。相反,当输入时钟信号的相位落后于反馈时钟信号的相位时,检测器电路 323 产生“降”信号,这造成反馈时钟信号频率的下降。

[0038] 图 4 示出了根据本发明 PLL 电路的另一实施方式。PLL 电路 410 包括预分频分频器 420、相位 / 频率检测器 (PFD) 电路 422、电压控制振荡器 (VCO) 426、复用器电路 428、反馈复用器 430、后分频分频器电路 432 及复用器 434、436 和 438。这些元件是 PLL 电路 210 的对应元件不是完全相同也是类似地操作。应当指出,图 4 所示的 VCO 426(8 输出)、复用器电路 428(6 输出)、复用器 434(6 输出)、复用器 436(4 输出)和复用器 438(8 输出)的输出个数仅仅是说明性的,而且这些元件可配置成或用其它元件代替成具有更多或更少输出。

[0039] PLL 电路 410 有利地具有增强的输入信号选择与同步能力。PLL 电路 410 包括复用器 440、442 和 448、同步电路 446、切换电路 450 及与门 452。复用器 440 和 442 都从多个时钟输入引脚接收多个输入信号(在这种实施方式中是 4;应当指出,可以使用其它个数来自时钟引脚的输入信号)。这些时钟输入引脚优选地是靠近定位的并可用作 PLL 电路 410 的匹配参考。这些引脚中任一个都可用于 I/O 延迟补偿和时钟网络延迟补偿。这些引脚可以由例如存储器接口,如 RDRAM(低延迟动态随机存取存储器)使用。

[0040] 复用器 440 和 442 还都接收既可以是源自芯片内任何时钟引脚的内部时钟信号也可以由芯片内另一 PLL 产生的内核输入时钟信号,有利地,如果选择了这种输入,就允许 PLL 参考时钟信号通过例如 PLL 级联来自芯片上另一 PLL。因此,单个参考时钟可用于驱动多个 PLL,而不需要单独的时钟(一般需要各自单独的 I/O 时钟引脚)驱动各个 PLL。这种特征对多 PCI 接口、多存储器接口及那些遵循已知源同步协议的其中要求利用公共参考时钟的多条发送信道的接口尤其有用。

[0041] 图 5 示出了根据本发明 PLD 的实施方式,其中内核时钟信号用于驱动遵循源同步协议的多个 PLL 电路。PLD 500 包括内核时钟网络 554 和每个都优选地是 LVDS PLL 电路的 PLL 电路 510a-h。LVDS(低电压差分信号)是一种采用非常低的电压和差分信号的发信号协议,它涉及并行传播的信号对的发送。每个信号通常都是另一个的逻辑互补。即,当一个信号处于高电压时(例如,逻辑 1),则另一个处于低电压(例如,逻辑 0),反之亦然。LVDS PLL 电路 510a-d 运行在发送模式(TX),而 LVDS PLL 电路 510e-h 运行在接收模式(RX)。(应当指出,根据本发明,PLL 电路 510a-h 每个都可以运行在任一种或两种模式)。RX PLL 电路 510e-h 从时钟引脚 502 接收外部时钟信号并产生芯片内、芯片外或都可以使用的修改时钟信号。TX PLL 电路 510a-d 每个都接收可以在节点 556 进入时钟网络 554 的内核时钟信号。这种内核时钟信号可以由任何时钟引脚或由任何通用或 LVDSPLL 电路的输出驱动。这种内核时钟信号可以有利地充当 LVDS PLL 电路 510a-d 的输入参考信号,然后电路 510a-d 产生芯片内、芯片外或都可以使用的修改时钟信号。

[0042] 图 5a 进一步说明了运行在接收模式的 PLL 电路。PLL 电路 510j 从时钟引脚 502

接收外部时钟。该外部时钟以与在 I/O 引脚 504 接收的数据的特定相位关系具有自己的边缘。PLL 电路 510j 产生几个时钟。一个是用于最靠近 I/O 引脚的寄存器 506 的输出 558 的高速时钟。输出 560 的第二时钟是较低速的。它等于用期望因子去除高速时钟频率。公共期望因子是 8, 导致输出 558 时钟频率 1/8 的时钟频率。该第二时钟路由到第二组寄存器。输出 562 的第三时钟一般具有与第二时钟相同的频率而且路由到可编程逻辑 508 中的寄存器。多个寄存器用于每条数据信道, 而且寄存器的个数优选地等于期望因子。PLL 电路 510j 有利地关于外部时钟建立并维持输出 558、560 和 562 的时钟的相位关系和频率。应当指出, 在接收模式, PLL 电路 510j 只使用利用数据发送的参考时钟。因此, 因为每个接口都可以有不同的频率相位关系, 所以单独的 PLL 电路用于每个接口。

[0043] 图 5b 进一步说明了运行在发送模式的 PLL 电路。在发送模式下, 源同步信道发送出数据 (在 I/O 引脚 516) 和 TX 时钟 (在时钟引脚 512)。因此, 因为在参考信号与 TX 数据和时钟之间不需要相位关系, 所以 PLL 电路 510K 可以从任何引脚或内部产生的内核时钟接收参考时钟。如图 5 所示, 如果需要多条信道, 则单个内核时钟有利地可以用于驱动多个 TX PLL 电路。

[0044] 返回图 4, 复用器 440 和 442 优选地是用户可编程的, 以便选择多个输入信号中的两个馈送到同步电路 446。同步电路 446 确保 PLL 电路 410 的启动以同步方式发生。特别地, 电路 446 是要防止会导致 PLL 电路 410 错误定时的参考时钟信号的低频干扰。

[0045] 图 6 示出了根据本发明同步电路的实施方式。同步电路 646 包括锁存器 647 和 649 及与门 651 和 653。锁存器 647 在输入 655 接收由复用器 440 选择的输入信号, 而锁存器 649 在输入 657 接收由复用器 442 选择的输入信号。PLL 启动信号启动下降边缘的参考时钟, 以确保在时钟的下一上升边缘之前允许足够的时间。对应波形在图 6a 中示出。

[0046] 可以插入附加寄存器以延迟参考时钟的使能, 从而允许部分 PLL 电路在两个输出信号 CLKIN0 和 CLKIN1 开始转换之前使能。这种可替换实施方式在图 6b 中说明, 其中 PLL 启动信号用于产生先使能计数器 / 分频器然后是 VCO 的分级启动顺序。

[0047] 返回图 4, 两个同步电路输出馈送到复用器 448 和切换电路 450。复用器 448 是用户可编程的, 并因此输出两个信号中由用户选择的一个充当输入参考信号。所选择的输入参考信号馈送到还从切换电路 450 接收输入信号的与门 452。在正常运行模式下, 切换电路 450 允许选定的参考信号通过与门 452 传播到预分频分频器 420。切换电路 450 监视从同步电路 446 接收的两个输出信号。如果选定的时钟信号由于某种原因停止运行, 则切换电路 450 可以自动使来自同步电路 446 的另一输出信号用作输入参考信号。这种特征可用于时钟冗余或用于双时钟域应用。而且, 切换电路 450 还可以基于用户控制信号优选地手动控制。例如, 这使得用户可以在两个不同频率的输入参考信号之间切换。

[0048] PLL 电路 410 还具有增强的反馈能力, 并包括反馈分频器 424、扩展频谱计数器 458 和复用器 460。复用器 460 是可编程的, 接收来自复用器 430 的输出信号和外部反馈信号。通过对复用器 460 编程以输出外部反馈信号, 外部时钟信号可以与输入参考时钟信号一致。这有利地允许用户除去时钟延迟并在设备 / 芯片之间斜交。扩展频谱计数器 458 有助于防止可能由来自高频时钟信号的放射噪声引起的破坏的数据和间断性系统错误。耦合到分频器 420 和 424 的扩展频谱计数器 458 通过小范围调制时钟频率来实现这个功能。

[0049] PLL 电路 210 和 410 都有利地在加电时和使用模式中 (即, 动态) 都是可完全编程

的,从而提供高度的灵活性。可编程参数包括粗略和细微的移相、计数器值(即,频率除数)和工作循环。如前面所提到的,分频器电路 232 和 432 中的每个计数器/分频器电路都可以连接到包括全局时钟网络、本地时钟网络和外部时钟缓冲器的几个不同的输出源。通过在分频器电路的输出提供这些灵活的复用区域,用户可以有利地以非常灵活的方式配置他们的系统。因此,PLL 电路 210 和 410 可用于产生多个内部时钟参考及提供芯片外参考时钟。有利地,单个分频器电路可用于产生内部参考时钟和外部时钟参考。其它优点包括能够动态切换到多个输入参考信号中的任何一个(在 PLL 电路 410 中)及全局或本地时钟中的任何一个。允许用户动态配置本发明的 PLL 电路避免必须对整个 PLD 重新编程,这有利地降低了总的系统成本。

[0050] 图 7 示出了可与本发明 PLL 电路一起使用的时钟复用器模式的例子。模式 700 包括可以是例如 PLL 电路 210 或 410 的两个通用 PLL 电路 710。每条垂直线都可以看作是单个复用器,而每个圆圈代表可以连接到该复用器的信号。CLKPIN# 代表标准时钟引脚,而 nCLKPIN# 代表当输入时钟不是差分信号时可用的附加时钟引脚。GCKDRV#(全局时钟驱动器)和 LCKDRV#(本地时钟驱动器)信号为一般逻辑提供了驱动到时钟网络上的一种方式,而不需要首先通过 I/O 引脚驱动出去然后再通过另一 I/O 引脚返回时钟网络。这些复用器连接可用于具有高扇出的信号。

[0051] 图 8 示出了可与本发明 PLL 电路一起使用的用于外部时钟输出的复用器模式的例子。模式 800 包括输出引脚 812 和可以是例如 PLL 电路 210 或 410 的通用 PLL 电路 810。来自 PLL 电路 810 的任何输出信号都可以路由到任何输出引脚 812。extclken#(外部时钟使能)信号有利地允许用户动态同步地使能和禁用时钟引脚。这可以用于实现系统掉电能力,以降低功耗。应当指出,偶数编号的输出(即,ECK0、ECK2,...)可以与它们相邻的奇数编号的输出(即,ECK1、ECK3,...)一起用于差分信号。

[0052] 图 9 示出了复用器电路 228/428 和分频器电路 232/432 的可选布置。级联 PLL 输出级 900 有利地允许本发明的 PLL 电路以数量级可编程分割信号频率。前 n-1 个分频器 932(其中 n 是分频器的总数)中任一个的输出都可以由复用器电路 928 适当的复用器可编程选择作为下一分频器 932 的输入。因此,例如,分频器 C0 的输出可以用作芯片内的本地时钟和分频器 C1 的输入。而且,可编程级联不需要从分频器 C0 的输出开始,也不需要继续到第 n 个分频器(在这种实施方式中是分频器 C5)。例如,分频器 C2 的输出可以级联到分频器 C3,C3 的输出可以级联到分频器 C4,而分频器 C0、C1 和 C5 的输出可以独立使用。应当指出,每个分频器的 VCO/测试时钟输入都代表多个 VCO 输出信号。

[0053] 图 10 示出了根据本发明可配置时钟缓冲器电路的实施方式。有利地,时钟缓冲器电路 1000 支持一般 I/O 功能性及 I/O 时钟功能和输入与输出能力。缓冲器电路 1000 包括复用器 1062 和 1064;缓冲器/驱动器 1066、1068、1070、1072 和 1074;及差分缓冲器 1076。缓冲器电路 1000 耦合到 I/O 时钟引脚 1078,而且可以配置成允许引脚 1078 被 PLL 电路驱动(从而使它们成为时钟引脚)或者被 I/O 接口驱动(从而使它们成为一般 I/O 引脚)。缓冲器电路 1000 还可以配置成允许一个引脚 1078 用作 PLL 外部反馈引脚(从而变成延迟补偿缓冲器)。当缓冲器电路 1000 双向配置时(允许输入与输出),PLL 电路可以配置成零延迟缓冲器。因为只有要补偿的缓冲器用在这种配置中,所以对于利用延迟元件的已知方法,这是优选的。

[0054] 优选地,所有与本发明 PLD 关联的时钟源(全局时钟、本地时钟和外部时钟)都可以同步使能和禁用。这使得用户可以动态切断或打开他们用于电源管理的设计的各部分。图 11 示出了根据本发明的同步 PLL 使能电路。使能电路 1100 包括锁存器 1182、与门 1184 和时钟驱动器 1186。信号 ENOUT 是在用户控制下用于动态控制时钟的使能和禁用的内核信号。信号 ENOUTCTRL 是如果用户不使用禁用特征则允许时钟总是使能的编程位。NPST 是寄存器预置,它是低电平有效,意味着该输出的低电压信号(例如,逻辑 0 信号)使输出变高。

[0055] 应当指出,尽管贯穿所有图都示出了复用器,但它们可选地可以用其它类型的可编程逻辑连接器(PLC)代替。例如,PLC 可以是相对简单的可编程连接器,如一个或多个用于将几个输入中的任何一个连接到输出的开关。可选地,每个 PLC 都可以是能够执行逻辑(例如,通过逻辑结合其几个输入)及进行连接的有些复杂的元件。在后一种情况下,例如,每个 PLC 都可以是乘积项逻辑,实现如与、与非、或非或非的功能。适于实现 PLC 的组件例子是 EPROM、EEPROM、导通晶体管、发送门、反熔断器、激光熔断器、金属可选链接等。

[0056] 还应当指出,具有本发明 PLL 电路的 PLD 不限于任何一种技术,而是有利地可以在各种技术中实现。

[0057] 如上面所提到的,本发明的 PLC(例如,复用器)和分频器电路是可编程的,而它们的可编程参数可以存储在各种类型的可编程、功能控制元件(“FCE”)中(尽管对于特定的实现(例如,熔断器和金属可选链接),不需要单独的 FCE)。FCE 可以几种不同方式中的任何一种实现。例如,FCE 可以是 SRAM、DRAM、先入先出(“FIFO”)存储器、EPROM、EEPROM、功能控制寄存器(例如,在 Wahlstrom 的美国专利 3,473,160 中),铁电体存储器、熔断器、反熔断器等。控制本发明 PLC 和分频器电路的 FCE 优选地是以相同的方式可编程的,而且同时图 1 中的可编程逻辑 108 被编程。

[0058] 尽管本发明的电路有许多可能的应用,但一种说明性应用在图 12 中示出。数据处理系统 1200 包括可以是集成电路也可以是集成电路芯片的可编程逻辑设备 100,该设备包括根据本发明的 PLL 电路。PLD100 可以是域可编程、掩膜可编程或以任何其它方式可编程。它可以是只一次可编程的,或者也可以是可重新编程的。系统 1200 还可以包括一个或多个以下组件:处理器 1203;存储器 1205;I/O 电路 1207 及外围设备 1209。这些组件由系统总线 1211 耦合在一起并位于包含在终端用户系统 1215 中的电路板 1213 上。图 12 所示各种组件之间和/或与外部电路的通信可以是按照任何期望程度的任何已知类型。

[0059] 系统 1200 可以用在很广的应用中,如计算机联网、数据联网、仪器、视频处理、数字信号处理或任何其它可能期望利用可编程或可重新编程逻辑优点的应用。PLD 100 可用于执行各种不同的逻辑功能。例如,PLD 100 可以配置成与处理器 1203 协同工作的处理器或控制器。PLD 100 还可以用作仲裁对系统 1200 中共享资源访问的仲裁器。在另一例子中,PLD 100 可以配置成系统 1200 中处理器 1203 与另一组件之间的接口。应当指出,系统 1200 仅仅是示例性的,不应当从任何方面认为是限定本发明真正的范围与主旨。

[0060] 因此,可以看到提供了输出多个具有可编程相位与频率以便可编程用作外部或内部时钟的信号的高度可配置 PLL 电路。本领域技术人员应当理解,本发明可以由除所述实施方式以外的方式实践,所述实施方式只是为了说明而不是限制,本发明只能由以下权利要求限制。

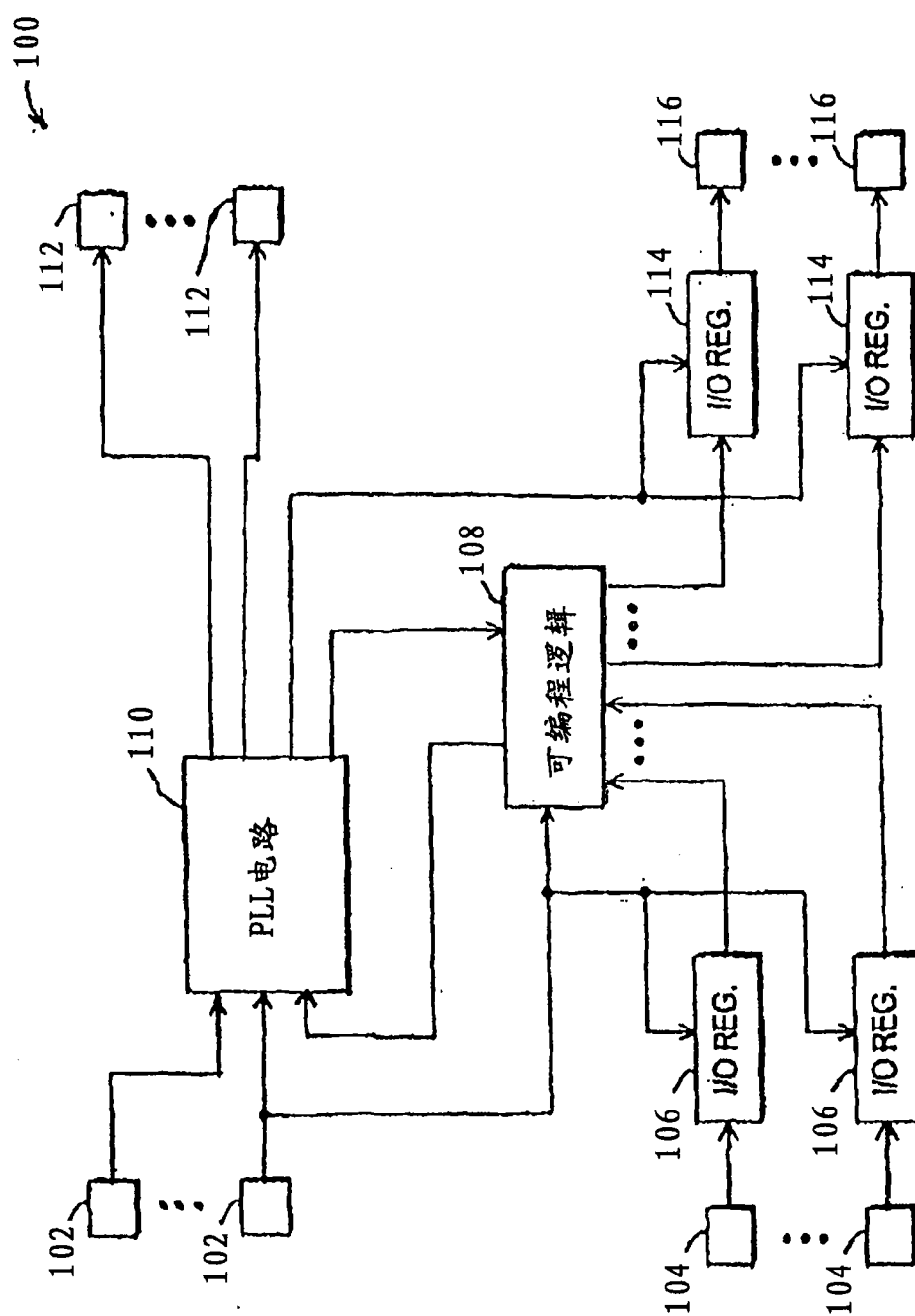


图 1

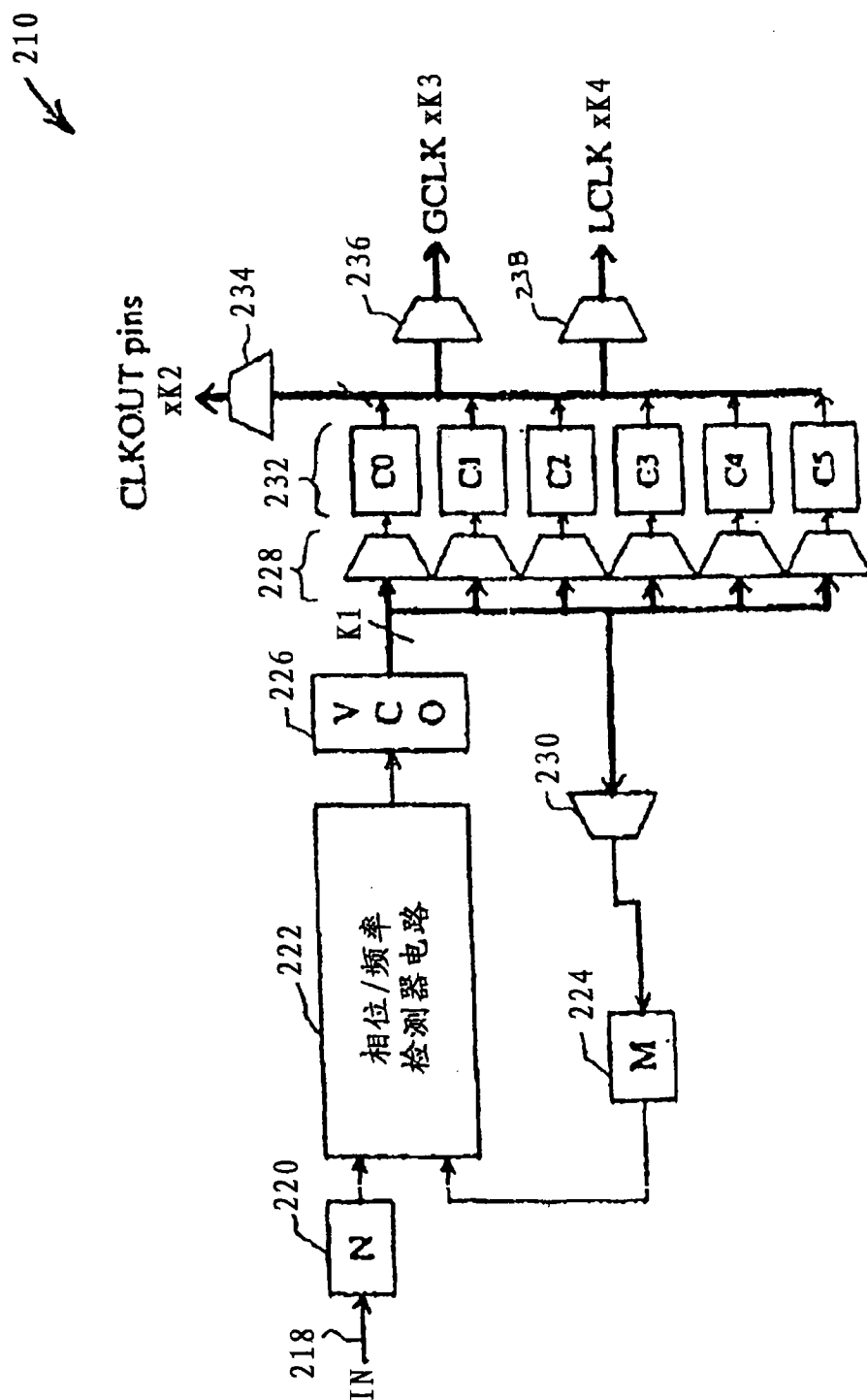


图 2

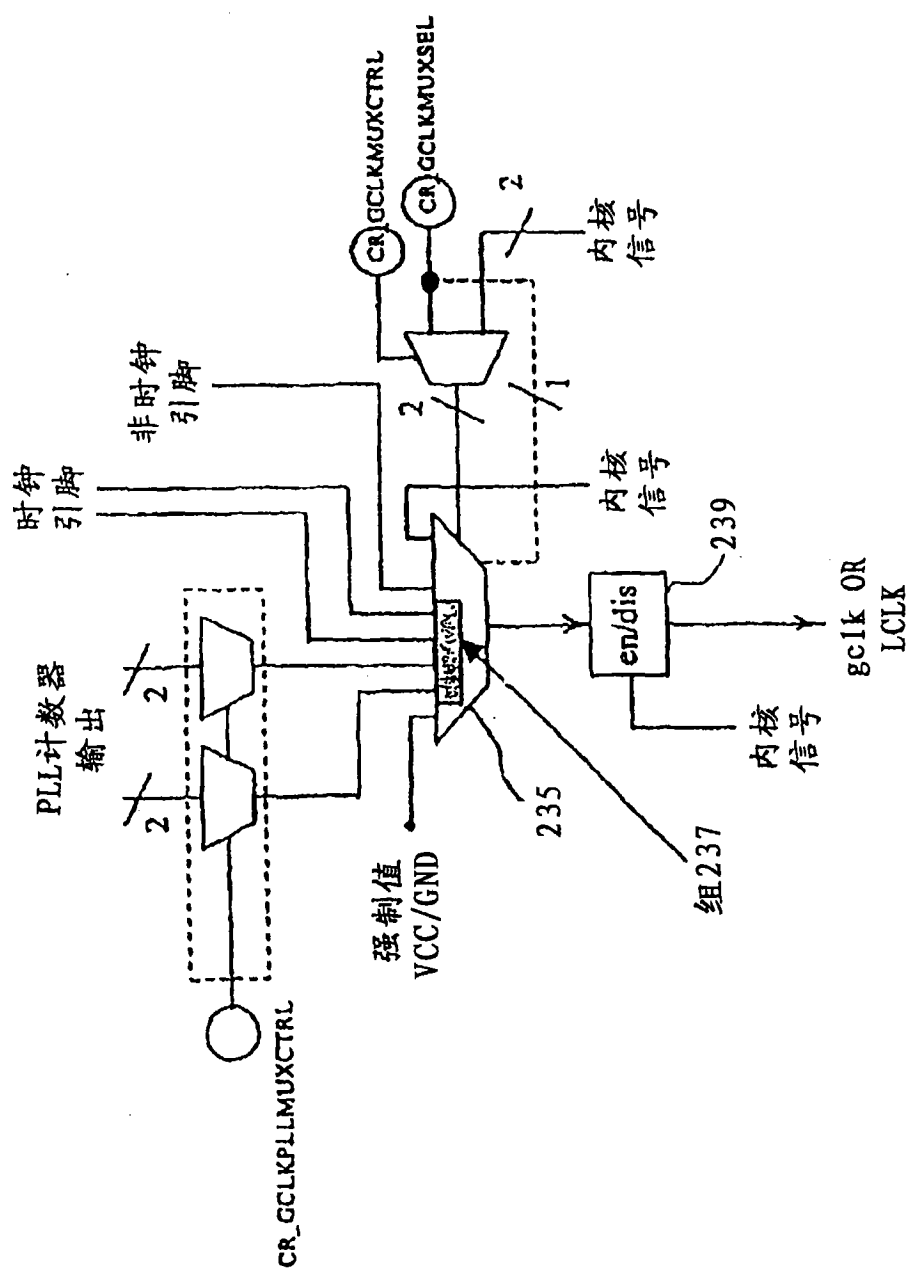


图 2a

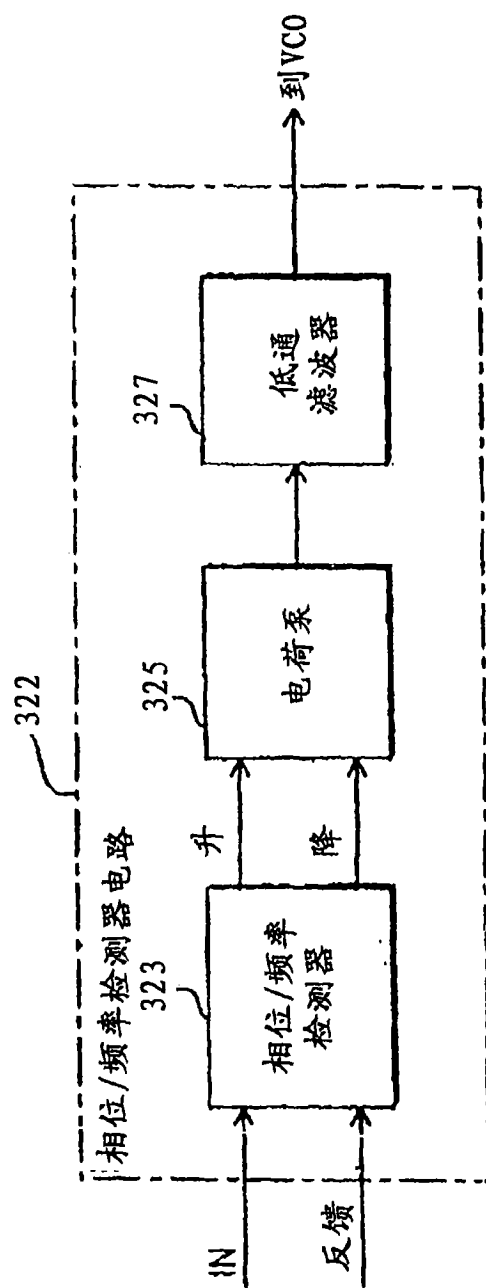


图 3

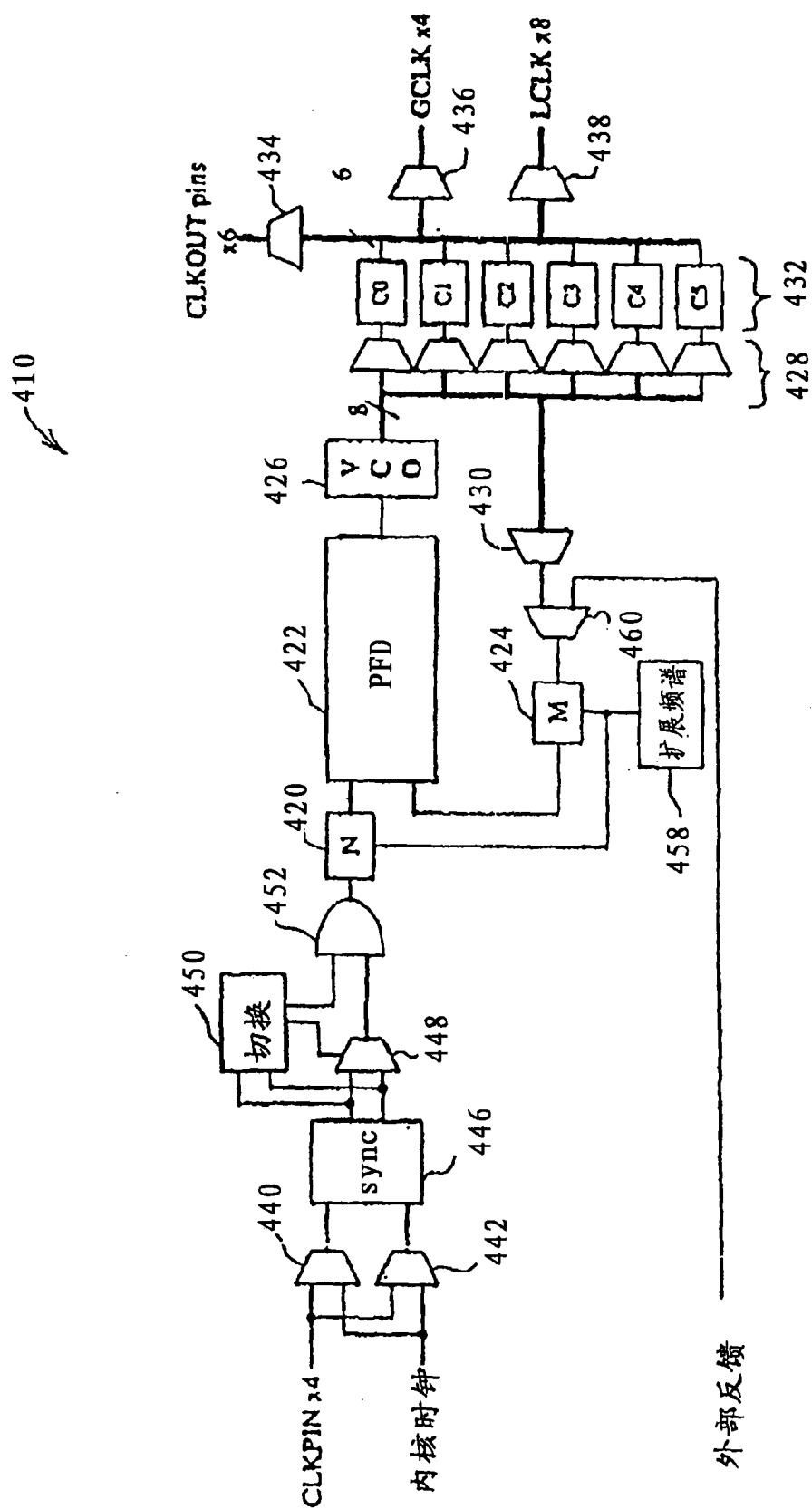


图 4

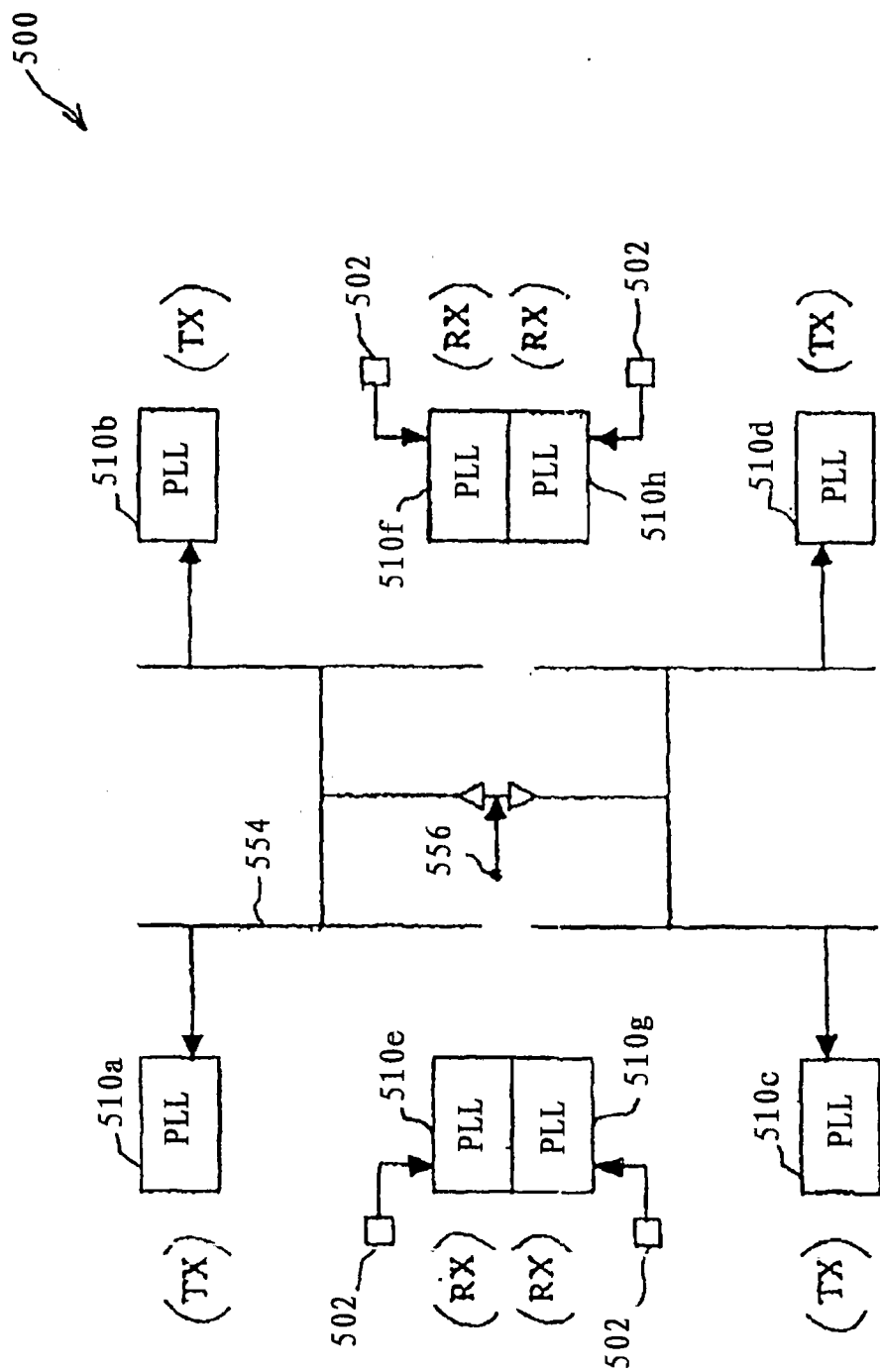


图 5

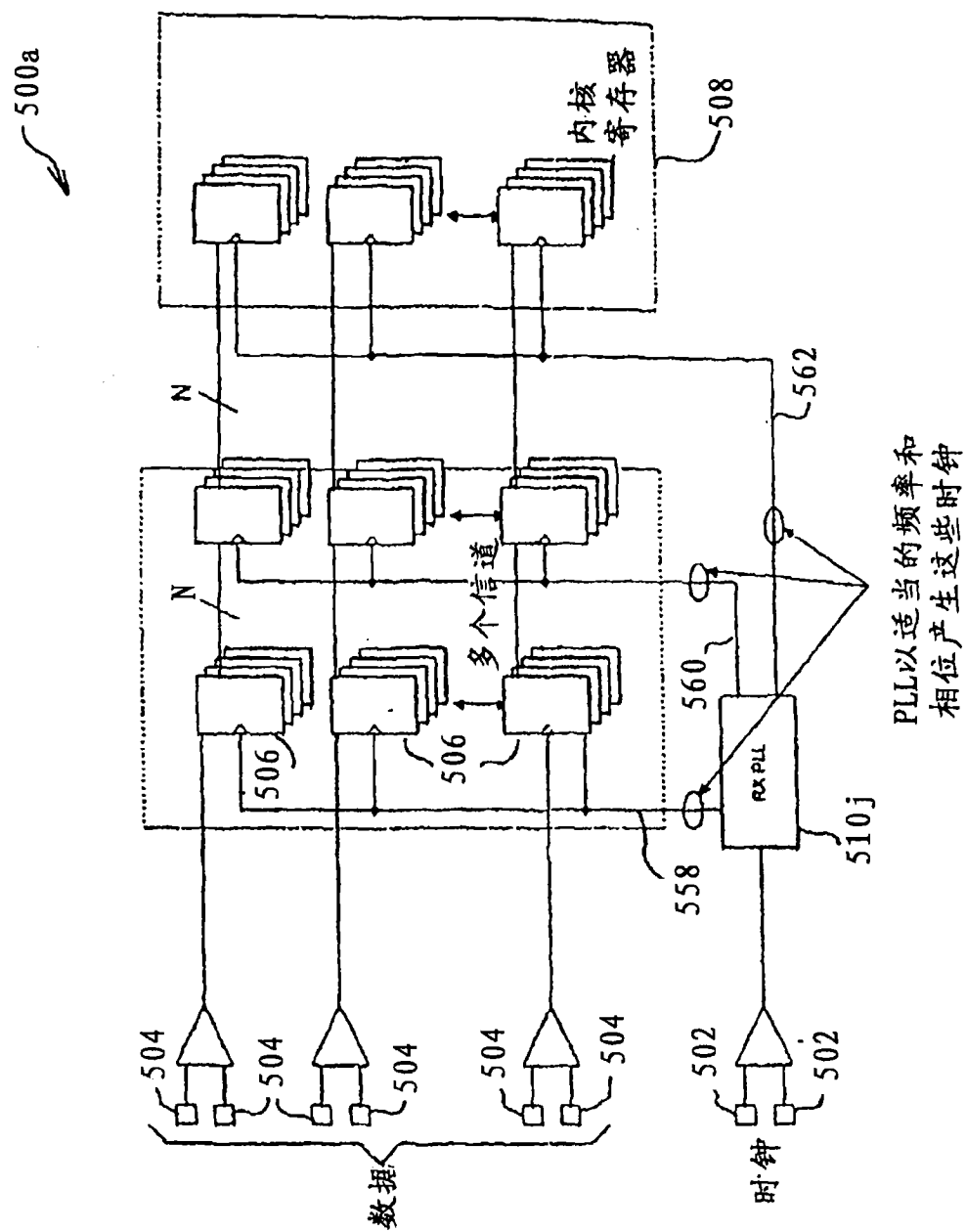


图 5a

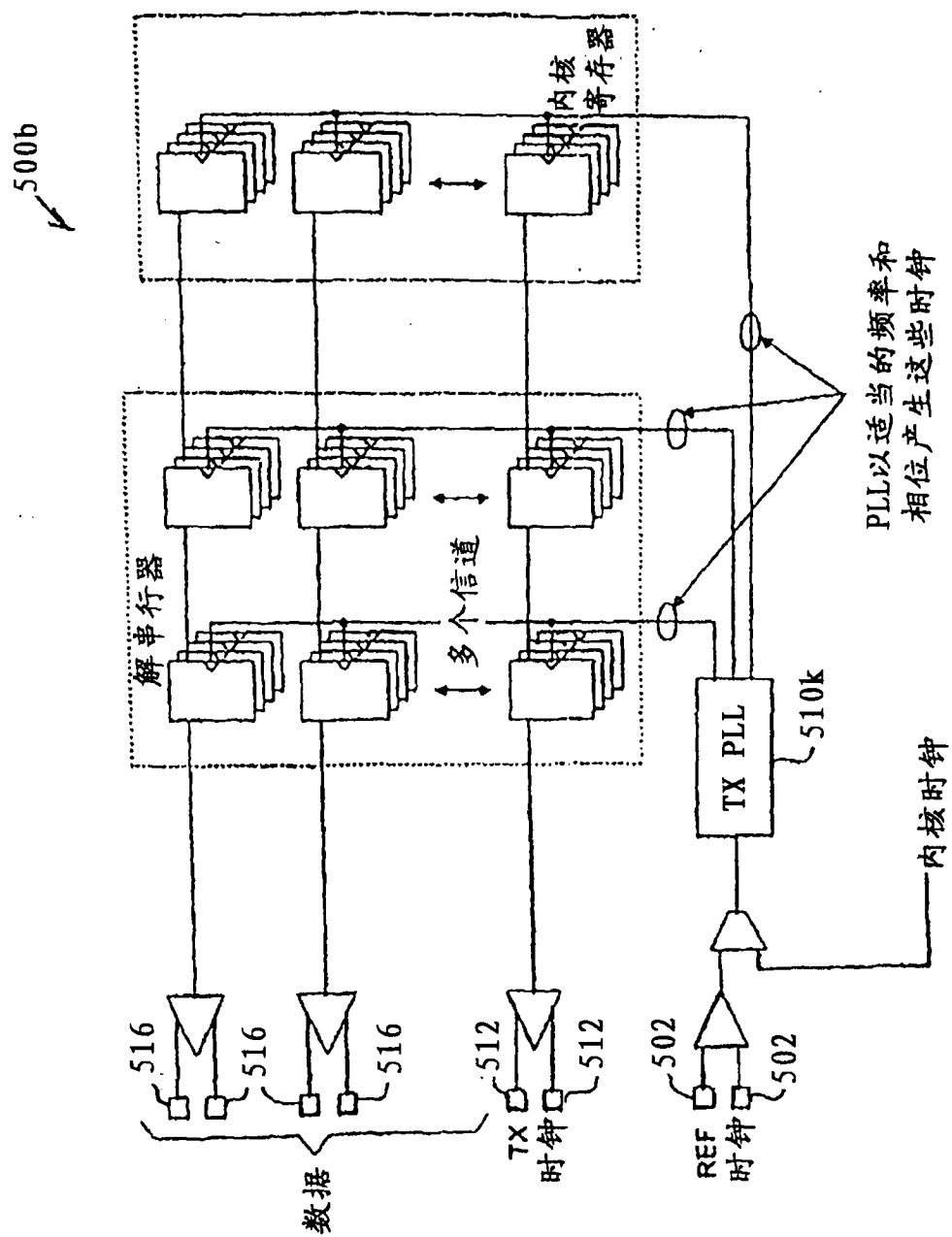


图 5b

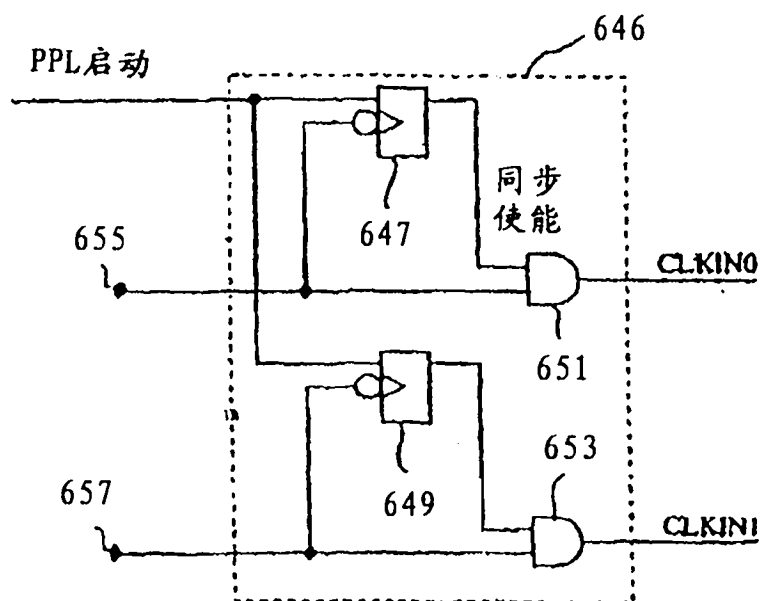


图 6

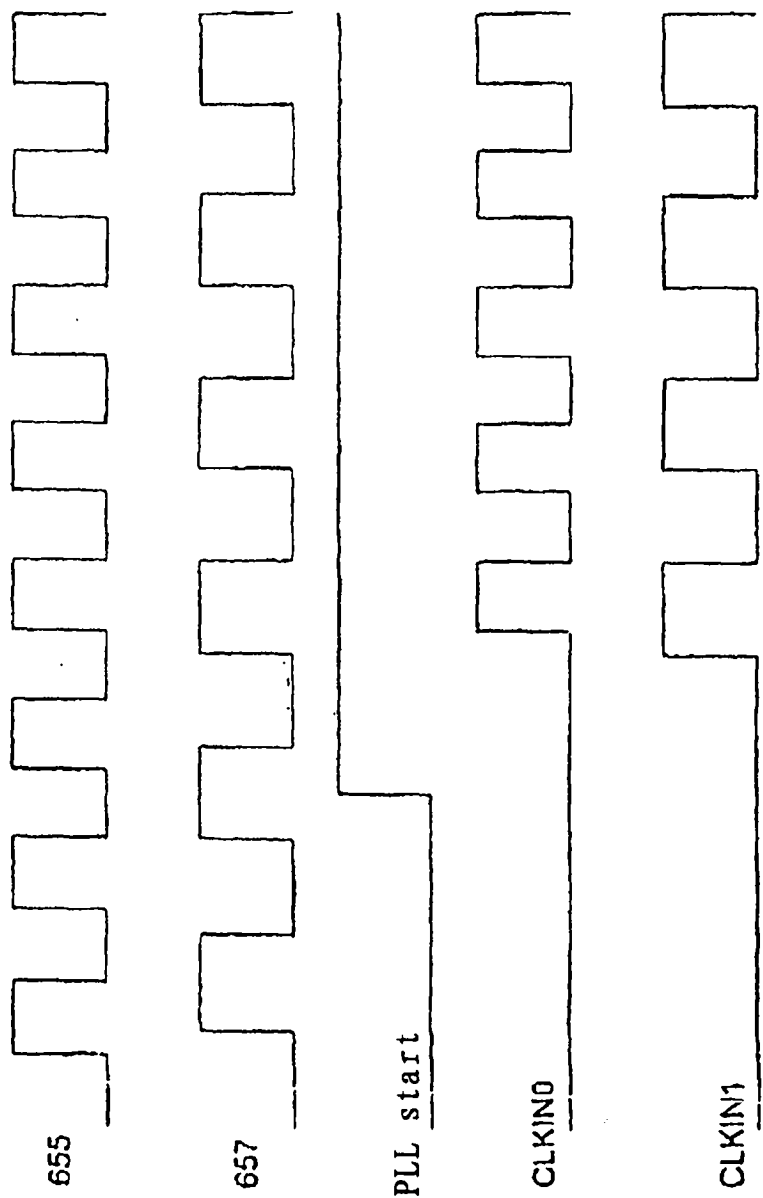


图 6a

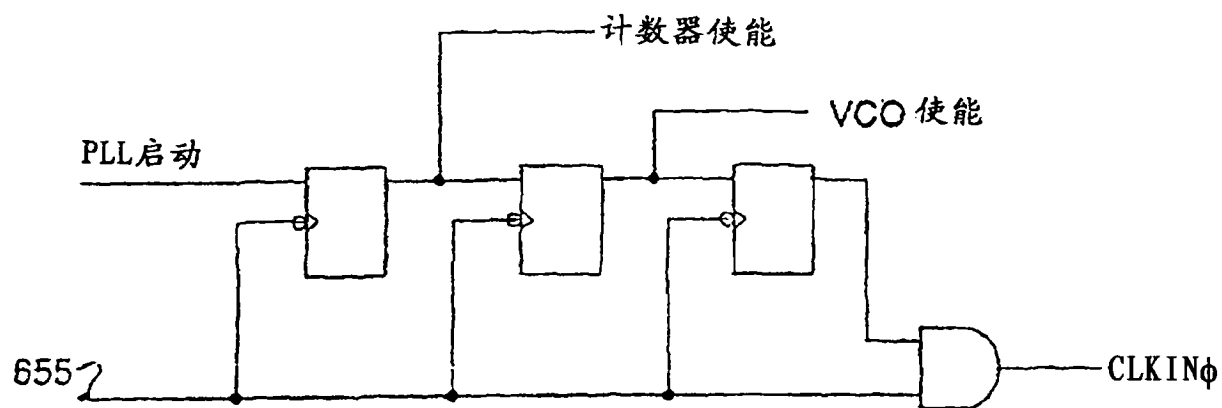


图 6b

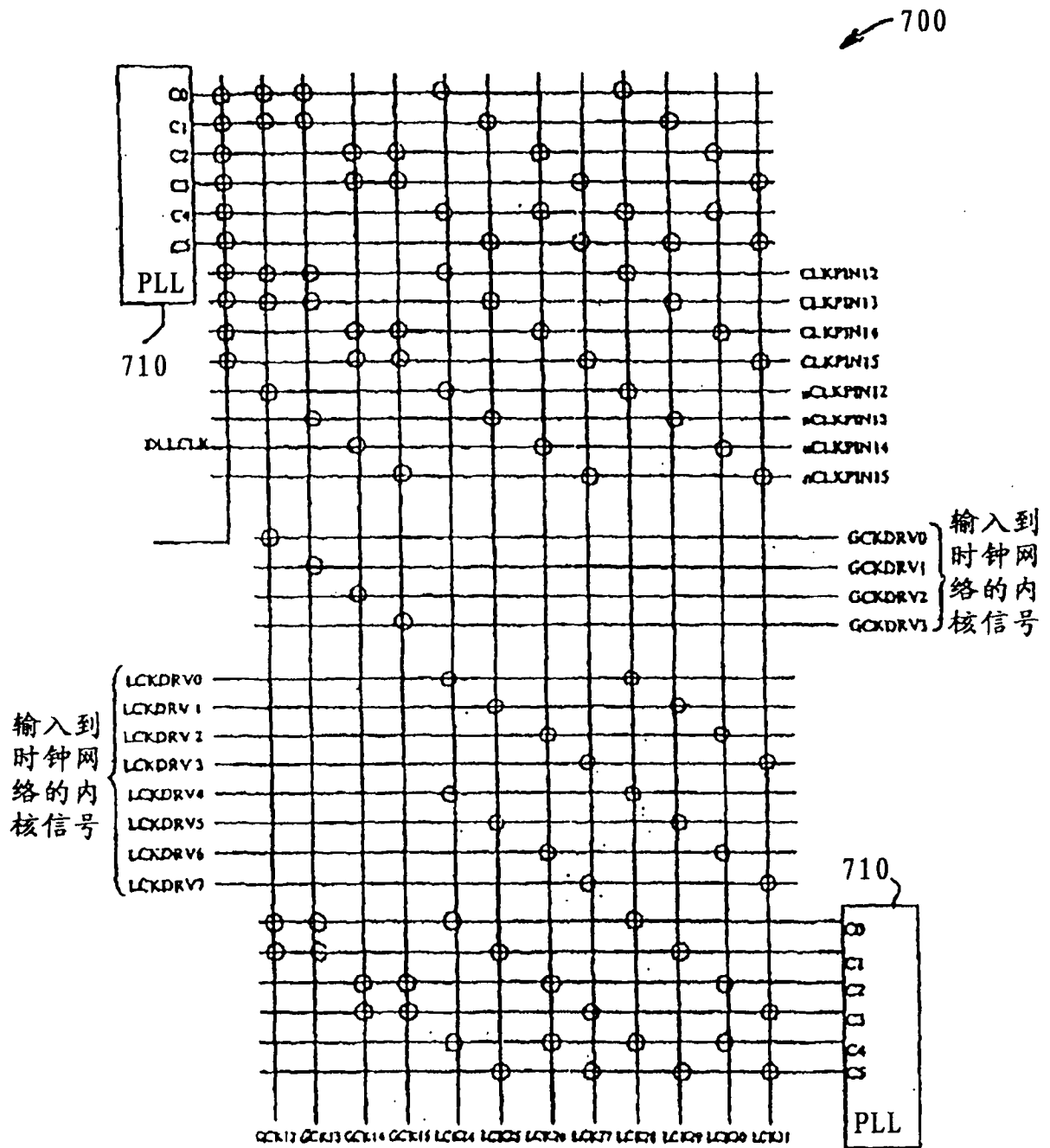
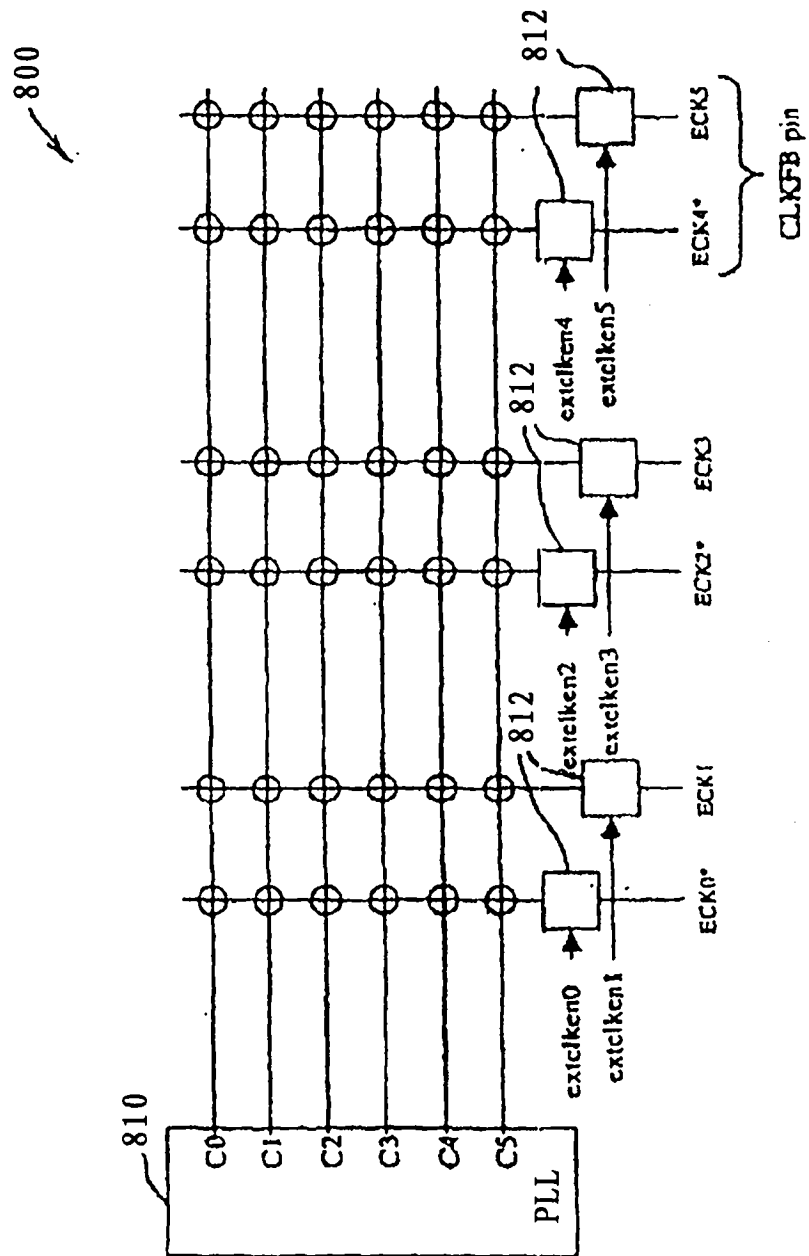


图 7



*表示差分输出源

图 8

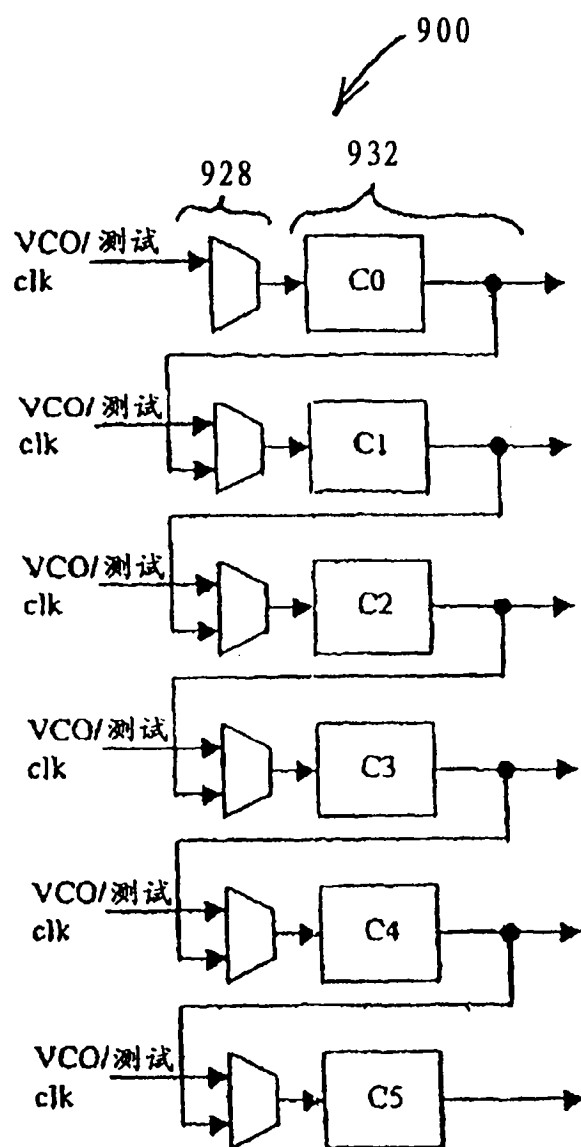


图 9

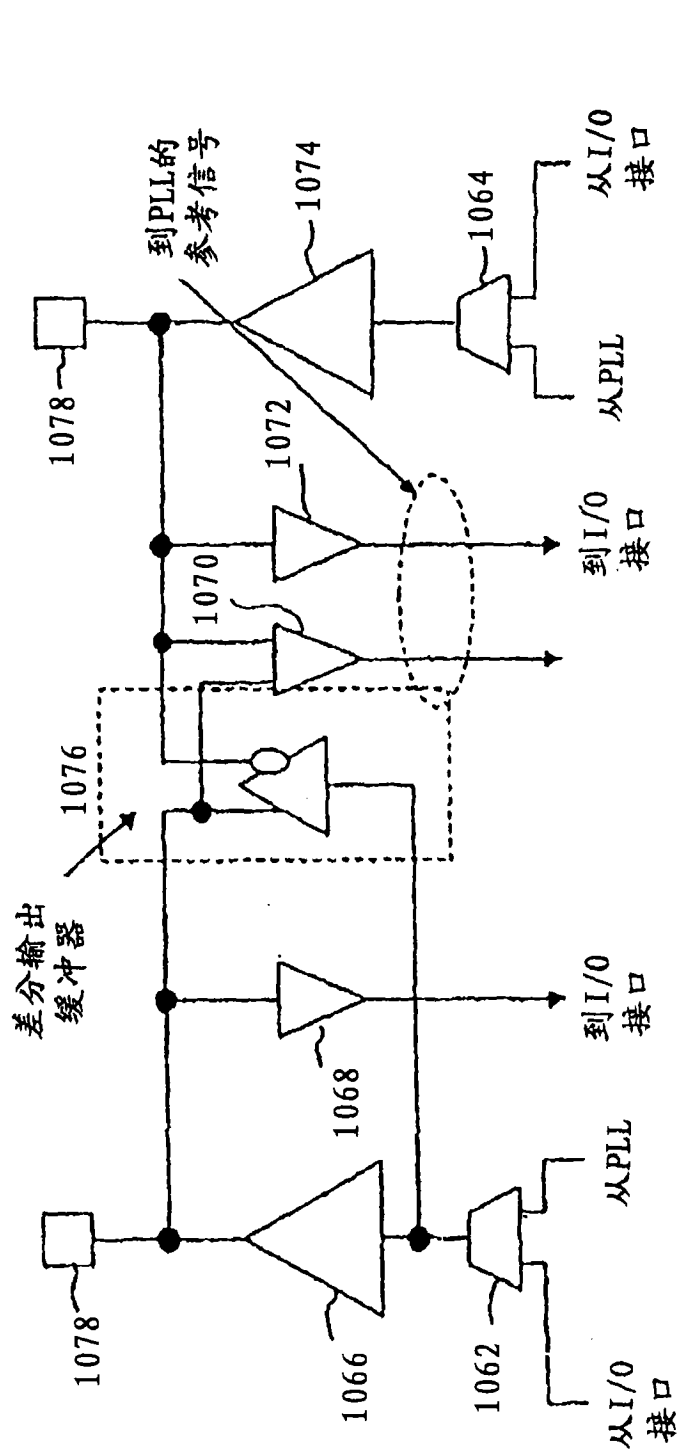


图 10

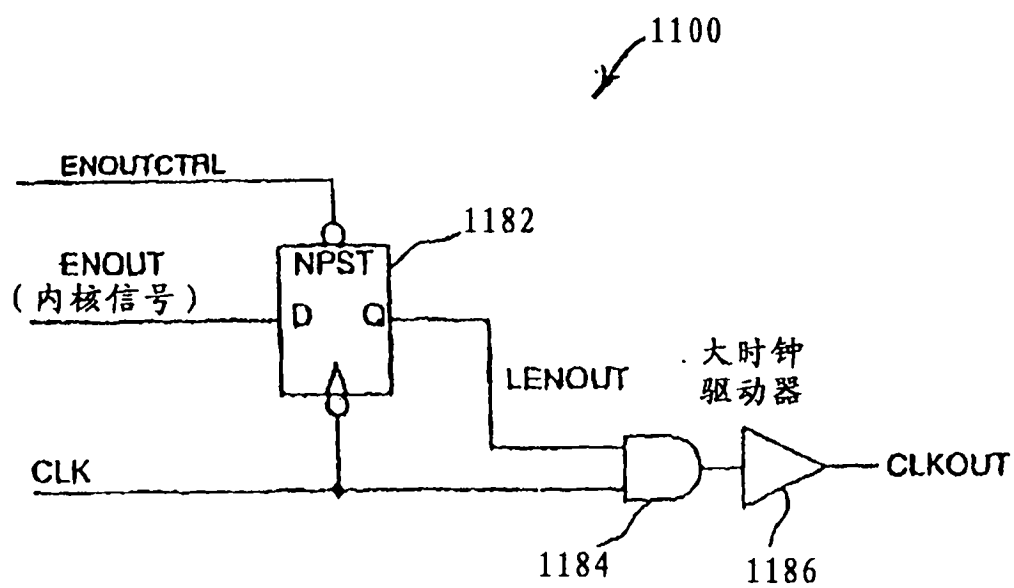


图 11

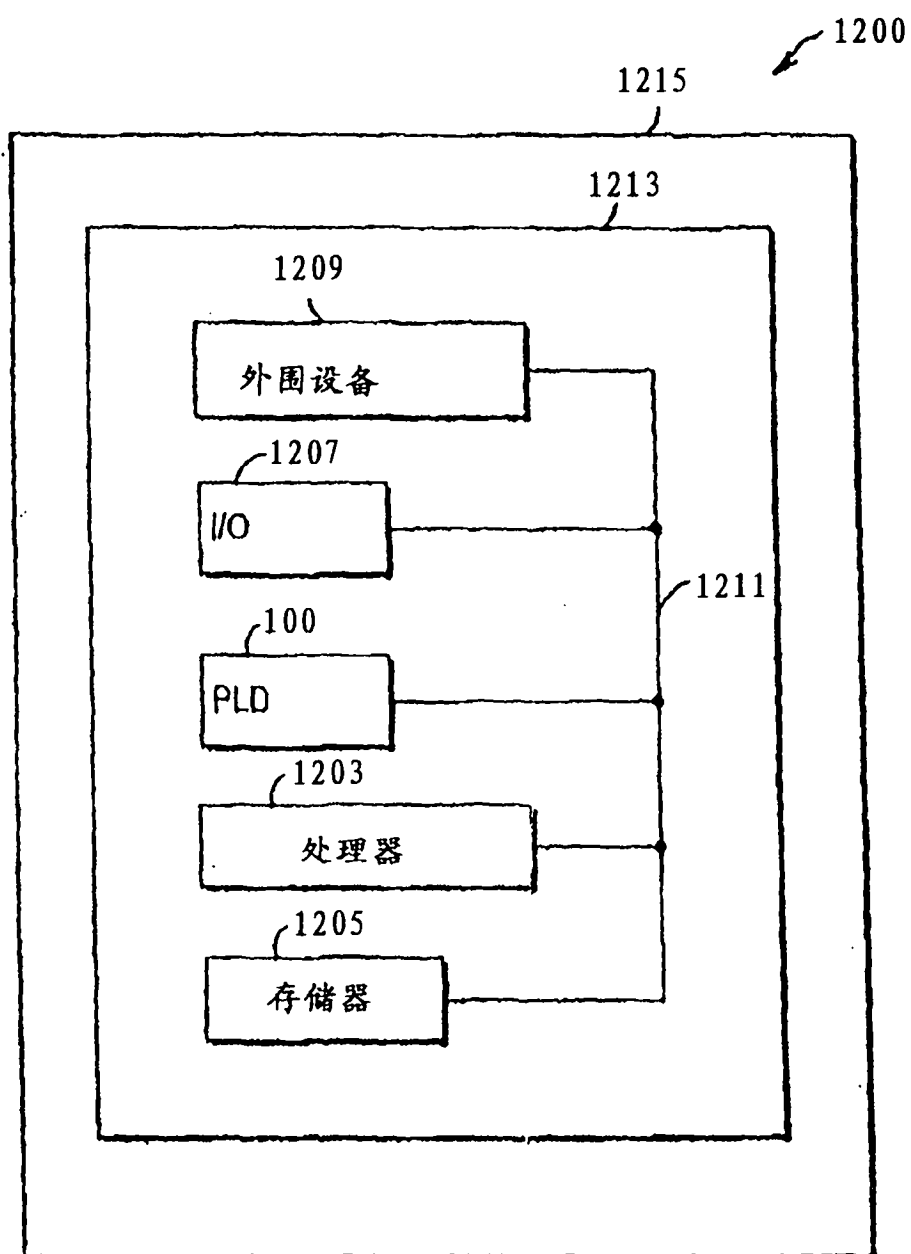


图 12