

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5164635号  
(P5164635)

(45) 発行日 平成25年3月21日(2013.3.21)

(24) 登録日 平成24年12月28日(2012.12.28)

(51) Int. Cl.		F I			
<b>B 4 1 J</b>	<b>2/045</b>	<b>(2006.01)</b>	B 4 1 J	3/04	1 O 3 A
<b>B 4 1 J</b>	<b>2/055</b>	<b>(2006.01)</b>	B 4 1 J	3/04	1 O 1 Z
<b>B 4 1 J</b>	<b>2/01</b>	<b>(2006.01)</b>			

請求項の数 8 (全 24 頁)

(21) 出願番号	特願2008-86939 (P2008-86939)	(73) 特許権者	306037311
(22) 出願日	平成20年3月28日 (2008.3.28)		富士フイルム株式会社
(65) 公開番号	特開2009-234233 (P2009-234233A)		東京都港区西麻布2丁目26番30号
(43) 公開日	平成21年10月15日 (2009.10.15)	(74) 代理人	100079049
審査請求日	平成22年7月12日 (2010.7.12)		弁理士 中島 淳
		(74) 代理人	100084995
			弁理士 加藤 和詳
		(74) 代理人	100085279
			弁理士 西元 勝一
		(74) 代理人	100099025
			弁理士 福田 浩志
		(72) 発明者	大塚 広幸
			神奈川県足柄上郡開成町牛島577番地
			富士フイルム株式会社内

最終頁に続く

(54) 【発明の名称】 信号処理装置、液滴吐出装置及び信号処理方法

(57) 【特許請求の範囲】

【請求項1】

容量性負荷に印加する電圧の基準となるデジタル信号をアナログ信号に変換して該アナログ信号を差動出力するデジタル・アナログ・コンバータを有する第1の基板と、

スイッチング素子を介して前記容量性負荷に接続された出力端を有するオペアンプであって、前記デジタル・アナログ・コンバータから差動出力された前記アナログ信号が入力され、入力された前記アナログ信号の電圧を増幅して出力するオペアンプを有する第2の基板と、

前記デジタル・アナログ・コンバータから出力された前記アナログ信号が前記オペアンプの入力端に入力されるように前記第1の基板と前記第2の基板とを機械的に接続するコネクタと、

前記第1の基板に設けられ、所定信号を前記第2の基板に前記コネクタを介して送信する送信手段と、

電力供給源から駆動用電力が供給されることによって駆動する差動増幅回路であって、前記第2の基板において前記オペアンプの前段に設けられると共に、前記デジタル・アナログ・コンバータから差動出力された前記アナログ信号が入力され、当該アナログ信号を増幅する差動増幅回路と、

前記第2の基板に設けられた制御手段であって、前記第2の基板において前記所定信号が受信されていない場合、前記差動増幅回路に前記駆動用電力が供給されないように前記差動増幅回路を制御する制御手段と、

10

20

を含む信号処理装置。

【請求項 2】

容量性負荷に印加する電圧の基準となるデジタル信号をアナログ信号に変換して該アナログ信号を差動出力するデジタル・アナログ・コンバータを有する第 1 の基板と、

スイッチング素子を介して前記容量性負荷に接続された出力端を有するオペアンプであって、前記デジタル・アナログ・コンバータから差動出力された前記アナログ信号が入力され、入力された前記アナログ信号の電圧を増幅して出力するオペアンプを有する第 2 の基板と、

前記デジタル・アナログ・コンバータから出力された前記アナログ信号が前記オペアンプの入力端に入力されるように前記第 1 の基板と前記第 2 の基板とを機械的に接続するコネクタと、

10

前記第 1 の基板に設けられ、所定信号を前記第 2 の基板に前記コネクタを介して送信する送信手段と、

前記第 2 の基板において前記オペアンプの前段に設けられると共に、前記デジタル・アナログ・コンバータから差動出力された前記アナログ信号が入力され、当該アナログ信号を増幅する差動増幅回路と、

前記差動増幅回路と前記オペアンプとを電氣的に接続可能なスイッチと、

前記第 2 の基板において前記所定信号が受信されていない場合、前記第 2 の基板に設けられた制御手段であって、前記差動増幅回路と前記オペアンプとを電氣的に切断するように前記スイッチをスイッチング制御する制御手段と、

20

を含む信号処理装置。

【請求項 3】

容量性負荷に印加する電圧の基準となるデジタル信号をアナログ信号に変換して該アナログ信号を差動出力するデジタル・アナログ・コンバータを有する第 1 の基板と、

スイッチング素子を介して前記容量性負荷に接続された出力端を有するオペアンプであって、前記デジタル・アナログ・コンバータから差動出力された前記アナログ信号が入力され、入力された前記アナログ信号の電圧を増幅して出力するオペアンプを有する第 2 の基板と、

前記デジタル・アナログ・コンバータから出力された前記アナログ信号が前記オペアンプの入力端に入力されるように前記第 1 の基板と前記第 2 の基板とを機械的に接続するコネクタと、

30

前記第 1 の基板に設けられ、所定信号を前記第 2 の基板に前記コネクタを介して送信する送信手段と、

前記スイッチング素子と前記出力端との間に挿入されると共に前記オペアンプと前記スイッチング素子とを電氣的に接続可能なスイッチと、

前記第 2 の基板に設けられた制御手段であって、前記第 2 の基板において前記所定信号が受信されていない場合、前記オペアンプと前記スイッチング素子とを電氣的に切断するように前記スイッチをスイッチング制御する制御手段と、

を含む信号処理装置。

【請求項 4】

40

複数の容量性負荷の各々に各々対応するように設けられると共に、各々対応する前記容量性負荷に印加する電圧の基準となるデジタル信号をアナログ信号に変換して該アナログ信号を差動出力する複数のデジタル・アナログ・コンバータを有する第 1 の基板と、

前記複数のデジタル・アナログ・コンバータの各々に各々対応するように設けられると共に、各々スイッチング素子を介して対応する前記容量性負荷に接続された出力端を有する複数のオペアンプであって、対応する前記デジタル・アナログ・コンバータから差動出力された前記アナログ信号が入力され、入力された前記アナログ信号の電圧を増幅して出力する複数のオペアンプを有する第 2 の基板と、

前記複数のデジタル・アナログ・コンバータの各々から出力された前記アナログ信号が対応する前記オペアンプの入力端に入力されるように前記第 1 の基板と前記第 2 の基板と

50

を機械的に接続する複数のコネクタと、

前記第1の基板に設けられ、所定信号を前記第2の基板に前記複数のコネクタを介して送信する送信手段と、

電力供給源から駆動用電力が供給されることによって駆動する複数の差動増幅回路であって、前記第2の基板において各々対応する前記オペアンプの前段に設けられると共に、各々対応する前記デジタル・アナログ・コンバータから差動出力された前記アナログ信号が入力され、当該アナログ信号を差動増幅する複数の差動増幅回路と、

前記第2の基板に設けられた制御手段であって、前記第2の基板において、前記送信手段により前記複数のコネクタの各々を介して送信された前記所定信号の少なくとも1つが受信されていない場合、該所定信号が介されるべき前記コネクタに対応する前記差動増幅回路に前記駆動用電力が供給されないように前記差動増幅回路を制御する制御手段と、

を含む信号処理装置。

#### 【請求項5】

複数の容量性負荷の各々に各々対応するように設けられると共に、各々対応する前記容量性負荷に印加する電圧の基準となるデジタル信号をアナログ信号に変換して該アナログ信号を差動出力する複数のデジタル・アナログ・コンバータを有する第1の基板と、

前記複数のデジタル・アナログ・コンバータの各々に各々対応するように設けられると共に、各々スイッチング素子を介して対応する前記容量性負荷に接続された出力端を有する複数のオペアンプであって、対応する前記デジタル・アナログ・コンバータから差動出力された前記アナログ信号が入力され、入力された前記アナログ信号の電圧を増幅して出力する複数のオペアンプを有する第2の基板と、

前記複数のデジタル・アナログ・コンバータの各々から出力された前記アナログ信号が対応する前記オペアンプの入力端に入力されるように前記第1の基板と前記第2の基板とを機械的に接続する複数のコネクタと、

前記第1の基板に設けられ、所定信号を前記第2の基板に前記複数のコネクタを介して送信する送信手段と、

前記第2の基板において各々対応する前記オペアンプの前段に設けられると共に、各々対応する前記デジタル・アナログ・コンバータから差動出力された前記アナログ信号が入力され、当該アナログ信号を差動増幅する複数の差動増幅回路と、

前記複数の差動増幅回路の各々と各々対応する前記オペアンプとを電氣的に接続可能な複数のスイッチと、

前記第2の基板に設けられた制御手段であって、前記第2の基板において、前記送信手段により前記複数のコネクタの各々を介して送信された前記所定信号の少なくとも1つが受信されていない場合、該所定信号が介されるべき前記コネクタに対応する前記差動増幅回路と該差動増幅回路に対応する前記オペアンプとを電氣的に切断するように、対応する前記スイッチをスイッチング制御する制御手段と、

を含む信号処理装置。

#### 【請求項6】

複数の容量性負荷の各々に各々対応するように設けられると共に、各々対応する前記容量性負荷に印加する電圧の基準となるデジタル信号をアナログ信号に変換して該アナログ信号を差動出力する複数のデジタル・アナログ・コンバータを有する第1の基板と、

前記複数のデジタル・アナログ・コンバータの各々に各々対応するように設けられると共に、各々スイッチング素子を介して対応する前記容量性負荷に接続された出力端を有する複数のオペアンプであって、対応する前記デジタル・アナログ・コンバータから差動出力された前記アナログ信号が入力され、入力された前記アナログ信号の電圧を増幅して出力する複数のオペアンプを有する第2の基板と、

前記複数のデジタル・アナログ・コンバータの各々から出力された前記アナログ信号が対応する前記オペアンプの入力端に入力されるように前記第1の基板と前記第2の基板とを機械的に接続する複数のコネクタと、

前記第1の基板に設けられ、所定信号を前記第2の基板に前記複数のコネクタを介して

10

20

30

40

50

送信する送信手段と、

前記複数のオペアンプの各々について、前記スイッチング素子と前記出力端との間に挿入されると共に前記オペアンプの各々に対応する前記スイッチング素子とを電氣的に接続可能な複数のスイッチと、

前記第2の基板に設けられた制御手段であって、前記第2の基板において、前記送信手段により前記複数のコネクタの各々を介して送信された前記所定信号の少なくとも1つが受信されていない場合、該所定信号が介されるべき前記コネクタに対応する前記オペアンプと該オペアンプに対応する前記スイッチング素子とを電氣的に切断するように、対応する前記スイッチをスイッチング制御する制御手段と、

を含む信号処理装置。

10

#### 【請求項7】

請求項1～請求項6の何れか1項に記載の信号処理装置を備え、

前記容量性負荷は圧電素子であり、

前記圧電素子が駆動されることにより液滴を吐出するノズルを有する液滴吐出ヘッドと

、

画像情報に基づいて前記ノズルから液滴を記録媒体に吐出させるように前記液滴吐出ヘッドを制御するヘッド制御手段と、

を備えた液滴吐出装置。

#### 【請求項8】

容量性負荷に印加する電圧の基準となるデジタル信号をアナログ信号に変換して該アナログ信号を差動出力するデジタル・アナログ・コンバータを有する第1の基板とスイッチング素子を介して前記容量性負荷に接続された出力端を有するオペアンプであって、前記デジタル・アナログ・コンバータから差動出力された前記アナログ信号が入力され、入力された前記アナログ信号の電圧を増幅して出力するオペアンプを有する第2の基板とを、前記デジタル・アナログ・コンバータから出力された前記アナログ信号が前記オペアンプの入力端に入力されるように機械的に接続するコネクタを介して、前記第1の基板から所定信号を前記第2の基板にコネクタを介して送信し、

20

電力供給源から駆動用電力が供給されることによって駆動する差動増幅回路であって、前記第2の基板において前記オペアンプの前段に設けられると共に、前記デジタル・アナログ・コンバータから差動出力された前記アナログ信号が入力され、当該アナログ信号を差動増幅する差動増幅回路に対して、前記第2の基板において前記所定信号が受信されていない場合、前記駆動用電力が供給されないように、前記第2の基板に設けられた制御手段により前記差動増幅回路を制御する

30

信号処理方法。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、信号処理装置、液滴吐出装置及び信号処理方法に関する。

#### 【背景技術】

#### 【0002】

圧電素子に電圧を印加し、当該圧電素子を変形させることにより液滴を吐出する液滴吐出装置が知られている（例えば、特許文献1参照。）。

40

#### 【0003】

図12は、液滴吐出装置における圧電素子に電圧を印加する従来の駆動回路の構成例を示す回路図である。

#### 【0004】

同図に示されるように、この駆動回路300は、デジタル・アナログ・コンバータ302、オペアンプ304及び電流増幅回路306を含んで構成されている。デジタル・アナログ・コンバータ302、オペアンプ304及び電流増幅回路306は直列に接続されている。また、電流増幅回路306には、スイッチング素子308を介して圧電素子310

50

が接続されている。

【0005】

ここで、デジタル・アナログ・コンバータ302に対して圧電素子310に印加する電圧の基準となる電圧を示すデジタル信号が入力されると、デジタル・アナログ・コンバータ302では、当該デジタル信号がアナログ信号に変換される。そして、当該アナログ信号はオペアンプ304で電圧増幅され、電流増幅回路306で電流増幅されてスイッチング素子308に出力される。

【0006】

スイッチング素子308は、図示しないコントロール信号によって導通状態と切断状態との2つの状態の間で切り替えられ、スイッチング素子308が導通状態のときに圧電素子310に電流増幅回路306から出力されたアナログ信号の電圧が印加される。

10

【0007】

ところで、以上のような駆動回路は一般に1枚の基板上に構成されているため、当該駆動回路を構成している部品の一部が故障した場合でも、駆動回路全体を交換することになる。この場合、故障していない部品も交換することになってしまうため、コスト的な無駄が生じる。

【0008】

そこで、このような事態を回避する方法として、駆動回路を分割して複数の基板を構成し、故障している部品が含まれる基板のみ交換する方法が考えられる。この場合、駆動回路を分割する位置としては、オペアンプと電流増幅回路との間と、デジタル・アナログ・コンバータとオペアンプとの間とが考えられるが、前者の位置は、後者の位置と比較して、NPN, PNPトランジスタに電流を流すために接続する線を太く且つ短くする必要があり、且つ、負帰還ループもノイズ混入を避ける意味で短くする必要があることを考慮すると後者の位置の方が好ましい。

20

【0009】

ところで、上述したような駆動回路が構成された基板をデジタル・アナログ・コンバータとオペアンプとの間で分割して得られた各基板をコネクタを介して接続した場合、基板間の接続状態が良好であれば、スイッチング素子のドレイン - ソース間を導通状態にすることにより当該スイッチング素子を介して圧電素子に駆動用の電圧が印加される。なお、従来の駆動回路では、スイッチング素子のドレイン - ソース間に電位差が生じないように制御が行われる。

30

【特許文献1】特開2000-94670号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

しかしながら、コネクタの接続不良が生じた場合、スイッチング素子に圧電素子を駆動させるための電圧が印加されると、コネクタ接続の前後でスイッチング素子の両端において過大な電位差が生じてスイッチング素子が破損してしまう虞がある、という問題点があった。なお、この問題点は圧電素子に限らず、他の容量性負荷においても生じ得る問題点である。

40

【0011】

本発明は上記問題点を解決するために成されたものであり、コネクタの接続不良に起因するスイッチング素子の破損を防止することができる信号処理装置、液滴吐出装置及び信号処理方法を提供することを目的とする。

【課題を解決するための手段】

【0012】

上記目的を達成するために、請求項1に記載の信号処理装置は、容量性負荷に印加する電圧の基準となるデジタル信号をアナログ信号に変換して該アナログ信号を差動出力するデジタル・アナログ・コンバータを有する第1の基板と、スイッチング素子を介して前記容量性負荷に接続された出力端を有するオペアンプであって、前記デジタル・アナログ・

50

コンバータから差動出力された前記アナログ信号が入力され、入力された前記アナログ信号の電圧を増幅して出力するオペアンプを有する第2の基板と、前記デジタル・アナログ・コンバータから出力された前記アナログ信号が前記オペアンプの入力端に入力されるように前記第1の基板と前記第2の基板とを機械的に接続するコネクタと、前記第1の基板に設けられ、所定信号を前記第2の基板に前記コネクタを介して送信する送信手段と、電力供給源から駆動用電力が供給されることによって駆動する差動増幅回路であって、前記第2の基板において前記オペアンプの前段に設けられると共に、前記デジタル・アナログ・コンバータから差動出力された前記アナログ信号が入力され、当該アナログ信号を差動増幅する差動増幅回路と、前記第2の基板に設けられた制御手段であって、前記第2の基板において前記所定信号が受信されていない場合、前記差動増幅回路に前記駆動用電力が供給されないように前記差動増幅回路を制御する制御手段と、を備えている。

10

## 【0015】

このように、本発明によれば、コネクタを介して受信されるべき所定信号が受信されていない場合、当該コネクタに接続不良が生じているものとみなして、スイッチング素子を介して容量性負荷にアナログ信号の電圧が印加されないように制御を行うので、コネクタの接続不良に起因するスイッチング素子の破損を防止することができる。

## 【0016】

また、第2の基板において、コネクタの部分でアナログ信号に重畳されたノイズを小さくすることができる。

## 【0017】

また、低コストで、かつ確実にコネクタの接続不良に起因するスイッチング素子の破損を防止することができる。

20

## 【0018】

上記目的を達成するために、請求項2に記載の信号処理装置は、容量性負荷に印加する電圧の基準となるデジタル信号をアナログ信号に変換して該アナログ信号を差動出力するデジタル・アナログ・コンバータを有する第1の基板と、スイッチング素子を介して前記容量性負荷に接続された出力端を有するオペアンプであって、前記デジタル・アナログ・コンバータから差動出力された前記アナログ信号が入力され、入力された前記アナログ信号の電圧を増幅して出力するオペアンプを有する第2の基板と、前記デジタル・アナログ・コンバータから出力された前記アナログ信号が前記オペアンプの入力端に入力されるように前記第1の基板と前記第2の基板とを機械的に接続するコネクタと、前記第1の基板に設けられ、所定信号を前記第2の基板に前記コネクタを介して送信する送信手段と、前記第2の基板において前記オペアンプの前段に設けられると共に、前記デジタル・アナログ・コンバータから差動出力された前記アナログ信号が入力され、当該アナログ信号を差動増幅する差動増幅回路と、前記差動増幅回路と前記オペアンプとを電気的に接続可能なスイッチと、前記第2の基板に設けられた制御手段であって、前記第2の基板において前記所定信号が受信されていない場合、前記差動増幅回路と前記オペアンプとを電気的に切断するように前記スイッチをスイッチング制御する制御手段と、を備えている。

30

上記目的を達成するために、請求項3に記載の信号処理装置は、容量性負荷に印加する電圧の基準となるデジタル信号をアナログ信号に変換して該アナログ信号を差動出力するデジタル・アナログ・コンバータを有する第1の基板と、スイッチング素子を介して前記容量性負荷に接続された出力端を有するオペアンプであって、前記デジタル・アナログ・コンバータから差動出力された前記アナログ信号が入力され、入力された前記アナログ信号の電圧を増幅して出力するオペアンプを有する第2の基板と、前記デジタル・アナログ・コンバータから出力された前記アナログ信号が前記オペアンプの入力端に入力されるように前記第1の基板と前記第2の基板とを機械的に接続するコネクタと、前記第1の基板に設けられ、所定信号を前記第2の基板に前記コネクタを介して送信する送信手段と、前記スイッチング素子と前記出力端との間に挿入されると共に前記オペアンプと前記スイッチング素子とを電気的に接続可能なスイッチと、前記第2の基板に設けられた制御手段であって、前記第2の基板において前記所定信号が受信されていない場合、前記オペアンプ

40

50

と前記スイッチング素子とを電氣的に切断するように前記スイッチをスイッチング制御する制御手段と、を備えている。

上記目的を達成するために、請求項4に記載の信号処理装置は、複数の容量性負荷の各々に各々対応するように設けられると共に、各々対応する前記容量性負荷に印加する電圧の基準となるデジタル信号をアナログ信号に変換して該アナログ信号を差動出力する複数のデジタル・アナログ・コンバータを有する第1の基板と、前記複数のデジタル・アナログ・コンバータの各々に各々対応するように設けられると共に、各々スイッチング素子を介して対応する前記容量性負荷に接続された出力端を有する複数のオペアンプであって、対応する前記デジタル・アナログ・コンバータから差動出力された前記アナログ信号が入力され、入力された前記アナログ信号の電圧を増幅して出力する複数のオペアンプを有する第2の基板と、前記複数のデジタル・アナログ・コンバータの各々から出力された前記アナログ信号が対応する前記オペアンプの入力端に入力されるように前記第1の基板と前記第2の基板とを機械的に接続する複数のコネクタと、前記第1の基板に設けられ、所定信号を前記第2の基板に前記複数のコネクタを介して送信する送信手段と、電力供給源から駆動用電力が供給されることによって駆動する複数の差動増幅回路であって、前記第2の基板において各々対応する前記オペアンプの前段に設けられると共に、各々対応する前記デジタル・アナログ・コンバータから差動出力された前記アナログ信号が入力され、当該アナログ信号を差動増幅する複数の差動増幅回路と、前記第2の基板に設けられた制御手段であって、前記第2の基板において、前記送信手段により前記複数のコネクタの各々を介して送信された前記所定信号の少なくとも1つが受信されていない場合、該所定信号が介されるべき前記コネクタに対応する前記差動増幅回路に前記駆動用電力が供給されないように前記差動増幅回路を制御する制御手段と、を備えている。これにより、複数の容量性負荷に対応した駆動回路におけるコネクタの接続不良に起因するスイッチング素子の破損を防止することができる。

【0019】

また、第2の基板において、コネクタの部分でアナログ信号に重畳されたノイズを小さくすることができる。

【0020】

また、低コストで、かつ確実に、複数の容量性負荷に対応した駆動回路におけるコネクタの接続不良に起因するスイッチング素子の破損を防止することができる。

【0021】

上記目的を達成するために、請求項5に記載の信号処理装置は、複数の容量性負荷の各々に各々対応するように設けられると共に、各々対応する前記容量性負荷に印加する電圧の基準となるデジタル信号をアナログ信号に変換して該アナログ信号を差動出力する複数のデジタル・アナログ・コンバータを有する第1の基板と、前記複数のデジタル・アナログ・コンバータの各々に各々対応するように設けられると共に、各々スイッチング素子を介して対応する前記容量性負荷に接続された出力端を有する複数のオペアンプであって、対応する前記デジタル・アナログ・コンバータから差動出力された前記アナログ信号が入力され、入力された前記アナログ信号の電圧を増幅して出力する複数のオペアンプを有する第2の基板と、前記複数のデジタル・アナログ・コンバータの各々から出力された前記アナログ信号が対応する前記オペアンプの入力端に入力されるように前記第1の基板と前記第2の基板とを機械的に接続する複数のコネクタと、前記第1の基板に設けられ、所定信号を前記第2の基板に前記複数のコネクタを介して送信する送信手段と、前記第2の基板において各々対応する前記オペアンプの前段に設けられると共に、各々対応する前記デジタル・アナログ・コンバータから差動出力された前記アナログ信号が入力され、当該アナログ信号を差動増幅する複数の差動増幅回路と、前記複数の差動増幅回路の各々と各々対応する前記オペアンプとを電氣的に接続可能な複数のスイッチと、前記第2の基板に設けられた制御手段であって、前記第2の基板において、前記送信手段により前記複数のコネクタの各々を介して送信された前記所定信号の少なくとも1つが受信されていない場合、該所定信号が介されるべき前記コネクタに対応する前記差動増幅回路と該差動増幅回路

に対応する前記オペアンプとを電氣的に切断するように、対応する前記スイッチをスイッチング制御する制御手段と、を備えている。

上記目的を達成するために、請求項6に記載の信号処理装置は、複数の容量性負荷の各々に各々対応するように設けられると共に、各々対応する前記容量性負荷に印加する電圧の基準となるデジタル信号をアナログ信号に変換して該アナログ信号を差動出力する複数のデジタル・アナログ・コンバータを有する第1の基板と、前記複数のデジタル・アナログ・コンバータの各々に各々対応するように設けられると共に、各々スイッチング素子を介して対応する前記容量性負荷に接続された出力端を有する複数のオペアンプであって、対応する前記デジタル・アナログ・コンバータから差動出力された前記アナログ信号が入力され、入力された前記アナログ信号の電圧を増幅して出力する複数のオペアンプを有する第2の基板と、前記複数のデジタル・アナログ・コンバータの各々から出力された前記アナログ信号が対応する前記オペアンプの入力端に入力されるように前記第1の基板と前記第2の基板とを機械的に接続する複数のコネクタと、前記第1の基板に設けられ、所定信号を前記第2の基板に前記複数のコネクタを介して送信する送信手段と、前記複数のオペアンプの各々について、前記スイッチング素子と前記出力端との間に挿入されると共に前記オペアンプの各々と対応する前記スイッチング素子とを電氣的に接続可能な複数のスイッチと、前記第2の基板に設けられた制御手段であって、前記第2の基板において、前記送信手段により前記複数のコネクタの各々を介して送信された前記所定信号の少なくとも1つが受信されていない場合、該所定信号が介されるべき前記コネクタに対応する前記オペアンプと該オペアンプに対応する前記スイッチング素子とを電氣的に切断するように、対応する前記スイッチをスイッチング制御する制御手段と、を備えている。

一方、上記目的を達成するために、請求項7に記載の液滴吐出装置は、請求項1～請求項6の何れか1項に記載の信号処理装置を備え、前記容量性負荷は圧電素子であり、前記圧電素子が駆動されることにより液滴を吐出するノズルを有する液滴吐出ヘッドと、画像情報に基づいて前記ノズルから液滴を記録媒体に吐出させるように前記液滴吐出ヘッドを制御するヘッド制御手段と、を備えている。

【0022】

請求項7に記載の液滴吐出装置によれば、圧電素子が駆動されることにより液滴吐出ヘッドのノズルから液滴が吐出される。また、ヘッド制御手段により、画像情報に基づいてノズルから液滴を記録媒体に吐出させるように液滴吐出ヘッドが制御される。

【0025】

従って、本発明の液滴吐出装置によれば、本発明の信号処理装置を有しているので、当該信号処理装置と同様に、コネクタの接続不良に起因するスイッチング素子の破損を防止することができる。

【0026】

一方、上記目的を達成するために、請求項8に記載の信号処理方法は、容量性負荷に印加する電圧の基準となるデジタル信号をアナログ信号に変換して該アナログ信号を差動出力するデジタル・アナログ・コンバータを有する第1の基板とスイッチング素子を介して前記容量性負荷に接続された出力端を有するオペアンプであって、前記デジタル・アナログ・コンバータから差動出力された前記アナログ信号が入力され、入力された前記アナログ信号の電圧を増幅して出力するオペアンプを有する第2の基板とを、前記デジタル・アナログ・コンバータから出力された前記アナログ信号が前記オペアンプの入力端に入力されるように機械的に接続するコネクタを介して、前記第1の基板から所定信号を前記第2の基板にコネクタを介して送信し、電力供給源から駆動用電力が供給されることによって駆動する差動増幅回路であって、前記第2の基板において前記オペアンプの前段に設けられると共に、前記デジタル・アナログ・コンバータから差動出力された前記アナログ信号が入力され、当該アナログ信号を差動増幅する差動増幅回路に対して、前記第2の基板において前記所定信号が受信されていない場合、前記駆動用電力が供給されないように、前記第2の基板に設けられた制御手段により前記差動増幅回路を制御するものとしている。

【0027】

10

20

30

40

50

従って、本発明の信号処理方法によれば、請求項 1 記載の発明と同様に作用するので、請求項 1 記載の発明と同様に、コネクタの接続不良に起因するスイッチング素子の破損を防止することができる。

【発明の効果】

【0028】

本発明によれば、コネクタの接続不良に起因するスイッチング素子の破損を防止することができる、という効果が得られる。

【発明を実施するための最良の形態】

【0029】

以下、図面を参照して本発明を実施するための最良の形態について詳細に説明する。なお、以下の実施形態では、本発明に係る液滴吐出装置をインクジェット記録装置に適用した場合について説明する。

【0030】

〔第 1 の実施形態〕

【0031】

図 1 は、本第 1 の実施形態に係るインクジェット記録装置の全体構成を示す構成図である。

【0032】

同図に示すように、インクジェット記録装置 110 は、ブラック (K)、シアン (C)、マゼンタ (M)、イエロー (Y) の各インクに対応して設けられた複数のインクジェット記録ヘッド (以下、ヘッドという。) 112K, 112C, 112M, 112Y を有する印字部 112 と、各ヘッド 112K, 112C, 112M, 112Y に供給するインクを貯蔵しておくインク貯蔵部 114 と、記録媒体たる記録紙 116 を供給する給紙部 118 と、記録紙 116 のカールを除去するデカール処理部 120 と、印字部 112 のノズル面 (インク吐出面) に対向して配置され、記録紙 116 の平面性を保持しながら記録紙 116 を搬送するベルト搬送部 122 と、記録済みの記録紙 (プリント物) を外部に排紙する排紙部 126 と、を備えている。なお、本明細書でいう「印字」とは、文字の印刷の他に画像の印刷も含む。

【0033】

インク貯蔵部 114 は、各ヘッド 112K, 112C, 112M, 112Y に対応する色のインクを貯蔵するインクタンクを有し、各タンクは所要の管路を介してヘッド 112K, 112C, 112M, 112Y と連通されている。また、インク貯蔵部 114 は、インク残量が少なくなるとその旨を報知する報知手段を備えるとともに、色間の誤装填を防止するための機構を有している。

【0034】

図 1 では、給紙部 118 の一例としてロール紙 (連続用紙) のマガジンが示されているが、紙幅や紙質等が異なる複数のマガジンを併設しても良い。また、ロール紙のマガジンに代えて、又はこれと併用して、カット紙が積層装填されたカセットによって用紙を供給しても良い。

【0035】

複数種類の記録媒体 (メディア) を利用可能な構成にした場合、メディアの種類情報を記録したバーコード或いは無線タグなどの情報記録体をマガジンに取り付け、その情報記録体の情報を所定の読取装置によって読み取ることで、使用される記録媒体の種類 (メディア種) を自動的に判別し、メディア種に応じて適切なインク吐出を実現するようにインク吐出制御を行うことが好ましい。

【0036】

給紙部 118 から送り出される記録紙 116 はマガジンに装填されていたことによる巻きクセが残り、カールする。このカールを除去するために、デカール処理部 120 においてマガジンの巻きクセ方向と逆方向に加熱ドラム 130 で記録紙 116 に圧力を加えながら熱を与える。このとき、多少印字面が外側に弱いカールとなるように加熱温度を制御す

10

20

30

40

50

るとより好ましい。

【0037】

ロール紙を使用する装置構成の場合、図1のように、裁断用のカッター128が設けられており、該カッター128によってロール紙は所望のサイズにカットされる。なお、カット紙を使用する場合には、カッター128は不要である。

【0038】

デカール処理後、カットされた記録紙116は、ベルト搬送部122へと送られる。ベルト搬送部122は、ローラ131, 132間に無端状のベルト133が巻き掛けられた構造を有するように構成されている。

【0039】

ベルト133は、記録紙116の幅よりも広い幅寸法を有しており、ベルト面には多数の吸引穴(不図示)が形成されている。同図に示されるように、ローラ131, 132間に掛け渡されたベルト133の内側において印字部112のノズル面には吸着チャンバ134が設けられており、この吸着チャンバ134をファン135で吸引して負圧にすることによって記録紙116がベルト133上に吸着保持される。なお、吸引吸着方式に代えて、静電吸着方式を採用してもよい。

【0040】

ベルト133が巻かれているローラ131, 132の少なくとも一方に図示しないモータの動力が伝達されることにより、ベルト133は図1上の時計回り方向に駆動され、ベルト133上に保持された記録紙116は図1の左から右へと搬送される。

【0041】

縁無しプリント等を印字するとベルト133上にもインクが付着するので、ベルト133の外側の所定位置(印字領域以外の適当な位置)にベルト清掃部136が設けられている。ベルト清掃部136の構成について詳細は図示しないが、例えば、ブラシ・ロール、吸水ロール等をニップする方式、清浄エアーを吹き掛けるエアブロー方式、或いはこれらの組合せなどがある。清掃用ロールをニップする方式の場合、ベルト線速度とローラ線速度を変えると清掃効果が大きい。

【0042】

なお、ベルト搬送部122に代えて、ローラ・ニップ搬送機構を用いる態様も考えられるが、印字領域をローラ・ニップ搬送すると、印字直後に用紙の印字面をローラが接触するので画像が滲み易いという問題がある。したがって、本例のように、印字領域では画像面を接触させない吸着ベルト搬送が好ましい。

【0043】

ベルト搬送部122により形成される用紙搬送路上において印字部112の上流側には、加熱ファン140が設けられている。加熱ファン140は、印字前の記録紙116に加熱空気を吹き付け、記録紙116を加熱する。印字直前に記録紙116を加熱しておくことにより、インクが着弾後乾き易くなる。

【0044】

印字部112の各ヘッド112K, 112C, 112M, 112Yは、当該インクジェット記録装置110が対象とする記録紙116の最大紙幅に対応する長さを有し、そのノズル面には最大サイズの記録紙116の少なくとも一辺を超える長さ(描画可能範囲の全幅)にわたりインク吐出用のノズルが複数配列されたフルライン型のヘッドとなっている(図2参照)。

【0045】

ヘッド112K, 112C, 112M, 112Yは、記録紙116の送り方向に沿って上流側からK, C, M, Yの色順に配置され、それぞれのヘッド112K, 112C, 112M, 112Yが記録紙116の搬送方向と略直交する方向に沿って延在するように固定設置される。

【0046】

ベルト搬送部122により記録紙116を搬送しつつ各ヘッド112K, 112C, 1

10

20

30

40

50

1 2 M , 1 1 2 Y からそれぞれ異色のインクを吐出することにより記録紙 1 1 6 上にカラー画像を形成し得る。

【 0 0 4 7 】

このように、紙幅の全域をカバーするノズル列を有するフルライン型のヘッド 1 1 2 K , 1 1 2 C , 1 1 2 M , 1 1 2 Y を色別に設ける構成によれば、紙送り方向（副走査方向）について記録紙 1 1 6 と印字部 1 1 2 とを相対的に移動させる動作を 1 回行うだけで（すなわち 1 回の副走査で）、記録紙 1 1 6 の全面に画像を記録することができる。これにより、記録ヘッドが紙搬送方向と直交する方向に往復動作するシャトル型ヘッドに比べて高速印字が可能であり、生産性を向上させることができる。

【 0 0 4 8 】

なお、本第 1 の実施形態では、K , C , M , Y の標準色（4 色）の構成を例示したが、インク色や色数の組合せについてはこれに限定する必要はなく、必要に応じて淡インク、濃インク、特別色インクを追加しても良い。例えば、ライトシアン、ライトマゼンタなどのライト系インクを吐出するインクジェットヘッドを追加する構成も可能である。また、各色ヘッドの配置順序も特に限定はない。

【 0 0 4 9 】

ベルト搬送部 1 2 2 により形成される用紙搬送路上において印字部 1 1 2 の下流側には後乾燥部 1 4 2 が設けられている。後乾燥部 1 4 2 は、印字された画像面を乾燥させる手段であり、例えば、加熱ファンが用いられる。印字後のインクが乾燥するまでは印字面と接触することは避けたほうが好ましいので、熱風を吹き付ける方式が好ましい。

【 0 0 5 0 】

多孔質のペーパーに染料系インクで印字した場合などでは、加圧によりペーパーの孔を塞ぐことでオゾンなど、染料分子を壊す原因となるものと接触することを防ぐことで画像の耐候性がアップする効果がある。

【 0 0 5 1 】

後乾燥部 1 4 2 の後段には、加熱・加圧部 1 4 4 が設けられている。加熱・加圧部 1 4 4 は、画像表面の光沢度を制御するための手段であり、画像面を加熱しながら所定の表面凹凸形状を有する加圧ローラ 1 4 5 で加圧し、画像面に凹凸形状を転写する。

【 0 0 5 2 】

こうして生成されたプリント物は排紙部 1 2 6 から排出される。本来プリントすべき本画像（目的の画像を印刷したもの）とテスト印字とは分けて排出することが好ましい。

【 0 0 5 3 】

なお、本第 1 の実施形態に係るインクジェット記録装置 1 1 0 では、本画像のプリント物と、テスト印字のプリント物とを選別してそれぞれの排出部 1 2 6 A , 1 2 6 B へと送るために排紙経路を切り換える不図示の選別手段が設けられている。

【 0 0 5 4 】

なお、大きめの用紙に本画像とテスト印字とを同時に並列に形成する場合は、カッター 1 4 8 によってテスト印字の部分を切り離す。また、図には示さないが、本画像の排出部 1 2 6 A には、オーダー別に画像を集積するソーターが設けられる。

【 0 0 5 5 】

次に、ヘッドの構造について説明する。色別の各ヘッド 1 1 2 K , 1 1 2 C , 1 1 2 M , 1 1 2 Y の構造は共通しているので、以下、これらを代表して符号 1 5 0 によってヘッドを示すものとする。

【 0 0 5 6 】

図 3 はヘッド 1 5 0 の構造例を示す平面透視図であり、図 4 はその一部の拡大図である。また、図 5 は 1 つの液滴吐出素子（1 つのノズル 1 5 1 に対応したインク室ユニット）の立体的構成を示す断面図（図 4 中の 3 3 - 3 3 線に沿う断面図）である。

【 0 0 5 7 】

記録紙 1 1 6 上に印字されるドットピッチを高密度化するためには、ヘッド 1 5 0 におけるノズルピッチを高密度化する必要がある。本第 1 の実施形態に係るヘッド 1 5 0 は、

10

20

30

40

50

図3及び図4に示されるように、インク吐出口であるノズル151と、各ノズル151に対応する圧力室152等からなる複数のインク室ユニット（液滴吐出素子）153を千鳥でマトリクス状に（2次元的に）配置させた構造を有し、これにより、ヘッド長手方向（紙送り方向と直交する方向）に沿って並ぶように投影される実質的なノズル間隔（投影ノズルピッチ）の高密度化を達成している。

【0058】

なお、記録紙116の送り方向と略直交する方向に記録紙116の全幅に対応する長さにわたり1列以上のノズル列を構成する形態は本例に限定されない。

【0059】

各ノズル151に対応して設けられている圧力室152は、その平面形状が概略正方形となっており（図3及び図4参照）、対角線上の両隅部の一方にノズル151への流出口が設けられ、他方に供給インクの流入口（供給口）154が設けられている。なお、圧力室152の形状は、本例に限定されず、平面形状が四角形（菱形、長方形など）、五角形、六角形その他の多角形、円形、楕円形など、多様な形態があり得る。

【0060】

図5に示されるように、各圧力室152は供給口154を介して共通流路155と連通されている。共通流路155はインク供給源たるインクタンク（図示省略）と連通しており、インクタンクから供給されるインクは共通流路155を介して各圧力室152に分配供給される。

【0061】

圧力室152の一部の面（図5において天面）を構成している加圧板（共通電極と兼用される振動板）156には個別電極157を備えたアクチュエータ158が接合されている。

【0062】

なお、本第1の実施形態に係るアクチュエータ158には、チタン酸ジルコン酸鉛やチタン酸バリウムなどの圧電体を用いた圧電素子が用いられている。

【0063】

アクチュエータ158は、個別電極157と共通電極間に駆動電圧を印加することによって変形して圧力室152の容積が変化し、これに伴う圧力変化によりノズル151からインクが吐出される。本第1の実施形態に係るインク室ユニット153では、インク吐出後、アクチュエータ158の変位が元に戻る際に、共通流路155から供給口154を通過して新しいインクが圧力室152に再充填される。

【0064】

従って、本第1の実施形態に係るインクジェット記録装置110では、画像情報から生成されるドット配置データに応じて各ノズル151に対応したアクチュエータ158の駆動を制御することにより、ノズル151からインク滴（液滴）を吐出させることができる。また、本第1の実施形態に係るインクジェット記録装置110では、記録媒体たる記録紙116を一定の速度で副走査方向に搬送しながら、その搬送速度に合わせて各ノズル151のインク吐出タイミングを制御することによって、記録紙116上に所望の画像を記録することができる。

【0065】

上述した構造を有するインク室ユニット153を図6に示す如く主走査方向に沿う行方向及び主走査方向に対して直交しない一定の角度を有する斜めの列方向に沿って一定の配列パターンで格子状に多数配列させることにより、本第1の実施形態の高密度ノズルヘッドが実現されている。

【0066】

すなわち、主走査方向に対してある角度 $\theta$ の方向に沿ってインク室ユニット153を一定のピッチ $d$ で複数配列する構造により、主走査方向に並ぶように投影されたノズルのピッチ $P$ は $d \times \cos \theta$ となり、主走査方向については、各ノズル151が一定のピッチ $P$ で直線状に配列されたものと等価的に取り扱うことができる。このような構成により、主走

10

20

30

40

50

査方向に並ぶように投影されるノズル列が1インチ当たり2400個(2400ノズル/インチ)におよぶ高密度のノズル構成を実現することが可能になる。

【0067】

なお、本実施形態では、上述したフルラインヘッドと用紙とを相対移動することによって、上述した主走査で形成された1ライン(1列のドットによるライン又は複数列のドットから成るライン)の印字を繰り返し行うことを副走査と定義する。

【0068】

また、本実施形態では、上述の主走査によって記録される1ライン(或いは帯状領域の長手方向)の示す方向を主走査方向といい、上述の副走査を行う方向を副走査方向という。すなわち、本実施形態では、記録紙116の搬送方向が副走査方向であり、それに直交する方向が主走査方向ということになる。

【0069】

図7は、インクジェット記録装置110の電気系の要部構成を示すブロック図である。

【0070】

同図に示されるように、インクジェット記録装置110は、ヘッド150、システム制御部198、プリント制御部180及びヘッドドライバ190を含んで構成される。

【0071】

システム制御部198は、通信インタフェース170、システムコントローラ172、画像メモリ174、ROM175、モータドライバ176、ヒータドライバ178等を備えている。

【0072】

通信インタフェース170は、ユーザが当該インクジェット記録装置110に対して印刷の指示等を行うため等に用いられるホスト装置10とのインタフェース部である。通信インタフェース170にはUSB(Universal Serial Bus)、IEEE1394、イーサネット(登録商標)、無線ネットワークなどのシリアルインタフェースやセントロニクスなどのパラレルインタフェースを適用することができる。この部分には、通信を高速化するためのバッファメモリ(図示省略)を搭載しても良い。

【0073】

ホスト装置10から送出された記録紙116に形成すべき画像を示す画像情報は通信インタフェース170を介してインクジェット記録装置110に取り込まれ、一旦画像メモリ174に記憶される。画像メモリ174は、通信インタフェース170を介して入力された画像を記憶する記憶手段であり、システムコントローラ172を通じてデータの読み書きが行われる。画像メモリ174は、半導体素子からなるメモリに限らず、ハードディスクなど磁気媒体を用いてもよい。

【0074】

システムコントローラ172は、中央演算処理装置(CPU)及びその周辺回路等から構成され、所定のプログラムに従ってインクジェット記録装置110の全体を制御する制御装置として機能するとともに、各種演算を行う演算装置として機能する。すなわち、システムコントローラ172は、通信インタフェース170、画像メモリ174、モータドライバ176、ヒータドライバ178、プリント制御部180等の各部を制御し、ホスト装置10との間の通信制御、画像メモリ174及びROM175の読み書き制御等を行うと共に、搬送系のモータ188やヒータ189を制御する制御信号を生成する。なお、プリント制御部180に対しては、制御信号の他に、画像メモリ174に記憶された画像情報を送信する。

【0075】

また、ROM175には、システムコントローラ172のCPUや後述するヘッドドライバ190のCPU206が実行するプログラム及び制御に必要な各種データなどが格納されている。ROM175は、書換不能な記憶手段であってもよいが、各種のデータを必要に応じて更新する場合は、EEPROMのような書換可能な記憶手段を用いることが好ましい。

10

20

30

40

50

## 【 0 0 7 6 】

画像メモリ 1 7 4 は、画像データの一時記憶領域として利用されるとともに、プログラムの展開領域及び CPU の演算作業領域としても利用される。

## 【 0 0 7 7 】

モータドライバ 1 7 6 は、システムコントローラ 1 7 2 からの指示に従って搬送系のモータ 1 8 8 を駆動するドライバ（駆動回路）である。ヒータドライバ 1 7 8 は、システムコントローラ 1 7 2 からの指示に従って後乾燥部 1 4 2 等のヒータ 1 8 9 を駆動するドライバである。

## 【 0 0 7 8 】

プリント制御部 1 8 0 は、システムコントローラ 1 7 2 の制御に従い、システム制御部 1 9 8 から送信された画像情報に基づいてヘッドドライバ 1 9 0 を介してヘッド 1 5 0 を制御する。

10

## 【 0 0 7 9 】

図 8 は、本第 1 の実施形態に係るインクジェット記録装置 1 1 0 のヘッド 1 5 0 及びヘッドドライバ 1 9 0 の構成を示す構成図である。

## 【 0 0 8 0 】

同図に示されるように、ヘッドドライバ 1 9 0 は、第 1 の基板 2 0 0 及び第 2 の基板 2 0 2 を含んで構成されている。第 1 の基板 2 0 0 及び第 2 の基板 2 0 2 はコネクタ 2 0 4 A とコネクタ 2 0 4 B とによりハーネスを介して機械的に接続されている。以下、コネクタ 2 0 4 A とコネクタ 2 0 4 B とを区別する必要がない場合には単に「コネクタ 2 0 4 」

20

## 【 0 0 8 1 】

第 1 の基板 2 0 0 は、CPU 2 0 6 及びデジタル・アナログ・コンバータ（以下、「D/A 変換器」という。）2 0 8 を含んで構成されている。

## 【 0 0 8 2 】

CPU 2 0 6 は、プリント制御部 1 8 0 に接続されており、プリント制御部 1 8 0 から入力される画像情報に基づいてヘッド 1 5 0 及びヘッドドライバ 1 9 0 の作動を制御する。なお、本第 1 の実施形態に係るインクジェット記録装置 1 1 0 では、CPU 2 0 6 がプリント制御部 1 8 0 から入力された画像情報に基づいてアクチュエータ 1 5 8 に印加する電圧の基準となる電圧を示すデジタル信号を生成し、当該デジタル信号を D/A 変換器 2 0 8 に出力する。

30

## 【 0 0 8 3 】

D/A 変換器 2 0 8 は、CPU 2 0 6 から入力されたデジタル信号をアナログ信号に変換して出力するものである。なお、本第 1 の実施形態に係るインクジェット記録装置 1 1 0 では、D/A 変換器 2 0 8 によって上記アナログ信号が、一例として図 9 に示すように差動出力される。

## 【 0 0 8 4 】

一方、第 2 の基板 2 0 2 は、差動増幅回路 2 1 0、アンプ 2 1 2、CPU 2 1 4、DC-DC コンバータ 2 1 6、ROM 2 2 8 及び RAM 2 3 0 を含んで構成されている。

## 【 0 0 8 5 】

40

差動増幅回路 2 1 0 は、入力端がコネクタ 2 0 4 を介して D/A 変換器 2 0 8 の出力端に接続されており、D/A 変換器 2 0 8 から差動出力されたアナログ信号が入力され、当該アナログ信号を差動増幅して出力する。

## 【 0 0 8 6 】

アンプ 2 1 2 は、レベルシフト回路 2 1 8、オペアンプ 2 2 0 及び電流増幅回路 2 2 2 を含んで構成されている。

## 【 0 0 8 7 】

レベルシフト回路 2 1 8 は、オペアンプ 2 2 3 及び直流電源 2 2 4 を含んで構成されている。オペアンプ 2 2 3 は、非反転入力端が差動増幅回路 2 1 0 の出力端に、反転入力端が、マイナス端子が接地された直流電源 2 2 4 のプラス端子に、出力端がオペアンプ 2 2

50

0の非反転入力端に各々接続されており、差動増幅回路210から入力されたアナログ信号を電圧レベルを所定の電圧レベル(ヘッド150が良好な液滴吐出を行うことができるものとして予め定められた電圧レベル)だけ嵩上げてオペアンプ220に出力する。

【0088】

オペアンプ220は、反転入力端が抵抗 $R_1$ を介して接地されており、出力端が電流増幅回路222の入力端に接続されており、レベルシフト回路218から入力されたアナログ信号を電圧を増幅して電流増幅回路222に出力する。

【0089】

電流増幅回路222は、オペアンプ220から入力されたアナログ信号を電流を増幅してヘッド150に出力するものであり、NPNトランジスタ222aとPNPトランジスタ222bとを含んで構成されている。NPNトランジスタ222aは、ベースがオペアンプ220の出力端に、コレクタが直流電源 $V_H$ に、エミッタがPNPトランジスタ222bのエミッタに、各々接続されており、PNPトランジスタ222bは、ベースがオペアンプ220の出力端に、コレクタがグランドに各々接続されている。また、NPNトランジスタ222a及びPNPトランジスタ222bの各エミッタは、抵抗 $R_2$ を介してオペアンプ220の反転入力端に接続されている。

10

【0090】

DC-DCコンバータ216は、差動増幅回路210に駆動用の電力を供給するものであり、差動増幅回路210は当該電力が供給されることにより作動する。

【0091】

20

CPU214は、第2の基板202の各部の作動を制御するものである。CPU214は、ROM228及びRAM230の各々に接続されている。また、CPU214は、コネクタ204を介してCPU206に接続されている。更に、CPU214は、DC-DCコンバータ216に接続されている。

【0092】

なお、ROM228には、CPU214が実行するプログラム及び制御に必要な各種データなどが格納されている。また、RAM230は、各種データの一時記憶領域として利用されるとともに、プログラムの展開領域及びCPU214の演算作業領域としても利用される。

【0093】

30

ヘッド150は、各アクチュエータ158に個別に対応する複数のスイッチ226を含んで構成されている。

【0094】

スイッチ226は、単極単投型スイッチであり、電流増幅回路222の出力端とアクチュエータ158とを接続状態及び非接続状態の2つの状態の間で切り替えるものである。

【0095】

ここで、各スイッチ226はCPU206に接続されている。CPU206は、各スイッチ226を制御するスイッチ制御信号をスイッチ226毎に生成して、対応するスイッチ226に出力する。

【0096】

40

なお、本第1の実施形態では、スイッチ制御信号がハイ・レベルのとき、対応するスイッチ226がオン状態となり、スイッチ制御信号がロー・レベルのとき、対応するスイッチ226がオフ状態となるが、これに限らず、スイッチ制御信号がロー・レベルのとき、対応するスイッチ226がオン状態となり、スイッチ制御信号がハイ・レベルのとき、対応するスイッチ226がオフ状態となるようにしても良いことは言うまでもない。

【0097】

次に、本第1の実施形態に係るインクジェット記録装置110の作用を説明する。

【0098】

本第1の実施形態に係るインクジェット記録装置110では、稼動時に、第1の基板200に設けられたCPU206により、所定信号がコネクタ204を介して第2の基板2

50

02に出力される。また、プリント制御部180からCPU206に画像情報が入力されると、CPU206により、当該画像情報に基づいてデジタル信号及びスイッチ制御信号が生成され、当該デジタル信号がD/A変換器208に、当該スイッチ制御信号が各スイッチ226に各々出力される。D/A変換器208では、CPU206から入力されたデジタル信号がアナログ信号に変換され、当該アナログ信号がコネクタ204を介して第2の基板202に出力される。

【0099】

これに対し、第2の基板202に設けられたCPU214では、電圧印加制御処理が実行される。

【0100】

以下、図10を参照して、この際の第2の基板202の作用を説明する。なお、図10は、この際にCPU214によって実行される電圧印加制御処理プログラムの処理の流れを示すフローチャートであり、当該プログラムはROM228の所定領域に予め記憶されている。

【0101】

同図のステップ300では、CPU206から出力された所定信号を受信したか否かを判定し、肯定判定となった場合にはステップ302へ移行して、スイッチ226を介してアクチュエータ158にアナログ信号の電圧が印加されるように制御（以下、「電圧印加制御」という。）を行い、その後ステップ304へ移行する。

【0102】

本第1の実施形態に係るインクジェット記録装置110では、上記電圧印加制御として、差動増幅回路210を作動させる制御（一例として、DC-DCコンバータ216に対して差動増幅回路210に駆動用の電力を供給させる処理）を適用している。

【0103】

なお、上記電圧印加制御は、これに限らず、例えば、差動増幅回路210とレベルシフト回路218との接続配線を接続と切断の2つの状態間で切り替えるスイッチを設け、差動増幅回路210とレベルシフト回路218とが接続状態となるように当該スイッチを制御する処理を適用しても良い。また、レベルシフト回路218とオペアンプ220との接続配線を接続と切断の2つの状態間で切り替えるスイッチを設け、レベルシフト回路218とオペアンプ220とが接続状態となるように当該スイッチを制御する処理を適用しても良い。また、電流増幅回路222とスイッチ226との接続配線を接続と切断の2つの状態間で切り替えるスイッチを設け、電流増幅回路222とスイッチ226とが接続状態となるように当該スイッチを制御する処理を適用しても良い。

【0104】

このように、上記電圧印加制御は、スイッチ226を介してアクチュエータ158にアナログ信号の電圧が印加されるように制御を行う処理であれば如何なるものも適用できる。

【0105】

ステップ304では、画像形成（印字）を停止する条件が満足されたか否かを判定し、否定判定となった場合にはステップ300へ戻る一方、肯定判定となった場合には本電圧印加制御処理プログラムを終了する。

【0106】

なお、本第1の実施形態に係るインクジェット記録装置110では、上記画像形成を停止する条件として、インクジェット記録装置110の電源スイッチが切られた、との条件を適用しているが、これに限らず、給紙ユニット34の記録紙116が無くなった、との条件やインクジェット記録装置110において良好な画像形成を行うことができなくなるものとして予め定められた故障が発生した、との条件等を適用しても良い。

【0107】

一方、ステップ300において否定判定となった場合にはステップ306へ移行し、スイッチ226を介してアクチュエータ158にアナログ信号の電圧が印加されないように

10

20

30

40

50

制御（以下、「電圧印加禁止制御」という。）を行い、本電圧印加制御処理プログラムを終了する。

【0108】

本第1の実施形態に係るインクジェット記録装置110では、上記電圧印加禁止制御として、差動増幅回路210を作動させない制御（一例として、DC-DCコンバータ216に対して差動増幅回路210への駆動用の電力の供給を行わせない処理）を適用している。

【0109】

なお、上記電圧印加禁止制御は、これに限らず、例えば、差動増幅回路210とレベルシフト回路218との接続配線を接続と切断の2つの状態間で切り替えるスイッチを設け、差動増幅回路210とレベルシフト回路218とが非接続状態となるように当該スイッチを制御する処理を適用しても良い。また、レベルシフト回路218とオペアンプ220との接続配線を接続と切断の2つの状態間で切り替えるスイッチを設け、レベルシフト回路218とオペアンプ220とが非接続状態となるように当該スイッチを制御する処理を適用しても良い。更に、電流増幅回路222とスイッチ226との接続配線を接続と切断の2つの状態間で切り替えるスイッチを設け、電流増幅回路222とスイッチ226とが非接続状態となるように当該スイッチを制御する処理を適用しても良い。

【0110】

このように、上記電圧印加禁止制御は、スイッチ226を介してアクチュエータ158にアナログ信号の電圧が印加されないように制御を行う処理であれば如何なるものも適用できる。

【0111】

以上詳細に説明したように、本第1の実施形態に係るインクジェット記録装置110によれば、容量性負荷（ここでは、アクチュエータ158）に印加する電圧の基準となるデジタル信号をアナログ信号に変換して出力するD/A変換器208を有する第1の基板200と、出力端がスイッチング素子（ここでは、スイッチ226）を介して容量性負荷に接続され、アナログ信号を電圧を増幅して出力するオペアンプ220を有する第2の基板202と、D/A変換器208から出力されたアナログ信号がオペアンプ220の入力端に入力されるように第1の基板200と第2の基板202とを機械的に接続するコネクタ204と、第1の基板200に設けられ、所定信号を第2の基板202にコネクタ204を介して送信する送信手段（ここでは、CPU206）と、第2の基板202において所定信号が受信されていない場合、スイッチング素子を介して容量性負荷にアナログ信号の電圧が印加されないように制御を行う制御手段（ここでは、CPU214）と、を備えることにより、コネクタ204を介して受信されるべき所定信号が受信されていない場合、当該コネクタ204に接続不良が生じているものとみなして、スイッチング素子を介して容量性負荷にアナログ信号の電圧が印加されないように制御を行うので、コネクタ204の接続不良に起因するスイッチング素子の破損を防止することができる。

【0112】

また、本第1の実施形態に係るインクジェット記録装置110によれば、D/A変換器208がアナログ信号を差動出力し、第2の基板202においてオペアンプ220の前段に設けられ、D/A変換器208から差動出力されたアナログ信号が入力され、当該アナログ信号を差動増幅する差動増幅回路210を更に備えたので、第2の基板202において、コネクタ204の部分でアナログ信号に重畳されたノイズを小さくすることができる。

【0113】

更に、本第1の実施形態に係るインクジェット記録装置110によれば、制御手段が差動増幅回路210を作動させないように制御を行うことにより、容量性負荷にアナログ信号の電圧が印加されないように制御を行うので、低コストで、かつ確実に、コネクタ204の接続不良に起因するスイッチング素子の破損を防止することができる。

【0114】

## 〔第2の実施形態〕

## 【0115】

次に、第2の実施形態について説明する。なお、本第2の実施形態において、第1の実施形態と同一の部分には同一の符号を付し、説明を省略する。

## 【0116】

図11は本第2の実施形態に係るインクジェット記録装置110Bのヘッド150B及びヘッドドライバ190Bの構成を示す構成図である。

## 【0117】

同図に示されるように、インクジェット記録装置110Bは、ヘッド150に代えてヘッド150Bを備えている点、ヘッドドライバ190に代えてヘッドドライバ190Bを備えている点のみが上記第1の実施形態で説明したインクジェット記録装置110と異なっている。なお、以下、インクジェット記録装置110Bについて、インクジェット記録装置110と異なる部分のみを説明する。

10

## 【0118】

ヘッドドライバ190Bは、第1の基板200B及び第2の基板202Bを含んで構成されている。

## 【0119】

第1の基板200Bは、CPU206及び複数のD/A変換器208を含んで構成されている。複数のD/A変換器208の各々はCPU206に接続されている。

## 【0120】

第2の基板202Bは、複数のD/A変換器208の各々に対応して設けられた複数の差動増幅回路210、各差動増幅回路210に対応して設けられた複数のアンプ212、CPU214、DC-DCコンバータ216、ROM228、RAM230及びアンドゲート240を含んで構成されている。

20

## 【0121】

ヘッドドライバ190Bは、複数のコネクタ204を備えている。複数のコネクタ204の各々は、対応するD/A変換器208から出力されたアナログ信号が対応する差動増幅回路210の入力端に入力されるように第1の基板200Bと第2の基板202Bとを機械的に接続している。

## 【0122】

CPU214は、アンドゲート240の出力端に接続されている。アンドゲート240は、複数のコネクタ204の各々に対応する複数の入力端を有しており、複数の入力端は、各々対応するコネクタ204を介してCPU206に接続されている。

30

## 【0123】

なお、本第2の実施形態に係るインクジェット記録装置110Bでは、CPU206が複数のコネクタ204の各々に対して所定信号を生成し、生成した各所定信号を対応するコネクタ204を介してアンドゲート240に出力する。

## 【0124】

ヘッド150Bは、複数のアクチュエータ158と、各アクチュエータ158に対応する複数のスイッチ226と、を含んで構成されている。複数のスイッチ226は、各々対応するアンプ212の出力端に接続されている。

40

## 【0125】

このように構成されたインクジェット記録装置110Bにおいて、アンドゲート240は、全ての入力端に所定信号が入力された場合、CPU214に当該所定信号を出力し、全ての入力端のうちの1つにでも所定信号が入力されなかった場合、CPU214に当該所定信号を出力しない。

## 【0126】

以上詳細に説明したように、本第2の実施形態に係るインクジェット記録装置110Bによれば、複数の容量性負荷（ここでは、アクチュエータ158）に対応するように、D/A変換器208、コネクタ204及びオペアンプ220を複数有し、送信手段（ここで

50

は、CPU 206)が、所定信号を第2の基板202Bに複数のコネクタ204の各々を介して送信し、制御手段(ここでは、CPU 214)が、第2の基板202Bにおいて、送信手段により複数のコネクタ204の各々を介して送信された所定信号の少なくとも1つが受信されていない場合、当該所定信号が介されるべきコネクタ204に対応する容量性負荷にアナログ信号の電圧が印加されないように制御を行うので、複数の容量性負荷に対応した駆動回路におけるコネクタ204の接続不良に起因するスイッチング素子(ここでは、スイッチ226)の破損を防止することができる。

【0127】

また、本第2の実施形態に係るインクジェット記録装置110Bによれば、複数のD/A変換器208は、各々アナログ信号を差動出力し、複数のオペアンプ220に対応して  
10  
おり、各々第2の基板202Bにおいて対応するオペアンプ220の前段に設けられ、当該オペアンプ220に対応するD/A変換器208から差動出力されたアナログ信号が入力され、当該アナログ信号を差動増幅する複数の差動増幅回路210を更に備えているので、第2の基板202Bにおいて、コネクタ204でアナログ信号に重畳されたノイズを小さくすることができる。

【0128】

更に、本第2の実施形態に係るインクジェット記録装置110Bによれば、制御手段が、第2の基板202Bにおいて、送信手段により複数のコネクタ204の各々を介して送信された所定信号の少なくとも1つが受信されていない場合、当該所定信号が介されるべきコネクタ204に対応するオペアンプ220の前段に設けられた差動増幅回路210を  
20  
作動させないように制御を行うことにより、当該コネクタ204に対応する容量性負荷にアナログ信号の電圧が印加されないように制御を行うので、低コストで、かつ確実に、複数の容量性負荷に対応した駆動回路におけるコネクタ204の接続不良に起因するスイッチング素子の破損を防止することができる。

【0129】

以上、本発明を上記各実施形態を用いて説明したが、本発明の技術的範囲は上記各実施形態に記載の範囲には限定されない。発明の主旨を逸脱しない範囲で上記各実施形態に多様な変更または改良を加えることができ、当該変更または改良を加えた形態も本発明の技術的範囲に含まれる。

【0130】

また、上記各実施形態は、特許請求の範囲に記載された発明を限定するものではなく、また、上記各実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。上記各実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における状況に応じた組み合わせにより種々の発明を抽出できる。上記各実施形態に示される全構成要件から幾つかの構成要件が削除されても、効果が得られる限りにおいて、この幾つかの構成要件が削除された構成が発明として抽出され得る。

【0131】

例えば、上記第2の実施形態では、CPU 214が所定信号を受信しなかった場合に、全てのアクチュエータ158に対して、対応するスイッチ226を介してアナログ信号の電圧が印加されないように制御を行っているが、本発明はこれに限定されるものではなく  
40  
、所定信号が出力されていないコネクタ204に対応するスイッチ226を介して対応するアクチュエータ158にアナログ信号の電圧が印加されないように制御を行うようにしても良い。この場合、CPU 206が複数のコネクタ204の各々に対して生成した各所定信号に対応するコネクタ204を介してCPU 214に常時出力し、CPU 214にて当該所定信号を検出し、CPU 214が、所定信号が出力されていないコネクタ204に対応するスイッチ226を介して対応するアクチュエータ158にアナログ信号の電圧が印加されないように制御を行う形態が例示できる。

【0132】

また、上記第1の実施形態で説明したインクジェット記録装置110の構成(図1~図8を参照。)及び上記第2の実施形態で説明したインクジェット記録装置110Bの構成  
50

(図11を参照。)は一例であり、本発明の主旨を逸脱しない範囲内において状況に応じて変更可能であることは言うまでもない。

【0133】

また、上記各実施形態で説明したプログラムの処理の流れ(図10参照。)も一例であり、本発明の主旨を逸脱しない範囲内において不要なステップを削除したり、新たなステップを追加したり、処理順序を入れ替えたりすることができることは言うまでもない。

【図面の簡単な説明】

【0134】

【図1】実施形態に係るインクジェット記録装置の全体構成を示す側面図である。

【図2】実施形態に係るインクジェット記録装置の印字部及びその周辺の構成を示す平面図である。

10

【図3】実施形態に係るインクジェット記録装置のヘッドの構造例を示す平面透視図である。

【図4】図3におけるインク室ユニットの拡大図である。

【図5】図3の33-33切断線における断面図である。

【図6】実施形態に係るインクジェット記録装置のヘッドのノズル配列の一例を示す概略図である。

【図7】実施形態に係るインクジェット記録装置の電気系の要部構成を示すブロック図である。

【図8】第1の実施形態に係るインクジェット記録装置のヘッド及びヘッドドライバの構成を示す構成図である。

20

【図9】第1の実施形態に係るインクジェット記録装置のD/A変換器から差動出力されるアナログ信号の波形を示す概略図である。

【図10】第1の実施形態に係る電圧印加制御処理プログラムの処理の流れを示すフローチャートである。

【図11】第2の実施形態に係るインクジェット記録装置のヘッド及びヘッドドライバの構成を示す構成図である。

【図12】従来の液滴吐出装置における圧電素子に電圧を印加する駆動回路の構成を示す構成図である。

【符号の説明】

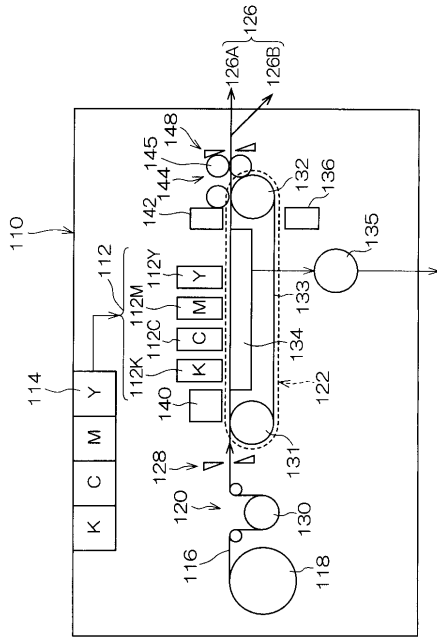
30

【0135】

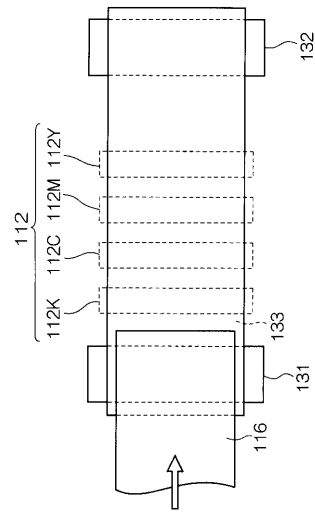
- 110, 110B インクジェット記録装置
- 150, 150B ヘッド(液滴吐出ヘッド)
- 151 ノズル
- 158 アクチュエータ
- 190 ヘッドドライバ(信号処理装置)
- 200, 200B 第1の基板
- 202, 202B 第2の基板
- 204A, 204B コネクタ
- 206 CPU(ヘッド制御手段)
- 214 CPU
- 208 デジタル・アナログ・コンバータ
- 210 差動増幅回路
- 220 オペアンプ
- 226 スイッチ

40

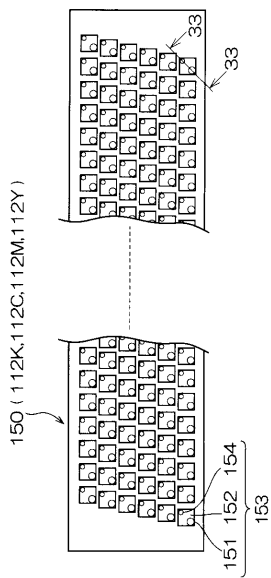
【 図 1 】



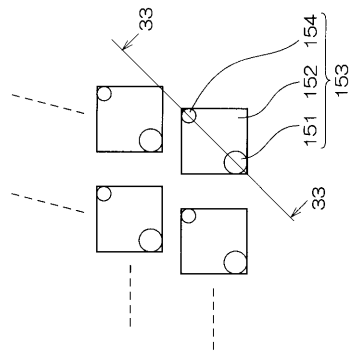
【 図 2 】



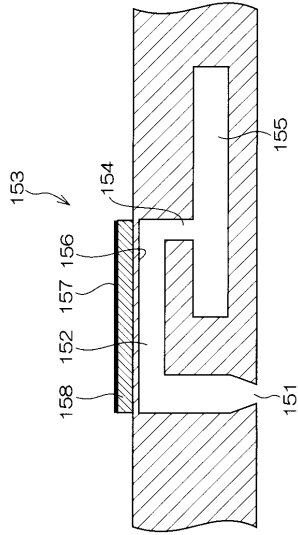
【 図 3 】



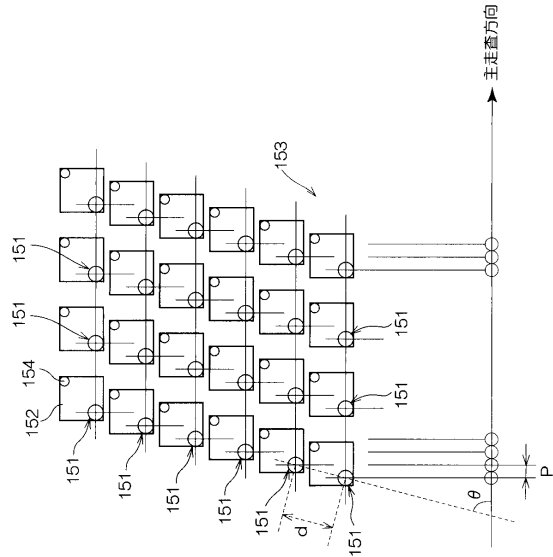
【 図 4 】



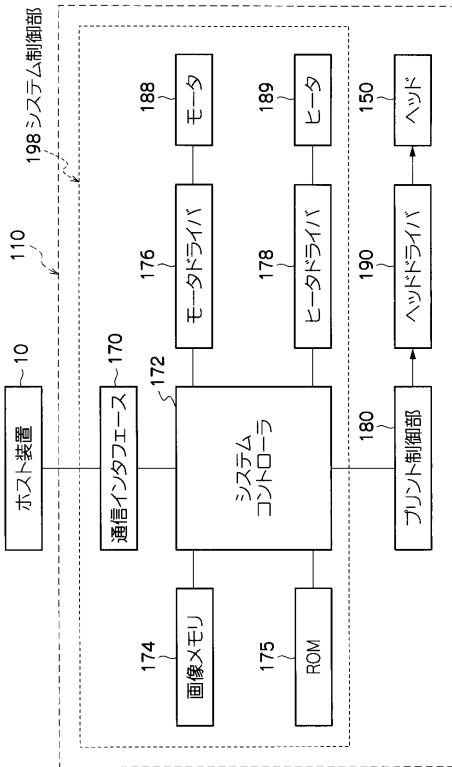
【図5】



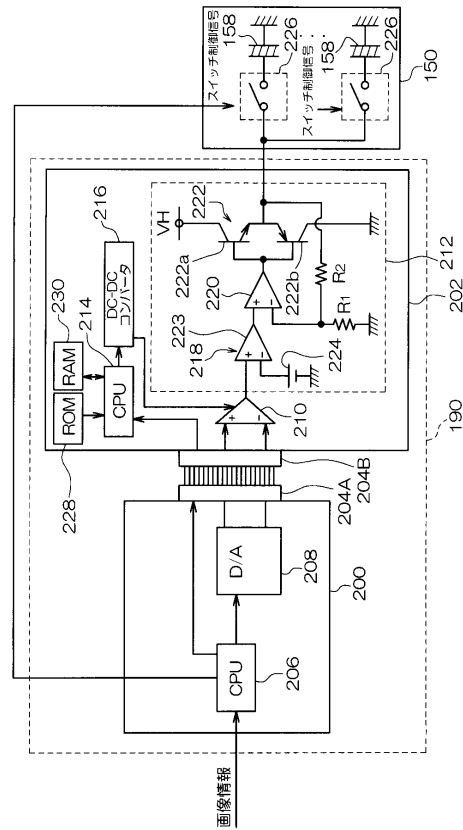
【図6】



【図7】



【図8】





---

フロントページの続き

審査官 山口 陽子

- (56)参考文献 特開2007-168402(JP,A)  
特開2006-092868(JP,A)  
特開平08-156246(JP,A)  
特開2007-062246(JP,A)  
特開2000-211126(JP,A)  
特開2003-094658(JP,A)

(58)調査した分野(Int.Cl., DB名)

B41J 2/045  
B41J 2/01  
B41J 2/055