

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 96100333

※ 申請日期： 96.01.04

※IPC 分類：~~H04Q~~ H04B $\frac{1}{10}$ (2006.01)

H04L $\frac{25}{8}$ (2006.01)

一、發明名稱：(中文/英文)

無線通信系統之接收器中抑制激生軌跡

SPUR SUPPRESSION FOR A RECEIVER IN A WIRELESS
COMMUNICATION SYSTEM

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商高通公司

QUALCOMM INCORPORATED

代表人：(中文/英文)

喬治 A 懷坦

WHITTEN, GEORGE A.

住居所或營業所地址：(中文/英文)

美國加州聖地牙哥市摩豪斯大道5775號

5775 MOREHOUSE DRIVE SAN DIEGO, CA 92121-1714 U. S. A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 1 人)

姓名：(中文/英文)

丹尼爾 F. 菲利波威克

FILIPOVIC, DANIEL F.

國籍：(中文/英文)

美國 U.S.A.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2006年01月04日；11/324,858

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本揭示案大體係關於通信，且更具體言之係關於用於處理一在一無線通信系統中之一接收器處之信號的技術。

【先前技術】

在一無線通信系統中，一傳輸器將資料調變至一射頻(RF)載波信號上且產生一較適於傳輸之RF調變信號。該傳輸器接著經由一無線通道來將該RF調變信號傳輸至一接收器。該接收器接收傳輸信號，過濾且放大接收信號，使放大信號自RF降頻轉換至基頻且數位化基頻信號以獲得樣本。接收器接著處理該等樣本從而恢復由傳輸器發送的資料。

一接收器通常產生各種不需要的信號(其常被稱作激生軌跡)。舉例而言，激生軌跡可為一用於接收器之參考振盪器之諧波、一用來數位化基頻信號之取樣時脈之諧波、用於接收器處之數位電路之時脈之諧波、RF分量之混合乘積等等。一些激生軌跡可能落在所要信號之頻寬內。該等帶內激生軌跡成為防礙接收器適當地解調變接收信號之能力及因此使接收器不能感測的雜訊。事實上，一接收器具有一或多個"不良"頻道(其中該接收器由於激生軌跡而表現差靈敏度)並非罕見的。該差靈敏度可導致差的效能、減少的通信範圍及可能其他不利之影響，此皆為不良的。

此項技術中因此存在對用以減輕在一接收器中之激生軌跡之不利影響之技術的一需要。

【發明內容】

本文描述用於抑制在一接收器中之激生軌跡之技術。一般而言，一激生軌跡為一可在接收器處內部地產生或可來自一外部干擾源之不需要的信號。該等技術可用於一無線裝置以及一在一無線通信系統中之基地台。該等技術可藉由抑制激生軌跡同時移除一所要信號之僅一小部分來為一些頻道改良靈敏度及效能。

在一實施例中，一處理器(例如，在一無線裝置內)接收關於一所要信號之數位樣本，該所要信號具有一處於該所要信號之頻寬內的激生軌跡。該處理器過濾該等數位樣本從而抑制該激生軌跡且提供具有該被抑制之激生軌跡之輸出樣本。該處理器可(例如)藉由對該等數位樣本執行一快速傅立葉變換(FFT)或一離散傅立葉變換(DFT)且檢查所得的頻譜回應來偵測該激生軌跡。該激生軌跡亦可為已知在該接收器處內部地產生之若干激生軌跡之一者。該處理器可利用一具有一可調陷波頻率及/或一可調陷波頻寬之陷波濾波器來過濾該等數位樣本。舉例而言，可基於該激生軌跡之頻率來設定該陷波頻率，且可基於該激生軌跡之振幅來設定該陷波頻寬。

下文進一步詳細地描述本發明之各種態樣及實施例。

【實施方式】

本文使用詞語"例示性"來表示"用作一實例、例子或說明"的意思。在本文中被描述為"例示性"的任何實施例或設計未必應被理解為相對於其他實施例或設計而言係較佳的或

有利的。

本文所描述的激生軌跡抑制技術可用於各種無線通信系統，諸如一劃碼多向近接(CDMA)系統、一劃時多向近接(TDMA)系統、一劃頻多向近接(FDMA)系統、一正交劃頻多向近接(OFDMA)系統、一正交劃頻多工(OFDM)系統、一單載波劃頻多向近接(SC-FDMA)系統等等。一CDMA系統可實施一或多個無線近接技術，諸如cdma2000、寬頻-CDMA(W-CDMA)等等。cdma2000涵括IS-95、IS-2000及IS-856標準。一TDMA系統可實施全球行動通信系統(GSM)。GSM及W-CDMA在來自一命名為"第三代合作夥伴計劃"(3rd Generation Partnership Project, 3GPP)之協會之文獻中描述。cdma2000在來自一命名為"第三代合作夥伴計劃2"(3rd Generation Partnership Project 2, 3GPP2)之協會之文獻中描述。3GPP文獻及3GPP2文獻為公眾可得到的。一OFDMA系統利用OFDM。一基於OFDM之系統在頻域中傳輸調變符號然而一SC-FDMA系統在時域中傳輸調變符號。一般而言，本文所描述的技術可用於其中一待被抑制之激生軌跡佔據所要信號頻寬之僅一部分之任何通信系統。該等技術尤其可應用於寬頻通信系統(諸如基於CDMA及OFDM之系統)。

激生軌跡抑制技術可用於一無線裝置以及一在一無線通信系統中之基地台。一基地台通常為一與無線裝置通信之固定台且亦可被稱作一基地台收發器系統(BTS)、一節點B、一存取點或一些其他術語。一無線裝置可為固定的或行

動的且亦可被稱作一行動台、一使用者裝備、一終端機、一用戶單元或一些其他術語。一無線裝置可為一蜂巢式電話、一個人數位助理(PDA)、一無線數據機卡等等。為達到清晰之目的，下文的大量描述係關於在一CDMA系統中之一無線裝置，該裝置可實施cdma2000或W-CDMA。

圖1展示一在一CDMA系統中之無線裝置100之一方塊圖。在接收路徑上，一天線110接收來自一或多個基地台之一或多個RF調變信號及來自其他傳輸器之可能干擾信號。天線110將一接收RF信號提供至一個雙工器112。雙工器112為一所要的前向鏈路(或下行鏈路)頻帶過濾該接收RF信號且將一輸入RF信號提供至一接收器120。該所要頻帶可為手機頻帶、PCS頻帶或一些其他頻帶。

一般而言，一接收器可實施一超外差架構或一直接基頻架構。在該超外差架構中，該輸入RF信號在多個階段中經降頻轉換，例如，在一個階段中自RF降頻轉換至一中頻(IF)且接著在另一階段中自IF降頻轉換至基頻。在該直接基頻架構中，該輸入RF信號在一個階段中直接自RF降頻轉換至基頻。超外差架構及直接基頻架構可使用不同的電路塊及/或具有不同的電路需求。下述描述係關於直接基頻架構。

在接收器120內，一低雜訊放大器(LNA)122接收該輸入RF信號且藉由一固定的或可變的增益放大該輸入RF信號且提供一放大RF信號。一混合器124藉由一來自一LO產生器134之接收本地振盪器(RX_LO)信號來降頻轉換該放大

RF信號且提供一降頻轉換信號。該RX_LO信號之頻率可經選擇以使得關於一所要CDMA通道之RF調變信號經降頻轉換至基頻或近基頻。一可變增益放大器(VGA)126藉由一可變增益來放大該降頻轉換信號且提供一具有所要振幅之輸入基頻信號。LNA 122、VGA 126及在一接收(RX)數位信號處理器(DSP)150內之其他電路塊為輸入RF信號提供所需信號放大，該信號放大可使振幅改變90分貝(dB)或更多。

一基頻濾波器128過濾該輸入基頻信號且提供一輸出基頻信號。儘管為了簡單之目的而未展示於圖1中，但來自LO產生器134、混合器124、VGA 126及濾波器128之信號為複數信號，其中每一複數信號具有一同相(I)分量及一正交(Q)分量。類比數位轉換器(ADC)130數位化該輸出基頻信號且提供I ADC樣本及Q ADC樣本(I_{adc} 及 Q_{adc})。ADC 130可在基頻處(如圖1所示)或在一關於IF取樣之中頻處(未展示於圖1中)數位化。該等ADC 130可藉由ADC (delta-sigma ADC)、快閃ADC或一些其他類型之ADC被實施。一ADC可以很少位元的解析度但在一比信號之頻寬大許多倍的取樣率下數位化一輸入信號。

在RX DSP 150內，一前處理器(pre-proc)152對I ADC樣本及Q ADC樣本執行預處理(例如，數位濾波、取樣率轉換、內插等)且提供I輸入樣本及Q輸入樣本(I_{in} 及 Q_{in})。作為一特定實例，該等ADC 130可為ADC，其可在cdma2000之32倍晶片速率(或chipx32)下以四位元的解析度數位化該輸出基頻信號。該晶片速率對於cdma2000為1.2288百萬晶片/秒

(Mcps)且對於W-CDMA為3.84 Mcps。前處理器152可過濾該等ADC樣本且執行取樣率轉換從而在晶片速率(或 $\text{chip} \times 1$)下以18位元的解析度獲得輸入樣本。該輸入取樣率可因此不同於該ADC取樣率。一陷波濾波器160處理I輸入樣本及Q輸入樣本從而抑制寄生軌跡(如下文所描述的)且提供I輸出樣本及Q輸出樣本(I_{out} 及 Q_{out})。一後處理器(post-proc)162對I輸出樣本及Q輸出樣本執行後處理且提供I資料樣本及Q資料樣本(I_{dat} 及 Q_{dat})。舉例而言,後處理器162可執行自動增益控制(AGC)、數位濾波、直流(DC)移除等。一解調變器(Demod)164對I資料樣本及Q資料樣本執行解調變且提供解調變之資料。解調變器164可實施此項技術中已知的一耙式接收器或一些其他類型之接收器。

在傳輸路徑上,一傳輸(TX)DSP 180處理待被傳輸的資料且提供I資料晶片及Q資料晶片(I_{dac} 及 Q_{dac})。數位類比轉換器(DAC)182將I資料晶片及Q資料晶片轉換為類比且將一複數類比信號提供至一傳輸器190。在傳輸器190內,一VGA 192以一可變增益放大該類比信號。一混合器194藉由一來自LO產生器134之傳輸LO(TX_LO)信號來將該放大信號自基頻增頻轉換至RF。一帶通濾波器196過濾該增頻轉換信號以移除由數位類比轉換及增頻轉換造成的影像。一功率放大器(PA)198放大增頻轉換信號且提供一具有所需功率位準之輸出RF信號。雙工器112為一反向鏈路(或上行鏈路)頻帶過濾該輸出RF信號且提供一過濾輸出RF信號以便經由天線110傳輸。儘管為了簡單之目的而未展示於圖1中,但

來自 DAC 182及VGA 192之信號為具有I分量及Q分量之複數信號。

一參考振盪器132提供一具有一精確頻率之參考信號。參考振盪器132可為一晶體振盪器(XO)、一溫度補償晶體振盪器(TCXO)、一壓控振盪器(VCO)或一些其他類型之振盪器。LO產生器134基於來自振盪器132之參考信號來產生RX_LO信號及TX_LO信號。一時脈產生器136基於該參考信號來為無線裝置100內之各種單元產生時脈。舉例而言，時脈產生器136可為該等ADC 130產生一在32倍晶片速率(chipx32)下之取樣時脈且為DSP 150及DSP 180及一控制器170產生一在16倍晶片速率(chipx16)下之數位時脈。

控制器170控制無線裝置100內之DSP 150及DSP 180及其他電路塊之操作。舉例而言，控制器170可偵測激生軌跡且基於該等偵測激生軌跡來控制陷波濾波器160之操作。一記憶體172為無線裝置100內之各種處理單元(例如，RX DSP 150及控制器170)儲存資料及程式碼。

圖1展示一關於接收器及傳輸器之特定設計。一般而言，關於每一路徑之信號調節可由放大器、濾波器、混合器等之一或多級執行。接收器及傳輸器可包括未展示於圖1中的不同及/或額外電路塊。

圖1亦展示RX DSP 150之一特定設計。一般而言，可以各種方式來執行數位處理。舉例而言，陷波濾波器160可位於ADC 130後面、前處理器152後面(如圖1所示)或後處理器162後面。

圖2A展示一在圖1之接收器120內之例示性CDMA信號之一頻譜曲線。對於cdma2000，一基地台在一為1.2288 Mcps之晶片速率下利用一假隨意數(PN)序來展頻資料。所得展頻信號具有一為1.23兆赫(MHz)之雙邊頻寬且經增頻轉換至一在一特定頻帶中之特定CDMA通道。對於前向鏈路，手機頻帶自869 MHz跨越至894 MHz，且PCS頻帶自1930 MHz跨越至1990 MHz。每一頻帶覆蓋多個CDMA通道，且每一CDMA通道具有一為1.23 MHz之頻寬。

無線裝置100可產生出現於一接收CDMA信號之頻寬內之各種激生軌跡。舉例而言，參考振盪器132可在19.2 MHz下操作，且時脈產生器136可基於來自振盪器132之該19.2 MHz的參考時脈來產生各種時脈。該等時脈可具有落在一相關頻帶內之19.2 MHz之強諧波。舉例而言，19.2 MHz的第46個諧波係在883.2 MHz處，且關於該第46個諧波之激生軌跡屬於手機頻帶且相對於接收CDMA信號可為強的，如圖2A所示。

激生軌跡亦可由RF分量之混合乘積產生。舉例而言，第19個諧波的19.2 MHz參考時脈可與第13個諧波的chipx32混合從而產生一在875.98 MHz處的激生軌跡(其屬於手機頻帶)。LO產生器134可為接收器120內之降頻轉換產生一或多個LO信號且為傳輸器190內之增頻轉換產生一或多個LO信號。該等LO信號可混合在一起及/或與無線裝置100內之其他時脈混合從而產生屬於該相關頻帶之激生軌跡。

激生軌跡亦可由接收信號中之不需要分量(其亦被稱作

干擾(jammer))之混合乘積產生。舉例而言，IS-98D(其適用於cdma2000)規定一單音測試及一雙音測試，其中該等測試意欲測試一無線裝置中之接收路徑之線性及動態範圍。對於該單音測試，一單一音調係定位於距CDMA信號之中心頻率+900 KHz處且其在振幅上比CDMA信號位準(其在該測試中處於-101 dBm處)高71 dB。接收路徑中之非線性導致音調與CDMA信號混合且產生屬於CDMA信號頻寬之互調分量。對於雙音測試，兩個音調係定位於距CDMA信號之中心頻率+900 KHz及+1700 KHz處且其在振幅上比CDMA信號位準高58 dB。接收路徑中之非線性導致該等兩個音調混合在一起且產生一處於+100 KHz之激生軌跡。

一般而言，激生軌跡可由各種機構內部地產生於無線裝置100內。由於較多的函數(例如，RF及數位)整合於單一積體電路(IC)晶片內或多個IC晶片密封於單一封裝內，故內部產生的激生軌跡可能變得較普遍且較成問題的。激生軌跡亦可來自外部干擾源且可出現於來自天線110之接收RF信號中。內部產生的激生軌跡通常為在確定性頻率下的音調，然而外部激生軌跡可為在隨機頻率下的窄頻信號。在任何狀況下，激生軌跡使接收器不能對由該等激生軌跡影響的每一CDMA通道進行感測。

圖2B展示例示性CDMA信號在藉由一陷波濾波器抑制激生軌跡之後的一頻譜曲線。內部產生的激生軌跡通常為窄頻正弦信號，其在參考振盪器132中為確定性的且為具有漂移之頻率中的軌跡。舉例而言，參考時脈之諧波由參考振

盪器 132 之頻率決定。因此，一在 CDMA 通道內之激生軌跡可藉由一適當置放的陷波濾波器抑制。藉由抑制該激生軌跡同時移除所要 CDMA 信號之僅一小部分，可為 CDMA 通道實現較高的靈敏度及改良的效能。

圖 3 展示一陷波濾波器 160a (其為圖 1 中的陷波濾波器 160 之一實施例) 之一方塊圖。在圖 3 中， $x(n)$ 代表一來自前處理器 152 之關於取樣週期 n 之複數輸入樣本， $y(n)$ 代表一由陷波濾波器 160a 提供之關於取樣週期 n 之複數輸出樣本，且 $w(n)$ 代表一在陷波濾波器 160a 內之關於取樣週期 n 之複數中間樣本，其中

$$x(n) = I_{in}(n) + jQ_{in}(n), \text{ 且} \quad \text{式(1)}$$

$$y(n) = I_{out}(n) + jQ_{out}(n)$$

在陷波濾波器 160a 內，一加法器 312 接收輸入樣本 $x(n)$ 及中間樣本 $w(n)$ 且自輸入樣本 $x(n)$ 減去中間樣本 $w(n)$ 且提供輸出樣本 $y(n)$ 。一乘法器 314 使該輸出樣本與一增益 K 相乘。一加法器 316 使中間樣本與乘法器 314 之輸出相加。一暫存器 318 儲存加法器 316 之輸出且提供一為一個取樣週期之延遲。一乘法器 320 使來自暫存器 318 之儲存樣本與一增益 A 相乘且提供中間樣本。

陷波濾波器 160a 包括一由加法器 316、暫存器 318 及乘法器 320 形成的迴路。乘法器 320 對來自暫存器 318 之儲存樣本引入一相位旋轉，其中相位旋轉之量由增益 A 確定。加法器 316 及暫存器 318 形成一對其本身進行累加的累加器。該自

累加引入一具有一頻率之正弦分量，其中該頻率由關於每一累加之相位旋轉之量及累加之速率確定。正弦分量模擬待被抑制的激生軌跡且將其自輸入樣本減去。

該中間樣本可表達為：

$$w(n) = A \cdot [w(n-1) + K \cdot y(n-1)] \quad \text{式(2),}$$

$$W(z) = A \cdot [W(z) \cdot z^{-1} + K \cdot Y(z) \cdot z^{-1}] \quad \text{式(3), 及}$$

$$W(z) = \frac{A \cdot K \cdot Y(z) \cdot z^{-1}}{1 - A \cdot z^{-1}} = \frac{A \cdot K \cdot Y(z)}{z - A} \quad \text{式(4).}$$

式(2)係關於離散時間 n ，且式(3)及式(4)係關於 z 域。

一關於輸出樣本之傳送函數 $H(z)$ 可表達為：

$$y(n) = x(n) - w(n) \quad \text{式(5),}$$

$$Y(z) = X(z) - W(z) = X(z) - \frac{A \cdot K \cdot Y(z)}{z - A} \quad \text{式(6), 及}$$

$$H(z) = \frac{Y(z)}{X(z)} = \frac{z - A}{z - A \cdot (1 - K)} \quad \text{式(7).}$$

如式(7)所示，傳送函數 $H(z)$ 包括一由增益 A 確定的單零點及一由增益 K 及增益 A 確定的單極點。增益 K 及增益 A 可被界定為：

$$K \ll 1 \quad \text{式(8), 及}$$

$$A = e^{j2\pi \cdot M} \quad \text{式(9),}$$

其中 $0 \leq M \leq 1$ 。

圖4A展示關於式(7)中的傳送函數 $H(z)$ 之極點及零點之一曲線。藉由將增益 A 界定為具有式(9)所示的形式，該零點可置於一單位圓上。數量 M 確定該零點在單位圓上之位

置。陷波濾波器 160a 之頻率回應由於該零點而具有一陷波。該陷波之中心頻率由該零點之位置決定且可如下給出：

$$f_{notch} = f_s \cdot M \quad \text{式(10)}$$

其中 f_s 為關於陷波濾波器之取樣率且 f_{notch} 為陷波頻率。由於 A 為一複值，故陷波出現於頻率中的僅一個邊上。增益 K 確定陷波之頻寬且通常比 1 小很多，如式(8)所示。

圖 4B 展示陷波濾波器 160a 之一例示性頻率回應。對於該實例，取樣率為晶片速率 f_c 之 4/3 倍， $K=0.125$ ， $A=e^{j\pi/5}$ ，且陷波頻率為 0.164 MHz。

該陷波之寬度由增益 K 確定，其中一較大的增益 K 對應於一較寬的陷波，且反之亦然。陷波之寬度亦與陷波之深度有關，其中一較寬的陷波對應於一較深的陷波，且反之亦然。利用一較寬的陷波可較容易地擷取一激生軌跡，其亦可由於較深的陷波而較多地抑制激生軌跡。然而，一較寬的陷波亦衰減較多的所要信號分量。相反地，利用一窄的陷波來擷取一激生軌跡可為較困難的，其可由於一較淺的陷波而較少地抑制激生軌跡。如下文所描述的，該陷波之寬度可為一可變參數且可基於被抑制的激生軌跡之特徵被調整。

陷波濾波器 160a 通常在輸入樣本之速率(其被稱作取樣率)下操作。一般而言，需要在一盡可能低的速率下操作陷波濾波器 160a 從而達成若干益處。首先，對於用於代表增益 A 之一給定數目之位元，陷波頻率之解析度與取樣率成比

例。因此，可以一較低的取樣率來為陷波頻率達成較高解析度。第二，由於功率消耗與關於CMOS數位電路之時脈速率成比例，故一低取樣率減少功率消耗。該取樣率應大於晶片速率從而避免頻疊。在一實施例中，取樣率經選擇為晶片速率之4/3倍或 $f_s = 1.333 \times f_c$ 。對於cdma2000，取樣率對於一為1.2288 Mcps之晶片速率為1.638 MHz。

圖5A展示一陷波濾波器160b(其為圖3中的陷波濾波器160a之一特定實施例)之一方塊圖。對於該實施例，假設輸入樣本及輸出樣本具有18位元的解析度。陷波濾波器160b包括一處理I輸入樣本 I_{in} 之I路徑及一處理Q輸入樣本 Q_{in} 之Q路徑。輸入樣本及輸出樣本以及陷波濾波器160b內的所有數量係以帶正負號整數表示。一k位元帶正負號數包括一個正負號位元及k-1個資料位元。

對於I路徑，一飽和加法器512a接收I中間樣本 W_I 及I輸入樣本 I_{in} 且自I輸入樣本 I_{in} 減去I中間樣本 W_I ，且提供一I輸出樣本 I_{out} 。一移位單元514a將該I輸出樣本向右移位m個位元。一飽和加法器516a使一飽和加法器530a之輸出與來自單元514a之移位樣本相加。一暫存器518a儲存加法器516a之輸出且提供一個樣本週期之延遲。

對於Q路徑，一飽和加法器512b接收Q中間樣本 W_Q 及Q輸入樣本 Q_{in} 且自Q輸入樣本 Q_{in} 減去一Q中間樣本 W_Q ，且提供一Q輸出樣本 Q_{out} 。一移位單元514b將該Q輸出樣本向右移位m個位元。一飽和加法器516b使一飽和加法器530b之輸出與來自單元514b之移位樣本相加。一暫存器518b儲存加法

器 516b 之輸出且提供一個樣本週期之延遲。

一複數乘法器 520 執行暫存器 518a 及暫存器 518b 之複數輸出與複數增益 $A=A_{re}+jA_{im}$ 之複數乘法且提供一複數中間樣本 $W=W_I+jW_Q$ 。乘法器 520 執行一使用四個實數乘法及位元調處之複數乘法從而獲得所要輸出。

對於複數乘法器 520 內之 I 路徑，一實數乘法器 522a 使暫存器 518a 之輸出與增益 A_{re} 相乘，且一實數乘法器 524a 使暫存器 518b 之輸出與增益 A_{im} 相乘。一單元 526a 切割乘法器 522a 之輸出之 7 個最低有效位元 (LSB)，且一單元 528a 切割乘法器 524a 之輸出之 7 個 LSB。一"切割"操作可包括修剪、捨入及/或一些其他操作。飽和加法器 530a 自單元 526a 之輸出減去單元 528a 之輸出。一單元 532a 切割加法器 530a 之輸出之 3 個 LSB 且提供 I 中間樣本 W_I 。

對於複數乘法器 520 內之 Q 路徑，一實數乘法器 522b 使暫存器 518b 之輸出與增益 A_{re} 相乘，且一實數乘法器 524b 使暫存器 518a 之輸出與增益 A_{im} 相乘。一單元 526b 切割乘法器 522b 之輸出之 7 個 LSB，且一單元 528b 切割乘法器 524b 之輸出之 7 個 LSB。飽和加法器 530b 使單元 526b 之輸出與單元 528b 之輸出相加。一單元 532b 切割加法器 530b 之輸出之 3 個 LSB 且提供 Q 中間樣本 W_Q 。

圖 5B 展示一實數乘法器 550 之一實施例，其可用作圖 5A 中的實數乘法器 522a、522b、524a 及 524b 之每一者。乘法器 550 接收 15 位元增益及 21 位元輸入資料且使 15 位元增益與 21 位元輸入資料相乘且提供 28 位元輸出資料。該 21 位元

輸入資料可來自圖5A中的暫存器518a或518b。該28位元輸出資料可用於單元526a、526b、528a或528b。該15位元增益可為 A_{re} 或 A_{im} 且被分為兩個係數。第一係數含有15位元增益之7個LSB加上一正負號位元。第二係數含有15位元增益之8個MSB，該係數已包括該正負號位元。

在乘法器550內，一乘法器552接收21位元輸入資料及該第一係數且使21位元輸入資料與該第一係數相乘且提供一28位元輸出。一乘法器554接收21位元輸入資料及該第二係數且使21位元輸入資料與該第二係數相乘且提供一28位元輸出。一單元556切割來自乘法器552之28位元輸出之7個LSB且提供一與來自乘法器554之28位元輸出適當對準的21位元輸出。一飽和加法器558使單元556之21位元輸出與乘法器554之28位元輸出相加且提供28位元輸出資料。

對於圖5A及圖5B所示的實施例，一乘A的複數乘法係藉由8個較小的(21位元乘8位元)實數乘法來被有效實施。該等8個實數乘法可藉由單一硬體單元被實施，其中該單元以一劃時多工(TDM)的方式來執行該等實數乘法。一乘K的乘法係藉由位元移位單元514a及514b實施。增益K則等於二之乘冪，或 $K=2^m$ ，其中m為關於每一輸出樣本之右移位元之數目且可被設為1或更大。藉由移位不同數目之位元可容易地調整陷波濾波器160b之頻率回應。

圖5A及圖5B展示陷波濾波器160b之一特定實施例。特定位元寬度在陷波濾波器中的各個節點處給出。如下文所描述的，可基於各種效能準則來選擇在每一節點處之位元之

數目。

一迴路由乘法器 520、加法器 516 及暫存器 518 形成。可以一充分數目之額外位元來設計該迴路以使得量化影響在靈敏度下為可忽略的。靈敏度係指無線裝置所需用以正確地解調變之最低 CDMA 信號位準。額外位元之數目等於暫存器 518 之位元寬度與輸入樣本及輸出樣本之位元寬度間的差。電腦模擬指示一個額外位元可足以達成可忽略的量化影響。對於圖 5A 及圖 5B 所示的例示性設計，三個額外位元用於該迴路從而達成額外容限。

增益 A_{re} 及增益 A_{im} 之位元寬度確定陷波頻率之準確度及穩定度。若一不充分數目的位元用於 A_{re} 及 A_{im} ，則該陷波頻率可在一中心頻率周圍高頻振動，且難以擷取及抑制一激生軌跡。對於圖 5A 及圖 5B 所示的例示性設計，電腦模擬指示 15 個位元 (或 14 位元帶正負號數) 對於 A_{re} 及 A_{im} 確保一穩定且準確的陷波頻率為足夠的。當具有對於 A_{re} 及 A_{im} 之 14 位元帶正負號數時，陷波頻率具有一為 $f_s/2^{14}$ 之解析度，其對於一為 $f_s=1.333 \times f_c=1.638$ Mcps 之取樣率等於 100 Hz。由於陷波之頻寬通常比 100 Hz 寬得多，故該解析度應為足夠的。

對於圖 5A 及圖 5B 所示的例示性設計，增益 A_{re} 或 A_{im} 可確定如下：

$$M = f_{notch} / f_s \quad \text{式 (11),}$$

$$A = 2^{14} \cdot e^{j\pi \cdot M} \quad \text{式 (12),}$$

$$A_{re} = \text{real}(A) \quad \text{式 (13), 及}$$

$$A_{im} = \text{imag}(A)$$

式(14)。

由單元514右移之位元之數目確定增益K之值且因此確定陷波濾波器之頻寬。少數(例如,一個)右移位元對應於一較大的增益值及一較寬且較深的陷波,此提供較多的激生軌跡抑制但亦衰減較多的所要信號分量。較多右移位元對應於一較小的增益值及一較窄且較淺的陷波,此提供較少的激生軌跡抑制但亦衰減較少的所要信號分量。右移位元之數目可為可變的且基於偵測激生軌跡被選擇(例如,對於一較大的激生軌跡為較少的右移位元)。在一實施例中,為每一不同數目之右移位元(例如,對於 $m=1, 2, 3, 4, \dots$)確定(例如,基於電腦模擬及/或經驗量測)激生軌跡抑制之數量且將其儲存於一查找表中。一適當數目之右移位元可接著基於一偵測激生軌跡之振幅被選擇。

可以各種方式執行激生軌跡偵測及抑制。在一實施例中,對來自該等ADC 130或前處理器152之樣本執行一快速傅立葉變換(FFT)從而確定該等樣本之頻譜特徵。在所要信號頻寬內之激生軌跡係基於FFT輸出被識別。該等激生軌跡之位置亦可基於該FFT輸出被確定。陷波濾波器可移至最大激生軌跡之位置,且陷波之寬度可基於相對於所要信號位準之最大激生軌跡之振幅被設定。

在另一實施例中,由一無線裝置內部產生的激生軌跡係(例如)基於經驗量測、電腦模擬等被識別。舉例而言,可確定關於無線裝置內之時脈之不同諧波之激生軌跡、關於不同混合乘積之激生軌跡等。該等激生軌跡可儲存於一查找

表中。或者，關於可提供該等激生軌跡之良好抑制之增益K及增益A之值可被確定且儲存於該查找表中。該無線裝置可(例如)藉由應用來自該查找表之不同增益值來試圖抑制儲存於查找表中的不同激生軌跡。對於儲存於查找表中的每一激生軌跡，其中該激生軌跡被抑制的效能可被確定。產生最佳效能之抑制激生軌跡可被保留。效能可由各種度量(諸如，較低位元錯誤率或訊框錯誤率、來自FFT輸出之較好頻譜回應等)量化。

在另一實施例中，一無線裝置藉由在所要信號頻寬上掃描陷波濾波器來搜尋一激生軌跡。該無線裝置可停止於一提供良好效能之陷波頻率處。亦可以其他方式執行激生軌跡偵測及抑制。

圖6展示一用於執行激生軌跡偵測及抑制之處理600之一實施例。最初接收含有一所要信號之數位樣本(塊610)。偵測一處於該所要信號之頻寬內之激生軌跡(塊612)。使用一基於FFT之方案、已知內部產生的激生軌跡之一查找表或一些其他偵測方案可偵測該激生軌跡。確定激生軌跡之頻率且可能的振幅(塊614)。接著分別基於激生軌跡之頻率及振幅來確定陷波頻率及陷波頻寬(塊616)。計算達成所要陷波頻率及頻寬之A增益值及K增益值(例如，如式(11)至式(14)所示)(塊618)。接著將陷波濾波器之增益A及增益K設為計算之值(塊620)。利用陷波濾波器過濾數位樣本從而抑制激生軌跡(塊622)。

對於以上描述的實施例，基於一具有一可變陷波頻率及

一可變陷波頻寬之陷波濾波器來執行激生軌跡抑制。該陷波濾波器可被視為一特定類型之均衡器。一均衡器通常藉由一有限脈衝回應(FIR)濾波器實施且通常基於一度量(諸如最小晶片間干擾(ICI)、最小均方差等)操作。圖3及圖5A所示的陷波濾波器為一均衡器，其係藉由一無線脈衝回應(IIR)濾波器實施且基於一度量操作以抑制激生軌跡。一可抑制激生軌跡之均衡器亦可藉由其他濾波器結構實施且可基於其他度量操作。激生軌跡抑制亦可基於其他類型之電路被實施，且此在本發明之範疇內。舉例而言，一電路可合成激生軌跡且自輸入樣本減去經合成之激生軌跡。

本文所描述的激生軌跡抑制技術可藉由各種構件實施。舉例而言，該等技術可實施於硬體、韌體、軟體或其一組合中。對於一硬體實施，用於執行激生軌跡抑制之處理單元可實施於經設計以執行本文所描述的功能之一或多個特殊應用積體電路(ASIC)、數位信號處理器(DSP)、數位信號處理裝置(DSPD)、可程式化邏輯裝置(PLD)、場可程式化閘陣列(FPGA)、處理器、控制器、微控制器、微處理器、電子裝置、其他電子單元或其一組合內。

對於一軟體實施，激生軌跡抑制技術可藉由執行本文所描述的功能之模組(例如，程序、功能等)來實施。軟體碼可儲存於一記憶體(例如，圖1中的記憶體172)中且由一處理器(例如，處理器170)執行。該記憶體可在處理器內或在處理器外實施。

提供所揭示實施例之先前描述以使得熟習此項技術者能

夠製造或使用本發明。熟習此項技術者顯而易見對該等實施例之各種修改，且本文所界定的普遍原則在不偏離本發明之精神或範疇的情況下可應用至其他實施例。因此，本發明並不限於本文所示之實施例，而意在符合與本文所揭示之原則及新穎特徵一致的最廣泛之範疇。

【圖式簡單說明】

圖1展示一無線裝置之一方塊圖。

圖2A展示一CDMA信號之一頻譜曲線。

圖2B展示具有抑制激生軌跡之CDMA信號之一頻譜曲線。

圖3展示一用於抑制激生軌跡之陷波濾波器之一方塊圖。

圖4A展示關於陷波濾波器之極點及零點之一曲線。

圖4B展示陷波濾波器之一頻率回應。

圖5A及圖5B展示陷波濾波器之一實施例。

圖6展示一用於偵測及抑制激生軌跡之處理。

【主要元件符號說明】

100	無線裝置
110	天線
112	雙工器
120	接收器
122	低雜訊放大器(LNA)
124、194	混合器
126、192	可變增益放大器(VGA)
128	基頻濾波器

130	類比數位轉換器
132	參考振盪器
134	LO產生器
136	時脈產生器
150	接收(RX)數位信號處理器(DSP)
152	前處理器(pre-proc)
160、160a、160b	陷波濾波器
162	後處理器(post-proc)
164	解調變器
170	控制器/處理器
172	記憶體
180	傳輸(TX)DSP
182	數位類比轉換器(DAC)
190	傳輸器
196	帶通濾波器
198	功率放大器(PA)
312、316	加法器
314、320、552、554	乘法器
318、518a、518b	暫存器
512a、512b、516a、 516b、530a、530b、	飽和加法器
558	
514a、514b	位元移位單元
520	複數乘法器

522a、522b、524a、 實數乘法器

524b、550

526a、526b、528a、 單元

528b、532a、532b、

556

五、中文發明摘要：

本發明描述一種用於抑制在一接收器中之激生軌跡之技術。一處理器(例如，在一無線裝置內)接收關於一所要信號之數位樣本，該所要信號具有一處於該所要信號之頻寬內的激生軌跡。一激生軌跡為一不需要的信號，其可在該接收器處內部地產生或可來自一外部干擾源。該處理器過濾該等數位樣本從而抑制該激生軌跡，且提供具有該被抑制的激生軌跡之輸出樣本。該處理器可(例如)藉由對該等數位樣本執行一快速傅立葉變換(FFT)且檢查頻譜回應來偵測該激生軌跡。該處理器可利用一具有一可調陷波頻率及/或一可調陷波頻寬之陷波濾波器來過濾該等數位樣本。舉例而言，可基於該激生軌跡之頻率來設定該陷波頻率，且可基於該激生軌跡之振幅來設定該陷波頻寬。

六、英文發明摘要：

十、申請專利範圍：

1. 一種設備，其包含：

一處理器，其操作以接收關於一所要信號的數位樣本，該所要信號具有一處於該所要信號之一頻寬內之激生軌跡，以過濾該等數位樣本從而抑制該激生軌跡，且以提供具有該被抑制的激生軌跡之輸出樣本；及

一記憶體，其操作性地耦接至該處理器。

2. 如請求項1之設備，其中該激生軌跡係在該設備內內部地產生。

3. 如請求項1之設備，其中該激生軌跡為該設備內之一時脈之一諧波。

4. 如請求項1之設備，其中該激生軌跡係由一外部干擾源產生且駐於一輸入射頻(RF)信號中。

5. 如請求項1之設備，其中該處理器操作以利用一具有一可調陷波頻率之陷波濾波器來過濾該等數位樣本。

6. 如請求項1之設備，其中該處理器操作以利用一具有一可調陷波頻寬之陷波濾波器來過濾該等數位樣本。

7. 如請求項1之設備，其中該處理器操作以利用一具有一可調陷波頻率及一可調陷波頻寬之陷波濾波器來過濾該等數位樣本。

8. 如請求項1之設備，其中該處理器操作以偵測該激生軌跡且以基於該激生軌跡之特徵來過濾該等數位樣本。

9. 如請求項1之設備，其中該處理器操作以藉由對該等數位樣本執行一快速傅立葉變換(FFT)或一離散傅立葉變換

(DFT)來偵測該激生軌跡。

10. 如請求項1之設備，其中該記憶體操作以儲存複數個已知激生軌跡，且其中該處理器操作以將該激生軌跡識別為該複數個已知激生軌跡之一者。
11. 如請求項1之設備，其中該處理器操作以利用一具有一由該激生軌跡之一振幅確定之陷波頻寬的陷波濾波器來過濾該等數位樣本。
12. 如請求項1之設備，其中該處理器操作以利用一具有一複數增益之陷波濾波器來過濾該等數位樣本，且以執行複數個實數乘從而實施一具該複數增益之複數乘。
13. 如請求項12之設備，其中該處理器操作以基於該複數增益形成第一及第二係數，且為該複數個實數乘之每一者執行與該第一係數及該第二係數之兩個較小實數乘。
14. 如請求項12之設備，其中該處理器操作以利用一具有一實數增益之陷波濾波器來過濾該等數位樣本，且執行位元移位來實施一具該實數增益之實數乘。
15. 一種設備，其包含：
 - 一處理器，其操作以接收關於一寬頻信號的數位樣本，該寬頻信號具有一處於該寬頻信號之一頻寬內之激生軌跡，以過濾該等數位樣本從而抑制該激生軌跡，且以提供具有該被抑制的激生軌跡之輸出樣本，其中該激生軌跡在該設備處內部地產生；及
 - 一記憶體，其操作性地耦接至該處理器。
16. 如請求項15之設備，其中該寬頻信號為一劃碼多向近接

(CDMA)信號。

17. 如請求項15之設備，其中該寬頻信號為一正交劃頻多工 (OFDM)信號。

18. 一種無線裝置，其包含：

一處理器，其操作以接收關於一劃碼多向近接(CDMA)信號的數位樣本，該CDMA信號具有一處於該CDMA信號之一頻寬內之激生軌跡，以利用一陷波濾波器來過濾該等數位樣本從而抑制該激生軌跡，且以提供具有該被抑制的激生軌跡之輸出樣本，其中該激生軌跡在該無線裝置內內部地產生；及

一記憶體，其操作性地耦接至該處理器。

19. 如請求項18之無線裝置，其中該處理器操作以利用一具有一可調陷波頻率及一可調陷波頻寬之可調陷波濾波器來過濾該等數位樣本。

20. 如請求項18之無線裝置，其中該激生軌跡為該無線裝置內之一時脈之一諧波。

21. 一種方法，其包含：

接收關於一所要信號的數位樣本，該所要信號具有一處於該所要信號之一頻寬內之激生軌跡；

過濾該等數位樣本從而抑制該激生軌跡；及

提供具有該被抑制的激生軌跡之輸出樣本。

22. 如請求項21之方法，其中該過濾該等數位樣本包含

利用一具有一可調陷波頻率之陷波濾波器來過濾該等數位樣本。

23. 如請求項21之方法，其中該過濾該等數位樣本包含
利用一具有一可調陷波頻寬之陷波濾波器來過濾該等
數位樣本。
24. 如請求項21之方法，其中該過濾該等數位樣本包含
偵測該激生軌跡，及
基於該激生軌跡之特徵來過濾該等數位樣本。
25. 一種設備，其包含：
用於接收關於一所要信號的數位樣本的構件，該所要
信號具有一處於該所要信號之一頻寬內之激生軌跡；
用於過濾該等數位樣本從而抑制該激生軌跡之構件；及
用於提供具有該被抑制的激生軌跡之輸出樣本之構
件。
26. 如請求項25之設備，其中該用於過濾該等數位樣本之構
件包含
用於利用一具有一可調陷波頻率之陷波濾波器來過濾
該等數位樣本之構件。
27. 如請求項25之設備，其中該用於過濾該等數位樣本之構
件包含
用於利用一具有一可調陷波頻寬之陷波濾波器來過濾
該等數位樣本之構件。
28. 如請求項25之設備，其中該用於過濾該等數位樣本之構
件包含
用於偵測該激生軌跡之構件，及
用於基於該激生軌跡之特徵來過濾該等數位樣本之構
件。

十一、圖式：

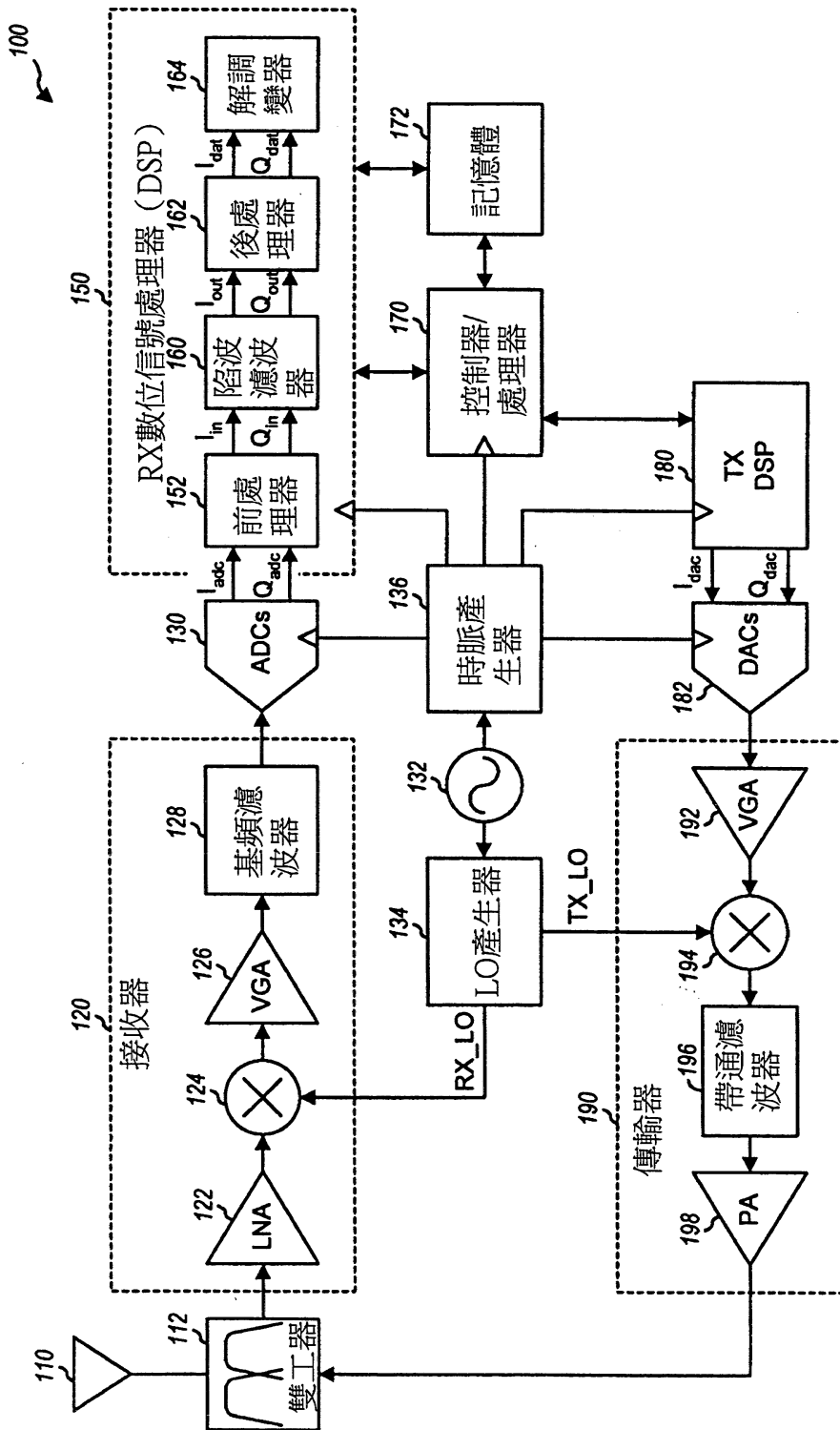


圖1

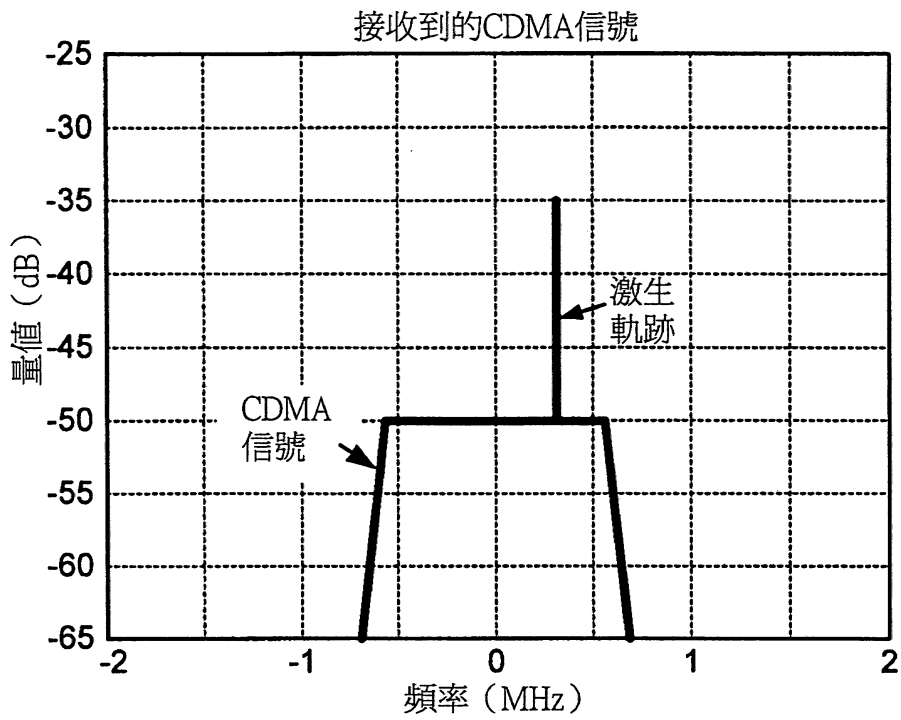


圖2A

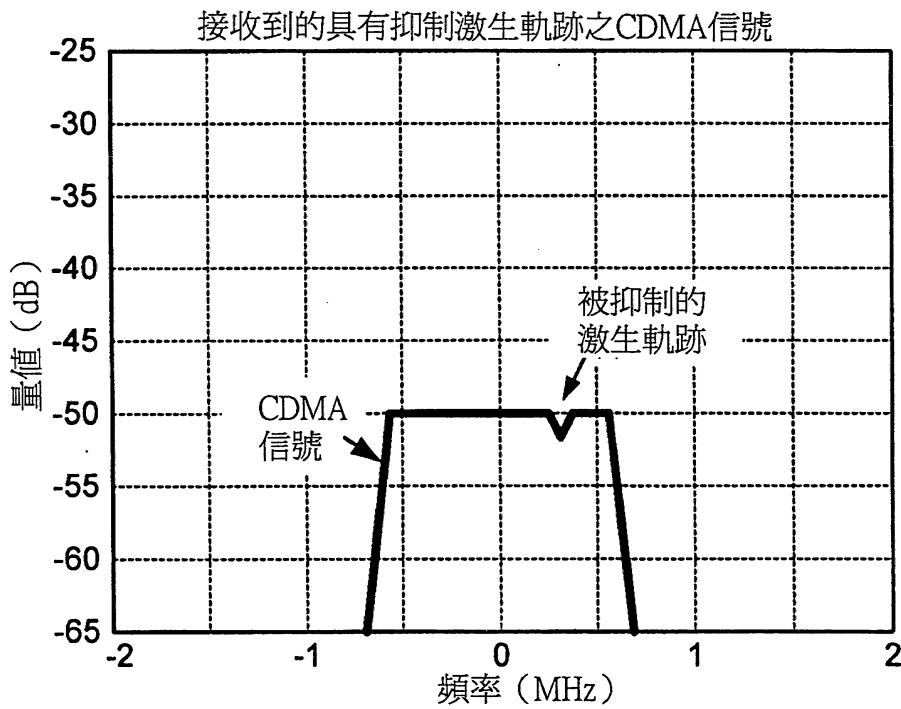


圖2B

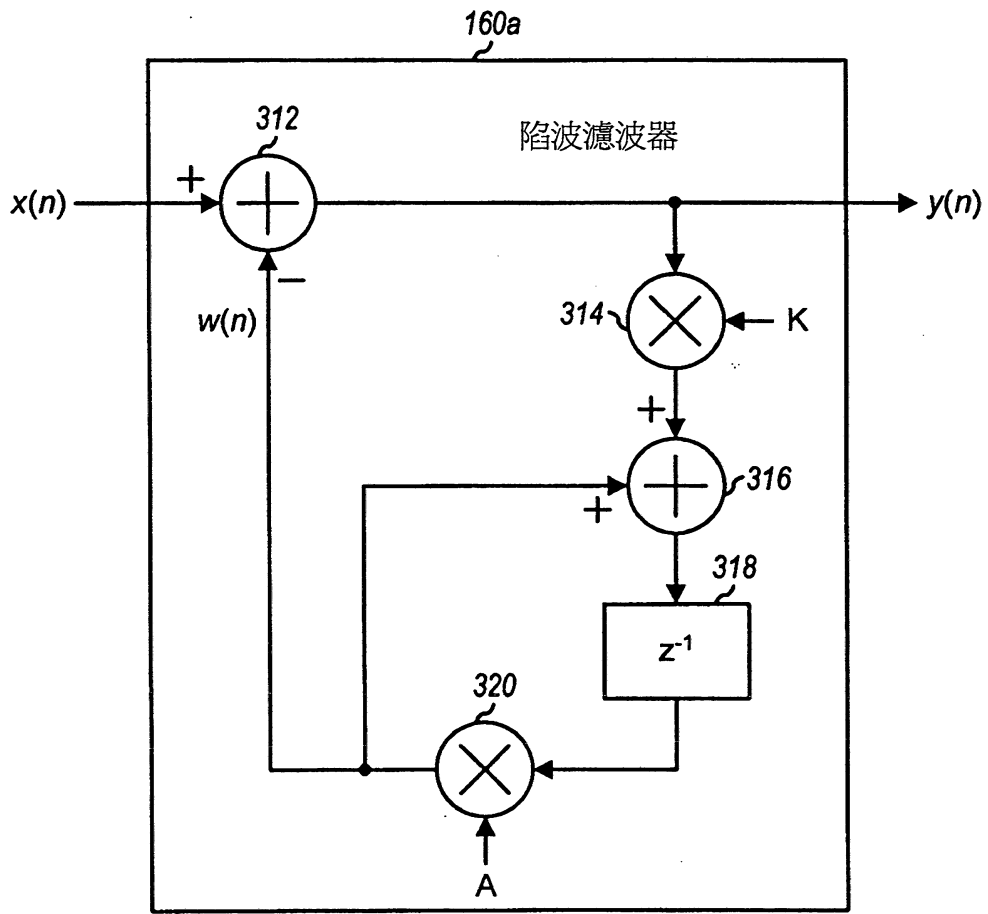


圖3

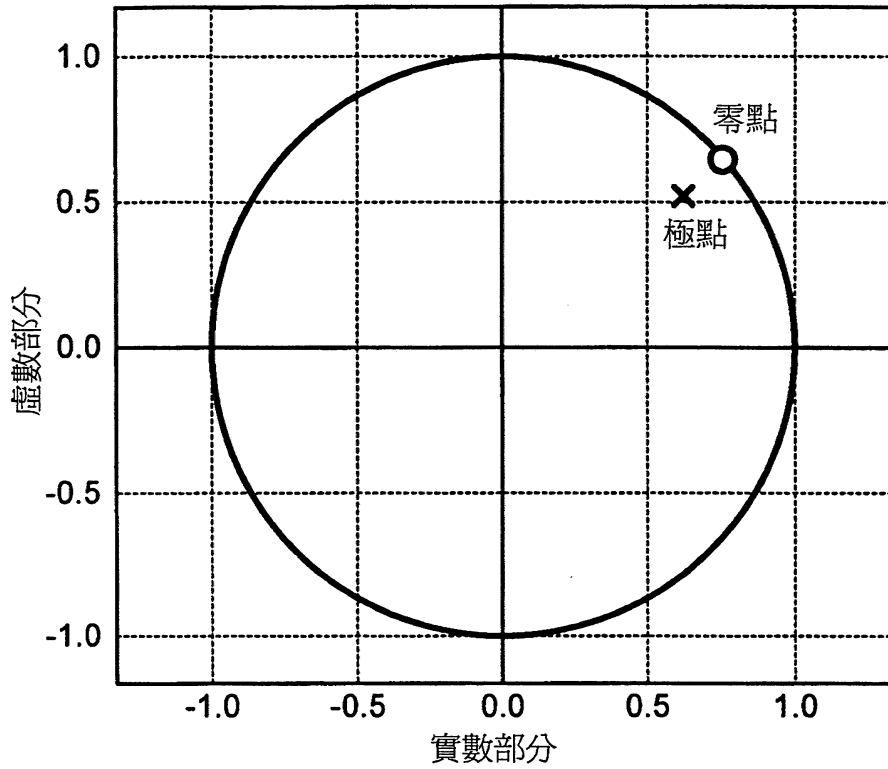


圖4A

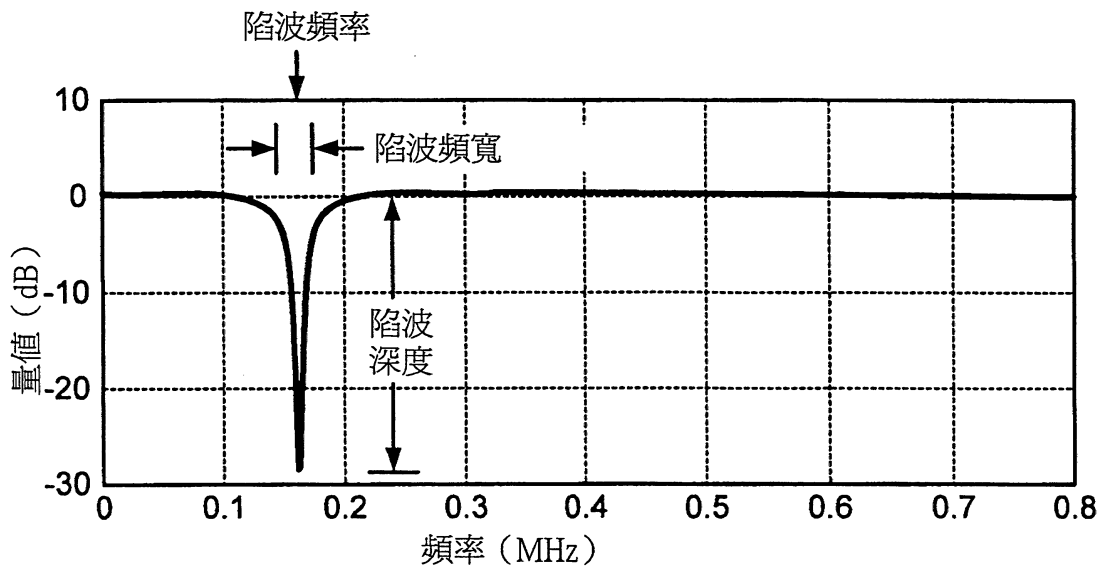


圖4B

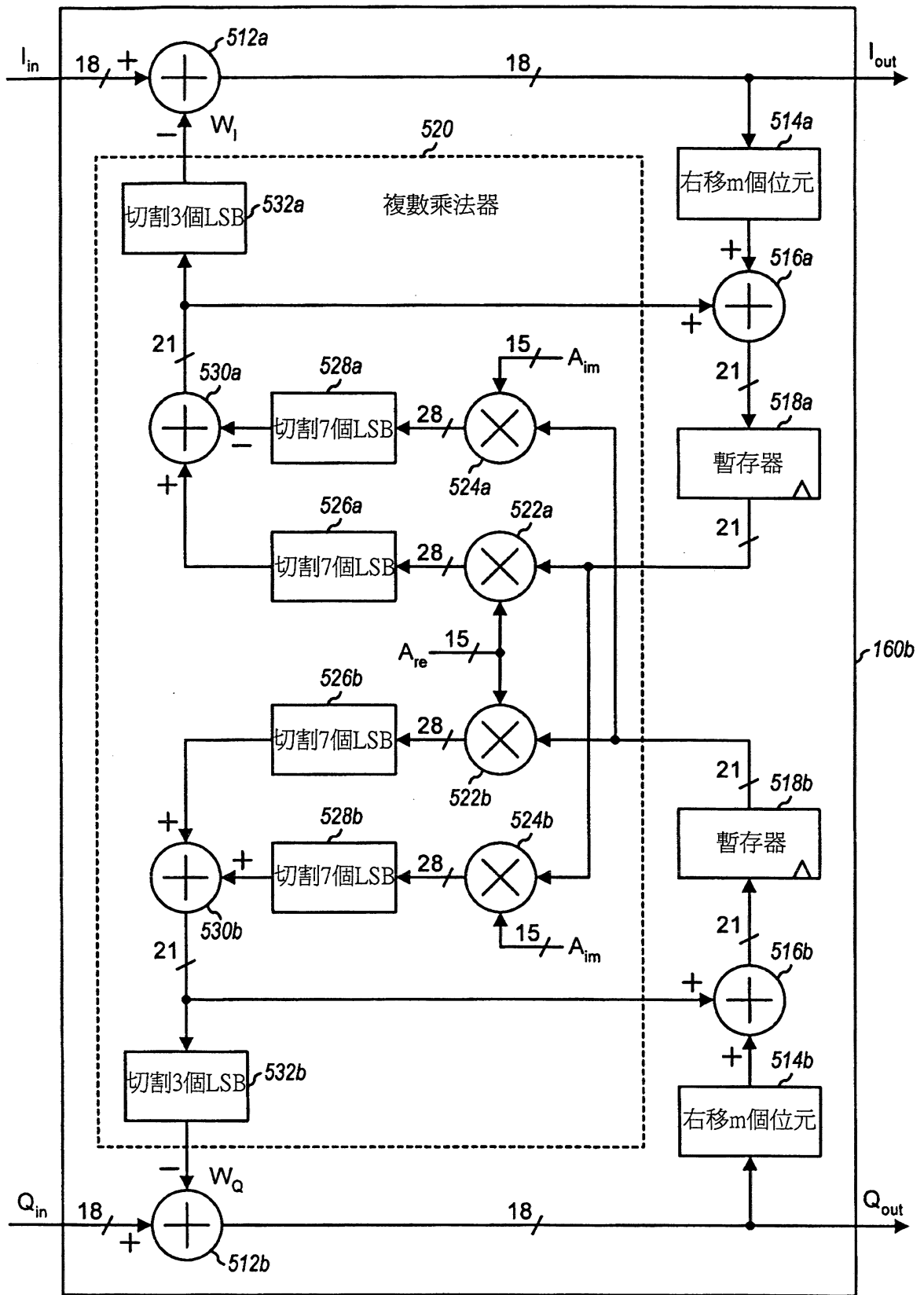


圖5A

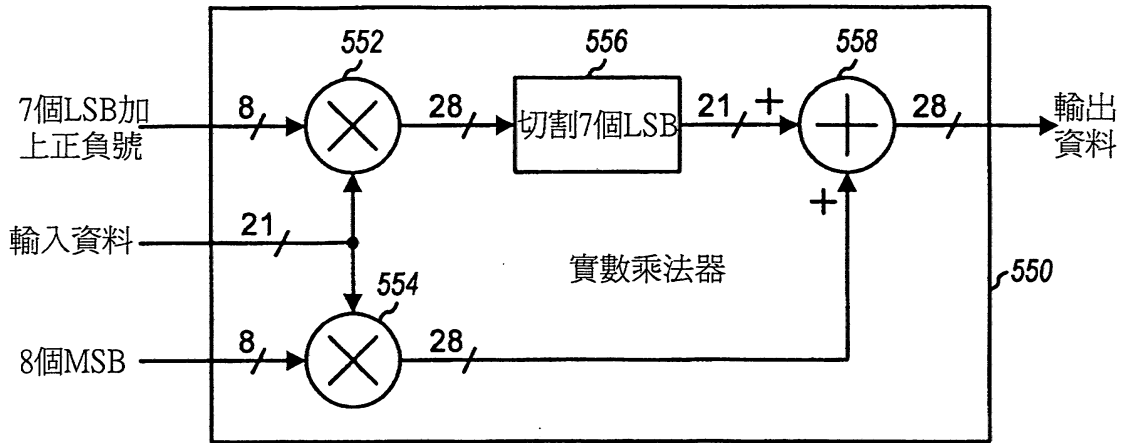


圖5B

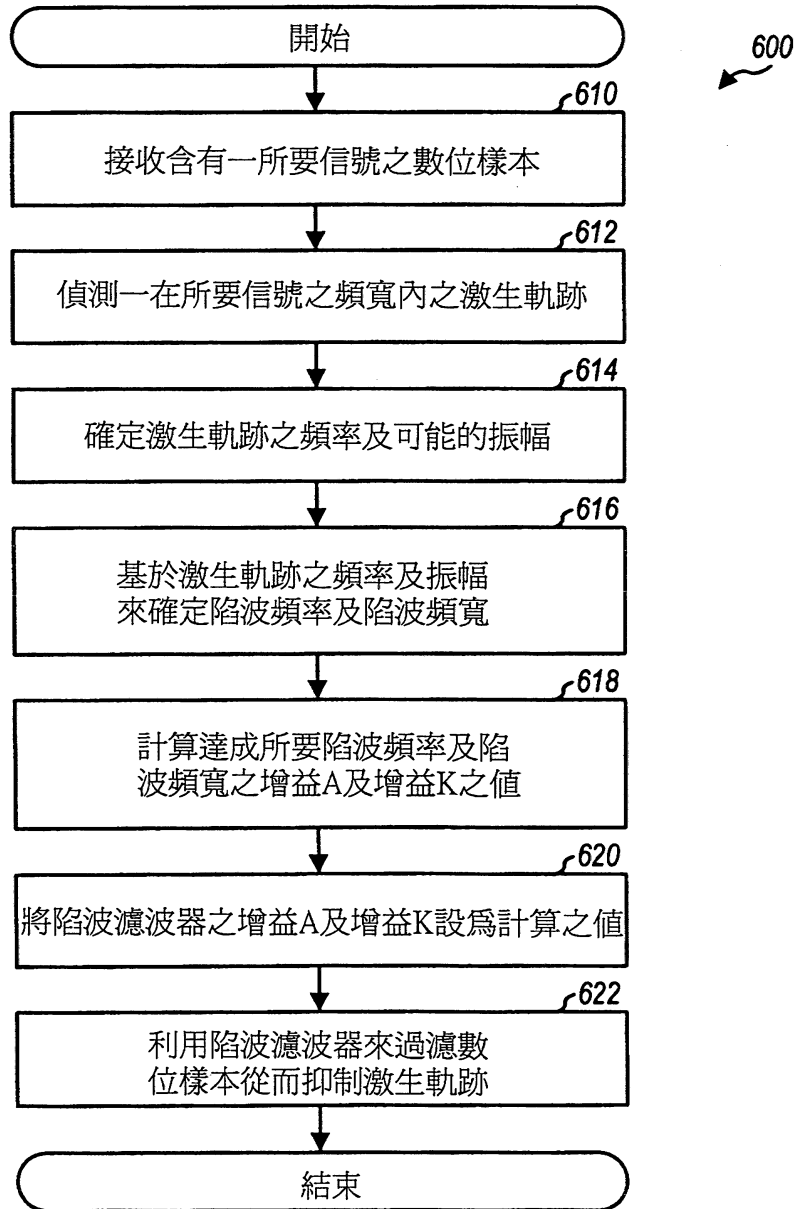


圖6

七、指定代表圖：

(一)本案指定代表圖為：第(5A)圖。

(二)本代表圖之元件符號簡單說明：

160b	陷波濾波器
512a、512b、516a、 516b、530a、530b	飽和加法器
514a、514b	位元移位單元
518a、518b	暫存器
520	複數乘法器
522a、522b、524a、 524b	實數乘法器
526a、526b、528a、 528b、532a、532b	單元

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)