

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-97804

(P2008-97804A)

(43) 公開日 平成20年4月24日(2008.4.24)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G 1 1 C 29/06 (2006.01)</b>	G 1 1 C 29/00 6 7 1 F	2 G 1 3 2
<b>G 1 1 C 29/12 (2006.01)</b>	G 1 1 C 29/00 6 7 1 Z	5 L 1 0 6
<b>G 1 1 C 11/4074 (2006.01)</b>	G 1 1 C 11/34 3 5 4 F	5 M 0 2 4
<b>G 1 1 C 11/401 (2006.01)</b>	G 1 1 C 11/34 3 7 1 A	
<b>G O 1 R 31/28 (2006.01)</b>	G O 1 R 31/28 B	
審査請求 未請求 請求項の数 24 O L (全 21 頁) 最終頁に続く		

(21) 出願番号	特願2007-214164 (P2007-214164)	(71) 出願人	591024111
(22) 出願日	平成19年8月20日 (2007.8.20)		株式会社ハイニックスセミコンダクター
(31) 優先権主張番号	10-2006-0099652		HYNIX SEMICONDUCTOR
(32) 優先日	平成18年10月13日 (2006.10.13)		I N C.
(33) 優先権主張国	韓国 (KR)		大韓民国京畿道利川市夫鉢邑牙美里山136-1
			San 136-1, Ami-Ri, Bu
			bal-Eup, Ichon-Shi, K
			youngki-Do, Korea
		(74) 代理人	100117514
			弁理士 佐々木 敦朗
		(72) 発明者	崔 俊 基
			大韓民国京畿道利川市夫鉢邑牙美里山136-1
		最終頁に続く	

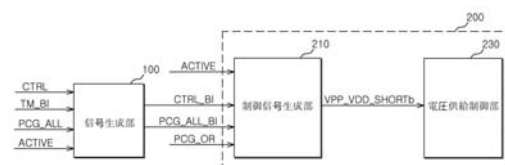
(54) 【発明の名称】 電圧制御装置および電圧制御方法

## (57) 【要約】

【課題】 半導体集積回路に関し、製造上の脆弱なセルおよび周辺ロジックにストレスを加えるテストの際に、ピーク電流の集中を防止できる電圧制御装置を提供する。

【解決手段】 オールバンクプリチャージ命令にตอบสนองしてバーンイン制御信号およびバーンインプリチャージ信号を出力する信号生成手段と、前記バーンイン制御信号と前記バーンインプリチャージ信号にตอบสนองして、第1電圧又は前記第1電圧より低い第2電圧のうちいずれか1つをワード線に供給する電圧制御手段とを含む。

【選択図】 図4



**【特許請求の範囲】****【請求項 1】**

オールバンクプリチャージ命令に応答してバーンイン制御信号およびバーンインプリチャージ信号を出力する信号生成ユニットと、

前記バーンイン制御信号と前記バーンインプリチャージ信号に応答して、第 1 電圧又は前記第 1 電圧より低い第 2 電圧のうちいずれか 1 つをワード線に供給する電圧制御ユニットと

を含むことを特徴とする電圧制御装置。

**【請求項 2】**

前記電圧制御ユニットには、第 1 プリチャージ信号およびアクティブ信号がさらに入力されることを特徴とする請求項 1 に記載の電圧制御装置。

10

**【請求項 3】**

前記信号生成ユニットは、

バーンインテストモード信号および制御信号に応答して、前記バーンイン制御信号を出力する第 1 信号生成部と、

第 2 プリチャージ信号および前記アクティブ信号に応答して、前記バーンインプリチャージ信号を出力する第 2 信号生成部と

を含むことを特徴とする請求項 2 に記載の電圧制御装置。

**【請求項 4】**

前記第 1 信号生成部は、前記バーンインテストモード信号および前記制御信号が入力されて、前記バーンインテストモード信号および前記制御信号がいずれもハイレベルである時、イネーブルになるように設計されていることを特徴とする請求項 3 に記載の電圧制御装置。

20

**【請求項 5】**

前記第 2 信号生成部は、

前記アクティブ信号を反転する第 1 インバータと、

前記第 2 プリチャージ信号および前記第 1 インバータの出力信号が入力されてナンドゲートと、

前記ナンドゲートの出力信号 入力されて 前記バーンインプリチャージ信号を生成する 第 2 インバータと

を含むことを特徴とする請求項 3 に記載の電圧制御装置。

30

**【請求項 6】**

前記電圧制御ユニットは、

前記アクティブ信号、前記第 1 プリチャージ信号、前記バーンインプリチャージ信号および前記バーンイン制御信号に応答して、電圧制御信号を出力する制御信号生成部と、

前記電圧制御信号に応答して、前記第 1 電圧又は前記第 2 電圧のうちいずれか 1 つを前記ワード線に供給する電圧供給制御部と

を含むことを特徴とする請求項 2 に記載の電圧制御装置。

**【請求項 7】**

前記制御信号生成部は、

前記アクティブ信号が入力されて、前記アクティブ信号を遅延させたアクティブディレイ信号を生成し、前記アクティブディレイ信号に応答して、アクティブディレイパルス信号を生成する第 1 制御信号生成部と、

前記第 1 プリチャージ信号、前記バーンインプリチャージ信号、前記バーンイン制御信号、前記アクティブディレイ信号および前記アクティブディレイパルス信号に応答して、前記電圧制御信号を生成する第 2 制御信号生成部と

を含むことを特徴とする請求項 6 に記載の電圧制御装置。

40

**【請求項 8】**

前記第 1 制御信号生成部は、

前記アクティブ信号を第 1 時間ほど遅延させ、前記アクティブディレイ信号を生成する

50

信号遅延部と、

前記アクティブディレイ信号にตอบสนองして、パルス信号の前記アクティブディレイパルス信号を生成するパルス発生部と

を含むことを特徴とする請求項 7 に記載の電圧制御装置。

【請求項 9】

前記第 2 制御信号生成部は、

前記第 1 プリチャージ信号、前記バーンイン制御信号、前記アクティブディレイ信号および前記アクティブディレイパルス信号にตอบสนองして、第 1 ノードの電位を変化させる第 1 信号入力部と、

前記第 1 ノードの電位をラッチする第 1 ラッチ部と、

前記バーンインプリチャージ信号、前記バーンイン制御信号および前記アクティブディレイ信号にตอบสนองして、第 2 ノードの電位を変化させる第 2 信号入力部と、

前記第 2 ノードの電位をラッチする第 2 ラッチ部と、

前記アクティブディレイ信号にตอบสนองして、前記第 1 ラッチ部および前記第 2 ラッチ部の出力信号のうちいずれか 1 つを駆動させ、前記電圧制御信号として出力する信号駆動部とを含むことを特徴とする請求項 7 に記載の電圧制御装置。

【請求項 10】

前記電圧供給制御部は、前記電圧制御信号にตอบสนองして、前記第 1 電圧および前記第 2 電圧をショートさせるスイッチング素子を含むことを特徴とする請求項 6 に記載の電圧制御装置。

【請求項 11】

前記バーンインテストモード信号はバーンインテストモード時に活性化される信号であり、前記制御信号は前記オールバンクプリチャージ命令にตอบสนองして活性化される信号であることを特徴とする請求項 3 に記載の電圧制御装置。

【請求項 12】

前記第 1 プリチャージ信号は複数のバンクのうちの一部をプリチャージする信号であり、前記第 2 プリチャージ信号は複数の前記バンクのすべてをプリチャージする信号であることを特徴とする請求項 11 に記載の電圧制御装置。

【請求項 13】

オールバンクプリチャージ命令にตอบสนองして、電圧制御信号を活性化させて出力する制御信号生成ユニットと、

アクティブ動作時に、前記電圧制御信号にตอบสนองして、ワード線に第 2 電圧を印加した後前記第 1 電圧が印加されるようにし、プリチャージ動作時に、前記ワード線に予め第 2 電圧が印加されるようにする電圧供給制御ユニットと

を含むことを特徴とする電圧制御装置。

【請求項 14】

前記制御信号生成ユニットは、バーンイン制御信号、バーンインプリチャージ信号、アクティブ信号および第 1 プリチャージ信号にตอบสนองして、前記電圧制御信号を生成することを特徴とする請求項 13 に記載の電圧制御装置。

【請求項 15】

前記オールバンクプリチャージ命令にตอบสนองしてバーンイン制御信号およびバーンインプリチャージ信号を出力する信号生成ユニットをさらに含むことを特徴とする請求項 13 に記載の電圧制御装置。

【請求項 16】

前記信号生成ユニットは、

バーンインテストモード信号および制御信号にตอบสนองして、前記バーンイン制御信号を出力する第 1 信号生成部と、

第 2 プリチャージ信号および前記アクティブ信号にตอบสนองして、前記バーンインプリチャージ信号を出力する第 2 信号生成部と

を含むことを特徴とする請求項 15 に記載の電圧制御装置。

10

20

30

40

50

**【請求項 17】**

前記第1信号生成部は、前記バーンインテストモード信号および前記制御信号がいずれもハイレベルである時、イネーブルになることを特徴とする請求項16に記載の電圧制御装置。

**【請求項 18】**

前記制御信号生成部は、

前記アクティブ信号が入力されて、前記アクティブ信号を遅延させたアクティブディレイ信号を生成し、前記アクティブディレイ信号に応答して、アクティブディレイパルス信号を生成する第1制御信号生成部と、

前記第1プリチャージ信号、前記バーンインプリチャージ信号、前記バーンイン制御信号、前記アクティブディレイ信号および前記アクティブディレイパルス信号に応答して、前記電圧制御信号を生成する第2制御信号生成部とを含むことを特徴とする請求項13に記載の電圧制御装置。

10

**【請求項 19】**

前記第2制御信号生成部は、

前記第1プリチャージ信号、前記バーンイン制御信号、前記アクティブディレイ信号および前記アクティブディレイパルス信号に応答して、第1ノードの電位を変化させる第1信号入力部と、

前記第1ノードの電位をラッチする第1ラッチ部と、

前記バーンインプリチャージ信号、前記バーンイン制御信号および前記アクティブディレイ信号に応答して、第2ノードの電位を変化させる第2信号入力部と、

前記第2ノードの電位をラッチする第2ラッチ部と、

前記アクティブディレイ信号に応答して、前記第1ラッチ部および前記第2ラッチ部の出力信号のうちいずれか1つを駆動させ、前記電圧制御信号として出力する信号駆動部とを含むことを特徴とする請求項18に記載の電圧制御装置。

20

**【請求項 20】**

前記電圧供給制御ユニットは、前記電圧制御信号に応答して、前記第1電圧および前記第2電圧をショートさせるスイッチング素子を含むことを特徴とする請求項13に記載の電圧制御装置。

**【請求項 21】**

バーンインテストモード時にテストモード信号を活性化させるステップと、

オールバンクプリチャージ命令に응答して、バーンイン制御信号およびバーンインプリチャージ信号を活性化させ、電圧制御信号を活性化させるステップと、

アクティブ動作時、前記電圧制御信号に응答して、ワード線に第2電圧を印加してから第1電圧を印加するステップと、

プリチャージ動作時、前記ワード線が非活性化される前に前記電圧制御信号に응答して、前記ワード線に前記第2電圧を印加するステップと

を含むことを特徴とする電圧制御方法。

30

**【請求項 22】**

前記電圧制御信号を生成するステップは、

制御信号および前記バーンインテストモード信号に응答して、前記バーンイン制御信号を出力するステップと、

第1プリチャージ信号およびアクティブ信号に응答して、前記バーンインプリチャージ信号を出力するステップと

を含むことを特徴とする請求項21記載の電圧制御方法。

40

**【請求項 23】**

前記アクティブ動作時ワード線に電圧を印加するステップは、

前記アクティブ信号を遅延させ、アクティブディレイ信号を出力するステップと、

前記アクティブディレイ信号に응答して、パルス信号のアクティブディレイパルス信号を出力するステップと

50

を含むことを特徴とする請求項 2 1 に記載の電圧制御方法。

【請求項 2 4】

前記プリチャージ動作時ワード線に電圧を印加するステップと、  
プリチャージ命令が入力される前に前記オールバンクプリチャージ命令が入力されるステップと

を含むことを特徴とする請求項 2 1 に記載の電圧制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路に関し、より詳しくは、製造上の脆弱なセルおよび周辺ロジックにストレスを加えるテストを行い、不良を事前に発見できるバーンインテストモードの電圧制御装置およびこれを用いた電圧制御装置および電圧制御方法に関するものである。

10

【背景技術】

【0002】

一般的に D R A M のような半導体集積回路は、パッケージする前に製品の不良を早期発見するため、動作電圧より高い電圧および高温でストレスを印加するバーンインテスト工程を行う（例えば、特許文献 1）。このようなバーンインテスト工程によって、脆弱なセルおよびロジック回路の脆弱な部分が判別される。

【0003】

20

また、バーンインテスト工程は、高い電位で格納されたセルのストレージキャパシタの誘電膜に正常状態以上のストレスを与えて、脆弱なセルをスクリーンでき、セルトランジスタのゲート酸化物にストレスを印加して、ゲート酸化物の降伏電圧（b r e a k d o w n v o l t a g e）を測定することもできる。

【0004】

このようなバーンイン動作をするために、D R A M はアクティブ - ライト - プリチャージの動作パターンを有しなければならない。前記 D R A M の動作は、ローアドレス（X - A d d r e s s）とカラムアドレス（Y - A d d r e s s）とのスキャン方式によってローファースト（X - F a s t）動作とカラムファースト（Y - F a s t）動作に分けられるようになる。

30

【0005】

図 1 は、ローファースト（X - F a s t）動作に伴うアドレス進行方向およびアドレスパターンを示す概念図であり、図 2 は、カラムファースト（Y - F a s t）動作に伴うアドレス進行方向およびアドレスパターンを示す概念図である。

【0006】

図 1 および図 2 に示す、A 0 ~ A（N）はアクティブ命令、W 0 ~ W（N）はライト命令、P 0 ~ P（N）はプリチャージ命令である。

図 1 と図 2 を比較すれば、ローファースト（X - F a s t）動作の場合、アクティブプリチャージ回数がカラムファースト（Y - F a s t）動作に比べて N 倍多い。これは、アクティブ又はプリチャージ時にピーク電流が多いことを意味する。

40

【0007】

すなわち、カラムファースト（Y - F a s t）動作の場合、アクティブプリチャージ方式はローアドレスをアクティブした後にコラムの数だけライトしてプリチャージ動作をするため、ワード線 W L 動作に伴うピーク電流がローファースト（X - F a s t）動作に比べて 1 / N に減少するようになる。

【0008】

図 3 は、従来の電圧制御装置がローファースト（X - F a s t）動作をする場合にアクティブプリチャージ方式を示すタイミング図である。

図 3 に示すように、従来の電圧制御装置は、アクティブ命令 A C T が入力されれば内部的にアクティブ信号 A C T I V E が発生するようになり、この信号に応じてワード線 W L

50

を高電圧  $V_{PP}$  レベルまで上昇させるようになる。この時、接地電圧  $V_{SS}$  でディスチャージされているワード線  $WL$  を高電圧  $V_{PP}$  レベルまでチャージしなければならないため、瞬間的に多くの電流を消耗するようになる。

【0009】

図3に示す、 $A$  はアクティブ動作時ワード線  $WL$  が動作するのに伴う瞬間的なピーク電流を示し、 $B$  はプリチャージ動作時発生するピーク電流を示すものである。 $C$  はセンスアンプが動作するのに伴うピーク電流を示す。

【0010】

ところで、 $DRAM$  の容量が大きくなることによって動作電流が多くなり、特に、動作電圧より高い外部電圧  $V_{DD}$  で  $48 \sim 72$  時間の間アクティブプリチャージ動作を繰り返すバーンインテストの場合、ローファースト ( $X - Fast$ ) 動作時にピーク電流が多く発生するようになる。このような多量のピーク電流は半導体メモリのパッケージ工程時に、外部信号端子の導電ボールを溶かす問題を誘発する。これによって、パッケージの良品率 ( $yield$ ) を低下させてバーンインソケットを損傷させる。

10

【0011】

従来の異なる方法で、カラムファースト ( $Y - Fast$ ) 動作でアクティブプリチャージ方式を用いてピーク電流を減らす方法がある。しかし、カラムファースト ( $Y - Fast$ ) 動作でバーンインテストを進行する場合、ペリトランジスタ ( $peritranistor$ ) が容易に劣化し、正確にスクリーンすることが難しい。

20

【特許文献1】特開2006-139901号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

したがって、本発明の目的は、ピーク電流の集中を防止できる電圧制御装置を提供することにある。

また、本発明の他の目的は、素子の劣化なくバーンインテスト工程を行うようにする電圧制御方法を提供することにある。

【課題を解決するための手段】

【0013】

前記本発明の目的を達成するために、本発明の電圧制御装置は、オールバンクプリチャージ命令に応答してバーンイン制御信号およびバーンインプリチャージ信号を出力する信号生成ユニットと、前記バーンイン制御信号と前記バーンインプリチャージ信号に응答して、第1電圧又は前記第1電圧より低い第2電圧のうちいずれか1つをワード線に供給する電圧制御ユニットとを含む。

30

【0014】

なお、上記発明において、電圧制御ユニットには、第1プリチャージ信号およびアクティブ信号がさらに入力されることが好ましい。

また、上記発明において、信号生成ユニットは、バーンインテストモード信号および制御信号に응答して、バーンイン制御信号を出力する第1信号生成部と、第2プリチャージ信号およびアクティブ信号に응答して、バーンインプリチャージ信号を出力する第2信号生成部とを含むことが好ましい。

40

【0015】

上記発明において、第1信号生成部は、バーンインテストモード信号および制御信号が入力されて、バーンインテストモード信号および制御信号がいずれもハイレベルである時、イネーブルになるように設計されていることが好ましい。

【0016】

上記発明において、第2信号生成部は、アクティブ信号を反転する第1インバータと、第2プリチャージ信号および第1インバータの出力信号が入力されてナンドゲートと、ナンドゲートの出力信号入力されてバーンインプリチャージ信号を生成する第2インバータとを含むことが好ましい。

50

## 【 0 0 1 7 】

上記発明において、電圧制御ユニットは、アクティブ信号、第 1 プリチャージ信号、バーンインプリチャージ信号およびバーンイン制御信号に応答して、電圧制御信号を出力する制御信号生成部と、電圧制御信号に응答して、第 1 電圧又は第 2 電圧のうちいずれか 1 つをワード線に供給する電圧供給制御部とを含むことが好ましい。

## 【 0 0 1 8 】

上記発明において、制御信号生成部は、アクティブ信号が入力されて、アクティブ信号を遅延させたアクティブディレイ信号を生成し、アクティブディレイ信号に응答して、アクティブディレイパルス信号を生成する第 1 制御信号生成部と、第 1 プリチャージ信号、バーンインプリチャージ信号、バーンイン制御信号、アクティブディレイ信号およびアクティブディレイパルス信号に응答して、電圧制御信号を生成する第 2 制御信号生成部とを含むことが好ましい。

10

## 【 0 0 1 9 】

上記発明において、第 1 制御信号生成部は、アクティブ信号を第 1 時間ほど遅延させ、アクティブディレイ信号を生成する信号遅延部と、アクティブディレイ信号に응答して、パルス信号のアクティブディレイパルス信号を生成するパルス発生部とを含むことが好ましい。

## 【 0 0 2 0 】

上記発明において、第 2 制御信号生成部は、第 1 プリチャージ信号、バーンイン制御信号、アクティブディレイ信号およびアクティブディレイパルス信号に응答して、第 1 ノードの電位を変化させる第 1 信号入力部と、第 1 ノードの電位をラッチする第 1 ラッチ部と、バーンインプリチャージ信号、バーンイン制御信号およびアクティブディレイ信号に응答して、第 2 ノードの電位を変化させる第 2 信号入力部と、第 2 ノードの電位をラッチする第 2 ラッチ部と、アクティブディレイ信号に응答して、第 1 ラッチ部および第 2 ラッチ部の出力信号のうちいずれか 1 つを駆動させ、電圧制御信号として出力する信号駆動部とを含むことが好ましい。

20

## 【 0 0 2 1 】

なお、上記発明において、電圧供給制御部は、電圧制御信号に응答して、第 1 電圧および第 2 電圧をショートさせるスイッチング素子を含むことが好ましい。

また、上記発明において、バーンインテストモード信号はバーンインテストモード時に活性化される信号であり、制御信号はオールバンクプリチャージ命令に응答して活性化される信号であることが好ましい。

30

さらに、上記発明において、第 1 プリチャージ信号は複数のバンクのうちの一部をプリチャージする信号であり、第 2 プリチャージ信号は複数のバンクのすべてをプリチャージする信号であることが好ましい。

## 【 0 0 2 2 】

また、本発明は、オールバンクプリチャージ命令に응答して、電圧制御信号を活性化させて出力する制御信号生成ユニットと、アクティブ動作時に、電圧制御信号に응答して、ワード線に第 2 電圧を印加した後第 1 電圧が印加されるようにし、プリチャージ動作時に、ワード線に予め第 2 電圧が印加されるようにする電圧供給制御ユニットとを含む。

40

## 【 0 0 2 3 】

なお、上記発明において、制御信号生成ユニットは、バーンイン制御信号、バーンインプリチャージ信号、アクティブ信号および第 1 プリチャージ信号に응答して、電圧制御信号を生成することが好ましい。

また、上記発明において、オールバンクプリチャージ命令に응答してバーンイン制御信号およびバーンインプリチャージ信号を出力する信号生成ユニットをさらに含むことが好ましい。

## 【 0 0 2 4 】

上記発明において、信号生成ユニットは、バーンインテストモード信号および制御信号に응答して、バーンイン制御信号を出力する第 1 信号生成部と、第 2 プリチャージ信号お

50

よびアクティブ信号に応答して、バーンインプリチャージ信号を出力する第2信号生成部とを含むことが好ましい。

上記発明において、第1信号生成部は、バーンインテストモード信号および制御信号がいずれもハイレベルである時、イネーブルになることが好ましい。

【0025】

上記発明において、制御信号生成部は、アクティブ信号が入力されて、アクティブ信号を遅延させたアクティブディレイ信号を生成し、アクティブディレイ信号に응答して、アクティブディレイパルス信号を生成する第1制御信号生成部と、第1プリチャージ信号、バーンインプリチャージ信号、バーンイン制御信号、アクティブディレイ信号およびアクティブディレイパルス信号に응答して、電圧制御信号を生成する第2制御信号生成部とを含むことが好ましい。

10

【0026】

上記発明において、第2制御信号生成部は、第1プリチャージ信号、バーンイン制御信号、アクティブディレイ信号およびアクティブディレイパルス信号に응答して、第1ノードの電位を変化させる第1信号入力部と、第1ノードの電位をラッチする第1ラッチ部と、バーンインプリチャージ信号、バーンイン制御信号およびアクティブディレイ信号に응答して、第2ノードの電位を変化させる第2信号入力部と、第2ノードの電位をラッチする第2ラッチ部と、アクティブディレイ信号に응答して、第1ラッチ部および第2ラッチ部の出力信号のうちいずれか1つを駆動させ、電圧制御信号として出力する信号駆動部とを含むことが好ましい。

20

なお、上記発明において、電圧供給制御ユニットは、電圧制御信号に응答して、第1電圧および第2電圧をショートさせるスイッチング素子を含むことが好ましい。

【0027】

さらに、本発明は、バーンインテストモード時にテストモード信号を活性化させるステップと、オールバンクプリチャージ命令に응答して、バーンイン制御信号およびバーンインプリチャージ信号を活性化させ、電圧制御信号を活性化させるステップと、アクティブ動作時、電圧制御信号に응答して、ワード線に第2電圧を印加してから第1電圧を印加するステップと、プリチャージ動作時、ワード線が非活性化される前に電圧制御信号に응答して、ワード線に第2電圧を印加するステップとを含む。

【0028】

30

上記発明において、電圧制御信号を生成するステップは、制御信号およびバーンインテストモード信号に응答して、バーンイン制御信号を出力するステップと、第1プリチャージ信号およびアクティブ信号に응答して、バーンインプリチャージ信号を出力するステップとを含むことが好ましい。

【0029】

上記発明において、アクティブ動作時ワード線に電圧を印加するステップは、アクティブ信号を遅延させ、アクティブディレイ信号を出力するステップと、アクティブディレイ信号に응答して、パルス信号のアクティブディレイパルス信号を出力するステップとを含むことが好ましい。

【0030】

40

上記発明において、プリチャージ動作時ワード線に電圧を印加するステップと、プリチャージ命令が入力される前にオールバンクプリチャージ命令が入力されるステップとを含むことが好ましい。

【発明の効果】

【0031】

本発明に係る電圧制御装置は、アクティブ動作およびプリチャージ動作時に発生するピーク電流を分散させることによって過度なピーク電流によるパッケージボールメルティング(Package Ball Melting)を防止することができ、半導体メモリの生産性向上およびバーンインスクリーンの能力向上の効果を伴う。

【発明を実施するための最良の形態】

50



## 【 0 0 3 2 】

以下では、添付された図面を参照して、本発明の好ましい実施形態をより詳細に説明すれば次の通りである。

図 4 を参照すれば、本発明の実施形態に係る電圧制御装置は、信号生成部 1 0 0 および電圧制御部 2 0 0 を含む。

## 【 0 0 3 3 】

信号生成部 1 0 0 は、オールバンクプリチャージ命令（図示なし）にตอบสนองして、バーンイン制御信号 C T R L \_ B I およびバーンインプリチャージ信号 P C G \_ A L L \_ B I を生成する。このような信号生成部 1 0 0 は、第 1 信号生成部 1 1 0、および第 2 信号生成部 1 3 0 を含む。

10

## 【 0 0 3 4 】

第 1 信号生成部 1 1 0 は、前記バーンインテストモード信号 T M \_ B I および前記制御信号 C T R L にตอบสนองして、前記バーンイン制御信号 C T R L \_ B I を生成する。前記第 1 信号生成部 1 1 0 は、前記バーンインテストモード信号 T M \_ B I および前記制御信号 C T R L が入力される第 1 ナンドゲート N D 1 と、第 1 ナンドゲート N D 1 の出力信号を反転してバーンイン制御信号 C T R L \_ B I として出力する第 1 インバータ I V 1 とを含む。前記第 1 信号生成部 1 1 0 は、前記バーンインテストモード信号 T M \_ B I および前記制御信号 C T R L が入力されて、アンド（ A N D ）演算を行う論理素子、すなわちアンドゲートで構成されることもできる。前記バーンインテストモード信号 T M \_ B I は、バーンインテストモード時に活性化される信号であり、前記制御信号 C T R L はオールバンクプリチャージ命令が入力される場合に活性化される信号であり、特定のアドレスを利用して用いることができる。

20

## 【 0 0 3 5 】

第 2 信号生成部 1 3 0 は、前記第 2 プリチャージ信号 P C G \_ A L L と前記アクティブ信号 A C T I V E にตอบสนองして、前記バーンインプリチャージ信号 P C G \_ A L L \_ B I を出力する。前記第 2 信号生成部 1 3 0 は、前記アクティブ信号 A C T I V E を反転させる第 2 インバータ I V 2 と、前記第 2 プリチャージ信号 P C G \_ A L L および第 2 インバータ I V 2 の出力信号が入力される第 2 ナンドゲート N D 2 と、第 2 ナンドゲート N D 2 の出力信号を反転して、バーンインプリチャージ信号 P C G \_ A L L \_ B I として生成する第 3 インバータ I V 3 とで構成することができる。

30

## 【 0 0 3 6 】

一方、電圧制御部 2 0 0 は、前記バーンイン制御信号 C T R L \_ B I および前記バーンインプリチャージ信号 P C G \_ A L L \_ B I にตอบสนองして、第 1 電圧 V P P 又は前記第 1 電圧 V P P より低い第 2 電圧 V D D のうちいずれか 1 つをワード線 W L に供給する。このような前記電圧制御部 2 0 0 は、第 1 プリチャージ信号 P C G \_ O R およびアクティブ信号 A C T I V E がさらに入力される。すなわち、前記電圧制御部 2 0 0 は、前記第 1 プリチャージ信号 P C G \_ O R、前記アクティブ信号 A C T I V E、前記バーンイン制御信号 C T R L \_ B I および前記バーンインプリチャージ信号 P C G \_ A L L \_ B I にตอบสนองして、第 1 電圧 V P P 又は第 2 電圧 V D D を出力する。

このような電圧制御部 2 0 0 は、制御信号生成部 2 1 0 および電圧供給制御部 2 3 0 で構成することができる。

40

## 【 0 0 3 7 】

制御信号生成部 2 1 0 は、前記アクティブ信号 A C T I V E、前記第 1 プリチャージ信号 P C G \_ O R、前記バーンインプリチャージ信号 P C G \_ A L L \_ B I および前記バーンイン制御信号 C T R L \_ B I にตอบสนองして、前記電圧制御信号 V P P \_ V D D \_ S H O R T b を生成する。前記第 1 プリチャージ信号 P C G \_ O R は複数のバンクのうちの一部をプリチャージする信号であり、前記第 2 プリチャージ信号 P C G \_ A L L は複数のバンクのすべてをプリチャージする信号であり得る。前記第 1 プリチャージ信号 P C G \_ O R は、例えばプリチャージ命令 P C G が入力される場合に活性化される信号であり、前記第 2 プリチャージ信号 P C G \_ A L L は、オールバンクプリチャージ命令 A P C G が入力され

50

る場合に活性化される信号であり得る。

【 0 0 3 8 】

前記制御信号生成部 2 1 0 は、図 6 に示すように第 1 制御信号生成部 2 1 1 および第 2 制御信号生成部 2 1 3 で構成することができる。第 1 制御信号生成部 2 1 1 は、アクティブ信号 A C T I V E が入力され、前記アクティブ信号 A C T I V E を遅延させたアクティブディレイ信号 A C T I V E \_ \_ D E L を生成し、前記アクティブディレイ信号 A C T I V E \_ \_ D E L に応答するパルス信号のアクティブディレイパルス信号 A C T I V E \_ \_ D E L \_ \_ P U L を生成する。

【 0 0 3 9 】

このような第 1 制御信号生成部 2 1 1 は、図 7 に示すように信号遅延部 2 1 1 - 1 およびパルス発生部 2 1 1 - 3 で構成することができる。前記信号遅延部 2 1 1 - 1 は、前記アクティブ信号 A C T I V E を第 1 時間  $t_{d1}$  ほど遅延させ、前記アクティブディレイ信号 A C T I V E \_ \_ D E L を生成する。前記パルス発生部 2 1 1 - 3 は、前記アクティブディレイ信号 A C T I V E \_ \_ D E L に応答して、アクティブディレイパルス信号 A C T I V E \_ \_ D E L \_ \_ P U L を生成する。前記信号遅延部 2 1 1 - 1 は、例えば直列に接続された複数のインバータであることができる。前記パルス発生部 2 1 1 - 3 は、例えば、前記アクティブディレイ信号 A C T I V E \_ \_ D E L を第 2 時間  $t_{d2}$  ほど反転遅延させる反転遅延部 2 1 1 - 3 1 と、前記アクティブディレイ信号 A C T I V E \_ \_ D E L および前記反転遅延部 2 1 1 - 3 1 の出力信号が入力される第 3 ナンドゲート N D 3 と、前記第 3 ナンドゲート N D 3 の出力信号を反転させ、アクティブディレイパルス信号 A C T I V E \_ \_ D E L \_ \_ P U L として出力する第 4 インバータ I V 4 とで構成することができる。本発明では、前記パルス発生部 2 1 1 - 3 をナンドゲートおよびインバータを備えて実施したが、設計者の意図により他の論理素子を用いてパルス信号を生成することができる。

【 0 0 4 0 】

一方、第 2 制御信号生成部 2 1 3 は、前記第 1 プリチャージ信号 P C G \_ \_ O R、前記バーンインプリチャージ信号 P C G \_ \_ A L L \_ \_ B I、前記バーンイン制御信号 C T R L \_ \_ B I、前記アクティブディレイ信号 A C T I V E \_ \_ D E L および前記アクティブディレイパルス信号 A C T I V E \_ \_ D E L \_ \_ P U L に応答して、前記電圧制御信号 V P P \_ \_ V D D \_ \_ S H O R T b を生成する。

このような第 2 制御信号生成部 2 1 3 は、図 8 に示すように第 1 信号入力部 2 1 3 - 1、第 1 ラッチ部 2 1 3 - 2、第 2 信号入力部 2 1 3 - 3、第 2 ラッチ部 2 1 3 - 4 および信号駆動部 2 1 3 - 5 で構成することができる。

【 0 0 4 1 】

前記第 1 信号入力部 2 1 3 - 1 は、前記第 1 プリチャージ信号 P C G \_ \_ O R、前記バーンイン制御信号 C T R L \_ \_ B I、前記アクティブディレイ信号 A C T I V E \_ \_ D E L および前記アクティブディレイパルス信号 A C T I V E \_ \_ D E L \_ \_ P U L に応答して、第 1 ノード S 1 の電位を変化させる。前記第 1 信号入力部 2 1 3 - 1 は、第 5 インバータ I V 5、第 1 トランジスタ P 1、第 2 トランジスタ N 1、第 3 トランジスタ N 2、第 6 インバータ I V 6 および第 4 トランジスタ P 2 で構成することができる。前記第 5 インバータ I V 5 は前記第 1 プリチャージ信号 P C G \_ \_ O R を反転させ、第 1 トランジスタ P 1 は前記第 5 インバータ I V 5 の出力信号に応じて第 2 電圧 V D D をスイッチングする。第 2 トランジスタ N 1 は、前記バーンイン制御信号 C T R L \_ \_ B I によって前記第 1 ノード S 1 の電圧を前記第 3 トランジスタ N 2 に伝達し、第 3 トランジスタ N 2 はアクティブディレイ信号 A C T I V E \_ \_ D E L によって第 2 トランジスタ N 1 から提供された電圧を接地端に伝達する。第 6 インバータ I V 6 は、前記アクティブディレイパルス信号 A C T I V E \_ \_ D E L \_ \_ P U L を反転させ、第 4 トランジスタ P 2 は第 6 インバータ I V 6 の出力信号により第 2 電圧 V D D を第 1 ノード S 1 に伝達する。

【 0 0 4 2 】

前記第 1 ラッチ部 2 1 3 - 2 は、前記第 1 ノード S 1 の電位をラッチさせる。前記第 1 ラッチ部 2 1 3 - 2 は、第 7 および第 8 インバータ I V 7、I V 8 で構成される。

第2信号入力部213-3は、前記バーンインプリチャージ信号PCG\_\_ALL\_\_BI、前記バーンイン制御信号CTRL\_\_BIおよび前記アクティブディレイ信号ACTIVE\_\_DELにตอบสนองして、第2ノードS2の電位を変化させる。前記第2信号入力部213-3は、第9インバータIV9、第5トランジスタP3、第6トランジスタN3および第7トランジスタN4で構成することができる。前記第9インバータIV9は前記アクティブディレイ信号ACTIVE\_\_DELを反転させ、第5トランジスタP3は第9インバータIV9の出力信号により第2電圧VDDを第2ノードS2に伝達する。第6トランジスタN3はバーンイン制御信号CTRL\_\_BIにより第2ノードS2の電圧を第7トランジスタN4に伝達し、第7トランジスタN4はバーンインプリチャージ信号PCG\_\_ALL\_\_BIにより前記第6トランジスタN3から提供される電圧を接地端VSSに伝達する。

10

【0043】

第2ラッチ部213-4は、前記第2ノードS2の電位をラッチする。前記第2ラッチ部213-4は、第10インバータIV10および第11インバータIV11で構成することができる。

【0044】

信号駆動部213-5は、前記アクティブディレイ信号ACTIVE\_\_DELにตอบสนองして、前記第1ラッチ部213-2および前記第2ラッチ部213-4の出力信号のうちいずれか1つを駆動させ、前記電圧制御信号VPP\_\_VDD\_\_SHORTbを出力する。このような前記信号駆動部213-5は、第12インバータIV12、第1スイッチング素子PG1、第2スイッチング素子PG2、および第13インバータIV13で構成することができる。前記第12インバータIV12は、前記アクティブディレイ信号ACTIVE\_\_DELを反転させ、第1スイッチング素子PG1は、前記アクティブディレイ信号ACTIVE\_\_DELおよび前記第12インバータIV12の出力信号により前記第1ラッチ部213-2の出力信号を第3ノードS3に伝達する。第2スイッチング素子PG2は、前記アクティブディレイ信号ACTIVE\_\_DELおよび前記第12インバータIV12の出力信号により第2ラッチ部213-4の出力信号を前記第3ノードS3に伝達する。第13インバータIV13は前記第3ノードS3の信号を反転させ、電圧制御信号VPP\_\_VDD\_\_SHORTbとして出力する。本実施形態で前記第1スイッチング素子PG1および前記第2スイッチング素子PG2にはパスゲートが利用されることができ、前記第1トランジスタP1、前記第4トランジスタP2および前記第5トランジスタP3はPMOSTランジスタであり、前記第2トランジスタN1、前記第3トランジスタN2、前記第6トランジスタN3および前記第7トランジスタN4はNMOSTランジスタであり得る。

20

30

【0045】

一方、電圧供給制御部230は、前記電圧制御信号VPP\_\_VDD\_\_SHORTbにตอบสนองして、前記第1電圧VPPおよび前記第1電圧VPPより低い前記第2電圧VDDのうちいずれか1つを前記ワード線WLに供給する。前記第2電圧VDDは、外部から供給される外部供給電圧を例に挙げることができ、前記第1電圧VPPは前記第2電圧VDDをポンピングして生成される電圧を例に挙げることができる。このような電圧供給制御部230は、図9に示すように、前記電圧制御信号VPP\_\_VDD\_\_SHORTbにตอบสนองして、前記第1電圧VPPおよび前記第2電圧VDDをショートさせる第8トランジスタP4で構成することができる。前記第8トランジスタP4は、前記電圧制御信号VPP\_\_VDD\_\_SHORTbにตอบสนองして、前記第1電圧VPPおよび前記第2電圧VDDをショートさせるスイッチング素子に変えることができる。

40

【0046】

前記電圧供給制御部230は、設計者の意図により前記実施形態と異なる方式で前記電圧制御信号VPP\_\_VDD\_\_SHORTbにตอบสนองして、前記ワード線WLに前記第1電圧VPPおよび前記第2電圧VDDのうちいずれか1つを供給することができる。

【0047】

図4～図10を参照すれば、本発明の実施形態に係る電圧供給装置はバーンインテスト

50

モード進入後に所望する電圧レベルによって各パワーを安定化させた後、アクティブ信号が入力される前にオールバンクプリチャージ命令 A P C G が入力され、ダミーオールバンクプリチャージ動作を行う。前記オールバンクプリチャージ動作は、電圧制御装置においてプリチャージを再度行うことで、正常な動作に影響を及ぼさない。前記オールバンクプリチャージ動作で前記制御信号 C T R L は活性化されたパルス信号であるため、前記信号生成部 1 0 0 で活性化されたパルス信号の前記バーンイン制御信号 C T R L \_ B I を出力する。

#### 【 0 0 4 8 】

前記オールバンクプリチャージ命令 A P C G が印加される場合、前記第 2 プリチャージ信号 P C G \_ A L L はハイレベルに活性化され、前記第 1 プリチャージ信号 P C G \_ O R はローレベル状態を維持する。一方、プリチャージ命令 P C G が入力されれば前記第 1 プリチャージ信号 P C G \_ O R はハイレベルに活性化され、前記第 2 プリチャージ信号 P C G \_ A L L はローレベル状態を維持する。

#### 【 0 0 4 9 】

前記アクティブ信号 A C T I V E がローレベルの状態、前記オールバンクプリチャージ命令 A P C G が印加される場合、前記第 1 プリチャージ信号 P C G \_ O R はローレベルを維持して、前記アクティブディレイ信号 A C T I V E \_ D E L および前記アクティブディレイパルス信号 A C T I V E \_ D E L \_ P U L もローレベルを維持する。一方、前記第 2 プリチャージ信号 P C G \_ A L L および前記バーンイン制御信号 C T R L \_ B I は、ハイレベルに活性化されるため、前記第 2 信号生成部 1 3 0 はハイレベルの前記バーンインプリチャージ信号 P C G \_ A L L \_ B I を出力する。

#### 【 0 0 5 0 】

図 8 を参照すれば、前記バーンイン制御信号 C T R L \_ B I および前記バーンインプリチャージ信号 P C G \_ A L L \_ B I に各々応答して、前記第 6 トランジスタ N 3 および前記第 7 トランジスタ N 4 がターンオンして前記第 2 ノード S 2 の電位はローレベルに遷移し、前記第 2 ラッチ部 2 1 3 - 4 は前記第 2 ノード S 2 の電位をローレベルに維持する。この時、前記アクティブディレイ信号 A C T I V E \_ D E L がローレベルであるため、前記第 2 パスゲート P G 2 がターンオンして前記第 3 ノード S 3 の電位はハイレベルになって、前記電圧制御信号 V P P \_ V D D \_ S H O R T b はローレベルに遷移する。前記電圧制御信号 V P P \_ V D D \_ S H O R T b に応答して、前記電圧供給制御部 2 3 0 は前記第 1 電圧 V P P と前記第 2 電圧 V D D をショートさせ前記第 1 電圧 V P P を前記第 2 電圧 V D D にダウンさせる。

#### 【 0 0 5 1 】

以後、アクティブ命令 A C T が入力される場合、前記アクティブ信号 A C T I V E はハイレベルに活性化され、前記アクティブ信号 A C T I V E は前記信号遅延部 2 1 1 - 1 で前記第 1 時間 t d 1 ほど遅れて、前記アクティブディレイ信号 A C T I V E \_ D E L として出力される。前記パルス発生部 2 1 1 - 3 は、前記アクティブディレイ信号 A C T I V E \_ D E L が入力されて、前記第 2 時間 t d 2 ほどの活性化区間を有するパルス信号の前記アクティブディレイパルス信号 A C T I V E \_ D E L \_ P U L を出力する。

#### 【 0 0 5 2 】

前記アクティブ信号 A C T I V E に応答して前記ワード線 W L が活性化され、前記ワード線 W L の電位は前記第 1 遅延時間 t d 1 の間、前記第 2 電圧 V D D に上昇する。一方、前記アクティブディレイパルス信号 A C T I V E \_ D E L \_ P U L が発生すれば、前記ワード線 W L は、前記第 2 遅延時間 t d 2 の間、前記第 1 電圧 V P P に上昇する。

#### 【 0 0 5 3 】

すなわち、前記電圧制御信号 V P P \_ V D D \_ S H O R T b がローレベルの区間で前記アクティブ信号 A C T I V E が活性化されれば、前記第 1 遅延時間 t d 1 の間、前記ワード線 W L は前記第 2 電圧 V D D が印加されて、前記第 2 電圧 V D D に上昇する。以後、前記アクティブディレイパルス信号 A C T I V E \_ D E L \_ P U L が活性化される区間で前記電圧制御信号 V P P \_ V D D \_ S H O R T b がハイレベルに遷移するため、前記第 2 遅

10

20

30

40

50

延時間  $t_{d2}$  の間、前記ワード線  $WL$  の電位は前記第 1 電圧  $V_{PP}$  に上昇する。

【0054】

図 8 を参照しながら詳細に説明すれば、前記アクティブディレイパルス信号  $ACTIVE\_DEL\_PUL$  がハイレベルに活性化する区間で前記第 4 トランジスタ  $P2$  がターンオンして前記第 1 ノード  $S1$  はハイレベルに遷移し、前記第 1 ラッチ部  $213-2$  は前記第 1 ノード  $S1$  をハイレベルに維持する。前記アクティブディレイ信号  $ACTIVE\_DEL$  がハイレベル状態であるため、前記第 1 パスゲート  $PG1$  がターンオンして前記第 3 ノード  $S3$  はローレベルを維持する。すなわち、前記電圧制御信号  $V_{PP\_VDD\_SHORTb}$  はハイレベルに遷移する。

【0055】

以後、前記プリチャージ命令  $PCG$  の前に前記オールバンクプリチャージ命令  $APCG$  によって前記制御信号  $CTRL$  がダミーで活性化されるパルスをも有するようになれば、前記第 1 信号生成部  $110$  でハイレベルに活性化されるパルス信号の前記バーンイン制御信号  $CTRL\_BI$  を出力し、前記第 2 信号生成部  $130$  でローレベルの前記バーンインプリチャージ信号  $PCG\_ALL\_BI$  を出力する。バーンインテストモードで前記制御信号  $CTRL$  がダミーで活性化されるパルスをも有する場合、 $DRAM$  の正常動作上問題はない。例えば、 $D$  のようにバーンインテストモードではない場合、前記信号生成部  $100$  はローレベルの前記バーンインテストモード信号  $TM\_BI$  とハイレベルの前記制御信号  $CTRL$  が入力されるようになって  $E$  のようにローレベルの前記バーンイン制御信号  $CTRL\_BI$  を出力する。

【0056】

この時、前記バーンイン制御信号  $CTRL\_BI$  および前記アクティブディレイ信号  $ACTIVE\_DEL$  に応答して、前記第 2 トランジスタ  $N1$  および前記第 3 トランジスタ  $N2$  がターンオンして前記第 1 ノード  $S1$  はローレベルに遷移し、前記第 1 ラッチ部  $213-2$  は前記第 1 ノード  $S1$  の電位をローレベルに維持する。ハイレベルの前記アクティブディレイ信号  $ACTIVE\_DEL$  に応答して、前記第 1 パスゲート  $PG1$  がターンオンして前記第 3 ノード  $S3$  はハイレベルに維持され、前記第 1 インバータ  $IV13$  によって前記電圧制御信号  $V_{PP\_VDD\_SHORTb}$  はローレベルに遷移する。前記電圧制御信号  $V_{PP\_VDD\_SHORTb}$  に応答して、前記電圧供給制御部  $230$  が前記第 1 電圧  $V_{PP}$  と前記第 2 電圧  $V_{DD}$  をショートさせることで、前記ワード線  $WL$  の電位は前記第 2 電圧  $V_{DD}$  にダウンする。以後、前記プリチャージ命令  $PCG$  が入力されれば、前記アクティブ信号  $ACTIVE$  は非活性化され、前記アクティブ信号  $ACTIVE$  に応答して前記ワード線  $WL$  が前記接地電圧  $V_{SS}$  にダウンするようになる。前記プリチャージ命令  $PCG$  が入力される時、前記第 1 プリチャージ信号  $PCG\_OR$  がハイレベルに活性化されるパルス信号をも有するため前記第 1 トランジスタ  $P1$  がターンオンして前記第 1 ノード  $S1$  の電位はハイレベルに遷移し、前記第 1 ラッチ部  $213-2$  は前記第 1 ノード  $S1$  の電位をハイレベルに維持する。この時、前記アクティブディレイ信号  $ACTIVE\_DEL$  がハイレベルに維持しているため、前記第 1 パスゲート  $PG1$  がターンオンして前記第 3 ノード  $S3$  の電位はローレベルに遷移する。すなわち、前記電圧制御信号  $V_{PP\_VDD\_SHORTb}$  がハイレベルに遷移する。

【0057】

前記説明した通り、本発明に係る電圧制御装置は、アクティブ動作時前記ワード線  $WL$  を駆動する時、前記第 2 電圧  $V_{DD}$  で前記ワード線  $WL$  の電位を高めた以後前記第 2 電圧  $V_{DD}$  より高い前記第 1 電圧  $V_{PP}$  で前記ワード線  $WL$  を駆動させることによって、ピーク電流を分散させられる。また、プリチャージ動作時、前記プリチャージ動作以前に前記ワード線  $WL$  の電位を前記第 2 電圧  $V_{DD}$  に下げて、以後前記接地電圧  $V_{SS}$  に下げることによってピーク電流を分散させられる。

図 10 に示すように、 $F$  はアクティブ動作時のピーク電流が分散することを示し、 $G$  はプリチャージ動作時のピーク電流が分散することを示す。

【0058】

このように、本発明が属する技術分野の当業者は、本発明がその技術的思想や必須特徴を変更せず、他の具体的な形態で実施され得ることを理解できる。したがって、以上で記述した実施形態はすべての面で例示的なものであり、限定的なものではないものと理解しなければならない。本発明の範囲は前記詳細な説明よりは特許請求の範囲によって示され、特許請求の範囲の意味および範囲、そしてその等価概念から導き出されるすべての変更又は変形された形態が本発明の範囲に含まれると解釈しなければならない。

【図面の簡単な説明】

【0059】

【図1】ローファースト（X - F a s t）動作に伴うアドレス進行方向およびアドレスパターンを示す概念図である。

10

【図2】カラムファースト（Y - F a s t）動作に伴うアドレス進行方向およびアドレスパターンを示す概念図である。

【図3】従来の電圧制御装置がローファースト（X - F a s t）動作をする場合にアクティブプリチャージ方式を示すタイミング図である。

【図4】本発明の実施形態に係る電圧制御装置を示すブロック図である。

【図5】図4に示す信号生成部の内部回路図である。

【図6】図4に示す制御信号生成部の内部ブロック図である。

【図7】図6に示す第1制御信号生成部の内部回路図である。

【図8】図6に示す第2制御信号生成部の内部回路図である。

20

【図9】図4に示す電圧供給部の内部回路図である。

【図10】本発明の電圧制御装置がローファースト（X - F a s t）動作をする場合にアクティブプリチャージ方式を示すタイミング図である。

【符号の説明】

【0060】

100 ... 信号生成部

110 ... 第1信号生成部

130 ... 第2信号生成部

200 ... 電圧制御部

210 ... 制御信号生成部

211 ... 第1制御信号生成部

30

211 - 1 ... 信号遅延部

211 - 3 ... パルス発生部

213 ... 第2制御信号生成部

213 - 1 ... 第1信号入力部

213 - 2 ... 第1ラッチ部

213 - 3 ... 第2信号入力部

211 - 31 ... 反転遅延部

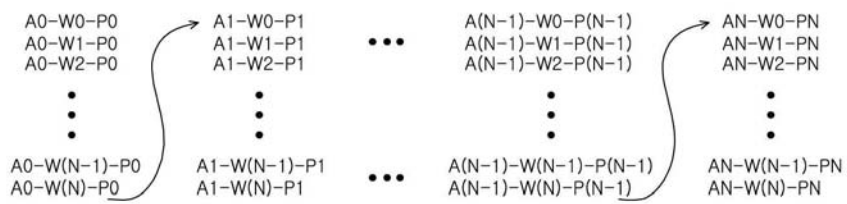
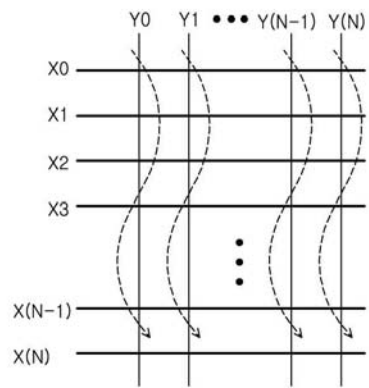
213 - 4 ... 第2ラッチ部

213 - 5 ... 信号駆動部

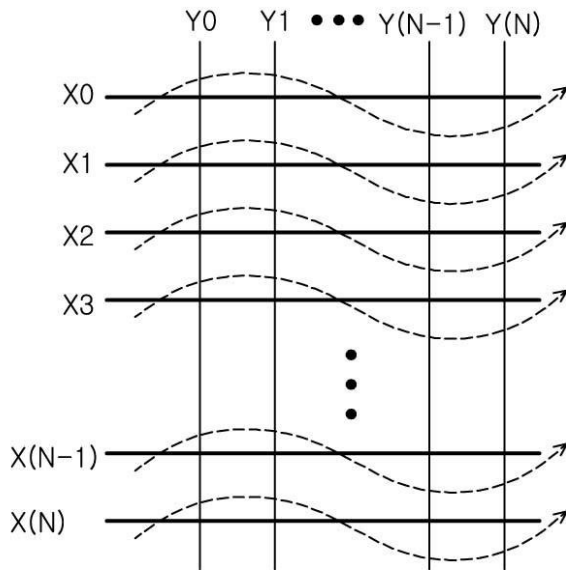
230 ... 電圧供給制御部

40

【 図 1 】



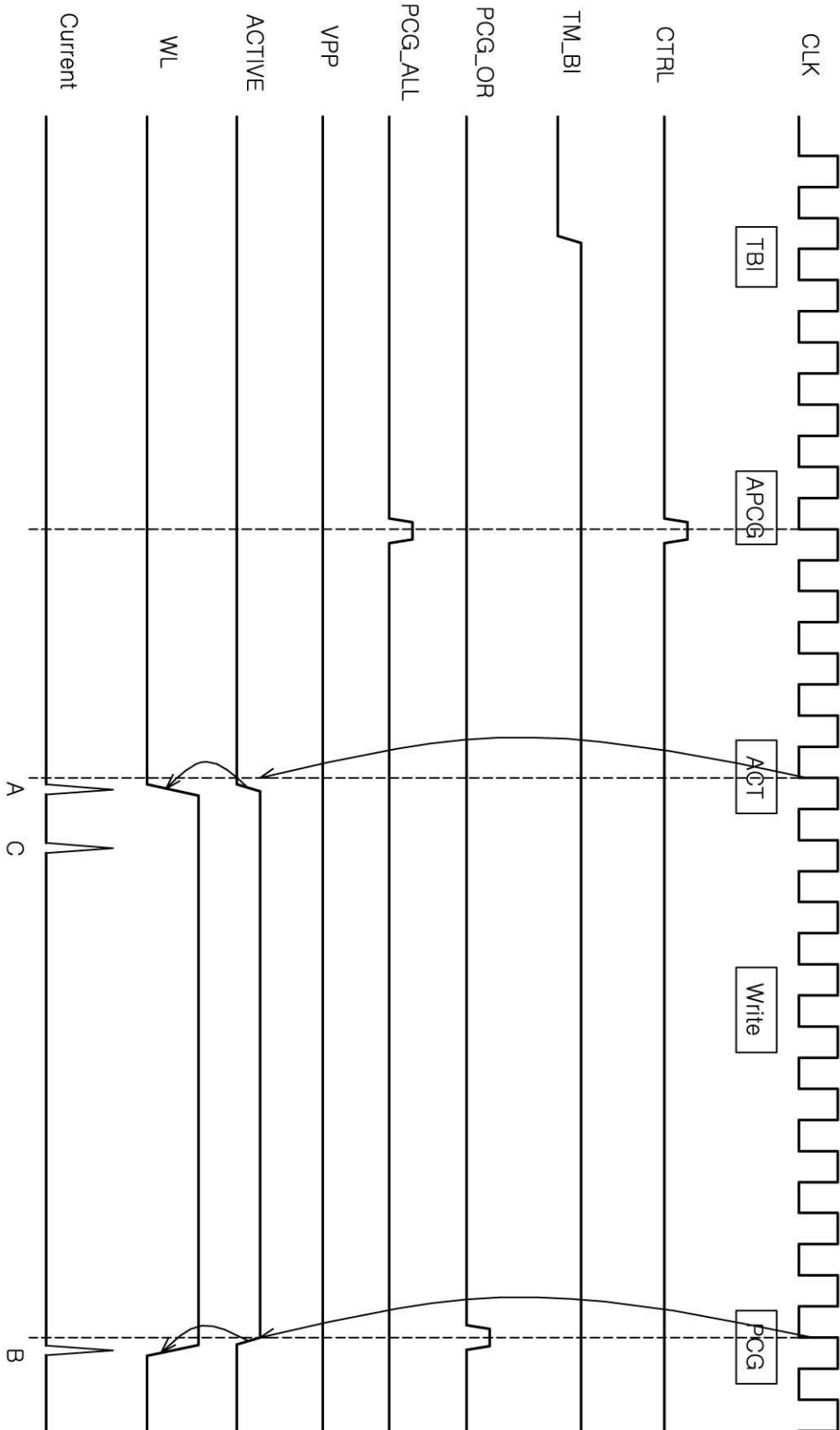
【 図 2 】



$A0-W0-W1-W2 \quad \dots \quad W(N-1)-W(N)-P0$   
 $A1-W0-W1-W2 \quad \dots \quad W(N-1)-W(N)-P1$   
 $A2-W0-W1-W2 \quad \dots \quad W(N-1)-W(N)-P2$   
 $\vdots$   
 $A(N-1)-W0-W1-W2 \quad \dots \quad W(N-1)-W(N)-P(N-1)$   
 $A(N)-W0-W1-W2 \quad \dots \quad W(N-1)-W(N)-P(N)$



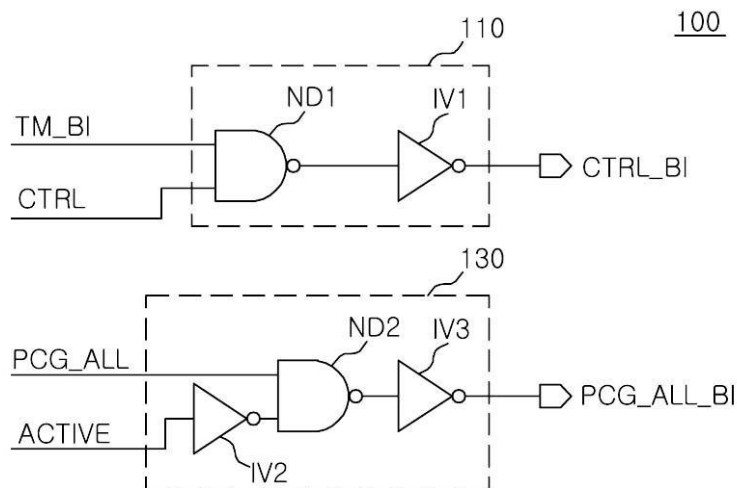
【 3 】



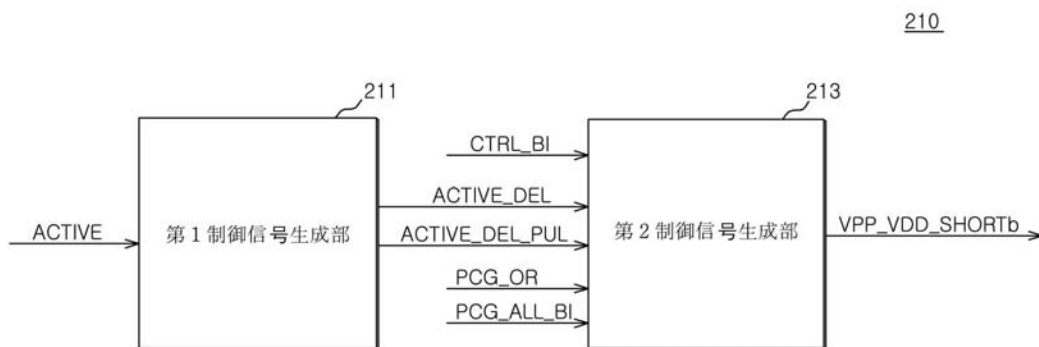
【図 4】



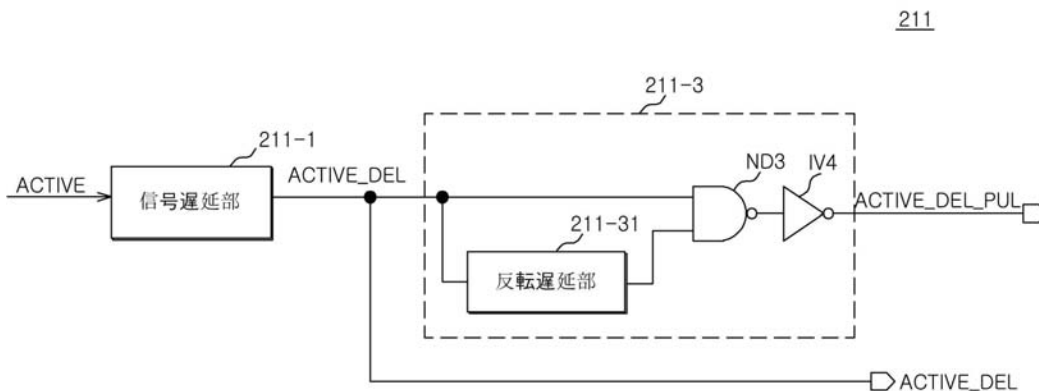
【図 5】



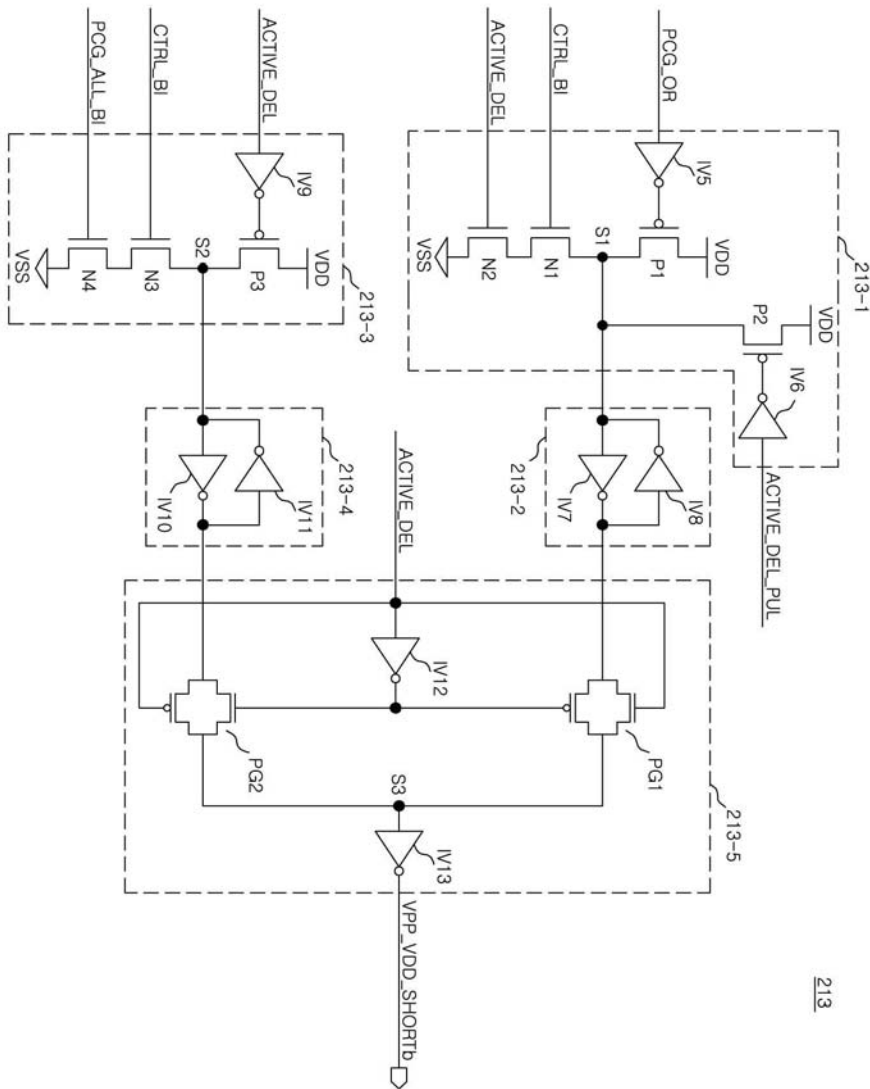
【図 6】



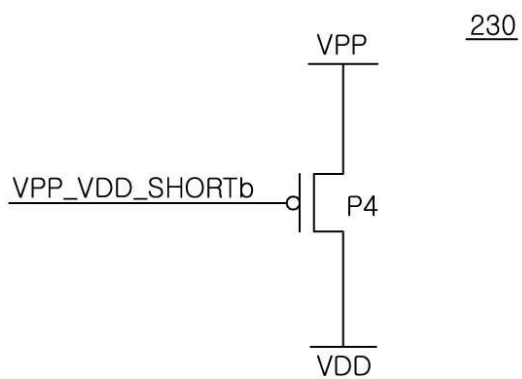
【図 7】



【図 8】



【図 9】



The timing diagram illustrates the sequence of signals during a memory access operation. Key signals include:

- CLK**: Clock signal.
- CTRL\_BI**: Control bus interface signal.
- TM\_LBI**: Test mode low bus interface signal.
- PCG\_OR**: Program control gate output or input signal.
- PCG\_ALL**: Program control gate all signal.
- PCG\_ALL\_BI**: Program control gate all bus interface signal.
- VPP\_VDD\_SHORT0b**: Voltage programming pulse signal.
- VPP**: Voltage programming pulse signal.
- ACTIVE**: Active signal.
- ACTIVE\_DEL**: Active delay signal.
- ACTIVE\_DEL\_PUL**: Active delay pulse signal.
- WL**: Word line select signal.
- Current**: Current signal.

Key events and delays are marked:

- TBI**: Test Bus Interface event.
- APcG**: Address Programming Gate event.
- ACt**: Access Command event.
- Write**: Write command event.
- APcG**: Address Programming Gate event (second occurrence).
- PCG**: Program Control Gate event.
- t<sub>D</sub>**: Delay from ACt to PCG.
- t<sub>D1</sub>**: Delay from VPP to WL.
- t<sub>D2</sub>**: Delay from VPP to WL.

---

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
G 0 1 R 31/28 V

(72)発明者 愼 允 宰

大韓民国京畿道利川市夫鉢邑牙美里山 1 3 6 - 1

F ターム(参考) 2G132 AA08 AB03 AK07 AL00  
5L106 AA01 DD11 DD36 EE02 FF04 FF05 GG05  
5M024 AA25 AA96 BB29 BB35 BB36 FF01 FF25 MM03 MM04 PP02  
PP03 PP07