

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2009-517725
(P2009-517725A)

(43) 公表日 平成21年4月30日(2009.4.30)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 13/16 (2006.01)	G06F 13/16 510A	5B060
G06F 12/00 (2006.01)	G06F 13/16 520B	
	G06F 13/16 520C	
	G06F 12/00 564A	

審査請求 未請求 予備審査請求 未請求 (全 18 頁)

(21) 出願番号 特願2008-541760 (P2008-541760)
 (86) (22) 出願日 平成18年11月28日 (2006.11.28)
 (85) 翻訳文提出日 平成20年5月12日 (2008.5.12)
 (86) 国際出願番号 PCT/EP2006/068984
 (87) 国際公開番号 W02007/060250
 (87) 国際公開日 平成19年5月31日 (2007.5.31)
 (31) 優先権主張番号 11/289,193
 (32) 優先日 平成17年11月28日 (2005.11.28)
 (33) 優先権主張国 米国 (US)

(71) 出願人 390009531
 インターナショナル・ビジネス・マシーンズ・コーポレーション
 INTERNATIONAL BUSINESS MACHINES CORPORATION
 アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
 (74) 代理人 100108501
 弁理士 上野 剛史
 (74) 代理人 100112690
 弁理士 太佐 種一
 (74) 代理人 100091568
 弁理士 市位 嘉宏

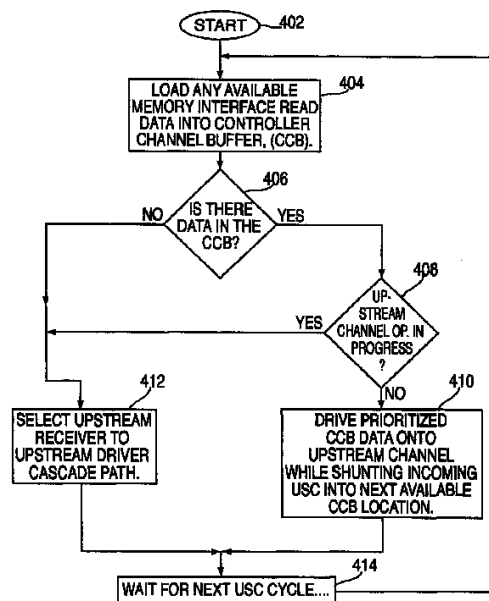
最終頁に続く

(54) 【発明の名称】 メモリ・システム内で不確定な読み取りデータ待ち時間を可能にする方法及びシステム

(57) 【要約】

【課題】 メモリ・システム内に不確定な読み取りデータ待ち時間を提供するための方法及びシステムを提供する。

【解決手段】 この方法は、局所データ・パケットが受信されているかどうかを判断するステップを含む。局所データ・パケットが受信されている場合は、局所データ・パケットはバッファ装置内に格納される。この方法は、更に、バッファ装置がデータ・パケット含むかどうかを判断するステップ、及び、データ・パケットを上流チャネルを介してメモリ・コントローラに伝送するための上流ドライバがアイドル状態であるかどうかを判断するステップも含む。バッファがデータ・パケットを含み、上流ドライバがアイドル状態である場合は、データ・パケットは上流ドライバに伝送される。この方法は、更に、上流データ・パケットが受信されているかどうかを判断するステップを含む。上流データ・パケットは、フレーム開始インジケータと、上流データ・パケットを対応する読み取り命令と関連付ける際にメモリ・コントローラにより用いられる識別タグとを含むフレーム・フォー



【特許請求の範囲】**【請求項 1】**

不確定な読み取りデータ待ち時間をサポートするための方法であって、
局所データ・パケットが受信されているかどうかを判断するステップと、
局所データ・パケットが受信されている場合は、前記局所データ・パケットをバッファ装置内に格納するステップと、

前記バッファ装置がデータ・パケットを含むかどうかを判断するステップと、

前記データ・パケットを上流チャンネルを介してメモリ・コントローラに伝送するための上流ドライバがアイドル状態であるかどうかを判断するステップと、

前記バッファ装置がデータ・パケットを含み、前記上流ドライバがアイドル状態である場合は、前記データ・パケットを前記上流ドライバに伝送するステップと、

上流データ・パケットが受信されているかどうかを判断するステップであって、前記上流データ・パケットは、フレーム開始インジケータと、前記上流データ・パケットに対応する読み取り命令と関連付ける際に前記メモリ・コントローラにより用いられる識別タグを含むフレーム・フォーマットである、ステップと、

上流データ・パケットが受信されており、前記上流ドライバがアイドル状態でない場合は、前記上流データ・パケットを前記バッファ装置内に格納するステップと、

上流データ・パケットが受信されており、前記バッファ装置がデータ・パケットを含まず、前記上流ドライバがアイドル状態である場合は、前記上流データ・パケットを前記上流ドライバに伝送するステップと、

前記上流ドライバがアイドル状態でない場合は、進行中のあらゆるデータ・パケットを伝送し続けるステップと
を含む方法。

【請求項 2】

局所データ・パケットが受信されているかどうかを判断する前記ステップ、前記バッファ装置がデータ・パケットを含むかどうかを判断する前記ステップ、上流ドライバはアイドル状態であるかどうかを判断する前記ステップ、及び、データ・パケットが受信されているかどうかを判断する前記ステップは、周期的に実行される、請求項 1 に記載の方法。

【請求項 3】

前記周期は上流チャンネル・サイクル毎に一度である、請求項 2 に記載の方法。

【請求項 4】

前記バッファ装置は複数のデータ・パケットを含み、前記データ・パケットは優先順位付けアルゴリズムに基づいて選択される、請求項 1 に記載の方法。

【請求項 5】

前記優先順位付けアルゴリズムは、前記データ・パケットに対応する前記読み取り命令の経過時間に基づいて前記データ・パケットを選択する、請求項 4 に記載の方法。

【請求項 6】

前記優先順位付けアルゴリズムは、前記データ・パケットと関連付けられた優先順位に基づいて前記データ・パケットを選択する、請求項 4 に記載の方法。

【請求項 7】

前記フレーム・フォーマットは、バス循環冗長コード（バスCRC）のフィールドを更に含む、請求項 1 に記載の方法。

【請求項 8】

前記局所データ・パケットをバッファ装置内に格納する前記ステップは、前記局所データ・パケットをフォーマットするステップを含み、前記フォーマットするステップは、前記局所データ・パケットを前記フレーム・フォーマットに直列化するステップと、前記フレーム開始インジケータ、前記識別タグ、及び前記バスCRCに値を挿入するステップとを含む、請求項 7 に記載の方法。

【請求項 9】

上流データ・パケットを下流ハブ装置から受信するための上流レシーバと、局所データ

10

20

30

40

50

・パケットを局所格納装置から受信するためのメモリ・インターフェースとを含む、データ・パケットを受信するための装置であって、前記データ・パケットの各々は、フレーム開始インジケータと、前記上流データ・パケットに対応する読み取り命令と関連付ける際にメモリ・コントローラにより用いられる識別タグとを含むフレーム・フォーマットである、装置と、

上流チャンネルを介して前記データ・パケットを前記メモリ・コントローラに伝送するための上流ドライバと、

局所データ・パケットが受信されているかどうかを判断するステップと、

局所データ・パケットが受信されている場合は、前記局所データ・パケットをバッファ装置内に格納するステップと、

前記バッファ装置がデータ・パケットを含むかどうかを判断するステップと、

前記上流ドライバがアイドル状態であるかどうかを判断するステップと、

前記バッファ装置がデータ・パケットを含み、前記上流ドライバがアイドル状態である場合は、前記データ・パケットを前記上流ドライバに伝送するステップと、

上流データ・パケットが受信されているかどうかを判断するステップであって、前記上流データ・パケットは、フレーム開始インジケータと、前記上流データ・パケットに対応する読み取り命令と関連付ける際に前記メモリ・コントローラにより用いられる識別タグとを含むフレーム・フォーマットである、ステップと、

上流データ・パケットが受信されており、前記上流ドライバがアイドル状態でない場合は、前記上流データ・パケットを前記バッファ装置内に格納するステップと、

上流データ・パケットが受信されており、前記バッファ装置がデータ・パケットを含まず、前記上流ドライバがアイドル状態である場合は、前記上流データ・パケットを前記上流ドライバに伝送するステップと、

前記上流ドライバがアイドル状態でない場合は、進行中のあらゆるデータ・パケットを伝送し続けるステップと

を容易にするための命令を含む機構と

を含む、メモリ・システム内のハブ装置。

【請求項 10】

前記上流チャンネルは、デイジー・チェーン・チャンネルである、請求項 9 に記載のハブ装置。

【請求項 11】

前記ハブ装置はメモリ・モジュール上に物理的に配置される、請求項 9 に記載のハブ装置。

【請求項 12】

前記バッファ装置を更に含む、請求項 9 に記載のハブ装置。

【請求項 13】

局所データ・パケットが受信されているかどうかを判断する前記ステップ、前記バッファ装置はデータ・パケットを含むかどうかを判断する前記ステップ、上流ドライバはアイドル状態であるかどうかを判断する前記ステップ、及び、データ・パケットが受信されているかどうかを判断する前記ステップは、周期的に実行される、請求項 9 に記載のハブ装置。

【請求項 14】

前記周期は上流チャンネル・サイクル毎に一度である、請求項 13 に記載のハブ装置。

【請求項 15】

前記バッファ装置は複数のデータ・パケットを含み、前記データ・パケットは優先順位付けアルゴリズムに基づいて選択される、請求項 9 に記載のハブ装置。

【請求項 16】

前記優先順位付けアルゴリズムは、前記データ・パケットに対応する前記読み取り命令の経過時間に基づいて前記データ・パケットを選択する、請求項 15 に記載のハブ装置。

【請求項 17】

10

20

30

40

50

前記優先順位付けアルゴリズムは、前記データ・パケットと関連付けられた優先順位に基づいて前記データ・パケットを選択する、請求項 15 に記載のハブ装置。

【請求項 18】

1つ又は複数のメモリ装置がデジタイズ・チェーン・チャンネルによりメモリ・コントローラに接続された1つ又は複数のメモリ・モジュールであって、読み取りデータが、識別タグ及びフレーム開始インジケータを含むフレーム・フォーマットを用いて前記メモリ・コントローラに戻される、1つ又は複数のメモリ・モジュールと、

読み取りデータ待ち時間を最小限にし、前記メモリ・コントローラへの不確定な読み取りデータ戻り時間を可能にするために、割り込み型局所データ合流アルゴリズムと共に用いられるコントローラ・チャンネル・バッファを含む、アドレス、コマンド、及びデータをバッファするための、前記メモリ・モジュール上の1つ又は複数のハブ装置とを含むメモリ・システム。

10

【請求項 19】

前記デジタイズ・チェーン・チャンネル内の二地点間リンクを含む、請求項 18 に記載のメモリ・システム。

【請求項 20】

前記ハブ装置は、コントローラ・チャンネル・バッファ・アンロード優先順位付けアルゴリズムを更に含む、請求項 18 に記載のメモリ・システム。

【請求項 21】

前記割り込み型局所データ合流アルゴリズムは、

20

局所データ・パケットが受信されているかどうかを判断するステップと、

局所データ・パケットが受信されている場合は、前記局所データ・パケットを前記コントローラ・チャンネル・バッファに配置されたバッファ装置内に格納するステップと、

前記バッファ装置がデータ・パケットを含むかどうかを判断するステップと、

データ・パケットを上流チャンネルを介してメモリ・コントローラに伝送するための上流ドライバがアイドル状態であるかどうかを判断するステップと、

前記バッファ装置がデータ・パケットを含み、前記上流ドライバがアイドル状態である場合は、前記データ・パケットを前記上流ドライバに伝送するステップと、

上流データ・パケットが受信されているかどうかを判断するステップと、

上流データ・パケットが受信されており、前記上流ドライバがアイドル状態でない場合は、前記上流データ・パケットを前記バッファ装置内に格納するステップと、

30

上流データ・パケットが受信されており、前記バッファ装置がデータ・パケットを含まず、前記上流ドライバがアイドル状態である場合は、前記上流データ・パケットを前記上流ドライバに伝送するステップと、

前記上流ドライバがアイドル状態でない場合は、進行中のあらゆるデータ・パケットを伝送し続けるステップと

を含む、請求項 18 に記載のメモリ・システム。

【請求項 22】

1つ又は複数のメモリ装置がデジタイズ・チェーン・チャンネルによりメモリ・コントローラに接続された1つ又は複数のメモリ・モジュールであって、読み取りデータが、識別タグ及びフレーム開始インジケータを含むフレーム・フォーマットを用いて前記メモリ・コントローラに戻される、1つ又は複数のメモリ・モジュールと、

40

読み取りデータ待ち時間を最小限にし、前記メモリ・コントローラへの不確定な読み取りデータ戻り時間を可能にするために、割り込み型局所データ合流アルゴリズムと共に用いられるコントローラ・チャンネル・バッファを含む、アドレス、コマンド、及びデータをバッファするための、前記メモリ・モジュールに接続された、1つ又は複数のハブ装置とを含むメモリ・システム。

【請求項 23】

前記デジタイズ・チェーン・チャンネル内の二地点間リンクを含む、請求項 22 に記載のメモリ・システム。

50

【請求項 2 4】

前記ハブ装置は、コントローラ・チャネル・バッファ・アンロード優先順位付けアルゴリズムを更に含む、請求項 2 2 に記載のメモリ・システム。

【請求項 2 5】

前記割り込み型局所データ・マージ・アルゴリズムは、局所データ・パケットが受信されているかどうかを判断するステップと、局所データ・パケットが受信されている場合は、前記局所データ・パケットを前記コントローラ・チャネル・バッファに配置されたバッファ装置内に格納するステップと、前記バッファ装置がデータ・パケットを含むかどうかを判断するステップと、データ・パケットを上流チャネルを介してメモリ・コントローラに伝送するための上流ドライバがアイドル状態であるかどうかを判断するステップと、前記バッファ装置がデータ・パケットを含み、前記上流ドライバがアイドル状態である場合は、前記データ・パケットを前記上流ドライバに伝送するステップと、前記上流データ・パケットが受信されているかどうかを判断するステップと、上流データ・パケットが受信されており、前記上流ドライバがアイドル状態でない場合は、前記上流データ・パケットを前記バッファ装置内に格納するステップと、上流データ・パケットが受信されており、前記バッファ装置がデータ・パケットを含まず、前記上流ドライバがアイドル状態である場合は、前記上流データ・パケットを前記上流ドライバに伝送するステップと、前記上流ドライバがアイドル状態でない場合は、進行中のあらゆるデータ・パケットを伝送し続けるステップとを含む、請求項 2 2 に記載のメモリ・システム。

10

20

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、メモリ・システムに関し、メモリ・システム内部に提供することができる方法及びコンポーネントに関する。より具体的には、本発明は、読み取りデータのフロー制御、及び、メモリ・システム内部のハブ装置によりメモリ・コントローラに戻される読み取りデータの識別に関する。

【背景技術】

30

【0002】

本発明を実装するメモリ・システムは、デイジー・チェーン・チャネルによりメモリ・コントローラに接続されたハブ装置で構成することができる。ハブ装置は、メモリ装置を含むメモリ・モジュールに取り付けるか、又は、メモリ・モジュール上に備えることができる。

【0003】

多くの高性能コンピュータの主メモリ・システムは、1つ又は複数のチャネルによりメモリ・コントローラに接続された多数のフル・バッファード・メモリ・モジュールを用いる。メモリ・モジュールは、ハブ装置及び多数のメモリ装置を含む。ハブ装置は、メモリ・コントローラとメモリ装置間のコマンド、アドレス、及びデータ信号を完全にバッファする。読み取りデータの流れは、平準化待ち時間技術又は位置依存性待ち時間技術のいずれかを用いて制御される。どちらの場合も、メモリ・コントローラは、メモリ・モジュールから要求される読み取りデータの戻り時間を予測することができ、読み取りデータが各々のメモリ・モジュールによりコントローラ・インターフェース上に合流したときに衝突を避けるようにコマンドの予定を決めることができる。

40

【0004】

場合によっては、メモリ・コントローラは、読み取りコマンドと一緒に、読み取りデータ遅延加算命令を発行することができる。これは、コマンドの発行を簡単にするため、及び、衝突を避けるために、目標となるハブ装置に対して、読み取りデータの戻りに付加的な遅延を加えるように命令する。全ての場合において、読み取りデータは、要求された順

50

番で戻される必要がある。更に、全読み取りデータ待ち時間は、メモリ・コントローラにより完全に予測可能でなければならない。実行時動作中、これら2つの制約は、メモリ・モジュールから戻される読み取りデータの packets に付加的な差を加えることになる。このことは、平均読み取り動作に待ち時間を加える。更に、ハブは、読み取りデータを通常よりも速く或いは遅く戻す予め定義されていない待ち時間技術（以下、「不確定な」待ち時間技術という）を用いることができない。これらの技術は、読み取りデータを局所的にキャッシュすること、メモリ装置を投機的に読み取ること、メモリ装置のアドレス・ページを独立して管理すること、データ圧縮等を含むが、これらに限定されない。

【発明の開示】

【発明が解決しようとする課題】

10

【0005】

実際の作業負荷条件の下で、平均読み取りデータ待ち時間を最適化し、先進的なハブ装置の機能を可能にするためには、メモリ・モジュールが、読み取りデータを予測されない時間でメモリ・コントローラに戻すことを可能にする方法が必要である。このことは、読み取りデータを破損することなく、更にメモリ・コントローラが各々の読み取りデータ・packet を識別することを可能にするような方法で行われなければならない。データの衝突を避けることによりデータの破損を防ぐステップは、ハブ装置が、局所読み取りデータをカスケード・メモリ・コントローラ・チャンネル上に合流させるときに特に複雑になる。

【課題を解決するための手段】

【0006】

20

本発明の第1の態様は、予め定義された戻りデータ時間の制限を避けるための方法を提供し、不確定な（即ち、予め定義されていない）読み取りデータ待ち時間を可能にする。1つの実施形態においては、この方法は、局所データ・packet が受信されているかどうかを判断するステップを含む。局所データ・packet が受信されている場合は、局所データ・packet はバッファ装置内に格納される。この方法は、更に、バッファ装置がデータ・packet 含むかどうかを判断するステップ、及び、上流チャンネルを介してデータ・packet をメモリ・コントローラに伝送するための上流ドライバがアイドル状態であるかどうかを判断するステップも含む。バッファがデータ・packet を含み、上流ドライバがアイドル状態である場合は、データ・packet は上流ドライバに伝送される。この方法は、更に、上流データ・packet が受信されているかどうかを判断するステップを含む。上流データ・packet は、フレーム開始インジケータと、上流データ・packet を対応する読み取り命令と関連付ける際にメモリ・コントローラにより用いられる識別タグとを含むフレーム・フォーマット内にある。上流データ・packet が受信されており、上流ドライバがアイドル状態でない場合は、上流データ・packet はバッファ装置内に格納される。上流データ・packet が受信されており、バッファ装置がデータ・packet を含まず、上流ドライバがアイドル状態である場合は、上流データ・packet は上流ドライバに伝送される。上流ドライバがアイドル状態でない場合は、進行中のあらゆるデータ・packet は上流ドライバに伝送され続ける。

30

【0007】

本発明の別の態様は、メモリ・システム内のハブ装置を提供する。1つの実施形態によれば、ハブ装置は、データ・packet を受信するための装置と、上流チャンネルを介してデータ・packet をメモリ・コントローラに伝送するための上流ドライバと、不確定な読み取りデータ待ち時間を容易にするための命令を含む機構とを含む。データ・packet を受信するための装置は、上流データ・packet を下流ハブ装置から受信するための上流レシーバと、局所データ・packet を局所格納装置から受信するためのメモリ・インターフェースとを含む。各々のデータ・packet は、フレーム開始インジケータと、データ・packet を対応する読み取り命令と関連付ける際にメモリ・コントローラにより用いられる識別タグとを含むフレーム・フォーマット内にある。本機構の命令は、局所データ・packet が受信されているかどうかを判断するステップを容易にする。局所データ・packet が受信されている場合は、局所データ・packet はバッファ装置内に格納される。命令は、

40

50

更に、バッファ装置がデータ・パケットを含むかどうかを判断するステップ、及び、上流ドライバがアイドル状態であるかどうかを判断するステップを容易にする。バッファがデータ・パケットを含み、上流ドライバがアイドル状態である場合は、データ・パケットは上流ドライバに伝送される。命令は、更に、上流データ・パケットが受信されているかどうかを判断するステップを容易にする。上流データ・パケットが受信されており、上流ドライバがアイドル状態でない場合は、上流データ・パケットはバッファ装置内に格納される。上流データ・パケットが受信されており、バッファ装置がデータ・パケットを含まず、上流ドライバがアイドル状態である場合は、上流データ・パケットは上流ドライバに伝送される。上流ドライバがアイドル状態でない場合は、進行中のあらゆるデータ・パケットは上流ドライバに伝送され続ける。

10

【0008】

本発明の更なる態様は、1つ又は複数のメモリ・モジュールを有するメモリ・サブシステムを提供する。1つの実施形態においては、メモリ・モジュールは、デイジー・チェーン・チャンネルによりメモリ・コントローラに接続された1つ又は複数のメモリ装置を含む。読み取りデータは、識別タグ及びフレーム開始インジケータを含むフレーム・フォーマットを用いて、メモリ・コントローラに戻される。メモリ・システムは、更に、アドレス、コマンド、及びデータをバッファするために、メモリ・モジュール上の1つ又は複数のハブ装置を含む。ハブ装置は、読み取りデータ待ち時間を最小限にし、メモリ・コントローラへの不確定な（即ち、予め定義されていない）読み取りデータ戻り時間を可能にするために、割り込み型局所データ合流アルゴリズムと共に用いられるコントローラ・チャンネル・バッファを含む。

20

【0009】

本発明の別の態様は、1つ又は複数のメモリ・モジュールを有するメモリ・システムを提供する。1つの実施形態においては、メモリ・モジュールは、デイジー・チェーン・チャンネルによりメモリ・コントローラに接続されたメモリ装置を含む。読み取りデータは、識別タグ及びフレーム開始インジケータを含むフレーム・フォーマットを用いて、メモリ・コントローラに戻される。メモリ・システムは、更に、アドレス、コマンド、及びデータをバッファするために、メモリ・モジュールに接続された1つ又は複数のハブ装置を含む。ハブ装置は、読み取りデータ待ち時間を最小限にし、メモリ・コントローラへの不確定な（即ち、予め定義されていない）読み取りデータ戻り時間を可能にするために、割り込み型局所データ合流アルゴリズムと共に用いられるコントローラ・チャンネル・バッファを含む。

30

【発明を実施するための最良の形態】**【0010】**

本発明の実施形態は、同様の要素に同じ番号を付した添付の図面を参照しながら、例示的なものとして、以下においてより詳細に説明される。

【0011】

例示的な実施形態は、最小の不確定な読み取りデータ待ち時間を可能にするために、コントローラ・チャンネル・バッファ（CCB）、識別タグを有する読み取りデータのフレーム・フォーマット、及び割り込み型データ合流技術を使用する。例示的な実施形態は、メモリ・モジュールが、読み取りデータを予測されない時間でメモリ・コントローラに戻すことを可能にする。識別タグ情報は、データが読み取りコマンドの結果であることとデータが読み取られたハブとをその読み取りコマンドに示すために、読み取りデータ・パケットに加えらる。識別タグ情報は、読み取りデータ・パケットを、コントローラにより発行された読み取りコマンドと適合させるために、コントローラにより使用される。識別タグ情報を用いることにより、対応する読み取りコマンドの発行順序とは異なる順序で、読み取りデータを戻すことができる。

40

【0012】

例示的な実施形態は、更に、不確定な読み取りデータ待ち時間を実施するとき、上流チャンネル上でのデータの衝突を防ぐために、割り込み型データ合流プロセスを提供する。

50

CCBは、読み取りデータを一次的に格納するために、ハブ装置に加えられる。メモリ・モジュール上のメモリ装置がデータを読み取るときに、データは、メモリ・インターフェースからバッファに転送される。上流データ・パケット（即ち、検知するハブ装置よりも下流のハブ装置からコントローラに送信されているデータ・パケット）が、上流チャンネルを介して検知するハブ装置に転送されている最中ではない（データ・パケット全部を送信するためには、典型的には何回かの転送を要する）とハブ装置が検知したときには、検知するハブ装置は、そのCCB内に、上流に送信されるのを待っている読み取りデータ・パケットがあるかどうかを確認する。ハブ装置は、CCB内に読み取りデータ・パケットを検知した場合は、読み取りデータ・パケットをCCBから上流データ・バス上に出送する。一方、新しい上流データ・パケットが上流データ・バスを介して受信された場合は、データ・パケットはハブ装置上のCCBに格納される。このようにして、上流へ進んで来るデータ・パケットは、ハブ装置上のCCBから上流へ送信されているデータ・パケットと衝突しない。CCB内に複数のデータ・パケットがある場合は、どのデータ・パケットを次に送信するべきかを決定するために様々な方法を実施することができる（例えば、最も古い読み取りコマンドからのデータ・パケットを最初に送信することができる）。

10

20

30

40

50

【0013】

例示的な実施形態は、図1に示されるように、デイジー・チェーン・メモリ・チャンネル114によりメモリ・コントローラ102に接続される、1つ又は複数のメモリ・モジュール110で構築されたメモリ・システムに適用される。メモリ・モジュール110は、コントローラ・メモリ・チャンネル114へ/からのコマンド、アドレス、及びデータ信号をバッファするハブ装置112、並びに、ハブ装置112に接続された1つ又は複数のメモリ装置108の両方を含む。メモリ・チャンネル114の下流部分、即ち下流チャンネル104は、書き込みデータ及びメモリ動作コマンドをハブ装置112に伝送する。コントローラ・チャンネル114の上流部分、即ち上流チャンネル106は、（本明細書では、上流データ・パケットといわれる）要求された読み取りデータを戻す。

【0014】

図2は、デイジー・チェーン・メモリ・チャンネル114により、メモリ・コントローラ102に更に接続されるハブ装置112に接続される、1つ又は複数のメモリ・モジュール110で構築されたメモリ・システムを含む、別の例示的な実施形態を示す。この実施形態においては、ハブ装置112は、メモリ・モジュール110上に配置されるのではなく、メモリ・モジュール110と通信する。図2に示されるように、メモリ・モジュール110は、マルチ・ドロップ接続及び/又は二地点間接続を介して、ハブ装置112と通信することができる。他のハードウェア構成も可能であり、例えば、例示的な実施形態は、1レベルのみのデイジー・チェーン・ハブ装置112及び/又はメモリ・モジュール110を使用してもよい。

【0015】

図3は、本明細書で説明される処理を実行するための、例示的な実施形態により使用されるフロー制御論理308を有するハブ装置112を示す。ハブ装置112、及び、ハブ装置112内部のコンポーネントは、ハードウェア及び/又はソフトウェアとして実装することができる。ハブ装置112は、（本明細書では、上流レシーバともいう）レシーバ論理304を介して、上流チャンネル106上の上流データ・パケットを受信する。上流データ・パケットは、受信するハブ装置112よりも下流のハブ装置112からコントローラ102に送信されているデータ・パケットである。上流データ・パケットは、上流チャンネル106上でコントローラ102に向けて送られるように、（本明細書では、上流ドライバともいう）ドライバ論理306に送信することができ、或いは、上流チャンネル106がビジー状態である場合は、上流データ・パケットは、ハブ装置112上のCCB310内に一時的に格納することができる。上流データ・パケットの行き先は、フロー制御論理308により決定され、信号を局所データ・マルチプレクサ312に送信することにより実施される。

【0016】

例示的な実施形態においては、CCB310即ちバッファ装置は、ハブ装置112内に存在し、ハブ装置112が局所データ・パケットを上流チャンネル106上に合流させている間、CCB310に迂回させる上流データ・パケットの転送を(レシーバ論理304を介して)安全に獲得する。局所データ・パケットは、ハブ装置112により方向付けされている、メモリ・モジュール110に取り付けられたメモリ装置108から読み取られるデータ・パケットである。これらのメモリ装置108は、本明細書では局所格納装置ともいう。局所格納装置から読み取られたデータ、即ち局所データ・パケットは、上流ドライバを介して上流コントローラ・インターフェース上に戻されるようにフォーマットされ、CCB310内に格納される。フォーマットするステップは、局所データ・パケットを適切なフレーム・フォーマット(例えば、図5に示される例示的なフレーム・フォーマットを参照されたい)に直列化するステップと、(読み取り要求から供給された)識別タグ、第1転送フィールド、及びバス循環冗長コード(CRC)フィールド内に値を挿入するステップとを含む。例示的な実施形態においては、局所データ・パケットをフォーマットするステップは、局所データ・パケットをCCB310内に格納するステップの一部として実行される。

10

【0017】

データ・パケットは、メモリ・インターフェース302で受信されるときに、局所データ・パケットが(ドライバ論理306を介して)上流チャンネル106上に合流されるのを待っている間、CCB310内に格納される。データ・パケット内部の識別タグによって、メモリ・コントローラ102が、戻された読み取りデータ・パケットを対応する読み取りデータ要求コマンドと関連付けることが可能になる。データ・パケットは、更に、読み取りデータ・フレームがデータ・パケット内に存在するということを示す、上流読み取りデータ・フレーム(データ・パケットは読み取りデータ・フレームとしてフォーマットされる)の先頭近くに配された、小さい、デコードするのが容易な「start」即ち(本明細書では、フレーム開始インジケータともいう)第1転送(「ft」)フィールドを含む。これは、チャンネルの読み取りデータ活動を監視するために、ハブ装置112内のフロー制御論理308により用いられる。

20

【0018】

CCB310内に、局所読み取り動作によるデータ又は下流ハブ装置から以前に迂回された読み取りデータ・パケットのデータのいずれかがあるときには(CCB内のデータ・パケットは、本明細書では、格納されたデータ・パケットといわれる)、ハブ装置112は、可能な限り早く、ドライバ論理306を介して上流チャンネル106上にそれを合流させる。ハブ装置112は、上流チャンネル106がアイドル状態であればいつでも、或いは、現在進行中であるデータ・パケットの最後の転送直後に、局所データを上流チャンネル106上に合流させる。読み取りデータ・フレームは、この方法を用いて二等分にされることは決してないが、ハブ装置112の局所データ・マルチプレクサ312にまだ到達していない、上流チャンネル106上を進行中の読み取りデータ・フレームを割り込ませて、CCB310内に迂回させることができる。このことによって、上流チャンネル106上の読み取りデータ内の差を最小限にして、実効作業負荷条件の下で、バスの効率を増大させ、平均的な読み取りデータ待ち時間の短縮をもたらすことが可能になる。

30

40

【0019】

多数の読み取りデータ・パケットがCCB310内に存在するときには、ハブ装置112は、最先の読み取りコマンドに対応する読み取りデータ・パケットを送信するように構成することができる。このことは、メモリ・コントローラ102から多くのデジター・チェーンの位置だけ離れたハブ装置112に発行された読み取り要求に対する必要以上の待ち時間を最小限にする。他のCCB310のアンロード優先順位付けアルゴリズムもまた実装することができる。例えば、読み取りデータ・フレームの識別タグ・フィールドは、優先フィールドを含むことができる。優先フィールドは、CCB310のアンロードを誘導するために用いることができる。代替的には、読み取りデータが要求されるときに優先情報を配信することができる。次いで、ハブ装置112は、次に送信するCCB310内

50

の場所を決定するために、識別タグを以前に記録された優先情報と比較することができる。優先順位の低いデータが、高い優先順位でタグ付けされている要求により完全に停止させられないことを保証するために、必要に応じて優先順位の高いデータの前に優先順位の低いデータを送信する方法を用いることもできる。

【0020】

図4は、例示的な実施形態において、ハブ装置112内に配置されたフロー制御論理308により容易になるプロセス・フローである。図4に示されるプロセスは、割り込み型局所データ・マージを実行し、フロー制御論理308内の有限状態機械のような、ハードウェア及び/又はソフトウェア命令を含む機構により実施することができる。プロセスは、ブロック402から開始し、例示的な実施形態においては、周期的に（例えば、各々のコントローラ・チャンネルの転送又は上流チャンネル・サイクルの後で）繰り返される。ブロック404において、メモリ・インターフェース302内の任意の局所読み取りデータ・パケット（即ち、ハブ装置112に取り付けられたメモリ・モジュール110上のメモリ装置108からのデータ・パケット）は、CCB310に読み込まれる。これによって、フロー制御論理308が局所読み取りデータの上流への送出手を認識し、管理することが確実にされる。ブロック406において、CCB310内にデータがあるかどうか判断される。CCB310内にデータがない場合は、データは、ブロック412において、レシーバ論理304からドライバ論理306に経路指定して送られる。経路指定は、上流データ・パケットをコントローラ102に向かって上流チャンネル106上に送出手するためのドライバ論理306に上流データ・パケットを送信するように局所データ・マルチプレクサ312を設定することにより、フロー制御論理308によって指示される。処理はその後、414にて続き、次の上流チャンネル・サイクルでブロック404に戻される。

【0021】

ブロック406において、CCB310内にデータがあると判断された場合は、上流チャンネル動作が処理中であるかどうか（即ち、上流データ・パケット又は局所読み取りデータ・パケットが、ドライバ論理306を介して上流チャンネル106上に送出手されている最中であるかどうか）を判断するために、ブロック408が実行される。上流チャンネル動作が処理中である（即ち、ドライバがビジー状態である）場合は、処理はブロック412にて続く。ブロック412においては、上流データ・パケットをドライバ論理306に送信するように局所データ・マルチプレクサ312を設定することにより、上流読み取りデータ・パケットが、レシーバ論理304からドライバ論理306に経路指定して送られる。或いは、上流チャンネル動作が処理中ではなく（即ち、ドライバはアイドル状態であり）、CCB310内にデータがある場合は、処理はブロック410にて続く。ブロック410においては、上流チャンネル106からレシーバ論理304内に受信されたあらゆるデータ・パケットが、次に利用できるCCB310の場所内に迂回される（格納される）間、CCB310からのデータは、上流チャンネル106上に送出手される。迂回させるステップは、上流データ・パケットがCCB310内に読み込まれるように指示するフロー制御論理308により実行される。処理は、その後、次の上流チャンネル・サイクルでブロック404に処理を戻すブロック414にて続く。

【0022】

図5は、上流チャンネル106上の上流データ・パケット及び局所読み取りデータ・パケットのための、例示的な読み取りデータのフレーム・フォーマットである。図5に示されるフレーム・フォーマットは21の信号路を使用し、各々のパケットは16個の転送を含む。フレーム・フォーマットは、1ビットの第1開始インジケータ502と、識別タグ504と、256ビット（32B）の読み取りデータ506と、転送エラー検出のためのバスCRC508とを含む。本発明に適合する、フレーム開始インジケータ、読み取りデータ識別タグ、及び読み取りデータを含むフレーム・フォーマットを作成するために、他の組み合わせの信号通路及び転送深度を用いることができる。

【0023】

例示的な実施形態は、メモリ・モジュールに接続された又はメモリ・モジュール上に含

10

20

30

40

50

まれたデジター・チェーンのハブ論理装置で構築されたコンピュータ・メモリ・システムに関連する。ハブは、メモリ・コントローラ・チャンネル上でデジター・チェーン接続され、更にメモリ・モジュール上のメモリ装置に取り付けられる。メモリ・コントローラは、読み取りデータの要求をハブに発行し、ハブは、メモリ・モジュールからのこの読み取りデータをメモリ・チャンネル上にマージする。チャンネル・バッファ及びパケット識別タグを用いて、ハブは、メモリ・コントローラにより予測されない時間に、また、先に発行された読み取り要求に割り込むことができる時間に、チャンネル上でメモリ・コントローラに戻された読み取りデータのいずれも損失する又は破損することなく、読み取りデータを戻すことができる。

【0024】

例示的な実施形態は、上流チャンネルをより完全に使用することにより、平均的な読み取りデータ待ち時間を最適化するように利用することができる。CCB、識別タグを有する読み取りデータのフレーム・フォーマット、及び、割り込み型データ・マージ技術の使用を通じて、不確定な読み取りデータ待ち時間を実行して、コントローラ・チャンネルをより完全に使用することができる。

【0025】

上述のように、本発明の実施形態は、これらのプロセスを実施するためのコンピュータ実装プロセス及び装置の形態で具体化することができる。本発明の実施形態は、更に、フロッピー・ディスク、CD-ROM、ハード・ドライブ、又は、その他のコンピュータ可読格納媒体等の有形媒体で具体化された命令を含む、コンピュータ・プログラム・コードの形態でも具体化することができ、コンピュータ・プログラム・コードがコンピュータに読み込まれて実行されるときには、コンピュータは本発明を実施するための装置となる。本発明は、更に、例えば、格納媒体内に格納されるか、コンピュータに読み込まれる及び/又はコンピュータにより実行されるか、或いは、電気配線又はケーブル上で、光ファイバを通じて、又は電磁放射線を介してなど何らかの伝送媒体上で伝送されるように、コンピュータ・プログラム・コードの形態でも具体化することができ、コンピュータ・プログラム・コードがコンピュータに読み込まれて実行されるときには、コンピュータは本発明を実施するための装置となる。汎用マイクロプロセッサ上で実装されたときには、コンピュータ・プログラム・コードのセグメントは、特定の論理回路を作成するようにマイクロプロセッサを構成する。

【0026】

本発明は、例示的な実施形態を参照して説明されてきたが、当業者であれば、本発明の範囲を逸脱することなく、種々の変更を行うことができ、それらの要素を同等のもの置き換えることができることを理解するであろう。更に、本発明の本質的な範囲を逸脱することなく、特定の状態又は材料を本発明の教示に適合させるように多くの修正を行うことができる。従って、本発明を実行するために検討された最良の態様として開示された特定の実施形態に、本発明を限定することを意図するものではなく、本発明は、特許請求の範囲内である全ての実施形態を含むことを意図するものである。更に、第1、第2等の用語の使用は、いかなる順序又は重要度を示すものではなく、第1、第2等の用語は、ある要素を別のものと区別するために用いられる。

【図面の簡単な説明】

【0027】

【図1】二地点間接続を用いる、複数レベルのデジター・チェーン・メモリ・モジュールを有する、例示的なメモリ・システムを示す。

【図2】デジター・チェーン・チャンネルによりメモリ・モジュール及びメモリ・コントローラに接続されたハブ装置を有する、例示的なメモリ・システムを示す。

【図3】例示的な実施形態により使用することができるハブ論理装置を示す。

【図4】例示的な実施形態において、ハブ論理装置により実施される、例示的なプロセス・フローである。

【図5】例示的な実施形態により使用することができる読み取りデータ形式である。

10

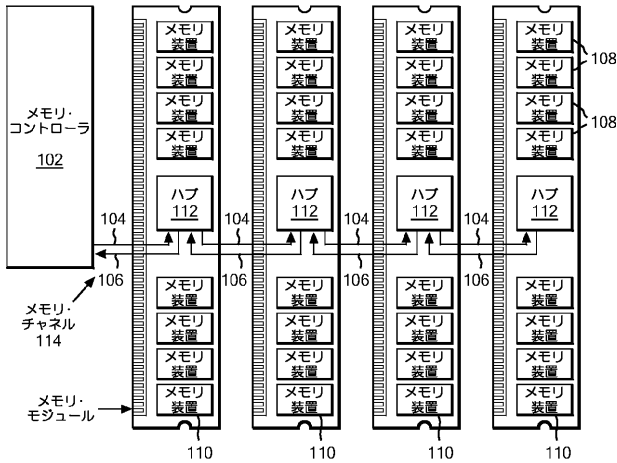
20

30

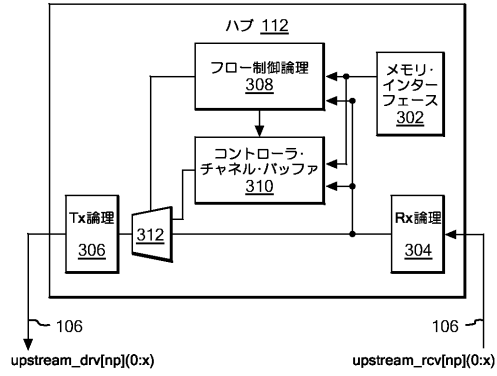
40

50

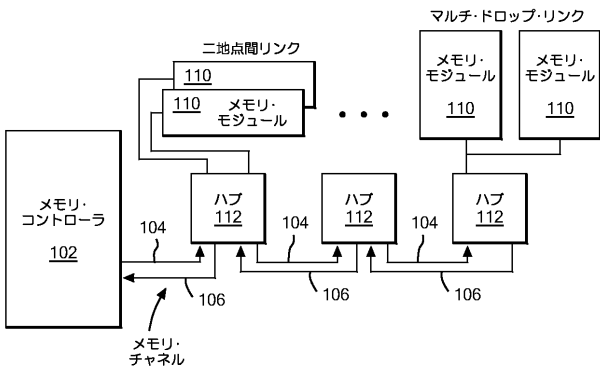
【 図 1 】



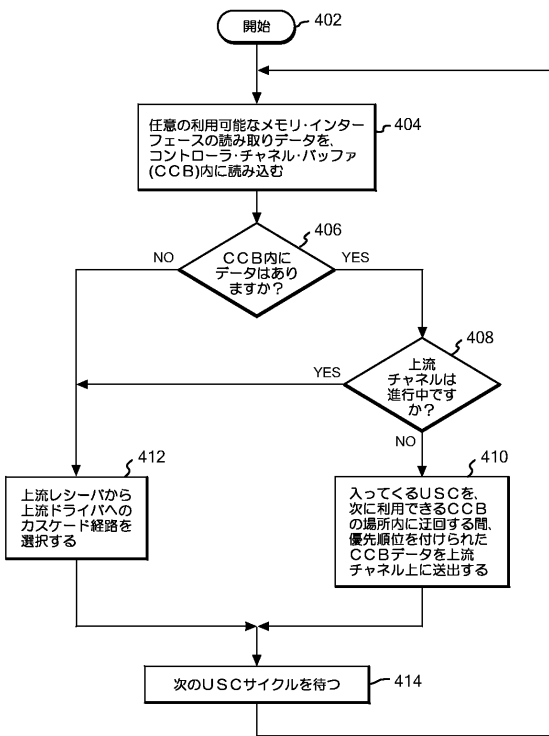
【 図 3 】



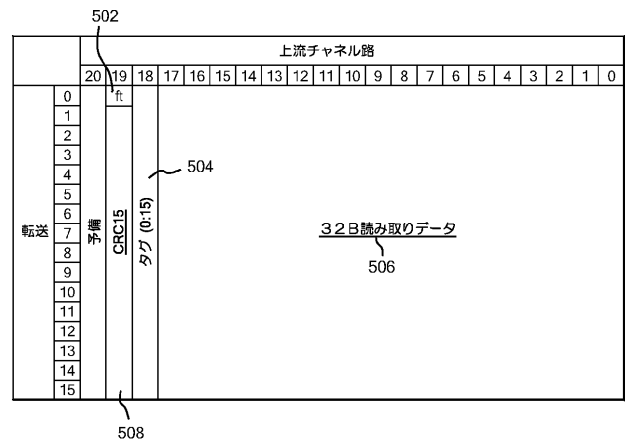
【 図 2 】



【 図 4 】



【 図 5 】



【手続補正書】

【提出日】平成21年2月17日(2009.2.17)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

不確定な読み取りデータ待ち時間をサポートするための方法であって、
局所データ・パケットが受信されているかどうかを判断するステップと、
局所データ・パケットが受信されている場合は、前記局所データ・パケットをバッファ装置内に格納するステップと、

前記バッファ装置がデータ・パケットを含むかどうかを判断するステップと、

前記データ・パケットを上流チャネルを介してメモリ・コントローラに伝送するための上流ドライバがアイドル状態であるかどうかを判断するステップと、

前記バッファ装置がデータ・パケットを含み、前記上流ドライバがアイドル状態である場合は、前記データ・パケットを前記上流ドライバに伝送するステップと、

上流データ・パケットが受信されているかどうかを判断するステップであって、前記上流データ・パケットは、フレーム開始インジケータと、前記上流データ・パケットに対応する読み取り命令と関連付ける際に前記メモリ・コントローラにより用いられる識別タグとを含むフレーム・フォーマットである、ステップと、

上流データ・パケットが受信されており、前記上流ドライバがアイドル状態でない場合は、前記上流データ・パケットを前記バッファ装置内に格納するステップと、

上流データ・パケットが受信されており、前記バッファ装置がデータ・パケットを含まず、前記上流ドライバがアイドル状態である場合は、前記上流データ・パケットを前記上流ドライバに伝送するステップと、

前記上流ドライバがアイドル状態でない場合は、進行中のあらゆるデータ・パケットを伝送し続けるステップと
を含む方法。

【請求項2】

局所データ・パケットが受信されているかどうかを判断する前記ステップ、前記バッファ装置がデータ・パケットを含むかどうかを判断する前記ステップ、上流ドライバはアイドル状態であるかどうかを判断する前記ステップ、及び、データ・パケットが受信されているかどうかを判断する前記ステップは、周期的に実行される、請求項1に記載の方法。

【請求項3】

前記周期は上流チャネル・サイクル毎に一度である、請求項2に記載の方法。

【請求項4】

前記バッファ装置は複数のデータ・パケットを含み、前記データ・パケットは優先順位付けアルゴリズムに基づいて選択される、請求項1に記載の方法。

【請求項5】

前記優先順位付けアルゴリズムは、前記データ・パケットに対応する前記読み取り命令の経過時間に基づいて前記データ・パケットを選択する、請求項4に記載の方法。

【請求項6】

前記優先順位付けアルゴリズムは、前記データ・パケットと関連付けられた優先順位に基づいて前記データ・パケットを選択する、請求項4に記載の方法。

【請求項7】

前記フレーム・フォーマットは、バス循環冗長コード(バスCRC)のフィールドを更に含む、請求項1に記載の方法。

【請求項8】

前記局所データ・パケットをバッファ装置内に格納する前記ステップは、前記局所データ・パケットをフォーマットするステップを含み、前記フォーマットするステップは、前記局所データ・パケットを前記フレーム・フォーマットに直列化するステップと、前記フレーム開始インジケータ、前記識別タグ、及び前記パスキーに値を挿入するステップとを含む、請求項 7 に記載の方法。

【請求項 9】

上流データ・パケットを下流ハブ装置から受信するための上流レシーバと、局所データ・パケットを局所格納装置から受信するためのメモリ・インターフェースとを含む、データ・パケットを受信するための装置であって、前記データ・パケットの各々は、フレーム開始インジケータと、前記上流データ・パケットに対応する読み取り命令と関連付ける際にメモリ・コントローラにより用いられる識別タグとを含むフレーム・フォーマットである、装置と、

上流チャンネルを介して前記データ・パケットを前記メモリ・コントローラに伝送するための上流ドライバと、

局所データ・パケットが受信されているかどうかを判断するステップと、

局所データ・パケットが受信されている場合は、前記局所データ・パケットをバッファ装置内に格納するステップと、

前記バッファ装置がデータ・パケットを含むかどうかを判断するステップと、

前記上流ドライバがアイドル状態であるかどうかを判断するステップと、

前記バッファ装置がデータ・パケットを含み、前記上流ドライバがアイドル状態である場合は、前記データ・パケットを前記上流ドライバに伝送するステップと、

上流データ・パケットが受信されているかどうかを判断するステップであって、前記上流データ・パケットは、フレーム開始インジケータと、前記上流データ・パケットに対応する読み取り命令と関連付ける際に前記メモリ・コントローラにより用いられる識別タグとを含むフレーム・フォーマットである、ステップと、

上流データ・パケットが受信されており、前記上流ドライバがアイドル状態でない場合は、前記上流データ・パケットを前記バッファ装置内に格納するステップと、

上流データ・パケットが受信されており、前記バッファ装置がデータ・パケットを含まず、前記上流ドライバがアイドル状態である場合は、前記上流データ・パケットを前記上流ドライバに伝送するステップと、

前記上流ドライバがアイドル状態でない場合は、進行中のあらゆるデータ・パケットを伝送し続けるステップと

を容易にするための命令を含む機構と

を含む、メモリ・システム内のハブ装置。

【請求項 10】

前記上流チャンネルは、デジタイズ・チェーン・チャンネルである、請求項 9 に記載のハブ装置。

【請求項 11】

前記ハブ装置はメモリ・モジュール上に物理的に配置される、請求項 9 に記載のハブ装置。

【請求項 12】

前記バッファ装置を更に含む、請求項 9 に記載のハブ装置。

【請求項 13】

1 つ又は複数のメモリ装置がデジタイズ・チェーン・チャンネルによりメモリ・コントローラに接続された 1 つ又は複数のメモリ・モジュールであって、読み取りデータが、識別タグ及びフレーム開始インジケータを含むフレーム・フォーマットを用いて前記メモリ・コ

ントローラに戻される、1つ又は複数のメモリ・モジュールと、

読み取りデータ待ち時間を最小限にし、前記メモリ・コントローラへの不確定な読み取りデータ戻り時間を可能にするために、割り込み型局所データ合流アルゴリズムと共に用いられるコントローラ・チャンネル・バッファを含む、アドレス、コマンド、及びデータをバッファするための、前記メモリ・モジュール上の1つ又は複数のハブ装置とを含むメモリ・システム。

【請求項14】

前記ダイジー・チェーン・チャンネル内の二地点間リンクを含む、請求項13に記載のメモリ・システム。

【請求項15】

前記ハブ装置は、コントローラ・チャンネル・バッファ・アンロード優先順位付けアルゴリズムを更に含む、請求項13に記載のメモリ・システム。

【請求項16】

前記割り込み型局所データ合流アルゴリズムは、局所データ・パケットが受信されているかどうかを判断するステップと、局所データ・パケットが受信されている場合は、前記局所データ・パケットを前記コントローラ・チャンネル・バッファに配置されたバッファ装置内に格納するステップと、前記バッファ装置がデータ・パケットを含むかどうかを判断するステップと、データ・パケットを上流チャンネルを介してメモリ・コントローラに伝送するための上流ドライバがアイドル状態であるかどうかを判断するステップと、前記バッファ装置がデータ・パケットを含み、前記上流ドライバがアイドル状態である場合は、前記データ・パケットを前記上流ドライバに伝送するステップと、上流データ・パケットが受信されているかどうかを判断するステップと、上流データ・パケットが受信されており、前記上流ドライバがアイドル状態でない場合は、前記上流データ・パケットを前記バッファ装置内に格納するステップと、上流データ・パケットが受信されており、前記バッファ装置がデータ・パケットを含まず、前記上流ドライバがアイドル状態である場合は、前記上流データ・パケットを前記上流ドライバに伝送するステップと、前記上流ドライバがアイドル状態でない場合は、進行中のあらゆるデータ・パケットを伝送し続けるステップとを含む、請求項13に記載のメモリ・システム。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2006/068984

A. CLASSIFICATION OF SUBJECT MATTER INV. G06F13/16		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G06F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2005/038660 A (MICRON TECHNOLOGY INC.) 28 April 2005 (2005-04-28) page 7, line 1 - page 20, line 24 figures 2-4,7	1-25
X	US 2005/177677 A1 (JEDDELOH) 11 August 2005 (2005-08-11) the whole document	18-20, 22-24
X	US 2005/086441 A1 (MEYER ET AL) 21 April 2005 (2005-04-21) the whole document	18-20, 22-24
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance		*T* later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
E earlier document but published on or after the international filing date		*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
O document referring to an oral disclosure, use, exhibition or other means		*G* document member of the same patent family
P document published prior to the International filing date but later than the priority date claimed		
Date of the actual completion of the International search	Date of mailing of the International search report	
9 February 2007	16/02/2007	
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Authorized officer McDonagh, Fintan	

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2006/068984

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 2005038660 A	28-04-2005	CN 1890650 A	03-01-2007
		EP 1678621 A2	12-07-2006
		KR 20060100417 A	20-09-2006
		US 2005086417 A1	21-04-2005
US 2005177677 A1	11-08-2005	EP 1723527 A2	22-11-2006
		WO 2005076856 A2	25-08-2005
US 2005086441 A1	21-04-2005	US 2006136683 A1	22-06-2006
		US 2006271746 A1	30-11-2006

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(特許庁注：以下のものは登録商標)

1. フロッピー

(74)代理人 100086243

弁理士 坂口 博

(72)発明者 コートイス、ポール、ウィリアム

アメリカ合衆国 10598 ニューヨーク州 ヨークタウン・ハイツ クインラン・ストリート
2742

(72)発明者 ゴウワー、ケビン、チャールズ

アメリカ合衆国 12540 ニューヨーク州 ラグレンジビル アラリー・ロード・エクスト
8

(72)発明者 モール、ウォーレン、エドワード

アメリカ合衆国 78613 テキサス州 シーダー・パーク タク・ロード 2701

(72)発明者 トレメイン、ロバート

アメリカ合衆国 12582 ニューヨーク州 ストームビル ステージコーチ・パス 73

Fターム(参考) 5B060 CD08 MB02 MM15

【要約の続き】

マットである。上流データ・パケットが受信されており、上流ドライバがアイドル状態でない場合は、上流データ・パケットはバッファ装置内に格納される。上流データ・パケットが受信されており、バッファ装置がデータ・パケットを含まず、上流ドライバがアイドル状態である場合は、上流データ・パケットは上流ドライバに伝送される。上流ドライバがアイドル状態でない場合は、進行中のあらゆるデータ・パケットは上流ドライバに伝送され続ける。

【選択図】 図4