

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-342757

(P2004-342757A)

(43) 公開日 平成16年12月2日(2004.12.2)

(51) Int. Cl.<sup>7</sup>

H01L 21/82  
H01L 21/822  
H01L 27/04

F I

H01L 21/82  
H01L 27/04  
H01L 21/82

テーマコード(参考)

5F038  
5F064

審査請求 有 請求項の数 5 O L (全 19 頁)

(21) 出願番号 特願2003-136135 (P2003-136135)  
(22) 出願日 平成15年5月14日(2003.5.14)

(71) 出願人 000003078  
株式会社東芝  
東京都港区芝浦一丁目1番1号  
(74) 代理人 100075812  
弁理士 吉武 賢次  
(74) 代理人 100088889  
弁理士 橘谷 英俊  
(74) 代理人 100082991  
弁理士 佐藤 泰和  
(74) 代理人 100096921  
弁理士 吉元 弘  
(74) 代理人 100103263  
弁理士 川崎 康

最終頁に続く

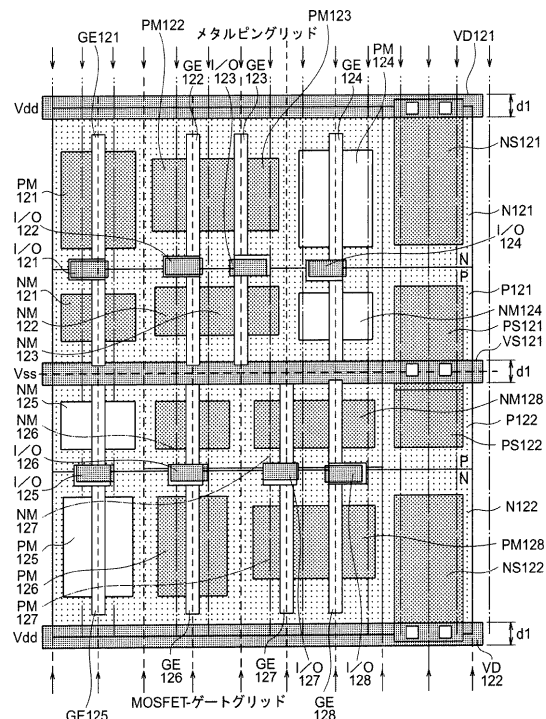
(54) 【発明の名称】 半導体集積回路及びその設計方法

(57) 【要約】 (修正有)

【課題】セル面積の縮小が可能な半導体集積回路及びその設計方法を提供する。

【解決手段】MOSトランジスタのゲート電極GE121~GE128をゲートグリッド上に配置するよう規格化することで、図中上下に配置された各MOSトランジスタのゲート電極の間隔にずれが発生せず、パターンングにおける位相矛盾の問題が解消され微細化が実現される。入出力端子I/O121~I/O128を、ゲートグリッドとメタルピングリッドとの間のずれを考慮して配置する。Nウエル、Pウエルに基板バイアス電位を印加するための拡散層NS121~NS122、PS121~PS122を各MOSトランジスタを配置する領域内に基板電位設定セルとして設けることで、電源電圧線、接地電圧線内に基板電位を印加するための不純物拡散層を設ける必要がなく幅d1を縮小することができる。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

少なくとも一つのセルを構成する複数のMOSトランジスタを配置するセル領域と、前記セル領域の周辺部に一方向に沿って配置された第1の電源線及び第2の電源線とを備え、

前記セル領域内において、前記一方向における第1の間隔を規定するゲートグリッドと、前記一方向における第2の間隔を規定するピングリッドとが設定されており、前記MOSトランジスタのゲート電極が、前記ゲートグリッドに従って配置されており、配線層が、前記ピングリッドに従って配置されていることを特徴とする半導体集積回路。

## 【請求項 2】

前記MOSトランジスタのゲート電極に接続された入出力端子をさらに備え、前記ゲート電極が位置するゲートグリッドが前記ピングリッドと重複していない場合、このゲートグリッドに隣接するいずれか一方の前記ピングリッドとに跨るように前記入出力端子が配置されていることを特徴とする請求項1記載の半導体集積回路。

## 【請求項 3】

前記セル領域内において、前記セル領域におけるウエルの電位を固定するための不純物拡散層が配置されていることを特徴とする請求項1又は2記載の半導体集積回路。

## 【請求項 4】

前記不純物拡散層は、前記第1又は第2の電源線に接続されていることを特徴とする請求項3記載の半導体集積回路。

## 【請求項 5】

前記第1、第2の電源線と異なる電位を有する第3、第4の電源線をさらに備え、前記不純物拡散層は、前記第3又は第4の電源線に接続されていることを特徴とする請求項1乃至3のいずれかに記載の半導体集積回路。

## 【請求項 6】

前記セル領域において前記セルが少なくとも二つ配置されており、前記セルの間にダミーゲートが配置されたことを特徴とする請求項1乃至5のいずれかに記載の半導体集積回路。

## 【請求項 7】

前記セル領域内において、前記一方向と直交する他の方向における第3の間隔を規定する第2のピングリッドが設定されており、

前記第2のピングリッドに従って配置された他の配線層をさらに備えることを特徴とする請求項1乃至6のいずれかに記載の半導体集積回路。

## 【請求項 8】

少なくとも一つのセルを構成する複数のMOSトランジスタを配置するセル領域において、前記セル領域の一方向における第1の間隔を規定するゲートグリッドと、前記一方向における第2の間隔を規定するピングリッドとを設定するステップと、

前記セル領域の周辺部に前記一方向に沿って、第1の電源線及び第2の電源線を配置するステップと、

前記ゲートグリッド上にゲート電極が位置するように、前記MOSトランジスタの配置を行うステップと、

前記ピングリッドに適合するように配線層の配置を行うステップと、を備えることを特徴とする半導体集積回路の設計方法。

## 【請求項 9】

前記MOSトランジスタのゲート電極に接続する入出力端子を、このゲート電極が配置されている前記ゲートグリッドと前記ピングリッドとが一致していない場合、このゲートグリッドとこのゲートグリッドに隣接するいずれか一方の前記ピングリッドとに跨るように配置するステップをさらに備えることを特徴とする請求項8記載の半導体集積回路の設計方法。

## 【請求項 10】

10

20

30

40

50

前記セル領域内に、前記セル領域におけるウエルの電位を固定するための不純物拡散層を配置するステップをさらに備えることを特徴とする請求項 8 又は 9 記載の半導体集積回路の設計方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路及びその設計方法に係わり、特にスタンダードセルのレイアウトに好適なものに関する。

【0002】

【従来の技術】

近年、半導体集積回路の回路規模が急激に増大しており、加えて開発時間を短縮化する要望が高まっている。

【0003】

そこで、回路設計者が自分で論理を実現するための回路構成を考えて設計するのではなく、論理合成を行うソフトウェアにより論理合成及び配置配線を行い、所望の機能を実現する回路ブロックを設計する手法が幅広く使われるようになってきている。

【0004】

このように、半導体装置を構成する回路ブロックを設計する際に、機能的な記述の設計データを基にソフトウェアを用いて論理合成して実現するため、スタンダードセルが用いられている。

【0005】

スタンダードセルとは、基本的な論理を実現するため予め作成された小規模な回路（以下、セル）であり、複数種類の論理にそれぞれに対応して用意される。さらに 1 つの論理に対しても、様々な負荷に対応できるように負荷駆動力、即ちサイズを変えて設定された複数のセルが用意される。このような複数種類のセルのひとまとまりのセットを、スタンダードセルライブラリと称している。

【0006】

従来のスタンダードセルのレイアウトを、図 7 の平面図に示す。半導体基板の表面部分において、N ウエル領域 N 1 と P ウエル領域 P 1 とが配置されている。N ウエル領域 N 1 内において、基板上にゲート電極 G E 1 が形成され、その両側に P 型不純物がイオン注入され P 型拡散層が形成されて P M O S トランジスタ P M 1 が形成されている。P 型拡散層のうち、ソース領域上にソース電極 S E 1 が形成され、ドレイン領域上にドレイン電極 D E 1 が形成されている。

【0007】

同様に、P ウエル領域 P 1 内において、ゲート電極 G E 1 が延在するように形成され、その両側に N 型不純物がイオン注入され N 型拡散層が形成されて N M O S トランジスタ N M 1 が形成されている。N 型拡散層のうち、ソース領域上にソース電極 S E 2 が形成され、ドレイン領域上にドレイン電極 D E 1 が延在するように形成されている。

【0008】

そして、N ウエル領域 N 1 の端部に基板バイアス電位を固定するための N 型拡散層 N S 1 及びその周囲にメタル配線 M W 1 が配置され、P ウエル領域 P 1 の端部に基板バイアス電位を固定するための P 型拡散層 P S 1 及びその周囲にメタル配線 M W 2 が配置されている。メタル配線 M W 1 には、ソース電極 S E 1 が接続され、メタル配線 M W 2 にはソース電極 S E 2 が接続されている。

【0009】

このように従来は、半導体基板の表面に形成された P ウエル、N ウエルに基板バイアス電位を印加するための拡散層及びメタル配線を、スタンダードセル内に配置していた。

【0010】

この基板バイアス固定用の拡散層は、マスクを用いて不純物をイオン注入することによって、N ウエルには N 型拡散層 N S 1、P ウエルには P 型拡散層 P S 1 を形成する。しかし

10

20

30

40

50

微細化が進むにつれ、不純物のイオン注入を行うための設計ルールが、MOSトランジスタの形成やメタル配線の設計ルールに比べて微細化が困難であるという問題が出てきた。このため、図7においてN型拡散層NS1、P型拡散層PS1を囲むように形成された電源線MW1、MW2の幅d11を縮小することが困難であり、微細化の妨げとなっていた。

【0011】

さらに、従来はセルやメタル配線をレイアウトする際の基準として、メタル配線の間隔を規定するピングリッドを用いていた。図8に、メタルピンMPの間隔をピングリッドピッチMGPとして示す。

【0012】

しかし、セルのレイアウトには適合せず、PチャンネルMOSトランジスタPM11及びNチャンネルMOSトランジスタNM11のゲート電極GE11、PチャンネルMOSトランジスタPM12及びNチャンネルMOSトランジスタNM12のゲート電極GE12、PチャンネルMOSトランジスタPM13及びNチャンネルMOSトランジスタNM13のゲート電極GE13の間隔がピングリッドと一致しておらず、事実上ランダムなレイアウトとなっていた。

【0013】

このため、図9に示されたように、上下に配置されたMOSトランジスタのゲート電極の間隔にずれが生じていた。より詳細には、上部に配置されたPチャンネルMOSトランジスタPM21及びNチャンネルMOSトランジスタNM21のゲート電極GE21、PチャンネルMOSトランジスタPM22及びNチャンネルMOSトランジスタNM22のゲート電極GE22、PチャンネルMOSトランジスタPM23及びNチャンネルMOSトランジスタNM23のゲート電極GE23の間隔と、下部に配置されたNチャンネルMOSトランジスタNM24及びPチャンネルMOSトランジスタPM24のゲート電極GE24、NチャンネルMOSトランジスタPM25及びPチャンネルMOSトランジスタNM25のゲート電極GE25、NチャンネルMOSトランジスタPM26及びPチャンネルMOSトランジスタNM26のゲート電極GE26、NチャンネルMOSトランジスタPM27及びPチャンネルMOSトランジスタNM27のゲート電極GE27の間隔とがずれている。

【0014】

このような上下のトランジスタのゲート電極のレイアウトのずれが原因となって、次のような問題が発生していた。

【0015】

現在では、フォトマスクを用いてMOSトランジスタのゲート電極をパターンニング加工する際に、より微細化を実現するため、露光する光の位相をシフトしている。このような状況下で、図9に示されたように上下に配置された各トランジスタのゲート電極が不規則な間隔で配置されると、設計ルールの制約を大きく受けることになる。

【0016】

図10に、上部に配置されたトランジスタの拡散層D1及びゲート電極G1、G2と、下部に配置されたトランジスタの拡散層D2及びゲート電極G3とを示す。上部のゲート電極G1、G2をパターン加工するためのフォトマスクとして、マスクパターンMP1、MP2、MP3が上方に配置され、下部のゲート電極G3をパターン加工するためのフォトマスクとして、マスクパターンMP4、MP5が配置されている。ここで、上部のゲート電極G1、G2と下部のゲート電極G3とは位置がずれている。

【0017】

上部のマスクパターンMP1の端面に接触するのが露光する光の第1の位相であるとする、その隣のマスクパターンMP2には第2の位相、さらにその隣のマスクパターンMP3には第1の位相が接触するとする。このように、加工するためには、相互に隣接するマスクパターンは異なる位相の光が隣接する必要がある。

【0018】

しかし、下部のマスクパターンMP4、マスクパターンMP5は、上部のマスクパターン

10

20

30

40

50

MP1とMP3との間に位置し、共に第2の位相の光が隣接することになり、加工ができなくなる。上下のマスクパターンにずれがあると、このような位相矛盾が生じることになる。

【0019】

この位相矛盾を防ぐには、上部のマスクパターンMP1、MP2、MP3と、下部のマスクパターンMP4、MP5との間を余分にとる必要が生じ、セルサイズの増大を招くこととなっていた。

【0020】

以下に従来のスタンダードセルを用いた半導体集積回路を開示する文献を示す。

【0021】

【特許文献1】

特開平10-154756号公報

【特許文献2】

特開2000-100952号公報

【特許文献3】

特開2000-357741号公報

【特許文献4】

特開平11-3844号公報

【特許文献5】

特開2001-168291号公報

【特許文献6】

特開2000-22084号公報

【0022】

【発明が解決しようとする課題】

上述したように、従来は基板電位を供給する領域が微細化の妨げとなっており、さらにセルの配置がピングリッドを基準としながら、MOSトランジスタのゲート電極の配置が不規則となり設計ルール上の制約をより大きく受けてセル面積の増大を招くという問題があった。

【0023】

本発明は上記事情に鑑み、セル面積の縮小が可能な半導体集積回路及びその設計方法を提供することを目的とする。

【0024】

【課題を解決するための手段】

本発明の半導体集積回路は、

少なくとも一つのセルを構成する複数のMOSトランジスタを配置するセル領域と、前記セル領域の周辺部に一方向に沿って配置された第1の電源線及び第2の電源線とを備え、

前記セル領域内において、前記一方向における第1の間隔を規定するゲートグリッドと、前記一方向における第2の間隔を規定するピングリッドとが設定されており、

前記MOSトランジスタのゲート電極が、前記ゲートグリッドに従って配置されており、メタル配線が、前記ピングリッドに従って配置されていることを特徴とする。

【0025】

ここで、前記MOSトランジスタのゲート電極に接続された入出力端子をさらに備え、前記ゲート電極が位置するゲートグリッドが前記ピングリッドと重複していない場合、このゲートグリッドに隣接するいずれか一方の前記ピングリッドとに前記入出力端子が跨るように配置されていてもよい。

【0026】

前記セル領域内において、前記セル領域におけるウエルの電位を固定するための不純物拡散層が配置されていてもよい。

【0027】

10

20

30

40

50

前記不純物拡散層は、前記第 1 又は第 2 の電源線に接続されていてもよい。

【0028】

前記第 1、第 2 の電源線と異なる電位を有する第 3、第 4 の電源線をさらに備え、前記不純物拡散層は、前記第 3 又は第 4 の電源線に接続されていてもよい。

【0029】

前記セル領域において前記セルが少なくとも二つ配置されており、前記セルの間にダミーゲートが配置されていてもよい。

【0030】

前記セル領域内において、前記一方向と直交する他の方向における第 3 の間隔を規定する第 2 のピングリッドが設定されており、

10

前記第 2 のピングリッドに従って配置されたメタル配線をさらに備えることもできる。

【0031】

本発明の半導体集積回路の設計方法は、

少なくとも一つのセルを構成する複数の MOS トランジスタを配置するセル領域において、前記セル領域の一方向における第 1 の間隔を規定するゲートグリッドと、前記一方向における第 2 の間隔を規定するピングリッドとを設定するステップと、

前記セル領域の周辺部に前記一方向に沿って、第 1 の電源線及び第 2 の電源線を配置するステップと、

前記ゲートグリッド上にゲート電極が位置するように、前記 MOS トランジスタの配置を行うステップと、

20

前記ピングリッドに適合するようにメタル配線の配置を行うステップとを備えることを特徴とする。

【0032】

前記 MOS トランジスタのゲート電極に接続する入出力端子を、このゲート電極が配置されている前記ゲートグリッドと前記ピングリッドとが一致していない場合、このゲートグリッドとこのゲートグリッドに隣接するいずれか一方の前記ピングリッドとに跨るように配置するステップをさらに備えてもよい。

【0033】

前記セル領域内に、前記セル領域におけるウエルの電位を固定するための不純物拡散層を配置するステップをさらに備えることもできる。

30

【0034】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

【0035】

(1) 第 1 の実施の形態

本実施の形態による半導体集積回路の構成を、図 1 の平面図に示す。

【0036】

半導体基板の表面部分において、N ウエル領域 N 1 0 1 と P ウエル領域 P 1 0 1 とが配置されている。このような 1 組の N ウエル領域 1 0 1 と P ウエル領域 P 1 0 1 と図中上下に、電源電圧 V d d 配線 V D 1 0 1 と接地電圧 V s s 配線 V S 1 0 1 とが配置されている。

40

【0037】

メタルピンの間隔を基準とするピングリッドを図中上下方向に一点鎖線で示し、MOS トランジスタのゲート電極の間隔を基準とするゲートグリッドを点線で示す。本実施の形態では、ピングリッドとゲートグリッドとの間隔が、2 : 3 の比率で設定されている。

【0038】

N ウエル領域 N 1 0 1 内において、基板上にゲート電極 G E 1 0 1 が形成され、その両側に P 型不純物がイオン注入され P 型拡散層が形成されて P MOS トランジスタ P M 1 0 1 が形成されている。

【0039】

同様に N ウエル領域 N 1 0 1 内において、ゲート電極 G E 1 0 2、G E 1 0 3 が形成され

50

、それぞれの両側にP型不純物がイオン注入されP型拡散層が形成されてPMOSトランジスタPM102、PM103が形成されている。

【0040】

ここで、P型拡散層におけるソース領域と電源電圧V<sub>dd</sub>端子VD101とを接続するソース電極、また後述するN型拡散層におけるソース領域と接地電圧とを接続するソース電極、P型拡散層におけるドレイン領域とN型拡散層におけるドレイン領域とを接続するドレイン電極は図中省略されている。

【0041】

Pウエル領域P101内において、ゲート電極GE1が延在するように形成され、その両側にN型不純物がイオン注入されN型拡散層が形成されてNMOSトランジスタNM101が形成されている。 10

【0042】

さらにPウエル領域P101内において、ゲート電極GE102、GE103が延在するように形成され、それぞれの両側にN型拡散層が形成されてNMOSトランジスタNM102、NM103が形成されている。

【0043】

Nウエル領域N101とPウエル領域P101との境界線上において、ゲート電極GE101と接続するように入出力端子I/O101としてメタル端子が設けられている。

【0044】

Nウエル領域N101とPウエル領域P101との境界線上において、ゲート電極GE102、GE103とそれぞれ接続するように入出力端子I/O102、I/O103としてメタル端子が設けられている。 20

【0045】

このように本実施の形態は、回路を構成するMOSトランジスタPM101～PM103、NM101～NM103を配置する際に、それぞれのゲート電極GE101～GE103を、ゲートグリッド上に配置するよう規格化した点に第1の特徴がある。

【0046】

これにより、従来のゲート電極の配置が不均一であったことにより生じていたフォトマスク、リソグラフィ工程、エッチング工程における加工精度等に関する問題を解消し、集積度を向上させることができる。 30

【0047】

また本実施の形態は、複数のMOSトランジスタ間に設ける入出力端子I/O101～I/O103を配置する際に、ゲートグリッドとピングリッドとの間のずれを考慮して配置する点に第2の特徴がある。具体的には、ゲート電極GE101はゲートグリッド上に配置されているが、ピングリッド上には配置されていない。この場合、ゲート電極GE101に接続する入出力端子I/O101は、ゲート電極GE101が配置されたゲートグリッドと、このゲートグリッドに最も近い2本のピングリッドのいずれか一方とに跨るように配置されている。これにより、本実施の形態によれば規則的にMOSトランジスタ及び入出力端子を配置することができ、無駄な素子面積の発生を防止して素子面積の縮小に寄与することができる。 40

【0048】

(2)第2の実施の形態

本実施の形態による半導体集積回路の構成を、図2の平面図に示す。

【0049】

本実施の形態は、隣接する2つのセルが配置され、さらに基板電位を設定するセルとして不純物拡散層が配置されている点に特徴がある。

【0050】

半導体基板の表面部分において、Nウエル領域N111とPウエル領域P111とが配置されている。このような1組のNウエル領域111とPウエル領域P111と図中上下に、電源電圧V<sub>dd</sub>配線VD111と接地電圧V<sub>ss</sub>配線VS111とが配置されている。 50

## 【0051】

上記第1の実施の形態と同様に、メタルピンの間隔を基準とするピングリッドを図中上下方向に一点鎖線で示し、MOSトランジスタのゲート電極の間隔を基準とするゲートグリッドを点線で示す。また本実施の形態においても、ピングリッドとゲートグリッドとの間隔が、2:3の比率で設定されている。

## 【0052】

Nウエル領域N111内において、基板上にゲート電極GE111が形成され、その両側にP型拡散層が形成されてPMOSトランジスタPM111が形成されている。同様に、ゲート電極GE112、GE113、GE114が形成され、それぞれの両側にP型拡散層が形成されて、PMOSトランジスタPM112、PM113、PM114が形成されて

10

## 【0053】

Pウエル領域P111内において、ゲート電極GE111、GE112、GE113、GE114が延在するように形成され、その両側にN型拡散層が形成されてNMOSトランジスタNM111、NM112、NM113、NM114が形成されている。

## 【0054】

ここで、PMOSトランジスタPM111及びNMOSトランジスタNM111、PMOSトランジスタPM112及びNMOSトランジスタNM112、PMOSトランジスタPM113及びNMOSトランジスタNM113から成るセルに隣接して、PMOSトランジスタPM114及びNMOSトランジスタNM114から成るセルが隣接されている

20

## 【0055】

Nウエル領域N111とPウエル領域P111との境界線上において、ゲート電極GE111~GE114と接続するように、入出力端子I/O111~I/O114が設けられている。

## 【0056】

さらに本実施の形態では、NウエルN111に電源電圧V<sub>dd</sub>、PウエルP111に接地電圧V<sub>ss</sub>をそれぞれ印加する基板電位供給セルが、各MOSトランジスタと同様にセル領域内に配置されている。即ち、Nウエル111内にN型不純物拡散層NS111が配置され、電源電圧V<sub>dd</sub>線VD111と電氣的に接続されている。同様に、Pウエル111

30

## 【0057】

本実施の形態は、上記第1の実施の形態と同様に、回路を構成するMOSトランジスタPM111~PM114、NM111~NM114を配置する際に、それぞれのゲート電極GE111~GE114を、ゲートグリッド上に配置するよう規格化した点に第1の特徴がある。

## 【0058】

また本実施の形態は、複数のMOSトランジスタ間に設ける入出力端子I/O111~I/O114を配置する際に、ゲートグリッドとピングリッドとの間のずれを考慮して配置する点に第2の特徴がある。具体的には、例えばゲート電極GE111はゲートグリッド上に配置されているが、ピングリッド上には配置されていない。このような場合、ゲート電極GE111に接続する入出力端子I/O111は、ゲート電極GE111が配置されたゲートグリッドと、このゲートグリッドに最も近い2本のピングリッドのいずれか一方とに跨るように配置されている。

40

## 【0059】

これにより、本実施の形態によれば規則的にMOSトランジスタ及び入出力端子を配置することができ、無駄な素子面積の発生を防止して素子面積の縮小に寄与することができる

## 【0060】

50



さらに本実施の形態は、NウエルN111、PウエルP111に基板バイアス電位を印加するための拡散層NS111、PS111を、各MOSトランジスタを配置する領域内に、基板電位設定セルとして設ける点に第3の特徴がある。従来は、図7を用いて上述したように、電源電圧V<sub>dd</sub>線MW1内に拡散層NS1を設けてNウエルN1への電源電圧V<sub>dd</sub>の印加を行い、接地電圧V<sub>ss</sub>線MW2内に拡散層PS1を設けてPウエルP1への接地電圧V<sub>ss</sub>の印加を行っていた。このため、電源電圧V<sub>dd</sub>線MW1、接地電圧線V<sub>ss</sub>線MW2の幅d11を縮小できず、微細化の妨げとなっていた。

【0061】

これに対し本実施の形態によれば、電源電圧V<sub>dd</sub>線VD111、接地電圧線V<sub>ss</sub>111内にこのような基板電位を印加するための不純物拡散層を設ける必要がないため、幅d1を従来の幅d11より縮小することができ、素子の微細化に寄与する。 10

【0062】

(3)第3の実施の形態

本実施の形態による半導体集積回路の構成を図3に示す。

【0063】

半導体基板の表面部分において、Nウエル領域N121とPウエル領域P121とが配置され、この1組のNウエル領域111及びPウエル領域P111の図中上下に、電源電圧V<sub>dd</sub>配線VD121と接地電圧V<sub>ss</sub>配線VS121とが配置されている。

【0064】

接地電圧V<sub>ss</sub>配線VS121を境に上下対象に、さらに1組のPウエル領域P122及びNウエル領域N122が配置され、Nウエル領域N122の図中下方に電源電圧V<sub>dd</sub>線VD122が配置されている。 20

【0065】

上記第1、第2の実施の形態と同様に、メタルピンの間隔を基準とするピングリッドを一点鎖線、MOSトランジスタのゲート電極の間隔を基準とするゲートグリッドを点線で示す。ピングリッドとゲートグリッドとの間隔が、2:3の比率で設定されている。

【0066】

Nウエル領域N121内において、ゲート電極GE121、GE122、GE123、GE124が形成され、それぞれの両側にP型拡散層が形成されてPMOSトランジスタPM121、PM122、PM123、PM124が形成されている。 30

【0067】

Pウエル領域P121内において、ゲート電極GE121、GE122、GE123、GE124が延在するように形成され、それぞれの両側にN型拡散層が形成されてNMOSトランジスタNM121、NM122、NM123、NM124が形成されている。

【0068】

Nウエル領域N121とPウエル領域P121との境界線上において、ゲート電極GE121~GE124と接続するように、入出力端子I/O121~I/O124が設けられている。

【0069】

同様に、Pウエル領域P122内において、ゲート電極GE125~GE128が形成され、それぞれの両側にN型拡散層が形成されてNMOSトランジスタNM125~NM128が形成されている。 40

【0070】

Nウエル領域N122内において、ゲート電極GE125~GE128が延在するように形成され、それぞれの両側にP型拡散層が形成されてPMOSトランジスタPM125~PM128が形成されている。

【0071】

Nウエル領域N122とPウエル領域P122との境界線上において、ゲート電極GE125~GE128と接続するように、入出力端子I/O125~I/O128が設けられている。

## 【0072】

さらに上記第2の実施の形態と同様に、NウエルN121、N122に電源電圧V<sub>dd</sub>を印可するためのN型不純物拡散層NS121、NS122、PウエルP121、P122に接地電圧V<sub>ss</sub>を印加するためのP型不純物拡散層PS121、PS122が、各MOSトランジスタと同様にセル領域内に配置されている。

## 【0073】

本実施の形態は、上記第1、第2の実施の形態と同様に、回路を構成するMOSトランジスタPM121～PM128、NM121～NM128を配置する際に、それぞれのゲート電極GE121～GE128を、ゲートグリッド上に配置するよう規格化した点に第1の特徴がある。

10

## 【0074】

これにより、図中上下に配置された各MOSトランジスタのゲート電極の間隔にずれが生じない。よって、従来のように上下のMOSトランジスタのゲート電極のレイアウトのずれが原因となって、フォトマスクを用いてパターンニングを行う際に生じていた位相矛盾の問題が解消される。よって、上下のMOSトランジスタを従来のように位相矛盾を考慮して間隔を空けて配置する必要がなく、微細化が実現される。

## 【0075】

また上記第1、第2の実施の形態と同様に、複数のMOSトランジスタ間に設ける入出力端子I/O121～I/O128を配置する際に、ゲートグリッドとピングリッドとの間のずれを考慮して配置する点に第2の特徴がある。

20

## 【0076】

さらに上記第2の実施の形態と同様に、NウエルN121～N122、PウエルP121～P122に基板バイアス電位を印加するための拡散層NS121～NS122、PS121～PS122を、各MOSトランジスタを配置する領域内に、基板電位設定セルとして設ける点に第3の特徴がある。これにより、電源電圧V<sub>dd</sub>線VD121、接地電圧線V<sub>ss</sub>121内に基板電位を印加するための不純物拡散層を設ける必要がなく、幅d1を従来の幅d11より縮小することができ、素子の微細化が実現される。

## 【0077】

## (4) 第4の実施の形態

本発明の第4の実施の形態について、図4を用いて説明する。本実施の形態は、上記第3実施の形態の構成に加えて、各セルの間にダミーゲートを備えている。

30

## 【0078】

半導体基板の表面部分において、Nウエル領域N141とPウエル領域P141とが配置され、この1組のNウエル領域N141及びPウエル領域P141の図中上下に、電源電圧V<sub>dd</sub>配線VD141と接地電圧V<sub>ss</sub>配線VS141とが配置されている。

## 【0079】

接地電圧V<sub>ss</sub>配線VS141を境に上下対象に、さらに1組のPウエル領域P142及びNウエル領域N142が配置され、Nウエル領域N142の図中下方に電源電圧V<sub>dd</sub>線VD142が配置されている。

## 【0080】

ピングリッドを一点鎖線、ゲートグリッドを点線で示し、ピングリッドとゲートグリッドとの間隔が2:3の比率で設定されている。

40

## 【0081】

Nウエル領域N141内において、ゲート電極GE141、GE142、GE143、GE144が形成され、それぞれの両側にP型拡散層が形成されてPMOSトランジスタPM141、PM142、PM143、PM144が形成されている。

## 【0082】

Pウエル領域P141内において、ゲート電極GE141、GE142、GE143、GE144が延在するように形成され、それぞれの両側にN型拡散層が形成されてNMOSトランジスタNM141、NM142、NM143、NM144が形成されている。

50

## 【0083】

Nウエル領域N141とPウエル領域P141との境界線上において、ゲート電極GE141～GE144と接続するように、入出力端子I/O141～I/O144が設けられている。

## 【0084】

Pウエル領域P142内において、ゲート電極GE145～GE148が形成され、それぞれの両側にN型拡散層が形成されてNMOSトランジスタNM145～NM148が形成されている。

## 【0085】

Nウエル領域N142内において、ゲート電極GE145～GE148が延在するように形成され、それぞれの両側にP型拡散層が形成されてPMOSトランジスタPM145～PM148が形成されている。

## 【0086】

Nウエル領域N142とPウエル領域P142との境界線上において、ゲート電極GE145～GE148と接続するように、入出力端子I/O145～I/O148が設けられている。

## 【0087】

NウエルN141、N122に電源電圧V<sub>dd</sub>を印可するためのN型不純物拡散層NS141、NS142、PウエルP141、P142に接地電圧V<sub>ss</sub>を印加するためのP型不純物拡散層PS141、PS142が、各MOSトランジスタと同様にセル領域内に配置されている。

## 【0088】

さらに、ゲート電極GE141を共通にするPMOSトランジスタPM141及びNMOSトランジスタNM141で構成されたセルと、ゲート電極GE142を共通にするPMOSトランジスタPM142及びNMOSトランジスタNM142で構成されたセルとの間に、ダミーゲート電極DM141が配置されている。ゲート電極GE143を共通にするPMOSトランジスタPM143及びNMOSトランジスタNM143で構成されたセルと、ゲート電極GE144を共通にするPMOSトランジスタPM144及びNMOSトランジスタNM144で構成されたセルとの間に、ダミーゲート電極DM142が配置されている。さらに、PMOSトランジスタPM144及びNMOSトランジスタNM144で構成されたセルと、N型不純物拡散層NS141及びP型不純物拡散層PS141との間、ダミーゲート電極DM143が配置されている。

## 【0089】

同様に、PMOSトランジスタPM145及びNMOSトランジスタNM145で構成されたセルと、PMOSトランジスタPM146及びNMOSトランジスタNM146で構成されたセルとの間に、ダミーゲート電極DM144が配置されている。PMOSトランジスタPM146及びNMOSトランジスタNM146で構成されたセルと、PMOSトランジスタPM147及びNMOSトランジスタNM147で構成されたセルとの間に、ダミーゲート電極DM145が配置されている。PMOSトランジスタPM148及びNMOSトランジスタNM148で構成されたセルと、N型不純物拡散層NS142及びP型不純物拡散層PS142との間、ダミーゲート電極DM146が配置されている。

## 【0090】

このような本実施の形態によれば、上記第3の実施の形態における第1～第3の特徴に加えて、第4の特徴として、隣接する各セルの間にダミーゲートを備えことにより、各々のMOSトランジスタのゲートの配置がさらに均一化され、プロセス加工上の精度が向上する。

## 【0091】

(5) 第5の実施の形態

本発明の第5の実施の形態について説明する。

## 【0092】

上記第1～第4の実施の形態では、Nウエルには電源電圧V<sub>dd</sub>を印加し、Pウエルには接地電圧V<sub>ss</sub>を印加している。

【0093】

これに対し、本実施の形態では、Nウエルに電源電圧V<sub>dd</sub>と異なる基板電位、Pウエルに接地電圧V<sub>ss</sub>と異なる基板電位を印加する点で相違する。この場合の構成の一例を本発明の第5の実施の形態とし、その構成を図5に示す。

【0094】

半導体基板の表面部分において、Nウエル領域N151とPウエル領域P151とが配置されている。このような1組のNウエル領域151とPウエル領域P151の図中上下において、一方向（図中左右方向）に沿って電源電圧V<sub>dd</sub>配線VD151と接地電圧V<sub>ss</sub>配線VS151とが配置されている。

10

【0095】

さらに、NウエルN151に電源電圧V<sub>dd</sub>と異なる基板電圧V<sub>bp</sub>を印加し、PウエルP151に接地電圧V<sub>ss</sub>と異なる基板電圧V<sub>bn</sub>をそれぞれ印加するための基板電位供給セルが、各MOSトランジスタと同様にセル領域内に配置されている。即ち、Nウエル151内にN型不純物拡散層NS151が配置され、Pウエル111内にP型不純物拡散層PS111が配置されている。

【0096】

さらに、電源電圧V<sub>dd</sub>線VD151、接地電圧V<sub>ss</sub>線VS151と直交する方向（図中縦方向）に、基板電圧V<sub>bp</sub>線V<sub>bp</sub>151、基板電圧V<sub>bn</sub>線V<sub>bn</sub>151が、電源電圧V<sub>dd</sub>線VD151、接地電圧V<sub>ss</sub>線VS151の上部の配線層において、ピングリッドに従って配置されている。

20

【0097】

そして、N型不純物拡散層NS151が基板電圧V<sub>bp</sub>線V<sub>bp</sub>151と電気的に接続されており、同様にP型不純物拡散層PS111が基板電圧V<sub>bn</sub>線V<sub>bn</sub>151と電気的に接続されている。

【0098】

上記第1～第4の実施の形態と同様に、メタルピンの間隔を基準とするピングリッドを図中上下方向に一点鎖線で示し、MOSトランジスタのゲート電極の間隔を基準とするゲートグリッドを点線で示す。また本実施の形態においても、ピングリッドとゲートグリッドとの間隔が、2：3の比率で設定されている。

30

【0099】

Nウエル領域N151内において、基板上にゲート電極GE151が形成され、その両側にP型拡散層が形成されてPMOSトランジスタPM151が形成されている。ゲート電極GE152、GE153、GE154が形成され、それぞれの両側にP型拡散層が形成されて、PMOSトランジスタPM152、PM153、PM154が形成されている。

【0100】

Pウエル領域P151内において、ゲート電極GE151、GE152、GE153、GE154が延在するように形成され、その両側にN型拡散層が形成されてNMOSトランジスタNM151、NM152、NM153、NM154が形成されている。

40

【0101】

上記第2の実施の形態と同様に、PMOSトランジスタPM151及びNMOSトランジスタNM151、PMOSトランジスタPM152及びNMOSトランジスタNM152、PMOSトランジスタPM153及びNMOSトランジスタNM153から成るセルに隣接して、PMOSトランジスタPM154及びNMOSトランジスタNM154から成るセルが隣接されている。

【0102】

Nウエル領域N151とPウエル領域P151との境界線上において、ゲート電極GE151～GE154と接続するように、入出力端子I/O151～I/O154が設けられている。

50

## 【0103】

先ず、上記第1～第4の実施の形態と同様に、回路を構成するMOSトランジスタPM151～PM154、NM151～NM154を配置する際に、それぞれのゲート電極GE151～GE154を、ゲートグリッド上に配置するよう規格化している。

## 【0104】

また、複数のMOSトランジスタ間に設ける入出力端子I/O151～I/O154を配置する際に、ゲートグリッドとピングリッドとの間のずれを考慮して配置している。

## 【0105】

さらに本実施の形態は、上記第1～第4の実施の形態と異なり、NウエルN151、PウエルP151に基板バイアス電位を印加するための拡散層NS151、PS151に対し、電源電圧V<sub>dd</sub>と異なる基板電圧V<sub>bp</sub>、接地電圧V<sub>ss</sub>と異なる基板電圧V<sub>bn</sub>をそれぞれ印加するため、基板電圧V<sub>bp</sub>線V<sub>bp</sub>151、基板電圧V<sub>bn</sub>線V<sub>bn</sub>151を接続している。

10

## 【0106】

ここで、1層目のメタル配線MP151と拡散層NS151とがコンタクトCT151で接続され、メタル配線MP151と2層目の基板電圧V<sub>bp</sub>線V<sub>bp</sub>151とがビアVIA151で接続されている。同様に、1層目のメタル配線MP152と拡散層PS151とがコンタクトCT152で接続され、メタル配線MP152と2層目の基板電圧V<sub>bn</sub>線V<sub>bn</sub>151とがビアVIA152で接続されている。

## 【0107】

このような本実施の形態においても、上記実施の形態と同様に、セルの配置効率を向上させ微細化に寄与することができる。

20

## 【0108】

## (6) 第6の実施の形態

本発明の第6の実施の形態について、図6を用いて説明する。

## 【0109】

上記第1～第4の実施の形態では、いずれも回路を構成する複数のMOSトランジスタを配置する際に、それぞれのゲート電極をゲートグリッド上に配置するよう規格化している。

## 【0110】

さらに上記実施の形態ではいずれも、メタル配線をピングリッド上に配置するよう規格化している。この場合の具体的なメタル配線の配置例を図6に示す。

30

## 【0111】

上記第5の実施の形態と同様に、一方向に沿って電源電圧V<sub>dd</sub>線VD161、接地電圧V<sub>ss</sub>線VS161が1層目の配線層として配置され、これと直交する方向にピングリッド1に従って基板電圧V<sub>bp</sub>線V<sub>bp</sub>161、基板電圧V<sub>bn</sub>線V<sub>bn</sub>161が2層目の配線層として配置されている。ここで、上記第5の実施の形態と同一の要素には同一の番号を伏して説明を省略する。

## 【0112】

さらに本実施の形態では、ピングリッド1と直交する方向にピングリッド2が設定されている。ピングリッド1とピングリッド2とは、同一の配線間隔であってもよく、あるいは異なる間隔に設定してもよい。

40

## 【0113】

このピングリッド2に従って、メタル配線ML161、ML162が3層目の配線層として配置されている。

## 【0114】

本実施の形態では、同一方向にピングリッド1及びゲートグリッドが設定され、ゲートグリッドに従ってMOSトランジスタのゲートが配置され、ゲートグリッド及びピングリッドを考慮して入出力端子が配置され、ピングリッド1に従って2層目の配線層が配置されている。

50

## 【0115】

さらに、ピングリッド1及びゲートグリッドと直交する方向にピングリッド2が設定され、これに従って3層目の配線層が配置されている。このように配置することで、セルの配置効率が向上し、素子面積の縮小が可能である。

## 【0116】

上述した実施の形態はいずれも一例であって、本発明を限定するものではなく、本発明の技術的範囲を超えない範囲内で様々に変形することが可能である。例えば、上記実施の形態ではいずれも、ピングリッドとゲートグリッドとの間隔が2:3の比率で設定されている。しかし、この比率に限らず自由な値に設定することができる。

## 【0117】

## 【発明の効果】

以上説明したように、本発明の半導体集積回路及びその配置方法によれば、セル領域においてゲートグリッドとピングリッドとが設定されており、MOSトランジスタのゲート電極がゲートグリッドに従って配置され、メタル配線がピングリッドに従って配置されることで、セルの配置効率を向上させることができる。

## 【図面の簡単な説明】

【図1】本発明の第1の実施の形態による半導体集積回路の構成を示す平面図。

【図2】本発明の第2の実施の形態による半導体集積回路の構成を示す平面図。

【図3】本発明の第3の実施の形態による半導体集積回路の構成を示す平面図。

【図4】本発明の第4の実施の形態による半導体集積回路の構成を示す平面図。

【図5】本発明の第5の実施の形態であって、Nウエルに電源電圧V<sub>dd</sub>と異なる基板電位、Pウエルに接地電圧V<sub>ss</sub>と異なる基板電位を印加した場合の構成を示す平面図。

【図6】本発明の第6の実施の形態であって、メタル配線を3層目に配置した場合の構成を示す平面図。

【図7】従来 of 半導体集積回路の構成を示す平面図。

【図8】従来 of 他の半導体集積回路の構成を示す平面図。

【図9】従来 of さらに他の半導体集積回路の構成を示す平面図。

【図10】従来 of 半導体集積回路における位相矛盾の問題を説明するための平面図。

## 【符号の説明】

N101、N111、N121、N122、N141、N142、N151、N152 30

Nウエル領域

P101、P111、P121、P122、P141、P142、P151、P152

Pウエル領域

PM101～PM103、PM111～PM114、PM121～PM128、PM141～PM148、PM151～PM154 P型MOSトランジスタ

NM101～NM103、NM111～NM114、NM121～NM128、NM141～NM148、NM151～NM154 N型MOSトランジスタ

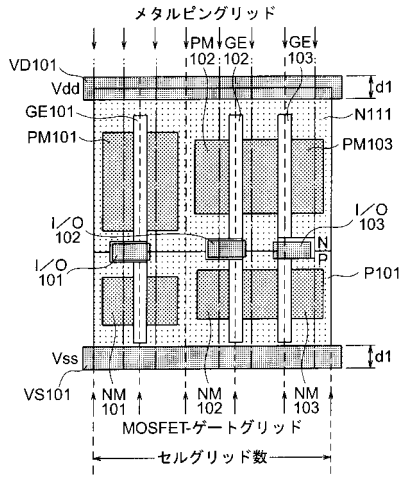
GE101～GE103、GE111～GE114、GE121～GE128、GE141～GE148、GE151～GE154 ゲート電極

I/O101～I/O103、I/O111～I/O114、I/O121～I/O128、I/O141～I/O148、I/O151～I/O154 40  
入出力端子

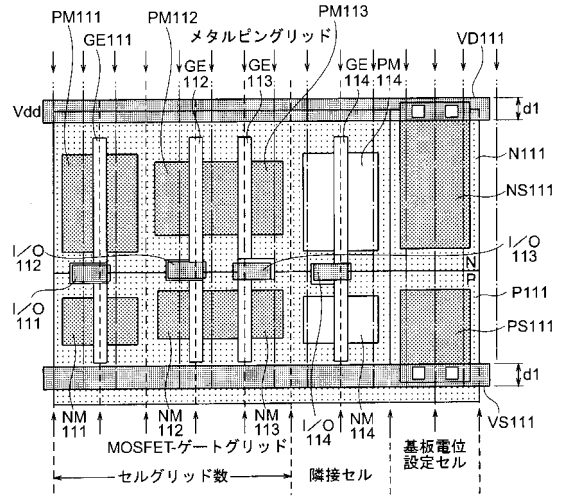
NS111、NS121、NS122、NS141、NS142、NS151 N型不純物拡散層

PS111、PS121、PS122、PS141、PS142、PS151 P型不純物拡散層

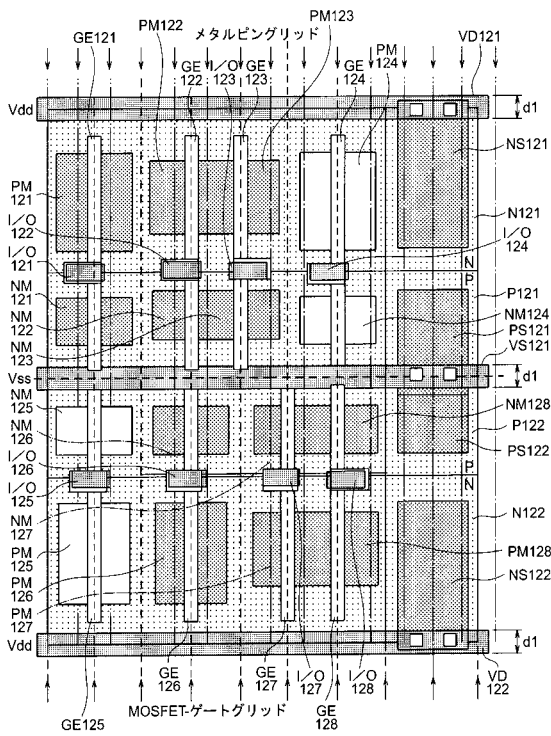
【 図 1 】



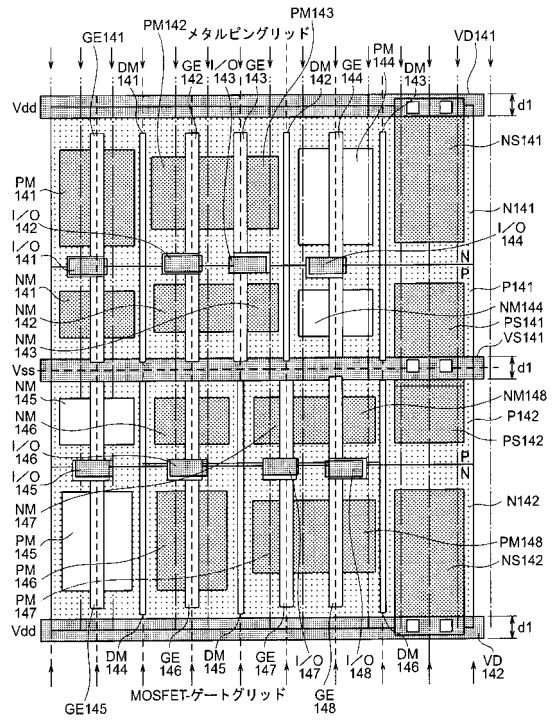
【 図 2 】



【 図 3 】



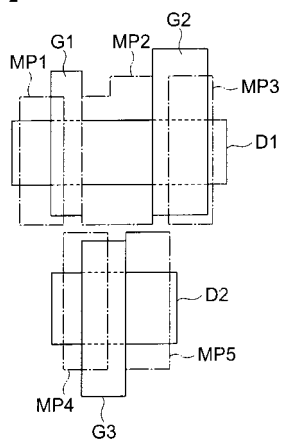
【 図 4 】







【図 10】



## 【手続補正書】

【提出日】平成16年4月26日(2004.4.26)

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

少なくとも一つのセルを構成する複数のMOSトランジスタを配置するセル領域と、前記セル領域の周辺部に一方向に沿って配置された第1の電源線及び第2の電源線とを備え、

前記セル領域内において、前記一方向における第1の間隔を規定するゲートグリッドと、前記一方向における第2の間隔を規定するピングリッドとが設定されており、

前記MOSトランジスタのゲート電極が、前記ゲートグリッドに従って配置されており、配線層が、前記ピングリッドに従って配置されていることを特徴とする半導体集積回路。

【請求項2】

前記MOSトランジスタのゲート電極に接続された入出力端子をさらに備え、

前記ゲート電極が位置するゲートグリッドが前記ピングリッドと重複していない場合、このゲートグリッドに隣接するいずれか一方の前記ピングリッドとに跨るように前記入出力端子が配置されていることを特徴とする請求項1記載の半導体集積回路。

【請求項3】

前記セル領域内において、前記一方向と直交する他の方向における第3の間隔を規定する第2のピングリッドが設定されており、

前記第2のピングリッドに従って配置された他の配線層をさらに備えることを特徴とする

請求項 1 又は 2 のいずれかに記載の半導体集積回路。

【請求項 4】

少なくとも一つのセルを構成する複数の MOS トランジスタを配置するセル領域において、前記セル領域の一方向における第 1 の間隔を規定するゲートグリッドと、前記一方向における第 2 の間隔を規定するピングリッドとを設定するステップと、前記セル領域の周辺部に前記一方向に沿って、第 1 の電源線及び第 2 の電源線を配置するステップと、前記ゲートグリッド上にゲート電極が位置するように、前記 MOS トランジスタの配置を行うステップと、前記ピングリッドに適合するように配線層の配置を行うステップと、を備えることを特徴とする半導体集積回路の設計方法。

【請求項 5】

前記 MOS トランジスタのゲート電極に接続する入出力端子を、このゲート電極が配置されている前記ゲートグリッドと前記ピングリッドとが一致していない場合、このゲートグリッドとこのゲートグリッドに隣接するいずれか一方の前記ピングリッドとに跨るように配置するステップをさらに備えることを特徴とする請求項 4 記載の半導体集積回路の設計方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】削除

【補正の内容】

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】削除

【補正の内容】

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】削除

【補正の内容】

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】削除

【補正の内容】

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】削除

【補正の内容】

---

フロントページの続き

(72)発明者 小林胤雄

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

Fターム(参考) 5F038 AV06 CA02 CA06 CA17 CA18 CD02 CD04 EZ09 EZ20

5F064 AA04 CC12 DD03 DD16 DD18 DD19 DD25 DD26 DD34 EE09

EE12 EE13 EE14 EE23 EE27 EE51 EE52