



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I567652 B

(45) 公告日：中華民國 106 (2017) 年 01 月 21 日

(21) 申請案號：101149833

(22) 申請日：中華民國 101 (2012) 年 12 月 25 日

(51) Int. Cl. : G06F9/48 (2006.01) G06F13/20 (2006.01)

(30) 優先權：2011/12/28 世界智慧財產權組織 PCT/US11/67518

(71) 申請人：英特爾股份有限公司 (美國) INTEL CORPORATION (US)

美國加州聖大克拉瑞密遜學院路 2200 號

(72) 發明人：科爾曼 詹姆斯 COLEMAN, JAMES A. (US)

(74) 代理人：林志剛

(56) 參考文獻：

TW 201140435A US 7707341B1

US 2002/0078121A1 US 2005/0198601A1

審查人員：施易昉

申請專利範圍項數：20 項 圖式數：3 共 17 頁

(54) 名稱

以先進可程式化中斷控制器遞送即時中斷之技術

DELIVERING REAL TIME INTERRUPTS WITH AN ADVANCED PROGRAMMABLE INTERRUPT CONTROLLER

(57) 摘要

揭示用於以一 APIC 遞送即時中斷之設備及方法的實施例。在一實施例中，一設備包括一本端先進可程式化中斷控制器，該本端先進可程式化中斷控制器包括儲存一不可遮蔽中斷向量之一儲存位置。

Embodiments of apparatuses and methods for delivering real time interrupts with an APIC are disclosed. In one embodiment, an apparatus includes a local advanced programmable interrupt controller including a storage location to store a non-maskable interrupt vector.

指定代表圖：

符號簡單說明：

- 200 . . . 處理器
- 210 . . . 指令硬體
- 220 . . . 執行硬體
- 230 . . . 處理儲存器
- 240 . . . 快取記憶體
- 250 . . . 通信單元
- 260 . . . 控制邏輯
- 270 . . . 本端 APIC
- 272 . . . 不可遮蔽中斷(「NMI」)向量暫存器

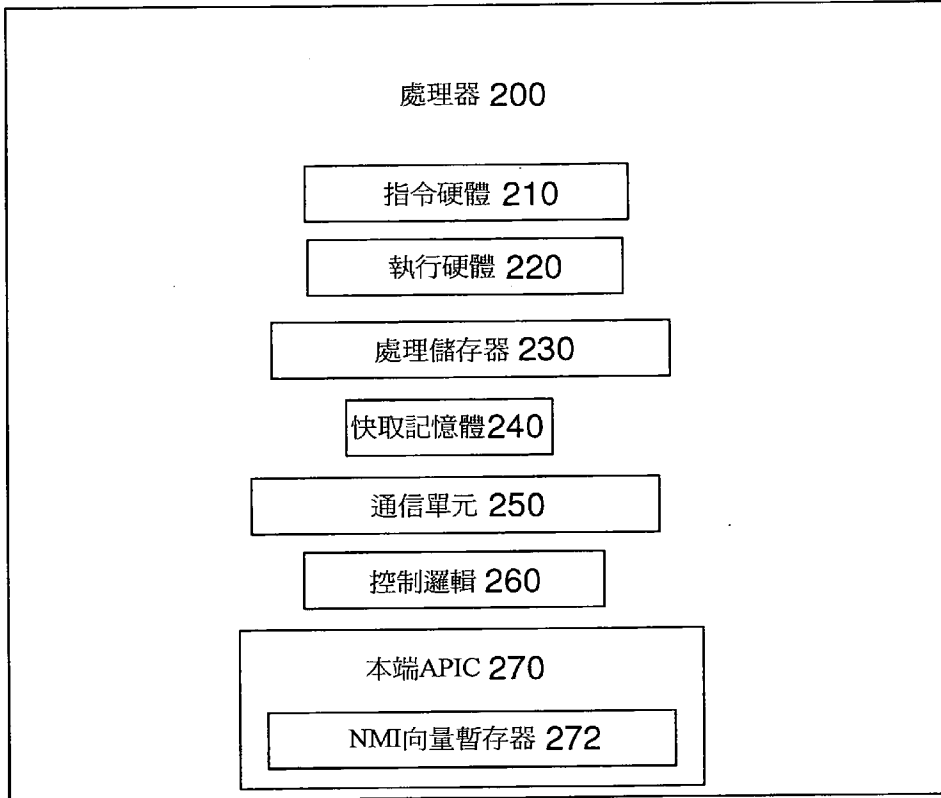


圖2

## 發明摘要

※ 申請案號： 101149833

※ 申請日： 101.12.25

※IPC 分類：

G06F 9/48 (2006.01),  
G06F 13/50 (2006.01)

## 【發明名稱】(中文/英文)

以先進可程式化中斷控制器遞送即時中斷之技術  
DELIVERING REAL TIME INTERRUPTS WITH AN ADVANCED  
PROGRAMMABLE INTERRUPT CONTROLLER

## 【中文】

揭示用於以一 APIC 遞送即時中斷之設備及方法的實施例。在一實施例中，一設備包括一本端先進可程式化中斷控制器，該本端先進可程式化中斷控制器包括儲存一不可遮蔽中斷向量之一儲存位置。

## 【英文】

Embodiments of apparatuses and methods for delivering real time interrupts with an APIC are disclosed. In one embodiment, an apparatus includes a local advanced programmable interrupt controller including a storage location to store a non-maskable interrupt vector.

**【代表圖】**

**【本案指定代表圖】**：第（2）圖。

**【本代表圖之符號簡單說明】**：

200...處理器	250...通信單元
210...指令硬體	260...控制邏輯
220...執行硬體	270...本端APIC
230...處理儲存器	272...不可遮蔽中斷(「NMI」)向量暫 存器
240...快取記憶體	

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

(無)

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

以先進可程式化中斷控制器遞送即時中斷之技術  
DELIVERING REAL TIME INTERRUPTS WITH AN  
ADVANCED PROGRAMMABLE INTERRUPT  
CONTROLLER

## 【技術領域】

發明領域

[0001] 本發明係關於資訊處理之領域，且更特定言之，係關於管理資訊處理系統中之中斷的領域。

## 【先前技術】

發明背景

[0002] 許多個人電腦及其他資訊處理系統根據Intel® Corporation之先進可程式化中斷控制器(「APIC」)架構或基於APIC架構之中斷架構管理中斷。在此種系統中之一或多個處理器可包括本端APIC，且該系統可包括一或多個輸入/輸出(「I/O」)APIC。

## 【發明內容】

[0003] 依據本發明之一實施例，係特地提出一種處理器，其包含：一本端先進可程式化中斷控制器，其包括儲存一不可遮蔽中斷向量之一儲存位置。

## 【圖式簡單說明】

[0004] 在隨附圖式中經由實例且非限制地說明本發明。

圖1說明本發明之實施例可存在於及/或操作之系統。

圖2說明根據本發明之實施例之支援以APIC遞送即時中斷的處理器。

圖3說明根據本發明之實施例的用於以APIC遞送即時中斷的方法。

## 【實施方式】

較佳實施例之詳細說明

[0005] 下文描述用於使用APIC遞送即時中斷之處理器、方法及系統的實施例。在此描述中，可闡述許多特殊細節，諸如，組件及系統組態，以便提供對本發明之更透徹的理解。然而，熟習此項技術者將瞭解，本發明可在無此等特殊細節之情況實踐。另外，一些熟知的結構、電路及其類似者並未詳細展示，以避免不必要地使本發明難懂。

[0006] 使用APIC之系統架構不支援受保證的中斷服務潛時，換言之，I/O裝置請求服務之時間至處理器開始執行中斷服務常式(「ISR」)的時間之間的最大延遲。在基於微控制器之系統中可為所要之此特徵可由本發明之實施例提供。

[0007] 圖1說明系統100，即本發明之實施例可存在於及/或操作之資訊處理系統。系統100可表示任何類型之資訊處理系統，諸如，伺服器、桌上型電腦、攜帶型電腦、機上盒、手持型裝置或嵌式控制系統。

[0008] 系統100包括應用程式處理器110、媒體處理器120、記憶體130、記憶體控制器140、系統代理單元150、匯流排控制器160、直接記憶體存取(「DMA」)單元170、

輸入/輸出控制器180及周邊裝置190。體現本發明之系統可包括此等組件或其他元件中之任一者或全部，及/或任何數目個每一組件或其他元件，及任何數目個額外組件或其他元件。任何組件或元件之多個執行個體可相同或不同(例如，應用程式處理器之多個執行個體可皆為同一類型之處理器或可為不同類型之處理器)。任何系統實施例中之組件或其他元件中之任一者或全部可經由互連單元102彼此連接、耦接或以其他方式通信，互連單元102可表示任何數目個匯流排、點對點或其他有線或無線連接。

[0009] 體現本發明之系統可包括整合至單一積體電路(「系統單晶片」或「SOC」)上之任何數目個此等元件。本發明之實施例在包括SOC之系統中可為合乎需要的，此係因為SOC可用於嵌式或其他系統中，在該嵌式或其他系統中，中斷之即時服務可為重要的。

[0010] 應用程式處理器110可表示任何類型之處理器，包括通用微處理器，諸如，Core®處理器家族或來自Intel Corporation之其他處理器家族中之處理器，或來自另一公司之另一處理器，或根據本發明之實施例之用於處理資訊的任何其他處理器。應用程式處理器110可包括任何數目個執行核心及/或支援任何數目個執行緒，且因此可表示任何數目個實體或邏輯處理器，及/或可表示多處理器組件或單元。

[0011] 媒體處理器120可表示圖形處理器、影像處理器、音訊處理器、視訊處理器及/或處理器或處理單元之任

何其他組合，以實現及/或加速媒體或其他資料之壓縮、解壓縮或其他處理。

[0012] 記憶體130可表示任何靜態或動態隨機存取記憶體、基於半導體之唯讀或快閃記憶體、磁碟或光碟記憶體、可由處理器110及/或系統100之其他元件讀取之任何其他類型的媒體，或此等媒體之任何組合。記憶體控制器140可表示用於控制對記憶體130之存取且維護記憶體130之內容的控制器。系統代理單元150可表示用於管理、協調、操作或以其他方式控制系統100內之處理器及/或執行核心的單元，包括電力管理。

[0013] 通信控制器160可表示用於促進系統100之組件及元件之間的通信之任何類型之控制器或單元，包括匯流排控制器或匯流排橋接器。通信控制器160可包括一或多個I/O APIC，其可用以自I/O及周邊裝置接收用於遞送至處理器110的中斷請求。通信控制器160亦可包括其他系統邏輯來提供系統級功能性，諸如，時脈及系統級電力管理，或可在系統100內之其他地方提供此種系統邏輯。

[0014] DMA單元170可表示用於促進記憶體130與系統100之非處理器組件或元件之間直接存取的單元。I/O控制器180可表示用於根據任何已知的專用、串行、並行或其他協定之I/O或周邊裝置(諸如，鍵盤、滑鼠、觸控板、顯示器、音訊揚聲器或資訊儲存裝置)或至另一電腦、系統或網路之連接之控制器。周邊裝置190可表示任何類型之I/O或周邊裝置，諸如，鍵盤、滑鼠、觸控板、顯示器、音訊揚

聲器或資訊儲存裝置。

[0015] 圖2說明根據本發明之實施例之處理器200，其可表示圖1中之應用程式處理器110。處理器200可包括指令硬體210、執行硬體220、處理儲存器230、快取記憶體240、通信單元250、控制邏輯260及本端APIC 270，其中具有每一者之多個執行個體的任何組合。

[0016] 指令硬體210可表示用於提取、接收、解碼及/或排程指令之任何電路、結構或其他硬體，諸如，指令解碼器。可使用在本發明之範疇內的任何指令格式，例如，指令可包括作業碼及一或多個運算元，其中作業碼可解碼成用於由執行硬體220執行之一或多個微指令或微操作。執行硬體220可包括用於處理資料且執行指令、微指令及/或微操作之任何電路、結構或其他硬體，諸如，算術單元、邏輯單元、浮點單元、移位器等。

[0017] 處理儲存器230可表示處理器200內之可出於任何目的而使用之任何類型的儲存器，例如，處理儲存器230可包括任何數目個資料暫存器、指令暫存器、狀態暫存器、其他可程式化或硬編碼之暫存器或暫存器檔案、資料緩衝器、指令緩衝器、位址轉譯緩衝器、分支預測緩衝器、其他緩衝器或任何其他儲存結構。快取記憶體240可表示任何數目個層級之快取記憶體階層，其包括儲存資料及/或指令之快取記憶體及每一執行核心專用之快取記憶體，及/或在執行核心之間共用的快取記憶體。

[0018] 通信單元250可表示用於移動資料及/或促進在

處理器200之單元或其他件之間及/或在處理器200與其他系統組件及元件之間的資料傳送之任何電路、結構或其他硬體，諸如，內部匯流排、內部匯流排控制器、外部匯流排控制器等。

[0019] 控制邏輯260可表示微碼、可程式化邏輯、硬編碼邏輯或任何其他類型之邏輯，以控制處理器200之單元及其他元件的操作及在處理器200內之資料傳送。控制邏輯260可(例如)藉由使處理器200執行藉由指令硬體210接收之指令及自藉由指令硬體210接收之指令得出之微指令或微操作，使處理器200執行或參與本發明之方法實施例(諸如，下文描述之方法實施例)的執行。

[0020] 本端 APIC 270 可表示一或多個本端 APIC(例如，每處理器一本端 APIC)，其中每一者為根據 APIC 架構之中斷控制器，包括本發明之實施例之新穎特徵及/或除了本發明之實施例之新穎特徵。在此實施例中，本端 APIC 270 包括不可遮蔽中斷(「NMI」)向量暫存器272，其可為本端 APIC 270內或本端 APIC 270可存取之任何暫存器或其他儲存位置，包括已知 APIC 程式設計模型之位址空間內的暫存器。NMI 向量暫存器272可具有任何大小，在一實施例中，其至少具有足夠的位元位置來保持具有所要長度之中斷向量。

[0021] 根據已知 APIC 架構，NMI 可藉由 NMI 輸入之確證或藉由訊息信號式中斷(「MSI」)發送至本端 APIC。MSI 可為系統匯流排或 APIC 匯流排上之訊息，該訊息經發送具

有等於針對NMI指定之值(例如,「100」)的遞送模式值。根據已知方法,忽略經發送具有NMI MSI之向量。將NMI發送至本端APIC將導致處理器立即被中斷,因此該處理器可呼叫NMI處置器來處置該中斷。對比於其他中斷請求,NMI並未(例如)由APIC程式設計模型中之EFLAGS暫存器中的IF旗標遮蔽。

[0022] 根據本發明之實施例,NMI向量暫存器272可用以儲存任何中斷處置器之向量,從而提供回應於NMI而被呼叫之任何中斷處置器,而不僅僅是NMI處置器。可(例如)在用於可遮蔽中斷之向量的場中發送具有NMI MSI之向量。因此,可撰寫系統軟體以藉由讀取即時中斷處置器之向量的NMI向量暫存器272來對NMI作出回應。若系統軟體在NMI向量暫存器272中找到預設值(例如,零),則系統軟體可根據使用NMI向量之已知方法繼續找到NMI處置器。然而,若自NMI向量暫存器272讀取非零值,則系統軟體可使用此非零值來找到即時中斷處置器。NMI向量暫存器272可在經讀取時經清除,以將其內容返回至預設值,直至接收另一即時NMI訊息為止。

[0023] 圖3說明根據本發明之實施例的用於以APIC遞送即時中斷的方法300。圖3之描述可參考圖1及圖2之元件,但方法300及本發明之其他方法實施例不意欲受此等參考限制。

[0024] 在框310中,將NMI向量暫存器272初始化至預設值(例如,零),該預設值用以指示NMI向量應用以找到中斷

處置器。

[0025] 在框320中，將NMI MSI發送至本端APIC 270。可藉由系統100中之任何中斷源發送具有等於針對NMI指定之值(例如，「100」)的遞送模式值且具有用於向量場中之即時中斷源之處置器的向量之訊息。在框322中，本端APIC 270接收NMI MSI。在框324中，本端APIC 270將向量儲存在NMI向量暫存器272中。在框326中，立即中斷處理器200。

[0026] 在框330中，系統軟體讀取NMI向量暫存器272，該系統軟體清除NMI向量暫存器272。在框332中，系統軟體使用向量來找到即時中斷處置器。在框334中，執行即時中斷處置器。

[0027] 在本發明之範疇內，方法300可以不同於圖3中所示之次序執行，其中省略所說明框，其中添加額外框，或其中具有經重排框、經省略框或額外框之組合。

[0028] 因此，已揭示用於以APIC遞送即時中斷之處理器、方法及系統。雖然已描述且在隨附圖式中展示了某些實施例，但應理解，此等實施例僅為說明性的且不限制寬泛的本發明，且本發明不限於所展示及所描述之特殊構造及配置，此係因為一般熟習此項技術者在研究本發明時可想到各種其他修改。在諸如增長很快且不容易預見更多進步之技術範圍中，所揭示之實施例可在不脫離本發明之原理或隨附申請專利範圍之範疇之情況下，在配置及細節上容易地修改，如藉由實現技術進步來促進。

### 【符號說明】

- 100...系統
- 102...互連單元
- 110...應用程式處理器
- 120...媒體處理器
- 130...記憶體
- 140...記憶體控制器
- 150...系統代理單元
- 160...匯流排控制器
- 170...直接記憶體存取(「DMA」)  
單元
- 180...輸入/輸出控制器
- 190...周邊裝置
- 200...處理器
- 210...指令硬體
- 220...執行硬體
- 230...處理儲存器
- 240...快取記憶體
- 250...通信單元
- 260...控制邏輯
- 270...本端APIC
- 272...不可遮蔽中斷(「NMI」)  
向量暫存器
- 300...用於以APIC遞送即時中  
斷的方法
- 310、320~326、330~334...框

104年8月31日	修正 對號	(本) Claim
-----------	----------	--------------

## 申請專利範圍

1. 一種處理器，其包含：

本端先進可程式化中斷控制器，其包括用以儲存不可遮蔽中斷向量之儲存位置。

2. 如申請專利範圍第 1 項之處理器，其進一步包含用以接收訊息信號式中斷之介面。

3. 如申請專利範圍第 2 項之處理器，其進一步包含控制邏輯，該控制邏輯用以使該處理器將向量儲存在該儲存位置中，該向量來自具有不可遮蔽中斷遞送模式之該訊息信號式中斷的向量場。

4. 如申請專利範圍第 2 項之處理器，其進一步包含控制邏輯，該控制邏輯用以使該處理器回應於接收該訊息信號式中斷而立即被中斷。

5. 如申請專利範圍第 3 項之處理器，其中該控制邏輯亦用以使該儲存位置在讀取時被清除。

6. 如申請專利範圍第 2 項之處理器，其中該訊息信號式中斷係來自系統單晶片中連接至該處理器的源。

7. 一種方法，其包含：

藉由處理器之本端先進可程式化中斷控制器來接收具有不可遮蔽中斷遞送模式之訊息信號式中斷；及

儲存來自該訊息信號式中斷之向量場的向量。

8. 如申請專利範圍第 7 項之方法，其中儲存包括將該向量儲存在與該本端先進可程式化中斷控制器相關聯的不可遮蔽中斷向量儲存位置中。

9. 如申請專利範圍第 8 項之方法，其進一步包含將該不可遮蔽中斷向量位置初始化至零。

10. 如申請專利範圍第 7 項之方法，其進一步包含回應於接收該訊息信號式中斷而立即中斷處理器。

11. 如申請專利範圍第 7 項之方法，其進一步包含藉由系統軟體讀取該不可遮蔽中斷儲存位置。

12. 如申請專利範圍第 11 項之方法，其中讀取包括清除該不可遮蔽中斷儲存位置。

13. 如申請專利範圍第 11 項之方法，其進一步包含使用該向量來找到即時中斷處置器。

14. 如申請專利範圍第 11 項之方法，其在該向量之值為零之情況下進一步執行不可遮蔽中斷處置器。

15. 一種系統，其包含：

即時中斷源；及

處理器，其包括本端先進可程式化中斷控制器，該本端先進可程式化中斷控制器包括用以儲存不可遮蔽中斷向量之儲存位置。

16. 如申請專利範圍第 15 項之系統，其進一步包含介面，該介面用以將訊息信號式中斷自該即時中斷源發送至該本端先進可程式化中斷控制器。

17. 如申請專利範圍第 16 項之系統，其進一步包含控制邏輯，該控制邏輯用以使該處理器將向量儲存在該儲存位置中，該向量來自具有不可遮蔽中斷遞送模式之該訊息信號式中斷的向量場。

18. 如申請專利範圍第 16 項之系統，其進一步包含控制邏輯，該控制邏輯用以使該處理器回應於接收該訊息信號式中斷而立即被中斷。

19. 如申請專利範圍第 17 項之系統，其中該控制邏輯亦用以使該儲存位置在讀取時被清除。

20. 如申請專利範圍第 16 項之系統，其中該即時中斷源及該處理器為單一晶片。

圖式

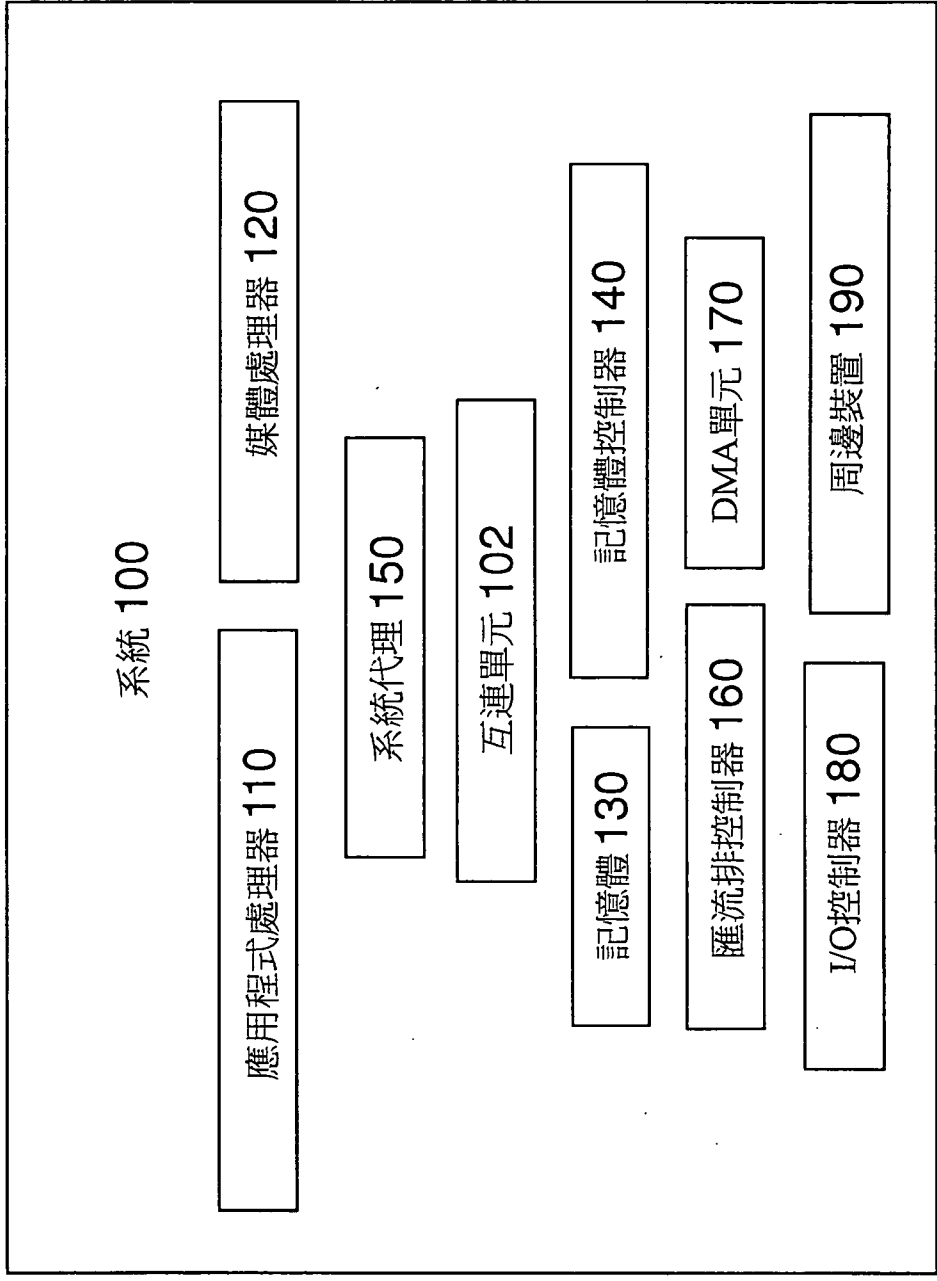


圖1

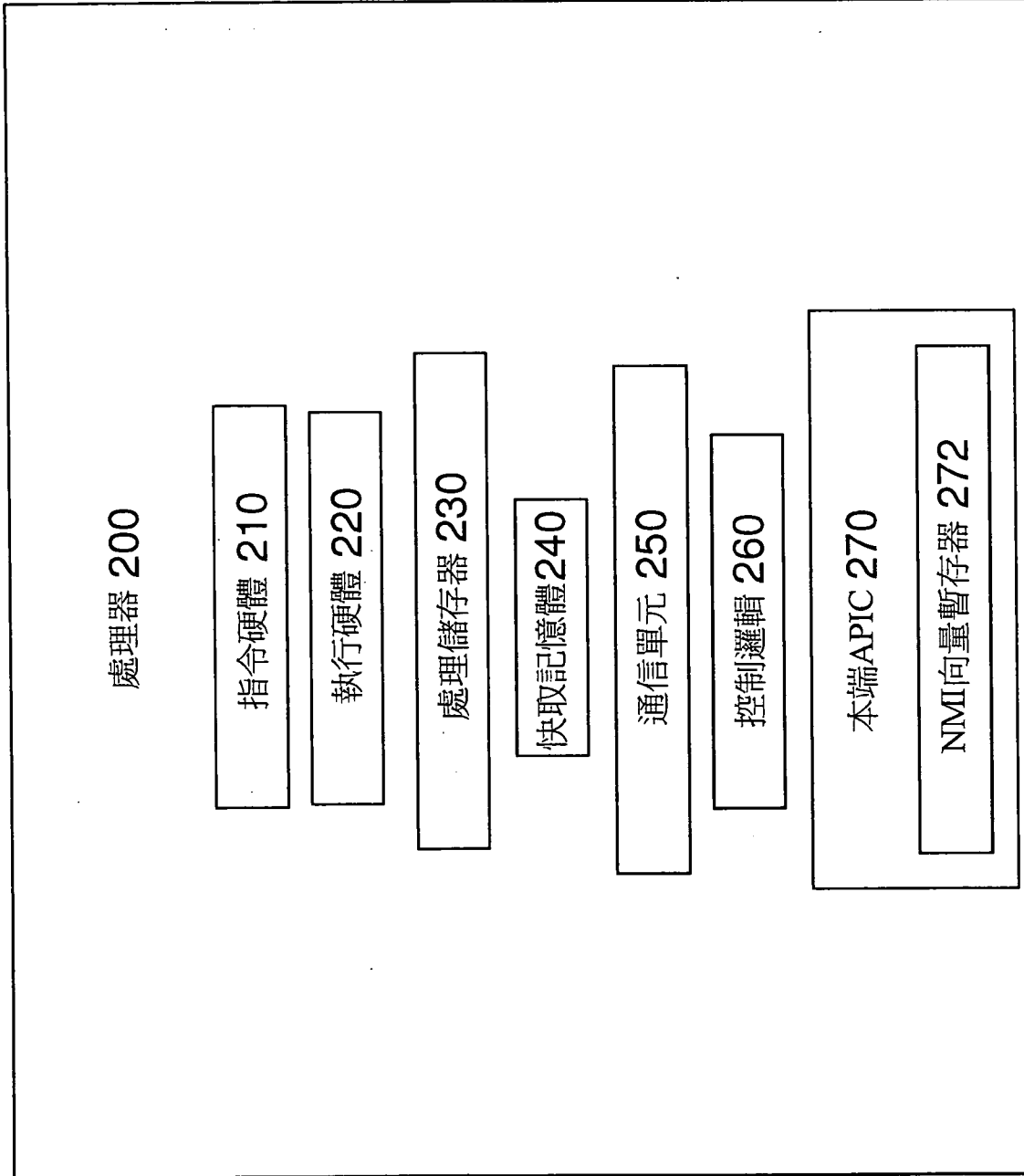


圖2

方法 300

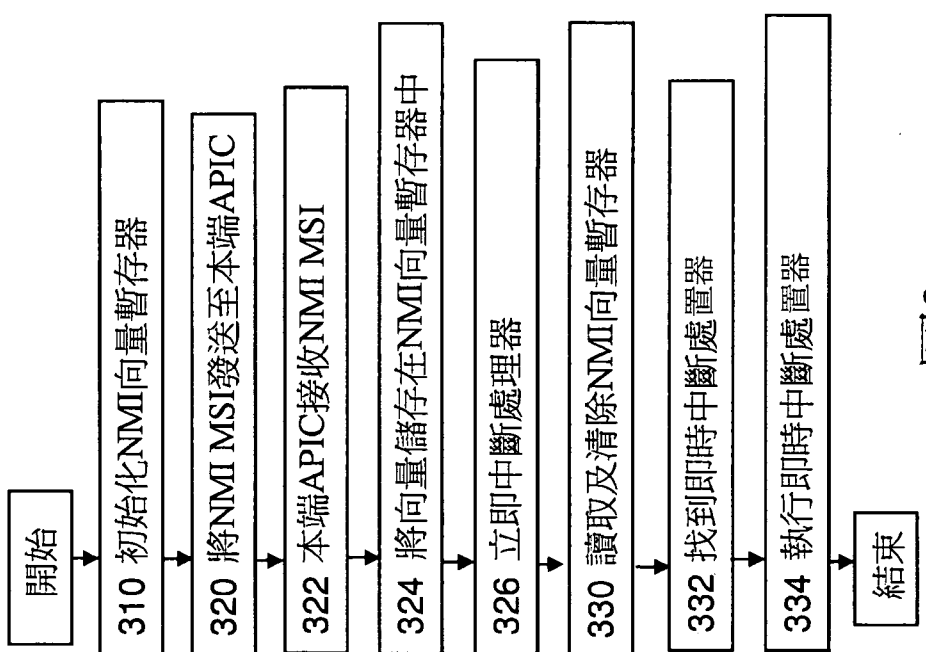


圖3