



# (12)发明专利

(10)授权公告号 CN 106847174 B

(45)授权公告日 2019.07.09

(21)申请号 201710117478.6

(22)申请日 2017.03.01

(65)同一申请的已公布的文献号  
申请公布号 CN 106847174 A

(43)申请公布日 2017.06.13

(73)专利权人 昆山工研院新型平板显示技术中心有限公司

地址 215300 江苏省苏州市昆山市昆山高新区晨丰路188号

专利权人 昆山国显光电有限公司

(72)发明人 宋艳芹

(74)专利代理机构 北京布瑞知识产权代理有限公司 11505

代理人 孟潭

(51)Int.Cl.

G09G 3/3208(2016.01)

(56)对比文件

CN 104269428 A, 2015.01.07, 说明书第[0007]段, 图1.

CN 101452118 A, 2009.06.10, 说明书第5-12行, 图5.

CN 103123927 A, 2013.05.29, 说明书第[0036]-[0037]段、[0066]段, 图8B.

CN 104269428 A, 2015.01.07, 说明书第[0007]段, 图1.

CN 103236239 A, 2013.08.07, 全文.

CN 104597609 A, 2015.05.06, 全文.

CN 1614659 A, 2005.05.11, 全文.

US 2007/0058113 A1, 2007.03.15, 全文.

审查员 张婕

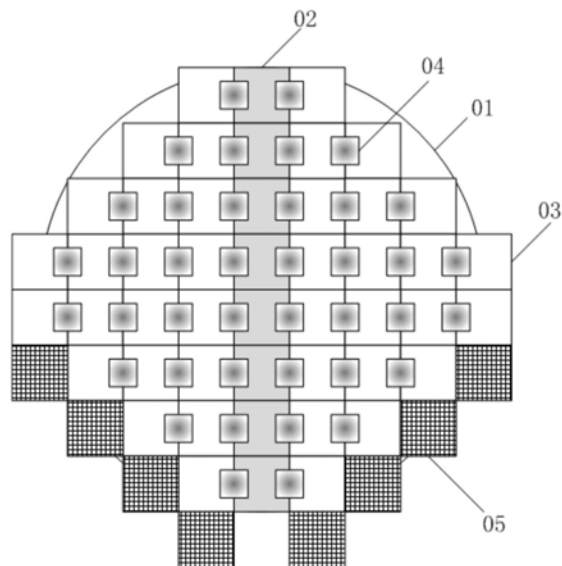
权利要求书1页 说明书3页 附图2页

## (54)发明名称

一种针对像素排布结构的优化方法

## (57)摘要

本发明的针对像素排布结构的优化方法,包括:在异形屏体的对称轴位置,设置栅极驱动电路;在栅极驱动电路两侧设置像素电路,形成像素电路矩阵;阳极形成阳极矩阵,阳极与相应像素电路的设置位置相错。简化了像素、子像素排布优化时的电路走线复杂性,克服了在屏体变化时主要电路和辅助电路导致差异性设计带来的产品质量隐患,同时保证了屏体的显示质量。



1. 一种针对像素排布结构的优化方法,包括:  
在异形屏体的对称轴位置,设置栅极驱动电路;  
在所述栅极驱动电路两侧设置像素电路,形成像素电路矩阵;  
阳极形成阳极矩阵,所述阳极与相应所述像素电路的投影位置相错,使得所述阳极均匀布设在所述异形屏体上;

其中,每一个像素单元包括子像素阳极R、子像素阳极B和子像素阳极G,子像素阳极B居中,子像素阳极R位于子像素阳极B的左侧下方,子像素阳极G位于子像素阳极B的右侧上方,相邻所述像素单元水平排布,一个相邻所述像素单元的子像素阳极G和另一个相邻所述像素单元的子像素阳极R上下接近。

2. 如权利要求1所述的针对像素排布结构的优化方法,其特征在于,还包括:

在所述像素电路矩阵的边缘设置辅助电路。

3. 如权利要求1所述的针对像素排布结构的优化方法,其特征在于,所述异形屏体单独采用圆形、椭圆形、菱形或正多边形,或者与矩形形成复合形状。

4. 如权利要求1所述的针对像素排布结构的优化方法,其特征在于,所述栅极驱动电路延所述异形屏体的一个或多个对称轴位置设置。

5. 根据权利要求2所述的针对像素排布结构的优化方法,其特征在于,每一个所述像素单元的所述子像素阳极R、所述子像素阳极B和所述子像素阳极G,与边缘的所述辅助电路电连接。

6. 如权利要求5所述的针对像素排布结构的优化方法,其特征在于,所述子像素阳极G和子像素阳极R的面积大于或等于子像素阳极B面积的二分之一。

## 一种针对像素排布结构的优化方法

### 技术领域

[0001] 本发明涉及OLED显示电路的设计方法,特别涉及像素的电路设计方法。

### 背景技术

[0002] 在现有OLED应用中,存在需要改变屏体正常形状的畸形应用。例如在OLED手表设计中,需要形成圆形或椭圆形的OLED屏体,屏体上的像素电路与像素电路的阳极(材料)形成的整体像素需要在屏体上均匀分布。作为表盘的OLED屏体的电路设计,无法直接利用现有电路的成熟布线结构。尤其在屏体边缘的周边布线及其复杂,在这一区域通常包括栅极驱动电路、补偿电路、复用电路、解复用电路、扇出连线等,用于控制整个屏体像素发光的大规模栅极驱动电路在与屏体像素区的阳极发光材料电连接时,需要设计复杂的走线层和拓扑路由以配合这些辅助电路与相应的像素电路和时序电路相连接。采用现有的设计方法对上述电路进行优化以适应异形屏体的像素排布结构,往往会增加走线结构的复杂性,降低异形屏体的良品率,而且不能灵活适应差异化的像素排布结构。

### 发明内容

[0003] 有鉴于此,本发明实施例提供了一种针对像素排布结构的优化方法,用于解决现有异形屏体电路布线复杂,无法适应像素排布的技术问题。

[0004] 本发明的针对像素排布结构的优化方法,包括:

[0005] 在异形屏体的对称轴位置,设置栅极驱动电路;

[0006] 在栅极驱动电路两侧设置像素电路,形成像素电路矩阵;

[0007] 阳极形成阳极矩阵,阳极与相应像素电路的设置位置相错。

[0008] 本发明的针对像素排布结构的优化方法,简化了像素、子像素排布优化时的电路走线复杂性,克服了在屏体变化时主要电路和辅助电路导致差异性设计带来的产品质量隐患,同时保证了屏体的显示质量。

### 附图说明

[0009] 图1为本发明实施例的针对像素排布结构的优化方法形成的电路排列示意图。

[0010] 图2为利用本发明实施例的针对像素排布结构的优化方法形成的一种子像素排布结构的示意图。

[0011] 图3为利用本发明实施例的针对像素排布结构的优化方法形成的另一种子像素排布结构的示意图。

[0012] 图4为利用本发明实施例的针对像素排布结构的优化方法形成的再一种子像素排布结构的示意图。

### 具体实施方式

[0013] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完

整地描述,显然,所描述的实施例仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0014] 图纸中的步骤编号仅用于作为该步骤的附图标记,不表示执行顺序。

[0015] 本发明实施例的针对像素排布结构的优化方法,包括:

[0016] 在异形屏体的对称轴位置,设置栅极驱动电路;

[0017] 在栅极驱动电路两侧设置像素电路,形成像素电路矩阵;

[0018] 阳极形成阳极矩阵,阳极与相应像素电路的设置位置相错。

[0019] 本发明实施例的针对像素排布结构的优化方法,将栅极驱动电路设置在异形屏体的轴对称位置,避免了栅极驱动电路在屏体边缘布设,造成与阳极(发光材料)电连接的布线层走线结构过于复杂的缺陷,使得走线结构的复杂性在布线理论上可以简化二分之一。进一步与每个阳极对应的像素电路,可以围绕栅极驱动电路形成对称的像素电路矩阵,像素电路的走线结构均匀,有利于与栅极驱动电路的走线结构和屏体边缘的其他辅助电路的走线结构相配合,大大降低了因为屏体异形而导致像素电路与辅助电路差异性设计带来的产品质量隐患。

[0020] 作为发光材料的阳极形成的(像素)矩阵,通过保持阳极与相应像素电路的投影位置相错,保证了在对称轴位置虽然没有像素电路和对应的阳极,但仍然可以保证阳极的均匀分布,不会在对称轴位置因明显的阳极间距差异出现线缺陷,不会在屏体显示中呈现暗条带。

[0021] 图1为本发明一实施例的针对像素排布结构的优化方法形成的电路排列示意图。如图1所示,在一圆形的异形屏体01上沿一个直径方向设置栅极驱动电路02,在栅极驱动电路02设置与阳极材料对应的像素电路03,像素电路形成紧密排列的像素电路矩阵。作为像素电路的阳极04形成阳极矩阵均匀排列,相应的阳极和像素电路在投影位置上相错开,使得(作为像素的)阳极均匀布设在圆形屏体上,避免了栅极驱动电路位置上出现暗色条带或屏体显示时的线缺陷。在像素电路矩阵的边缘设置如补偿电路、复用电路、解复用电路或扇出线路等其他辅助电路05,使得辅助电路与像素电路的走线结构简化,像素电路与栅极驱动电路的走线结构简化,各电路间尽量减少交错和不必要的走线层。

[0022] 本发明实施例的针对像素排布结构的优化方法中,异形屏体可以采用圆形、椭圆形、菱形、正多边形,或者以上形状与矩形形成的复合形状。

[0023] 本发明实施例的针对像素排布结构的优化方法中,栅极驱动电路可以沿异形屏体的一个或多个对称轴位置设置。

[0024] 采用本发明实施例的针对像素排布结构的优化方法,可以在构成像素单元的子像素电路的阳极的排列优化过程中,简化子像素优化过程中的栅极驱动电路、像素电路和其他辅助电路的走线优化过程。

[0025] 图2为利用本发明实施例的针对像素排布结构的优化方法形成的一种子像素排布结构的示意图。如图2所示,每一个像素单元的子像素阳极R、子像素阳极B和子像素阳极G,与边缘的辅助电路电连接,子像素阳极B居中,子像素阳极R位于子像素阳极B的左侧下方,子像素阳极G位于子像素阳极B的右侧上方。

[0026] 相邻像素单元水平排布时,一个像素单元的子像素阳极G和另一个相邻像素单元

的子像素阳极R上下接近。

[0027] 在本实施例的子像素排布结构中,子像素阳极G和子像素阳极R的面积大于或等于子像素阳极B面积的二分之一。在本实施例的子像素排布结构中,子像素阳极G、子像素阳极R和子像素阳极B为矩形。

[0028] 本发明实施例的子像素排布结构可以有效利用子像素可单一方向接近的排布结构,使像素单元的排列密度提高,实现了较小尺寸的异形屏体的像素密度的较大提升,具有较低的电路布线成本。

[0029] 图3为利用本发明实施例的针对像素排布结构的优化方法形成的另一种子像素排布结构的示意图。如图3所示,每一个像素单元的子像素阳极R、子像素阳极B和子像素阳极G,与边缘的辅助电路电连接,各子像素水平排布,子像素阳极R和子像素阳极B分别位于子像素阳极G的左侧和右侧。

[0030] 相邻像素单元水平排布时,一个像素单元的子像素阳极B和另一个相邻像素单元的子像素阳极R水平接近。

[0031] 在本实施例的子像素排布结构中,子像素阳极G、子像素阳极R和子像素阳极B的面积相等。在本实施例的子像素排布结构中,子像素阳极G、子像素阳极R和子像素阳极B为矩形。

[0032] 本发明实施例的子像素排布结构可以简化异形屏体上像素单元的布线结构,减少阳极材料周围的走线密度,进一步改善像素单元的阳极材料的散热环境,改善像素单元持续工作时的热传导效率。

[0033] 图4为利用本发明实施例的针对像素排布结构的优化方法形成的再一种子像素排布结构的示意图。如图4所示,每一个像素单元的子像素阳极R、子像素阳极B和子像素阳极G,与边缘的辅助电路电连接,子像素阳极R位于子像素阳极B的左侧上方,子像素阳极G位于子像素阳极B的左侧下方。

[0034] 相邻像素水平排布时,一个像素单元的子像素阳极B与另一个相邻像素单元的子像素阳极R和子像素阳极G水平相邻。

[0035] 相邻像素竖直排布时,一个像素单元的子像素阳极B与另一个相邻像素单元的子像素阳极R或子像素阳极G竖直相邻。

[0036] 在本实施例的子像素排布结构中,子像素阳极G和子像素阳极R的面积大于或等于子像素阳极B面积的二分之一。在本实施例的子像素排布结构中,子像素阳极G、子像素阳极R和子像素阳极B为矩形。

[0037] 本发明实施例的子像素排布结构可以有效利用子像素的非对齐排列形状,应用在异形屏体的弧形边缘,利用非对齐排列形状使像素单元拟合出异形屏体弧形边缘的同时,不降低像素密度,降低异形屏体弧形边缘的锯齿显示现象。

[0038] 利用本实施例的子像素排布结构,可以在异形屏体的像素排布中,充分利用上述像素单元排列结构,针对像素区的不同位置进行特定的像素单元排列,保证像素密度和较理想的显示效果。

[0039] 以上所述仅为本发明的较佳实施例而已,并不用以限制本发明,凡在本发明的精神和原则之内,所作的任何修改、等同替换等,均应包含在本发明的保护范围之内。

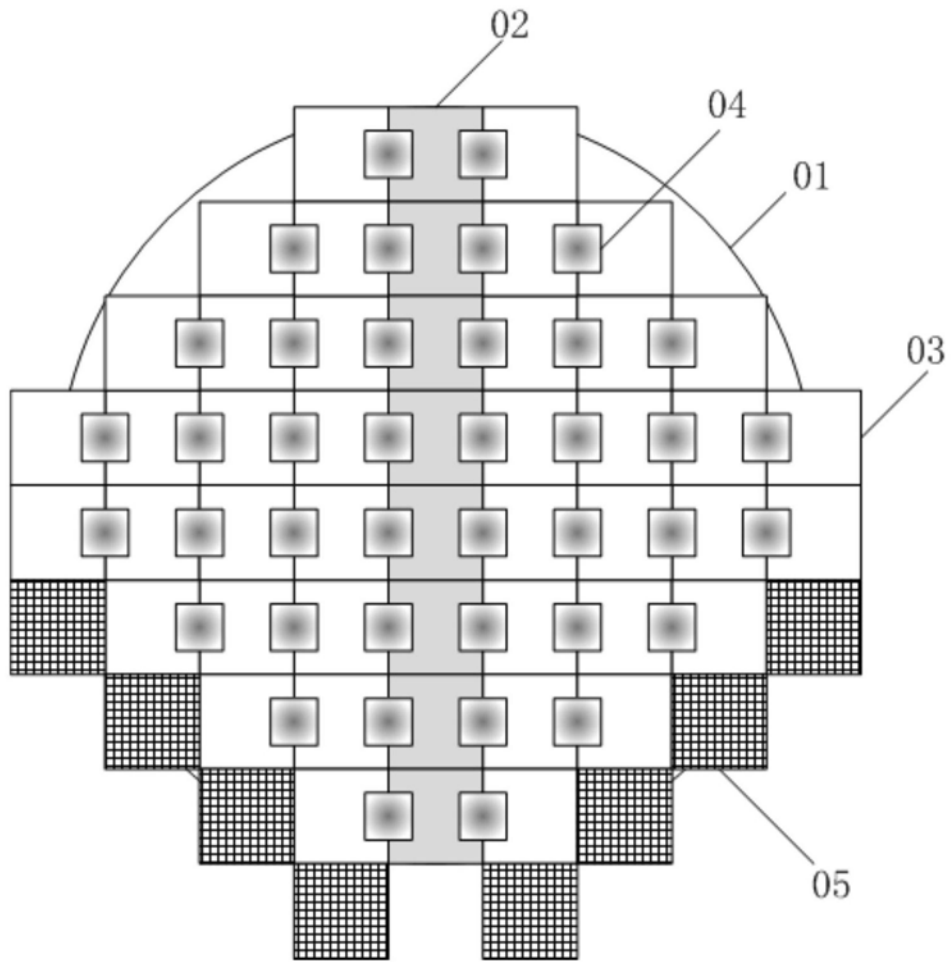


图1

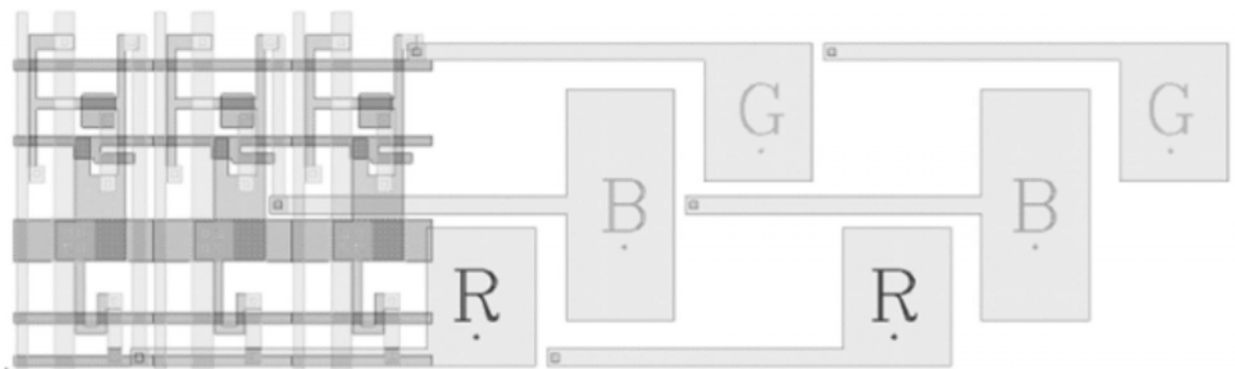


图2



图3

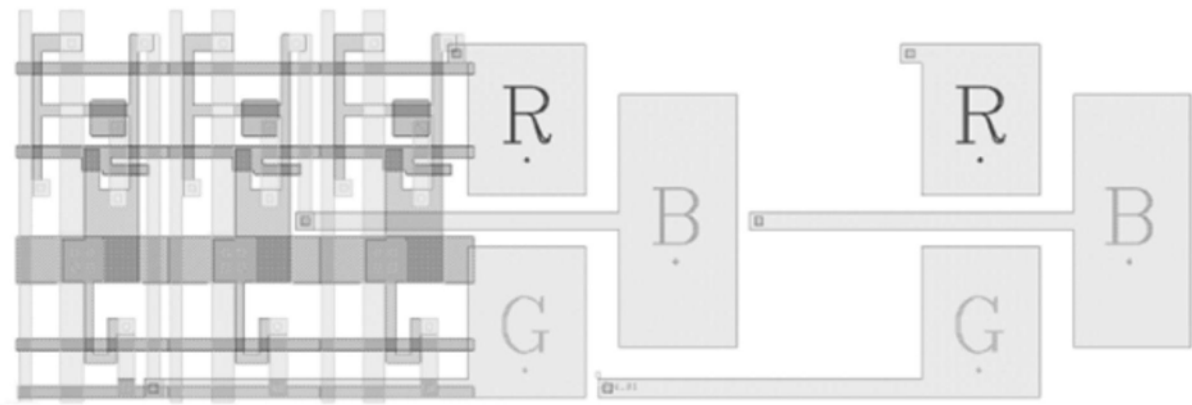


图4