

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-151613

(P2012-151613A)

(43) 公開日 平成24年8月9日(2012.8.9)

(51) Int.Cl.	F I	テーマコード (参考)
HO 4 N 5/3745 (2011.01)	HO 4 N 5/335 7 4 5	4 M 1 1 8
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 A	5 C 0 2 4

審査請求 未請求 請求項の数 15 O L (全 31 頁)

(21) 出願番号	特願2011-8116 (P2011-8116)	(71) 出願人	000005821
(22) 出願日	平成23年1月18日 (2011.1.18)		パナソニック株式会社
		(74) 代理人	100109210
			弁理士 新居 広守
		(72) 発明者	宮崎 聡士
			大阪府門真市大字門真1006番地 パナソニック株式会社内
		Fターム(参考)	4M118 AA05 AA10 AB01 BA14 CA02
			DB09 DD09 FA06
			5C024 AX01 CX03 GY31 HX23 HX32

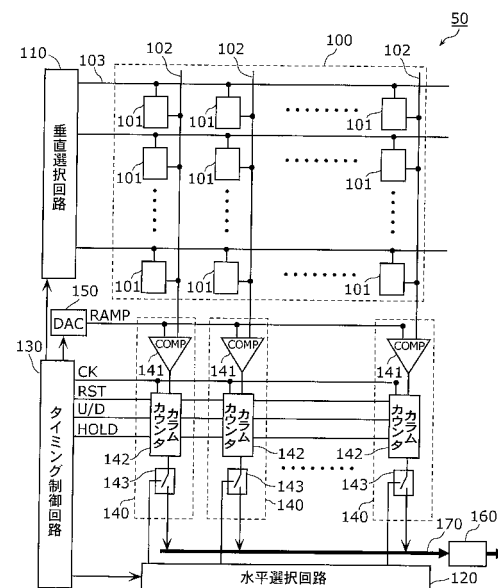
(54) 【発明の名称】 固体撮像装置及び撮像装置

(57) 【要約】

【課題】回路規模の増大を抑えつつA/D変換時のカウンタ動作によるノイズの発生を低減する。

【解決手段】本発明に係る固体撮像装置50は、複数の画素101が行列状に配置された画素アレイ100と、複数の画素101から出力されるアナログ信号を並列にデジタル信号に変換する複数のカラムA/D変換回路140と、クロック信号を生成するタイミング制御回路130とを備え、複数のカラムA/D変換回路140の各々は、前記アナログ信号と前記ランプ波との電位を比較し、比較した結果を示す比較結果信号を生成する比較器141と、前記クロック信号をカウントするとともに、比較結果信号が変化する時点での計数値を前記デジタル信号として保持するカラムカウンタ142とを有し、カラムカウンタ142は、直列に接続された複数のカウンタを含み、複数のカウンタの各々は、隣接する計数値を示す計数コードのハミング距離が1である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

入射光を信号電荷に変換する受光部を有する複数の画素が行列状に配置された画素アレイと、

前記複数の画素から出力されるアナログ信号を並列にデジタル信号に変換する複数のカラム A/D 変換回路と、

ランプ波を生成するランプ波発生回路と、

前記複数のカラム A/D 変換回路及び前記ランプ波発生回路を制御するとともに、クロック信号を生成するタイミング制御回路と、

前記複数のカラム A/D 変換回路で変換された前記デジタル信号を伝送する出力バスとを備え、

前記複数のカラム A/D 変換回路の各々は、

前記アナログ信号と前記ランプ波との電位を比較し、比較した結果を示す比較結果信号を生成する比較器と、

前記クロック信号をカウントするとともに、前記比較結果信号が変化する時点での計数値を前記デジタル信号として保持するカラムカウンタとを有し、

前記カラムカウンタは、直列に接続された複数のカウンタを含み、

前記複数のカウンタの各々は、隣接する計数値を示す計数コードのハミング距離が 1 である

固体撮像装置。

【請求項 2】

前記複数のカウンタの一部又は全ては、ジョンソンカウンタであり、

前記複数のカウンタのうち最下位のカウンタのクロック入力端子には、前記クロック信号が供給され、

最下位以外の複数のカウンタのクロック入力端子には、前段のカウンタの最上位ビットの正転又は反転出力信号が供給される

請求項 1 記載の固体撮像装置。

【請求項 3】

前記複数のカウンタのうち最上位のカウンタが 1 ビットのカウンタであり、他のカウンタが 2 ビットのジョンソンカウンタである

請求項 2 記載の固体撮像装置。

【請求項 4】

前記複数のカウンタの全ては、2 ビットのジョンソンカウンタである

請求項 2 記載の固体撮像装置。

【請求項 5】

前記複数のカウンタに含まれる n (n は 2 以上の整数) ビットのジョンソンカウンタは、アップカウントモードとダウンカウントモードとを切り替え可能であり、

前記 n ビットのジョンソンカウンタは、 n 個のフリップフロップと、選択部とを備え、前記選択部は、

前記アップカウントモード時には、

前記 n 個のフリップフロップのうち、最下位ビットのフリップフロップのデータ入力端子を最上位ビットのフリップフロップの反転出力端子に接続し、

前記 n 個のフリップフロップのうち、前記最下位ビット以外のフリップフロップのデータ入力端子を、当該フリップフロップの前ビットのフリップフロップの正転出力端子に接続し、

前記ダウンカウントモード時には、

前記最上位ビットのフリップフロップのデータ入力端子を、前記最下位ビットのフリップフロップの反転出力端子に接続し、

前記 n 個のフリップフロップのうち、前記最上位以外のフリップフロップのデータ入力端子を、当該フリップフロップの次ビットのフリップフロップの正転出力端子に接続し、

10

20

30

40

50

前記最下位以外の複数のカウンタのクロック入力端子に、前段のカウンタの最上位ビットの正転出力信号を供給する

請求項 2 ～ 4 のいずれか 1 項に記載の固体撮像装置。

【請求項 6】

前記カラムカウンタは、さらに、ホールドモードを有し、

前記選択部は、前記ホールドモード時には、前記 n 個のフリップフロップの各々のデータ入力端子を自身の正転出力端子に接続し、

前記タイミング制御回路は、前記カラムカウンタを前記アップカウントモード及び前記ダウンカウントモードの一方から他方へ切り替える際に、前記カラムカウンタをホールドモードにしたうえで、当該切り替えを行う

10

請求項 5 記載の固体撮像装置。

【請求項 7】

前記複数のカウンタの一部又は全ては、グレイコードカウンタであり、

前記複数のカウンタのうち最下位のカウンタのクロック入力端子には、前記クロック信号が供給され、

最下位以外のカウンタのクロック入力端子には、前段のカウンタの最上位ビットの正転又は反転出力信号が供給される

請求項 1 記載の固体撮像装置。

【請求項 8】

前記複数のカウンタのうち最上位のカウンタが 1 ビットのカウンタであり、他のカウンタが 2 ビットのグレイコードカウンタである

20

請求項 7 記載の固体撮像装置。

【請求項 9】

前記複数のカウンタの全ては、2 ビットのグレイコードカウンタである

請求項 7 記載の固体撮像装置。

【請求項 10】

前記複数のカラム A / D 変換回路の各々は、さらに、前記カラムカウンタの計数値を保持するデジタルメモリを備え、

前記デジタルメモリに保持されている計数値が前記出力バスに出力される

請求項 1 ～ 9 のいずれか 1 項に記載の固体撮像装置。

30

【請求項 11】

前記固体撮像装置は、

前記出力バスを含み、前記複数のカラム A / D 変換回路で変換された前記デジタル信号を伝送する複数の出力バスを備える

請求項 1 ～ 10 のいずれか 1 項に記載の固体撮像装置。

【請求項 12】

前記固体撮像装置は、さらに、

前記出力バスにより伝送された前記計数コードを別の計数コードに変換するコード変換回路を備える

請求項 1 ～ 11 のいずれか 1 項に記載の固体撮像装置。

40

【請求項 13】

前記コード変換回路は、前記出力バスにより伝送された前記計数コードをバイナリコードに変換する

請求項 12 記載の固体撮像装置。

【請求項 14】

前記画素アレイと、前記カラム A / D 変換回路とは別チップに形成されている

請求項 1 ～ 13 のいずれか 1 項に記載の固体撮像装置。

【請求項 15】

請求項 1 ～ 14 のいずれか 1 項に記載の固体撮像装置を備える

撮像装置。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置及び撮像装置に関し、特に、複数の画素から出力されるアナログ信号を並列にデジタル信号に変換する複数のカラムA/D変換回路を備える固体撮像装置に関する。

【背景技術】

【0002】

近年、イメージセンサとしてCCD (Charge Coupled Device : 電荷結合素子) 型センサ (以後「CCDセンサ」と称する)、及び、ロジックLSIに使われている標準プロセスを活用したMOS (Metal-Oxide Semiconductor) 型センサ (以後「MOSセンサ」と称する) を用いた固体撮像装置が広く使われている。これらの固体撮像装置は、入射光をその光量に応じた信号電荷に変換する受光部を備えた複数の画素を備える。この複数の画素は、1次元又は2次元のアレイ状に配列されている。また、CCDセンサでは、信号電荷を信号電圧に変換する電荷検出部が画素外に形成されている。一方、MOSセンサでは、当該電荷検出部は画素内に形成されている。

【0003】

これらの画素から出力されるアナログ信号は必要に応じてA/D変換回路にてデジタル信号に変換する必要がある。これらの固体撮像装置が搭載するA/D変換回路に用いられるA/D変換方式として、多数の方式が提案されている。当該多数の方式は、例えば、パイプライン型A/D変換方式、1ラインの画素データを同時並列的にA/D変換するカラムA/D変換方式、及び、全ての画素データを同時並列的にA/D変換する方式などである。

【0004】

カラムA/D変換方式の一例として、各カラムA/D変換器がカウンタ回路を有する方式が特許文献1に示されている。また、当該カウンタ回路として、計数値を保持したままアップカウントとダウンカウントとを切り替えることが可能なリップルカウンタ回路を用いる構成が特許文献2に示されている。

【0005】

図21は、特許文献2に記載された従来の固体撮像素子10の構成を示す図である。また図22は従来の固体撮像素子の動作波形を示す図である。同図を用いて従来の固体撮像素子10について説明する。

【0006】

この固体撮像素子10は、画素アレイ部11と、行走査回路12と、列走査回路13と、タイミング制御回路14と、ADC群15と、DAC (デジタルーアナログ変換回路) 16と、データ出力回路17とを有する。

【0007】

画素アレイ部11には、単位画素111がマトリクス状に配置されている。

【0008】

ADC群15は、画素配列の各列に対応して配置されているADC (A/D変換回路) 15Aを含む。ADC 15Aは、コンパレータ (CMP) 151と、非同期アップ/ダウンカウンタ (CNT : 以下、カラムカウンタとも呼ぶ) 152と、スイッチ154とを含む。コンパレータ151は、DAC 16により生成されたランプ波形RAMPと、単位画素111から得られるアナログ信号とを比較する。カウンタ152は、コンパレータ151の出力及びクロック信号CKを受けてアップダウンカウント (またはダウンカウント) を行うとともに、カウント値を保持する機能を有する。

【0009】

保持回路としての機能を有するカウンタ152は、初期時にはたとえばアップカウント (またはダウンカウント) 状態に有り、リセットカウントを行い、対応するコンパレータ

10

20

30

40

50

151の出力信号が反転すると、アップカウント動作を停止し、カウント値を保持する。このリセットカウント期間は、単位画素111のリセット成分を読み出している。

【0010】

カウンタ152は、その後、ダウンカウント（またはアップカウント）状態となり、入射光量に対応したデータカウントを行い、対応するコンパレータ151の出力信号が反転すると、比較期間に応じたカウント値が保持される。

【0011】

保持されたカウント値は、列走査回路13により走査され、デジタル信号として、データ転送線18を経てデータ出力回路17に入力される。

【先行技術文献】

【特許文献】

【0012】

【特許文献1】特開2005-323331号公報

【特許文献2】特開2009-89066号公報

【発明の概要】

【発明が解決しようとする課題】

【0013】

一般にカラムA/D変換方式では、画素アレイの列ごとにカラムA/D変換回路（カラムA/D変換器）が設けられている。そして画素アレイの列数と等しい数のカラムA/D変換回路が同時に動作する。そのため、A/D変換動作の際にカラムA/D変換回路を構成する各カラムカウンタが発生するノイズを N_{CNT} とし、画素アレイの列数を M_C とすると、カラムカウンタが発生するノイズの総和は $N_{CNT} \times \sqrt{M_C}$ となる。一般に10Mピクセル以上の画素数をもつ画素アレイではその列数は数千列となるため、カラムカウンタの動作ノイズの影響は大きい。よって、カラムカウンタの動作ノイズを低減することにより良好な画像が得られる。

【0014】

また、カラムA/D変換回路のレイアウトは画素ピッチに従い大きな制約を受けるため、複雑な回路構成をとることができない。その点においては従来のカラムカウンタは、その構成素子数は比較的少なく単純な構成であるリップルカウンタを用いているため、カラムA/D変換回路を構成するには適している。一方で、リップルカウンタはバイナリカウンタであるためカウント動作における低ノイズ化が考慮されていない。nビットのバイナリカウンタが0から最大値までカウント動作する際のデータの反転回数は $(2^1 + 2^2 + \dots + 2^n - n)$ 回となり、同時に変化する最大ビット数はn個となる。

【0015】

また、一般に低ノイズなカウンタとして、隣接する計数コードのデータ変化量が常に1、つまりハミング距離が1であるグレイコードカウンタが知られている。nビットのグレイコードカウンタが0から最大値までカウント動作する際のデータ反転回数は $2^n - 1$ 回であり、同時に変化する最大ビット数は1である。このように、グレイコードカウンタは、バイナリカウンタと比べデータ変化回数が約1/2であり、同時に変化する最大ビット数が1/nである。

【0016】

しかしながらnビットグレイコードカウンタでは、各ビットの状態遷移を行うために全ビットの前状態が必要である。このため、各フリップフロップの入力端子にはn入力1出力の論理回路を付加する必要がある。これにより、その構成は複雑になり、かつ構成素子数も非常に多くなる。そのため、このようなグレイコードカウンタは、レイアウトに対して画素ピッチの制約を大きく受けるカラムA/D変換回路の構成要素としては適さない。

【0017】

また、グレイコードカウンタと同様にハミング距離が1であるカウンタとして、ジョンソンカウンタが知られている。ジョンソンカウンタは、リップルカウンタと同様にその構成が単純であるが、nビットのリップルカウンタが 2^n 進カウンタを構成できるのに対し

10

20

30

40

50

て、 n ビットのジョンソンカウンタは 2^n 進カウンタとなる。例えば、10ビット精度のカラムA/D変換回路を構成するカラムカウンタは 2^{10} 進カウンタが必要である。従来技術に係るカラムカウンタでは10個のフリップフロップで 2^{10} 個の状態を表すことができるが、ジョンソンカウンタを用いた場合、 2^9 個のフリップフロップが必要となる。よって回路規模が非常に大きくなる。

【0018】

本発明の目的は、回路規模の増大を抑えつつA/D変換時のカウンタ動作によるノイズの発生を低減できる固体撮像装置及び撮像装置を提供することを目的とする。

【課題を解決するための手段】

【0019】

上記目的を達成するために、本発明の一形態に係る固体撮像装置は、入射光を信号電荷に変換する受光部を有する複数の画素が行列状に配置された画素アレイと、前記複数の画素から出力されるアナログ信号を並列にデジタル信号に変換する複数のカラムA/D変換回路と、ランプ波を生成するランプ波発生回路と、前記複数のカラムA/D変換回路及び前記ランプ波発生回路を制御するとともに、クロック信号を生成するタイミング制御回路と、前記複数のカラムA/D変換回路で変換された前記デジタル信号を送信する出力バスとを備え、前記複数のカラムA/D変換回路の各々は、前記アナログ信号と前記ランプ波との電位を比較し、比較した結果を示す比較結果信号を生成する比較器と、前記クロック信号をカウントするとともに、前記比較結果信号が変化する時点での計数値を前記デジタル信号として保持するカラムカウンタとを有し、前記カラムカウンタは、直列に接続された複数のカウンタを含み、前記複数のカウンタの各々は、隣接する計数値を示す計数コードのハミング距離が1である。

【0020】

この構成によれば、本発明の一形態に係る固体撮像装置では、カラムカウンタは、直列に接続された、ハミング距離が1の複数のカウンタで構成されている。これにより、本発明の一形態に係る固体撮像装置は、回路規模の増大を抑えつつA/D変換時のカウンタ動作によるノイズの発生を低減できる。

【0021】

また、前記複数のカウンタの一部又は全ては、ジョンソンカウンタであり、前記複数のカウンタのうち最下位のカウンタのクロック入力端子には、前記クロック信号が供給され、最下位以外の複数のカウンタのクロック入力端子には、前段のカウンタの最上位ビットの正転又は反転出力信号が供給されてもよい。

【0022】

また、前記複数のカウンタのうち最上位のカウンタが1ビットのカウンタであり、他のカウンタが2ビットのジョンソンカウンタであってもよい。

【0023】

この構成によれば、回路規模の増大を抑えつつ、ノイズの発生を低減できる奇数ビットのカラムカウンタを実現できる。

【0024】

また、前記複数のカウンタの全ては、2ビットのジョンソンカウンタであってもよい。

【0025】

この構成によれば、回路規模の増大を抑えつつ、ノイズの発生を低減できる偶数ビットのカラムカウンタを実現できる。

【0026】

また、前記複数のカウンタに含まれる n (n は2以上の整数)ビットのジョンソンカウンタは、アップカウントモードとダウンカウントモードとを切り替え可能であり、前記 n ビットのジョンソンカウンタは、 n 個のフリップフロップと、選択部とを備え、前記選択部は、前記アップカウントモード時には、前記 n 個のフリップフロップのうち、最下位ビットのフリップフロップのデータ入力端子を最上位ビットのフリップフロップの反転出力端子に接続し、前記 n 個のフリップフロップのうち、前記最下位ビット以外のフリップフ

ロップのデータ入力端子を、当該フリップフロップの前ビットのフリップフロップの正転出力端子に接続し、前記ダウンカウントモード時には、前記最上位ビットのフリップフロップのデータ入力端子を、前記最下位ビットのフリップフロップの反転出力端子に接続し、前記 n 個のフリップフロップのうち、前記最上位以外のフリップフロップのデータ入力端子を、当該フリップフロップの次ビットのフリップフロップの正転出力端子に接続し、前記最下位以外の複数のカウンタのクロック入力端子に、前段のカウンタの最上位ビットの正転出力信号を供給してもよい。

【0027】

この構成によれば、回路規模の増大を抑えつつ、ノイズの発生を低減できる、アップカウントモードとダウンカウントモードとを切り替え可能なカラムカウンタを実現できる。

10

【0028】

また、前記カラムカウンタは、さらに、ホールドモードを有し、前記選択部は、前記ホールドモード時には、前記 n 個のフリップフロップの各々のデータ入力端子を自身の正転出力端子に接続し、前記タイミング制御回路は、前記カラムカウンタを前記アップカウントモード及び前記ダウンカウントモードの一方から他方へ切り替える際に、前記カラムカウンタをホールドモードにしたうえで、当該切り替えを行ってもよい。

【0029】

この構成によれば、回路規模の増大を抑えつつ、ノイズの発生を低減できる、クロック信号が変化した際にも計数値を保持するホールドモードを有するカラムカウンタを実現できる。

20

【0030】

また、前記複数のカウンタの一部又は全ては、グレイコードカウンタであり、前記複数のカウンタのうち最下位のカウンタのクロック入力端子には、前記クロック信号が供給され、最下位以外のカウンタのクロック入力端子には、前段のカウンタの最上位ビットの正転又は反転出力信号が供給されてもよい。

【0031】

また、前記複数のカウンタのうち最上位のカウンタが1ビットのカウンタであり、他のカウンタが2ビットのグレイコードカウンタであってもよい。

【0032】

この構成によれば、回路規模の増大を抑えつつ、ノイズの発生を低減できる奇数ビットのカラムカウンタを実現できる。

30

【0033】

また、前記複数のカウンタの全ては、2ビットのグレイコードカウンタであってもよい。

【0034】

この構成によれば、回路規模の増大を抑えつつ、ノイズの発生を低減できる偶数ビットのカラムカウンタを実現できる。

【0035】

また、前記複数のカラムA/D変換回路の各々は、さらに、前記カラムカウンタの計数値を保持するデジタルメモリを備え、前記デジタルメモリに保持されている計数値が前記出力バスに出力されてもよい。

40

【0036】

この構成によれば、本発明の一形態に係る固体撮像装置は、A/D変換処理と、メモリに保持された計数値を外部に出力する処理とを並列して行うことができる。これにより、本発明の一形態に係る固体撮像装置は、高速化を実現できる。

【0037】

また、前記固体撮像装置は、前記出力バスを含み、前記複数のカラムA/D変換回路で変換された前記デジタル信号を伝送する複数の出力バスを備えてもよい。

【0038】

この構成によれば、本発明の一形態に係る固体撮像装置は、複数の計測値を同時に外部

50

に出力できる。これにより、本発明の一形態に係る固体撮像装置は、高速化を実現できる。

【0039】

また、前記固体撮像装置は、さらに、前記出力バスにより伝送された前記計数コードを別の計数コードに変換するコード変換回路を備えてもよい。

【0040】

この構成によれば、本発明の一形態に係る固体撮像装置は、所定の形式に変換したコードを外部に出力できる。これにより、当該固体撮像装置は、当該固体撮像装置の後段に接続される画像処理部等の処理量を低減できる。

【0041】

また、前記コード変換回路は、前記出力バスにより伝送された前記計数コードをバイナリコードに変換してもよい。

【0042】

また、前記画素アレイと、前記カラムA/D変換回路とは別チップに形成されていてもよい。

【0043】

この構成によれば、画素アレイとカラムA/D変換回路とを異なる半導体プロセスで製造できる。

【0044】

なお、本発明は、このような固体撮像装置として実現できるだけでなく、このような固体撮像装置の機能の一部又は全てを実現する半導体集積回路(LSI)として実現したり、このような固体撮像装置を備える撮像装置として実現できる。

【発明の効果】

【0045】

以上より、本発明は、回路規模の増大を抑えつつA/D変換時のカウンタ動作によるノイズの発生を低減できる固体撮像装置及び撮像装置を提供できる。

【図面の簡単な説明】

【0046】

【図1】本発明の第1の実施形態に係る固体撮像装置の構成例を示すブロック図である。

【図2】本発明の第1の実施形態に係る固体撮像装置によるA/D変換動作のタイミングチャートである。

【図3】本発明の第1の実施形態に係るカラムカウンタの構成例を示すブロック図である。

【図4A】本発明の第1の実施形態に係るカラムカウンタの構成例を示すブロック図である。

【図4B】本発明の第1の実施形態に係るカラムカウンタの構成例を示すブロック図である。

【図5】本発明の第1の実施形態に係る2ビットジョンソンカウンタの構成例を示す回路図である。

【図6A】本発明の第1の実施形態に係る2ビットジョンソンカウンタのアップカウントモードにおける等価回路を示す図である。

【図6B】本発明の第1の実施形態に係る2ビットジョンソンカウンタのアップカウントモードにおけるタイミングチャートである。

【図7A】本発明の第1の実施形態に係る2ビットジョンソンカウンタのダウンカウントモードにおける等価回路を示す図である。

【図7B】本発明の第1の実施形態に係る2ビットジョンソンカウンタのダウンカウントモードにおけるタイミングチャートである。

【図8A】本発明の第1の実施形態に係る1ビットジョンソンカウンタの回路図である。

【図8B】本発明の第1の実施形態に係る1ビットジョンソンカウンタのタイミングチャートである。

10

20

30

40

50

【図 9 A】本発明の第 1 の実施形態に係る 4 ビットカラムカウンタの回路図である。

【図 9 B】本発明の第 1 の実施形態に係る、比較例における 4 ビットカラムカウンタの回路図である。

【図 10 A】本発明の第 1 の実施形態に係る 4 ビットカラムカウンタのタイミングチャートである。

【図 10 B】本発明の第 1 の実施形態に係る、比較例における 4 ビットカラムカウンタのタイミングチャートである。

【図 11 A】本発明の第 1 の実施形態に係る 5 ビットカラムカウンタの回路図である。

【図 11 B】本発明の第 1 の実施形態に係る、比較例における 5 ビットカラムカウンタの回路図である。

10

【図 12 A】本発明の第 1 の実施形態に係る 5 ビットカラムカウンタのタイミングチャートである。

【図 12 B】本発明の第 1 の実施形態に係る、比較例における 5 ビットカラムカウンタのタイミングチャートである。

【図 13】本発明の第 1 の実施形態に係る、2 ビットジョンソンカウンタと 2 ビットバイナリカウンタとのコードを示す図である。

【図 14 A】本発明の第 1 の実施形態に係る出力回路のブロック図である。

【図 14 B】本発明の第 1 の実施形態に係る出力回路のブロック図である。

【図 15】本発明の第 1 の実施形態に係る偶数ビットコード変換回路の回路図である。

【図 16】本発明の第 1 の実施形態の変形例に係る固体撮像装置の構成例を示すブロック図である。

20

【図 17】本発明の第 2 の実施形態に係る固体撮像装置のブロック図である。

【図 18】本発明の第 2 の実施形態に係る固体撮像装置のタイミングチャートである。

【図 19】本発明の第 3 の実施形態に係る固体撮像装置のブロック図である。

【図 20】本発明の実施形態に係る撮像装置のブロック図である。

【図 21】従来の固体撮像装置のブロック図である。

【図 22】従来の固体撮像装置のタイミングチャートである。

【発明を実施するための形態】

【0047】

以下、本発明に係る固体撮像装置の実施の形態について、図面を参照しながら詳細に説明する。

30

【0048】

(第 1 の実施形態)

本発明の第 1 の実施形態に係る固体撮像装置では、カラムカウンタは、直列に接続された、ハミング距離が 1 の複数のカウンタで構成されている。これにより、本発明の第 1 の実施形態に係る固体撮像装置は、回路規模の増大を抑えつつ A/D 変換時のカウンタ動作によるノイズの発生を低減できる。

【0049】

図 1 は、本発明の第 1 の実施形態に係る固体撮像装置 50 の構成を示す図である。図 2 は、本発明の第 1 の実施形態に係る固体撮像装置 50 の動作を示すタイミングチャートである。

40

【0050】

図 1 に示す本発明の第 1 の実施形態に係る固体撮像装置 50 は、MOS イメージセンサである。この固体撮像装置 50 は、撮像部としての画素アレイ 100 と、垂直選択回路 110 と、水平選択回路 120 と、タイミング制御回路 130 と、複数のカラム A/D 変換回路 140 と、D/A 変換回路 150 と、コード変換回路を含む出力回路 160 とを有する。

【0051】

画素アレイ 100 は、行列状に配置されている複数の画素 101 を含む。複数の画素 101 の各々は、入射光を信号電荷に変換する受光部であるフォトダイオードを含む。

50

【0052】

また、画素アレイ100は、複数の垂直信号線102と、複数の制御信号線103とを含む。複数の垂直信号線102は、列毎に設けられており、対応する列で共通に用いられる出力線である。制御信号線103は、行毎に設けられており、対応する行で共通に用いられる。

【0053】

垂直選択回路110は、画素アレイ100の画素101を、制御信号線103を通じて行ごとに一括で制御することで、画素101のリセット動作及び信号出力動作を制御する。

【0054】

複数のカラムA/D変換回路140は、複数の画素101から出力されるアナログ信号を並列にデジタル信号に変換する。具体的には、カラムA/D変換回路140の各々は、画素アレイ100の列ごとに配置されている。各カラムA/D変換回路140の入力端子には、対応する垂直信号線102が接続されている。また、各カラムA/D変換回路140の出力端子は出力バス170に接続されている。このカラムA/D変換回路140は、垂直信号線102のアナログ信号をデジタル信号（デジタルコード）に変換する。

【0055】

水平選択回路120は、各カラムA/D変換回路140により変換されたデジタル信号を出力バス170に順次読み出す。出力バス170は、複数のカラムA/D変換回路140で変換されたデジタル信号を伝送する。

【0056】

出力回路160は、各カラムA/D変換回路140から出力バス170を通して読み出されたデジタルコードを別のデジタルコードに変換して外部へ出力する。

【0057】

タイミング制御回路130は、垂直選択回路110、水平選択回路120、D/A変換回路150及び各カラムA/D変換回路140を制御するための内部クロック及び制御信号を生成する。具体的には、タイミング制御回路130は、リセット信号RST、カウントモード制御信号UD、ホールド制御信号HLD、及び、カウンタクロック信号CKを生成する。

【0058】

D/A変換回路150は、ランプ波RAMPを生成するランプ波発生回路である。

【0059】

各カラムA/D変換回路140は、比較器141と、Nビットカラムカウンタ回路であるカラムカウンタ142と、出力スイッチ143とを備える。

【0060】

比較器141は、複数の画素101から出力されるアナログ信号とランプ波RAMPとの電位を比較し、比較した結果を示す比較結果信号を生成する。具体的には、比較器141の一方の入力端子は、画素アレイ100の垂直信号線102に接続されており、当該一方の入力端子には画素101の出力信号が入力される。また、比較器141の他方の入力端子は、D/A変換回路150出力信号線であるRAMP信号線が接続されており、当該他方の入力端子にはランプ波RAMPが入力される。

【0061】

カラムカウンタ142は、カウンタクロック信号CKをカウントするとともに、比較器141により出力される比較結果信号が変化する時点での計数値をデジタル信号（計数コード）として保持する。

【0062】

例えば、カラムカウンタ142は、図3に示すように複数のジョンソンカウンタが直列に接続された構成である。また、当該カラムカウンタ142の計数コードは従来例におけるカラムカウンタである非同期バイナリカウンタ（リップルカウンタ）が生成するバイナリコードとは異なる。

10

20

30

40

50

【0063】

各カラムカウンタ142には、タイミング制御回路130から供給されるリセット信号RST、カウントモード制御信号UD、ホールド制御信号HLD及びカウンタクロック信号CKが入力される。リセット信号RSTはカウンタを初期化するための信号である。カウントモード制御信号UD及びホールド制御信号HLDは、アップカウントモードとダウンカウントモードとホールドモードとの切り替えを制御するための信号である。

【0064】

出力スイッチ143は、水平選択回路120により制御され、カラムカウンタ142に保持された計数値を順次出力バス170に出力する。また、コード変換回路を含む出力回路160は、出力バス170に出力されたカラムカウンタ142の計数コードをバイナリコードに変換し、変換したバイナリコードを出力する。

10

【0065】

なお、カラムカウンタ142及び出力回路160の詳細については後述する。

【0066】

次に、本発明の第1の実施形態に係る固体撮像装置50の動作について説明する。

【0067】

まず、タイミング制御回路130により各カラムA/D変換回路140のカラムカウンタ142及びD/A変換回路150が初期化される。これにより、カラムカウンタ142は予め決められた初期値にリセットされる。また、D/A変換回路150は、ランプ波形RAMPの初期電位を各比較器141の一方の入力端子に供給する。

20

【0068】

次に、タイミング制御回路130は、カウントモード制御信号UD及びホールド制御信号HLDを制御することで、各カラムカウンタ142をダウンカウントモードにセットする。

【0069】

次に、垂直選択回路110は、ある行の複数の画素101を選択するとともに、選択した画素101から画素リセット電位を出力させる。これにより、各列の画素リセット電位は、対応する列の垂直信号線102を通して、対応する列の比較器141のもう一方の入力端子に供給される。

【0070】

30

この状態でタイミング制御回路130は各カラムカウンタ142にカウンタクロック信号CKを供給する。これにより、カラムカウンタ142は、カウンタクロック信号CKの計数を開始する。また、タイミング制御回路130は、カウンタクロック信号CKに同期してD/A変換回路150がランプ波形RAMPを生成するよう制御する。

【0071】

次いで、ある列の比較器141に入力される画素リセット電位とランプ波形RAMPとの電位の大小関係が入れ替わると、その比較器141の出力信号が反転する。これにより、その列のカラムカウンタ142へのカウンタクロック信号CKがマスクされる。よって、その列のカラムカウンタ142は比較器141の出力信号が反転した時点での計数値を保持する。ここで、D/A変換回路150が生成するランプ波形RAMPと、タイミング制御回路130が生成するカウンタクロック信号CKとは互いに同期しているため、選択された画素101から出力される画素リセット電圧に対応した計数値がカラムカウンタ142に保持される。

40

【0072】

タイミング制御回路130は、予め決められたパルス数を出力するとカウンタクロック信号CKを停止するとともに、それに同期してD/A変換回路150によるランプ波形RAMPの出力を停止させる。

【0073】

次に、タイミング制御回路130は、D/A変換回路150を初期化する。これにより、各比較器141の一方の入力端子には再びランプ電圧の初期値が供給される。

50

【0074】

次に、タイミング制御回路130は、カウントモード制御信号UD及びHOLD信号を制御することで、各カラムカウンタ142をアップカウントモードにセットする。

【0075】

次に、垂直選択回路110は、選択している画素101に、入射光量に応じた画素信号電位を出力させる。これにより、各列の画素信号電位は、対応する列の垂直信号線102を通して、対応する列の比較器141のもう一方の入力端子に供給される。この画素信号電位は画素リセット電位をオフセットにもつ。この状態でタイミング制御回路130は各カラムカウンタ142にカウンタクロック信号CKを供給する。これにより、カラムカウンタ142は、カウンタクロック信号CKの計数を開始する。また、タイミング制御回路130は、カウンタクロックに同期してD/A変換回路150がランプ波形RAMPを生成するよう制御する。

10

【0076】

次いで、ある列の比較器141に入力される画素信号とランプ波形RAMPとの大小関係が入れ替わると、その比較器141の出力信号が反転する。これにより、その列のカラムカウンタ142へ供給されるカウンタクロック信号CKがマスクされる。よって、その列のカラムカウンタ142は比較器141の出力信号が反転した時点での計数値を保持する。ここで保持されている計数値は、カラムカウンタ142の初期値を C_{INIT} とし、画素リセット電位に対応する計数値を C_{RST} とし、画素信号電位に対応する計数値を C_{SIG} とすると、 $C_{INIT} - C_{RST} + C_{SIG}$ となる。つまり以上の動作により、画素リセット電位と画素信号電位との差分つまり入射光に応じた画素信号電圧に対応するデジタル値が得られることとなる。

20

【0077】

次に、タイミング制御回路130は、予め決められたパルス数を出力するとカウンタクロック信号CKを停止するとともに、それに同期してD/A変換回路150によるランプ波形RAMPの出力を停止させる。以上により、画素信号のA/D変換が完了する。また、以上の動作は各列で同時並列的に行われる。

【0078】

次に、各カラムカウンタ142に保持された計数値は水平選択回路120により順次出力バス170に読み出される。そして、読み出された計数値は、出力回路160に供給される。出力回路160は、コード変換回路を有しており、カラムカウンタ142の計数コードをバイナリコードに変換し、変換したバイナリコードを出力する。

30

【0079】

次に、カラムカウンタ142について詳細を説明する。

【0080】

図3は、本発明の第1の実施形態に係るカラムカウンタ142のブロック図である。本発明の第1の実施形態に係るカラムカウンタ142は、直列に接続されたn個のジョンソンカウンタ301を含む。各ジョンソンカウンタ301は、隣接する計数値を示す計数コードのハミング距離が1である。また、各ジョンソンカウンタ301は、カウントモード制御信号UDによりアップカウントモードとダウンカウントモードとを切り替え可能である。

40

【0081】

n個のジョンソンカウンタ301は、それぞれ $M_1 \sim M_n$ ビットで構成される。また、n個のジョンソンカウンタ301は、そのクロック入力端子CKに供給されるクロック信号が変化した際にも計数を保持するホールドモードを有している。このホールドモードへの切り替えは、ホールド制御信号HLDにより制御される。また、n個のジョンソンカウンタ301は、リセット信号RSTによりカウント値を予め決められた初期値に初期化する機能を有する。

【0082】

最下位のジョンソンカウンタ301のクロック入力端子CKには図1におけるカウンタ

50

クロック信号CKが供給される。x段目（xは1～n-1）ジョンソンカウンタ301の出力端子Oは次段（x+1段目）のジョンソンカウンタ301のクロック入力端子CKに接続される。言い換えると、最下位以外の複数のジョンソンカウンタ301のクロック入力端子CKには、前段のジョンソンカウンタ301の最上位ビットの正転（非反転）又は反転出力信号が供給される。よって、カラムカウンタ142は、 $2^n \times (M_1 \times M_2 \times \dots \times M_n)$ 進カウンタとなる。ここでカラムカウンタ142を構成するn個のジョンソンカウンタ301のビット数 $M_1 \sim M_n$ は全て又はその幾つかが同じビット数でもかまわない。

【0083】

ここでは、

（a） $M_1 \sim M_n$ が全て2

（b） $M_1 \sim M_{n-1}$ が全て2かつ M_n が1
の場合をそれぞれ説明する。

【0084】

上記（a）の場合では、カラムカウンタ142は、 $2n$ ビットで構成される 2^{2n} 進カウンタである。また、当該カラムカウンタ142は、 $2n$ ビットバイナリカウンタと同様に $2n$ ビットで表される全てのコードを使用するフィールドコードカウンタである。

【0085】

上記（b）の場合では、カラムカウンタ142は、 $2n+1$ ビットで構成される 2^{2n+1} 進カウンタである。また、当該カラムカウンタ142は、 $2n+1$ ビットバイナリカウンタと同様に $2n+1$ ビットで表される全てのコードを使用するフィールドコードカウンタである。

【0086】

図4Aは、上記（a）の場合におけるカラムカウンタ142のブロック図である。また、図4Bは、上記（b）の場合におけるカラムカウンタ142のブロック図である。

【0087】

図4A及び図4Bに示すように、最下位のジョンソンカウンタ401のクロック入力端子CKにはカウンタクロック信号CKが供給され、他のジョンソンカウンタ402及び403のクロック入力端子CKには前段のジョンソンカウンタの出力端子Oが接続される。

【0088】

次に、本発明の第1の実施形態に係るカラムカウンタ142の構成要素である2ビットU/Dジョンソンカウンタ401について説明する。

【0089】

図5は、本発明の第1の実施形態に係る2ビットU/Dジョンソンカウンタ401の回路例を示す図である。なお、2ビットU/Dジョンソンカウンタ402の構成も同様である。

【0090】

図5に示すように、2ビットU/Dジョンソンカウンタ401は、第0ビットを表すフリップフロップ501と、第1ビットを表すフリップフロップ502と、マルチプレクサ504～507とを備える。

【0091】

マルチプレクサ506及び507は、カウントモード制御信号UDにより制御され、アップカウントモードとダウンカウントモードとを切り替えるために用いられる。マルチプレクサ504及び505は、ホールド制御信号HLDにより制御され、アップカウントモードとダウンカウントモードとの切り替え時にフリップフロップ501及び502が保持している値の破壊を回避するために設けられている。これらのマルチプレクサ504～507は、本発明の選択部に相当する。

【0092】

先ずアップカウントモードについて説明する。

【0093】

10

20

30

40

50

図 6 A は、アップカウントモードにおける 2 ビット U/D ジョンソンカウンタ 4 0 1 の等価回路を示す図である。

【 0 0 9 4 】

アップカウントモードでは、マルチプレクサ 5 0 6 はフリップフロップ 5 0 1 の正転出力信号 Q を選択し、マルチプレクサ 5 0 7 はフリップフロップ 5 0 2 の反転出力信号 Q B を選択する。また、マルチプレクサ 5 0 4 はマルチプレクサ 5 0 7 の出力信号を選択し、マルチプレクサ 5 0 5 はマルチプレクサ 5 0 6 の出力信号を選択する。

【 0 0 9 5 】

よって、アップカウントモード時には、フリップフロップ 5 0 1 のデータ入力端子 D にはフリップフロップ 5 0 2 の反転出力信号が供給され、フリップフロップ 5 0 2 のデータ入力端子 D にはフリップフロップ 5 0 1 の正転出力信号 Q が供給される。また、次段の 2 ビット U/D ジョンソンカウンタ 4 0 2 又は 1 ビット U/D ジョンソンカウンタ 4 0 3 の C K 入力端子に接続される出力端子 O には、フリップフロップ 5 0 2 の反転出力信号 Q B が供給される。

【 0 0 9 6 】

図 6 B は、アップカウントモードにおける 2 ビット U/D ジョンソンカウンタ 4 0 1 のタイミングチャートである。図 6 A に示すように、2 ビット U/D ジョンソンカウンタ 4 0 1 では、0 ～ 3 までのアップカウントにおけるデータ変化回数は、フリップフロップ 5 0 1 が 2 回、フリップフロップ 5 0 2 が 1 回の計 3 回であり、最大同時変化ビット数は 1 ビットである。

【 0 0 9 7 】

次にダウンカウントモードについて説明する。

【 0 0 9 8 】

図 7 A は、ダウンカウントモードにおける 2 ビット U/D ジョンソンカウンタ 4 0 1 の等価回路を示す図である。

【 0 0 9 9 】

ダウンカウントモードでは、マルチプレクサ 5 0 6 はフリップフロップ 5 0 1 の反転出力信号 Q B を選択し、マルチプレクサ 5 0 7 はフリップフロップ 5 0 2 の正転出力信号 Q を選択する。また、マルチプレクサ 5 0 4 はマルチプレクサ 5 0 7 の出力信号を選択し、マルチプレクサ 5 0 5 はマルチプレクサ 5 0 6 の出力信号を選択する。

【 0 1 0 0 】

よって、ダウンカウントモード時には、フリップフロップ 5 0 1 のデータ入力端子 D にはフリップフロップ 5 0 2 の正転出力信号が供給され、フリップフロップ 5 0 2 のデータ入力端子 D にはフリップフロップ 5 0 1 の反転出力信号が供給される。また、次段の 2 ビット U/D ジョンソンカウンタ 4 0 2 又は 1 ビット U/D ジョンソンカウンタ 4 0 3 の C K 入力端子に接続される出力端子 O には、フリップフロップ 5 0 2 の正転出力信号 Q が供給される。

【 0 1 0 1 】

図 7 B は、ダウンカウントモードにおける 2 ビット U/D ジョンソンカウンタ 4 0 1 のタイミングチャートである。図 7 B に示すように、2 ビット U/D ジョンソンカウンタ 4 0 1 では、3 ～ 0 までのダウンカウントにおけるデータ変化回数は、フリップフロップ 5 0 1 が 2 回、フリップフロップ 5 0 2 が 1 回の計 3 回であり、最大同時変化ビット数は 1 ビットである。

【 0 1 0 2 】

なお、ジョンソンカウンタ 4 0 1 及び 4 0 2 が n ビットの場合、アップカウントモード時には、最下位ビットのフリップフロップのデータ入力端子が最上位ビットのフリップフロップの反転出力端子に接続される。また、最下位ビット以外のフリップフロップのデータ入力端子は、当該フリップフロップの前ビットのフリップフロップの正転出力端子に接続される。また、各ジョンソンカウンタ 4 0 1 及び 4 0 2 の出力端子 O には、最上位ビットのフリップフロップの反転出力端子が接続される。言い換えると、最下位以外の複数の

10

20

30

40

50

ジョンソンカウンタのクロック入力端子には、前段のジョンソンカウンタに含まれる最上位ビットのフリップフロップの反転出力信号が供給される。

【0103】

また、ダウンカウントモード時には、最上位ビットのフリップフロップのデータ入力端子は、最下位ビットのフリップフロップの反転出力端子に接続される。また、最上位以外のフリップフロップのデータ入力端子は、当該フリップフロップの次ビットのフリップフロップの正転出力端子に接続される。また、各ジョンソンカウンタ401及び402の出力端子Oには、最上位ビットのフリップフロップの正転出力端子が接続される。言い換えると、最下位以外の複数のジョンソンカウンタのクロック入力端子には、前段のジョンソンカウンタに含まれる最上位ビットのフリップフロップの正転出力信号が供給される。

10

【0104】

最後にアップカウントモードとダウンカウントモードとの切り替えについて説明する。

【0105】

前述したように、2ビットU/Dジョンソンカウンタ402のクロック入力端子CKは前段の2ビットU/Dジョンソンカウンタ401又は402の出力端子Oが接続されている。また、アップカウントモード時には、当該クロック入力端子CKは、前段の上位ビットのフリップフロップ501の反転出力端子QBが、ダウンカウントモード時では前段の上位ビットのフリップフロップ501の正転出力端子Qが接続される。よって、アップカウントモードとダウンカウントモードとの切り替え時にクロック入力端子CKの接続先が変化することとなるためフリップフロップ501及び502に保持されているデータが書き換わる可能性がある。

20

【0106】

これに対して、本発明の第1の実施形態に係る固体撮像装置50は、カラムカウンタ142をアップカウントモード及びダウンカウントモードの一方から他方へ切り替える際に、ホールド制御信号HLDによりカラムカウンタ142をホールドモードにしたうえで、当該切り替えを行う。

【0107】

ホールドモードでは、マルチプレクサ504はフリップフロップ501の正転出力信号Qを選択し、マルチプレクサ505はフリップフロップ502の正転出力信号Qを選択する。よって、フリップフロップ501及び502のデータ入力端子Dにはそれぞれ自身の正転出力端子が接続される。これにより、アップカウントモードとダウンカウントモードとの切り替え時にフリップフロップ501及び502の保持データが書き換わることを防止できる。

30

【0108】

次に、本発明の第1の実施形態に係るカラムカウンタ142の構成要素のひとつである1ビットU/Dジョンソンカウンタ403について説明する。

【0109】

図8Aは、本発明の第1の実施形態に係る1ビットU/Dジョンソンカウンタ403の回路例を示す図である。また、図8Bは、1ビットU/Dジョンソンカウンタ403のタイミングチャートである。

40

【0110】

1ビットU/Dジョンソンカウンタ403は、1ビットカウンタであるため、アップカウント及びダウンカウントで同じ動作を行う。しかしながら、前述した2ビットU/Dジョンソンカウンタ401と同様にアップカウントモードとダウンカウントモードとの切り替え時にクロック入力端子CKの接続先が変化するため、フリップフロップ503に保持されているデータが書き換わる可能性がある。

【0111】

これに対して、本発明の第1の実施形態に係る固体撮像装置50は、アップカウントモードとダウンカウントモードとの切り替え時に、ホールド制御信号HLDによりフリップフロップ503をホールドモードにする。ホールドモードにおいて、マルチプレクサ50

50

8はフリップフロップ503の正転出力信号を選択する。よって、フリップフロップ503のデータ入力端子にはそれ自身の正転出力端子が接続される。これにより、アップカウントモードとダウンカウントモードとの切り替え時にフリップフロップ503の保持データが書き換わることを防止できる。

【0112】

以上、本発明の第1の実施形態に係るカラムカウンタ142の構成要素である、2ビットU/Dジョンソンカウンタ401及び402と、1ビットU/Dジョンソンカウンタ403について述べた。以下では、本発明の第1の実施形態に係るカラムカウンタ142について比較例と比較しながら説明する。

【0113】

10

なお、以下では、説明を簡略化するため、図4Aに示すカラムカウンタ142の具体例として2個の2ビットU/Dジョンソンカウンタ401及び402を備える4ビットカラムカウンタ142Aと、図4Bに示すカラムカウンタ142の具体例として2個の2ビットU/Dジョンソンカウンタ401及び402と1個の1ビットU/Dジョンソンカウンタ403とを備える5ビットカラムカウンタ142Bについてそれぞれ比較例である4ビットリップルカウンタ600A及び5ビットリップルカウンタ600Bと比較しながら説明する。

【0114】

先ず、本発明の第1の実施形態に係る、2個の2ビットU/Dジョンソンカウンタ401及び402から構成される4ビットカラムカウンタ142Aについて説明する。

20

【0115】

先ず回路の構成素子数について比較例と本発明の第1の実施形態とを比較する。図9Aは、本発明の第1の実施形態に係る4ビットカラムカウンタ142Aの回路図である。図9Bは、比較例である4ビットリップルカウンタ600Aの回路図である。

【0116】

図9Aに示すように本発明の第1の実施形態に係る4ビットカラムカウンタ142Aは、4個のフリップフロップと、8個のマルチプレクサとを含む。一方、図9Bに示す比較例の4ビットリップルカウンタ600Aは、4個のフリップフロップと、7個のマルチプレクサとを含む。

【0117】

30

次にnビット（nは偶数）の場合を考える。図9Aに示すように本発明の第1の実施形態では2ビットU/Dジョンソンカウンタ401及び402は、2個のフリップフロップと2個の2入力マルチプレクサとを含む。よって本発明の第1の実施形態に係るnビット（nは偶数）カラムカウンタはn個のフリップフロップと2n個の2入力マルチプレクサとを含む。

【0118】

図9Bに示すように比較例のnビットU/Dリップルカウンタでは、最上位ビットを除き各ビットは1個のフリップフロップと2個の2入力マルチプレクサとを含む。また、最上位ビットは1個のフリップフロップと1個の2入力マルチプレクサとを含む。つまり、比較例のnビットのカラムカウンタは、n個のフリップフロップと2n-1個の2入力マルチプレクサとを含む。

40

【0119】

以上のことより、本発明の第1の実施形態に係るnビットカラムカウンタ（nは偶数）の構成素子数は比較例とほぼ同等であるといえる。

【0120】

次に、カウント動作の際のフリップフロップのデータの変化回数及び同時に変化する最大のビット数について、つまりカウント動作におけるフリップフロップのデータが変化することに起因するノイズ量及びそのピーク量について比較例と本発明の第1の実施形態とを比較する。

【0121】

50

先ず、本発明の第1の実施形態に係る4ビットカラムカウンタ142Aのデータ変化回数について説明する。図10Aは、本発明の第1の実施形態に係る4ビットカラムカウンタ142Aのアップカウントモードにおけるタイミングチャートである。

【0122】

先ず、第0ビット及び第1ビットについて考える。第0及び第1ビットのクロック入力端子にはカウンタクロック信号CKが入力される。本発明の第1の実施形態の例に示すフリップフロップは、図10Aに示すように、カウンタクロック信号CKの立下りエッジに同期してデータが変化する。本発明の第1の実施形態に係るカラムカウンタの第0、第1ビットはそれぞれカウンタクロック信号CKの立下りエッジが2回入力されるごとに1回データを変化する。よって、 $0 \sim 15 (= 2^4 - 1)$ までカウントするためには、15 ($= 2^4 - 1$)回のカウンタクロック信号CKの立下りエッジが入力される。図10Aに示すように第0ビットは1回目の立下りエッジから変化するため、8 ($= 2^4 - 1$)回データが変化する。第1ビットは2回目の立下りエッジから変化するため、7 ($= 2^4 - 1 - 1$)回データが変化する。

【0123】

次に第2、第3ビットについて考える。アップカウントモードでは第2、第3ビットのクロック入力端子には第1ビットの正転出力信号が入力される。また、ダウンカウントモードでは、当該クロック入力端子には第1ビットの反転出力信号が入力される。よって、 $0 \sim 15 (= 2^4 - 1)$ までカウントするためには第2、第3ビットには立下りエッジが3 ($= 2^{4-2} - 1$)回入力される。図10Aに示すように第2ビットは1回目の立下りエッジから変化するため、2 ($= 2^{2-1} - 1$)回データが変化する。第3ビットは2回目のパルスから変化するため、1 ($= 2^{2-1} - 1$)回データが変化する。つまりnビットカラムカウンタでは $0 \sim 2^n - 1$ までカウントアップするのにカラムカウンタを構成するn個のフリップフロップは $(2^n + 2^{n-2} + \dots + 2^4 + 2^2 - n/2)$ 回そのデータが変化する。例えば分解能が10ビットのカラムA/D変換回路は10ビットのカラムカウンタをもつ。この場合、本発明の第1の実施形態に係るカラムカウンタが $0 \sim 1023$ までカウントする間にカラムカウンタの全フリップフロップのデータは合計で1359回変化する。これはダウンカウントにおいても同様である。

【0124】

次に、本発明の第1の実施形態に係るカラムカウンタにおいて同時に変化する最大のビット数について説明する。

【0125】

本発明の第1の実施形態に係るカラムカウンタは、2ビットのジョンソンカウンタを直列に接続した構成である。これにより、偶数ビットから奇数ビットへの桁上がり際には、つまり該カラムカウンタ142を構成するある2ビットのジョンソンカウンタ内の桁上がり際には、桁上がりするジョンソンカウンタの1ビットのみしか変化しない。また、奇数ビットから偶数ビットへの桁上がり際には、つまり概カラムカウンタを構成する2ビットのジョンソンカウンタをまたぐ桁上がり際には、桁上がりが発生する最上位の2ビットジョンソンカウンタから最下位の2ビットジョンソンカウンタのそれぞれ上位ビットのみが変化する。よって、同時にデータが変化する最大ビット数は $n/2$ ビットとなる。これはダウンカウントにおいても同様である。

【0126】

本発明の第1の実施形態に係る4ビットカラムカウンタ142Aにおける、カラムカウンタのデータ変化により発生するノイズレベルの概略図を図10Aのタイミングチャートにあわせて示している。

【0127】

次に、比較例の4ビットリップルカウンタ600Aのデータ変化回数について説明する。比較例の4ビットリップルカウンタ600Aはバイナリカウンタの一種である。比較例の4ビットリップルカウンタ600Aのアップカウントモードにおけるタイミングチャートを図10Bに示す。

【0128】

先ず第0ビット（最下位ビット）について考える。図10Bに示すように最下位ビットはカウンタクロックの立下りエッジが1回入力されるごとに変化する。よって0～15までカウントする間に15（ $=2^4-1$ ）回の立下りエッジがあるため15（ $=2^4-1$ ）回データは変化する。

【0129】

次に第1ビットについて考える。第1ビットでは第0ビットの正転出力信号がクロック入力信号となっているため、7（ $=2^4-1-1$ ）回の立下りエッジが入力される。つまり0～15までカウントする間に7（ $=2^4-1-1$ ）回データが変化する。同様に第2ビットでは3（ $=2^2-1$ ）回、第3ビット（最上位ビット）では1（ $=2^1-1$ ）回データが変化する。

10

【0130】

つまり、 n ビットカウンタでは0～ 2^n-1 までカウントアップするのにカラムカウンタを構成する n 個のフリップフロップは合計で（ $2^1+2^2+\dots+2^n-n$ ）回データが変化する事となる。例えば分解能が10ビットのカラムA/D変換回路は10ビットのカラムカウンタをもつ。この場合、比較例のリプルカウンタが0～1023までカウントする間にカラムカウンタの全フリップフロップのデータは合計で2037回変化する。これはダウンカウントにおいても同様である。

【0131】

次に、比較例のリプルカウンタの同時に変化する最大のビット数について説明する。比較例のリプルカウンタはバイナリカウンタであるため、桁上がりの際に桁上がりビットとそれ以下のビットが全て同時に変化する。よって、同時にデータが変化する最大ビット数は n ビットとなる。これはダウンカウントにおいても同様である。

20

【0132】

比較例の4ビットリプルカウンタ600Aにおける、データ変化により発生するノイズレベルの模式図を図10Bのタイミングチャートにあわせて示している。

【0133】

次に、本発明の第1の実施形態に係るカラムカウンタの具体例である2個の2ビットU/Dジョンソンカウンタと、1個の1ビットU/Dジョンソンカウンタとを含む5ビットカラムカウンタ142Bの例を説明する。

30

【0134】

先ず回路の構成素子数について比較例と本発明の第1の実施形態とを比較する。図11Aは、本発明の第1の実施形態に係る5ビットカラムカウンタ142Bの回路図である。図11Bは、比較例の5ビットリプルカウンタ600Bの回路図である。

【0135】

図11Aに示すように本発明の第1の実施形態に係る5ビットカラムカウンタ142Bは、5個のフリップフロップと9個のマルチプレクサとを含む。一方、比較例の5ビットリプルカウンタ600Bは、5個のフリップフロップと9個のマルチプレクサとを含む。

。

【0136】

次に、 n ビット（ n は奇数）の場合を考える。図11Aに示すように本発明の第1の実施形態に係る2ビットU/Dジョンソンカウンタ401及び402は、2個のフリップフロップと2個の2入力マルチプレクサとを含む。また、本発明の第1の実施形態に係る1ビットU/Dジョンソンカウンタ403は、1個のフリップフロップと1個の2入力マルチプレクサとを含む。よって、本発明の第1の実施形態に係る n ビット（ n は奇数）カラムカウンタは、 n 個のフリップフロップと、 $2n-1$ 個の2入力マルチプレクサとを含む。

40

【0137】

一方、図11Bに示すように比較例の n ビットのリプルカウンタは、最上位ビットを除き各ビットは1個のフリップフロップと、2個の2入力マルチプレクサとを含む。また

50

、最上位ビットは1個のフリップフロップと1個の2入力マルチプレクサとを含む。つまり、比較例のnビットのリプルカウンタはn個のフリップフロップと $2n-1$ 個の2入力マルチプレクサとを含む。以上のことより、本発明の第1の実施形態に係るnビットカラムカウンタ（nは奇数）の構成素子数は比較例と同等である。

【0138】

次に、カウント動作の際のフリップフロップのデータの変化回数及び同時に変化する最大のビット数について、つまりカウント動作におけるフリップフロップのデータが変化することに起因するノイズ量及びそのピーク量について比較例と本発明の第1の実施形態とで比較する。

【0139】

先ず、本発明の第1の実施形態に係るカラムカウンタのデータ変化回数について説明する。図12Aは、本発明の第1の実施形態に係る5ビットカラムカウンタ142Bのアップカウントモードにおけるタイミングチャートである。

【0140】

先ず、第0ビット及び第1ビットについて考える。第0及び第1ビットのクロック入力端子にはカウンタクロック信号CKが入力される。本発明の第1の実施形態の例に示すフリップフロップは、図12Aに示すように、カウンタクロック信号CKの立下りエッジに同期してデータが変化する。本発明の第1の実施形態に係るカラムカウンタの第0、第1ビットはそれぞれカウンタクロック信号CKが2パルス入力されるごとに1回データが変化する。よって、 $0 \sim 31 (= 2^5 - 1)$ までカウントするためには $31 (= 2^5 - 1)$ 回の立下りエッジが入力される。図12Aに示すように第0ビットは1回目の立下りエッジから変化するため、 $16 (= 2^5 - 1)$ 回データが変化する。第1ビットは2回目の立下りエッジから変化するため、 $15 (= 2^5 - 1 - 1)$ 回データが変化する。

【0141】

次に第2、第3ビットについて考える。アップカウントモードでは第2、第3ビットのクロック入力端子には第1ビットの正転出力信号が入力される。また、ダウンカウントモードでは当該クロック入力端子には第1ビットの反転出力信号が入力される。よって $0 \sim 31 (= 2^5 - 1)$ までカウントするためには第2、第3ビットに入力されるパルスの立下りエッジは $7 (= 2^5 - 2 - 1)$ 回となる。図12Aに示すように第2ビットは1回目の立下りエッジから変化するため、 $4 (= 2^5 - 3)$ 回データが変化する。第3ビットは2回目の立下りエッジから変化するため、 $3 (= 2^5 - 3 - 1)$ 回データが変化する。

【0142】

次に第5ビットについて説明する。アップカウントモードでは第4ビットのクロック入力端子には第3ビットの正転出力信号が入力される。また、当該クロック入力端子にはダウンカウントモードでは第3ビットの反転出力信号が入力される。よって $0 \sim 31 (= 2^5 - 1)$ までカウントするためには第4ビットに入力される立下りエッジは $1 (= 2^5 - 4 - 1)$ 回である。第4ビット（最上位ビット）はクロック入力端子に立下りエッジが1回入力されるごとに1回データを変化させるため、 $1 (= 2^5 - 4 - 1)$ 回データが変化する。つまり、本発明の第1の実施形態に係るnビットのカラムカウンタ（nは奇数）では $0 \sim 2^n - 1$ までカウントアップするのにカラムカウンタを構成するn個のフリップフロップは $(2^n + 2^{n-2} + \dots + 2^3 + 2^1 - ((n-1)/2 + 1))$ 回そのデータが変化する。例えば分解能が11ビットのカラムA/D変換回路は11ビットのカラムカウンタをもつ。この場合、本発明の第1の実施形態に係るカラムカウンタが $0 \sim 2047$ までカウントする間にカラムカウンタの全フリップフロップのデータは合計で2724回変化する。これはダウンカウントにおいても同様である。

【0143】

次に、本発明の第1の実施形態に係るカラムカウンタの同時に変化する最大のビット数について説明する。本発明の第1の実施形態に係るカラムカウンタは、2個の2ビットのジョンソンカウンタと、1個の1ビットのジョンソンカウンタとを直列に接続した構成である。これにより、偶数ビットから奇数ビットへの桁上がりの際には、つまり該カラムカ

10

20

30

40

50

ウンタを構成するある 2 ビットのジョンソンカウンタ内の桁上がりの際には、桁上がりするジョンソンカウンタの 1 ビットのみしか変化しない。また、奇数ビットから偶数ビットへの桁上がりの際には、つまり概カラムカウンタを構成するジョンソンカウンタをまたぐ桁上がりの際には、桁上がりが発生する最上位のジョンソンカウンタから最下位のジョンソンカウンタのそれぞれ上位ビットのみが変化する。よって、同時にデータが変化する最大ビット数は $(n-1)/2 + 1$ ビットとなる。これはダウンカウントにおいても同様である。

【0144】

次に、比較例の 5 ビットリップルカウンタ 600 B のデータ変化回数について説明する。比較例の 5 ビットリップルカウンタ 600 B はバイナリカウンタの一種である。比較例の 5 ビットリップルカウンタ 600 B のアップカウントモードにおけるタイミングチャートを図 12 B に示す。

10

【0145】

先ず第 0 ビット（最下位ビット）について考える。図 12 B に示すように最下位ビットはカウンタクロック信号 CK の立下りエッジが 1 回入力されるごとに変化する。よって 0 ～ 31 までカウントする間に 31 ($= 2^5 - 1$) 回の立下りエッジがあるため 31 ($= 2^5 - 1$) 回データは変化する。

【0146】

次に第 1 ビットについて考える。第 1 ビットでは第 0 ビットの正転出力信号がクロック入力信号となっているため、15 ($= 2^{5-1} - 1$) 回の立下りエッジが入力される。つまり 0 ～ 31 までカウントする間に 15 ($= 2^{5-1} - 1$) 回データが変化する。

20

【0147】

同様に第 2 ビットでは 7 ($= 2^{5-2} - 1$) 回、第 3 ビットでは 3 ($= 2^{5-3} - 1$) 回、第 4 ビットでは 1 ($= 2^{5-4} - 1$) 回データが変化する。

【0148】

つまり n ビットカウンタでは 0 ～ $2^n - 1$ までカウントアップするのにリップルカウンタを構成する n 個のフリップフロップは合計で $(2^1 + 2^2 + \dots + 2^n - n)$ 回データが変化する事となる。例えば分解能が 11 ビットのカラム A/D 変換回路は 11 ビットのカラムカウンタをもつ。この場合、比較例のリップルカウンタが 0 ～ 2047 までカウントする間にカラムカウンタの全フリップフロップのデータは合計で 4083 回変化する。これはダウンカウントにおいても同様である。

30

【0149】

次に、比較例のリップルカウンタの同時に変化する最大のビット数について説明する。比較例のリップルカウンタはバイナリカウンタである。よって、桁上がりの際に桁上がりビットとそれ以下のビットが全て同時に変化するため同時にデータが変化する最大ビット数は n ビットとなる。これはダウンカウントにおいても同様である。

【0150】

比較例の 5 ビットリップルカウンタ 600 B のデータ変化により発生するノイズレベルの模式図を図 12 B のタイミングチャートにあわせて示している。

【0151】

以上より、本発明の第 1 の実施形態に係るカラム A/D 変換回路 140 を構成するカラムカウンタ 142 は、比較例のリップルカウンタと回路規模はほぼ同等である。また、当該カラムカウンタ 142 は、カウント動作におけるカウンタのデータ変化回数及び同時に変化するビット数、つまり、カウント動作におけるノイズ量及びピークノイズ量を大幅に低減できる。また、カラムカウンタ 142 はデータ変化量が少ないため低消費電力化も期待できる。

40

【0152】

次に、図 1 に示す出力回路 160 について説明する。前述したように本発明に係るカラム A/D 変換回路 140 を構成するカラムカウンタ 142 の計数コードは一般的なコードとは異なる。よってこの計数コードを、本発明に係る固体撮像装置 50 の後段に配置され

50

るDSP回路などが処理できるバイナリコードに変換する必要がある。

【0153】

先ず、本発明の第1の実施形態に係るカラムカウンタ142のビット数 n が偶数である場合について説明する。図13は、本発明の第1の実施形態に係るカラムカウンタ142を構成する2ビットジョンソンカウンタと、通常の2ビットバイナリカウンタとのコード比較表である。

【0154】

図13に示すように、本発明の第1の実施形態に係る2ビットジョンソンカウンタの第1ビット（上位ビット）は2ビットバイナリカウンタと同一である。つまり、奇数ビットから偶数ビットへの桁上がりのタイミングはバイナリコードと変わらない。つまり、偶数ビットのみに処理を行うことで、カラムカウンタ142の計数コードをバイナリコードに変換できる。

10

【0155】

図14Aは、本発明の第1の実施形態に係る n ビット（ n は偶数）の出力回路160の構成を示す図である。図14Aに示す出力回路160は、コード変換回路411と出力バッファ412とを含む。コード変換回路411は、 $n/2$ 個の偶数ビットコード変換回路413を含む。各コード変換回路411は、対応する偶数ビットと、当該偶数ビットの上位1ビットとのデータを用いて、当該偶数ビットのデータを、バイナリコードの対応するビットのデータに変換する。

【0156】

次に、本発明の第1の実施形態におけるカラムカウンタ142のビット数 $n+1$ が奇数である場合について説明する。

20

【0157】

図4Bに示すように、カラムカウンタ142のビット数が奇数の場合、ビット数が偶数の場合と異なる点は最上位ビットが1ビットのジョンソンカウンタ403で構成される点である。それ以下の n ビットについては前述したとおりである。また、前述したようにカラムカウンタ142のビット数が奇数である場合の最上位ビットは比較例のリプルカウンタの最上位ビットと同様の動作となる。よってカラムカウンタ142のビット数が奇数である場合の最上位ビットは他の偶数ビットと異なり、奇数ビットと同様にリプルカウンタと同様となる。よって、最上位ビットを除く偶数ビットのみに処理を行うことで、カラムカウンタ142の計数コードをバイナリコードに変換できる。

30

【0158】

図14Bは、本発明の第1の実施形態に係る $n+1$ ビット（ n は偶数）の出力回路160の構成を示す図である。図14Bに示す出力回路160は、コード変換回路411と出力バッファ412とを含む。コード変換回路411は $n/2$ 個の偶数ビットコード変換回路413を含む。

【0159】

図15は、偶数ビットコード変換回路413の一例を示す図である。図15に示すように偶数ビットコード変換回路413は、2個のインバータと、3個の2入力NANDとを含む。本発明の第1の実施形態では1つのコード変換回路411を全カラムA/D変換回路140で時間分割して使用する。よって、固体撮像装置50に追加する回路規模を非常に小さくできる。また、このコード変換回路411の配置箇所は、カラムA/D変換回路140とは異なり比較的自由度がある。よって、このコード変換回路411を、ノイズに敏感なアナログ回路から離して配置できる。

40

【0160】

なお、ここでは、コード変換回路411が、出力バス170により伝送された計数コードをバイナリコードに変換する例を述べたが、コード変換回路411は、当該計数コードをバイナリコード以外の別のコードに変換してもよい。

【0161】

以上より、本発明の第1の実施形態に係る固体撮像装置50は、カラムカウンタ142

50

を構成要素としてもつカラム A/D 変換回路 140 を備える。カラムカウンタ 142 は、直列に接続された、ハミング距離が 1 の複数のカウンタで構成されている。これにより、本発明の第 1 の実施形態に係る固体撮像装置 50 は、回路規模の増大を抑えつつ A/D 変換時のカウンタ動作によるノイズの発生を低減できる。

【0162】

また、カラムカウンタ 142 は、アップカウントモードとダウンカウントモードとを有する。さらに、カラムカウンタ 142 は、アップカウントモードとダウンカウントモードとの切り替え時にその計数値を保持する機能を有する。これにより、本発明の第 1 の実施形態に係る固体撮像装置 50 は、A/D 変換動作におけるカウント動作により発生するノイズをより低減できる。

10

【0163】

(第 1 の実施形態の変化例)

図 16 は、第 1 の実施形態の変形例に係る固体撮像装置 51 の構成を示す図である。なお、図 1 と同様の要素には同一の符号を付しており、重複する説明は省略する。

【0164】

図 16 に示す固体撮像装置 51 は、図 1 に示す固体撮像装置 50 に対して、カラム A/D 変換回路 140 から画素信号に応じた計数値を読み出すための複数の出力バス 171 及び複数の出力回路 161 を備える点が異なる。

【0165】

また、各カラム A/D 変換回路 140 はそれぞれ 1 つの出力バス 171 に接続されている。出力バス 171 にはそれぞれに出力回路 161 が接続されている。各出力回路 161 は上述した出力回路 160 と同等の構成である。水平選択回路 120 は異なる出力バス 171 に接続される複数のカラム A/D 変換回路 140 からそれぞれ 1 つずつを選択することにより、各出力バス 171 に並列にカラム A/D 変換回路 140 のカラムカウンタ 142 に保持された計数コードを読み出す。そして、各出力バス 171 に接続されている出力回路 161 は、各々並列にカラムカウンタ 142 の計数コードをバイナリコードに変換し、変換したバイナリコードを並列に出力する。以上により、この固体撮像装置 51 は、カラム A/D 変換回路 140 の変換結果を高速に読み出すことができる。

20

【0166】

(第 2 の実施形態)

本発明の第 2 の実施形態では、上述した第 1 の実施形態に係る固体撮像装置 50 の変形例について説明する。

30

【0167】

図 17 は、本発明の第 2 の実施形態に係る固体撮像装置 52 の構成を示す図である。なお、図 1 と同様の要素には同一の符号を付しており、重複する説明は省略する。また、図 18 は、本発明の第 2 の実施形態に係る固体撮像装置 52 の動作を示すタイミングチャートである。

【0168】

図 17 に示す第 2 の実施形態に係る固体撮像装置 52 は、図 1 に示す固体撮像装置 50 に対して、タイミング制御回路 230 と、カラム A/D 変換回路 240 との機能が異なる。

40

【0169】

具体的には、タイミング制御回路 230 は、さらに、データ転送信号 LAT を生成する。

【0170】

カラム A/D 変換回路 240 は、さらに、デジタルメモリ 244 を備える。このデジタルメモリ 244 は、カラムカウンタ 142 が保持している計数コードをコピーし保持する。より詳細には、カラムカウンタ 142 の出力端子は、デジタルメモリ 244 に接続されている。このデジタルメモリ 244 は、タイミング制御回路 230 から供給されるデータ転送信号 LAT に応じて、各カラムカウンタ 142 の計数コードを取り込み保持する。ま

50

た、デジタルメモリ 244 に保持された計数コードは、出力スイッチ 143 を介して、出力バス 170 に読み出される。

【0171】

次に、本発明の実施形態に係る固体撮像装置 52 の動作を説明する。

【0172】

なお、画素信号の A/D 変換処理は、上述した第 1 の実施形態と同様なので、説明は省略する。

【0173】

A/D 変換処理の後、タイミング制御回路 230 より生成されたデータ転送信号 LAT に応じて、各カラム A/D 変換回路 240 に含まれるデジタルメモリ 244 は、カラムカウンタ 142 が保持している計数値を取り込む。これにより、各デジタルメモリ 244 に、各デジタルメモリ 244 に対応するカラムカウンタ 142 の計数値がコピーされる。

【0174】

次に、各デジタルメモリ 244 に保持された計数値は水平選択回路 120 により順次出力バス 170 に読み出される。そして、読み出された計数コードは出力回路 160 に入力される。出力回路 160 は、入力された計数コードをバイナリコードに変換し出力する。

【0175】

また、図 18 のタイミングチャートに示すように、本発明の第 2 の実施形態ではカラムカウンタ 142 に保持された A/D 変換結果である計数値はデジタルメモリ 244 にコピーされているため、A/D 変換結果の読み出し及びバイナリコードへの変換と並列して、次行の画素の A/D 変換処理を行うことが可能である。これにより、本発明の第 2 の実施形態に係る固体撮像装置 52 は、読み出し時間の短縮つまりフレームレートの向上を実現できる。

【0176】

なお、固体撮像装置 52 は、第 1 の実施形態の変形例と同様に出力バス 170 を複数備えてもよい。これにより、デジタルメモリ 244 に保持されたデータの読み出しレートを高速化できるので、フレームレートを向上できる。

【0177】

(第 3 の実施形態)

本発明の第 3 の実施形態では、上述した第 1 又は第 2 の実施形態に係る固体撮像装置を複数の半導体チップで構成する場合の例を説明する。

【0178】

図 19 は、本発明の第 3 の実施形態に係る固体撮像装置 53 を示す図である。本発明の第 3 の実施形態に係る固体撮像装置 53 は、半導体チップ 710 及び 720 を含む。

【0179】

半導体チップ 710 には、画素アレイ 100 を含む画素部が形成されている。半導体チップ 720 には、カラム A/D 変換回路アレイ 721 を含む A/D 変換部が形成されている。ここで、画素アレイ 100 は、上述した第 1 又は第 2 の実施形態に係る固体撮像装置が備える画素アレイ 100 と同一のものである。また、カラム A/D 変換回路アレイ 721 は、上述した第 1 又は第 2 の実施形態に係る固体撮像装置が備える複数のカラム A/D 変換回路 140 又は 240 を含む。

【0180】

このように、画素部と A/D 変換部とを別の半導体チップ 710 及び 720 上に形成することにより、画素部と A/D 変換部とを異なる半導体製造プロセスを用いて形成できる。例えば、画素部を、CCD プロセスを用いて形成し、A/D 変換部を、CMOS プロセスを用いて形成できる。言い換えると、本発明は CCD イメージセンサに適用することもできる。

【0181】

以上のように第 1 ～第 3 の実施形態を用いて本発明を例示してきたが、本発明は上記の実施形態においてのみ解釈されるものではなく、特許請求の範囲によってのみその範囲が

10

20

30

40

50

解釈されるべきである。

【0182】

例えば、上記実施形態では画素リセット電位にダウンカウントを用いるとともに、画素信号電位にアップカウントを用いてA/D変換を行う例を示したが逆でもかまわない。

【0183】

また、本発明は、上記第1～第3の実施形態に係る固体撮像装置を備える撮像装置（カメラ）として実現してもよい。

【0184】

図20は、本発明に係る撮像装置800の構成を示すブロック図である。

【0185】

図20に示す撮像装置800は、例えば、デジタルスチルカメラ又はデジタルビデオカメラ等であり、固体撮像装置50と、駆動回路801と、信号処理部802と、レンズ803と、外部インターフェイス部804とを備える。

【0186】

固体撮像装置50は、上述した第1の実施形態に係る固体撮像装置50である。なお、撮像装置800は、当該固体撮像装置50の代わりに、上述した第2又は第3の実施形態に係る固体撮像装置を備えてもよい。

【0187】

この固体撮像装置50は、レンズ803により集光された光を電気信号に変換することによりデジタル信号を生成する。

【0188】

駆動回路801は、固体撮像装置50を駆動する。

【0189】

信号処理部802は、駆動回路801を通して固体撮像装置50を制御するとともに、固体撮像装置50から出力されたデジタル信号に所定の処理を行う。また、信号処理部802は、処理した信号を、外部インターフェイス部804を通して外部に出力したり、撮像装置800が備える記憶部（図示せず）に記憶したりする。

【0190】

以上の構成により、撮像装置800は、上述した固体撮像装置50を用いることで、回路規模の増大を抑えつつA/D変換時のカウンタ動作によるノイズの発生を低減できる。

【0191】

また、上記説明では、本発明に係るカラムカウンタは、複数のジョンソンカウンタを直列に接続した構成であるとしたが、複数のグレイコードカウンタを直列にしてもよい。ここで、ジョンソンカウンタ及びグレイコードカウンタは、共に隣接する計数コードのハミング距離が1である。よって、グレイコードカウンタを用いた場合でも、上記と同様の効果を実現できる。また、2ビットのグレイコードカウンタと2ビットのジョンソンカウンタとは等価である。よって、2ビットのグレイコードカウンタは、上述した2ビットのジョンソンカウンタと同様の構成で実現できる。

【0192】

また、上記説明では、カラムカウンタに含まれる複数のカウンタが全てジョンソンカウンタの場合を例に説明したが、当該複数のカウンタの一部のみがジョンソンカウンタであってもよい。同様に、当該複数のカウンタの一部のみがグレイコードカウンタであってもよい。

【0193】

また、上記実施の形態に係る固体撮像装置及び撮像装置に含まれる各処理部は典型的には集積回路であるLSIとして実現される。これらは個別に1チップ化されてもよいし、一部又は全てを含むように1チップ化されてもよい。

【0194】

また、集積回路化はLSIに限るものではなく、専用回路又は汎用プロセッサで実現してもよい。LSI製造後にプログラムすることが可能なFPGA（Field Prog

10

20

30

40

50

rammable Gate Array)、又はLSI内部の回路セルの接続や設定を再構成可能なリコンフィギュラブル・プロセッサを利用してもよい。

【0195】

また、上記実施の形態1～3に係る、固体撮像装置、撮像装置及びそれらの変形例の機能のうち少なくとも一部を組み合わせてもよい。

【0196】

また、上記で用いた数字は、全て本発明を具体的に説明するために例示するものであり、本発明は例示された数字に制限されない。さらに、ハイ／ローにより表される論理レベル又はオン／オフにより表されるスイッチング状態は、本発明を具体的に説明するために例示するものであり、例示された論理レベル又はスイッチング状態の異なる組み合わせにより、同等な結果を得ることも可能である。さらに、上で示した論理回路の構成は本発明を具体的に説明するために例示するものであり、異なる構成の論理回路により同等の入出力関係を実現することも可能である。

【産業上の利用可能性】

【0197】

本発明は、固体撮像装置に適用できる。また、本発明は、固体撮像装置を用いる、デジタルスチルカメラ及びデジタルビデオカメラ等の撮像装置に適用できる。

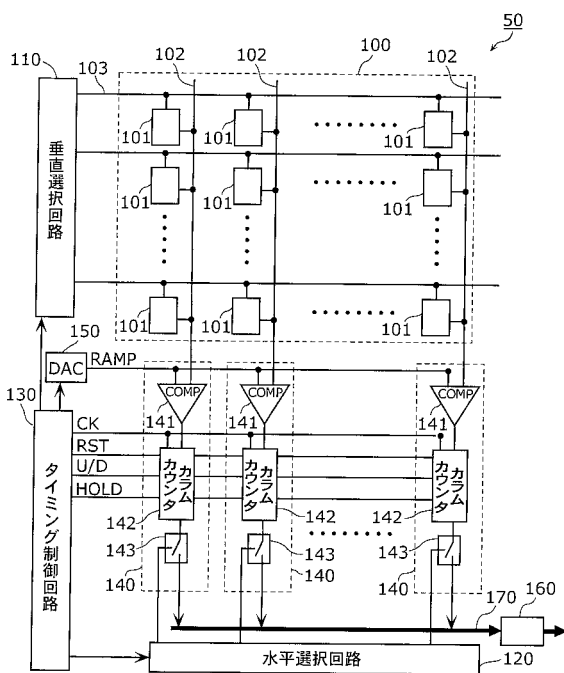
【符号の説明】

【0198】

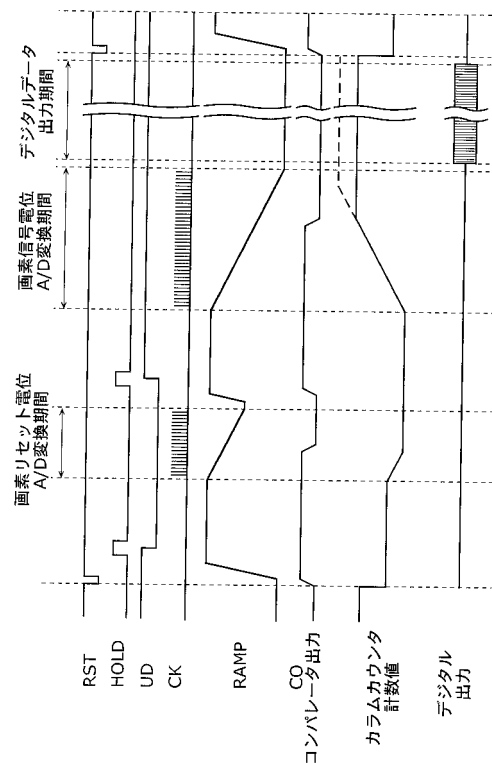
10	固体撮像素子	20
11	画素アレイ部	
12	行走査回路	
13	列走査回路	
14	タイミング制御回路	
15	A D C 群	
15A	A D C	
16	D A C	
17	データ出力回路	
18	データ転送線	
50、51、52、53	固体撮像装置	30
100	画素アレイ	
101	画素	
102	垂直信号線	
103	制御信号線	
110	垂直選択回路	
111	単位画素	
120	水平選択回路	
130、230	タイミング制御回路	
140、240	カラムA／D変換回路	
141	比較器	40
142	カラムカウンタ	
142A	4ビットカラムカウンタ	
142B	5ビットカラムカウンタ	
143	出力スイッチ	
150	D／A変換回路	
151	コンパレータ	
152	カウンタ	
154	スイッチ	
160、161	出力回路	
170、171	出力バス	50

- | | |
|-------------------------------|-------------------|
| 2 4 4 | デジタルメモリ |
| 3 0 1 | ジョンソンカウンタ |
| 4 0 1、4 0 2、4 0 3 | ジョンソンカウンタ |
| 4 1 1 | コード変換回路 |
| 4 1 2 | 出力バッファ |
| 4 1 3 | 偶数ビットコード変換回路 |
| 5 0 1、5 0 2、5 0 3 | フリップフロップ |
| 5 0 4、5 0 5、5 0 6、5 0 7、5 0 8 | マルチプレクサ |
| 6 0 0 A | 4ビットリップルカウンタ |
| 6 0 0 B | 5ビットリップルカウンタ |
| 7 1 0、7 2 0 | 半導体チップ |
| 7 2 1 | カラム A / D 変換回路アレイ |

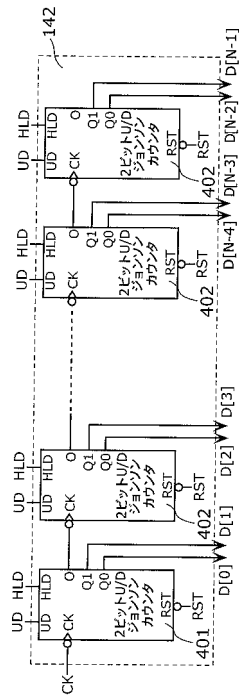
【 図 1 】



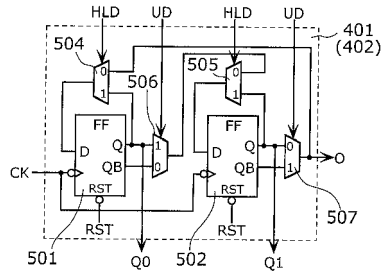
【図 2】



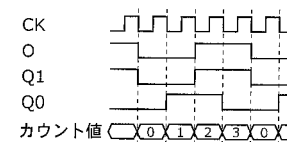
【図 4 A】



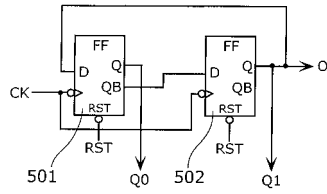
【図 5】



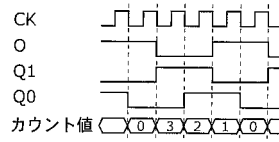
【図 6 B】



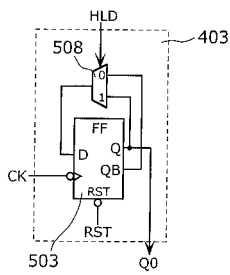
【図 7 A】



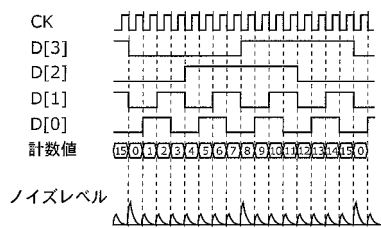
【図 7 B】



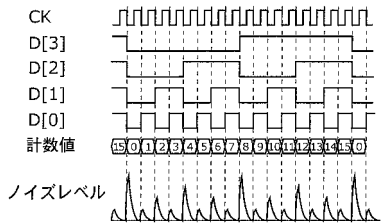
【図 8 A】



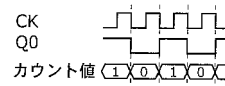
【図 10 A】



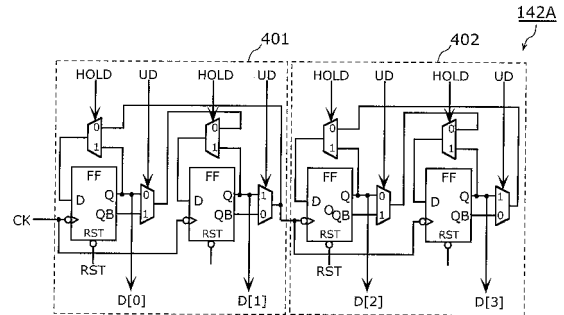
【図 10 B】



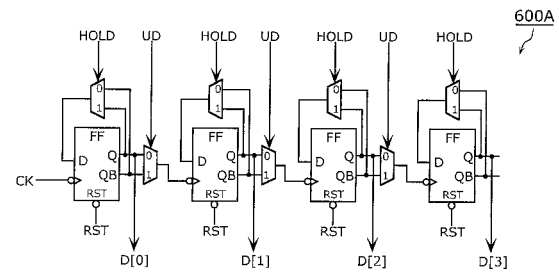
【図 8 B】



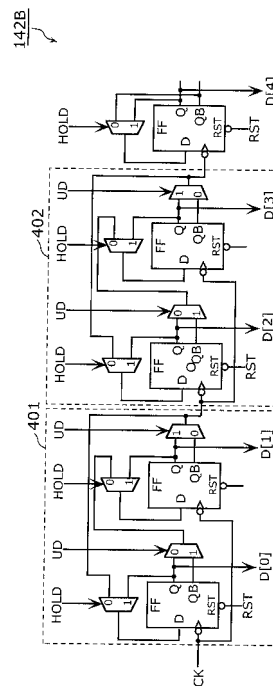
【図 9 A】



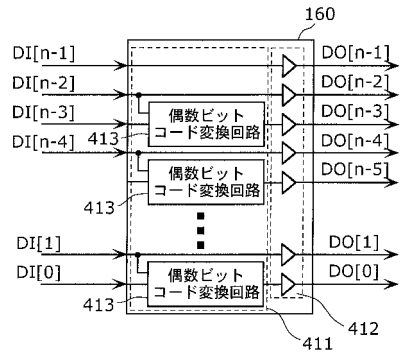
【図 9 B】



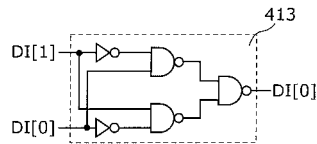
【図 11 A】



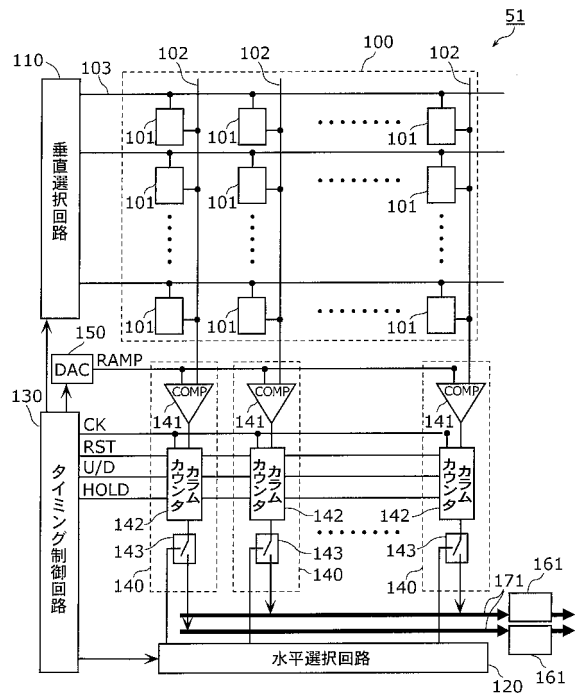
【図 14 B】



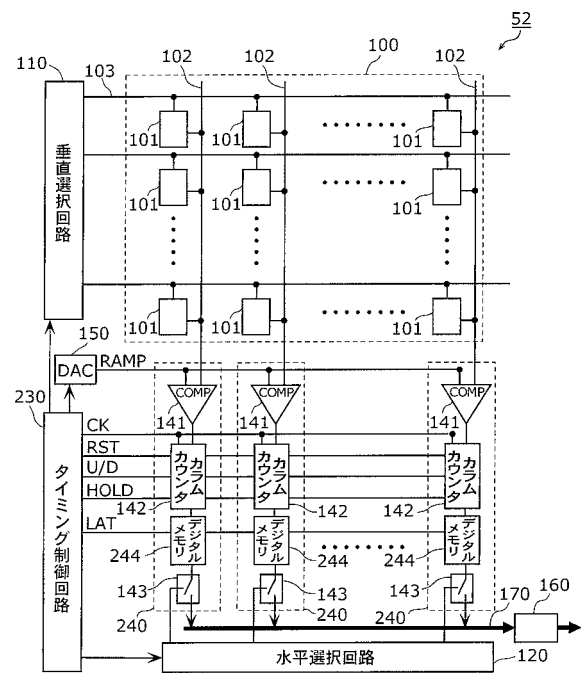
【図 15】



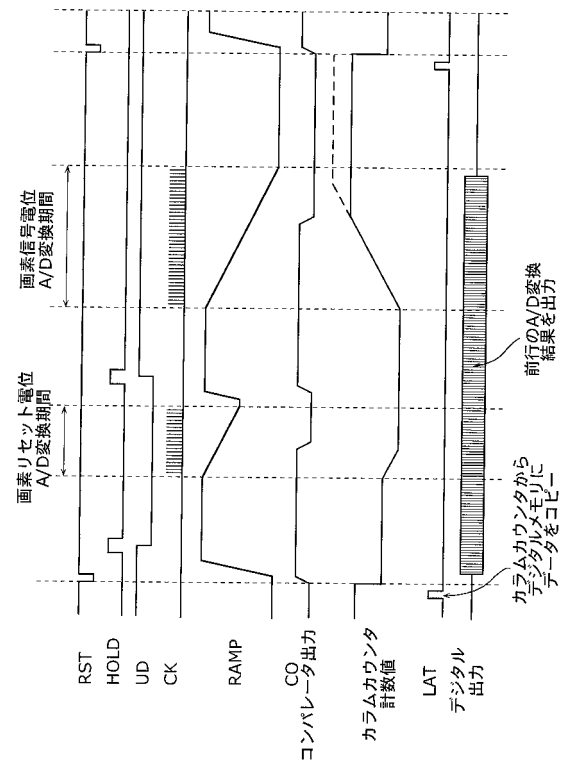
【図 16】



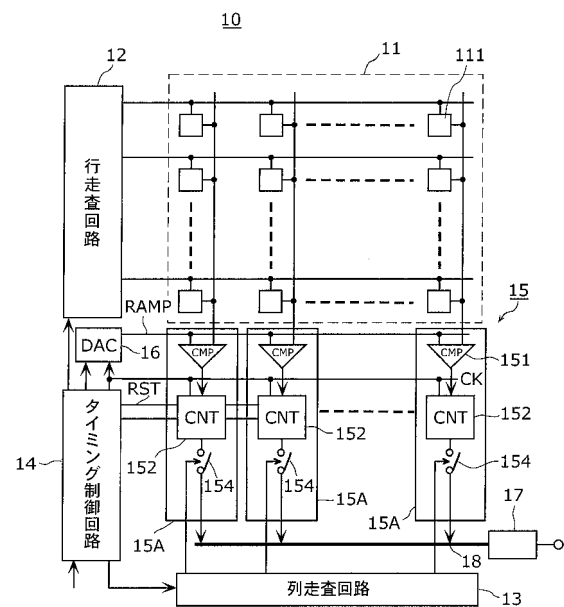
【図 17】



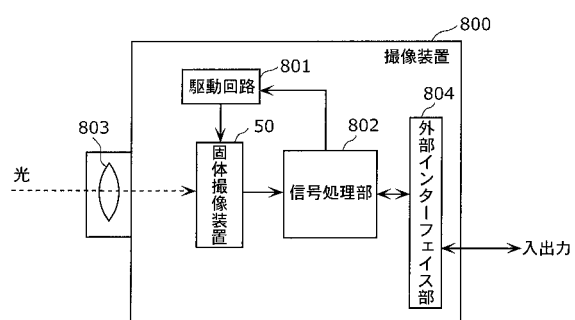
【図 18】



【図 2 1】



【図 20】



【图 2 2】

