



(21) 申請案號：111121972 (22) 申請日：中華民國 111 (2022) 年 06 月 14 日  
 (51) Int. Cl. : *H01L23/538 (2006.01)* *H01L23/52 (2006.01)*  
*H01L23/48 (2006.01)*  
 (30) 優先權：2021/07/27 美國 17/443,740  
 (71) 申請人：美商高通公司 (美國) QUALCOMM INCORPORATED (US)  
 美國  
 (72) 發明人：佩托 安尼奇 PATIL, ANIKET (IN) ; 那哇賈 布里漢 NAVAJA, BRIGHAM  
 (US) ; 魏 弘博 WE, HONG BOK (US)  
 (74) 代理人：李世章  
 申請實體審查：無 申請專利範圍項數：31 項 圖式數：8 共 64 頁

## (54) 名稱

在晶粒-基板支起腔中採用晶粒到晶粒 (D2D) 連接的拆分式晶粒積體電路 (IC) 封裝及相關製造方法

## (57) 摘要

在晶粒-基板支起腔 (亦即, 腔) 中採用 D2D 互連結結構以提供 D2D 連接的拆分式晶粒 IC 封裝及相關製造方法。為了促成拆分式晶粒 IC 封裝中的多個晶粒之間的 D2D 通訊, 封裝基板亦包括 D2D 互連結結構 (例如, 互連橋), 該 D2D 互連結結構包含耦合到該多個晶粒的 D2D 互連 (例如, 金屬互連) 以提供該多個晶粒之間的 D2D 訊號路由。D2D 互連結結構被佈置在晶粒與封裝基板之間由於晶粒互連被佈置在晶粒與封裝基板之間以使晶粒從封裝基板支起而導致的晶粒支起區中形成的腔中。D2D 互連結結構可被提供在 IC 封裝中在封裝基板之外的腔中, 以將封裝基板中的更多區域保留用於其他互連。

Split die IC packages employing a D2D interconnect structure in a die-substrate standoff cavity (i.e., cavity) to provide D2D connections, and related fabrication methods. To facilitate D2D communications between multiple dies in the split die IC package, the package substrate also includes a D2D interconnect structure (e.g., interconnect bridge) that contains D2D interconnects (e.g., metal interconnects) coupled to the multiple dies to provide D2D signal routing between the multiple dies. The D2D interconnect structure is disposed in a cavity that is formed in a die standoff area between the dies and the package substrate as a result of the die interconnects being disposed between the dies and the package substrate standing off the dies from the package substrate. The D2D interconnect structure can be provided in the cavity in the IC package outside of the package substrate to reserve more area in the package substrate for other interconnections.

指定代表圖：



## 【發明摘要】

【中文發明名稱】在晶粒-基板支起腔中採用晶粒到晶粒（D2D）連接的拆分式晶粒積體電路（IC）封裝及相關製造方法

【英文發明名稱】 SPLIT DIE INTEGRATED CIRCUIT (IC) PACKAGES EMPLOYING DIE-TO-DIE (D2D) CONNECTIONS IN DIE-SUBSTRATE STANDOFF CAVITY, AND RELATED FABRICATION METHODS

### 【中文】

在晶粒 - 基板支起腔（亦即，腔）中採用 D 2 D 互連結構以提供 D 2 D 連接的拆分式晶粒 IC 封裝及相關製造方法。為了促成拆分式晶粒 IC 封裝中的多個晶粒之間的 D 2 D 通訊，封裝基板亦包括 D 2 D 互連結構（例如，互連橋），該 D 2 D 互連結構包含耦合到該多個晶粒的 D 2 D 互連（例如，金屬互連）以提供該多個晶粒之間的 D 2 D 訊號路由。D 2 D 互連結構被佈置在晶粒與封裝基板之間由於晶粒互連被佈置在晶粒與封裝基板之間以使晶粒從封裝基板支起而導致的晶粒支起區中形成的腔中。D 2 D 互連結構可被提供在 IC 封裝中在封裝基板之外的腔中，以將封裝基板中的更多區域保留用於其他互連。

### 【英文】

Split die IC packages employing a D2D interconnect structure in a die-substrate standoff cavity (i.e., cavity) to provide D2D connections, and related fabrication methods. To facilitate D2D communications between multiple dies in the split die IC package, the package substrate also includes a D2D interconnect structure (e.g., interconnect bridge) that contains D2D interconnects (e.g., metal interconnects)

coupled to the multiple dies to provide D2D signal routing between the multiple dies. The D2D interconnect structure is disposed in a cavity that is formed in a die standoff area between the dies and the package substrate as a result of the die interconnects being disposed between the dies and the package substrate standing off the dies from the package substrate. The D2D interconnect structure can be provided in the cavity in the IC package outside of the package substrate to reserve more area in the package substrate for other interconnections.

【指定代表圖】第 ( 2B ) 圖。

【代表圖之符號簡單說明】

2 0 0 : 封 裝

2 0 2 : D 2 D 互 連 結 構

2 0 4 : 支 起 腔

2 0 6 ( 1 ) : 晶 粒

2 0 8 : 封 裝 基 板

2 1 0 : 晶 粒 互 連

2 1 0 ( 1 ) : 晶 粒 互 連

2 1 0 ( 2 ) : 晶 粒 互 連

2 1 1 : 外 部 互 連

2 1 2 : 晶 粒 分 隔 區

2 1 4 : 晶 粒 模 組

2 1 6 : 包 塑 化 合 物

2 1 8 : 重 構 晶 片

2 2 0 : 介 電 層

2 2 2 : 封 裝 化 合 物

2 2 4 ( 1 ) : 主 動 側

2 2 4 ( 2 ) : 主 動 側

2 2 6 ( 1 ) : 背 側

2 2 6 ( 2 ) : 背 側

2 2 8 : 晶 粒 支 起 區

2 3 2 : D 2 D 互 連

2 3 4 ( 1 ) : D 2 D 介 面 電 路 系 統

2 3 4 ( 2 ) : D 2 D 介 面 電 路 系 統

A<sub>2</sub> : 線

A<sub>2</sub>' : 線

D<sub>1</sub> : 距 離

H<sub>3</sub> : 高 度

H<sub>4</sub> : 高 度

H<sub>5</sub> : 高 度

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】在晶粒-基板支起腔中採用晶粒到晶粒（D2D）連接的拆分式晶粒積體電路（IC）封裝及相關製造方法

【英文發明名稱】 SPLIT DIE INTEGRATED CIRCUIT (IC) PACKAGES EMPLOYING DIE-TO-DIE (D2D) CONNECTIONS IN DIE-SUBSTRATE STANDOFF CAVITY, AND RELATED FABRICATION METHODS

### 【技術領域】

【0001】 本案的領域係關於積體電路（IC）封裝，尤其係關於拆分式半導體晶粒IC封裝。

### 【先前技術】

【0002】 積體電路（IC）是電子裝置的基石。IC被封裝在IC封裝（亦被稱為「半導體封裝」或「晶片封裝」）中。IC封裝包括作為（諸）IC的一或多個半導體晶粒，這些半導體晶粒被安裝在封裝基板上並與封裝基板電耦合，以提供實體支撐和至（諸）半導體晶粒的電介面。封裝基板包括一或多個金屬化層，這些金屬化層包括具有垂直互連通路（通孔）的電跡線（例如，金屬線），這些垂直互連通路將這些電跡線一起耦合在毗鄰金屬化層之間，以在（諸）半導體晶粒之間提供電介面。（諸）半導體晶粒被安裝到封裝基板的頂層或外層中所暴露的金屬互連並與這些金屬互連電對接，以將（諸）半導體晶粒電耦合到封裝基板的電跡線。封裝基板包括具有金屬互連的外部外層，以提供IC封裝中的半導體晶粒與外部電路系統之間的外部介面。

**【0003】** 基於預期應用，有各種各樣的IC封裝。拆分式半導體晶粒IC封裝（「拆分式晶粒」IC封裝）是包含兩（2）個或更多個半導體晶粒的封裝，這些半導體晶粒通常彼此並排佈置。半導體晶粒被安裝在封裝基板上並與封裝基板電耦合，以提供實體支撐並提供至半導體晶粒的電介面。根據拆分式IC封裝的所設計的操作，可能需要在拆分式晶粒之間提供用於晶粒到晶粒（D2D）通訊的訊號介面。例如，每個拆分式晶粒可包括D2D介面電路系統，該D2D介面電路系統提供至內部電路系統和另一晶粒的通訊訊號介面。就此而言，拆分式晶粒IC封裝可包括D2D互連結構，該D2D互連結構將每個晶粒的D2D介面電路系統之間的D2D連接包括在一起以提供這些晶粒之間的訊號介面。一般的拆分式IC封裝採用D2D中介體，以提供D2D互連結構。例如，該D2D中介體可作為封裝基板中充當訊號介面橋的矽中介體來提供。作為另一實例，D2D中介體可以是嵌入式晶片級封裝（eWLP），該eWLP包括多個重分佈層（RDL）作為金屬化層，以支援D2D連接。然而，在任一情形中，提供額外金屬化層以提供D2D連接可能以不期望的方式增加IC封裝的封裝高度。

**【發明內容】**

**【0004】** 本文中所揭示的各態樣包括示例性拆分式晶粒積體電路（IC）封裝，該IC封裝在晶粒-基板支起腔（亦即，腔）中採用晶粒到晶粒（D2D）互連結構以提供D2D連接。亦揭示相關製造方法。在示例性態樣，拆分式晶粒IC封裝

包括耦合到封裝基板的至少兩個半導體晶粒（「晶粒」）。封裝基板包括一或多個金屬化層，每個金屬化層具有金屬互連（例如，金屬線或跡線），這些金屬互連可提供晶粒與外部互連（例如，焊料凸塊）之間的訊號路由。拆分式晶粒 IC 封裝包括晶粒與封裝基板之間的複數個晶粒互連（例如，具有焊料接頭的晶粒凸塊），這些晶粒互連將晶粒電耦合到封裝基板以進行訊號路由。在示例性態樣，為了促成拆分式晶粒 IC 封裝中的多個晶粒之間的 D 2 D 通訊，封裝基板亦包括 D 2 D 互連結構（例如，互連橋），該 D 2 D 互連結構包含耦合到多個晶粒的 D 2 D 互連（例如，金屬互連）以提供該多個晶粒之間的 D 2 D 訊號路由。D 2 D 互連結構被佈置在晶粒與封裝基板之間由於晶粒互連被佈置在晶粒與封裝基板之間以將晶粒從封裝基板支起而導致的晶粒支起區中形成的腔中。以此方式，D 2 D 互連結構可被提供在 IC 封裝中在封裝基板之外的腔中，以保留封裝基板中的更多區域用於其他互連（諸如在晶粒與外部互連之間）。在封裝基板之外提供 D 2 D 互連結構亦能夠降低拆分式晶粒 IC 封裝的整體高度，這是因為封裝基板的原本會被用於 D 2 D 連接的金屬互連所消耗的區域可被用於其他訊號路由及 / 或其他裝置（例如，被動裝置）。而且，經由在腔中提供 D 2 D 互連結構，與在封裝基板中提供 D 2 D 互連的情形相比，D 2 D 互連可位於更靠近晶粒，並且由此長度更短，從而降低其電阻以提高 D 2 D 訊號傳遞速度。

【0005】 在某些示例性態樣，D 2 D 互連結構由一或多個重分佈層（RDL）形成，這些重分佈層毗鄰於晶粒的主動側構建在晶粒模組上。RDL 被構建在晶粒模組上並被耦合到晶粒的被用於 D 2 D 通訊的晶粒互連。RDL 亦可在將形成晶粒支起區的有限區域中被構建在晶粒模組上，而無需形成跨越晶粒模組與封裝基板之間的整個水平區域的 RDL，這將增加拆分式晶粒 IC 封裝的高度。將 D 2 D 互連結構作為（諸）RDL 來提供可促成更薄的金屬化層，其與可以能夠在一般層壓基板中製造的金屬化層相比具有用於 D 2 D 互連的更小圖案化尺寸（亦即，線（L）/間距（S）（L/S））的金屬互連。由此，在 RDL 中提供 D 2 D 互連可促成拆分式 IC 封裝中更高密度的 D 2 D 互連。RDL 亦不需要使用焊點來將 D 2 D 互連結構連接到晶粒的晶粒互連。這對於具有耦合到 D 2 D 互連以提供 D 2 D 通訊的高密度晶粒互連的晶粒是特別有用的。

【0006】 在其他實例中，在晶粒模組上形成 D 2 D 互連結構的 RDL 層，作為形成重構晶粒模組的重構晶片。就此而言，作為扇出晶片級封裝（FOLLP）製程的一部分，晶粒可形成在第一晶片上，並且隨後在重構晶片上進行切單和重新定位。可將重構晶片上的晶粒切單以將晶粒模組作為重構晶粒模組來提供。將晶粒模組作為重構晶粒模組來提供可允許良好的晶粒放置控制，以使得這些晶粒可被放置成更靠近在一起，以進一步減小封裝尺寸。而且，將晶粒模組作為重構晶粒模組來提供可在存在多個晶粒的情況下提供

用於在重構晶粒模組上為 D 2 D 互連構建 R D L 的便捷程序。以此方式，R D L 可在重構晶粒模組上製造 R D L 時被耦合到晶粒模組的晶粒互連。作為製造拆分式晶粒 IC 封裝的一部分，具有形成 D 2 D 互連的內置 R D L 的晶粒模組隨後可被耦合到封裝基板。

**【0007】** 注意到，在拆分式晶粒 IC 封裝的封裝基板之外的晶粒支起區中提供 D 2 D 互連結構並不排除封裝基板中的金屬化層亦被用來提供 D 2 D 互連。將 D 2 D 互連結構包括在封裝基板之外的晶粒支起區中可減少或最小化在封裝基板中提供 D 2 D 連接的需求。

**【0008】** 就此而言，在一個示例性態樣，提供了一種 IC 封裝。該 IC 封裝包括封裝基板；第一晶粒；及第二晶粒；該 IC 封裝亦包括第一複數個晶粒互連，第一複數個晶粒互連被耦合到該封裝基板和第一晶粒以在第一晶粒與該封裝基板之間建立晶粒支起區。該 IC 封裝亦包括第二複數個晶粒互連，第二複數個晶粒互連被佈置在該晶粒支起區中並被耦合到該封裝基板和第二晶粒。形成在第一複數個晶粒互連與第二複數個晶粒互連之間的晶粒支起區中的腔。該 IC 封裝亦包括佈置在該腔中的 D 2 D 互連結構。該 D 2 D 互連結構包括耦合到第一晶粒和第二晶粒的複數個 D 2 D 互連。

**【0009】** 在另一示例性態樣，提供了一種製造 IC 封裝的方法。該方法包括形成晶粒模組，該晶粒模組包括主動側、包含毗鄰於該主動側的第一主動側的第一晶粒、以及包含毗鄰於該主動側的第二主動側的第二晶粒，第二晶粒水平

地毗鄰於第一晶粒。該方法亦包括毗鄰於該晶粒模組的主動側形成 D 2 D 互連結構，該 D 2 D 互連結構包括複數個 D 2 D 互連。該方法亦包括形成耦合到第一晶粒的第一主動側的第一複數個晶粒互連。該方法亦包括形成耦合到第二晶粒的第二主動側的第二複數個晶粒互連，以在第一複數個晶粒互連與第二複數個晶粒互連之間形成腔，並且該 D 2 D 互連結構被佈置在該腔中。該方法亦包括在封裝基板上佈置該晶粒模組，包括：將第一複數個晶粒互連耦合到該封裝基板；及將第二複數個晶粒互連耦合到該封裝基板。

**【圖式簡單說明】**

**【0010】** 圖 1 A 和 1 B 分別是拆分式半導體晶粒（「晶粒」）積體電路（IC）封裝的俯視圖和橫截面側視圖，該 IC 封裝包括封裝基板中用於提供晶粒到晶粒（D 2 D）連接的 D 2 D 連接中介體；

**【0011】** 圖 2 A 和 2 B 分別是在晶粒 - 基板支起腔（亦即，腔）中採用 D 2 D 互連結構以提供 D 2 D 連接的示例性拆分式晶粒 IC 封裝的俯視圖和橫截面側視圖；

**【0012】** 圖 3 是圖 2 B 中的拆分式晶粒 IC 封裝的另一側視圖，其圖示了腔中提供 D 2 D 連接的 D 2 D 互連結構的更多細節；

**【0013】** 圖 4 是圖示用於製造在腔中採用 D 2 D 互連結構以提供 D 2 D 連接的拆分式晶粒 IC 封裝（包括但不限於圖 2 A - 3 中的示例性拆分式晶粒 IC 封裝）的示例性程序的流程圖；

**【0014】** 圖 5 A - 5 C 是圖示用於製造在腔中採用 D 2 D 互連結構以提供 D 2 D 連接的拆分式晶粒 IC 封裝（包括但不限於圖 2 A - 3 中的示例性拆分式晶粒 IC 封裝）的另一示例性程序的流程圖；

**【0015】** 圖 6 A - 6 H 圖示了在製造根據圖 5 A - 5 C 中的示例性製造程序的在腔中採用 D 2 D 互連結構以提供 D 2 D 連接的拆分式晶粒 IC 封裝（包括但不限於圖 2 A - 3 中的示例性拆分式晶粒 IC 封裝）期間的示例性製造階段；

**【0016】** 圖 7 是基於處理器的示例性系統的方塊圖，該系統包括可被封裝在根據圖 4 - 6 H 中的示例性製造程序的在腔中採用 D 2 D 互連結構以提供 D 2 D 連接的（諸）拆分式晶粒 IC 封裝（包括但不限於圖 2 A - 3 中的示例性拆分式晶粒 IC 封裝）中的部件；及

**【0017】** 圖 8 是示例性無線通訊設備的方塊圖，該無線通訊設備包括可被封裝在根據圖 4 - 6 H 中的示例性製造程序的在腔中採用 D 2 D 互連結構以提供 D 2 D 連接的（諸）拆分式晶粒 IC 封裝（包括但不限於圖 2 A - 3 中的示例性拆分式晶粒 IC 封裝）中的射頻（RF）部件。

#### **【實施方式】**

**【0018】** 現在參照附圖，描述本案的若干示例性態樣。措辭「示例性」在本文中用於表示「用作實例、例子、或圖示」。本文中描述為「示例性」的任何態樣不必被解釋為優於或勝過其他態樣。

【0019】 本文中所揭示的各態樣包括在晶粒 - 基板支起腔（亦即，腔）中採用晶粒到晶粒（D2D）互連結構以提供D2D連接的示例性拆分式晶粒積體電路（IC）封裝。亦揭示相關製造方法。在示例性態樣，拆分式晶粒IC封裝包括耦合到封裝基板的至少兩個半導體晶粒（「晶粒」）。封裝基板包括一或多個各自具有金屬互連的金屬化層，該金屬互連可提供晶粒與外部互連（例如，焊料凸塊）之間的訊號路由。拆分式晶粒IC封裝包括晶粒與封裝基板之間的複數個晶粒互連（例如，具有焊料接頭的晶粒凸塊），這些晶粒互連將晶粒電耦合到封裝基板以進行訊號路由。在示例性態樣，為了促成拆分式晶粒IC封裝中的多個晶粒之間的D2D通訊，封裝基板亦包括D2D互連結構（例如，互連橋），該D2D互連結構包含耦合到該多個晶粒的D2D互連（例如，金屬線）以提供該多個晶粒之間的D2D訊號路由。D2D互連結構被佈置在晶粒與封裝基板之間由於晶粒互連被佈置在晶粒與封裝基板之間以使晶粒從封裝基板支起而導致的晶粒支起區中形成的腔中。以此方式，D2D互連結構可被提供在IC封裝中在封裝基板之外的腔中，以保留封裝基板中的更多區域用於其他互連（諸如在晶粒與外部互連之間）。在封裝基板之外提供D2D互連結構亦能夠降低拆分式晶粒IC封裝的整體高度，因為封裝基板的原本會被用於D2D連接的金屬互連所消耗的區域可被用於其他訊號路由及/或其他裝置（例如，被動裝置）。而且，經由在腔中提供D2D互連結構，與在封裝基板中提供D2D互連

的情形相比，D 2 D 互連可位於更靠近晶粒，並且由此長度更短，從而降低其電阻以提高 D 2 D 訊號傳遞速度。

**【0020】** 在從圖 2 A 開始論述在腔中採用 D 2 D 互連結構以在封裝中的多個晶粒之間提供 D 2 D 連接的拆分式晶粒 IC 封裝的實例之前，下文首先關於圖 1 A 和 1 B 描述了不將 D 2 D 互連結構包括在腔中的拆分式晶粒 IC 封裝。

**【0021】** 就此而言，圖 1 A 和 1 B 分別是拆分式半導體晶粒（「晶粒」）IC 封裝 1 0 0 的俯視圖和橫截面側視圖，IC 封裝 1 0 0 包括封裝基板 1 0 4 中用於提供 D 2 D 連接的 D 2 D 中介體 1 0 2。圖 1 B 中的拆分式晶粒 IC 封裝 1 0 0 被示為沿圖 1 A 中的 A<sub>1</sub>-A<sub>1</sub>' 線的橫截面。參照圖 1 A 和 1 B，拆分式晶粒 IC 封裝 1 0 0 包括耦合到封裝基板 1 0 4 的至少兩個半導體晶粒（「晶粒」）1 0 6 (1)、1 0 6 (2)。在該實例中，晶粒 1 0 6 (1)、1 0 6 (2) 在 X 軸方向上彼此水平毗鄰佈置，其中在晶粒 1 0 6 (1)、1 0 6 (2) 之間形成晶粒分隔區 1 0 8。封裝基板 1 0 4 包括一或多個各自具有金屬互連（例如，金屬線或跡線）的金屬化層，這些金屬互連可提供晶粒 1 0 6 (1)、1 0 6 (2) 與外部互連 1 1 0（例如，焊球）之間的訊號路由。如圖 1 B 中所示，拆分式晶粒 IC 封裝 1 0 0 包括晶粒 1 0 6 (1)、1 0 6 (2) 與封裝基板 1 0 4 之間的複數個晶粒互連 1 1 2（例如，具有焊料接頭的晶粒凸塊），這些晶粒互連 1 1 2 將晶粒 1 0 6 (1)、1 0 6 (2) 電耦合到封裝基板 1 0 4 以進行訊號路由。在該實例中，晶粒互連 1 1 2 包括金屬柱 1 1 4，金屬柱 1 1 4 被耦合到相應晶粒 1 0 6 (1)、1 0 6 (2) 的主動側 1 1 6 (1)、1 1 6 (2) 上的

晶粒焊盤（未圖示）。金屬柱 114 用在金屬柱 114 上形成並耦合到封裝基板 104 的焊料接頭 118 來耦合到封裝基板 104。

**【0022】** 為了促成圖 1A 和 1B 中的拆分式晶粒 IC 封裝 100 中的多個晶粒 106(1)、106(2) 之間的 D2D 通訊，封裝基板 104 亦包括 D2D 中介體 102。在該實例中，D2D 中介體 102 被佈置在晶粒分隔區 108 下方的封裝基板 104 中。D2D 中介體 102 包含耦合到與相應晶粒 106(1)、106(2) 耦合的特定晶粒互連 112 的 D2D 互連 120（例如，金屬線），其專用於晶粒 106(1)、106(2) 之間針對 D2D 通訊的 D2D 訊號路由。作為實例，這種 D2D 訊號路由可以是通訊訊號以及共用電源軌的耦合。D2D 中介體 102 通常位於封裝基板 104 的上部金屬化層中以減小 D2D 互連 120 的長度，從而減小電阻並提高訊號傳遞速度。

**【0023】** 將 D2D 中介體 102 包括在封裝基板 104 中消耗了封裝基板 104 的金屬化層中的空間。這可貢獻於增加封裝基板在 Z 軸方向上的高度  $H_1$ ，並由此增加拆分式晶粒 IC 封裝在 Z 軸方向上的總高度  $H_2$ ，如圖 1B 中所示。而且，將 D2D 互連 120 包括在封裝基板 104 中可能位於靠近封裝基板 104 中的其他金屬互連（諸如電源軌），這可產生訊號干擾。在 D2D 互連 120 上攜帶的 D2D 通訊訊號可能對干擾特別敏感，因為這些訊號可能是作為晶粒 106(1)、106(2) 之間的 D2D 匯流排介面的一部分的較高速訊號。而且，D2D 中介體 102 的位置在晶粒分隔區 108 下方且毗鄰於晶

粒分隔區 108 可能影響封裝基板 104 中的佈線空間。封裝基板 104 中對除 D2D 通訊訊號之外的訊號進行路由的其他金屬互連與 D2D 中介體 102 隔離，並且由此必須在 D2D 中介體 102 區域之外的其他區域中佈線。這可能影響封裝基板 104 中的佈線選項和能力。例如，D2D 中介體 102 可能干擾封裝基板 104 中的配電網的佈線路徑，從而產生更長的配電路徑。這能夠貢獻於增加封裝基板 104 中的配電網的壓降。此外，隨著 D2D 互連 120 的數目及 / 或密度增加，D2D 中介體 102 更有可能被佈置在封裝基板 104 的額外金屬化層中，由此進一步消耗可被用於其他訊號路由的區域。或者替換地，來自一個晶粒 106(1)、106(2) 的額外 D2D 互連可能必須經由封裝基板 104 路由到外部互連 110 並回到另一個晶粒 106(2)、106(1)，以避免 D2D 中介體 102 消耗封裝基板 104 中的額外空間。

**【0024】** 圖 2 A 和 2 B 分別是另一示例性拆分式晶粒 IC 封裝 200 的俯視圖和橫截面側視圖，該封裝 200 採用圖 1 A 和 1 B 中的拆分式晶粒 IC 封裝 100 中的 D2D 中介體 102 的替換 D2D 連接結構以能夠避免為了 D2D 連接而消耗封裝基板中的空間。就此而言並如下文更詳細地論述的，圖 2 A 和 2 B 中的拆分式晶粒 IC 封裝 200 包括 D2D 互連結構 202，以提供被佈置在晶粒 - 基板支起腔（亦即，腔）204 中的 D2D 連接。晶粒 - 基板支起腔 204 是在半導體晶粒（「晶粒」）206(1)、206(2) 與封裝基板 208 之間由於晶粒互連 210 被佈置在晶粒 206(1)、206(2) 與封裝基板 208 之間而導

致的晶粒支起區 228 中形成的區域，這些晶粒互連 210 將晶粒 206(1)、206(2) 耦合到封裝基板 208。在一個實例中，晶粒 - 基板支起腔 204 不包括封裝基板 208 或晶粒 206(1)、206(2) 內部的空間。晶粒互連 210 將晶粒 206(1)、206(2) 從封裝基板 208 「支起」晶粒互連 210 的相應高度 H3，以形成佈置在晶粒 206(1)、206(2) 與封裝基板 208 之間的晶粒 - 基板支起腔 204。

**【0025】** 以此方式，如圖 2B 中所示，D2D 互連結構 202 被提供在拆分式晶粒 IC 封裝 200 中在封裝基板 208 之外的晶粒 - 基板支起腔 204 中。這可保留封裝基板 208 中的更多區域用於其他互連（諸如在晶粒 206(1)、206(2) 與外部互連 211（例如，焊球）之間）。相對於原本在 D2D 互連結構 202 被包括在封裝基板 208 中的情況下封裝基板 208 的高度，在封裝基板 208 之外提供 D2D 互連結構 202 亦可降低封裝基板 208 的高度 H4。封裝基板 208 的降低的高度 H4 降低了拆分式晶粒 IC 封裝 200 的總高度 H5，因為封裝基板 208 的原本會被用於 D2D 連接的互連（例如，金屬線、金屬跡線、垂直互連通路（通孔）、焊盤）所消耗的區域可被用於其他訊號路由及 / 或其他裝置（例如，被動裝置）。而且，經由在拆分式晶粒 IC 封裝 200 的晶粒 - 基板支起腔 204 中提供 D2D 互連結構 202，與在封裝基板 208 中提供 D2D 互連的情形相比，D2D 互連結構 202 中的 D2D 互連可位於更靠近晶粒 206(1)、206(2)。這可減小 D2D 互連的

長度，由此減少其電阻以提高晶粒 206(1)、206(2)之間的 D2D 訊號傳遞速度。

**【0026】** 繼續參照圖 2A 和 2B，圖 2B 中的拆分式晶粒 IC 封裝 200 被示為沿圖 2A 中的 A<sub>2</sub>-A<sub>2</sub>' 線的橫截面。晶粒 206(1)、206(2) 被耦合到封裝基板 208。在該實例中，晶粒 206(1)、206(2) 在 X 軸方向上彼此水平毗鄰佈置，其中晶粒分隔區 212 為晶粒 206(1)、206(2) 之間距離 D<sub>1</sub> 的區域。在該實例中，晶粒 206(1)、206(2) 被包括在晶粒模組 214 中。在該實例中，第一和第二晶粒 206(1)、206(1) 在 Z 軸方向上的垂直方向上被佈置在封裝基板 208 上方，該垂直方向與 X 軸方向上的水平方向正交。晶粒模組 214 包括晶粒 206(1)、206(2) 以及在晶粒 206(1)、206(2) 周圍和晶粒分隔區 212 中形成的包塑化合物 216（例如，環氧樹脂）。例如，如下文更詳細地論述的，晶粒模組 214 可包括根據扇出晶片級封裝（FOWLP）製程製造的重構晶片 218。將晶粒模組 214 作為重構晶片 218 來提供可允許良好的晶粒放置控制，以使得晶粒 206(1)、206(2) 可被更靠近地放置在一起，以進一步減小晶粒分隔區 212 在水平 X 軸方向上的寬度，以減小封裝尺寸。介電層 220 被佈置在晶粒模組 214 的頂部。封裝化合物 222（諸如模製化合物）作為拆分式晶粒 IC 封裝 200 的一部分被佈置在介電層 220 上。

**【0027】** 如圖 2B 中所示，第一和第二複數個晶粒互連 210(1)、210(2) 被耦合到封裝基板 208 以及相應的第一

和 第二晶粒 206(1)、206(2)。第一和第二晶粒 206(1)、206(2) 具有相應的主動側 224(1)、224(2) 以及背側 226(1)、226(2)。晶粒互連 210(1) 被耦合到晶粒 206(1) 的主動側 224(1) 以及封裝基板 208。晶粒互連 210(2) 被耦合到晶粒 206(2) 的主動側 224(2) 以及封裝基板 208。耦合到封裝基板 208 的第一和第二複數個晶粒互連 210(1)、210(2) 以及相應的第一和第二晶粒 206(1)、206(2) 在第一和第二晶粒 206(1)、206(2) 與封裝基板 208 之間建立晶粒支起區 228。晶粒-基板支起腔 204 被形成在晶粒互連 210(1)、210(2) 之間的晶粒支起區 228 中。D2D 互連結構 202 被佈置在晶粒-基板支起腔 204 中。如下文關於圖 3 更詳細地論述的，D2D 互連結構 202 包括耦合到第一晶粒 206(1) 和第二晶粒 206(2) 的 D2D 互連 232 以提供晶粒 206(1)、206(2) 之間的 D2D 連接。在該實例中，晶粒 206(1) 包括 D2D 介面電路系統 234(1)，其提供至晶粒 206(2) 的 D2D 通訊介面。D2D 介面電路系統 234(1) 水平地毗鄰於晶粒分隔區 212。同樣，在該實例中，晶粒 206(2) 包括 D2D 介面電路系統 234(2)，其提供至晶粒 206(1) 的 D2D 通訊介面。D2D 介面電路系統 234(2) 亦水平地毗鄰於晶粒分隔區 212。D2D 介面電路系統 234(1)、234(2) 被佈置在 D2D 互連結構 202 上方並與 D2D 互連結構 202 接觸以耦合到其中的 D2D 互連 232，以將 D2D 介面電路系統 234(1)、234(2) 耦合在一起以用於 D2D 通訊。

【0028】 在該實例中，D2D互連結構202及其D2D互連232未被佈置在封裝基板208中。在該實例中，D2D互連232未被耦合到封裝基板208（其將金屬互連（例如，金屬線、金屬跡線、垂直互連通路（通孔）、焊盤）包括在金屬化層中）以避免為了由D2D互連結構202提供的D2D連接而消耗封裝基板208中的區域。

【0029】 圖3是圖2A和2B中的拆分式晶粒IC封裝200的另一橫截面側視圖，以圖示將D2D互連結構202包括在晶粒-基板支起腔204中的額外示例性細節。圖3中的拆分式晶粒IC封裝200的橫截面側視圖同樣沿圖2A中的拆分式晶粒IC封裝200的A<sub>2</sub>-A<sub>2</sub>'線。

【0030】 如圖3中所示，在該實例中，晶粒模組214具有與封裝基板208毗鄰的主動側236。第一和第二晶粒206(1)、206(2)的第一和第二主動側224(1)、224(2)被佈置在封裝基板208的主動側236上，以使得可以在第一和第二晶粒206(1)、206(2)與封裝基板208之間經由相應的第一和第二晶粒互連210(1)、210(2)建立連接。第一晶粒互連210(1)被耦合到第一晶粒206(1)的第一主動側224(1)。第二晶粒互連210(2)被耦合到第二晶粒206(2)的第二主動側224(2)。第一和第二晶粒互連210(1)、210(2)各自包括耦合到相應第一和第二晶粒206(1)、206(2)的相應第一和第二主動側224(1)、224(2)上的晶粒焊盤的金屬柱238(1)、238(2)（例如，銅柱）。互連凸塊240(1)、240(2)（例如，焊料凸塊或

焊帽) 被佈置在金屬柱 238(1)、238(2) 上以形成至封裝基板 208 的電連接。封裝基板 208 包括用於在晶粒 206(1)、206(2) 之間經由晶粒互連 210(1)、210(2) 建立電連接的一或多個金屬化層 242(1)-242(3)。晶粒互連 210(1)、210(2) 被耦合到封裝基板 208 的金屬化層 242(1)-242(3) 中的一或多個金屬互連 243(1)-243(3) (例如, 金屬線、金屬跡線、垂直互連通路(通孔)、焊盤)。晶粒互連 210(1)、210(1) 的高度  $H_3$  定義了晶粒-基板支起腔 204 在 Z 軸上的垂直方向上的高度  $H_3$ 。D2D 互連結構 202 在 Z 軸上的垂直方向上具有小於晶粒-基板支起腔 204 的高度  $H_3$  的高度  $H_6$ , 以使得 D2D 互連結構 202 可以被佈置在晶粒-基板支起腔 204 中, 而無需消耗封裝基板 208 中的區域(若期望的話)。包塑化合物 216 被佈置成毗鄰於第一和第二晶粒 206(1)、206(2) 的第一和第二背側 226(1)、226(2)。

**【0031】** 作為實例, 如下文更詳細地論述的, 晶粒模組 214 可以是根據 FOWLP 製程製造的重構晶粒模組。這可允許 D2D 互連結構 202 更容易地構建在一或多個金屬化層中的晶粒模組 214 上, 作為拆分式晶粒 IC 封裝 200 的製造程序的一部分。例如, D2D 互連結構 202 可包括一或多個金屬化層 244(1)-244(3), 這些金屬化層各自為 RDL 246(1)-246(3), 這些 RDL 各自包括金屬互連 248(1)-248(3) (例如, 金屬線、金屬跡線、垂直互連通路(通孔)、焊盤)。例如, 若金屬化層 244(1)-244(3)

是 RDL 246(1)-246(3)，則在金屬化層 244(1)-244(3) 中的金屬互連 248(1)-248(3) 中可更容易實現較小的 L/S 比。例如，金屬互連 248(1)-248(3) 的 L/S 比為 2/2 或 1/1。作為實例，晶粒互連 210(1)、210(2) 的高度  $H_3$  可以在 30-40 微米 ( $\mu\text{m}$ ) 之間，RDL 246(1)-246(3) 中的每一者的高度可小於或等於 7  $\mu\text{m}$ ，而金屬互連 248(1)-248(3) 可具有 2/2 或更小的 L/S 比。

**【0032】** 第一晶粒 206(1) (尤其是 D2D 介面電路系統 234(1)) 可被耦合到第一 RDL 246(1) 中的金屬互連 248(1)，以耦合到 D2D 互連結構 202。第二晶粒 206(1) (尤其是 D2D 介面電路系統 234(2)) 亦可被耦合到第一 RDL 246(1) 中的金屬互連 248(1)，以耦合到 D2D 互連結構 202。以此方式，D2D 介面電路系統 234(1)、234(2) 可耦合在一起以經由 D2D 互連結構 202 進行 D2D 通訊。為了使連通性在空間上更高效，第一和第二晶粒 206(1)、206(2) 中的 D2D 介面電路系統 234(1)、234(2) 可被定位成在 Z 軸上的垂直方向上佈置在晶粒-基板支起腔 204 上方及/或與晶粒-基板支起腔 204 交疊或部分地交疊以建立至 D2D 互連結構 202 的連接。

**【0033】** 圖 4 是圖示用於製造在晶粒-基板支起腔中採用 D2D 互連結構以提供 D2D 連接的拆分式晶粒 IC 封裝 (包括但不限於圖 2A-3 中的示例性拆分式晶粒 IC 封裝 200) 的示例性程序 400 的流程圖。作為實例，關於圖 2A-3 中的拆分式晶粒 IC 封裝 200 描述了圖 4 中的示例性程序 400，但該程

序亦適用於在晶粒 - 基板支起腔中採用 D 2 D 互連結構以提供 D 2 D 連接的其他拆分式晶粒 IC 封裝。

【0034】 就此而言，參照圖 4，第一製造步驟包括：形成晶粒模組 2 1 4，晶粒模組 2 1 4 包括主動側 2 3 6、包含毗鄰於主動側 2 3 6 的第一主動側 2 2 4 (1) 的第一晶粒 2 0 6 (1)、以及包含毗鄰於主動側 2 3 6 的第二主動側 2 2 4 (1) 的第二晶粒 2 0 6 (2)，第二晶粒 2 0 6 (2) 水平地毗鄰於第一晶粒 2 0 6 (1) (圖 4 中的方塊 4 0 2)。程序 4 0 0 中的下一製造步驟包括：毗鄰於晶粒模組 2 1 4 的主動側 2 3 6 形成 D 2 D 互連結構 2 0 2，D 2 D 互連結構 2 0 2 包括複數個 D 2 D 互連 2 3 2 (圖 4 中的方塊 4 0 4)。程序 4 0 0 中的下一製造步驟包括：形成耦合到第一晶粒 2 0 6 (1) 的第一主動側 2 2 4 (1) 的第一複數個晶粒互連 2 1 0 (1) (圖 4 中的方塊 4 0 6)。程序 4 0 0 中的下一製造步驟包括：形成耦合到第二晶粒 2 0 6 (2) 的第二主動側 2 2 4 (2) 的第二複數個晶粒互連 2 1 0 (2)，以在第一複數個晶粒互連 2 1 0 (1) 與第二複數個晶粒互連 2 1 0 (2) 之間形成晶粒 - 基板支起腔 2 0 4，其中 D 2 D 互連結構 2 0 2 被佈置在晶粒 - 基板支起腔 2 0 4 中 (圖 4 中的方塊 4 0 8)。程序 4 0 0 中的下一製造步驟包括：在封裝基板 2 0 8 上佈置晶粒模組 2 1 4 的主動側 2 3 6 (圖 4 中的方塊 4 1 0)。在封裝基板 2 0 8 上佈置晶粒模組 2 1 4 的主動側 2 3 6 包括：將第一複數個晶粒互連 2 1 0 (1) 耦合到封裝基板 2 0 8 (圖 4 中的方塊 4 1 2)，並且將第二複數個晶粒互連 2 1 0 (2) 耦合到封裝基板 2 0 8 (圖 4 中的方塊 4 1 4)。

【0035】 圖 5 A - 5 C 是圖示用於製造在晶粒 - 基板支起腔中採用的 D 2 D 互連結構以提供 D 2 D 連接的拆分式晶粒 IC 封裝（包括但不限於圖 2 A - 3 中的示例性拆分式晶粒 IC 封裝）的另一示例性程序 5 0 0 的流程圖。圖 6 A - 6 H 圖示了用於根據圖 5 A - 5 C 中的示例性製造程序 5 0 0 的在晶粒 - 基板支起腔中採用 D 2 D 互連結構以提供 D 2 D 連接的拆分式晶粒 IC 封裝的示例性製造階段 6 0 0 A - 6 0 0 H。現在將結合圖 6 A - 6 H 中的示例性製造階段 6 0 0 A - 6 0 0 H 來論述圖 5 A - 5 C 中的製造程序 5 0 0。

【0036】 就此而言，參照圖 5 A 中的程序 5 0 0，製造拆分式晶粒 IC 封裝 2 0 0 的第一步驟可以是：將晶粒模組 2 1 4 製造為重構晶粒模組。如圖 6 A 中的製造階段 6 0 0 A 中所示，這涉及提供包括第一表面 6 0 4 的載體 6 0 2，該第一表面 6 0 4 用於將重構晶粒模組 2 1 4 形成為重構晶片 6 0 6，以及將晶粒 2 0 6 (1)、2 0 6 (2) 在 X 軸方向上彼此水平毗鄰放置（和定位）在載體 6 0 2 上（圖 5 A 中的方塊 5 0 2）。載體 6 0 2 提供允許定位和操縱晶粒 2 0 6 (1)、2 0 6 (2) 以形成晶粒模組 2 1 4 的結構。如下文所論述的，將晶粒模組 2 1 4 作為重構晶片 6 0 6 來提供可提供在晶粒模組 2 1 4 被佈置在封裝基板 2 0 8 上之前，在晶粒模組 2 1 4 上毗鄰於晶粒 2 0 6 (1)、2 0 6 (2) 的主動側 2 2 4 (1)、2 2 4 (2) 形成 D 2 D 互連結構 2 0 2 的能力。例如，D 2 D 互連結構 2 0 2 可優選地在晶粒模組 2 1 4 上被形成為一或多個 RDL，諸如圖 3 中的 RDL 2 4 6 (1) - 2 4 6 (3)。可在載體 6 0 2 的第一表面 6 0 4 上放置臨

時黏合膜 608，隨後在黏合膜 608 上佈置晶粒 206(1)、206(2)，以為晶粒 206(1)、206(2) 提供黏合劑以牢固地附連到載體 602。

**【0037】** 如圖 6B 中的下一製造階段 600B 中所示，將晶粒模組 214 形成為重構晶片 606 的下一步驟是：在該載體的第一表面 604 上以及相應第一和第二晶粒 206(1)、206(2) 的第一和第二背側 226(1)、226(2) 上及上方佈置包塑化合物 216（例如，環氧樹脂模製件），以固牢晶粒 206(1)、206(2) 並提供與晶粒 206(1)、206(2) 的介電隔離（圖 5A 中的方塊 504）。如圖 6C 中的下一製造階段 600C 中所示，將晶粒模組 214 形成為重構晶片 606 的下一步驟是：朝向晶粒 206(1)、206(2) 的背側 226(1)、226(2) 將包塑化合物 216 的頂表面 612（圖 6B）磨除至減小的表面 614，至期望的厚度  $D_2$ （圖 5A 中的方塊 506）。替換地，可將包塑化合物 216 磨除至晶粒 206(1)、206(2) 的背側 226(1)、226(2)。

**【0038】** 如圖 6D 中的下一個製造階段 600D 中所示，其中的下一步驟是：從重構晶片 606 移除載體 602，並將第二載體 616 毗鄰於晶粒 206(1)、206(2) 的背側 226(1)、226(2) 附連到重構晶片 606（圖 5B 中的方塊 508）。載體 602 被移除以暴露晶粒 206(1)、206(2) 的主動側 224(1)、224(2)（更具體地，暴露 D2D 介面電路系統 234(1)、234(2)），以為 D2D 互連結構 202 將形成在重構晶片 606 上並耦合到晶粒 206(1)、206(2) 的主動側

224(1)、224(2)和D2D介面電路系統234(1)、234(2)做好準備。可首先在第二載體616上佈置黏合層618，隨後將重構晶片606附連到第二載體616以將重構晶片606固牢到第二載體616，如圖6D中所示。

**【0039】** 隨後，如圖6E中的下一製造階段600E中所示，下一步驟是：在第一晶粒206(1)的第一主動側224(1)的一部分以及第二晶粒206(2)的第二主動側224(2)的一部分上在將在稍晚製造階段中被形成為晶粒-基板支起腔204的地方形成D2D互連結構202(圖5B中的方塊510)。D2D互連結構202被佈置成在Z軸方向上垂直地毗鄰於第一晶粒206(1)與第二晶粒206(2)之間水平晶粒分隔區212。製造階段600E圖示：第一RDL246(1)被形成在耦合到晶粒206(1)、206(2)的D2D介面電路系統234(1)、234(2)的重構晶片606上，作為D2D互連結構202的一部分。如圖6F中的下一製造階段600F中所示，(諸)額外RDL246(2)可被形成在第一RDL246(1)上以形成D2D互連結構202的一部分(圖5B中的方塊512)。在該實例中，形成RDL246(1)、246(2)可包括用於形成RDL的一般程序，包括在晶粒模組214上提供塗層，用圖案化製程移除塗敷的部分以暴露D2D介面電路系統234(1)、234(2)的晶粒焊盤，沉積晶種層，以及執行光刻製程以在RDL246(1)、246(2)中形成金屬互連。當完全構建時，亦可在D2D互連結構202上形成阻焊層620以在形成晶粒

互連 210(1)、210(2)時保護 RDL 246(1)、246(2)免受焊料暴露。

**【0040】** 如圖 6G 中的下一製造階段 600G 中所示，下一步驟是：在重構晶片 606 上形成晶粒互連 210(1)、210(2)並與晶粒 206(1)、206(2)接觸（圖 5C 中的方塊 514）。這涉及形成金屬柱 238(1)、238(2)和互連凸塊 240(1)、240(2)。如以上所論述的，這將在從重構晶片 606 形成晶粒模組 214 時在晶粒互連 210(1)、210(2)之間的區域中產生晶粒支起區 228。由晶粒模組 214 與封裝基板 208 之間的晶粒支起區 228（圖 2B 和 3）形成的腔將產生晶粒-基板支起腔 204，晶粒-基板支起腔 204 為最終拆分式晶粒 IC 封裝 200 中將存在的 D2D 互連結構 202 保留餘地和空間，而無需消耗封裝基板 208 中的區域。若多個晶粒模組 214 被形成為重構晶片 606 的一部分，則可使用晶粒切單來分隔晶粒模組 214。如圖 6H 中的下一製造階段 600H 中所示，下一步驟是：移除第二載體 616 並在封裝基板 208 上佈置晶粒模組 214 的主動側 236，以將晶粒互連 210(1)、210(2)耦合到封裝基板 208 以形成拆分式晶粒 IC 封裝 200（圖 5C 中的方塊 516）。

**【0041】** 根據圖 4-6H 中的示例性製造程序的在晶粒-基板支起腔中採用 D2D 互連結構以提供 D2D 連接的（諸）拆分式晶粒 IC 封裝（包括但不限於圖 2A-3 中的示例性拆分式晶粒 IC 封裝）可被提供在或整合到任何基於處理器的設備中。不作為限定的實例包括：機上盒、娛樂單元、導航設

備、通訊設備、固定位置資料單元、行動位置資料單元、全球定位系統（GPS）設備、行動電話、蜂巢式電話、智慧型電話、對話啟動協定（SIP）電話、平板設備、平板手機、伺服器、電腦、可攜式電腦、行動計算裝置、可穿戴計算設備（例如，智慧手錶、健康或健身追蹤器、眼鏡，等等）、桌上型電腦、個人數位助理（PDA）、監視器、電腦監視器、電視機、調諧器、無線電、衛星無線電、音樂播放機、數位音樂播放機、可攜式音樂播放機、數位視訊播放機、視訊播放機、數位視訊碟（DVD）播放機、可攜式數位視訊播放機、汽車、交通工具部件、航空電子系統、無人機、以及多旋翼飛行器。

**【0042】** 就此而言，圖7圖示了基於處理器的系統700的實例。基於處理器的系統700的部件是IC 702。基於處理器的系統700中的部分或全部IC 702可被提供在根據本文中所揭示的任何態樣並且根據圖4-6H中的示例性製造程序的在晶粒-基板支起腔（亦即，腔）中採用D2D互連結構以提供D2D連接的（諸）拆分式晶粒IC封裝704（包括但不限於圖2A-3中的示例性拆分式晶粒IC封裝）中。在該實例中，基於處理器的系統700可被形成為拆分式晶粒IC封裝704並被形成為片上系統（SoC）706。基於處理器的系統700包括CPU 708，CPU 708包括一或多個處理器710，這些處理器710亦可被稱為CPU核或處理器核。CPU 708可具有被耦合至CPU 708以用於對臨時儲存的資料進行快速存取的快取緩衝記憶體712。CPU 708耦合到系統匯流

排 714，且可將被包括在基於處理器的系統 700 中的主設備和從設備相互耦合。如眾所周知的，CPU 708 經由在系統匯流排 714 上交換位址、控制和資料資訊來與這些其他設備通訊。例如，CPU 708 可向作為從設備的實例的記憶體控制器 716 傳達匯流排事務請求。儘管在圖 7 中未圖示，但可提供多個系統匯流排 714，其中每個系統匯流排 714 構成不同的織構。

**【0043】** 其他主設備和從設備可被連接到系統匯流排 714。如圖 7 中所圖示的，作為實例，這些設備可包括包含記憶體控制器 716 和（諸）記憶體陣列 718 的記憶體系統 720、一或多個輸入設備 722、一或多個輸出設備 724、一或多個網路周邊設備 726、以及一或多個顯示控制器 728。記憶體系統 720、一或多個輸入設備 722、一或多個輸出設備 724、一或多個網路周邊設備 726、以及一或多個顯示控制器 728 中的每一者可被提供在相同或不同的 IC 封裝中。（諸）輸入設備 722 可包括任何類型的輸入設備，包括但不限於輸入鍵、開關、語音處理器等。（諸）輸出設備 724 可包括任何類型的輸出設備，包括但不限於音訊、視訊、其他視覺指示器等。（諸）網路周邊設備 726 可以是配置成允許往來於網路 730 的資料交換的任何設備。網路 730 可以是任何類型的網路，包括但不限於有線或無線網路、私有或公共網路、區域網路（LAN）、無線區域網路（WLAN）、廣域網（WAN）、藍芽™ 網路、以及網際網

路。(諸)網路周邊設備726可被配置成支援所期望的任何類型的通訊協定。

**【0044】** CPU 708亦可被配置成經由系統匯流排714存取(諸)顯示控制器728以控制發送給一或多個顯示器732的資訊。(諸)顯示控制器728經由一或多個視訊處理器734向(諸)顯示器732發送要顯示的資訊,視訊處理器734將要顯示的資訊處理成適於(諸)顯示器732的格式。作為實例,(諸)顯示控制器728和(諸)視訊處理器734可被包括作為拆分式晶粒IC封裝704和相同或不同IC封裝,並且在包含CPU 708的相同或不同IC封裝中。(諸)顯示器732可包括任何類型的顯示器,包括但不限於陰極射線管(CRT)、液晶顯示器(LCD)、電漿顯示器、發光二極體(LED)顯示器等。

**【0045】** 圖8圖示了包括由一或多個IC 802形成的射頻(RF)部件的示例性無線通訊設備800,其中任何IC 802皆可包括根據本文中所揭示的任何態樣並且根據圖4-6H中的示例性製造程序的在晶粒-基板支起腔(亦即,腔)中採用D2D互連結構以提供D2D連接的拆分式晶粒IC封裝803(包括但不限於圖2A-3中的示例性拆分式晶粒IC封裝)。作為實例,無線通訊設備800可包括或設在任何上述設備中。如圖8中所示,無線通訊設備800包括收發機804和資料處理器806。資料處理器806可包括記憶體以儲存資料和程式碼。收發機804包括支援雙向通訊的發射器808和接收器810。一般而言,無線通訊設備800可包括用

於任意數目的通訊系統和頻帶的任意數目的發射器 808 及 / 或接收器 810。收發機 804 的全部或一部分可被實現在一或多個模擬 IC、RFIC、混合訊號 IC 等上。

**【0046】** 發射器 808 或接收器 810 可使用超外差式架構或直接變頻式架構來實現。在超外差式架構中，訊號在 RF 和基頻之間多級變頻，例如對於接收器 810 而言，在一級中從 RF 到中頻 (IF)，隨後在另一級中從 IF 到基頻。在直接變頻式架構中，訊號在一級中在 RF 和基頻之間變頻。超外差式以及直接變頻式架構可以使用不同的電路塊及 / 或具有不同的要求。在圖 8 中的無線通訊設備 800 中，發射器 808 和接收器 810 使用直接變頻式架構來實現。

**【0047】** 在發射路徑中，資料處理器 806 處理要被傳送的資料並且向發射器 808 提供 I 和 Q 類比輸出訊號。在示例性無線通訊設備 800 中，資料處理器 806 包括數位類比轉換器 (DAC) 812(1)、812(2) 以將由資料處理器 806 產生的數位訊號轉換成 I 和 Q 類比輸出訊號 (例如，I 和 Q 輸出電流) 以供進一步處理。

**【0048】** 在發射器 808 內，低通濾波器 814(1)、814(2) 分別對 I 和 Q 類比輸出訊號進行濾波以移除由在前的數位類比轉換引起的不期望訊號。放大器 (AMP) 816(1)、816(2) 分別放大來自低通濾波器 814(1)、814(2) 的訊號並且提供 I 和 Q 基頻訊號。升頻轉換器 818 經由混頻器 820(1)、820(2) 用來自發射 (TX) 本端振盪器 (LO) 訊號產生器 822 的 I 和 Q TX LO 訊號來升頻轉換 I 和 Q 基頻

訊號，以提供經升頻轉換訊號 824。濾波器 826 對經升頻轉換訊號 824 進行濾波以移除由升頻轉換引起的不期望訊號以及接收頻帶中的雜訊。功率放大器 (PA) 828 放大來自濾波器 826 的經升頻轉換訊號 824，以獲得期望的輸出功率位準並提供發射 RF 訊號。該發射 RF 訊號被路由經過雙工器或開關 830 並經由天線 832 被發射。

**【0049】** 在接收路徑中，天線 832 接收由基地台傳送的訊號並提供收到 RF 訊號，該收到 RF 訊號被路由經過雙工器或開關 830 並被提供給低雜訊放大器 (LNA) 834。雙工器或開關 830 被設計成用特定的接收 (RX) 與 TX 雙工器頻率分隔來操作，使得 RX 訊號與 TX 訊號隔離。該收到 RF 訊號由 LNA 834 放大並且由濾波器 836 濾波，以獲得期望的 RF 輸入訊號。降頻轉換混頻器 838(1)、838(2) 將濾波器 836 的輸出與來自 RX LO 訊號產生器 840 的 I 和 Q RX LO 訊號 (亦即，LO\_I 和 LO\_Q) 進行混頻以產生 I 和 Q 基頻訊號。I 和 Q 基頻訊號由 AMP 842(1)、842(2) 放大並且進一步由低通濾波器 844(1)、844(2) 濾波以獲得 I 和 Q 類比輸入訊號，該 I 和 Q 類比輸入訊號被提供給資料處理器 806。在該實例中，資料處理器 806 包括類比數位轉換器 (ADC) 846(1)、846(2) 以將類比輸入訊號轉換成要進一步由資料處理器 806 處理的數位訊號。

**【0050】** 在圖 8 的無線通訊設備 800 中，TX LO 訊號產生器 822 產生用於升頻轉換的 I 和 Q TX LO 訊號，而 RX LO 訊號產生器 840 產生用於降頻轉換的 I 和 Q RX LO 訊號。

每個 LO 訊號是具有特定基頻的週期性訊號。TX 鎖相迴路 (PLL) 電路 848 從資料處理器 806 接收定時資訊，並且產生用於調整來自 TX LO 訊號產生器 822 的 TX LO 訊號的頻率及 / 或相位的控制訊號。類似地，RX PLL 電路 850 從資料處理器 806 接收定時資訊，並且產生用於調整來自 RX LO 訊號產生器 840 的 RX LO 訊號的頻率及 / 或相位的控制訊號。

**【0051】** 本發明所屬領域中具有通常知識者將進一步領會，結合本文所揭示的諸態樣描述的各种說明性邏輯區塊、模組、電路和演算法可被實現為電子硬體、儲存在記憶體中或另一電腦可讀取媒體中並由處理器或其他處理設備執行的指令、或這兩者的組合。本文中所揭示的記憶體可以是任何類型和大小的記憶體，並且可被配置成儲存所期望的任何類型的資訊。為了清楚地圖示這種可互換性，各種說明性部件、方塊、模組、電路和步驟在上文已經以其功能性的形式一般性地作了描述。此類功能性如何被實現取決於具體應用、設計選擇、及 / 或加諸於整體系統上的設計約束。技藝人士可針對每種特定應用以不同方式來實現所描述的功能性，但此類實現決策不應被解讀為致使脫離本案的範疇。

**【0052】** 結合本文中所揭示的各態樣描述的各种說明性邏輯區塊、模組、以及電路可用被設計成執行本文所描述的功能的處理器、數位訊號處理器 (DSP)、特殊應用積體電路 (ASIC)、現場可程式設計閘陣列 (FPGA) 或其他

可程式設計邏輯裝置、個別閘門或電晶體邏輯、個別的硬體部件、或其任何組合來實現或執行。處理器可以是微處理器，但在替換方案中，處理器可以是任何一般處理器、控制器、微控制器或狀態機。處理器亦可以被實現為計算設備的組合（例如 DSP 與微處理器的組合、複數個微處理器、與 DSP 核協調的一或多個微處理器、或任何其他此類配置）。

**【0053】** 本文中所示的各態樣可被實施在硬體和儲存在硬體中的指令中，並且可常駐在例如隨機存取記憶體（RAM）、快閃記憶體、唯讀記憶體（ROM）、電可程式設計 ROM（EPROM）、電子可抹除可程式設計 ROM（EEPROM）、暫存器、硬碟、可移除磁碟、CD-ROM、或本發明所屬領域中所知的任何其他形式的電腦可讀取媒體中。示例性儲存媒體被耦合至處理器，以使得處理器能從/向該儲存媒體讀取/寫入資訊。在替換方案中，儲存媒體可被整合到處理器。處理器和儲存媒體可常駐在 ASIC 中。ASIC 可常駐在遠程站中。在替換方案中，處理器和儲存媒體可作為個別部件常駐在遠端站、基地台或伺服器中。

**【0054】** 亦注意到，本文任何示例性態樣中所描述的操作步驟是為了提供實例和論述而被描述的。所描述的操作可按除了所圖示的順序之外的眾多不同順序來執行。此外，在單個操作步驟中描述的操作實際上可在多個不同步驟中執行。另外，可組合示例性態樣中論述的一或多個操作步驟。應理解，如對本發明所屬領域中具有通常知識者顯而

易見地，在流程圖中圖示的操作步驟可進行眾多不同的修改。本發明所屬領域中具有通常知識者亦將理解，可使用各種不同技術和技藝中的任何一種來表示資訊和訊號。例如，貫穿上面說明始終可能被述及的資料、指令、命令、資訊、訊號、位元、符號和碼片可由電壓、電流、電磁波、磁場或磁粒子、光場或光粒子、或其任何組合來表示。

**【0055】** 提供對本案的先前描述是為使得本領域任何技藝人士皆能夠製作或使用本案。對本案的各種修改對於本發明所屬領域中具有通常知識者將是顯而易見的，並且本文中所定義的普適原理可被應用於其他變形。由此，本案並非意欲被限定於本文中所描述的實例和設計，而是應被授予與本文中所揭示的原理和新穎特徵一致的最廣義的範疇。

**【0056】** 在以下經編號態樣 / 條款中描述了各實現實例：

1. 一種積體電路（IC）封裝，包括：

封裝基板；

第一晶粒；

第二晶粒；

第一複數個晶粒互連，第一複數個晶粒互連被耦合到該封裝基板和第一晶粒以在第一晶粒與該封裝基板之間產生晶粒支起區；

第二複數個晶粒互連，第二複數個晶粒互連被佈置在該晶粒支起區中並被耦合到該封裝基板和第二晶粒；

形成在第一複數個晶粒互連與第二複數個晶粒互連之間的晶粒支起區中的腔；及

佈置在該腔中的晶粒到晶粒（D2D）互連結構，該D2D互連結構包括耦合到第一晶粒和第二晶粒的複數個D2D互連。

2. 如條款1的IC封裝，其中該複數個D2D互連未被耦合到該封裝基板。

3. 如條款1和2中的任一項的IC封裝，其中：

第二晶粒在水平方向上水平地毗鄰於第一晶粒；

第一晶粒的第一主動側被佈置成在與該水平方向正交的垂直方向上毗鄰於該封裝基板；並且

第二晶粒的第二主動側被佈置成在該垂直方向上毗鄰於該封裝基板。

4. 如條款3的IC封裝，其中該D2D互連結構在該垂直方向上的高度小於晶粒-基板支起腔在該垂直方向上的高度。

5. 如條款3和4中的任一項的IC封裝，其中：

第二晶粒與第一晶粒水平相鄰一間隔距離以在第一晶粒與第二晶粒之間形成水平晶粒分隔區；並且

該晶粒-基板支起腔被部分地佈置成在該垂直方向上毗鄰於該水平晶粒分隔區。

6. 如條款3-5中的任一項的IC封裝，其中第一複數個晶粒互連和第二複數個晶粒互連在該垂直方向上的高度定義該腔在該垂直方向上的高度。

7. 如條款 3 - 6 中的任一項的 IC 封裝，其中該 D 2 D 互連結構包括重分佈層 ( R D L )，該 R D L 包括耦合到第一晶粒和第二晶粒的至少一個金屬互連。

8. 如條款 7 的 IC 封裝，其中該 R D L 包括具有 2 / 2 或更小的線間距 ( L / S ) 比的複數個金屬互連。

9. 如條款 7 和 8 中的任一項的 IC 封裝，其中：  
第一複數個晶粒互連和第二複數個晶粒互連的高度在 3 0 - 4 0 微米 (  $\mu\text{m}$  ) 之間；

該 R D L 的高度小於或等於 7  $\mu\text{m}$ ；並且

該 R D L 包括具有 2 / 2 或更小的線間距 ( L / S ) 比的複數個金屬互連。

1 0 . 如條款 1 - 9 中的任一項的 IC 封裝，其中：

第一晶粒包括第一主動側和第一背側；

第二晶粒包括第二主動側和第二背側；

第一複數個晶粒互連將第一晶粒的第一主動側耦合到該封裝基板；並且

第二複數個晶粒互連將第二晶粒的第二主動側耦合到該封裝基板。

1 1 . 如條款 1 - 1 0 中的任一項的 IC 封裝，進一步包括：  
重構晶粒模組，該重構晶粒模組包括：

毗鄰於該封裝基板的主動側；

包括在該主動側上的第一主動側以及第一背側的第一晶粒；

包括在該主動側上的第二主動側以及第二背側的第二晶粒；及

模製化合物，該模製化合物被佈置成毗鄰於第一晶粒的第一背側以及第二晶粒的第二背側。

12. 如條款1-11中的任一項的IC封裝，其中：

第二晶粒與第一晶粒水平相鄰一間隔距離以在第一晶粒與第二晶粒之間形成水平晶粒分隔區；

第一晶粒包括水平地毗鄰於該水平晶粒分隔區的第一D2D介面電路系統；

第二晶粒包括水平地毗鄰於該水平晶粒分隔區的第二D2D介面電路系統；

第一D2D介面電路系統被耦合到該D2D互連結構；

第二D2D介面電路系統被耦合到該D2D互連結構；並且

該D2D互連結構將第一D2D介面電路系統耦合到第二D2D介面電路系統。

13. 如條款12的IC封裝，其中：

該D2D互連結構包括一或多個金屬化層，每個金屬化層包括一或多個金屬互連；

第一晶粒被耦合到該D2D互連結構的該一或多個金屬化層中的一或多個金屬互連；並且

第二晶粒被耦合到該D2D互連結構的該一或多個金屬化層中的一或多個金屬互連。

14. 如條款13的IC封裝，其中：

該一或多個金屬化層包括一或多個重分佈層（RDL），每個重分佈層包括一或多個金屬互連；

第一晶粒被耦合到該D2D互連結構的該一或多個RDL中的一或多個金屬互連；並且

第二晶粒被耦合到該D2D互連結構的該一或多個RDL中的一或多個金屬互連。

15. 如條款12-14中的任一項的IC封裝，其中：

第二晶粒在水平方向上水平地毗鄰於第一晶粒；

第一D2D介面電路系統在與該水平方向正交的垂直方向上被佈置在該腔上方；並且

第二D2D介面電路系統在該垂直方向上被佈置在該腔上方。

16. 如條款1和-15中的任一項的IC封裝，其中：

第一複數個晶粒互連包括複數個金屬柱；並且

第二複數個晶粒互連包括複數個金屬柱。

17. 如條款1-16中的任一項的IC封裝，其中該封裝基板包括一或多個金屬化層，每個金屬化層包括複數個金屬互連；

第一複數個晶粒互連被耦合到該封裝基板中的該複數個金屬互連之中的一或多個金屬互連；並且

第二複數個晶粒互連被耦合到該封裝基板中的該複數個金屬互連之中的一或多個金屬互連。

18. 如條款1-17中的任一項的IC封裝，該IC封裝被整合到選自包括以下各項的群的設備中：機上盒、娛樂單

元、導航設備、通訊設備、固定位置資料單元、移動位置資料單元、全球定位系統（GPS）設備、行動電話、蜂巢式電話、智慧型電話、對話啟動協定（SIP）電話、平板設備、平板手機、伺服器、電腦、可攜式電腦、行動計算裝置、可穿戴計算設備、桌上型電腦、個人數位助理（PDA）、監視器、電腦監視器、電視機、調諧器、無線電、衛星無線電、音樂播放機、數位音樂播放機、可攜式音樂播放機、數位視訊播放機、視訊播放機、數位視訊碟（DVD）播放機，可攜式數位視訊播放機、汽車、交通工具部件、航空電子系統、無人機、以及多旋翼飛行器。

19. 一種製造積體電路（IC）封裝的方法，包括：  
形成晶粒模組，該晶粒模組包括主動側、包含毗鄰於該主動側的第一主動側的第一晶粒、以及包含毗鄰於該主動側的第二主動側的第二晶粒，第二晶粒水平地毗鄰於第一晶粒；  
毗鄰於該晶粒模組的主動側形成晶粒到晶粒（D2D）互連結構，該D2D互連結構包括複數個D2D互連；  
形成耦合到第一晶粒的第一主動側的第一複數個晶粒互連；及  
形成耦合到第二晶粒的第二主動側的第二複數個晶粒互連，以在第一複數個晶粒互連與第二複數個晶粒互連之間形成腔，並且該D2D互連結構被佈置在該腔中；  
在封裝基板上佈置該晶粒模組的主動側，包括：  
將第一複數個晶粒互連耦合到該封裝基板；及

將第二複數個晶粒互連耦合到該封裝基板。

20. 如條款19的方法，進一步包括：不將該複數個D2D互連耦合到該封裝基板。

21. 如條款19和20中的任一項的方法，其中形成該D2D互連結構進一步包括：

將第一晶粒中的第一D2D介面電路系統水平地耦合到該D2D互連結構；及

將第二晶粒中的第二D2D介面電路系統耦合到該D2D互連結構，以將第二D2D介面電路系統耦合到第一D2D介面電路系統。

22. 如條款19-21中的任一項的方法，其中形成該晶粒模組包括：

提供包括第一表面的載體；

在該載體的第一表面上放置第一晶粒；及

在該載體的第一表面上且水平地毗鄰於第一晶粒放置第二晶粒。

23. 如條款22該的方法，其中形成該晶粒模組進一步包括：

將黏合膜敷設到該載體的第一表面；並且

其中：

在該載體的第一表面上放置第一晶粒包括：在該黏合膜上放置第一晶粒；並且

在該載體的第一表面上放置第二晶粒包括：在該黏合膜上水平地毗鄰於第一晶粒放置第二晶粒。

24. 如條款22和23中的任一項的方法，進一步包括：在該載體的第一表面上以及在第一晶粒的第一背側和第二晶粒的第二背側上佈置包塑化合物。

25. 如條款24的方法，進一步包括：朝向第一晶粒的第一背側以及第二晶粒的第二背側磨除該包塑化合物的頂表面。

26. 如條款24和25中的任一項的方法，進一步包括：從該晶粒模組移除該載體；及毗鄰於第一晶粒的第一背側以及第二晶粒的第二背側將第二載體附連到該晶粒模組。

27. 如條款26的方法，進一步包括：在該腔中在第一晶粒的第一主動側的一部分以及第二晶粒的第二主動側的一部分上形成該D2D互連結構。

28. 如條款27該的方法，其中該D2D互連結構被佈置成垂直地毗鄰於第一晶粒與第二晶粒之間的水平晶粒分隔區。

29. 如條款27和28中的任一項的方法，其中形成該D2D互連結構包括：

在該腔中在第一晶粒的第一主動側以及第二晶粒的第二主動側上形成第一重分佈層（RDL）；及

在第一RDL上形成一或多個額外RDL。

30. 如條款27-29中的任一項的方法，進一步包括：從該晶粒模組移除第二載體。

31. 如條款27-30中的任一項的方法，進一步包括：  
將第一複數個晶粒互連和第二複數個晶粒互連耦合到該封裝基板。

**【符號說明】**

**【0057】**

100: 拆分式半導體晶粒（「晶粒」）IC封裝

102: D2D中介體

104: 封裝基板

106(1): 晶粒

106(2): 晶粒

108: 晶粒分隔區

110: 外部互連

112: 晶粒互連

114: 金屬柱

116(1): 主動側

116(2): 主動側

118: 焊料接頭

120: D2D互連

200: 封裝

202: D2D互連結構

204: 支起腔

206(1): 晶粒

206(2): 晶粒

208: 封裝基板

2 1 0 : 晶 粒 互 連  
2 1 0 ( 1 ) : 晶 粒 互 連  
2 1 0 ( 2 ) : 晶 粒 互 連  
2 1 1 : 外 部 互 連  
2 1 2 : 晶 粒 分 隔 區  
2 1 4 : 晶 粒 模 組  
2 1 6 : 包 塑 化 合 物  
2 1 8 : 重 構 晶 片  
2 2 0 : 介 電 層  
2 2 2 : 封 裝 化 合 物  
2 2 4 ( 1 ) : 主 動 側  
2 2 4 ( 2 ) : 主 動 側  
2 2 6 ( 1 ) : 背 側  
2 2 6 ( 2 ) : 背 側  
2 2 8 : 晶 粒 支 起 區  
2 3 2 : D 2 D 互 連  
2 3 4 ( 1 ) : D 2 D 介 面 電 路 系 統  
2 3 4 ( 2 ) : D 2 D 介 面 電 路 系 統  
2 3 6 : 主 動 側  
2 3 8 ( 1 ) : 金 屬 柱  
2 3 8 ( 2 ) : 金 屬 柱  
2 4 0 ( 1 ) : 互 連 凸 塊  
2 4 0 ( 2 ) : 互 連 凸 塊  
2 4 2 ( 1 ) : 金 屬 化 層

- 2 4 2 ( 2 ) : 金 屬 化 層
- 2 4 2 ( 3 ) : 金 屬 化 層
- 2 4 3 ( 1 ) : 金 屬 互 連
- 2 4 3 ( 2 ) : 金 屬 互 連
- 2 4 3 ( 3 ) : 金 屬 互 連
- 2 4 4 ( 1 ) : 金 屬 化 層
- 2 4 4 ( 2 ) : 金 屬 化 層
- 2 4 4 ( 3 ) : 金 屬 化 層
- 2 4 6 ( 1 ) : R D L
- 2 4 6 ( 2 ) : R D L
- 2 4 6 ( 3 ) : R D L
- 2 4 8 ( 1 ) : 金 屬 互 連
- 2 4 8 ( 2 ) : 金 屬 互 連
- 2 4 8 ( 3 ) : 金 屬 互 連
- 4 0 0 : 程 序
- 4 0 2 : 方 塊
- 4 0 4 : 方 塊
- 4 0 6 : 方 塊
- 4 0 8 : 方 塊
- 4 1 0 : 方 塊
- 4 1 2 : 方 塊
- 4 1 4 : 方 塊
- 5 0 0 : 程 序
- 5 0 2 : 方 塊

- 5 0 4 : 方 塊
- 5 0 6 : 方 塊
- 5 0 8 : 方 塊
- 5 1 0 : 方 塊
- 5 1 2 : 方 塊
- 5 1 4 : 方 塊
- 5 1 6 : 方 塊
- 6 0 0 A : 製 造 階 段
- 6 0 0 B : 製 造 階 段
- 6 0 0 C : 製 造 階 段
- 6 0 0 D : 製 造 階 段
- 6 0 0 E : 製 造 階 段
- 6 0 0 F : 製 造 階 段
- 6 0 0 G : 製 造 階 段
- 6 0 0 H : 製 造 階 段
- 6 0 2 : 載 體
- 6 0 4 : 第 一 表 面
- 6 0 6 : 重 構 晶 片
- 6 0 8 : 黏 合 膜
- 6 1 2 : 頂 表 面
- 6 1 4 : 表 面
- 6 1 6 : 第 二 載 體
- 6 1 8 : 黏 合 層
- 7 0 0 : 系 統

- 702: IC
- 704: 拆分式晶粒 IC 封裝
- 706: 片上系統 (SoC)
- 708: CPU
- 710: 處理器
- 712: 快取緩衝記憶體
- 714: 系統匯流排
- 716: 記憶體控制器
- 718: 記憶體陣列
- 720: 記憶體系統
- 722: 輸入設備
- 724: 輸出設備
- 726: 網路周邊設備
- 728: 顯示控制器
- 730: 網路
- 732: 顯示器
- 734: 視訊處理器
- 800: 無線通訊設備
- 802: IC
- 803: 拆分式晶粒 IC 封裝
- 804: 收發機
- 806: 資料處理器
- 808: 發射器
- 810: 接收器

- 8 1 2 ( 1 ) : 數 位 類 比 轉 換 器 ( D A C )
- 8 1 2 ( 2 ) : 數 位 類 比 轉 換 器 ( D A C )
- 8 1 4 ( 1 ) : 低 通 濾 波 器
- 8 1 4 ( 2 ) : 低 通 濾 波 器
- 8 1 6 ( 1 ) : 放 大 器 ( A M P )
- 8 1 6 ( 2 ) : 放 大 器 ( A M P )
- 8 1 8 : 升 頻 轉 換 器
- 8 2 0 ( 1 ) : 混 頻 器
- 8 2 0 ( 2 ) : 混 頻 器
- 8 2 2 : 發 射 ( T X ) 本 端 振 盪 器 ( L O ) 訊 號 產 生 器
- 8 2 4 : 經 升 頻 轉 換 訊 號
- 8 2 6 : 濾 波 器
- 8 2 8 : 功 率 放 大 器 ( P A )
- 8 3 0 : 雙 工 器 或 開 關
- 8 3 2 : 天 線
- 8 3 4 : 低 雜 訊 放 大 器 ( L N A )
- 8 3 6 : 濾 波 器
- 8 3 8 ( 1 ) : 降 頻 轉 換 混 頻 器
- 8 3 8 ( 2 ) : 降 頻 轉 換 混 頻 器
- 8 4 0 : R X L O 訊 號 產 生 器
- 8 4 2 ( 1 ) : A M P
- 8 4 2 ( 2 ) : A M P
- 8 4 4 ( 1 ) : 低 通 濾 波 器
- 8 4 4 ( 2 ) : 低 通 濾 波 器

846(1):類比數位轉換器(ADC)

846(2):類比數位轉換器(ADC)

848:TX鎖相迴路(PLL)電路

850:RX PLL電路

A<sub>1</sub>:線

A<sub>1</sub>':線

A<sub>2</sub>:線

A<sub>2</sub>':線

D<sub>1</sub>:距離

D<sub>2</sub>:厚度

H<sub>1</sub>:高度

H<sub>2</sub>:高度

H<sub>3</sub>:高度

H<sub>4</sub>:高度

H<sub>5</sub>:高度

H<sub>6</sub>:高度

X:軸

Y:軸

Z:軸

**【生物材料寄存】**

國內寄存資訊(請依寄存機構、日期、號碼順序註記)

無

國外寄存資訊(請依寄存國家、機構、日期、號碼順序註記)

無

## 【發明申請專利範圍】

【請求項 1】 一種積體電路（IC）封裝，包括：

一封裝基板；

一第一晶粒；

一第二晶粒；

第一複數個晶粒互連，該第一複數個晶粒互連被耦合到該封裝基板和該第一晶粒以在該第一晶粒與該封裝基板之間建立一晶粒支起區；

第二複數個晶粒互連，該第二複數個晶粒互連被佈置在該晶粒支起區中並被耦合到該封裝基板和該第二晶粒；

在該第一複數個晶粒互連與該第二複數個晶粒互連之間的該晶粒支起區中形成的一腔；及

佈置在該腔中的一晶粒到晶粒（D2D）互連結構，該 D2D 互連結構包括耦合到該第一晶粒和該第二晶粒的複數個 D2D 互連。

【請求項 2】 如請求項 1 之 IC 封裝，其中該複數個 D2D 互連未被耦合到該封裝基板。

【請求項 3】 如請求項 1 之 IC 封裝，其中：

該第二晶粒在一水平方向上水平地毗鄰於該第一晶粒；

該第一晶粒的一第一主動側被佈置成在與該水平方向正交的一垂直方向上毗鄰於該封裝基板；並且

該第二晶粒的一第二主動側被佈置成在該垂直方向上

毗鄰於該封裝基板。

【請求項4】 如請求項3之IC封裝，其中該D2D互連結構在該垂直方向上的一高度小於該腔在該垂直方向上的一高度。

【請求項5】 如請求項3之IC封裝，其中：

該第二晶粒與該第一晶粒水平相鄰一間隔距離以在該第一晶粒與該第二晶粒之間形成一水平晶粒分隔區；並且

該腔被部分地佈置成在該垂直方向上毗鄰於該水平晶粒分隔區。

【請求項6】 如請求項3之IC封裝，其中該第一複數個晶粒互連和該第二複數個晶粒互連在該垂直方向上的一高度定義該腔在該垂直方向上的一高度。

【請求項7】 如請求項1之IC封裝，其中該D2D互連結構包括一重分佈層（RDL），該RDL包括耦合到該第一晶粒和該第二晶粒的至少一個金屬互連。

【請求項8】 如請求項7之IC封裝，其中該RDL包括具有2/2或更小的一線間距（L/S）比的複數個金屬互連。

【請求項9】 如請求項7之IC封裝，其中：

該第一複數個晶粒互連和該第二複數個晶粒互連的一高度在30-40微米（ $\mu\text{m}$ ）之間；

該RDL的一高度小於或等於7 $\mu\text{m}$ ；並且

該RDL包括具有2/2或更小的一線間距（L/S）比

的複數個金屬互連。

【請求項 10】如請求項 1 之 IC 封裝，其中：

該第一晶粒包括一第一主動側和一第一背側；

該第二晶粒包括一第二主動側和一第二背側；

該第一複數個晶粒互連將該第一晶粒的該第一主動側耦合到該封裝基板；並且

該第二複數個晶粒互連將該第二晶粒的該第二主動側耦合到該封裝基板。

【請求項 11】如請求項 1 之 IC 封裝，進一步包括：一重構晶粒模組，該重構晶粒模組包括：

毗鄰於該封裝基板的一主動側；

包括在該主動側上的一第一主動側以及一第一背側的該第一晶粒；

包括在該主動側上的一第二主動側以及一第二背側的該第二晶粒；及

一模製化合物，該模製化合物被佈置成毗鄰於該第一晶粒的該第一背側以及該第二晶粒的該第二背側。

【請求項 12】如請求項 1 之 IC 封裝，其中：

該第二晶粒與該第一晶粒水平相鄰一間隔距離以在該第一晶粒與該第二晶粒之間形成一水平晶粒分隔區；

該第一晶粒包括水平地毗鄰於該水平晶粒分隔區的一第一 D2D 介面電路系統；

該第二晶粒包括水平地毗鄰於該水平晶粒分隔區的一第二 D2D 介面電路系統；

該第一 D 2 D 介面電路系統被耦合到該 D 2 D 互連結構；

該第二 D 2 D 介面電路系統被耦合到該 D 2 D 互連結構；並且

該 D 2 D 互連結構將該第一 D 2 D 介面電路系統耦合到該第二 D 2 D 介面電路系統。

【請求項 13】如請求項 12 之 IC 封裝，其中：

該 D 2 D 互連結構包括一或多個金屬化層，每個金屬化層包括一或多個金屬互連；

該第一晶粒被耦合到該 D 2 D 互連結構的該一或多個金屬化層中的一或多個金屬互連；並且

該第二晶粒被耦合到該 D 2 D 互連結構的該一或多個金屬化層中的一或多個金屬互連。

【請求項 14】如請求項 13 之 IC 封裝，其中：

該一或多個金屬化層包括一或多個重分佈層(RDL)，每個 RDL 包括一或多個金屬互連；

該第一晶粒被耦合到該 D 2 D 互連結構的該一或多個 RDL 中的一或多個金屬互連；並且

該第二晶粒被耦合到該 D 2 D 互連結構的該一或多個 RDL 中的一或多個金屬互連。

【請求項 15】如請求項 12 之 IC 封裝，其中：

該第二晶粒在一水平方向上水平地毗鄰於該第一晶粒；

該第一 D 2 D 介面電路系統在與該水平方向正交的一

垂直方向上被佈置在該腔上方；並且

該第二 D 2 D 介面電路系統在該垂直方向上被佈置在該腔上方。

【請求項 16】如請求項 1 之 IC 封裝，其中：

該第一複數個晶粒互連包括複數個金屬柱；並且

該第二複數個晶粒互連包括複數個金屬柱。

【請求項 17】如請求項 1 之 IC 封裝，其中該封裝基板包括一或多個金屬化層，每個金屬化層包括複數個金屬互連；

該第一複數個晶粒互連被耦合到該封裝基板中的該複數個金屬互連之中的一或多個金屬互連；並且

該第二複數個晶粒互連被耦合到該封裝基板中的該複數個金屬互連之中的一或多個金屬互連。

【請求項 18】如請求項 1 之 IC 封裝，該 IC 封裝被整合到選自包括以下各項的群的一設備中：一機上盒、一娛樂單元、一導航設備、一通訊設備、一固定位置資料單元、一行動位置資料單元、一全球定位系統（GPS）設備、一行動電話、一蜂巢式電話、一智慧型電話、一對話啟動協定（SIP）電話、一平板設備、一平板手機、一伺服器、一電腦、一可攜式電腦、一行動計算裝置、一可穿戴計算設備、一桌上型電腦、一個人數位助理（PDA）、一監視器、一電腦監視器、一電視機、一調諧器、一無線電、一衛星無線電、一音樂播放機、一數位音樂播放機、一可攜式音樂播放機、一數位視訊播放

機、一視訊播放機、一數位視訊碟（DVD）播放機、一可攜式數位視訊播放機、一汽車、一交通工具部件、一航空電子系統、一無人機、以及一多旋翼飛行器。

**【請求項 19】** 一種製造一積體電路（IC）封裝的方法，包括以下步驟：

形成一晶粒模組，該晶粒模組包括一主動側、包含毗鄰於該主動側的一第一主動側的一第一晶粒、以及包含毗鄰於該主動側的一第二主動側的一第二晶粒，該第二晶粒水平地毗鄰於該第一晶粒；

毗鄰於該晶粒模組的該主動側形成一晶粒到晶粒（D2D）互連結構，該 D2D 互連結構包括複數個 D2D 互連；

形成耦合到該第一晶粒的該第一主動側的第一複數個晶粒互連；及

形成耦合到該第二晶粒的該第二主動側的第二複數個晶粒互連以在該第一複數個晶粒互連與該第二複數個晶粒互連之間形成一腔，並且該 D2D 互連結構被佈置在該腔中；

在一封裝基板上佈置該晶粒模組的該主動側，包括：

將該第一複數個晶粒互連耦合到該封裝基板；及

將該第二複數個晶粒互連耦合到該封裝基板。

**【請求項 20】** 如請求項 19 之方法，進一步包括以下步驟：

不將該複數個 D2D 互連耦合到該封裝基板。

**【請求項 21】** 如請求項 19 之方法，其中形成該 D2D 互連

結構進一步包括以下步驟：

將該第一晶粒中的一第一 D2D 介面電路系統水平地耦合到該 D2D 互連結構；及

將該第二晶粒中的一第二 D2D 介面電路系統耦合到該 D2D 互連結構，以將該第二 D2D 介面電路系統耦合到該第一 D2D 介面電路系統。

**【請求項 22】** 如請求項 19 之方法，其中形成該晶粒模組包括以下步驟：

提供包括一第一表面的一載體；

在該載體的該第一表面上放置該第一晶粒；及

在該載體的該第一表面上且水平地毗鄰於該第一晶粒放置該第二晶粒。

**【請求項 23】** 如請求項 22 之方法，其中形成該晶粒模組進一步包括以下步驟：

將一黏合膜敷設到該載體的該第一表面；並且

其中：

在該載體的該第一表面上放置該第一晶粒包括：在該黏合膜上放置該第一晶粒；並且

在該載體的該第一表面上放置該第二晶粒包括：在該黏合膜上水平地毗鄰於該第一晶粒放置該第二晶粒。

**【請求項 24】** 如請求項 22 之方法，進一步包括以下步驟：

在該載體的該第一表面上以及在該第一晶粒的一第一背側和該第二晶粒的一第二背側上佈置一包塑化合物。

- 【請求項 25】如請求項 24 之方法，進一步包括以下步驟：  
朝向該第一晶粒的該第一背側以及該第二晶粒的該第二背側磨除該包塑化合物的一頂表面。
- 【請求項 26】如請求項 24 之方法，進一步包括以下步驟：  
從該晶粒模組移除該載體；及  
毗鄰於該第一晶粒的該第一背側以及該第二晶粒的該第二背側將一第二載體附連到該晶粒模組。
- 【請求項 27】如請求項 26 之方法，進一步包括以下步驟：  
在該腔中在該第一晶粒的該第一主動側的一部分以及該第二晶粒的該第二主動側的一部分上形成該 D2D 互連結構。
- 【請求項 28】如請求項 27 之方法，其中該 D2D 互連結構被佈置成垂直地毗鄰於該第一晶粒與該第二晶粒之間的一水平晶粒分隔區。
- 【請求項 29】如請求項 27 之方法，其中形成該 D2D 互連結構包括以下步驟：  
在該腔中在該第一晶粒的該第一主動側以及該第二晶粒的該第二主動側上形成一第一重分佈層（RDL）；及  
在該第一 RDL 上形成一或多個額外 RDL。
- 【請求項 30】如請求項 27 之方法，進一步包括以下步驟：  
從該晶粒模組移除該第二載體。
- 【請求項 31】如請求項 27 之方法，進一步包括以下步驟：  
將該第一複數個晶粒互連和該第二複數個晶粒互連耦合到該封裝基板。

(發明圖式)

拆分式晶粒IC封裝 (100)

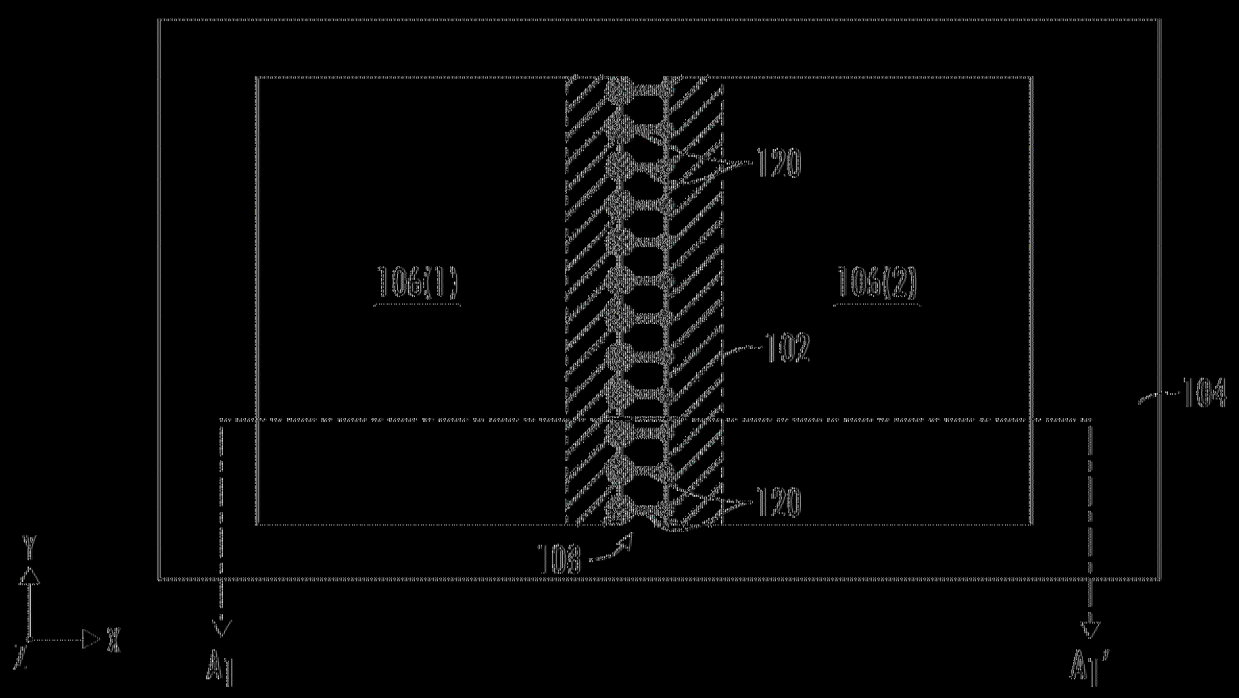


圖 1 A

拆分式晶粒IC封裝 (100)

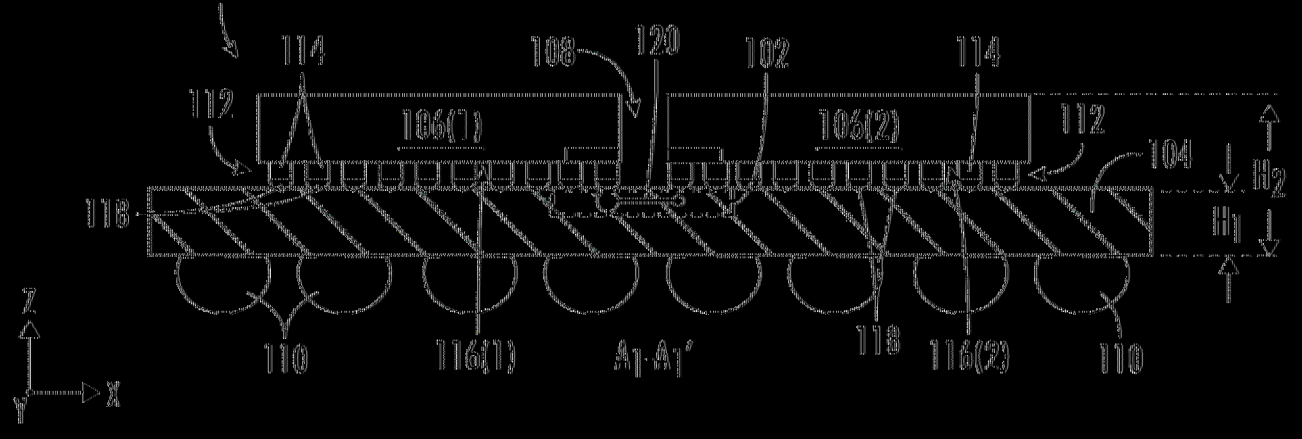


圖 1 B

拆分式晶粒IC封装 (200)

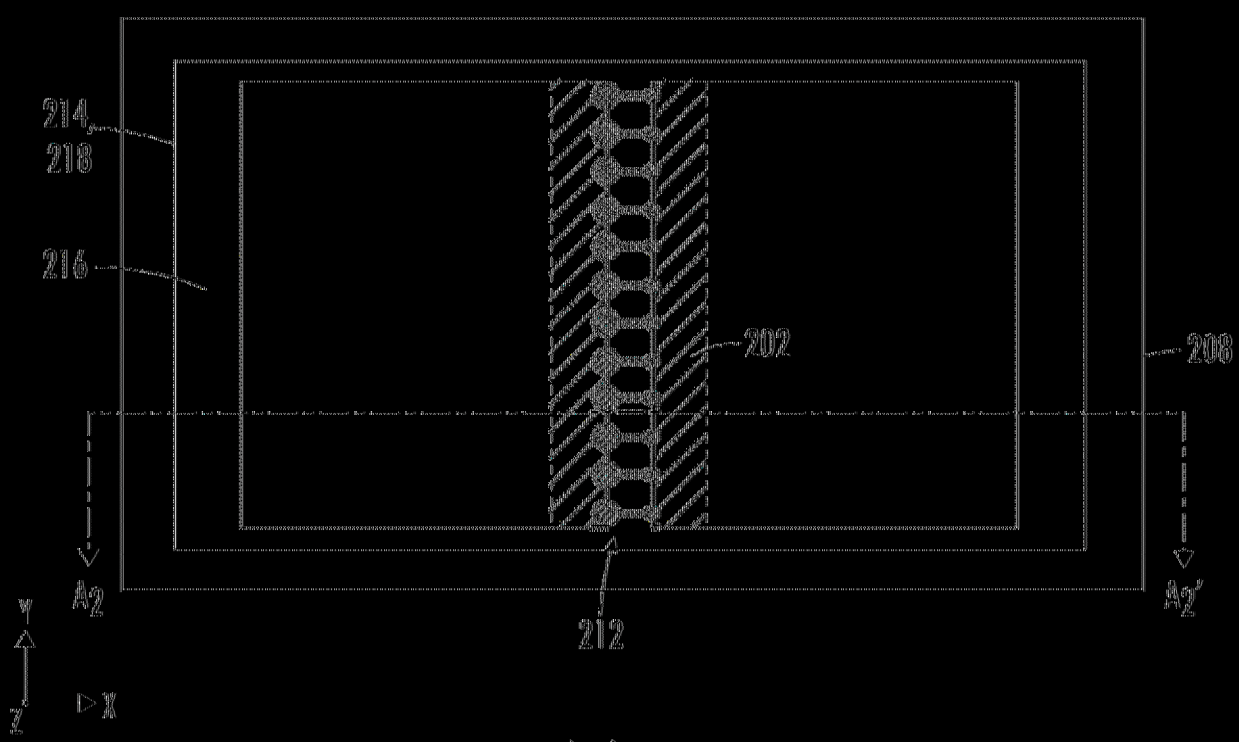


图2A

拆分式晶粒IC封装 (200)

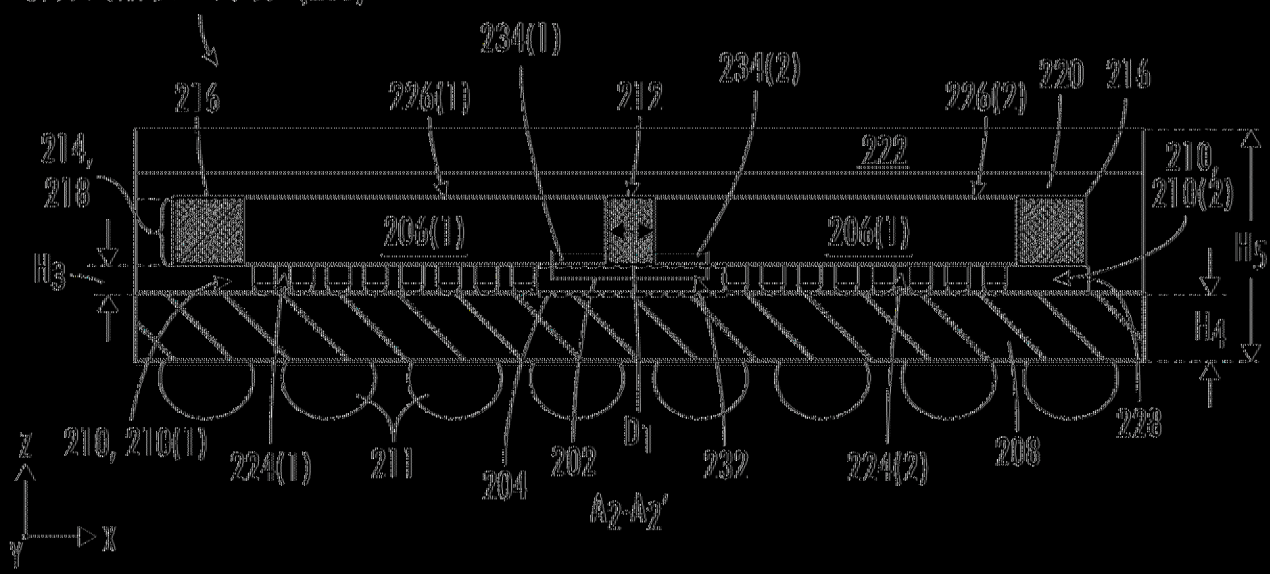
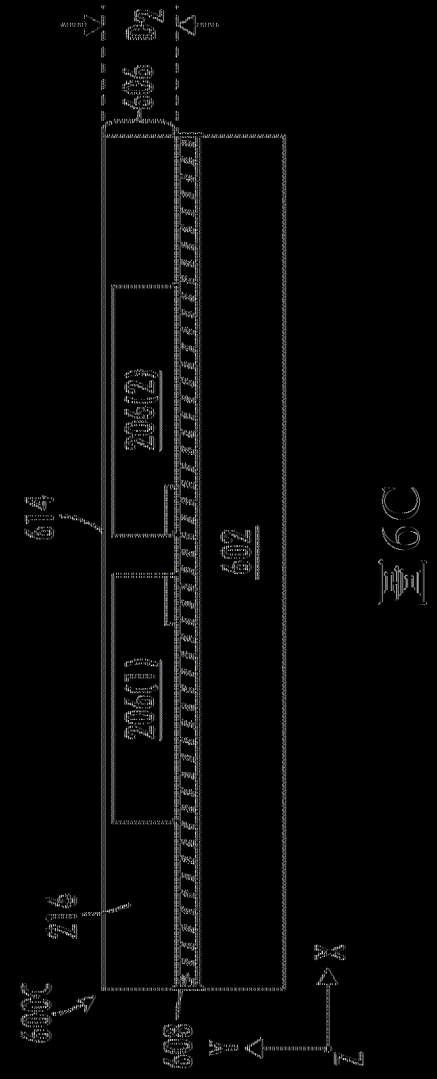
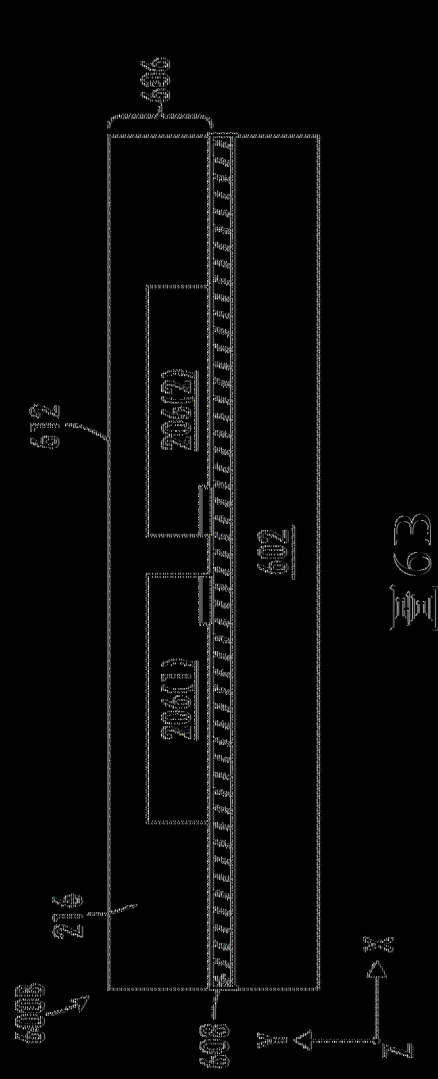
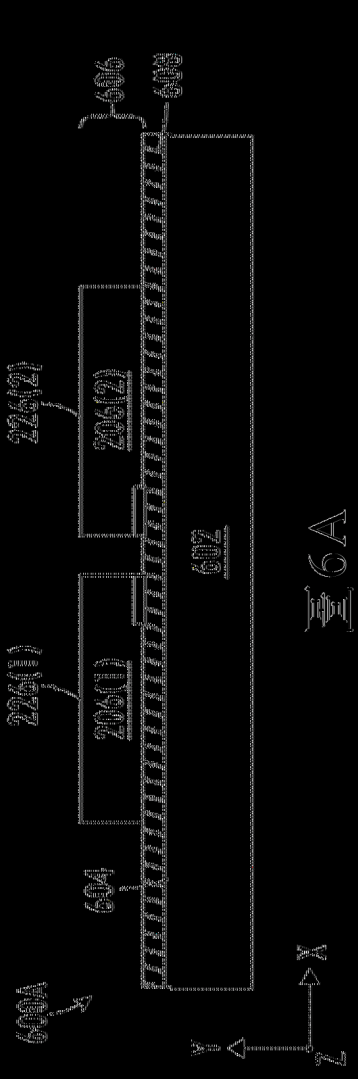
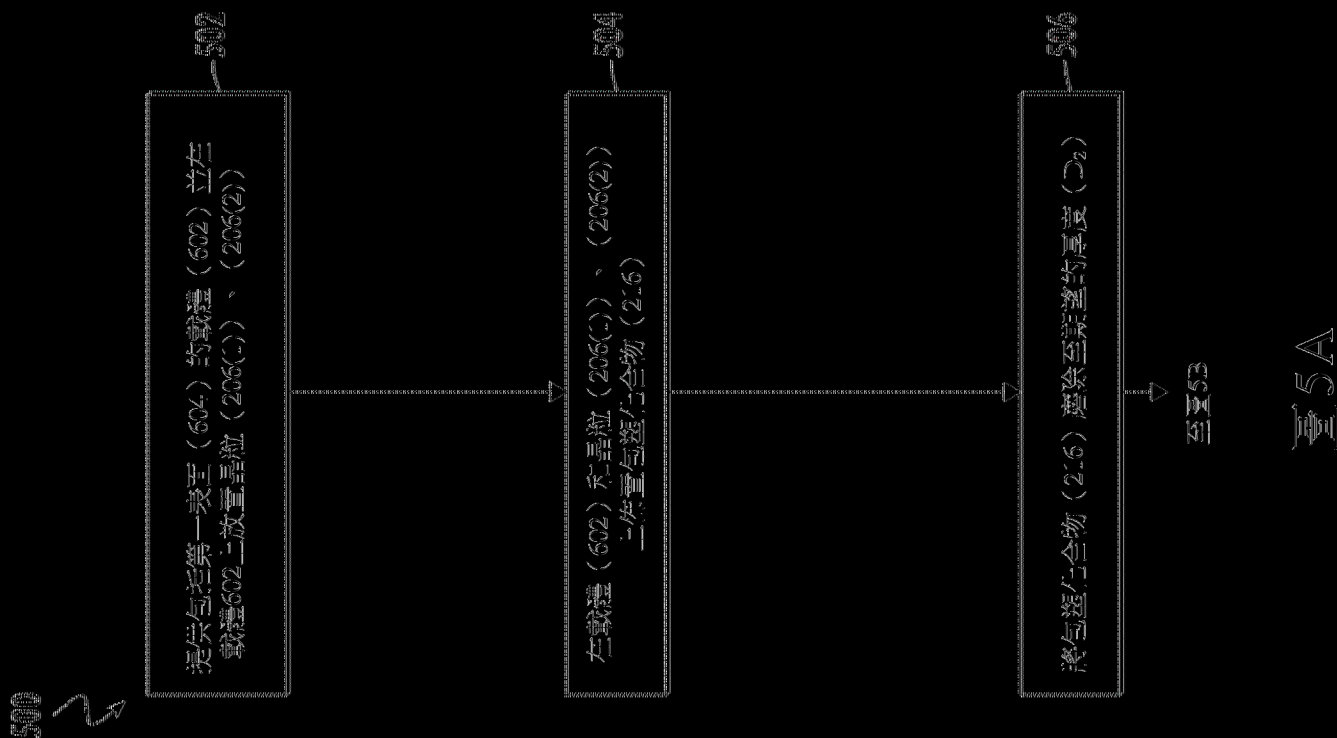


图2B







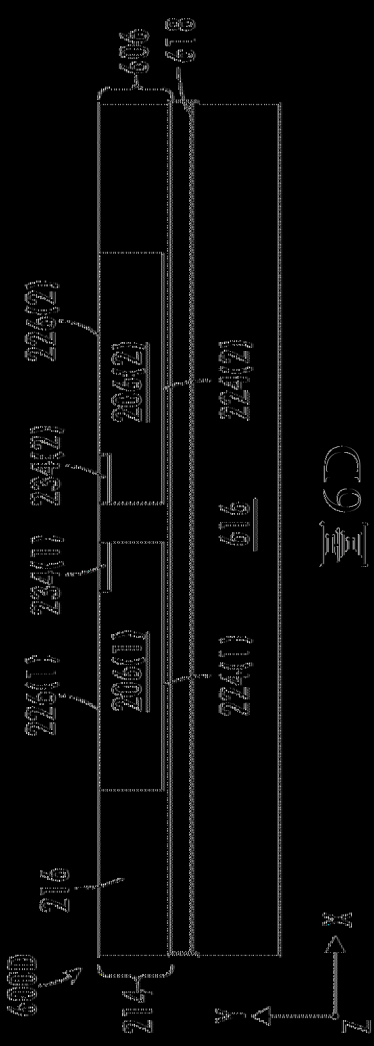


圖 56

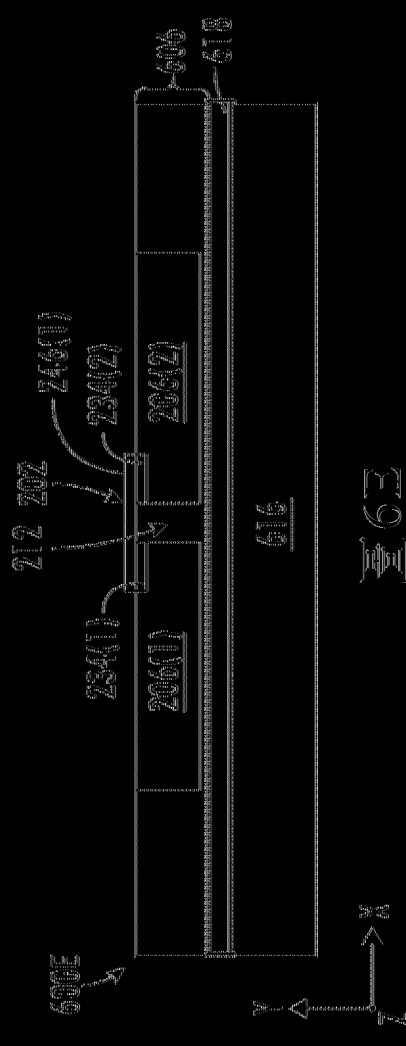


圖 57

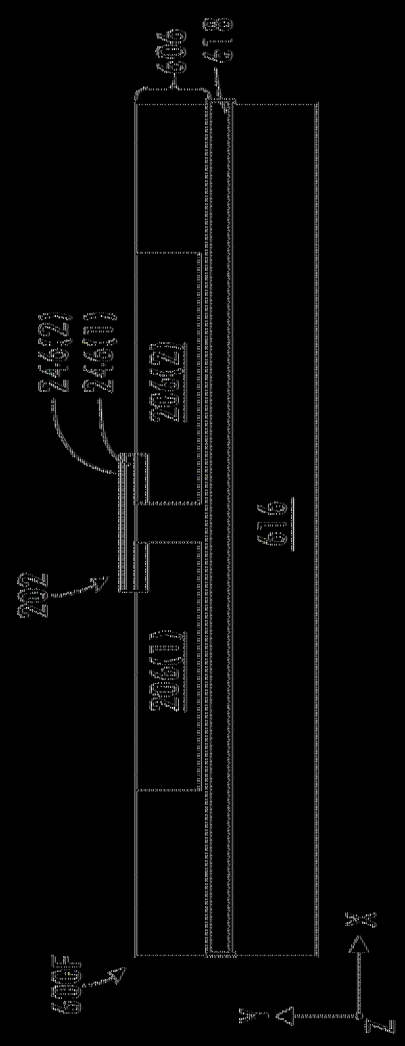


圖 58

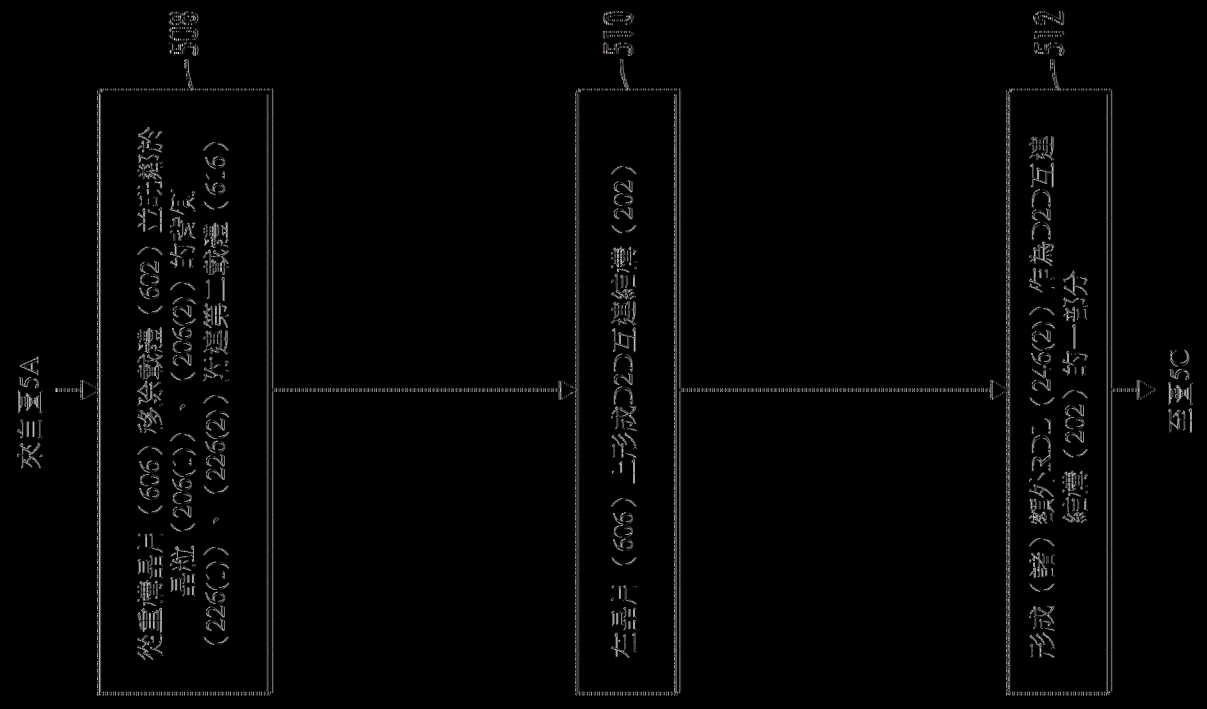


圖 53

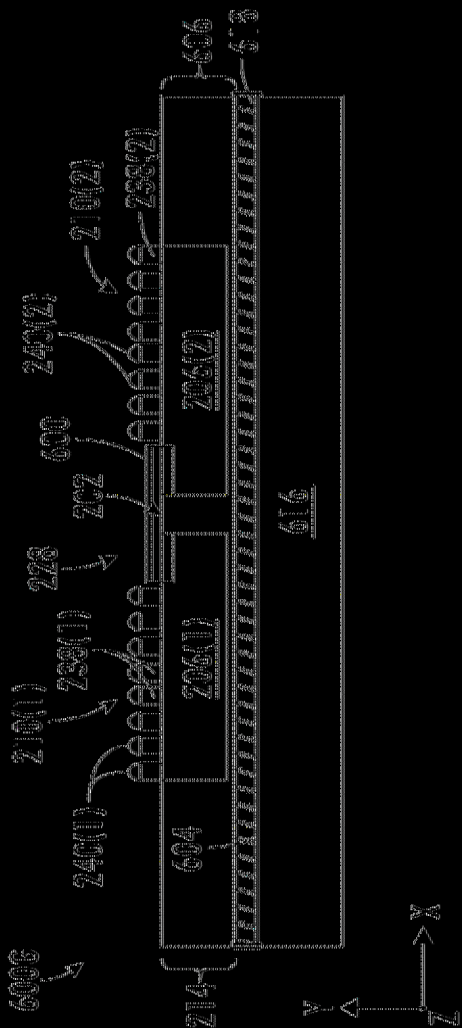


圖 6C

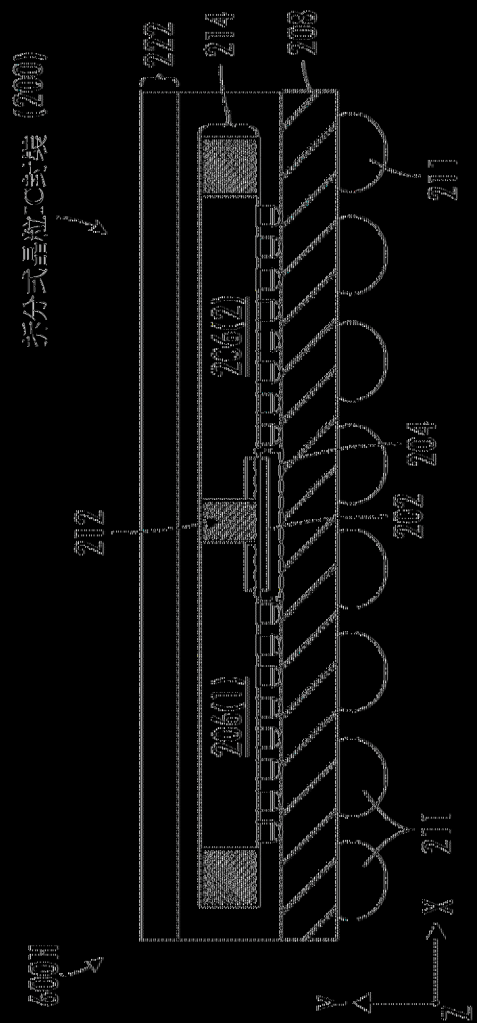


圖 6D

來自圖 53

514

右晶粒膜組 (2.4) 上形成耦合式晶粒 (206(1))、(206(2)) 的晶粒互連 (2.0(1))、(2.0(2))

516

移除第二顆粒 (6.6) 並在裝蓋板 (208) 上安置晶粒膜組 (2.4)，以將晶粒互連 (2.0(1))、(2.0(2)) 耦合式裝蓋板 (208)

圖 5C

