



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2012년04월13일  
(11) 등록번호 10-1135063  
(24) 등록일자 2012년04월03일

(51) 국제특허분류(Int. Cl.)  
H01L 29/786 (2006.01)  
(21) 출원번호 10-2006-7010990  
(22) 출원일자(국제) 2004년11월05일  
심사청구일자 2009년09월15일  
(85) 번역문제출일자 2006년06월05일  
(65) 공개번호 10-2007-0001891  
(43) 공개일자 2007년01월04일  
(86) 국제출원번호 PCT/JP2004/016797  
(87) 국제공개번호 WO 2005/048354  
국제공개일자 2005년05월26일  
(30) 우선권주장  
JP-P-2003-00386021 2003년11월14일 일본(JP)  
(56) 선행기술조사문헌  
KR100399556 B1\*  
US05156986 A1\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
가부시키가이샤 한도오파이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398  
(72) 발명자  
칸노 요헤이  
일본국 가나가와켄 아쓰기시 하세 398 가부시키가  
이샤 한도오파이에네루기 켄큐쇼 나이  
후지이 겐  
일본국 가나가와켄 아쓰기시 하세 398 가부시키가  
이샤 한도오파이에네루기 켄큐쇼 나이  
(74) 대리인  
이화익, 김홍두

전체 청구항 수 : 총 8 항

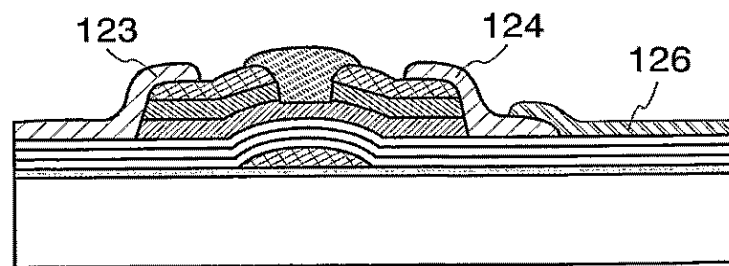
심사관 : 이상호

(54) 발명의 명칭 반도체 소자와 액정 표시장치의 제조방법

(57) 요약

종래의 TFT를 역 스테거 구조로 할 경우에는, 섬 형상의 반도체영역을 형성하는 데에 레지스트 마스크를 노광, 현상 공정, 액적도출공정을 거쳐서 형성할 필요가 있다. 이는 공정 수, 재료 종류의 증가를 초래하였다. 본 발명에 따르면, 소스 영역 및 드레인 영역을 형성한 후에, 채널 영역이 되는 부분을 채널 보호막의 기능을 하는 절연막으로 덮어 섬 형상 반도체막을 형성하므로, 레지스트 마스크를 설치할 필요 없이, 금속 마스크만으로 반도체소자를 제작할 수 있으므로, 공정을 간략화할 수 있다.

대표도



## 특허청구의 범위

### 청구항 1

삭제

### 청구항 2

삭제

### 청구항 3

삭제

### 청구항 4

삭제

### 청구항 5

삭제

### 청구항 6

삭제

### 청구항 7

삭제

### 청구항 8

스핀 도포법으로 기판의 전체면 위에 산화티탄을 포함하는 층을 형성하는 단계와,

상기 산화티탄을 포함하는 층 위에, 제1의 도전 재료를 포함하는 액적을 토출함으로써 게이트 전극층을 형성하는 단계와,

상기 게이트 전극층의 상면 및 상기 산화티탄을 포함하는 층의 상면과 접촉하는 게이트 절연층을 형성하는 단계와,

상기 게이트 절연층 위에 반도체막을 형성하는 단계와,

상기 반도체막 위에 일도전형의 불순물원소를 포함하는 반도체막을 형성하는 단계와,

상기 일도전형의 불순물원소를 포함하는 반도체막 위에, 제2의 도전 재료를 포함하는 액적을 토출함으로써, 소스 전극 및 드레인 전극을 형성하는 단계와,

상기 소스 전극 및 상기 드레인 전극을 마스크로 사용해서, 상기 일도전형의 불순물원소를 포함하는 반도체막을 제거함으로써, 소스 영역 및 드레인 영역을 형성하는 단계와,

상기 반도체막의 일부분 위에, 제 1 절연막을 형성하는 단계와,

액적 토출법으로 상기 소스 영역과 상기 드레인 영역 사이에 제 2 절연막을 형성하는 단계와,

상기 소스 전극, 상기 드레인 전극, 및 상기 제 1 절연막 및 상기 제 2 절연막을 마스크로 사용해서, 상기 반도체막을 제거함으로써, 섬 형상 반도체막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체소자의 제조 방법.

### 청구항 9

제 8항에 있어서,

상기 제 2 절연막은, 폴리이미드, 아크릴, 및 실리콘과 산소와의 결합으로 골격구조가 구성되고, 치환기에 적어

도 수소를 포함하는 재료, 혹은 치환기로 불소, 알킬기, 방향족 탄화수소 중 적어도 일종을 가지는 재료 중 적어도 하나를 포함하는 것을 특징으로 하는 반도체소자의 제조 방법.

#### 청구항 10

제 8항에 있어서,

상기 일부분은 채널 영역을 포함하는 것을 특징으로 하는 반도체소자의 제조 방법.

#### 청구항 11

삭제

#### 청구항 12

제 8항에 있어서,

상기 반도체소자는 텔레비전 수상기, 전자 서적, 휴대전화 중 적어도 하나에 내장되는 것을 특징으로 하는 반도체소자의 제조 방법.

#### 청구항 13

삭제

#### 청구항 14

삭제

#### 청구항 15

삭제

#### 청구항 16

삭제

#### 청구항 17

삭제

#### 청구항 18

삭제

#### 청구항 19

삭제

#### 청구항 20

스핀 도포법으로 기판의 전체면 위에 산화티탄을 포함하는 층을 형성하는 단계와,

상기 산화티탄을 포함하는 층 위에, 제1의 도전 재료를 포함하는 액적을 토출함으로써 게이트 전극층을 형성하는 단계와,

상기 게이트 전극층의 상면 및 상기 산화티탄을 포함하는 층의 상면과 접촉하는 게이트 절연층을 형성하는 단계와,

상기 게이트 절연층 위에 반도체막을 형성하는 단계와,

상기 반도체막 위에 일도전형의 불순물원소를 포함하는 반도체막을 형성하는 단계와,

상기 일도전형의 불순물원소를 포함하는 반도체막 위에, 제2의 도전 재료를 포함하는 액적을 토출함으로써, 소스 전극 및 드레인 전극을 형성하는 단계와,

상기 소스 전극 및 상기 드레인 전극을 마스크로 사용해서, 상기 일도전형의 불순물원소를 포함하는 반도체막을 제거함으로써, 소스 영역 및 드레인 영역을 형성하는 단계와,

상기 반도체막의 일부분 위에, 제 1 절연막을 형성하는 단계와,

액적 토출법으로 상기 소스 영역과 상기 드레인 영역 사이에 제 2 절연막을 형성하는 단계와,

상기 소스 전극, 상기 드레인 전극, 및 상기 제 1 절연막과 상기 제 2 절연막을 마스크로 사용해서, 상기 반도체막을 제거함으로써, 섬 형상 반도체막을 형성하는 단계와,

상기 소스 전극과 상기 드레인 전극 중 하나에 전기적으로 접속된 화소 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정 표시장치의 제조 방법.

## 청구항 21

제 20항에 있어서,

상기 제 2 절연막은, 폴리이미드, 아크릴, 및 실리콘과 산소와의 결합으로 골격구조가 구성되고, 치환기에 적어도 수소를 포함하는 재료, 혹은 치환기로 불소, 알킬기, 방향족 탄화수소 중 적어도 일종을 가지는 재료 중의 하나를 포함하는 것을 특징으로 하는 액정 표시장치의 제조 방법.

## 청구항 22

제 20항에 있어서,

상기 일부분은 채널 영역을 포함하는 것을 특징으로 하는 액정 표시장치의 제조 방법.

## 청구항 23

삭제

## 청구항 24

제 20항에 있어서,

상기 액정 표시장치는 텔레비전 수상기, 전자 서적, 휴대전화 중 적어도 하나에 내장되는 것을 특징으로 하는 액정 표시장치의 제조 방법.

## 명세서

## 기술분야

[0001] 본 발명은 잉크젯법으로 대표되는 액적토출법을 이용한 반도체소자 및 그 제조 방법에 관한 것이다. 특히, 본 발명은 액정 모니터, EL디스플레이로 대표되는 표시장치에 사용할 수 있는 반도체소자 및 그 제조 방법에 관한 것이다.

## 배경기술

[0002] 반도체소자의 제작에 있어서, 설비의 저비용화, 공정의 간략화를 목적으로, 반도체소자에 사용할 수 있는 박막이나 배선의 패턴형성에, 액적토출장치를 사용하는 것이 검토되고 있다.

[0003] 이때, 반도체소자를 구성하는 게이트 전극, 주사선, 신호선, 화소전극 등의 각종 배선 등의 형성에 있어서는, 액적토출장치의 노즐로부터 도전 재료를 용매에 용해 또는 분산되게 한 조성물을, 기관이나 막 위쪽에 토출함으로써 상기 각종 배선을 직접 묘화하도록 해서 형성하는 방법이 이용되고 있다(일본국 공개특허공보 특개 2003-126760 참조).

[0004] 액티브 매트릭스형 액정 모니터(LCD)나, EL디스플레이로 대표되는 표시장치에 사용되는 박막트랜지스터(TFT) 등의 반도체소자를 제작하는 데 있어서는, 종래의 성막 공정 및 패터닝, 에칭 공정의 반복에 의해 제작되는 TFT와는 다른 액적토출법에 최적인 구조 및 공정의 확립이 요구되고 있다. TFT가 형성되는 기관의 사이즈가 1m×1m 또는 그 두 세배로 증가함에 따라, 액적토출법을 이용해서 제작하는 TFT의 구조 및 공정의 간략화가 요구되고

있다.

[0005] 특히, 상기 TFT를 채널 보호형, 채널 에칭형으로 대표되는 역 스테거형(보텀 게이트형)의 구조로 할 경우에는, 반도체막 및 n형 불순물원소를 포함하는 반도체막을 기판 전면(전체면)에 형성한 후, 레지스트 마스크 등을 사용해서 에칭함으로써, 섬 형상의 반도체영역을 형성하고, 금속 마스크 등을 사용해서 n형 불순물원소를 포함하는 반도체막을 분리하여, 소스 영역 및 드레인 영역을 형성하였다. 이렇게, 섬 형상의 반도체영역을 형성하는 때에는, 레지스트 마스크를 노광, 현상 공정, 액적토출공정을 거쳐서 형성할 필요가 있다. 이는 공정 수, 재료의 종류의 증가를 초래하였다.

[0006] 본 발명은 이러한 문제점을 해결하도록 이룬 것으로, 적극적으로 액적토출법을 이용하는 것에 알맞은 반도체소자의 제조 방법을 제안하는 것이다. 본 발명에 따르면, 모든 면적의 기판에 대응할 수 있고, 고스루풋, 고수율, 단축된 턴 타임으로 안정성 높은 반도체소자를 제작할 수 있다.

### 발명의 상세한 설명

[0007] 상술한 과제를 해결하도록, 본 발명에 있어서 이하의 구성을 구비한다.

[0008] 본 발명에 따른 반도체소자의 제조 방법은, 기판 위에 제1의 도전 재료를 포함하는 조성물을 토출함으로써 게이트 전극층을 형성하고, 상기 게이트 전극층 위에 게이트 절연막을 형성하고, 상기 게이트 절연막 위에 반도체막을 형성하고, 상기 반도체막 위에 일도전형 불순물원소를 포함하는 반도체막을 형성하고, 상기 일도전형 불순물원소를 포함하는 반도체막 위에, 제2의 도전 재료를 포함하는 조성물을 토출함으로써, 소스 전극 및 드레인 전극을 형성하고, 상기 반도체막에서 채널 영역이 되는 부분 위쪽에 절연막을 형성하고, 상기 소스 전극, 드레인 전극 및 상기 절연막을 마스크로 해서, 상기 반도체막을 제거함으로써, 섬 형상 반도체막을 형성하는 것을 특징으로 한다.

[0009] 즉, 우선, 기판 위에 액적토출법을 이용해서 게이트 전극층을 형성하고, 게이트 절연막, 반도체막, 일도전형 불순물원소를 포함하는 반도체막(이하, 간단히 「일도전형 반도체막」이라고 한다.)을 CVD법이나 스퍼터링법 등의 박막 형성법에 의해 적층 형성한 후, 액적토출법을 이용해서 소스 전극 및 드레인 전극을 형성한다. 다음으로 노출된 일도전형 반도체막을 에칭 등에 의해 제거함으로써, 소스 영역 및 드레인 영역을 형성한다. 다음으로 반도체막의 채널 영역이 되는 부분이 제거되는 것을 방지하기 위해서, 액적토출법 등으로 형성 가능한 절연막으로 상기 부분을 덮어 둔다. 여기에서, 상기 절연막은 채널 보호막의 기능을 한다. 소스 전극, 드레인 전극 및 상기 절연막을 마스크로 해서, 노출한 반도체막을 에칭 등에 의해 제거함으로써 섬 형상 반도체막을 형성한다. 이상의 공정을 거쳐, 외관상은 채널 보호 형태를 가지는 반도체소자를 얻을 수 있다. 더욱이 소스 전극 또는 드레인 전극에 화소전극을 접속하고, 액정소자나 유기EL 등을 사용한 발광소자를 설치함으로써, 원하는 액정표시장치나, 발광 장치를 얻을 수 있다.

[0010] 또한 본 발명의 다른 구성으로는, 기판 위에 제1의 도전 재료를 포함하는 조성물을 토출하기 전에, 기판상의 적어도 게이트 전극층이 형성되는 부분에 대하여, 전처리를 행하는 것을 특징으로 한다. 전처리로는, 티탄, 산화 티탄 등을 포함하는 층의 형성, 실리콘과 산소와의 결합으로 골격구조가 구성되고, 치환기에 적어도 수소를 포함하는 재료, 혹은 치환기에 불소, 알킬기, 또는 방향족 탄화수소 중 적어도 일종을 가지는 재료로 이루어지는 막의 형성, 플라즈마처리 등을 들 수 있다. 또한, 플라즈마처리의 경우에는, 대기압 하에서 행하는 것이 바람직하다.

[0011] 또한 본 발명의 다른 구성으로는, 소스 영역 및 드레인 영역을 형성한 후, 상기 소스 전극 및 드레인 전극 위에, 제1의 절연막을 CVD법 또는 스퍼터링법에 의해 형성하고, 상기 반도체막 중 채널 영역이 되는 부분의 위쪽, 및 제1의 절연막 위에 제2의 절연막을 액적토출법에 의해 형성하고, 채널 보호막의 기능을 하는 절연막을 2층 구조로 형성하는 것을 특징으로 한다. 제2의 절연막은, 채널 보호막의 기능을 할 뿐만 아니라, CVD법 등에 의해 기판 전면에서 형성된 제1의 보호막을 제거할 때의 마스크로도 기능한다. 제1의 절연막으로는, 규소를 포함하는 절연막을 사용할 수 있지만, 바람직하게는, 질화규소막을 사용하는 것이 좋다. 또한 제2의 절연막으로는, 액적토출법으로 선택적으로 형성 가능한 절연막이면 종류를 문제삼지 않는다. 바람직하게는, 실리콘과 산소와의 결합으로 골격구조가 구성되고, 치환기에 적어도 수소를 포함하는 재료, 혹은 치환기에 불소, 알킬기, 또는 방향족 탄화수소 중 적어도 일종을 가지는 재료로 이루어지는 막을 사용하는 것이 바람직하다. 상기 절연막은 2층 구조에 한정되지 않고, 3층 이상으로 적층시켜도 된다.

[0012] 실리콘과 산소와의 결합으로 골격구조가 구성되고, 치환기에 적어도 수소를 포함하는 재료, 혹은 치환기에 불소, 알킬기, 또는 방향족 탄화수소 중 적어도 일종을 가지는 재료는, 실록산계 수지라고 불린다. 실록산계 수

지는 내열성 평탄화막 또는 내열성 층간막(HRIL; Heat Resistant Interlayer)의 일종이다. 이후, 내열성 평탄화막, 내열성 층간막, 내열성 수지 또는 HRIL은 실록산계 수지를 포함하는 것으로 한다.

- [0013] 상기 도전 재료나 절연막을 형성할 때에 사용하는 액적도출법으로서는, 잉크젯법뿐만 아니라, 형성하는 막의 성질에 따라, 오프셋 인쇄법이나, 스크린 인쇄법을 채용해도 된다.
- [0014] 본 발명에 따른 반도체소자는, 기판 위에 형성된 티탄 또는 산화티탄을 포함하는 층과, 상기 층 위에 형성된 게이트 전극층과, 상기 게이트 전극층 위에 형성된 게이트 절연막과, 상기 게이트 절연막 위에 형성된 반도체막과, 상기 반도체막 위에 형성된 한 쌍의 n형 불순물영역과, 상기 한 쌍의 n형 불순물영역 사이에 형성되고 상기 반도체막 위에 형성된 절연막과, 상기 한 쌍의 n형 불순물영역 위에 형성된 도전층을 가지는 것을 특징으로 한다.
- [0015] 바람직하게는, 상기 절연막은 채널 보호막으로의 기능을 하기 위해서, 100nm 이상의 막 두께를 가지는 것이 바람직하다. 또한 상기 절연막은 적층구조로 해도 된다. 예를 들면 하층을 질화규소막과 같이 CVD법이나 스퍼터링법으로 형성할 수 있는 막으로 하고, 상층을 폴리이미드, 아크릴이나, 실록산 등의 내열성 수지와 같은 액적도출법으로 형성 가능한 막으로 할 수 있다. 또한 상하층 모두, 액적도출법으로 형성 가능한 막으로 해도 된다. 또한 상기 절연막이 형성된 부분의 반도체막의 막 두께는, 바람직하게는, 10nm 이상인 것이 바람직하다.
- [0016] 종래는, 섬 형상 반도체막을 형성하고 나서 일도전형 반도체막을 에칭 제거하여, 소스 영역 및 드레인 영역을 형성하였다. 따라서 섬 형상 반도체막을 형성할 때에, 레지스트 마스크를 설치하는 것이 필수적이었다. 그에 비해 본 발명에 따르면, 소스 영역 및 드레인 영역을 형성한 후에, 채널 영역이 되는 부분을 채널 보호막의 기능을 하는 절연막으로 덮고, 섬 형상 반도체막을 형성한다. 따라서 레지스트 마스크를 설치할 필요가 없어, 공정을 간략화할 수 있다. 이렇게, 본 발명은, 소스 전극 및 드레인 전극의 금속 마스크를 사용해서 일도전형 반도체막을 제거하고, 소스 영역 및 드레인 영역을 형성하는 방법과, 그 후에 채널 영역이 제거되는 것을 막기 위해서 채널 보호막을 형성하는 방법을 혼합시킨 새로운 타입의 반도체소자의 형성 수단을 가지는 것을 특징으로 한다. 본 발명의 상기 예에 따르면, 레지스트 마스크를 전혀 사용하는 일 없이, 소스 전극 및 드레인 전극의 금속 마스크만으로 반도체소자를 제작할 수 있다.
- [0017] 기판 위에 제1의 도전 재료를 포함하는 조성물을 토출하기 전에, 기판상의 적어도 게이트 전극층이 형성되는 부분에 대하여, 산화티탄( $TiO_x$ )형성 등의 전처리를 행할 수 있다. 그럼으로써, 기판과 액적도출법에 의해 토출 형성된 게이트 전극층 등의 도전막과의 밀착성을 향상시킬 수 있다.
- [0018] 상기 절연막이 형성된 부분의 반도체막의 막 두께를 다른 반도체막의 막 두께보다도 얇게 함으로써, n형 불순물영역을 소스 영역과, 드레인 영역으로 확실히 분리할 수 있다. 상기 절연막이 형성된 부분의 반도체막의 막 두께를 10nm 이상으로 함으로써, 충분히 큰 채널 이동도를 확보할 수 있다.
- [0019] 상기 절연막의 막 두께를 100nm 이상으로 함으로써, 채널 보호막으로서의 기능을 향상시키고, 채널 영역의 손상을 확실히 방지할 수 있다. 따라서 이동도가 높은 안정된 반도체소자를 제공할 수 있다. 또한 상기 절연막을, 제1의 절연막과 제2의 절연막의 2층 구조, 혹은 그 이상의 다층구조로 하는 것도, 상기 효과를 확보하는 데에 유효하다.

## 실시예

- [0035] 본 발명을 이용한 반도체소자, 및 그 제조 방법에 대해서, 도 1a 내지 1d를 참조해서 설명한다.
- [0036] 기판(100) 위의 적어도 게이트 전극층이 형성되는 부분에, 티탄(Ti), 산화티탄( $TiO_x$ ) 등의 소위 광촉매물질이나, 폴리이미드, 아크릴이나, 실록산 등의 내열성수지를 형성한다. 여기에서는, 산화티탄막(132)을 형성했다. 또는, 플라즈마처리를 실행해도 된다. 이들 전처리에 의해, 후에 도전 재료를 포함하는 조성물을 토출함으로써 형성되는 도전막과 기판(100)과의 밀착성을 향상시킬 수 있다. 또한 산화티탄을 형성한 경우에는, 빛의 투과율을 향상시킬 수 있다. 산화티탄은 직접 형성해도 되고, 티탄을 성막한 후에, 도전막을 소성함으로써 얻을 수도 있다. 티탄, 산화티탄의 이외에도, 티탄산스트론튬( $SrTiO_3$ ), 셀렌화카드뮴( $CdSe$ ), 탄탈산갈륨( $KTaO_3$ ), 황화카드뮴( $CdS$ ), 산화지르코늄( $ZrO_2$ ), 산화니오브( $Nb_2O_5$ ), 산화아연( $ZnO$ ), 산화철( $Fe_2O_3$ ), 산화텅스텐( $WO_3$ ) 등의 광촉매 물질을 형성해도 된다. 상기 전처리는, 기판과 도전막과의 밀착성을 향상시키기 위해서, 가능한 한 행하는 것이 바람직하다.



- [0037] 상기 기판(100) 위에, 상기 전처리를 행했을 경우에는, 상기 전처리가 실행된 부분의 위쪽에, 제1의 도전 재료를 포함하는 조성물을 토출함으로써 게이트 전극층(102)을 형성한다. 여기에서, 게이트 전극층은 적어도 TFT의 게이트 전극부를 포함하는 일층 또는 다층의 도전체로 된 층을 가리킨다. 게이트 전극층은, 상기 조성물을 토출한 후, 상기 조성물에 대하여 100℃에서 건조를 행하고, 질소 또는 산소분위기 하에서, 200~350℃에서 15분간 ~30분간 소성함으로써 형성한다. 하지만 이 조건에 한정되는 것은 아니다.
- [0038] 제1의 도전 재료로서는, 도전막의 기능에 따라 여러 가지 재료를 선택할 수 있다. 대표적인 것으로서, 은(Ag), 구리(Cu), 금(Au), 니켈(Ni), 백금(Pt), 크롬(Cr), 주석(Sn), 팔라듐(Pd), 이리듐(Ir), 로듐(Rh), 루테튬(Ru), 레늄(Re), 텅스텐(W), 알루미늄(Al), 탄탈(Ta), 인듐(In), 텔루르(Te), 몰리브덴(Mo), 카드뮴(Cd), 아연(Zn), 철(Fe), 티탄(Ti), 실리콘(Si), 게르마늄(Ge), 지르코늄(Zr), 바륨(Ba), 경납, 산화주석 안티몬, 불소 도프 산화아연, 탄소, 그래파이트, 글래스 카본, 리튬, 베릴륨, 나트륨, 마그네슘, 칼륨, 칼슘, 스칸듐, 망간, 지르코늄, 갈륨, 니오브, 나트륨-칼륨 합금, 마그네슘-구리 혼합물, 마그네슘-은 혼합물, 마그네슘-알루미늄 혼합물, 마그네슘-인듐 혼합물, 알루미늄-산화알루미늄 혼합물, 리튬-알루미늄 혼합물 등, 할로겐화은의 미립자 등, 또는 분산성 나노 입자, 또는, 도전막으로 사용되는 산화인듐주석(ITO), 산화아연(ZnO), 갈륨을 첨가한 산화아연(GZO), 산화인듐에 2~20%의 산화아연을 혼합한 산화인듐아연(IZO), 유기 인듐, 유기 주석, 질화티탄 등을 사용할 수 있다.
- [0039] 특히 투명 도전막으로 사용할 수 있는 재료에 대하여는, 규소(Si) 또는 산화규소(SiO<sub>x</sub>)를, 상기 도전 재료에 함유시켜서 사용해도 된다. 예를 들면 ITO에 산화규소를 함유시킨 도전 재료(이후, NISO라 부른다)를 사용할 수 있다. 또한 이들 도전 재료로 이루어지는 층을 적층시켜서 원하는 도전막을 형성해도 된다.
- [0040] 액적토출수단에 사용하는 노즐의 지름은 0.1~50 μm(바람직하게는 0.6~26 μm)로 설정하고, 토출량은 0.00001pL~50pL(바람직하게는 0.0001~10pL)로 설정한다. 이 토출량은 노즐의 지름의 크기에 비례해서 증가한다. 또한 피처리물과 노즐의 토출구와의 거리는, 원하는 위치에 적하하기 위해, 가능한 한 가깝게 해 두는 것이 바람직하다. 피처리물과 토출구와의 거리는 바람직하게는 0.1~2mm 정도로 설정한다.
- [0041] 토출구로부터 토출하는 조성물은 특정 저항치를 고려하여, 금, 은, 동 중 어느 하나의 재료를 용매에 용해 또는 분산되게 한 것을 사용하는 것이 바람직하다. 더 바람직하게는, 낮은 저항의 은 또는 구리를 사용한다. 구리를 사용할 경우에는, 불순물에 대한 대책으로, 배리어막을 함께 설치하는 것이 바람직하다. 용매로는, 아세트산부틸, 아세트산에틸 등의 에스테르류, 이소프로필알코올, 에틸에탄올 등의 알코올류, 메틸에틸케톤, 아세톤 등의 유기용제 등을 사용하면 된다. 구리를 배선으로 사용할 경우의 배리어막으로는, 질화실리콘, 산화질화실리콘, 질화알루미늄, 질화티탄, 질화탄탈(TaN) 등 질소를 포함하는 절연성 또는 도전성 물질을 사용하면 되고, 이것들을 액적토출법으로 형성해도 된다.
- [0042] 액적토출법에 사용하는 조성물의 점도는 300mPa·S 이하가 적합한데, 이는, 건조를 방지하고, 토출구로부터 조성물을 원활하게 토출하기 위함이다. 사용하는 용매나 용도에 맞춰, 조성물의 점도, 표면장력 등을 적절히 조정할 수 있다. 일례로서, ITS, ITS0, 유기인듐, 유기주석을 용매에 용해 또는 분산되게 한 조성물의 점도는 5~50mPa·S, 은을 용매에 용해 또는 분산되게 한 조성물의 점도는 5~20mPa·S, 금을 용매에 용해 또는 분산되게 한 조성물의 점도는 10~20mPa·S다.
- [0043] 각 노즐의 지름이나 원하는 패턴 형상 등에 의존하지만, 노즐의 막힘 방지나 고세밀한 패턴의 제작을 위해, 도전 재료의 입자의 지름은 될 수 있는 한 작은 것이 바람직한데, 바람직하게는 입경 0.1 μm 이하가 바람직하다. 조성물은, 전해법, 애토마이즈법 또는 습식환원법 등의 공지의 방법으로 형성되며, 그 입자 사이즈는, 일반적으로 약 0.5~10 μm다. 가스 증발법으로 조성물을 형성하면, 분산제로 보호된 나노분자는 약 7nm로 미세하다. 또한 이 나노입자는, 피복제를 사용해서 각 입자의 표면을 덮으면, 용제 중에 응집 없이, 실온에서 안정되게 분산되고, 액체와 거의 동일한 동작을 나타낸다. 따라서, 피복제를 사용하는 것이 바람직하다.
- [0044] 또한 일도전 재료 주위를 다른 도전 재료로 덮은 입자를 포함하는 조성물을 토출 형성하여, 게이트 전극층을 형성해도 된다. 이때, 양 도전 재료 사이에 버퍼층을 설치하는 것이 바람직하다. Cu의 주변을 Ag로 덮은 입자는 Cu와 Ag 사이에 Ni 또는 NiB로 된 버퍼층을 설치한 구조로 형성할 수 있다.
- [0045] 도전 재료를 포함하는 조성물의 소성공정에 있어서, 분압비로 10~30%의 산소를 혼합시킨 가스를 적극적으로 사용함으로써, 게이트 전극층을 구성하는 도전막의 저항률을 하강시키고, 상기 도전막을 얇고 평활한 막으로 형성할 수 있다. 상기 소성 전후에 있어서의 도전막의 변화 상태를 도 8a 내지 8c를 이용하여 개략적으로 설명한다. 도 8a는 Ag과 같은 도전 재료를 포함하는 나노페이스트(502)를 노즐(501)로부터 유리 기판(500) 위에 토출 형성

한 상태를 보이고 있다. 나노 페이스트는, 도전 재료를 유기용제에 분산 또는 용해시켜서 형성한다. 그 밖에도, 분산제나, 바인더라고 불리는 열경화성 수지가 포함되어 있다. 특히 바인더는 소성시에 나노페이스트에 크랙이나 불균일함이 발생하는 것을 방지한다. 건조 또는 소성공정에 의해, 유기용제의 증발, 분산제의 분해 제거 및 나노페이스트의 바인더에 의한 경화 수축이 동시에 진행된다. 그러므로써 나노 입자끼리 융합하여, 나노 페이스트가 경화된다. 이때, 나노 입자는, 수십 내지 백수십 nm까지 성장하고, 근접한 성장 입자끼리 융착, 및 서로 연쇄함으로써, 금속연쇄체를 형성한다. 한편, 남은 유기성분의 대부분(약 80~90%)은, 금속연쇄체의 외부로 밀려나간다. 결과적으로, 금속연쇄체를 포함하는 도전막(503)과, 그 외측을 덮는 유기성분으로 이루어지는 막(504)이 형성된다(도 8b). 유기성분으로 이루어진 막(504)은, 나노페이스트(502)을 질소 및 산소를 포함하는 분위기 하에서 소성할 때에, 기체 내에 포함되는 산소와, 유기성분으로 이루어지는 막(504) 속에 함유되는 탄소나 수소 등이 반응함으로써, 제거할 수 있다. 소성분위기 하에 산소가 포함되어 있지 않을 경우에는, 산소 플라스마처리 등이 의해 유기성분으로 된 막(504)을 제거할 수 있다.(도 8c). 이렇게, 나노페이스트를 질소 및 산소를 포함하는 분위기 하에서 소성, 또는 건조한 후 산소 플라스마로 처리함으로써, 유기성분으로 이루어지는 막(504)은 제거된다. 따라서 잔존한 금속연쇄체를 포함하는 도전막(503)의 평탄화, 박막화, 저저항화를 꾀할 수 있다.

- [0046] 또한, 도전 재료를 포함하는 조성물을 감압 하에서 토출함으로써 조성물 내의 용매가 휘발하므로, 후의 가열처리(건조 또는 소성) 시간을 단축할 수도 있다.
- [0047] 또한 상기 건조 및 소성공정뿐만 아니라, 더욱 표면을 평탄화, 평탄화하기 위한 처리를 행해도 된다. 상기 처리로는, CMP(화학적 기계적 연마)법이나, 상기 도전막 위에 평탄성을 가지는 절연막을 형성한 후에, 에칭함으로써 상기 도전막을 평탄화하는 방법 등을 이용할 수 있다.
- [0048] 기관으로는, 유리 기관, 석영기관, 알루미늄 등 절연 물질로 형성된 기관, 후공정의 처리 온도를 견딜 수 있는 내열성을 가지는 플라스틱 기관 등을 사용할 수 있다. 이 경우, 산화실리콘( $\text{SiO}_x$ ), 질화실리콘( $\text{SiN}_x$ ), 산화질화실리콘( $\text{SiO}_x\text{N}_y$ )( $x>y$ ), 질화산화실리콘( $\text{SiN}_x\text{O}_y$ )( $x>y$ ) 등( $x, y=1, 2 \dots$ ), 기관 측에서 불순물 등의 확산을 방지하기 위한 하지절연막을 형성해도 된다. 또한 스테인레스 등의 금속 또는 반도체기관 등에 산화실리콘이나 질화실리콘 등의 절연막을 형성한 기관 등도 사용할 수 있다.
- [0049] 게이트 전극층 위에 게이트 절연막(103)을 형성한다. 게이트 절연막은 플라스마CVD법 또는 스퍼터링법 등의 박막 형성법을 이용하여, 질화규소, 산화규소, 질화산화규소 또는 산화질화규소를 포함하는 막을, 단층으로, 또는 적층시켜서 형성한다. 여기에서는, 기관 위에 산화규소막, 질화규소막, 산화규소막을 차례로 형성했다. 그러나 이 구조, 재료, 방법에 한정되는 것은 아니다.
- [0050] 다음으로, 게이트 절연막(103) 위에, 반도체막(104)을 형성한다. 반도체막으로는, 아모포스 반도체, 결정성 반도체, 또는 세미 아모포스 반도체로 형성한다. 모두, 실리콘, 실리콘게르마늄( $\text{SiGe}$ ) 등을 주성분으로 하는 반도체막을 사용할 수 있다. 또한 반도체막은, 플라스마CVD법 등에 의해 바람직하게는 10~100nm의 두께로 형성할 수 있다.
- [0051] 상기 세미 아모포스 반도체 중, SAS(세미 아모포스 실리콘)에 대해서 간단히 설명한다. SAS는 규화물 기체를 글로우(glow) 방전 분해하여 얻을 수 있다. 대표적인 규화물 기체는  $\text{SiH}_4$ 이다. 그 밖에도  $\text{Si}_2\text{H}_6$ ,  $\text{SiH}_2\text{Cl}_2$ ,  $\text{SiHCl}_3$ ,  $\text{SiCl}_4$ ,  $\text{SiF}_4$  등의 규화물 기체를 사용할 수 있다. 이 규화물기체를 수소, 수소와 헬륨, 아르곤, 크립톤, 네온 중에서 선택된 일종 또는 복수 종의 희가스 원소로 희석해서 사용함으로써 SAS의 형성을 용이하게 할 수 있다. 희석을 10배~1000배의 범위에서 규화물 기체를 희석하는 것이 바람직하다. 물론, 글로우 방전분해에 의한 피막의 반응 생성은 감압 상태에서 하는데, 압력은 개략 0.1Pa~133Pa의 범위에서 행하는 것이 바람직하다. 글로우 방전을 형성하기 위한 전력은 1MHz~120MHz, 바람직하게는 13MHz~60MHz의 고주파전력을 공급하는 것이 바람직하다. 기관가열온도는 300도 이하가 바람직하고, 100~200도의 기관가열온도가 권장된다.
- [0052] 규화물기체 내에,  $\text{CH}_4$ ,  $\text{C}_2\text{H}_6$  등의 탄화물기체,  $\text{GeH}_4$ ,  $\text{GeF}_4$  등의 게르마늄화 기체를 혼입시켜서, 에너지 밴드 폭을 1.5~2.4 eV, 혹은 0.9~1.1 eV로 조절해도 된다.
- [0053] SAS는 가전자 제어를 목적으로 불순물원소를 의도적으로 첨가하지 않을 때에 약한 n형 전기전도성을 나타낸다. 이는 아모포스 반도체를 성막할 때보다도 높은 전력의 글로우 방전을 행하여 산소가 반도체막 중에 혼입하기 쉽기 때문이다. 따라서, TFT의 채널 형성 영역을 설치하는 제1의 반도체막에 대하여는, p형을 부여하는 불순물원소를, 이 성막과 동시에, 또는 성막 후에 첨가함으로써 역치 제어를 할 수 있게 된다. p형을 부여하는 불순물원



소로는, 대표적으로는 붕소이며,  $B_2H_6$  또는  $BF_3$  등의 불순물 기체를 1ppm~1000ppm의 비율로 규화물기체에 혼입시키면 된다. 예를 들면 p형을 부여하는 불순물원소로서 붕소를 사용할 경우, 상기 붕소의 농도를  $1 \times 10^{14} \sim 6 \times 10^{16}$  atoms/cm<sup>3</sup>로 하면 된다. 또한, 상기 SAS로 채널 형성 영역을 구성함으로써  $1 \sim 10 \text{ cm}^2/\text{V} \cdot \text{sec}$ 의 전계 효과 이동도를 얻을 수 있다.

[0054] 결정성 반도체막은, 아모포스 반도체막을 니켈 등의 촉매를 포함하는 용액으로 처리한 후, 500~750℃의 열결정화 공정에 의해 결정질 실리콘 반도체막을 얻고, 레이저 결정화를 행해서 결정성을 개선함으로써 얻을 수 있다.

[0055] 디실란( $Si_2H_6$ )과 불화게르마늄( $GeF_4$ )의 원료 가스를 사용해서, LPCVD(감압CVD)법에 의해, 다결정 반도체막을 직접 형성함으로써, 결정성 반도체막을 얻을 수도 있다. 가스 유량비는,  $Si_2H_6/GeF_4 = 20/0.9$ , 성막 온도는 400~500℃, 캐리어 가스로서 He 또는 Ar를 사용했지만, 이에 한정되는 것은 아니다.

[0056] 반도체막(104) 위에, n형 반도체막(105)을 형성한다. n형 불순물원소로는, 비소(As), 인(P)을 사용할 수 있다. n형 반도체막을 형성할 경우,  $SiH_4$ ,  $H_2$ ,  $PH_3$ (포스핀)의 혼합 가스를, 플라즈마CVD법을 이용해서 글로우 방전 분해함으로써, n형(n+) 실리콘 막을 형성할 수 있다. n형 반도체막(105) 대신에, 붕소b와 같은 p형 불순물원소를 포함하는 반도체막을 사용해도 된다.

[0057] n형 반도체막(105) 위에, 제2의 도전 재료를 포함하는 조성물을 토출함으로써, 소스 전극(108) 및 드레인 전극(109)을 형성한다. 제2의 도전 재료, 도전입자구조, 토출 조건, 건조 조건, 소성 조건 등으로는, 상기 제1의 도전 재료에서 나타난 것 중에서 적절히 채용할 수 있다. 또한, 제1 및 제2의 도전 재료나 입자구조는 같아도 되고 달라도 된다(도 1a).

[0058] 도면에는 나타나지 않았지만, n형 반도체막(104) 위에, 제2의 도전 재료를 포함하는 조성물을 토출하기 전에, n형 반도체막(105)과, 소스 전극(108) 및 n형 반도체막(105)과, 드레인 전극(109)과의 밀착성을 향상시키기 위한 전처리를 행해도 된다. 이것은, 게이트 전극층(102)을 형성할 때의 전처리와 유사하게 하면 된다.

[0059] 소스 전극(108) 및 드레인 전극(109)을 마스크로 해서, n형 반도체막(105)을 에칭하여, 소스 영역(112), 드레인 영역(113)을 형성한다. 에칭용 가스로는,  $Cl_2$ ,  $BCl_3$ ,  $SiCl_4$  혹은  $CCl_4$  등을 대표로 하는 염소계 가스,  $CF_4$ ,  $SF_6$ ,  $NF_3$ ,  $CHF_3$  등을 대표로 하는 불소계 가스, 혹은  $O_2$ 을 사용했다. 그러나 이들에 한정되는 것은 아니다. 상기 에칭은, 대기압 플라즈마를 이용해서 행할 수도 있다. 이때, 에칭 가스로는,  $CF_4$ 과  $O_2$ 의 혼합 가스를 사용하는 것이 바람직하다. n형 반도체막(105)과, 반도체막(104)으로, 같은 반도체를 사용할 경우에는, n형 반도체막(105)을 에칭할 때에 반도체막(104)도 에칭 제거되므로, 에칭 레이트나 시간에는 주의할 필요가 있다. 다만, 반도체막(104)의 일부가 에칭되어 있어도, 채널 영역의 반도체막의 두께가 5nm 이상, 바람직하게는 10nm 이상, 더 바람직하게는 50nm 이상이면, TFT로서 충분한 이동도를 확보할 수 있다.

[0060] 반도체막(104)의 채널 영역이 되는 부분의 위쪽에, 절연막(115)을 액적토출법에 의해 형성한다. 절연막(115)은 채널 보호막의 기능을 하므로, 토출 조성물로서는, 실록산 등의 내열성 수지, 아크릴, 벤조시클로부텐, 폴리이미드, 폴리이미드, 벤도이미다졸 또는 폴리비닐알코올 등의 내에칭성, 절연성을 가지는 것을 선택한다. 바람직하게는, 실록산, 폴리이미드를 사용하는 것이 바람직하다. 채널 영역을 오버 에칭으로부터 보호하기 위해서, 절연막(115)의 두께는 100nm 이상, 바람직하게는 200nm 이상으로 하는 것이 바람직하다(도 1b). 따라서, 도 1b와 같이, 절연막(115)은 소스 전극(108), 드레인 전극(109) 위에 부풀어 오르도록 형성해도 된다.

[0061] 다음으로 소스 전극(108), 드레인 전극(109) 및 절연막(115)을 마스크로 해서 반도체막(104)을 에칭하고, 섬 형상 반도체막(118)을 형성하는데, 여기에서는, 플라즈마 에칭을 채용하고, 에칭용 가스로는,  $Cl_2$ ,  $BCl_3$ ,  $SiCl_4$  혹은  $CCl_4$  등의 염소계 가스,  $CF_4$ ,  $SF_6$ ,  $NF_3$ ,  $CHF_3$  등의 불소계 가스, 혹은  $O_2$ 을 사용했다. 그러나 이들에 한정되는 것은 아니다. 상기 에칭은, 대기압 플라즈마를 이용해서 행할 수도 있다. 이때, 에칭 가스로서는,  $CF_4$ 과  $O_2$ 의 혼합 가스를 사용하는 것이 바람직하다. 또한, 섬 형상 반도체막(118)에서 채널 영역(119) 위쪽에는, 채널 보호막(115)이 형성되어 있으므로, 상기 에칭 공정에서 채널 영역(119)이 오버 에칭에 의한 손상을 받지 않는다. 이에 따라, 안정된 특성과 고이동도를 가지는 채널 보호형(채널 스톱퍼형)TFT를, 레지스트 마스크를 일체 사용하는 일 없이 제작할 수 있다(도 1c).

[0062] 소스 전극(108), 드레인 전극(109)에 접하고, 제3의 도전 재료를 포함하는 조성물을 토출하여 소스 배선(123), 드레인 배선(124)을 형성하고, 소스 배선(123) 또는 드레인 배선(124)과 화소전극(126)을 접속하고,

액정소자나, 유기 화합물 또는 무기화합물을 포함하는 층으로부터 이루어지는 발광소자(대표적으로는 일렉트로 루미네선스(EL:Electro Luminescence)를 이용한 발광소자)를 설치하였다. 그럼으로써 상기 공정에 의해 제작된 반도체소자에 의해 제어할 수 있는 액티브 매트릭스형 액정표시장치나, EL발광 장치와 같은 초박형 디스플레이를 얻을 수 있다. 여기에서, 제3의 도전 재료, 도전 입자구조, 토출 조건, 건조 조건, 소성 조건 등으로는, 상기 제1의 도전 재료에 있어서 나타난 것 중에서 적절히 채용할 수 있다. 이때, 제2 및 제3의 도전 재료나 입자구조는 같아도 되고, 달라도 된다. 화소전극은 IT0, ITS0, ZnO, GZO, IZO, 유기 인듐, 유기 주석 등을 액적토출법에 의해 형성하는 것이 바람직하다(도 1d).

[0063] 도면에는 나타나지 않았지만, 소스 배선(123), 드레인 배선(124), 화소전극(126)을 형성할 때에도, 하층과의 밀착성을 향상시키기 위한 전처리를 행해도 된다. 이것은, 게이트 전극층(102)을 형성할 때의 전처리와 유사하게 행하면 된다.

[0064] 전술한 바와 같이, 본 발명은, 소스 영역(112) 및 드레인 영역(113)을 형성한 후에, 채널 영역이 되는 부분을 채널 보호막의 기능을 하는 절연막(115)으로 덮어, 섬 형상 반도체막을 형성한다. 따라서 레지스트 마스크를 설치할 필요가 없어, 공정을 간략화할 수 있다. 이렇게, 본 발명은, 소스 전극 및 드레인 전극의 금속 마스크를 사용해서 일도전형 반도체막을 제거하고, 소스 영역 및 드레인 영역을 형성하는 방법과, 그 후에 채널 영역이 제거되는 것을 막기 위해서 채널 보호막을 형성하는 채널 보호형 방법을 혼합시킨 새로운 타입의 반도체소자의 형성 수단을 가지는 것을 특징으로 한다. 상기 구성을 구비하는 것에 의해, 레지스트 마스크를 전혀 이용하는 일 없이, 소스 전극 및 드레인 전극의 금속 마스크만으로 반도체소자를 제작할 수 있다. 그 결과, 공정의 간략화, 재료의 절약에 의한 비용의 대폭적인 저감을 꾀할 수 있다. 특히 1×1m 또는 그 두 세배의 기판을 사용해서 반도체소자를 제작할 경우에는, 낮은 비용, 고스루풋, 고제품 비율, 단축된 턴 타임으로, 안정성 높은 반도체소자를 제작할 수 있다.

[0065] 본 발명에 의한 반도체소자는, 기판상의 적어도 게이트 전극층이 형성되는 부분에 대하여, 산화티탄 형성 등의 처리가 실행되어 있으므로, 기판과 액적토출법에 의해 토출 형성된 게이트 전극층 등의 도전막과의 밀착성을 향상시킬 수 있다.

[0066] 상기 절연막이 형성된 부분의 반도체막의 막 두께를 다른 반도체막의 막 두께보다도 얇게 하는 것에 의해, n형 불순물영역을 소스 영역과, 드레인 영역으로 확실하게 분리할 수 있다. 또한 상기 절연막이 형성된 부분의 반도체막의 막 두께를 5nm 이상, 바람직하게는 10nm 이상으로 함으로써, 충분히 큰 채널 이동도를 확보할 수 있다.

[0067] 본 발명에 의한 반도체소자는, 채널 영역(119) 위에 채널 보호막의 기능을 하는 절연막(115)이 형성되어 있는 것에 의해, 반도체막(104)을 에칭할 때에 채널 영역(119)이 오버 에칭에 의한 손상을 받지 않는다. 따라서 반도체소자는 안정된 특성과 고이동도를 가진다. 상기 절연막의 막 두께를 100nm 이상으로 함으로써, 채널 보호막으로서의 기능을 높이고, 채널 영역의 손상을 확실하게 방지할 수 있다. 따라서 이동도 높은 안정된 반도체소자를 제공할 수 있다. 상기 절연막을, 제1의 절연막과 제2의 절연막의 2층 구조, 혹은 그 이상의 다층구조로 하는 것도 상기 효과를 확보하는 데에 유효하다.

[0068] [실시예 1]

[0069] 본 실시예에서는, 게이트 전극층을 형성하기 전에, 기판상에 전처리를 실행할 경우에 관하여 설명한다.

[0070] 제1의 방법으로서, 도 1에 나타난 바와 같이 산화티탄막(132)을 직접 형성할 수 있다. 산화티탄막(132)은 스퍼도포법, 액적토출법, 스프레이법, 스퍼터링법, CVD법 등에 의해, 기판 전체 면에 형성할 수 있다. 그 후에 산화티탄막(132) 위에, 액적토출법에 의해 게이트 전극층(102)을 형성한다. 따라서 산화티탄막(132)을 개재함으로써, 기판(100)과 게이트 전극층(102)의 밀착성을 향상시킬 수 있다. 게이트 전극층(102)의 형성 후, 게이트 전극층(102) 주위에 존재하는 산화티탄막(132)은 잔존시켜도 되고, 에칭으로 제거해도 된다. 에칭 처리는 대기압 하에서 행하는 것이 바람직하다. 또한, 산화티탄막 대신에, 티탄막을 형성해도 된다. 게이트 전극층(102)으로는, 여기에서는, 산화티탄막 위에 Ag/Cu를 적층 형성했다. 그 대신에, 산화티탄막 위에 Cu만 단층으로 형성해도 된다.

[0071] 제2의 방법으로서, 산화티탄막을, 액적토출법에 의해 선택적으로 형성할 수 있다. 액적토출법으로서는, 잉크젯법 외에, 스크린인쇄법이나, 오프셋법을 이용해도 된다. 또한 졸겔법을 이용해도 된다. 그 후에 산화티탄 등이 형성된 영역 위, 또는 그 내측에, 액적토출법에 의해 게이트 전극층을 선택적으로 형성한다. 또한, 산화티탄막

대신에, 티탄막으로 해도 된다.

[0072] 제3의 방법으로서, 티탄막을 스핀 도포법, 액적도출법, 스프레이법, 스퍼터링법, CVD법 등에 의해 기판 전체 면에 형성한 후, 액적도출법에 의해 게이트 전극층을 구성하는 도전 재료를 포함하는 조성물을 티탄막 위에 선택적으로 형성한다(도 8a). 그리고, 상기 조성물을 건조, 소성한다. 동시에, 티탄막(505)도 산화시킨다. 그럼으로써, 상기 조성물의 주위에는 산화티탄막(506)을 형성할 수 있다. 산화티탄막은 투광성이 뛰어나다. 예를 들면 도 6c, 도 7b에 나타난 바와 같은 보텀 이미션형 발광 장치를 제작할 경우에는, 기판 측에 빛을 추출하므로, 산화티탄막을 형성해 두는 것은 유효한 수단이다. 티탄막을 스핀 도포법, 액적도출법, 스프레이법, 스퍼터링법, CVD법 등에 의해 기판 전체 면에 형성한 후, 게이트 전극층을 구성하는 도전 재료를 포함하는 조성물을 선택적으로 도출 형성하기 전에, 가열처리를 행하고, 산화티탄막을 형성해도 된다.

[0073] 상기 제1 내지 제3의 방법에 있어서는, 티탄막, 산화티탄막 대신에 티탄산스트론튬( $\text{SrTiO}_3$ ), 셀렌화카드뮴( $\text{CdSe}$ ), 탄탈산칼륨( $\text{KTaO}_3$ ), 황화카드뮴( $\text{CdS}$ ), 산화지르코늄( $\text{ZrO}_2$ ), 산화니오브( $\text{Nb}_2\text{O}_5$ ), 산화아연( $\text{ZnO}$ ), 산화철( $\text{Fe}_2\text{O}_3$ ), 산화텅스텐( $\text{WO}_3$ ) 등의 소위 광촉매물질을 사용할 수 있다. 또한 산화물에 있어서는 산화되기 전의 물질( $\text{Zr}$ ,  $\text{Nb}$ ,  $\text{Zn}$ ,  $\text{Fe}$ ,  $\text{W}$  등)을 형성해도 된다.

[0074] 제4의 방법으로서, 폴리이미드, 아크릴이나, 실록산 등의 내열성 수지를 형성함으로써, 기판과 게이트 전극층 간의 밀착성을 향상시킬 수도 있다. 이것들은, 기판의 전체 면 또는 게이트 전극층이 형성되는 부분에 형성하면 된다. 전체 면에 형성한 경우에는, 게이트 전극층 주위에 존재하는 막을 에칭, 또는 애싱으로 제거할 수 있다.

[0075] 제5의 방법으로서, 기판의 전체 면 또는 게이트 전극층이 형성되는 부분에 플라즈마처리를 행해서 밀착성을 향상시킬 수도 있다. 대기압 하에서 플라즈마처리를 행하는 것이 바람직하지만, 이것에 한정되는 것은 아니다.

[0076] [실시예 2]

[0077] 실시예 2에서는, 채널 보호막의 기능을 하는 절연막을 2층 구조로 했을 경우에 관하여 설명한다.

[0078] 도 1b에 나타난 바와 같이, 소스 전극(108) 및 드레인 전극(109)을 마스크로 해서, n형 반도체막(105)을 에칭하여, 소스 영역(112), 드레인 영역(113)을 형성한다. 그리고 질화규소막(133)을 CVD법, 스퍼터링법 등에 의해 전체 면에 형성한다(도 2a). 반도체막의 채널 영역이 되는 부분의 위쪽에, 또한, 질화규소막(133) 위에, 절연막(115)을 액적도출법에 의해 형성한다. 절연막(115)은, 채널 보호막으로서가 아니라, 질화규소막(133)을 제거할 때의 마스크로서 기능하므로, 도출하는 조성물로서는, 실록산 등의 내열성수지, 아크릴, 벤조시클로부텐, 폴리이미드, 폴리이미드, 벤조이미다졸 또는 폴리비닐알코올 등의 내에칭성, 절연성을 가지는 것을 선택한다. 바람직하게는, 실록산, 폴리이미드를 사용한다. 채널 영역을 오버 에칭으로부터 보호하기 위해서, 질화규소막(133)과 절연막(115)의 막 두께를 합하여 100nm 이상, 바람직하게는 200nm 이상으로 하는 것이 바람직하다(도 2b).

[0079] 다음으로 절연막(115)을 마스크로 해서, 질화규소막(133)을 에칭 제거하여, 채널 보호막의 기능을 하는 절연막(115 및 134)을 형성한다. 절연막(134)은 물론 질화규소막으로 형성된다. 플라즈마 에칭을 이용하고, 에칭용 가스로는,  $\text{Cl}_2$ ,  $\text{BCl}_3$ ,  $\text{SiCl}_4$  혹은  $\text{CCl}_4$  등의 염소계 가스,  $\text{CF}_4$ ,  $\text{SF}_6$ ,  $\text{NF}_3$ ,  $\text{CHF}_3$  등의 불소계 가스, 혹은  $\text{O}_2$ 을 사용했다. 그러나 이것들에 한정되지는 않는다. 상기 에칭은, 대기압 플라즈마를 이용해도 된다.

[0080] 채널 보호막을 2층으로 함으로써, 채널 보호막으로서의 기능을 높이고, 채널 영역의 손상을 확실하게 방지할 수 있고, 이동도 높은 안정된 반도체소자를 제공 할 수 있다. 또한 채널 보호막을 3층 이상의 적층 구성으로 해도 된다. 하층은 질화규소막에 한하지 않고, 다른 규소를 포함하는 절연막을 사용해도 된다. 이러한 채널 보호막은 절연막(115)과 같이, 액적도출법으로 형성가능한 막을 선택적으로 적층 시켜서 형성해도 된다.

[0081] 다음으로 소스 전극(108), 드레인 전극(109) 및 절연막(115), 질화규소막(134)을 마스크로 해서 반도체막(104)을 에칭하여, 섬 형상 반도체막(118)을 형성한다. 섬 형상 반도체막(118)에서 채널 영역(119) 위쪽에는, 채널 보호막의 기능을 하는 절연막(115)이 형성되어 있다. 따라서, 상기 에칭 공정에 있어서, 오버 에칭에 의한 손상을 받을 일이 없다. 이에 따라, 안정된 특성과 고이동도를 가지는 채널 보호형(채널 스톱퍼형)TFT를, 레지스트 마스크를 일체 이용하는 일 없이 제작할 수 있다(도 2c).

[0082] 실시예에 나타난 바와 같은 방법에 의해, 소스 전극(108), 드레인 전극(109)에 접하고, 제3의 도전 재료를 포함하는 조성물을 도출하여 소스 배선(123), 드레인 배선(124)을 형성한다. 또한 소스 배선(123) 또는 드레인 배선(124)은 화소전극에 접속된다. 그리고, 액정소자나, 유기화합물 또는 무기화합물을 포함하는 층으로 이루어진 발광소자(대표적으로는 일렉트로 루미네선스를 이용한 발광소자)를 설치한다. 따라서 상기 공정에 의해 제작된

반도체소자에 의해 제어할 수 있게 되는 액티브 매트릭스형 액정표시장치나, EL발광 장치와 같은 박형 디스플레이를 얻을 수 있다(도 2d).

[0083] [실시예 3]

[0084] 본 실시예에서는, 액적도출법과 도금법을 조합하여, 도전막을 형성하는 방법에 관하여 설명한다.

[0085] 우선, Ag을 포함하는 조성물을 액적도출법으로 형성한다. 이때, 선 폭이 수  $\mu\text{m}$ ~수십  $\mu\text{m}$ 로 비교적 가는 경우에, 굵은 배선을 형성하고 싶은 경우에는, 거둡 토출 형성할 필요가 있다. 또는, Ag을 형성한 후, Cu를 포함하는 도금액에 Ag이 형성된 기판을 담그거나 기판 위에 도금액을 직접 흘려보냄으로써, 선 폭을 굵게 할 수 있다. 특히, 토출 형성 후의 조성물에는 요철이 많으므로, 도금하기 쉽다. 또한 Ag은 고가이므로, Cu도금을 함으로써, 비용 삭감으로 이어진다. 본 실시예의 방법으로 배선을 형성할 때의 도전 재료는, 이 종류에 한정되지 않는다.

[0086] Cu도금 후, 도전막의 표면은 요철이 많으므로, NiB 등의 버퍼층을 설치해 평탄화한다. 그 후 게이트 절연막을 형성하는 것이 바람직하다.

[0087] [실시예 4]

[0088] 실시예 4에서는, 도 3a 내지 5c를 참조하여, 본 발명을 이용한 액티브 매트릭스형 LCD패널의 제조 방법에 관하여 설명한다.

[0089] 제1의 방법은, 도 3a에 나타난 바와 같이 본 발명을 이용해서 제작한 TFT 위에, 평탄화막(151)을 액적도출법에 의해 선택적으로 형성하고, 평탄화막(151)이 형성되지 않은 영역에, 소스 전극, 드레인 전극과 접속되는 소스 배선, 드레인 배선(152)을 액적도출법에 의해 형성하는 방법이다. 또한, 화소TFT(654)에 연결된 소스 배선 또는 드레인 배선은, 도 3a에 나타난 바와 같이 화소전극을 겸할 수도 있다. 물론, 화소전극을 별도 형성하여, 소스 배선 또는 드레인 배선과 접속해도 된다. 소스 전극, 드레인 전극, 소스 배선, 드레인 배선은, 모두 같은 도전 재료를 사용해서 형성해도 되고 다른 도전 재료를 사용해서 형성해도 된다.

[0090] 이 방법은, 평탄화막 내에 콘택트 홀을 형성하는 개념을 사용하지 않는다. 그러나 외관상 콘택트 홀이 형성되어 있는 것처럼 보인다. 따라서 루즈 콘택트라고 불린다. 평탄화막으로는, 아크릴, 폴리이미드, 폴리이미드 등의 유기수지, 또는 실록산계 재료를 출발 재료로 해서 형성된 Si-O 결합과 Si-CH<sub>x</sub> 결정수를 포함하는 절연막으로 형성하는 것이 바람직하다.

[0091] 그 후에 TFT기판과 대향기판 사이에 액정층(154)을 끼워 둔다. 이들 기판은 실링재(159)로 부착된다. TFT기판 위에는 컬럼 스페이서(158)를 형성한다. 스페이서(158)는 화소전극 위에 형성된 콘택부의 오목부에 맞춰서 형성하면 된다. 컬럼 스페이서(158)는 사용하는 액정재료에도 의존하지만, 3~10  $\mu\text{m}$ 의 높이로 형성하는 것이 바람직하다. 콘택부에서는, 콘택트 홀에 대응한 오목부가 형성된다. 이 오목부 맞춰서 스페이서를 형성함으로써 액정의 배향의 흐트러짐을 막을 수 있다.

[0092] TFT기판 위에는, 배향막(153)을 형성한다. 그리고 러빙 처리를 행한다. 대향기판(155) 위에는 투명도전막(156), 배향막(157)을 형성한다. 그 후에 TFT기판 및 대향기판(155)을 실링재로 접착해서 액정을 주입한다. 그 결과 액정층(154)을 형성한다. 이상과 같이 하여, 액티브 매트릭스 구동의 액정표시장치를 완성할 수 있다. 또한, 액정층(154)은, 액정을 적하함으로써 형성해도 된다. 특히 1m를 초과하는 대면적 액티브 매트릭스 기판을 사용해서 액정표시장치를 제작할 경우에 유효한 수단이다.

[0093] 또한, 배향막(153, 157)이나, 컬럼 스페이서(158)는, 액적도출법을 이용해서 선택적으로 형성해도 된다. 특히 1m를 초과하는 대면적의 액티브 매트릭스 기판을 사용해서 액정표시장치를 제작할 경우에는, 유효한 수단이다.

[0094] 다음으로 단자부(652)에 관하여 설명한다. 도 1에 나타난 것 등으로부터도 알 수 있듯이, TFT소자부 이외의 영역에는, 게이트 절연막이 잔존한다. 따라서, 게이트 전극층과 동시에 형성된 배선(171)과 FPC(Flexible Print Circuit)(628)를 접속하기 위한 콘택트 홀을 형성할 필요가 있다. 여기에서는, 콘택트 홀을 형성하고자 하는 영역의 주위를 액적도출법으로 형성된 도전체(172)로 덮고, 상기 도전체를 마스크로 해서, 콘택트 홀을 형성한다. 상기 콘택트 홀 내에 도전체(172)와 동일 또는 다른 도전체(173)를 액적도출법에 의해 토출하여 채운다. 이렇게 하여, 게이트 절연막 위에 도전체(172, 173)를 형성할 수 있다. 도전체(172, 173)와, FPC(628)를, 이방성 도전막(627)에 의하여 공지의 방법으로 단자전극(626)에 접착하는 것에 의해, 배선(171)과 FPC(628)를 접속시킬 수 있다. 단자전극(626)은 투명도전막을 사용해서 형성하는 것이 바람직하다.

[0095] FPC부의 콘택트 홀 형성은, TFT제작시에 행할 수 있다. 또는 소스 배선, 드레인 배선을 형성함과 동시에, 도전



체(172 또는 173)를 형성함으로써 행해도 된다. 액적도출법의 이점의 하나로서, 원하는 장소에 선택적으로 조성물을 토출할 수 있다는 점이 있다. 일 공정으로 종래의 복수의 공정을 겸할 수 있게 하는 것이 바람직하다.

[0096] 이상의 공정을 거쳐서, 본 발명에 의해 제작된 TFT를 사용한 액티브 매트릭스형 LCD패널이 완성된다. 상기 TFT는, 상기 실시예나 실시예의 방법을 이용해서 제작할 수 있다. 여기에서는 하나의 화소에 하나의 트랜지스터를 구비했다. 그러나 하나의 화소에 2 이상의 트랜지스터를 구비해도 된다. TFT의 극성은, n형이나 p형으로 채용할 수 있다. 상기 TFT는 n형 TFT와 p형 TFT로 이루어지는 CMOS구조로 해도 된다. 이는 구동회로TFT(653)에 있어서도 유사하다. CMOS 구조로 할 경우, 각 TFT를 접속하는 배선은, 상기 평탄화막을 선택적으로 형성한 후, 개공부에 도전 재료를 포함하는 조성물을 액적도출법으로 토출함으로써 형성할 수 있다.

[0097] 제2의 방법은, 도 3b에 나타낸 바와 같이 본 발명을 이용해서 제작한 TFT의 소스 전극, 드레인 전극 위에, 컬럼 도전체(160)(필러, 플러그 등이라고도 불린다.)를 액적도출법에 의해 형성하는 방법이다. 필러의 도전 재료로는, 전술한 게이트 전극층 등과 유사한 것을 사용할 수 있다. 컬럼 도전체(160) 위에, 평탄화막(150)을 액적도출법 등에 의해 형성한다. 평탄화막으로는, 아크릴, 폴리이미드, 폴리아미드 등의 유기수지, 또는 실록산계 재료를 출발 재료로서 형성된 Si-O 결합과 Si-CH<sub>x</sub> 결합수를 포함하는 절연막을, 액적도출법으로 선택적으로 형성하는 것이 바람직하다.

[0098] 필러 위에 평탄화막이 형성되어 있을 경우에는, 평탄화막, 필러의 표면을 에칭하여, 도 3b 아래 도면과 같이, 표면이 평탄한 필러를 얻을 수 있다. 평탄화막 위에, 소스 전극, 드레인 전극과 접속되는 소스 배선, 드레인 배선(152)을 액적도출법에 의해 형성한다. 화소TFT(654)에 접속되는 소스 배선 또는 드레인 배선(152)은, 도 3b에 나타낸 바와 같이 화소전극을 겸할 수도 있다. 물론, 화소전극을 별도 형성하여, 소스 배선 또는 드레인 배선과 접속해도 된다. 또한, 소스 전극, 드레인 전극, 필러, 소스 배선, 드레인 배선은, 모두 같은 도전 재료를 사용해서 형성해도 되고, 다른 도전 재료를 사용해서 형성해도 된다.

[0099] 그 후에 액정소자를 형성하는 공정은, 제1의 방법과 같다. FPC부의 콘택트 홀 형성은, TFT 제작시에 할 수 있다. 또는 필러, 소스 배선, 드레인 배선을 형성함과 동시에, 도전체(172 또는 173)를 형성함으로써 행해도 된다.

[0100] 제3의 방법은, 도 4에 나타낸 바와 같이 본 발명을 이용해서 제작한 소스 전극, 드레인 전극 위에, 평탄화막(151)의 재질에 대하여 발액성을 가지는 기둥 형상의 절연체(161)(필러 절연체(161)라고 한다)를 액적도출법에 의해 형성하고, 그 필러 절연체(161) 주위에 평탄화막(151)을 형성하는 방법이다. 필러 절연체의 재료로는, PVA(폴리비닐알코올) 등의 수용성 유기수지에 CF<sub>4</sub>플라즈마 등을 실행하여, 발액성을 갖게 한 것을 사용할 수 있다. 평탄화막으로는, 아크릴, 폴리이미드, 폴리아미드 등의 유기수지, 또는 실록산계 재료를 출발 재료로서 형성된 Si-O 결합과 Si-CH<sub>x</sub> 결합수를 포함하는 절연막을, 액적도출법으로 선택적으로 형성하는 것이 바람직하다. 필러 절연체(161)의 주위에 평탄화막(151)을 형성한 후, 필러 절연체(161)는 수세처리나, 에칭 등에 의해서 간단히 제거할 수 있다. 에칭에 의해 제거할 때는, 콘택트 홀 형상이 역 테이퍼 형상이 되는 것을 막기 위해서, 이방성 에칭으로 하는 것이 바람직하다. 또한, PVA 등의 필러 절연체는 절연성을 가지므로, 콘택트 홀의 측벽에 그 일부가 잔존해도, 특히 문제가 생기지는 않는다.

[0101] 그 후에 평탄화막 위에, 콘택트 홀을 사이에 두고 소스 전극, 드레인 전극과 접속되는 소스 배선, 드레인 배선(152)을 액적도출법에 의해 형성한다. 화소TFT에 접속된 소스 배선 또는 드레인 배선(152)은 도 4b에 나타낸 바와 같이 화소TFT(654)를 겸할 수도 있다. 물론, 화소전극을 별도로 형성하여, 소스 배선 또는 드레인 배선과 접속해도 된다. 또한, 소스 전극, 드레인 전극, 필러, 소스 배선, 드레인 배선은, 모두 같은 도전 재료를 사용해서 형성해도 되고, 다른 도전 재료를 사용해서 형성해도 된다. 상기 필러 절연체의 제거 공정에 의해, 콘택트 홀 형상이 역 테이퍼 형상이 된 경우에는, 소스 배선, 드레인 배선을 형성할 때, 도전 재료를 포함하는 조성물을 액적도출법으로 적층시킴으로써 콘택트 홀을 매우도록 형성하면 된다.

[0102] 그 후에 액정소자를 형성하는 공정은, 제1의 방법과 같다. FPC부의 콘택트 홀 형성은, TFT제작시에 행할 수 있다. 또는, 소스 배선, 드레인 배선을 형성함과 동시에, 도전체(172 또는 173)를 형성함으로써 행해도 된다.

[0103] 제4의 방법은, 도 5a에 나타낸 바와 같이 본 발명을 이용해서 제작한 TFT의 소스 전극, 드레인 전극 위에, 평탄화막(151)의 재질에 대하여 발액성재료(162)를 액적도출법, 스핀 도포법, 스프레이법 등에 의해 형성하고, 콘택트 홀을 형성하고자 하는 위치에, PVA나 폴리이미드 등으로 된 마스크(163)를 형성하고, PVA 등을 이용해서 발액성재료(162)를 제거하고, 잔존한 발액성재료(162) 주위에 평탄화막(151)을 형성하는 방법이다. 발액성재료(162)의 재료로는, FAS(플루오로알킬실란) 등의 불소계 실란 커플링제를 사용할 수 있다. PVA나 폴리이미드 등

의 마스크(163)는 액적토출법으로 선택적으로 토출할 수 있다. 발액성재료(162)는,  $O_2$  애싱이나 대기압 플라즈마에 의해 제거할 수 있다. 또한 마스크(163)는, PVA의 경우는 수세처리에 의해, 폴리이미드의 경우에는, N300 박리액에 의해 간단히 제거할 수 있다.

[0104] 콘택트 홀이 형성되는 장소에 발액성재료(162)를 남긴 상태에서(도 5b), 평탄화막(151)을 액적토출법이나 스핀 도포법 등에 의해 형성한다. 이때, 콘택트 홀이 형성되는 장소에는, 발액성재료(162)가 잔존하므로, 그 위쪽에 평탄화막이 형성될 일은 없다. 또한 콘택트 홀 형상이 역 테이퍼가 될 우려도 생기지 않는다. 평탄화막으로는, 아크릴, 폴리이미드, 폴리이미드 등의 유기수지, 또는 실록산계 재료를 출발 재료로 해서 형성된 Si-O 결합과 Si-CH<sub>x</sub> 결합수를 포함하는 절연막을, 액적토출법으로 선택적으로 형성하는 것이 바람직하다. 평탄화막(151)을 형성한 후, 발액성재료(162)는  $O_2$  애싱이나 대기압 플라즈마에 의해 제거한다.

[0105] 그 후에 평탄화막 위에, 콘택트 홀을 사이에 두고 소스 전극, 드레인 전극과 접속되는 소스 배선, 드레인 배선(152)을 액적토출법에 의해 형성한다. 화소 TFT(654)에 접속된 소스 배선 또는 드레인 배선(152)은, 도 5c에 나타난 바와 같이 화소전극을 겸할 수도 있다. 물론, 화소전극을 별도 형성하여, 소스 배선 또는 드레인 배선과 접속해도 된다. 또한, 소스 전극, 드레인 전극, 소스 배선, 드레인 배선은, 모두 같은 도전 재료를 사용해서 형성해도 되고, 다른 도전 재료를 사용해서 형성해도 된다.

[0106] 그 후에 액정소자를 형성하는 공정은, 제1의 방법과 같다. FPC부의 콘택트 홀 형성은, TFT제작시에 할 수 있다. 또는 소스 배선, 드레인 배선을 형성함과 동시에, 도전체(172 또는 173)를 형성함으로써 행해도 된다.

[0107] 상기 제1 내지 제4의 방법에 대해서, 도 3a~5c에서는 도면에는 나타나지 않았지만, 기판과 게이트 전극층 사이에, 전처리에 의해 TiO<sub>x</sub>막 등을 설치하여, 밀착성을 높일 수 있다. 이것은, 소스 배선, 드레인 배선, 필러, 화소전극, 도전체(172, 173) 등을 형성할 경우에도 채용할 수 있다. 전처리로는, 상기 예, 실시예에 나타난 것을 채용하면 된다.

[0108] 또한 도면에는 나타나지 않았지만, 소스 전극, 드레인 전극 위에, TFT 위에서의 불순물 확산 등을 방지하기 위한 패시베이션막을 형성해 두는 것이 바람직하다. 패시베이션막은, 플라즈마CVD법 또는 스퍼터링법 등의 박막형성법을 이용하여, 질화규소, 산화규소, 질화산화규소, 산화질화규소, 산화질화알루미늄, 또는 산화알루미늄, 다이아몬드라이크카본(DLC), 질소 함유 탄소(CN), 그 밖의 절연성 재료를 사용해서 형성할 수 있다. 채널 보호막과 동일한 재료를 사용해도 되고, 이들 재료를 적층시켜서 형성해도 된다. 또한, 상기 패시베이션막은, 절연체 재료인 미립자를 포함하는 조성물을 액적토출법에 의해 토출함으로써 형성할 수도 있다.

[0109] 도면에는 나타나지 않았지만, 평탄화막을 설치하지 않고, 화소전극을 기판 위에 간접적으로 형성하고, 그 위에 배향막을 설치한 구조로 해도 된다. 이때, TFT는 캡 절연막이나 패시베이션막으로 덮어 두는 것이 바람직하다.

[0110] [실시예 5]

[0111] 본 실시예 5에서는, 도 6a 내지 6c를 참조하여, 본 발명을 이용한 액티브 매트릭스형 EL패널의 제조 방법에 관하여 설명한다.

[0112] 우선, 도 6a에 나타난 바와 같이 상기 실시예, 예의 방법에 의해 TFT를 제작한다. 그리고 나서, 적어도 섬 형상 반도체막의 측면에 스텝 커버리지를 향상시키기 위한, 절연체(140)(에지 커버라고도 불린다)를 형성한다. TFT의 소스 전극(108), 드레인 전극(109)에 접해서 소스 배선(123), 드레인 배선(124)을 형성한다. 소스 또는 드레인 전극과 화소 전극(126)(일반적으로, 정공 주입 전극(양극))을 접속한다. 이때, 배선 아래에는 에지 커버가 존재하므로, 배선을 양호한 커버리지로 매끄럽게 형성할 수 있다. 따라서, 단선 등을 방지할 수 있다(도 6b).

[0113] 또한, 화소 전극(126)은 적층구조로 해도 된다. 예를 들면 ITS0의 적층구조를 채용하고, TFT측 ITS0의 산화규소 농도를 저농도(1~6 원자%)로, 발광소자측 ITS0의 산화규소 농도를 고농도(7~15 원자%)로 하는 것이 바람직하다. 화소 전극(126)의 표면이 평탄화되도록, CMP법이나, 폴리비닐알코올계의 다공질체로 연마할 수 있다. CMP법을 이용한 연마 후에, 화소 전극(126)의 표면에 자외선조사, 산소 플라즈마처리 등을 행해도 된다.

[0114] 화소 전극(126)을 에칭으로 형성한 후에, 레지스트 박리공정, 하이드로 세정(수세)공정, 자외선조사공정 등에 의해, 도전층(126) 내부로부터 인듐, 주석 또는 그러한 산화물을 방출시킨다. 그럼으로써 도전층(126)의 표면 또는 표면 근방의 층 내부에, 규소, 산화규소, 질화규소 등과 석출시켜, 그것들을 주성분으로 하는 배리어층을 형성할 수 있다. 또한 이 배리어층은, 규소, 산화규소, 질화규소 등을 의도적으로 증착법, 스퍼터링법 등에 의해 형성해도 된다. 이들 배리어층의 존재에 의해, 정공 주입 전극의 일함수가 증가하고, 정공주입성을 보다 향



상시킬 수 있다.

- [0115] TFT, 배선, 화소전극의 일부의 위쪽을, 액적도출법에 의해 선택적으로 형성된 제방(141)으로 덮는다. 제방(141)으로는, 아크릴, 폴리이미드, 폴리아미드 등의 유기수지, 또는 실록산계 재료를 출발 재료로 해서 형성된 Si-O 결합과 Si-CH<sub>3</sub> 결합수를 포함하는 절연막으로 형성하는 것이 바람직하다.
- [0116] 다음으로 제방(141)의 개구부에 있어서 화소 전극(126)과 접하도록, 유기 화합물을 포함하는 층(일렉트로 루미네선스층이라고 불리기도 하며, 이후 유기화합물층(142)이라 부른다)을 형성한다. 유기화합물층(142)은 단수의 층으로 구성해도 되고, 복수의 층을 적층 시켜서 구성해도 된다. 예를 들면 (1) 양극\홀 주입층\홀 수송층\발광층\전자수송층\음극, (2) 양극\홀 주입층\발광층\전자수송층\음극, (3) 양극\홀 주입층\홀 수송층\발광층\전자수송층\전자주입층\음극, (4) 양극\홀 주입층\홀 수송층\발광층\홀 블록킹층\전자수송층\음극, (5) 양극\홀 주입층\홀 수송층\발광층\홀 블록킹층\전자수송층\전자주입층\음극, 등의 소자구성으로 할 수 있다.
- [0117] 다음으로 유기화합물층(142)을 덮도록, 전자주입 전극(143)(음극)을 형성한다. 전자주입 전극(143)은, 일함수가 작은 공지의 재료, 예를 들면 Ca, Al, CaF, MgAg, AlLi 등을 사용할 수 있다. 분리벽(141)의 개구부에 있어서, 화소 전극(126)과 유기화합물층(142)과 전자주입 전극(143)이 중첩됨으로써 발광소자(146)가 형성된다. 패시베이션막(144)은 전자주입 전극(143) 위에 형성된다(도 6c).
- [0118] 상기 발광소자는, 한 쌍의 전극 사이에 캐리어 수송 특성이 다른 유기화 화합물 또는 무기화 화합물을 포함하는 발광층을 적층하여 구성된다. 한쪽의 전극으로부터는 정공을 주입하고, 다른 쪽의 전극으로부터는 전자를 주입할 수 있게 형성된다. 한쪽의 전극으로부터 주입된 정공과, 다른 쪽의 전극으로부터 주입된 전자가 재결합해서 발광중심을 여기하고, 그것이 기저상태로 되돌아올 때에 빛을 방출하는 현상을 이용한 소자다. 발광층으로의 정공 및 전자의 주입성은, 전극을 형성하는 재료의 일함수(금속이나 반도체의 표면으로부터, 한 개의 전자를 그 표면의 바로 외측으로 추출하는 데에 필요한 최소의 에너지)의 대소를 하나의 지표로 한다. 정공을 주입하는 쪽의 전극에는 일함수가 높은 것이 바람직하고, 전자를 주입하는 쪽의 전극에는 일함수가 낮은 것이 바람직하다.
- [0119] 대향기관(145) 위에, 파장판, 편광판, 반사방지막을 형성하는 것이 바람직하다. 파장판으로는,  $\lambda/4$ ,  $\lambda/2$ 의 순으로 형성하여 지상축을 설정한다.
- [0120] 도 6c의 상태까지 완성되면, 더욱 외기에 노출하지 않도록 기밀성이 높고, 탈가스가 적은 보호 필름(레미네이트 필름, 자외선 경화 수지 필름 등)이나 커버재로 패키징(봉입)하는 것이 바람직하다.
- [0121] [실시예 6]
- [0122] 실시예 5에서는, 도 6에 나타내는 보텀 이미션형 발광 장치에 있어서, 본 발명을 적용했을 경우에 관하여 설명했다. 본 실시예 6에서는, 도 7a에 나타내는 톱 이미션형 발광 장치, 도 7c에 나타내는 듀얼 이미션형 발광 장치에 있어서, 본 발명을 적용했을 경우에 관하여 설명한다.
- [0123] 우선, 듀얼 이미션형 발광 장치의 경우부터 설명한다. 이 경우, 정공주입 전극의 재료로는, 실시예 5와 유사하게, ITO, ITS0, ZnO, IZO, GZO 등의 투명도전막을 사용할 수 있다. 화소 전극(126)으로 ITS0를 사용할 경우에는, 농도가 다른 산화규소를 포함하는 복수의 ITS0를 적층시킬 수 있다. 바람직하게는, 하부 ITS0층(소스 배선 또는 드레인 배선 측)의 산화규소 농도를 저농도로, 상부 ITS0층(발광층 측)의 산화규소 농도를 고농도로 하는 것이 바람직하다. 이에 따라 화소 전극(126)과 TFT 접속 간의 저저항을 유지하면서, EL층에의 정공주입 효율을 높일 수 있다. 물론, 화소 전극은 다른 재료와 ITS0의 적층구조(예를 들면 ITO층과 ITS0층을 연속으로 적층)로 해도 된다. 또는 다른 재료끼리 적층시켜도 된다.
- [0124] 한편, 전자주입 전극(143)으로는, 발광층으로부터의 빛을 투과시키기 위해, 1~10 nm의 박형 알루미늄막, 혹은 Li를 미량 포함하는 알루미늄막 등을 사용한다. 따라서, 상하면의 발광소자로부터의 빛을 추출할 수 있는 듀얼 이미션형 발광 장치를 얻을 수 있다(도 7c).
- [0125] 도 7a 내지 7c에 있어서, 도면부호 141은 제방, 142는 유기화합물층, 144는 패시베이션막, 145는 대향기관, 146은 발광소자를 나타낸다.
- [0126] 다음으로 톱 이미션형 발광 장치의 경우에 대해서, 도 7a를 참조해서 설명한다. 일반적으로, 도 7b의 보텀 이미션형에 있어서의 정공주입 전극의 기능을 하는 화소 전극(126)과 전자주입 전극(143)을 교체하고, 유기 화합물을 포함하는 층을 역으로 적층해서 전류제어용 TFT의 극성을 반전시킴으로써(n채널형 TFT를 사용한다), 기관과 반대 측(상측)에 발광소자로부터의 빛을 추출할 수 있는 톱 이미션형 발광장치를 얻을 수 있다. 도 7a과 같이,

전극 및 유기 화합물을 포함하는 층을 역으로 적층한 경우, 화소 전극(126)으로서, 산화규소 농도의 함유량에 차이가 있는 투광성 산화물 도전층의 적층구조를 채용함으로써, 발광 효율의 향상, 저소비 전력화 등의 효과에 의해, 안정성 높은 발광 장치를 얻을 수 있다. 전자주입 전극(143)으로는, 광 반사성이 있는 금속전극 등을 사용하는 것이 바람직하다.

[0127] [실시예7]

[0128] 실시예 4의 액정표시 패널 또는 실시예 5, 6의 EL패널을 사용한 전자기기의 일례로서, 도 9a 내지 9c에 나타내는 텔레비전 수상기, 휴대 서적(전자 서적), 휴대전화를 완성시킬 수 있다.

[0129] 도 9a의 텔레비전 수상기는, 케이싱(2001)에 액정 또는 EL소자를 이용한 표시용 모듈(2002)이 삽입되고, 수신기(2005)에 의해 일반 텔레비전 방송의 수신을 비롯해, 모뎀(2004)을 통해 유선 또는 무선에 의한 통신 네트워크에 접속함으로써 일방향(송신자에게서 수신자) 또는 쌍방향(송신자와 수신자 간, 또는 수신자끼리) 정보통신을 할 수도 있다. 텔레비전 수상기의 조작은, 케이싱에 삽입된 스위치 또는 무선 리모트 컨트롤 장치(2006)에 의해 할 수 있다. 이 리모트 컨트롤 장치에 출력하는 정보를 표시하는 표시부(2007)가 설치되어 있어도 된다.

[0130] 텔레비전 수상기에도, 주화면(2003) 이외에 서브화면(2008)을 제2의 표시용 모듈로 형성하여, 채널이나 음량 등을 표시하는 구성이 부가되어 있어도 된다. 주화면(2003)은 시야가 좋은 EL표시용 모듈로 형성할 수 있다. 서브화면은 저소비 전력으로 표시가능한 액정표시용 모듈로 형성할 수 있다. 소비 전력의 감소를 우선으로 하기 위해서는, 주화면(2003)을 액정표시용 모듈로 형성하고, 서브 화면을 EL표시용 모듈로 형성하며, 서브 화면은 점멸 가능하게 하는 구성으로 할 수 있다.

[0131] 도 9b는 휴대서적(전자서적)으로, 본체(3101), 표시부(3102, 3103), 기억매체(3104), 조작 스위치(3105), 안테나(3106) 등으로 구성된다.

[0132] 도 9c는 휴대전화다. 도면부호 3001은 표시용 패널, 3002는 조작용 패널이다. 표시용 패널(3001)과 조작용 패널(3002)은 접속부(3003)에 의해 접속되어 있다. 접속부(3003)에 있어서, 표시용 패널(3001)의 표시부(3004)가 설치되어 있는 면과 조작용 패널(3002)의 조작키(3006)가 설치되어 있는 면과의 각도  $\theta$ 는, 임의로 바꿀 수 있다. 휴대전화는 또한 음성출력부(3005), 조작키(3006), 전원 스위치(3007), 음성입력부(3008)를 가지고 있다.

[0133] [실시예 8]

[0134] 본 실시예에 관련되는 반도체소자는, 도 10에 나타내는 액적 토출 시스템에 의해 형성하는 것이 바람직하다. 우선, CAD, CAM, CAE 등에 의해 회로를 설계하고, 회로 설계 틀(800)에 의해, 원하는 박막 및 얼라인먼트 마커의 배치 장소를 결정한다.

[0135] 설계된 박막 및 얼라인먼트 마커의 배치 장소를 포함하는 박막 패턴의 데이터(801)는 기록 매체 또는 LAN(Local Area Network) 등의 정보망을 통해, 액적토출장치를 제어하는 컴퓨터(802)에 입력된다. 박막 패턴의 데이터(801)에 근거하여 액적토출수단(803)이 가지는 노즐(가는 구멍으로부터 액체나 기체를 분출시키는 장치) 중, 상기 박막을 구성하는 재료를 포함하는 조성물을 저장하거나, 상기 조성물을 저장하는 탱크와 접속되어 있는 최적의 토출 구경을 가지는 노즐이 결정된다. 계속해서, 액적토출수단(803)의 주사 경로(이동 경로)가 결정된다. 미리 최적의 노즐이 결정되어 있는 경우에는, 상기 노즐의 이동 경로만을 설정하면 된다.

[0136] 다음으로 상기 박막이 형성되는 기관(804) 위에 포토리소그래피 기술이나 레이저광을 이용하여, 얼라인먼트 마커(817)를 형성한다. 얼라인먼트 마커가 형성된 기관을 액적토출장치 내의 스테이지(816)에 설치하고, 상기 장치에 구비된 촬영수단(805)에 의해 얼라인먼트 마커의 위치를 검출하고, 화상처리장치(806)를 통해서, 컴퓨터(802)에 위치 정보(807)로서 입력된다. 컴퓨터(802)에서는, CAD 등에 의해 설계된 박막 패턴 데이터(801)와, 촬영수단(805)에 의해 얻어지는 얼라인먼트 마커의 위치 정보(807)를 대조하여, 기관(804)과 액적토출수단(803)과의 얼라인먼트를 행한다.

[0137] 그 후에 컨트롤러(808)에 의해 제어된 액적토출수단(803)이, 결정된 주사 경로를 따라 조성물(818)을 토출함으로써, 원하는 박막 패턴(809)이 형성된다. 조성물의 토출량은, 토출구의 지름을 선택함으로써, 적절히 조정할 수 있다. 그러나 토출구의 이동 속도, 토출구와 기관과의 간격, 조성물의 토출 속도, 토출 공간의 분위기, 상기 공간의 온도, 습도 등의 모든 조건에 의해 미묘하게 다르다. 따라서 이러한 조건도 제어하는 것이 바람직하다. 이것들은, 미리 실험, 평가에 의해 최적의 조건을 구해 두고, 조성물의 재료마다 데이터베이스화해 두는 것이 바람직하다.

[0138] 박막 패턴 데이터로서는, 예를 들면 액정표시장치, EL표시장치 등에 사용할 수 있는 액티브 매트릭스형 TFT기관

의 회로도 등을 들 수 있다. 도 10에서 원 내의 회로도는, 이러한 액티브 매트릭스형 TFT기판에 사용할 수 있는 도전막을 모식적으로 나타낸 것이다. 도면 부호 821은 소위 게이트 배선, 822는 소스 신호선(2nd 배선), 823은 화소 전극 또는 정공주입 전극 혹은 전자주입 전극을 가리킨다. 또한 820은 기판, 824는 얼라인먼트 마커를 나타내고 있다. 물론, 박막 패턴(809)은, 박막 패턴 정보에 있어서의 게이트 배선(821)에 대응하는 것이다.

[0139] 또한 액적토출수단(803)은, 여기에서는, 노즐(810, 811, 812)이 일체화된 구성으로 되어 있지만, 이것에 한정되는 것은 아니다. 각 노즐은 각각 복수의 토출구(813, 814, 815)를 가지고 있다. 상기 박막 패턴(809)은, 노즐(810)에서 소정의 토출구(813)를 선택함으로써 형성된 것이다.

[0140] 액적토출수단(803)은, 다양한 선 폭의 박막 패턴의 제작에 대응할 수 있도록, 또한 택 타임을 향상시키기 위해서, 토출 구경, 토출량, 또는 노즐 피치가 다른 복수의 노즐을 구비해 두는 것이 바람직하다. 토출구 사이의 간격은 가능한 한 좁은 편이 바람직하다. 또한, 액적토출수단(803)에 1m 이상의 길이를 가지는 노즐을 구비해서 크기가  $1 \times 1m$  또는 그 두 세 배 정도인 대면적의 기판에 대하여, 스루풋 높은 토출을 행하는 것이 바람직하다. 액적토출수단(803)은 토출구 사이의 간격을 자유자재로 조정하기 위해 신축 기능을 가질 수도 있다. 고해상도, 즉 매끄러운 패턴을 그리도록, 노즐 또는 헤드가 비스듬히 기울도록 해 두는 것이 바람직하다. 이에 따라 직사각형 등, 대면적에의 묘화가 가능해진다.

[0141] 다른 피치를 가지는 헤드의 노즐을 하나의 헤드에 평행하게 설치해도 된다. 이 경우 토출 구경은 같아도 되고, 달라도 된다. 상기와 같이 복수의 노즐의 사용한 액적토출장치의 경우에는, 사용하고 있지 않은 노즐을 보관하기 위한 대기 장소를 설치해 둘 필요가 있다. 대기 장소에는, 또한 가스 공급 수단과 샤워 헤드를 설치하는 것에 의해, 조성물의 용매와 같은 기체의 분위기로 치환할 수 있다. 따라서 건조를 어느 정도 방지할 수 있다. 또한 청정한 공기를 공급하여, 작업 영역의 티끌을 저감하는 클린 유닛 등을 구비해도 된다.

[0142] 노즐(803)의 사양상, 토출구의 간격을 좁게 하지 못할 경우에는, 노즐 피치가 표시 장치에 있어서 화소의 정수 배가 되도록 설계하는 것이 바람직하다. 이에 따라, 도 11a, 11b와 같이, 기판(804)을 변경하는 것에 의해 기판(804) 위에 조성물을 토출할 수 있다. 촬영수단(805)으로는, CCD(전하결합소자)와 같은 빛의 강약을 전기신호로 변환하는 반도체소자를 사용한 카메라를 사용하면 된다.

[0143] 진술한 방법은, 기판(804)을 얹은 스테이지(816)를 고정하고, 액적토출수단(803)을 결정된 경로를 따라서 주사시킴으로써 박막 패턴(809)을 형성하는 것이다. 그와 달리, 액적토출수단(803)을 고정하고, 박막 패턴 데이터(801)에 근거하여 결정된 경로를 따라, 스테이지(809)를 XY $\theta$ 방향으로 반송시킴으로써 박막 패턴(809)을 형성해도 된다. 액적토출수단(803)이 복수의 노즐을 가질 경우에는, 상기 박막을 구성하는 재료를 포함하는 조성물을 저장하고, 또는 상기 조성물을 저장하는 탱크와 접속되어 있는 최적의 토출 구경을 가지는 노즐을 결정할 필요가 있다.

[0144] 또한 복수의 노즐을 사용하고, 복잡한 기능을 갖게 해도 된다. 예를 들면 처음에 노즐(812)(또는 811)로부터 조성물이 토출되는데, 노즐(810)이 노즐(812)(또는 811)과 동시에 토출하도록 토출 조건을 제어할 수 있다. 따라서 앞쪽의 노즐에 있어서 토출구 막힘 등의 지장을 초래해도, 뒤쪽의 노즐(810)로부터 조성물을 토출할 수 있으므로, 적어도 배선의 단선 등을 방지하는 것이 가능해진다.

[0145] 상기 방법은 노즐(810)의 하나의 소정 토출구만을 사용해서 박막 패턴(809)을 형성했다. 그 대신, 도 12a 내지 15c에 나타낸 바와 같이, 복수의 노즐을 사용해서, 형성하고자 하는 박막의 선 폭이나 두께에 따라 조성물을 토출할 수 있다.

[0146] 도 12a 내지 12d, 도 13a 내지 13c는 예를 들면, 화소전극 패턴(244)이 기판(240) 위에 형성된 것을 나타낸다. 여기에서는,  $R_1, R_2, R_3(R_1 > R_2 > R_3)$ 의 다른 크기를 가지는 세 개의 노즐(251 내지 253)로 구성된 액적토출수단(241)이 사용된다. 우선, 최대 지름을 가지는 토출구를 구비한 노즐(251)을 사용하여 조성물(245)을 토출한다(도 12b 또는 13a). 다음으로, 노즐(251)보다 작은 지름을 가지는 토출구를 구비한 노즐(252)을 사용해서 최대 지름을 가지는 토출구에 의해 그리지 못했거나 고르지 못하게 된 위치에서 조성물을 선택적으로 토출한다(도 12c 또는 13b). 그후, 최소 지름을 가지는 토출구를 구비한 노즐(253)로 조성물(247)을 선택적으로 토출함으로써 패턴의 표면을 원하는 대로 매끄럽게 한다(도 12d 또는 13c). 상기 방법을 화소 전극과 같이 비교적 큰 도전체를 제조하는 데 유용하게 이용된다. 고르지 못한 부분이 없는 평탄화된 패턴을 이 방법에 의해 제조할 수 있다.

[0147] 도 14는 기판(240) 위에 배선 패턴(248)이 형성된 상태를 나타낸다. 액적토출수단으로서, 상기 노즐(251 내지 253)이 사용된다. 이들 노즐로부터 토출되는 각 액적(261 내지 263)의 양이 다르므로, 도 14에 나타낸 바와 같

이, 다른 선 폭을 가진 패턴을 쉽게 제작할 수 있다.

[0148] 도 15a 내지 15c는 조성물을 연속으로 토출해서 개구부(213)를 충전하여 예를 들면, 도전막을 형성 방법을 나타낸다. 도면 부호 210은 기관, 211은 반도체 또는 도전체, 212는 절연체를 나타낸다. 절연체(212)는 개구(213)로 설치된다. 조성물은 상기 각 라인에서 같은 축 방향으로 배치된 토출구를 가지는 복수의 라인을 구비한 복수의 노즐(251 내지 253)을 포함하는 액적 토출 수단에 의해 토출된다. 우선, 지름  $R_3$ 인 토출구를 가지는 노즐(253)에 의해 개구(213)를 바닥까지 조성물로 충전한다(도 15a). 그리고 나서 지름  $R_2$ 인 토출구를 가지는 노즐(252)에 의해 개구(213)를 중간까지 조성물로 충전한다(도 15b). 그리고 나서 지름  $R_1$ 인 토출구를 가지는 노즐(251)에 의해 개구(213)를 상부까지 조성물로 충전한다(도 15c). 이 방법에 따르면 조성물을 토출하여 개구를 충전함으로써 평탄화된 도전층을 형성할 수 있다. 따라서, 보이드를 생성하는 일 없이 평탄화된 배선으로 어스펙트비가 높은 개구를 가지는 절연체(212)를 설치할 수 있다.

[0149] 박막이나 배선의 형성에 사용할 수 있는 액적토출 시스템에 있어서, 상기와 같이, 박막 패턴을 나타내는 데이터를 입력하는 입력 수단과, 상기 데이터에 근거하여 상기 박막을 구성하는 재료를 포함하는 조성물을 토출하기 위한 노즐의 이동 경로를 설정하는 설정 수단과, 기관 위에 형성된 얼라인먼트 마커를 검출하기 위한 촬영수단과, 상기 노즐의 이동 경로를 제어하는 제어 수단을 가지는 구성한다. 따라서 액적 토출시에 있어서의 노즐 또는 기관의 이동 경로를 정확하게 제어할 필요가 있다. 액적토출 시스템을 제어하는 컴퓨터에 조성물 토출 조건 제어 프로그램을 설치하는 것에 의해, 노즐 또는 기관이동 속도, 조성물의 토출량, 분사 거리, 분사속도, 토출 환경의 분위기, 토출 온도, 토출 습도, 기관 가열온도 등의 조건도 정확하게 제어할 수 있다.

[0150] 이것에 의해, 원하는 굵기, 두께, 형상을 가지는 박막이나 배선을, 짧은 턱 타임, 높은 스루풋으로, 원하는 장소에 정밀하게 제작할 수 있다. 나아가서는, 그들 박막이나 배선을 사용해서 제작한 TFT와 같은 반도체소자, 상기 반도체소자를 사용해서 제작한 액정 모니터(LCD), 유기EL 디스플레이와 같은 발광 장치, LSI 등의 제조 제품 수율을 향상시킬 수 있다. 특히, 본 발명을 이용함으로써, 임의의 장소에 박막이나 배선의 패턴을 형성할 수 있고, 형성하는 패턴의 굵기, 두께, 형상도 조정할 수 있다. 따라서  $1 \times 1\text{m}$  또는 그 두 세배의 크기를 가지는 대면적의 반도체소자 기관 등도, 저비용으로 수율 좋게 제조할 수 있다.

## 산업상 이용 가능성

[0151] 본 발명에 따르면, 상기 방법을 이용하여, 소스 영역 및 드레인 영역을 형성한 후에, 채널 영역이 되는 부분을 채널 보호막의 기능을 하는 절연막으로 덮고, 섬 형상 반도체막을 형성한다. 따라서 레지스트 마스크를 설치할 필요가 없어, 공정을 간략화할 수 있다. 이렇게, 본 발명은, 소스 전극 및 드레인 전극의 금속 마스크를 사용해서 일도전형 반도체막을 제거하는 방법과, 그 후에 채널 영역이 제거되는 것을 막기 위해서 채널 보호막을 형성하는 채널 보호형 특유의 방법을 혼합시킨 새로운 타입의 반도체소자의 형성 수단을 가지는 것을 특징으로 한다. 상기 구성을 구비하는 것에 의해, 레지스트 마스크를 전혀 사용하는 일 없이, 소스 전극 및 드레인 전극의 금속 마스크만으로 반도체소자를 제작할 수 있다. 따라서, 반도체소자, 및 그 제조 방법은, 액적토출법을 적극적으로 이용할 수 있는 최적의 구조, 프로세스를 제공하는 데 의미가 있다.

[0152] [부호의 설명]

[0153]	100: 기관	102: 게이트 전극층
[0154]	103: 게이트 절연층	104: 반도체막
[0155]	105: n형 반도체막	108: 소스 전극
[0156]	109: 드레인 전극	112: 소스 영역
[0157]	113: 드레인 영역	115: 절연막
[0158]	118: 섬 형상 반도체막	119: 채널 영역
[0159]	123: 소스 배선	126: 화소 전극
[0160]	132: 산화티탄막	134: 절연막
[0161]	140: 절연체	141: 제방

[0162]	142: 유기화합물층	143: 전자주입 전극
[0163]	144: 패시베이션막	145: 대향기관
[0164]	146: 발광 소자	151: 평탄화막
[0165]	152: 드레인 배선	153: 배향막
[0166]	154: 액정층	155: 대향 기관
[0167]	156: 투명 도전막	157: 배향막
[0168]	158: 컬럼 스페이서	159: 실랭재
[0169]	160: 컬럼 도전체	161: 필러 절연체
[0170]	162: 발액성재료	163: 마스크
[0171]	171: 배선	172: 도전체
[0172]	173: 도전체	500: 유리 기관
[0173]	501: 노즐	502: 나노페이스트
[0174]	503: 금속연쇄체를 포함하는 도전막	
[0175]	504: 유기성분으로 이루어지는 막	626: 단자 전극
[0176]	627: 이방성 도전막	628: FPC
[0177]	652: 단자부	654: 화소 TFT
[0178]	800: 회로 설계 틀	801: 박막 패턴의 데이터
[0179]	802: 컴퓨터	805: 촬영수단
[0180]	806: 화상처리장치	
[0181]	807: 얼라인먼트 마커의 위치 정보	
[0182]	808: 콘트롤러	816: XY $\theta$ 스테이지
[0183]	817: 얼라인먼트 마커	819: 데이터베이스
[0184]	2001: 케이싱	2002: 표시용 모듈
[0185]	2003: 주화면	2004: 모델
[0186]	2005: 수신기	2006: 무선 리모트 컨트롤 장치
[0187]	2007: 표시부	2008: 서브화면
[0188]	3001: 표시용 패널	3002: 조작용 패널
[0189]	3003: 접속부	3004: 표시부
[0190]	3005: 음성출력부	3006: 조작키
[0191]	3007: 전원 스위치	3008: 음성입력부
[0192]	3009: 안테나	3101: 본체
[0193]	3102: 표시부	3103: 표시부
[0194]	3104: 기억매체	3105: 조작 스위치
[0195]	3106: 안테나	

# 도면의 간단한 설명

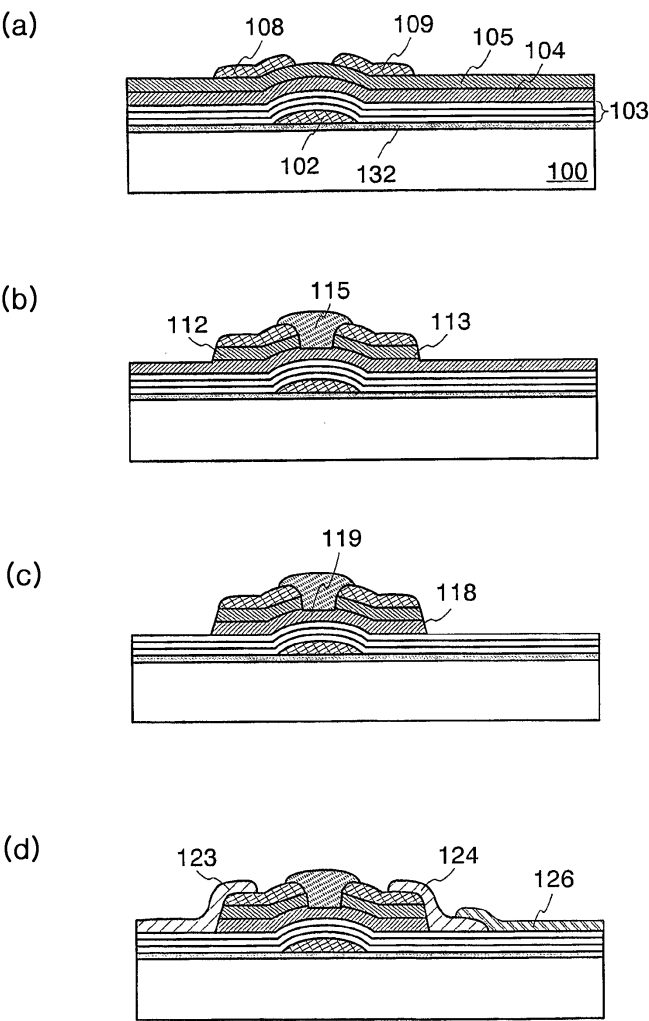


- [0020] 도 1a 내지 도 1d는 본 발명에 따른 TFT의 공정을 나타내는 개략도다.
- [0021] 도 2a 내지 도 2d는 본 발명에 따른 TFT의 공정을 나타내는 개략도다.
- [0022] 도 3a 내지 도 3c는 본 발명에 따른 액정표시 패널의 공정을 나타내는 개략도다.
- [0023] 도 4a 내지 도 4b는 본 발명에 따른 액정표시 패널의 공정을 나타내는 개략도다.
- [0024] 도 5a 내지 도 5c는 본 발명에 따른 액정표시 패널의 공정을 나타내는 개략도다.
- [0025] 도 6a 내지 도 6c는 본 발명에 따른 EL패널의 공정을 나타내는 개략도다.
- [0026] 도 7a 내지 도 7c는 본 발명에 의한 톱 이미션형 발광 장치, 보텀 이미션형 발광 장치, 듀얼 이미션형 발광 장치에 관한 설명도다.
- [0027] 도 8a 내지 도 8c는 산화티탄막의 제조 방법을 설명하는 도면이다.
- [0028] 도 9a 내지 도 9c는 본 발명에 의한 전자기기의 일례를 나타낸 설명도다.
- [0029] 도 10은 액적토출장치의 구성을 나타낸다.
- [0030] 도 11a와 11b는 본 발명에 따라 화소 피치로 n번의 피치를 가지는 노즐을 사용하여 짝 행과 홀 행 배선을 따로 배출함으로써 형성한 배선을 나타내는 설명도다.
- [0031] 도 12a 내지 도 12d는 본 발명에 따라 다른 배출구 직경을 가지는 복수의 노즐로 토출하여 형성한 화소전극을 나타내는 설명도다.
- [0032] 도 13a 내지 도 13c는 본 발명에 따라 다른 배출구 직경을 가지는 복수의 노즐로 토출하여 형성한 평탄한 배선을 나타내는 설명도다.
- [0033] 도 14는 본 발명에 따라 다른 배출구 직경을 가지는 복수의 노즐로 토출하여 형성한 다른 라인 간격을 가지는 배선을 나타내는 설명도다.
- [0034] 도 15a 내지 15c는 본 발명에 따라 다른 배출구 직경을 가지는 복수의 노즐로 토출하여 도전 재료로 충전한 개구부를 나타내는 설명도다.

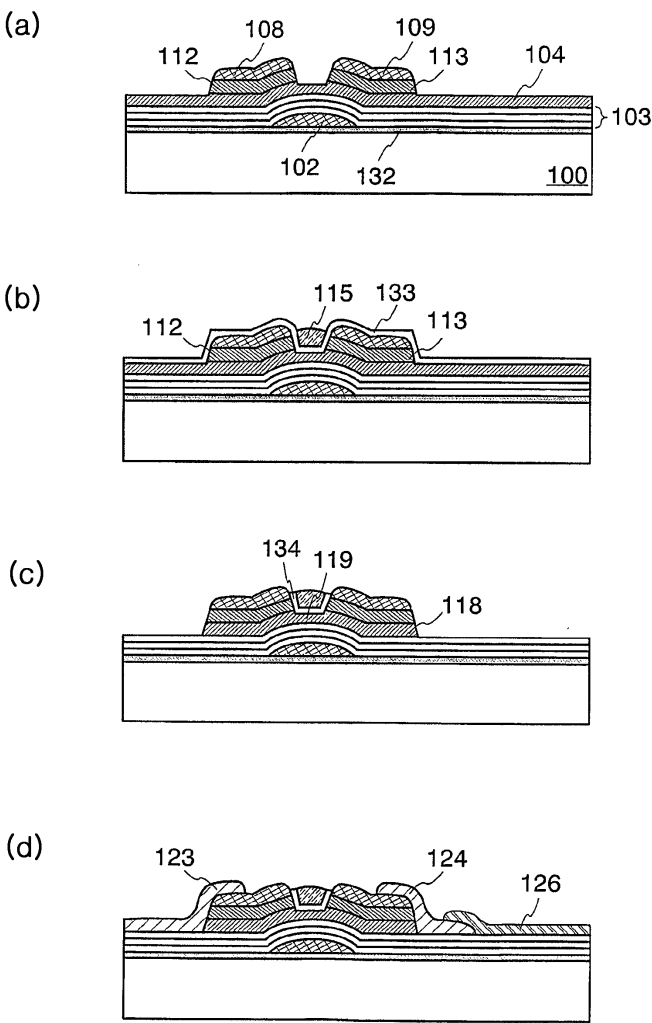


도면

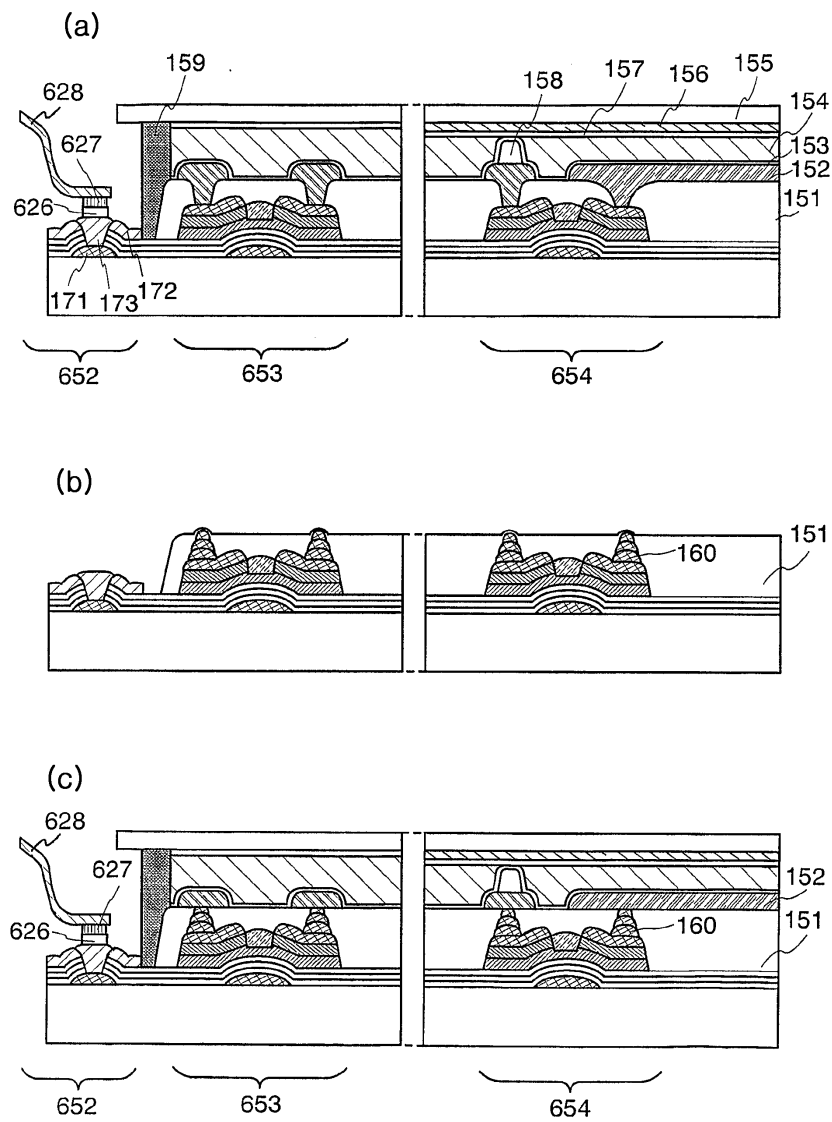
도면1



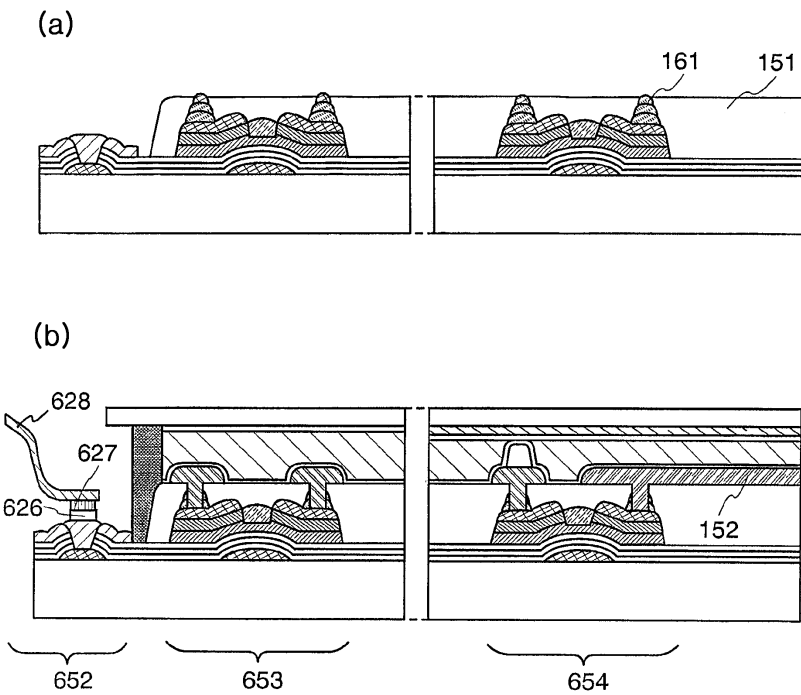
도면2



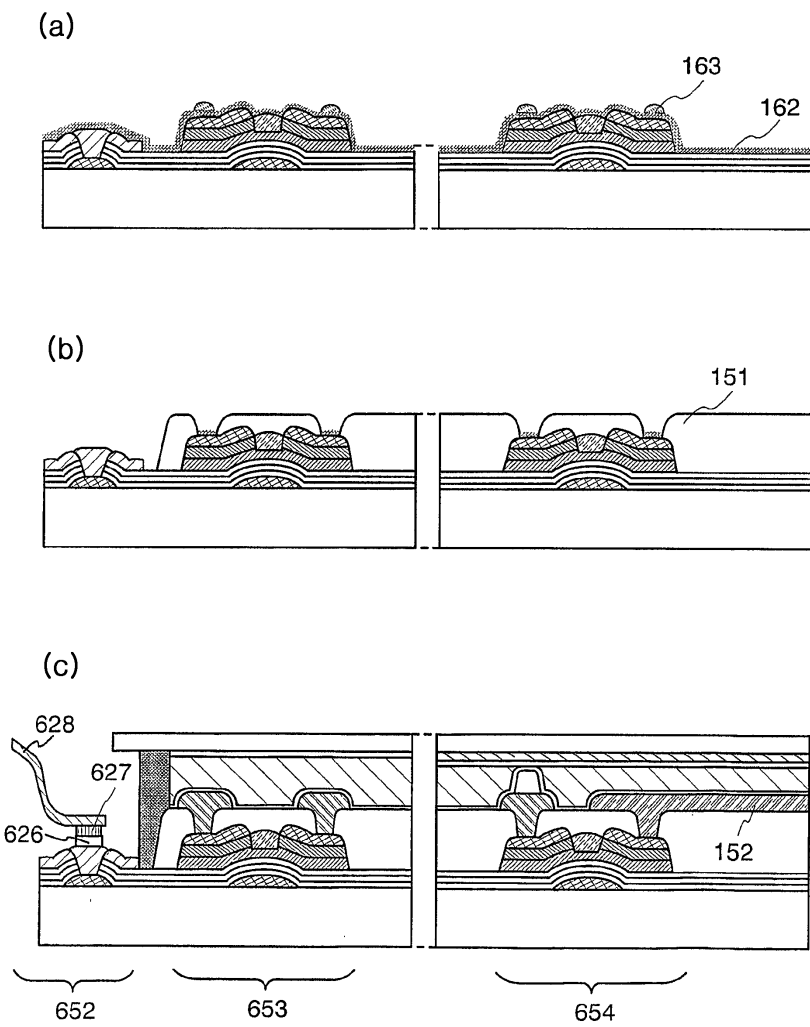
도면3



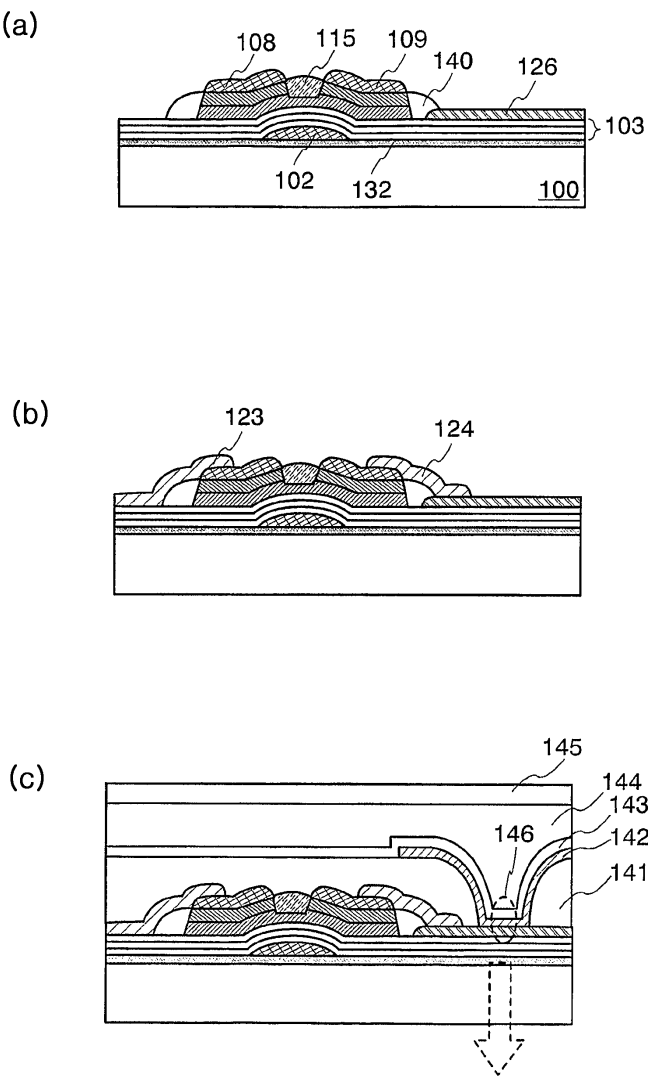
도면4



도면5

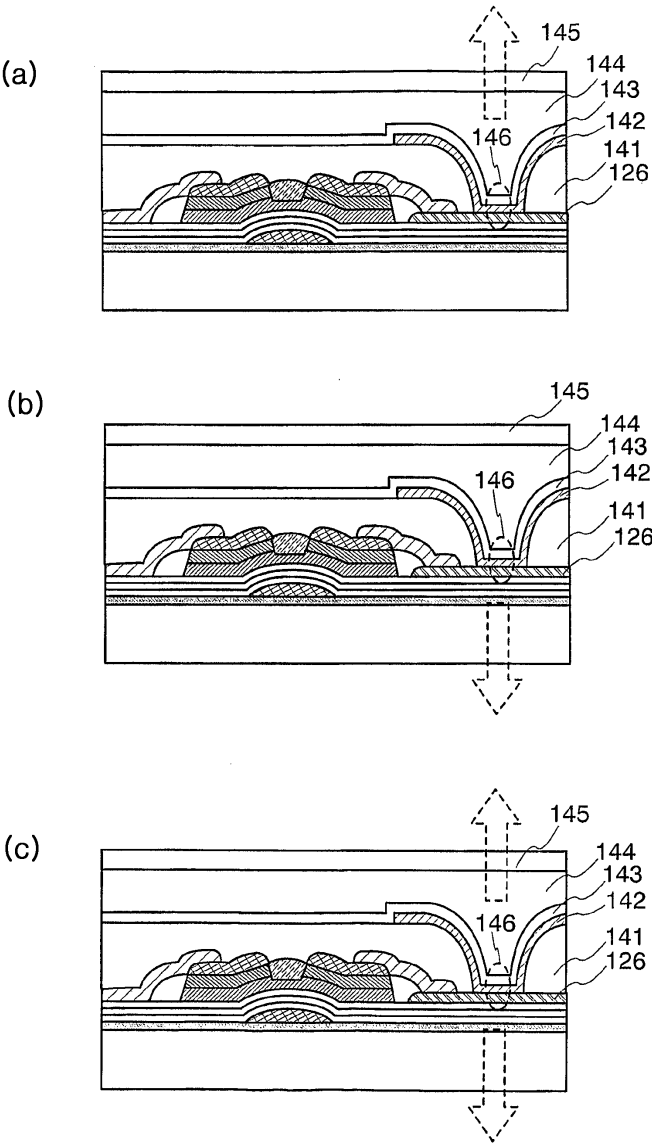


도면6

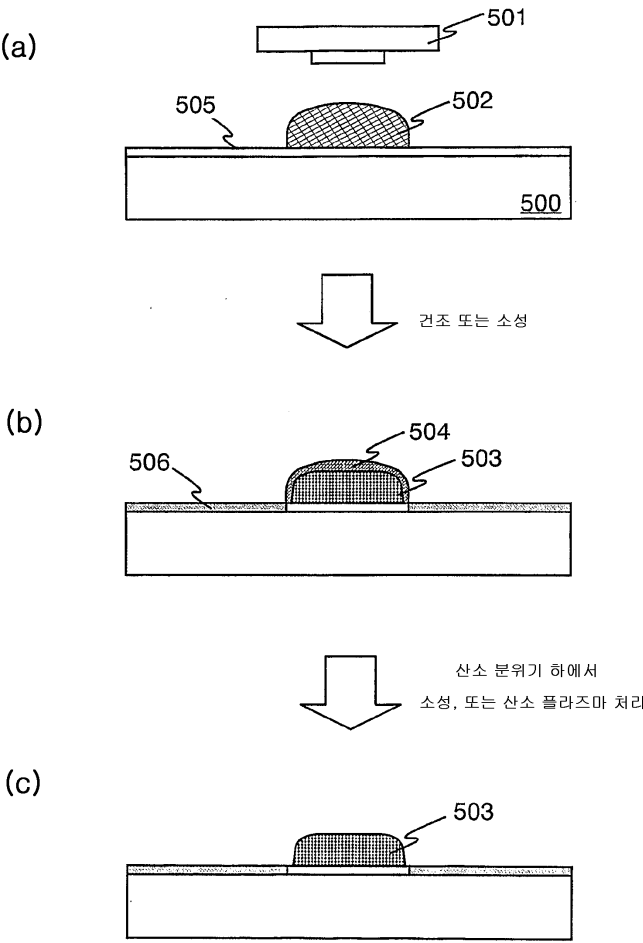




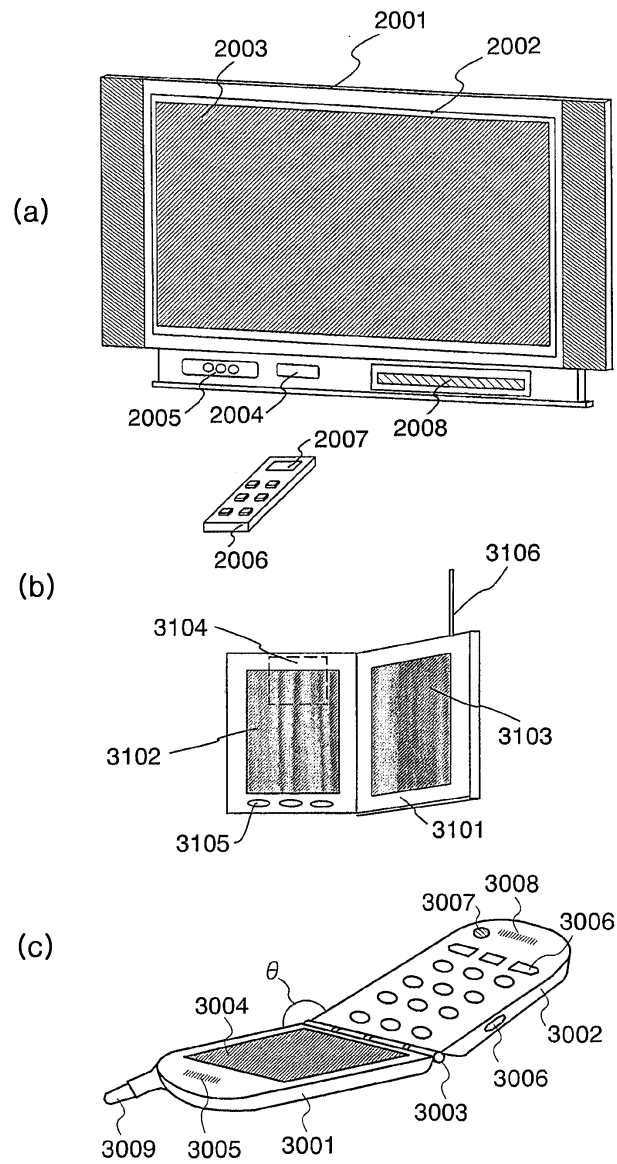
도면7



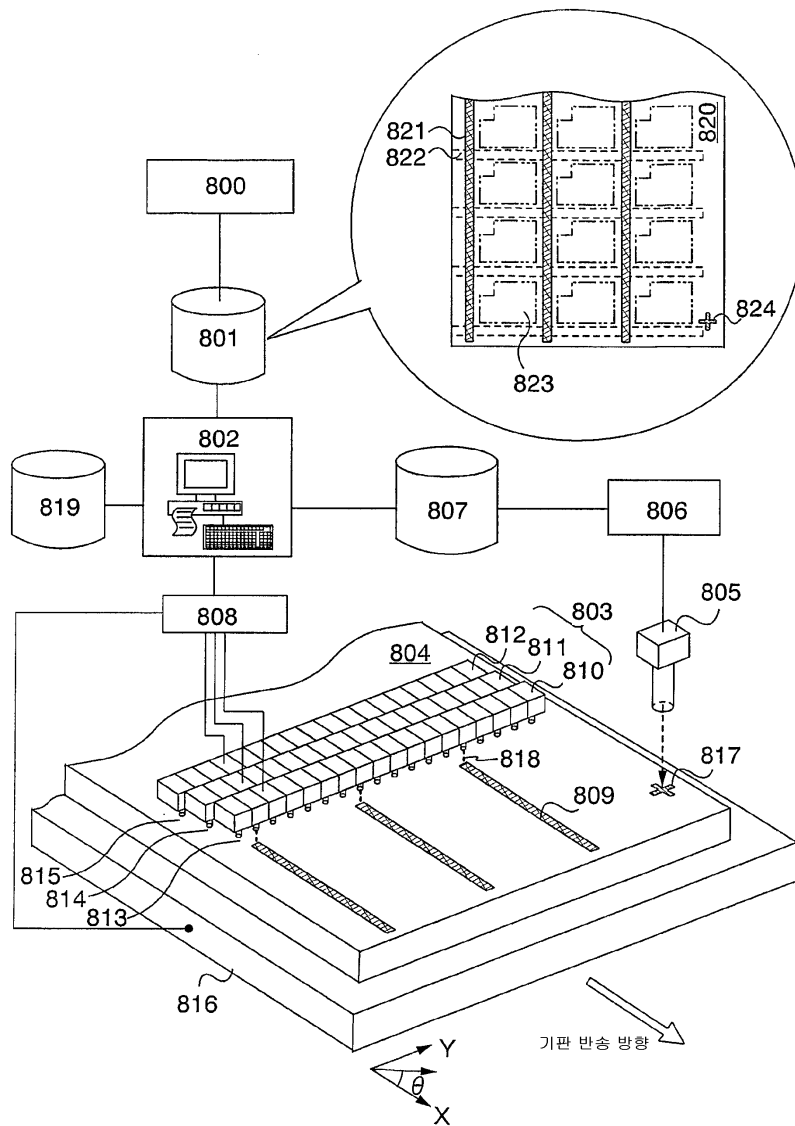
도면8



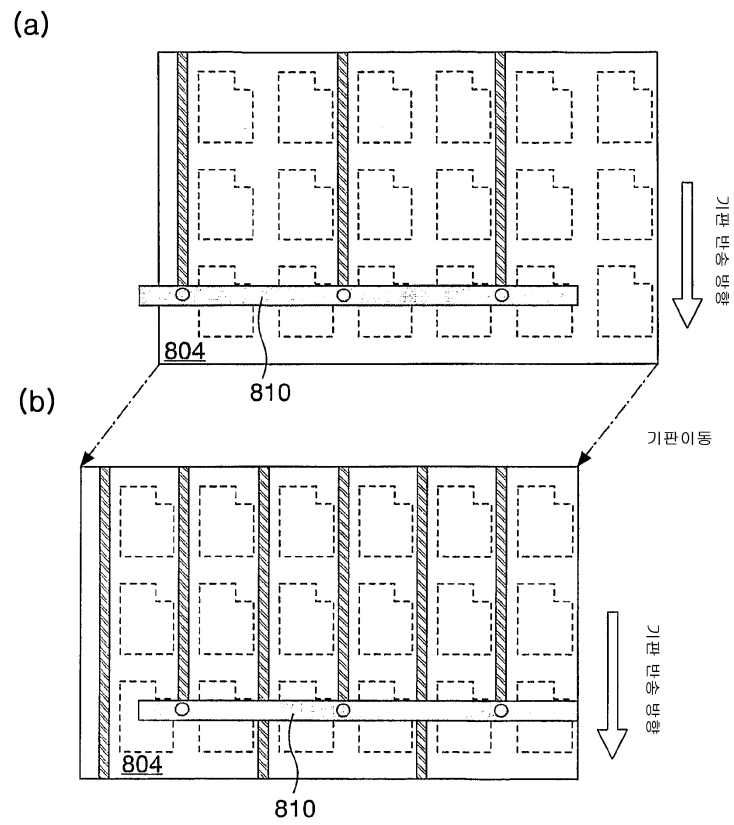
도면9



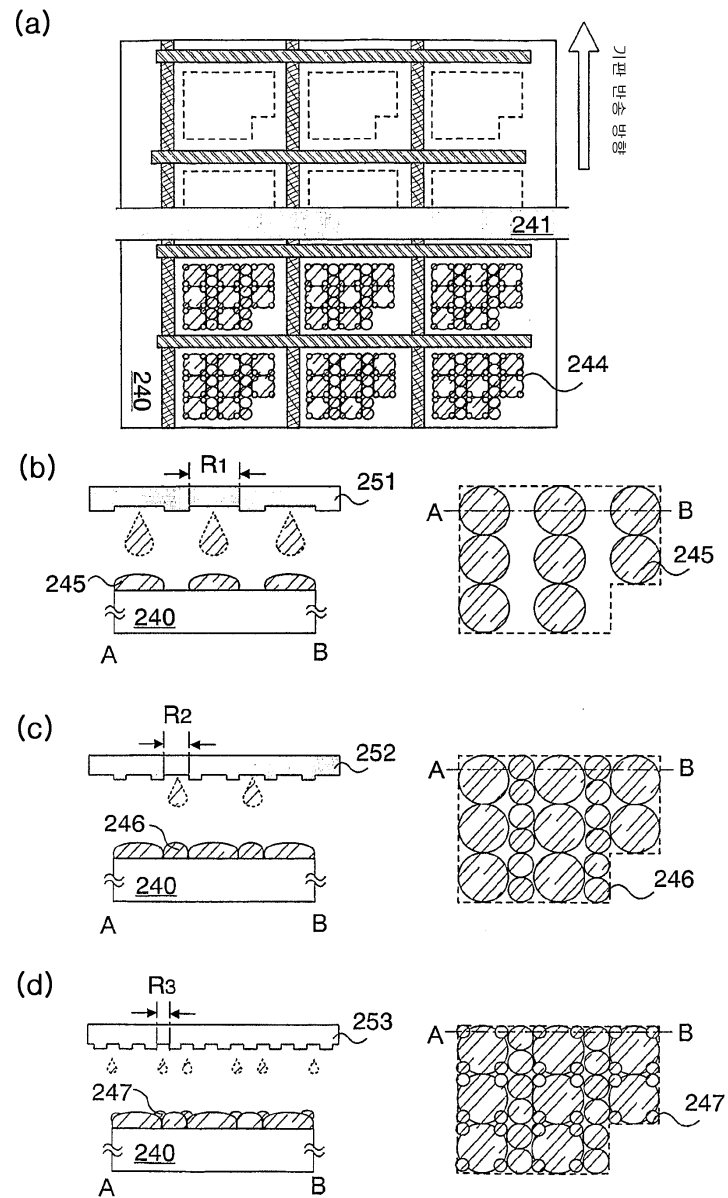
도면10



도면11

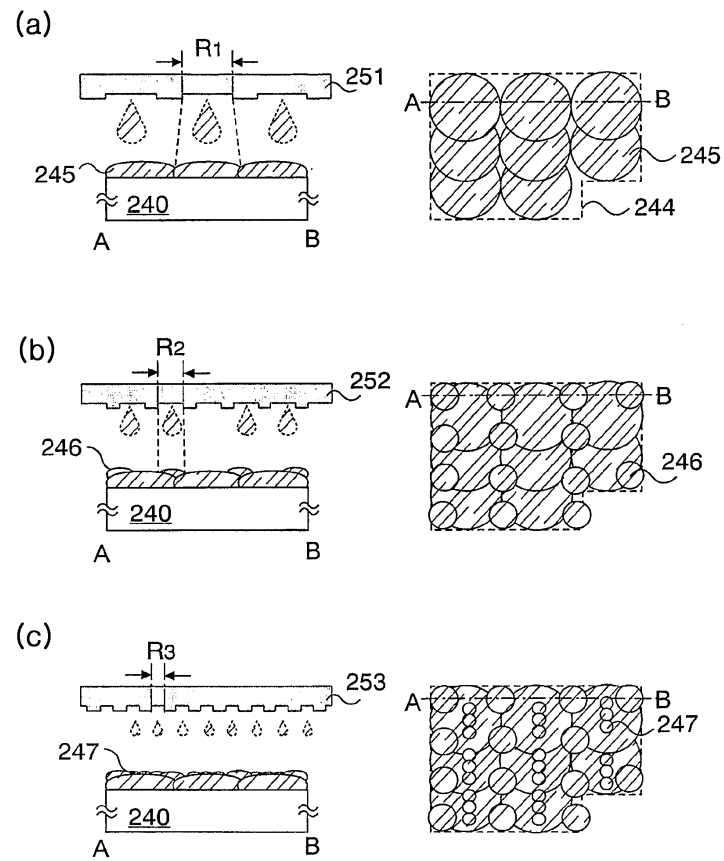


도면12

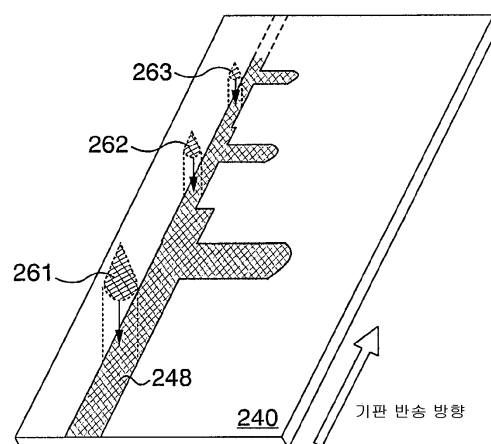




도면13



도면14



도면15

