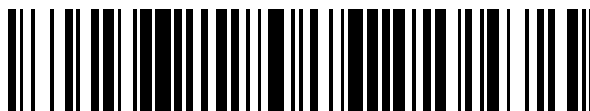


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 785 075**

51 Int. Cl.:

H01L 21/98 (2006.01)
H01L 25/065 (2006.01)
H01L 23/48 (2006.01)
H01L 23/538 (2006.01)
H01L 27/06 (2006.01)
H01L 23/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **22.07.2010** **PCT/US2010/042958**

87 Fecha y número de publicación internacional: **03.02.2011** **WO11014409**

96 Fecha de presentación y número de la solicitud europea: **22.07.2010** **E 10740066 (5)**

97 Fecha y número de publicación de la concesión europea: **19.02.2020** **EP 2460180**

54 Título: **Sistemas en paquetes**

30 Prioridad:

30.07.2009 US 229756 P

45 Fecha de publicación y mención en BOPI de la
traducción de la patente:
05.10.2020

73 Titular/es:

QUALCOMM INCORPORATED (100.0%)
5775 Morehouse Drive
San Diego, CA 92121, US

72 Inventor/es:

LIN, MOU-SHIUNG y
LEE, JIN-YUAN

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 785 075 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Sistemas en paquetes

5 ANTECEDENTES DE LA DIVULGACIÓN

Campo de la divulgación

10 [0001] La divulgación se refiere a sistemas en paquetes, y más en particular, a sistemas en paquetes que incluyen vías pasantes formadas en chips apilados y en sustratos inactivos apilados y utilizan tapones metálicos formados en las vías pasantes para la interconexión eléctrica entre los chips apilados.

Breve descripción de la técnica relacionada

15 [0002] Las obleas de semiconductores se procesan para producir chips de CI (circuito integrado) que tienen una densidad de dispositivo cada vez mayor y geometrías de características de contracción. Se requieren múltiples capas conductoras y aislantes para posibilitar la interconexión y el aislamiento de la gran cantidad de dispositivos semiconductores en diferentes capas. Dicha integración a gran escala da como resultado una cantidad creciente de conexiones eléctricas entre diversas capas y dispositivos semiconductores. También da lugar a una cantidad creciente de cables para el chip de CI resultante. Estos cables se exponen a través de una capa de pasivación del chip de CI, terminando en islas de E/S que permiten conexiones a estructuras de contacto externas en un paquete de chips.

25 [0003] El empaquetado a nivel de oblea (WLP) se refiere comúnmente a la tecnología de empaquetado de un chip de CI a nivel de oblea, en lugar del procedimiento tradicional de ensamblar el paquete de cada unidad individual después del corte de oblea. El WLP permite la integración de la fabricación, el empaquetado, la prueba y el quemado de obleas a nivel de oblea, antes de individualizarse cortándolas para su ensamblaje final en un paquete portador de chips, por ejemplo, un paquete de matriz de rejilla de bolas (BGA). Las ventajas que ofrece el WLP incluyen menos tamaño (huella y grosor reducidos), menor peso, un procedimiento de ensamblaje relativamente más fácil, menores costes de producción globales y una mejora en las prestaciones eléctricas. Por lo tanto, el WLP agiliza el procedimiento de fabricación experimentado por un dispositivo desde el inicio con silicio hasta el envío al cliente. Si bien el WLP es un enfoque de alto rendimiento y bajo coste para el empaquetado de chips de CI, sin embargo, presenta desafíos significativos en la capacidad de fabricación y la fiabilidad estructural.

35 [0004] Se llama la atención al documento US 2009/0149023 A1, que se refiere a un procedimiento de fabricación de un dispositivo semiconductor que tiene una estructura apilada tridimensional, que realiza la interconexión eléctrica entre las capas de circuito de semiconductores apiladas a lo largo de la dirección de apilamiento usando interconexiones enterradas.

40 [0005] Se llama la atención además al documento US 2005/0056903 A1, que se refiere a un paquete de semiconductores que comprende: un elemento semiconductor provisto de un elemento de circuito en una superficie de un sustrato semiconductor; una región de cableado externo provista en otra superficie del sustrato semiconductor; un sustrato de soporte dispuesto en la superficie del sustrato semiconductor; una isla de electrodo dispuesta en la una superficie del sustrato semiconductor; y un electrodo pasante que se extiende desde la isla del electrodo hasta la otra superficie del sustrato semiconductor.

45 [0006] Se llama la atención adicional al documento US 2007/0120241 A1, que describe un aparato para su uso con múltiples chips que tiene múltiples elementos de sujeción de modo de enganchar al menos una parte de una superficie de uno de los múltiples chips, un armazón configurado para restringir de forma extraíble cada uno de los elementos de sujeción de modo que, cuando no estén restringidos, cada elemento de sujeción individual se pueda poner en contacto con un chip individual y, cuando estén restringidos, permitan que se aplique una fuerza vertical uniforme a los chips.

50 [0007] Se llama la atención además al documento US 2007/0037379 A1, que se refiere a un procedimiento de integración tridimensional de elementos tales como pastillas u obleas individualizadas y una estructura integrada que tiene elementos conectados tales como pastillas u obleas individualizadas. Cualquiera o ambos de la pastilla y la oblea pueden tener dispositivos semiconductores formados en las mismas. Un primer elemento que tiene una primera estructura de contacto está unido a un segundo elemento que tiene una segunda estructura de contacto. Las primera y segunda estructuras de contacto pueden estar expuestas en la unión e interconectadas eléctricamente como resultado de la unión. Se puede grabar y rellenar una vía después de la unión para exponer y formar un conector eléctrico a las primera y segunda estructuras de contacto interconectadas y proporcionar acceso eléctrico a este conector desde una superficie. De forma alternativa, las primera y/o segunda estructuras de contacto no están expuestas en la unión, y se graba y rellena una vía después de la unión para interconectar eléctricamente las primera y segunda estructuras de contacto y proporcionar acceso eléctrico a la primera y segunda estructura de contacto interconectadas a una superficie. También, se puede formar un dispositivo en un primer sustrato, estando dispuesto el dispositivo en una región de dispositivo del primer sustrato y teniendo una primera estructura de contacto. Se puede

grabar, o grabar y rellenar, una vía a través de la región del dispositivo y en el interior del primer sustrato antes de la unión y estrecharse el primer sustrato para exponer la vía, o rellenarse la vía después de la unión.

BREVE EXPLICACIÓN DE LA DIVULGACIÓN

[0008] La presente divulgación está dirigida a un sistema en paquete o a un módulo multichip de acuerdo con la reivindicación 1 que incluye chips de múltiples capas y sustratos inactivos de múltiples capas sobre un portador, múltiples vías pasantes ciegas o que atraviesan completamente los chips de múltiples capas y que atraviesan completamente los sustratos inactivos de múltiples capas, múltiples tapones metálicos en las vías pasantes y múltiples conectores metálicos, conectados a los tapones metálicos, entre los chips de múltiples capas. Los chips de múltiples capas se pueden conectar entre sí o a un circuito externo del sistema en paquete o del módulo multichip, tal como una placa base, un sustrato de matriz de rejilla de bolas (BGA), una placa de circuito impreso, un sustrato de metal, un sustrato de vidrio o un sustrato de cerámica, a través de los tapones metálicos y los conectores metálicos.

[0009] Los modos de realización ejemplares de la presente divulgación proporcionan sistemas en paquetes o módulos multichip que tienen chips de múltiples capas y que usan tapones metálicos ciegos o que pasan completamente a través de los chips de múltiples capas para la interconexión entre chips o la interconexión intrachip. En un aspecto, la invención está dirigida a un sistema en paquete que comprende un portador y un primer chip sobre dicho portador, en el que dicho primer chip comprende un primer sustrato semiconductor que tiene un grosor de entre 1 y 50 micrómetros, una primera capa metálica debajo de una superficie inferior de dicho primer sustrato semiconductor, y una capa dieléctrica debajo de dicha superficie inferior de dicho primer sustrato semiconductor y sobre dicha primera capa metálica. El sistema en paquete incluye además un segundo chip sobre dicho portador, en el que dicho segundo chip comprende un segundo sustrato semiconductor, en el que dicho segundo sustrato semiconductor tiene una superficie superior sustancialmente coplanaria con una superficie superior de dicho primer sustrato semiconductor, en el que dicho segundo chip está separado de dicho primer chip. También se incluye un material de relleno de huecos dispuesto en un hueco entre dicho primer chip y dicho segundo chip, un primer tapón metálico en dicho primer chip, en el que dicho primer tapón metálico pasa a través de dicho primer sustrato semiconductor y dicha capa dieléctrica y se pone en contacto con dicha primera capa metálica, y un primer material aislante que rodea dicho primer tapón metálico, en el que dicho primer material aislante está rodeado por dicho primer sustrato semiconductor. El sistema en paquete incluye además una primera estructura dieléctrica sobre dicha superficie superior de dicho primer sustrato semiconductor, sobre dicha superficie superior de dicho segundo sustrato semiconductor, y sobre dicho material de relleno de huecos, y un primer conector metálico en dicha primera estructura dieléctrica y sobre dicho primer chip, en el que dicho primer conector metálico está conectado a dicho primer tapón metálico. También se incluye en el sistema en paquete un tercer chip sobre dicha primera estructura dieléctrica y sobre dicho primer conector metálico, en el que dicho tercer chip comprende un tercer sustrato semiconductor que tiene un grosor de entre 1 y 50 micrómetros, y un segundo tapón metálico en dicho tercer chip, en el que dicho segundo tapón metálico pasa a través de dicho tercer chip y se pone en contacto con dicho primer conector metálico. El sistema en paquete incluye además un segundo material aislante que rodea dicho segundo tapón metálico, en el que dicho segundo material aislante está rodeado por dicho tercer sustrato semiconductor, una segunda estructura dieléctrica sobre una superficie superior de dicho tercer sustrato semiconductor, y un segundo conector metálico en dicha segunda estructura dieléctrica y sobre dicho tercer chip, en el que dicho segundo conector metálico está conectado a dicho segundo tapón metálico.

[0010] Además, los modos de realización ejemplares pueden proporcionar facilidad de fabricación de la integración de chips de múltiples capas.

[0011] Además, los modos de realización ejemplares pueden proporcionar sustratos inactivos colocados entre los chips para lograr una buena uniformidad de estrechamiento de silicio.

[0012] Estos, así como otros componentes, etapas, características, beneficios y ventajas de la presente divulgación, ahora se aclararán a partir de una revisión de la siguiente descripción detallada de modos de realización ilustrativos, los dibujos que se adjuntan y las reivindicaciones.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

[0013] Los dibujos divulgan modos de realización ilustrativos de la presente divulgación. No exponen todos los modos de realización. Se pueden usar otros modos de realización además o en su lugar. Los detalles que puedan ser evidentes o innecesarios se pueden omitir para ahorrar espacio o para una ilustración más eficaz. Por el contrario, algunos modos de realización se pueden llevar a la práctica sin todos los detalles que se divulgan. Cuando el mismo número aparece en diferentes dibujos, se refiere a los mismos o a componentes o etapas similares.

[0014] Los aspectos de la divulgación se pueden entender más completamente a partir de la siguiente descripción cuando se leen conjuntamente con los dibujos adjuntos, que se han de considerar de naturaleza ilustrativa y no limitante. Los dibujos no están necesariamente a escala, sino que, en su lugar, se hace hincapié en los principios de la divulgación. En los dibujos:

- las figs. 1-82 muestran un procedimiento para formar un sistema en paquete o un módulo multichip de acuerdo con un modo de realización ejemplar de la presente divulgación;
- 5 la fig. 83 muestra una vista en sección transversal de un paquete multichip de acuerdo con un modo de realización de la presente divulgación;
- la fig. 84 muestra una vista en sección transversal de un sistema en paquete o un módulo multichip de acuerdo con un modo de realización de la presente divulgación;
- 10 la fig. 85 muestra una vista en sección transversal de un paquete multichip de acuerdo con un modo de realización de la presente divulgación;
- las figs. 86 y 87 son vistas en sección transversal que muestran un procedimiento para formar un sistema en paquete o un módulo multichip de acuerdo con un modo de realización de la presente divulgación;
- 15 la fig. 88 muestra una vista en sección transversal de un paquete multichip de acuerdo con un modo de realización de la presente divulgación;
- las figs. 89-103 muestran un procedimiento para formar un sistema en paquete o un módulo multichip de acuerdo con un modo de realización de la presente divulgación;
- 20 la fig. 104 muestra una vista en sección transversal de un paquete multichip de acuerdo con un modo de realización de la presente divulgación;
- 25 la fig. 105 muestra una vista en sección transversal de un sistema en paquete o un módulo multichip de acuerdo con un modo de realización de la presente divulgación;
- la fig. 106 muestra una vista en sección transversal de un paquete multichip de acuerdo con un modo de realización de la presente divulgación;
- 30 las figs. 107 y 108 son vistas en sección transversal que muestran un procedimiento para formar un sistema en paquete o un módulo multichip de acuerdo con un modo de realización de la presente divulgación;
- la fig. 109 muestra una vista en sección transversal de un paquete multichip de acuerdo con un modo de realización de la presente divulgación;
- 35 las figs. 110-128 muestran un procedimiento para formar un sistema en paquete o un módulo multichip de acuerdo con un modo de realización de la presente divulgación;
- 40 la fig. 129 muestra una vista en sección transversal de un paquete multichip de acuerdo con un modo de realización de la presente divulgación;
- la fig. 130 muestra una vista en sección transversal de un sistema en paquete o un módulo multichip de acuerdo con un modo de realización de la presente divulgación;
- 45 la fig. 131 muestra una vista en sección transversal de un paquete multichip de acuerdo con un modo de realización de la presente divulgación;
- la fig. 132 muestra una vista en sección transversal de un paquete multichip de acuerdo con un modo de realización de la presente divulgación;
- 50 las figs. 133-136 muestran un procedimiento para formar un sistema en paquete o un módulo multichip de acuerdo con un modo de realización de la presente divulgación;
- 55 la fig. 137 muestra una vista en sección transversal de un paquete multichip de acuerdo con un modo de realización de la presente divulgación;
- la fig. 138 muestra una vista en sección transversal de un sistema en paquete o un módulo multichip de acuerdo con un modo de realización de la presente divulgación;
- 60 la fig. 139 muestra una vista en sección transversal de un paquete multichip de acuerdo con un modo de realización de la presente divulgación;
- la fig. 140 muestra una vista en sección transversal de un paquete multichip de acuerdo con un modo de realización de la presente divulgación;
- 65

- las figs. 141A-141J muestran un procedimiento para formar chips de acuerdo con un modo de realización de la presente divulgación;
- 5 la fig. 141K muestra vistas en sección transversal de chips de acuerdo con un modo de realización de la presente divulgación;
- la fig. 141L muestra vistas en sección transversal de chips de acuerdo con un modo de realización de la presente divulgación;
- 10 las figs. 142-181 muestran un procedimiento para formar un sistema en paquete o un módulo multichip de acuerdo con un modo de realización de la presente divulgación;
- la fig. 182 muestra una vista en sección transversal de un paquete multichip de acuerdo con un modo de realización de la presente divulgación;
- 15 la fig. 183 muestra una vista en sección transversal de un sistema en paquete o un módulo multichip de acuerdo con un modo de realización de la presente divulgación;
- la fig. 184 muestra una vista en sección transversal de un paquete multichip de acuerdo con un modo de realización de la presente divulgación;
- 20 la fig. 185 muestra una vista en sección transversal de un paquete multichip de acuerdo con un modo de realización de la presente divulgación;
- 25 las figs. 186-207 muestran un procedimiento para formar un sistema en paquete o un módulo multichip de acuerdo con un modo de realización de la presente divulgación;
- la fig. 208 muestra una vista en sección transversal de un paquete multichip de acuerdo con un modo de realización de la presente divulgación;
- 30 la fig. 209 muestra una vista en sección transversal de un sistema en paquete o un módulo multichip de acuerdo con un modo de realización de la presente divulgación;
- la fig. 210 muestra una vista en sección transversal de un paquete multichip de acuerdo con un modo de realización de la presente divulgación;
- 35 la fig. 211 muestra una vista en sección transversal de un paquete multichip de acuerdo con un modo de realización de la presente divulgación;
- 40 las figs. 212A-212L muestran un procedimiento para formar chips de acuerdo con un modo de realización de la presente divulgación;
- la fig. 212M muestra vistas en sección transversal de chips de acuerdo con un modo de realización de la presente divulgación;
- 45 la fig. 212N muestra vistas en sección transversal de chips de acuerdo con un modo de realización de la presente divulgación;
- las figs. 213-250 muestran un procedimiento para formar un sistema en paquete o un módulo multichip de acuerdo con un modo de realización de la presente divulgación;
- 50 la fig. 251 muestra una vista en sección transversal de un paquete multichip de acuerdo con un modo de realización de la presente divulgación;
- 55 la fig. 252 muestra una vista en sección transversal de un sistema en paquete o un módulo multichip de acuerdo con un modo de realización de la presente divulgación;
- la fig. 253 muestra una vista en sección transversal de un paquete multichip de acuerdo con un modo de realización de la presente divulgación;
- 60 la fig. 254 muestra una vista en sección transversal de un paquete multichip de acuerdo con un modo de realización de la presente divulgación;
- las figs. 255-270 muestran un procedimiento para formar un sistema en paquete o un módulo multichip de acuerdo con un modo de realización de la presente divulgación;
- 65

la fig. 271 muestra una vista en sección transversal de un paquete multichip de acuerdo con un modo de realización de la presente divulgación;

5 la fig. 272 muestra una vista en sección transversal de un sistema en paquete o un módulo multichip de acuerdo con un modo de realización de la presente divulgación;

la fig. 273 muestra una vista en sección transversal de un paquete multichip de acuerdo con un modo de realización de la presente divulgación;

10 la fig. 274 muestra una vista en sección transversal de un paquete multichip de acuerdo con un modo de realización de la presente divulgación;

las figs. 275A-275L muestran otro procedimiento para formar la estructura mostrada en la fig. 26;

15 las figs. 276 y 285 son diagramas de circuito que muestran cada uno circuitos de interfase entre dos chips de acuerdo con un modo de realización de la presente divulgación;

20 las figs. 277 y 280 muestran circuitos entre chips que incluyen cada uno un receptor entre chips en cascada de dos etapas y un circuito ESD (descarga electrostática) entre chips de acuerdo con un modo de realización de la presente divulgación;

25 las figs. 278 y 279 muestran circuitos entre chips que incluyen cada uno un controlador entre chips en cascada de dos etapas y un circuito ESD (descarga electrostática) entre chips de acuerdo con un modo de realización de la presente divulgación;

las figs. 281 y 284 muestran receptores fuera de chip en cascada de dos etapas de acuerdo con un modo de realización de la presente divulgación;

30 las figs. 282 y 283 muestran controladores fuera de chip en cascada de dos etapas de acuerdo con un modo de realización de la presente divulgación;

35 las figs. 286-291 muestran un procedimiento para calcular un área activa de una unidad ESD de un chip y definen un tamaño de un circuito ESD compuesto por una o más de las unidades ESD de acuerdo con un modo de realización de la presente divulgación;

las figs. 292 y 293 muestran un procedimiento para definir o calcular un ancho de canal físico y una longitud de canal físico de un transistor MOS de acuerdo con un modo de realización de la presente divulgación;

40 las figs. 294 y 295 son diagramas de circuito que muestran cada uno circuitos de interfase entre dos chips, de acuerdo con un modo de realización de la presente divulgación; y

45 la fig. 296 es una vista en perspectiva superior esquemática que muestra la disposición de un nivel inferior de chips, un sustrato inactivo, tapones metálicos y conectores metálicos de un sistema en paquete o un módulo multichip de acuerdo con un modo de realización de la presente divulgación;

la fig. 297 es una vista en perspectiva superior esquemática que muestra la disposición de un nivel medio de chips, un sustrato inactivo, tapones metálicos y conectores metálicos de un sistema en paquete o un módulo multichip de acuerdo con un modo de realización de la presente divulgación; y

50 la fig. 298 es una vista en perspectiva superior esquemática que muestra la disposición de un nivel superior de chips, un sustrato inactivo, tapones metálicos y conectores metálicos de un sistema en paquete o un módulo multichip de acuerdo con un modo de realización de la presente divulgación.

55 **[0015]** Si bien determinados modos de realización se representan en los dibujos, un experto en la técnica apreciará que los modos de realización representados son ilustrativos y que se pueden concebir y llevar a la práctica variaciones de los mostrados, así como otros modos de realización descritos en el presente documento, dentro del alcance de la presente divulgación.

DESCRIPCIÓN DETALLADA DE LA INVENCION

60 **[0016]** Se describen ahora modos de realización ilustrativos. Se pueden usar otros modos de realización además o en su lugar. Los detalles que puedan ser evidentes o innecesarios se pueden omitir para ahorrar espacio o para una presentación más eficaz. Por el contrario, algunos modos de realización se pueden llevar a la práctica sin todos los detalles que se divulgan.

65

[0017] Las figs. 1-82 muestran un procedimiento para formar un sistema en paquete o un módulo multichip de acuerdo con un modo de realización ejemplar de la presente divulgación.

[0018] En referencia a la fig. 1, se puede fijar un sustrato inactivo 62 sobre un portador 11, por ejemplo, por las siguientes etapas. En primer lugar, se puede formar una capa de pegamento 22 que tiene un grosor, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 5 y 10 micrómetros o de entre 10 y 30 micrómetros, sobre una superficie superior del portador 11 o sobre una superficie inferior del sustrato inactivo 62 usando, por ejemplo, un procedimiento de recubrimiento por rotación, un procedimiento de laminación, un procedimiento de pulverización, un procedimiento de distribución o un procedimiento de serigrafía. Seguidamente, la capa de pegamento 22 se puede precurar u hornear opcionalmente. Seguidamente, el sustrato inactivo 62 se puede colocar encima del portador 11 con la capa de pegamento 22 entre el portador 11 y el sustrato inactivo 62. Seguidamente, la capa de pegamento 22 se puede curar de nuevo a una temperatura de entre 180 grados centígrados y 350 grados centígrados con una presión mecánica o térmica sobre la capa de pegamento 22. En consecuencia, el sustrato inactivo 62 se puede juntar con el portador 11 usando la capa de pegamento 22. La capa de pegamento 22 puede ser una capa de polímero, tal como una capa de epoxi, poliimida, benzociclobuteno (BCB), polibenzoxazol (PBO), poli(óxido de fenileno) (PPO) o silosano, con un grosor, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 5 y 10 micrómetros o de entre 10 y 30 micrómetros.

[0019] De forma alternativa, se puede reemplazar la capa de pegamento 22 con una capa de óxido de silicio que se puede formar sobre la capa dieléctrica o aislante 20 del portador 11. En este caso, el sustrato inactivo 62 se puede juntar con el portador 11, por ejemplo, uniendo una capa de óxido de silicio del sustrato inactivo 62 sobre la capa de óxido de silicio 22. La capa de óxido de silicio del sustrato inactivo 62 se pone en contacto con la capa de óxido de silicio 22.

[0020] El sustrato inactivo 62 puede, por ejemplo, ser una oblea redonda, una oblea de silicio inactivo, un panel rectangular o un sustrato de polisilicio, vidrio, silicio o cerámica. El sustrato inactivo 62, antes de rectificarse o pulirse como se menciona en los siguientes procedimientos, puede tener un grosor, por ejemplo, mayor de 100 micrómetros, tal como de entre 100 y 1500 micrómetros, y preferentemente de entre 200 y 500 micrómetros o de entre 100 y 300 micrómetros.

[0021] En un modo de realización, no hay circuitos preformados en el sustrato inactivo 62 o sobre una superficie superior o inferior del sustrato inactivo 62 antes de que el sustrato inactivo 62 se junte con el portador 11. El sustrato inactivo 62 puede tener una superficie superior con un perfil que es sustancialmente el mismo que el de una superficie superior del portador 11.

[0022] El portador 11 puede ser una oblea, un panel, una placa de circuito de impresión (PCB) o un sustrato de matriz de rejilla de bolas (BGA) orgánico, y el portador 11 puede incluir un sustrato 10, una capa dieléctrica 12 sobre un lado superior del sustrato 10, una capa conductora 18 sobre la capa dieléctrica 12 y una capa dieléctrica o aislante 20 sobre la capa conductora 18. El sustrato 10 puede ser un sustrato de silicio, un sustrato de vidrio, un sustrato de cerámica, un sustrato de aluminio, un sustrato de cobre o un sustrato de polímero orgánico. El sustrato 10 puede tener un grosor, por ejemplo, de entre 10 y 1000 micrómetros, de entre 10 y 100 micrómetros o de entre 100 y 500 micrómetros. La capa dieléctrica 12 puede ser una capa de óxido de silicio (tal como SiO_2), nitruro de silicio (tal como Si_3N_4), carbonitruro de silicio (tal como SiCN), oxinitruro de silicio (tal como SiON), oxicarburo de silicio (tal como SiOC) o polímero (tal como poliimida, benzociclobuteno (BCB), polibenzoxazol (PBO), poli(óxido de fenileno) (PPO), epoxi o silosano). La capa dieléctrica 12 puede tener un grosor, por ejemplo, de entre 0,3 y 30 micrómetros, y preferentemente de entre 1 y 10 micrómetros. La capa conductora 18, por ejemplo, puede ser una capa metálica estampada, y la capa metálica estampada puede incluir una capa de adhesión/barrera, tal como una capa de titanio, una aleación de titanio-volframio, nitruro de titanio, cromo, tántalo, nitruro de tántalo, níquel o níquel-vanadio, con un grosor, por ejemplo, de entre 1 nanómetro y 0,5 micrómetros, una capa germinal por pulverización catódica, tal como una capa de cobre, plata, oro o una aleación de titanio-cobre, con un grosor, por ejemplo, de entre 10 nanómetros y 0,8 micrómetros en la capa de adhesión/barrera, y una capa metálica electrochapada, tal como una capa de cobre, plata u oro con un grosor, por ejemplo, de entre 10 nanómetros y 2 micrómetros, y preferentemente de entre 50 nanómetros y 1 micrómetro, o con un grosor, por ejemplo, de entre 2 y 30 micrómetros, y preferentemente de entre 3 y 10 micrómetros, en la capa germinal por pulverización catódica. La capa dieléctrica o aislante 20, por ejemplo, puede ser una capa de óxido de silicio (tal como SiO_2), nitruro de silicio (tal como Si_3N_4), carbonitruro de silicio (tal como SiCN), oxinitruro de silicio (tal como SiON), oxicarburo de silicio (tal como SiOC), máscara de soldadura o polímero (tal como poliimida, benzociclobuteno (BCB), polibenzoxazol (PBO), poli(óxido de fenileno) (PPO), epoxi o silosano). El grosor de la capa dieléctrica o aislante 20 por encima de la capa conductora 18 puede estar en el intervalo entre 0,3 y 30 micrómetros, y preferentemente entre 1 y 10 micrómetros.

[0023] En un primer modo de realización, el portador 11 puede ser una oblea redonda que incluye el sustrato de silicio 10, múltiples dispositivos activos, tales como transistores, en y/o encima del sustrato de silicio 10, la capa dieléctrica 12 sobre el sustrato de silicio 10, la capa metálica estampada 18 sobre la capa dieléctrica 12 y la capa dieléctrica o aislante 20, tal como una capa de óxido de silicio (tal como SiO_2), nitruro de silicio (tal como Si_3N_4), oxinitruro de silicio (tal como SiON), oxicarburo de silicio (tal como SiOC), carbonitruro de silicio (tal como SiCN) o polímero (tal como poliimida, benzociclobuteno, polibenzoxazol o poli(óxido de fenileno)), en la capa metálica estampada 18.

[0024] En un segundo modo de realización, el portador 11 puede ser una oblea redonda que incluye el sustrato de silicio 10, múltiples dispositivos pasivos, tales como resistencias, inductores o condensadores, en y/o encima del sustrato de silicio 10, la capa dieléctrica 12 sobre el sustrato de silicio 10, la capa metálica estampada 18 sobre la capa dieléctrica 12 y la capa dieléctrica o aislante 20, tal como una capa de óxido de silicio (tal como SiO_2), nitruro de silicio (tal como Si_3N_4), carbonitruro de silicio (tal como SiCN), oxinitruro de silicio (tal como SiON), oxycarburo de silicio (tal como SiOC) o polímero (tal como poliimida, benzociclobuteno, polibenzoxazol u poli(óxido de fenileno)), sobre la capa metálica estampada 18 y encima de los dispositivos pasivos, pero que no incluye ningún dispositivo activo, tal como un transistor, en y/o encima del sustrato de silicio 10.

[0025] En un tercer modo de realización, el portador 11 puede ser un panel rectangular que incluye el sustrato de vidrio 10, la capa dieléctrica 12 en el sustrato de vidrio 10, la capa conductora 18, tal como una capa de óxido de indio-estaño (ITO), en la capa dieléctrica 12, y la capa dieléctrica o aislante 20 en la capa conductora 18.

[0026] En un cuarto modo de realización, el portador 11 puede ser una placa de circuito de impresión (PCB) o un sustrato de matriz de rejilla de bolas (BGA) orgánico que incluye el sustrato de polímero orgánico 10, la capa dieléctrica 12 en el sustrato de polímero orgánico 10, la capa metálica estampada 18 en la capa dieléctrica 12, y la capa dieléctrica o aislante 20, tal como una capa de máscara de soldadura o polímero (tal como epoxi), en la capa metálica estampada 18.

[0027] De forma alternativa, se puede formar el portador 11 sin las capas 12, 18 y 20 encima del sustrato 10, es decir, el portador 11 sólo tiene el sustrato 10 sin ningún circuito en el portador 11. En este caso, la capa 22 se puede formar directamente sobre el sustrato 10.

[0028] Seguidamente, en referencia a la fig. 2, se puede formar una capa fotorresistente 172 sobre el sustrato inactivo 62 usando, por ejemplo, un procedimiento de recubrimiento por rotación, un procedimiento de serigrafía o un procedimiento de laminación. Seguidamente, en referencia a la fig. 3, se puede emplear un procedimiento de fotoexposición y un procedimiento de revelado para formar múltiples aberturas 172a, exponiendo múltiples regiones del sustrato inactivo 62, en la capa fotorresistente 172. La capa fotorresistente 172, después del procedimiento de fotoexposición y el procedimiento de revelado, puede tener un grosor, por ejemplo, de entre 10 y 200 micrómetros. La fig. 4 muestra una vista superior esquemática de la capa fotorresistente 172 con las aberturas 172a como se muestra en la fig. 3, y la fig. 3 puede ser una vista en sección transversal cortada a lo largo de la línea A-A mostrada en la fig. 4.

[0029] Seguidamente, en referencia a la fig. 5, se forman múltiples aberturas 62a en el sustrato inactivo 62 y debajo de las aberturas 172a en la capa fotorresistente 172, exponiendo la capa de pegamento 22, usando un procedimiento de grabado químico o un procedimiento de grabado por plasma, y a continuación, se elimina la capa fotorresistente estampada 172 usando, por ejemplo, una sustancia química orgánica. De forma alternativa, cuando se reemplaza la capa de pegamento 22 con la capa de óxido de silicio y el sustrato inactivo 62 tiene la capa de óxido de silicio unida con la capa de óxido de silicio 22, se forman las aberturas 62a en el sustrato inactivo 62 y debajo de las aberturas 172a en la capa fotorresistente 172, exponiendo la capa de óxido de silicio del sustrato inactivo 62, usando un procedimiento de grabado químico o un procedimiento de grabado por plasma, y a continuación la fotorresistente estampada 172 se elimina usando, por ejemplo, una sustancia química orgánica. La fig. 6 muestra una vista superior esquemática del sustrato inactivo 62 con las aberturas 62a como se muestra en la fig. 5, y la fig. 5 puede ser una vista en sección transversal cortada a lo largo de la línea B-B mostrada en la fig. 6.

[0030] De forma alternativa, se puede formar una máscara dura (no mostrada), tal como óxido de silicio o nitruro de silicio, sobre el sustrato inactivo 62 mostrado en la fig. 5, por ejemplo, por las siguientes etapas. En primer lugar, se puede formar la máscara dura de óxido de silicio o nitruro de silicio sobre el sustrato inactivo 62 mostrado en la fig. 1. Seguidamente, se puede formar la capa fotorresistente 172 sobre la máscara dura usando, por ejemplo, un procedimiento de recubrimiento por rotación, un procedimiento de serigrafía o un procedimiento de laminación. Seguidamente, se puede emplear un procedimiento de fotoexposición y un procedimiento de revelado para formar múltiples aberturas 172a, exponiendo múltiples regiones de la máscara dura, en la capa fotorresistente 172. Seguidamente, se forman múltiples aberturas en la máscara dura y debajo de las aberturas 172a en la capa fotorresistente 172, exponiendo múltiples regiones del sustrato inactivo 62, usando, por ejemplo, un procedimiento de grabado húmedo o un procedimiento de grabado por plasma. Seguidamente, la capa fotorresistente estampada 172 se puede eliminar usando, por ejemplo, una sustancia química orgánica. Seguidamente, se forman múltiples aberturas 62a en el sustrato inactivo 62 y debajo de las aberturas en la máscara dura, exponiendo la capa de pegamento 22, usando, por ejemplo, un procedimiento de grabado químico o un procedimiento de grabado por plasma. De forma alternativa, cuando se reemplaza la capa de pegamento 22 con la capa de óxido de silicio y el sustrato inactivo 62 tiene la capa de óxido de silicio unida con la capa de óxido de silicio 22, las aberturas 62a se forman en el sustrato inactivo 62 y debajo de las aberturas en la máscara dura, exponiendo la capa de óxido de silicio del sustrato inactivo 62, usando, por ejemplo, un procedimiento de grabado químico o un procedimiento de grabado por plasma. La máscara dura se eliminará por el posterior procedimiento de rectificado o pulido.

[0031] Seguidamente, en referencia a la fig. 7, se montan múltiples chips 68 encima del portador 11 y en las aberturas 62a en el sustrato inactivo 62, y los chips 68 tienen lados activos en las partes inferiores de los chips 68 y lados posteriores en las partes superiores de los chips 68. En un caso, uno de los chips 68 puede tener diseños de circuito diferentes a los de otro de los chips 68. También, en otro caso, uno de los chips 68 puede tener los mismos diseños de circuito que los de otro de los chips 68. De forma alternativa, uno de los chips 68 puede tener un área (superficie superior) o tamaño diferente al de otro de los chips 68. También, en otro caso, uno de los chips 68 puede tener una misma área (superficie superior) o tamaño que el de otro de los chips 68. La fig. 8 es un ejemplo de una vista superior esquemática que muestra los chips 68 montados en las aberturas 62a en el sustrato inactivo 62, y la fig. 7 es una vista en sección transversal cortada a lo largo de la línea C-C mostrada en la vista superior esquemática de la fig. 8.

[0032] El montaje de los chips 68 encima del portador 11 y en las aberturas 62a se puede realizar, por ejemplo, formando en primer lugar un material de pegamento (no mostrado) sobre los lados activos de los chips 68 o sobre la capa de pegamento 22, seguidamente colocando los chips 68 en las aberturas 62a y encima de la capa de pegamento 22 poniendo en contacto el material de pegamento con la capa de pegamento 22, y a continuación curando el material de pegamento a una temperatura de entre 180 grados centígrados y 350 grados centígrados con una presión mecánica o térmica sobre el material de pegamento. En consecuencia, los chips 68 se pueden juntar con el portador 11 usando el material de pegamento.

[0033] Cada uno de los chips 68 puede incluir un sustrato semiconductor 58, múltiples dispositivos semiconductores 36 en y/o sobre el sustrato semiconductor 58, una capa de pasivación 24 debajo del sustrato semiconductor 58, múltiples capas dieléctricas 42, 44, 46 y 48 entre el sustrato semiconductor 58 y la capa de pasivación 24, una capa metálica estampada 26 entre el sustrato semiconductor 58 y la capa de pasivación 24, una capa de interconexión 34 entre el sustrato semiconductor 58 y la capa de pasivación 24, múltiples tapones de vía 26a en la capa dieléctrica 44, y múltiples tapones de vía 34a en la capa dieléctrica 48. El sustrato semiconductor 58 está en el lado posterior de cada chip 68, y los dispositivos semiconductores 36, la capa de pasivación 24, la capa metálica estampada 26, la capa de interconexión 34, las capas dieléctricas 42, 44, 46 y 48 y los tapones de vía 26a y 34a están en el lado activo de cada chip 68.

[0034] El sustrato semiconductor 58 puede ser un sustrato adecuado, tal como un sustrato de silicio, un sustrato de silicio-germanio (SiGe) o un sustrato de arseniuro de galio (GaAs). El sustrato semiconductor 58 antes de estrecharse como se menciona en los siguientes procedimientos puede tener un grosor, por ejemplo, mayor de 100 micrómetros, tal como de entre 100 y 500 micrómetros, y preferentemente de entre 150 y 250 micrómetros o de entre 100 y 300 micrómetros.

[0035] Cada uno de los dispositivos semiconductores 36 puede ser un transistor de semiconductor de óxido metálico de canal P (PMOS), un transistor de semiconductor de óxido metálico de canal N (NMOS), un transistor bipolar o un transistor de semiconductor de óxido metálico de doble difundido (DMOS). Cada uno de los dispositivos semiconductores 36 se puede proporcionar para una compuerta NOR, una compuerta NAND, una compuerta AND, una compuerta OR, una celda de memoria flash, una celda de memoria estática de acceso aleatorio (SRAM), una celda de memoria dinámica de acceso aleatorio (DRAM), una celda de memoria no volátil, una celda de memoria de solo lectura programable borrable (EPROM), una celda de memoria de solo lectura (ROM), una celda de memoria de acceso aleatorio magnética (MRAM), un amplificador de detección, un inversor, un amplificador operacional, un sumador, un multiplexor, un diplexor, un multiplicador, un convertidor de analógico a digital (A/D), un convertidor de digital a analógico (D/A), un circuito analógico, un sensor de semiconductor complementario de óxido metálico (CMOS) o un dispositivo de carga acoplada (CCD).

[0036] La capa de pasivación 24 puede incluir o puede ser una capa dieléctrica inorgánica que tiene una superficie inferior fijada a la capa de pegamento 22, y la capa dieléctrica inorgánica puede ser una capa de nitruro de silicio (tal como Si_3N_4), carbonitruro de silicio (tal como SiCN) u oxinitruro de silicio (tal como SiON) con un grosor, por ejemplo, de entre 0,3 y 1,5 micrómetros. De forma alternativa, cada uno de los chips 68 puede contener además una capa de polímero orgánico, tal como una capa de poliimida, benzociclobuteno (BCB), polibenzoxazol (PBO), poli(óxido de fenileno) (PPO), epoxi o silosano, con un grosor, por ejemplo, mayor de 3 micrómetros, tal como de entre 3 y 20 micrómetros, y preferentemente de entre 5 y 12 micrómetros, debajo y sobre la superficie inferior de la capa dieléctrica inorgánica de la capa de pasivación 24. En este caso, la capa de polímero orgánico tiene una superficie inferior fijada a la capa de pegamento 22. La capa de polímero orgánico tiene una superficie superior que se pone en contacto con la superficie inferior de la capa dieléctrica inorgánica de la capa de pasivación 24.

[0037] De forma alternativa, se pueden formar múltiples aberturas (no mostradas) teniendo cada una un ancho, por ejemplo, de entre 0,5 y 100 micrómetros, y preferentemente de entre 20 y 60 micrómetros, en la capa de pasivación 24 y exponer múltiples puntos de contacto de la capa metálica estampada 26.

[0038] La capa dieléctrica 42 puede estar entre la capa de pasivación 24 y la capa dieléctrica 44. La capa dieléctrica 44 puede estar entre las capas dieléctricas 42 y 46 y entre las capas 26 y 34. La capa dieléctrica 46 puede estar entre las capas dieléctricas 44 y 48. Cada una de las capas dieléctricas 42, 44 y 46 puede incluir óxido de silicio (tal como SiO_2), nitruro de silicio (tal como Si_3N_4), carbonitruro de silicio (tal como SiCN), oxinitruro de silicio (tal como SiON), oxycarburo de silicio (tal como SiOC) o un material de baja k que tiene una constante dieléctrica de entre 1,8 y 3 (tal

como vidrio de silicato fluorado (FSG) o diamante negro). Cada una de las capas dieléctricas 42, 44 y 46 puede tener un grosor, por ejemplo, de entre 10 nanómetros y 2 micrómetros o de entre 50 nanómetros y 1 micrómetro.

[0039] La capa dieléctrica 48 entre la capa dieléctrica 46 y el sustrato semiconductor 58 y entre la capa de interconexión 34 y el sustrato semiconductor 58 puede incluir o puede ser una capa de vidrio de fosfosilicato (PSG), vidrio de borofosfosilicato (BPSG), óxido de silicio (tal como SiO_2), nitruro de silicio (tal como Si_3N_4), carbonitruro de silicio (tal como SiCN), oxinitruro de silicio (tal como SiON) o un material de baja k que tiene una constante dieléctrica de entre 1,8 y 3 (tal como vidrio de silicato fluorado (FSG) o diamante negro). La capa dieléctrica 48 puede tener un grosor, por ejemplo, de entre 10 nanómetros y 1 micrómetro.

[0040] La capa metálica estampada 26, por ejemplo, puede incluir una capa de aleación de aluminio-cobre que tiene un grosor, por ejemplo, de entre 0,3 y 3 micrómetros y una capa que contiene titanio que tiene un grosor, por ejemplo, más pequeño que 0,2 micrómetros, tal como de entre 0,02 y 0,15 micrómetros. La capa que contiene titanio puede estar entre la capa dieléctrica 44 y la capa de aleación de aluminio-cobre y sobre la capa de aleación de aluminio-cobre, y la capa de aleación de aluminio-cobre puede estar entre la capa de pasivación 24 y la capa que contiene titanio. La capa que contiene titanio puede ser una capa única de titanio, nitruro de titanio o una aleación de titanio-volframio que tiene un grosor, por ejemplo, más pequeño que 0,2 micrómetros, tal como de entre 0,02 y 0,15 micrómetros.

[0041] De forma alternativa, la capa metálica estampada 26 puede incluir una capa de níquel que tiene un grosor, por ejemplo, de entre 0,5 y 3 micrómetros y una capa de oro que tiene un grosor, por ejemplo, de entre 0,01 y 1 micrómetros debajo y sobre la capa de níquel, en la vista desde el lado de la capa dieléctrica 44 hasta el lado de la capa de pasivación 24. La capa de níquel está entre la capa dieléctrica 44 y la capa de oro, y la capa de oro está entre la capa de níquel y la capa de pasivación 24.

[0042] De forma alternativa, se puede formar la capa metálica estampada 26 por un procedimiento de damasquinado o de doble damasquinado incluyendo un procedimiento de electrochapado y un procedimiento de pulido químico-mecánico (CMP) y puede estar compuesta por una capa de cobre electrochapado que tiene una parte inferior que se pone en contacto con la capa de pasivación 24, una capa metálica de adhesión/barrera en una parte superior y las paredes laterales de la capa de cobre electrochapado, y una capa germinal entre la capa de cobre electrochapado y la capa metálica de adhesión/barrera y sobre la parte superior y las paredes laterales de la capa de cobre electrochapado. La capa metálica de adhesión/barrera tiene una primera parte entre la parte superior de la capa de cobre electrochapado y la capa dieléctrica 44 y una segunda parte en las paredes laterales de la capa de cobre electrochapado. La capa de cobre electrochapado puede tener un grosor, por ejemplo, más pequeño que 1,5 micrómetros, tal como de entre 0,15 y 1,2 micrómetros, o más pequeño que 3 micrómetros, tal como de entre 0,3 y 3 micrómetros. La capa de cobre electrochapado puede tener un ancho, por ejemplo, más pequeño que 1 micrómetro, tal como de entre 0,05 y 1 micrómetros. La capa germinal puede incluir o puede ser una capa de cobre o una aleación de titanio-cobre formada por un procedimiento adecuado, tal como procedimiento de pulverización catódica. La capa metálica de adhesión/barrera puede incluir o puede ser una capa de titanio, una aleación de titanio-volframio, nitruro de titanio, cromo, tántalo o nitruro de tántalo formada por un procedimiento adecuado, tal como procedimiento de pulverización catódica. La capa metálica de adhesión/barrera puede tener un grosor, por ejemplo, más pequeño que 0,1 micrómetros, tal como de entre 0,005 y 0,1 micrómetros. Las paredes laterales de la capa de cobre electrochapado se cubren por la capa metálica de adhesión/barrera y la capa germinal.

[0043] La capa de interconexión 34, por ejemplo, puede incluir nanotubos de carbono. De forma alternativa, la capa de interconexión 34 puede estar compuesta por una capa metálica estampada en la capa dieléctrica 46. En una primera alternativa, la capa metálica estampada 34 puede incluir una capa de aleación de aluminio-cobre que tiene un grosor, por ejemplo, de entre 10 nanómetros y 2 micrómetros y una capa que contiene titanio, tal como una capa única de nitruro de titanio, aleación de titanio-volframio o titanio, que tiene un grosor, por ejemplo, más pequeño que 0,2 micrómetros, tal como de entre 0,02 y 0,15 micrómetros. La capa que contiene titanio puede estar entre la capa dieléctrica 48 y la capa de aleación de aluminio-cobre y sobre la capa de aleación de aluminio-cobre, y la capa de aleación de aluminio-cobre puede estar en la capa dieléctrica 46. En una segunda alternativa, la capa metálica estampada 34 se puede formar por un procedimiento de damasquinado o de doble damasquinado incluyendo un procedimiento de electrochapado y un procedimiento de pulido químico-mecánico (CMP) y puede estar compuesta por una capa de cobre electrochapado que tiene una parte inferior que se pone en contacto con la capa dieléctrica 44, una capa metálica de adhesión/barrera en una parte superior y las paredes laterales de la capa de cobre electrochapado, y una capa germinal entre la capa de cobre electrochapado y la capa metálica de adhesión/barrera y sobre la parte superior y las paredes laterales de la capa de cobre electrochapado. La capa metálica de adhesión/barrera tiene una primera parte entre la parte superior de la capa de cobre electrochapado y la capa dieléctrica 48 y una segunda parte en las paredes laterales de la capa de cobre electrochapado. La capa de cobre electrochapado puede tener un grosor, por ejemplo, más pequeño que 2 micrómetros, tal como de entre 0,15 y 1 micrómetros o de entre 10 nanómetros y 2 micrómetros. La capa de cobre electrochapado puede tener un ancho, por ejemplo, más pequeño que 1 micrómetro, tal como de entre 0,05 y 1 micrómetros. La capa germinal puede incluir o puede ser una capa de cobre o una aleación de titanio-cobre formada por un procedimiento adecuado, tal como procedimiento de pulverización catódica. La capa metálica de adhesión/barrera puede incluir o puede ser una capa de titanio, una aleación de titanio-volframio, nitruro de titanio, cromo, tántalo o nitruro de tántalo formada por un

procedimiento adecuado, tal como procedimiento de pulverización catódica. La capa metálica de adhesión/barrera puede tener un grosor, por ejemplo, más pequeño que 0,1 micrómetros, tal como de entre 0,005 y 0,1 micrómetros. Las paredes laterales de la capa de cobre electrochapado se cubren por la capa metálica de adhesión/barrera y la capa germinal.

[0044] La capa metálica estampada 26 en la capa dieléctrica 42 se puede conectar a la capa de interconexión 34 en la capa dieléctrica 46 a través de los tapones de vía 26a en la capa dieléctrica 44. La capa de interconexión 34 en la capa dieléctrica 46 se puede conectar a los dispositivos semiconductores 36 a través de los tapones de vía 34a en la capa dieléctrica 48. Los tapones de vía 26a pueden incluir cobre electrochapado, volframio o nanotubos de carbono en la capa dieléctrica 44. Los tapones de vía 34a pueden incluir cobre electrochapado, volframio o nanotubos de carbono en la capa dieléctrica 48.

[0045] Cada uno de los chips 68 puede incluir múltiples conectores o pistas metálicas 35a, 35b, 35c y 35d proporcionados por la capa metálica estampada 26, la capa de interconexión 34 y los tapones de vía 26a y 34a. Cada uno de los conectores o pistas metálicas 35a, 35b, 35c y 35d se puede conectar a uno o más de los dispositivos semiconductores 36 y puede ser una pista de señal, una línea de bits, un bus de reloj, un plano de potencia, un bus de potencia, una pista de potencia, un plano de tierra, un bus de tierra o una pista de tierra.

[0046] De forma alternativa, cada uno de los chips 68 puede incluir además una capa metálica estampada (no mostrada), que tiene un grosor mayor que el de la capa metálica estampada 26 y mayor que el de la capa de interconexión 34, entre la capa de pegamento 22 y la capa de pasivación 24. La capa metálica estampada debajo de la capa de pasivación 24 puede incluir una capa metálica electrochapada debajo de la capa de pasivación 24, una capa metálica de adhesión/barrera entre la capa metálica electrochapada y la capa de pasivación 24, y una capa germinal entre la capa metálica electrochapada y la capa metálica de adhesión/barrera. En la vista desde el lado de la capa de pasivación 24 hasta el lado de la capa de pegamento 22, la capa metálica de adhesión/barrera puede estar sobre la capa germinal, y la capa germinal puede estar sobre la capa metálica electrochapada. Las paredes laterales de la capa metálica electrochapada no están cubiertas por la capa metálica de adhesión/barrera y la capa germinal. La capa metálica de adhesión/barrera puede incluir o puede ser una capa de titanio, una aleación de titanio-volframio, nitruro de titanio, cromo, tantalio, nitruro de tantalio o níquel con un grosor, por ejemplo, más pequeño que 0,6 micrómetros, tal como de entre 1 nanómetro y 0,5 micrómetros o de entre 0,005 y 0,1 micrómetros. La capa germinal puede incluir o puede ser una capa de cobre, una aleación de titanio-cobre, plata, oro o níquel con un grosor, por ejemplo, más pequeño que 0,8 micrómetros, tal como de entre 5 nanómetros y 0,1 micrómetros o de entre 10 nanómetros y 0,8 micrómetros. Cada una de la capa metálica de adhesión/barrera y la capa germinal se pueden formar por un procedimiento adecuado, tal como procedimiento de pulverización catódica. La capa metálica electrochapada puede incluir o puede ser una capa de cobre electrochapado, plata electrochapada u oro electrochapado con un grosor, por ejemplo, mayor de 2 micrómetros, tal como de entre 2 y 30 micrómetros, y preferentemente de entre 3 y 10 micrómetros o de entre 5 y 25 micrómetros.

[0047] De forma alternativa, cuando la capa de óxido de silicio del sustrato inactivo 62 permanece sobre la capa de óxido de silicio 22, después de formar las aberturas 62a, y está expuesta por las aberturas 62a en el sustrato inactivo 62, el montaje de los chips 68 encima del portador 11 y en las aberturas 62a se puede realizar, por ejemplo, uniendo otra capa de óxido de silicio de la capa de pasivación 24, en el lado activo de cada chip 68, con la capa de óxido de silicio restante del sustrato inactivo 62 debajo de la capa de pasivación 24. La capa de óxido de silicio de la capa de pasivación 24 se pone en contacto con la capa de óxido de silicio del sustrato inactivo 62. En consecuencia, los chips 68 se pueden juntar con el portador 11 usando estas capas de óxido de silicio.

[0048] De forma alternativa, otra técnica para formar la estructura ilustrada en las figs. 7 y 8 se realiza proporcionando en primer lugar un sustrato inactivo estampado 62, tal como una oblea inactiva estampada, un panel estampado, un almacén de silicio estampado o un sustrato estampado de polisilicio, vidrio, silicio, cerámica o polímero, con múltiples aberturas 62a que pasan a través del sustrato inactivo estampado 62, juntando seguidamente el sustrato inactivo estampado 62 con el portador 11 usando la capa 22, lo que puede hacer referencia a las etapas ilustradas en la fig. 1, y a continuación montando los chips 68 encima del portador 11 y en las aberturas 62a en el sustrato inactivo estampado 62, lo que puede hacer referencia a las etapas ilustradas en la fig. 7.

[0049] Como se muestra en las figs. 7 y 8, hay múltiples huecos 4 cada uno entre el sustrato inactivo 62 y uno de los chips 68, y hay múltiples huecos 8 (se muestra uno de ellos) cada uno entre dos chips adyacentes 68. Cada uno de los huecos 4 puede tener una distancia transversal o espaciado D1, por ejemplo, de entre 1 y 200 micrómetros, de entre 1 y 50 micrómetros o de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros. Cada uno de los huecos 8 puede tener una distancia transversal o espaciado D2, por ejemplo, de entre 1 y 200 micrómetros, de entre 1 y 50 micrómetros o de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros.

[0050] La fig. 9 muestra otra técnica para formar la estructura con la misma vista en sección transversal como se muestra en la fig. 7. La fig. 7 es una vista en sección transversal cortada a lo largo de la línea C-C mostrada en una vista superior esquemática de la fig. 9. La estructura mostrada en las figs. 7 y 9 se puede formar, por ejemplo, por las siguientes etapas. En primer lugar, se puede formar la capa de pegamento 22 descrita previamente sobre el portador 11 descrito previamente usando, por ejemplo, un procedimiento de recubrimiento por rotación, un procedimiento de

laminación, un procedimiento de pulverización, un procedimiento de distribución o un procedimiento de serigrafía. Se puede formar la capa de pegamento 22 sobre la capa dieléctrica o aislante 20 del portador 11 o formarse sobre el sustrato 10 del portador 11 si el portador 11 se forma sin las capas 12, 18 y 20. Seguidamente, la capa de pegamento 22 se puede precurar u hornear opcionalmente. Seguidamente, los chips 68 descritos previamente y múltiples sustratos inactivos separados 62 se pueden colocar sobre la capa de pegamento 22. Cuando un hueco entre dos chips adyacentes 68 es demasiado grande, tal como mayor a 500 o 1000 micrómetros, uno o más de los sustratos inactivos separados 62 se pueden colocar en el hueco. De forma alternativa, cuando un hueco entre dos chips adyacentes 68 es lo suficientemente pequeño, tal como más pequeño que 500 o 1000 micrómetros, no puede haber sustratos inactivos separados 62 colocados en el hueco. Seguidamente, la capa de pegamento 22 se puede curar de nuevo a una temperatura de entre 180 grados centígrados y 350 grados centígrados con una presión mecánica o térmica sobre la capa de pegamento 22. En consecuencia, los sustratos inactivos separados 62 y los chips 68 se pueden juntar con el portador 11 usando la capa de pegamento 22. Los sustratos inactivos separados 62, por ejemplo, pueden ser barras de silicio separadas, chips inactivos separados, pastillas de silicio inactivas separadas o sustratos separados de polisilicio, vidrio, silicio o cerámica.

[0051] De forma alternativa, en referencia a las figs. 7 y 9, se puede reemplazar la capa de pegamento 22 con una capa de óxido de silicio que se forma sobre la capa dieléctrica o aislante 20 del portador 11 o se forma sobre el sustrato 10 del portador 11 si el portador 11 se forma sin las capas 12, 18 y 20. En este caso, juntar los chips 68 con el portador 11 y juntar los sustratos inactivos separados 62 con el portador 11 se puede realizar, por ejemplo, uniendo otra capa de óxido de silicio de la capa de pasivación 24, en el lado activo de cada chip 68, con la capa de óxido de silicio 22 y uniendo otra capa de óxido de silicio de cada uno de los sustratos inactivos separados 62 con la capa de óxido de silicio 22. La capa de óxido de silicio de la capa de pasivación 24 de cada chip 68 se pone en contacto con la capa de óxido de silicio 22, y la capa de óxido de silicio de cada uno de los sustratos inactivos separados 62 se pone en contacto con la capa de óxido de silicio 22. En consecuencia, los chips 68 y los sustratos inactivos separados 62 se pueden juntar con el portador 11 usando estas capas de óxido de silicio.

[0052] Como se muestra en las figs. 7 y 9, hay múltiples huecos 4 cada uno entre uno de los chips 68 y uno de los sustratos inactivos separados 62, y hay múltiples huecos 8 (se muestra uno de ellos) cada uno entre dos chips adyacentes 68. Cada uno de los huecos 4 puede tener una distancia transversal o espaciado D1, por ejemplo, de entre 1 y 200 micrómetros, de entre 1 y 50 micrómetros o de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros. Cada uno de los huecos 8 puede tener una distancia transversal o espaciado D2, por ejemplo, más pequeño que 500 micrómetros, tal como de entre 1 y 200 micrómetros, de entre 1 y 50 micrómetros o de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros. En un modo de realización, no hay circuitos preformados en cada sustrato inactivo separado 62 o sobre una superficie superior o inferior de cada sustrato inactivo separado 62 antes de que los sustratos inactivos separados 62 se junten con el portador 11.

[0053] En referencia a la fig. 10, después de las etapas ilustradas en las figs. 7 y 8 o en las figs. 7 y 9, se puede formar un material de encapsulación/relleno de huecos 64, tal como polisilicio, óxido de silicio o un polímero, sobre un lado posterior del sustrato semiconductor 58 de cada chip 68, sobre el/los sustrato(s) inactivo(s) 62, y en los huecos 4 y 8. Si el material de encapsulación/relleno de huecos 64 es polisilicio, el polisilicio se puede formar por un procedimiento de depósito químico de vapor (CVD) o un procedimiento de depósito químico de vapor potenciado por plasma (PECVD). Si el material de encapsulación/relleno de huecos 64 es óxido de silicio, el óxido de silicio se puede formar por un procedimiento de depósito químico de vapor (CVD), un procedimiento de depósito químico de vapor potenciado por plasma (PECVD) o un procedimiento de depósito químico de vapor a presión atmosférica (APCVD). Si el material de encapsulación/relleno de huecos 64 es un polímero, tal como poliimida, epoxi, benzociclobutano (BCB), polibenzoxazol (PBO) o poli(óxido de fenileno) (PPO), el polímero se puede formar por un procedimiento que incluye un procedimiento de recubrimiento por rotación, un procedimiento de distribución, un procedimiento de moldeo o un procedimiento de serigrafía.

[0054] Seguidamente, en referencia a la fig. 11, el material de encapsulación/relleno de huecos 64, el lado posterior del sustrato semiconductor 58 de cada chip 68 y el/los sustrato(s) inactivo(s) 62 se rectifican o pulen, por ejemplo, por un procedimiento de pulido químico-mecánico (CMP), un procedimiento de pulido mecánico, un procedimiento de rectificado mecánico o un procedimiento que incluye pulido mecánico y grabado químico hasta que el sustrato semiconductor 58 de uno de los chips 68 se estrecha a un grosor T1, por ejemplo, de entre 1 y 100 micrómetros, de entre 1 y 50 micrómetros, de entre 1 y 30 micrómetros, de entre 1 y 10 micrómetros o de entre 1 y 5 micrómetros, y preferentemente de entre 2 y 20 micrómetros o de entre 3 y 30 micrómetros. Preferentemente, cada uno de los chips 68, después del procedimiento de rectificado o pulido, puede tener un grosor, por ejemplo, de entre 3 y 105 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros. Después del procedimiento de rectificado o pulido, el/los sustrato(s) inactivo(s) 62 se puede(n) estrechar a un grosor T2, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros, y el material de encapsulación/relleno de huecos 64 restante en los huecos 4 y 8 puede tener un grosor vertical T3, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros. La superficie rectificada o pulida 58s del sustrato semiconductor 58, en el lado posterior de cada chip 68, y la(s) superficie(s) rectificada(s) o pulida(s) 62s del/de los sustrato(s) inactivo(s) 62 pueden ser sustancialmente planas y no estar cubiertas por el material de encapsulación/relleno de huecos 64. La(s) superficie(s) rectificada(s) o pulida(s) 62s

puede(n) ser sustancialmente coplanaria(s) con la superficie rectificada o pulida 58s de cada chip 68 y con la superficie rectificada o pulida 64s del material de encapsulación/relleno de huecos 64 en los huecos 4 y 8.

[0055] De forma alternativa, las figs. 12 y 13 muestran otra técnica para formar la estructura ilustrada en la fig. 11. En referencia a la fig. 12, después de las etapas ilustradas en las figs. 7 y 8 o en las figs. 7 y 9, se puede formar un material de encapsulación/relleno de huecos 64, tal como polisilicio u óxido de silicio, sobre el lado posterior del sustrato semiconductor 58 de cada chip 68, sobre el/los sustrato(s) inactivo(s) 62 y en los huecos 4 y 8, y a continuación se puede formar un polímero 65, tal como compuesto de moldeo, poliimida, epoxi, benzociclobutano (BCB), polibenzoxazol (PBO) o poli(óxido de fenileno) (PPO), sobre el material de encapsulación/relleno de huecos 64 y en los huecos 4 y 8. El material de encapsulación/relleno de huecos 64 en los huecos 4 y 8 puede tener un grosor vertical T4, por ejemplo, de entre 10 y 100 micrómetros, y preferentemente de entre 10 y 50 micrómetros o de entre 20 y 50 micrómetros.

[0056] Seguidamente, en referencia a la fig. 13, se puede realizar un procedimiento de rectificado mecánico, por ejemplo, usando una almohadilla abrasiva o rectificadora con agua para rectificar el polímero 65, el material de encapsulación/relleno de huecos 64, el lado posterior del sustrato semiconductor 58 de cada chip 68 y el/los sustrato(s) inactivo(s) 62 hasta que se elimina todo el polímero 65 y hasta que se alcanza un grosor vertical predeterminado T5 del material de encapsulación/relleno de huecos 64 en los huecos 4 y 8. El grosor vertical predeterminado T5 puede ser, por ejemplo, de entre 10 y 100 micrómetros, y preferentemente de entre 10 y 50 micrómetros o de entre 20 y 50 micrómetros. La almohadilla abrasiva o rectificadora puede estar provista de un grano áspero que tiene un tamaño de grano promedio, por ejemplo, de entre 0,5 y 15 micrómetros para realizar el procedimiento de rectificado mecánico. Después de esto, se puede realizar un procedimiento de pulido químico-mecánico (CMP), por ejemplo, usando una almohadilla de pulido con una suspensión que contiene sustancias químicas y un abrasivo fino como sílice con un tamaño de grano promedio, por ejemplo, de entre 0,02 y 0,05 micrómetros para pulir el lado posterior del sustrato semiconductor 58 de cada chip 68, el/los sustrato(s) inactivo(s) 62 y el material de encapsulación/relleno de huecos 64 en los huecos 4 y 8 hasta que el sustrato semiconductor 58 de uno de los chips 68 se estrecha al grosor T1 de entre 1 y 30 micrómetros, y preferentemente de entre 2 y 5 micrómetros, de entre 2 y 10 micrómetros, de entre 2 y 20 micrómetros o de entre 3 y 30 micrómetros, como se muestra en la fig. 11.

[0057] Después del procedimiento de pulido químico-mecánico (CMP), la superficie pulida 58s del sustrato semiconductor 58, en el lado posterior de cada chip 68, y la(s) superficie(s) pulida(s) 62s del/de los sustrato(s) inactivo(s) 62 pueden ser sustancialmente planas y no estar cubiertas por el material de encapsulación/relleno de huecos 64. La(s) superficie(s) pulida(s) 62s puede(n) ser sustancialmente coplanaria(s) con la superficie pulida 58s de cada chip 68 y con la superficie pulida 64s del material de encapsulación/relleno de huecos 64 en los huecos 4 y 8. Las superficies pulidas 58s, 62s y 64s pueden tener una microrrugosidad, por ejemplo, de menos de 20 nanómetros. El procedimiento de pulido químico-mecánico (CMP), que usa un abrasivo muy fino como la sílice y un ataque químico relativamente débil, creará las superficies 58s, 62s y 64s casi sin deformación ni arañazos, y esto significa que el procedimiento de pulido químico-mecánico (CMP) es muy adecuado para la etapa final de pulido, creando las superficies limpias 58s, 62s y 64s. El uso del procedimiento de rectificado mecánico y el procedimiento de pulido químico-mecánico (CMP) se puede realizar para crear un sustrato semiconductor muy delgado 10 de cada chip 68. En consecuencia, después del procedimiento de pulido químico-mecánico (CMP), cada uno de los chips 68 se puede estrechar a un grosor, por ejemplo, de entre 3 y 35 micrómetros, y preferentemente de entre 5 y 10 micrómetros o de entre 5 y 25 micrómetros, el/los sustrato(s) inactivo(s) 62 se puede(n) estrechar al grosor T2, por ejemplo, de entre 3 y 35 micrómetros, y preferentemente de entre 5 y 10 micrómetros o de entre 5 y 25 micrómetros, y el material de encapsulación/relleno de huecos 64 en los huecos 4 y 8 se puede estrechar al grosor T3, por ejemplo, de entre 3 y 35 micrómetros, y preferentemente de entre 5 y 10 micrómetros o de entre 5 y 25 micrómetros.

[0058] En referencia a la fig. 14, después de formar la estructura ilustrada en la fig. 11, se puede formar una capa dieléctrica 60 sobre la superficie 58s del sustrato semiconductor 58 de cada chip 68, sobre la(s) superficie(s) 62s del/de los sustrato(s) inactivo(s) 62 y sobre la superficie 64s del material de encapsulación/relleno de huecos 64. La capa dieléctrica 60 puede tener un grosor, por ejemplo, de entre 0,5 y 30 micrómetros, y preferentemente de entre 1 y 20 micrómetros, de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 1 y 3 micrómetros.

[0059] La capa dieléctrica 60, por ejemplo, puede ser una capa inorgánica formada, por ejemplo, por un procedimiento de depósito químico de vapor (CVD) o un procedimiento de depósito químico de vapor potenciado por plasma (PECVD). La capa inorgánica puede ser, por ejemplo, una capa de óxido de silicio (tal como SiO₂), nitruro de silicio (tal como Si₃N₄), carbonitruro de silicio (tal como SiCN), oxinitruro de silicio (tal como SiON) u oxycarburo de silicio (tal como SiOC), o una capa que incluye óxido de silicio, nitruro de silicio, carbonitruro de silicio y oxinitruro de silicio. La capa inorgánica puede tener un grosor, por ejemplo, de entre 0,5 y 30 micrómetros, y preferentemente de entre 1 y 20 micrómetros, de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 1 y 3 micrómetros.

[0060] De forma alternativa, la capa dieléctrica 60 puede ser una capa de polímero, tal como una capa de poliimida, epoxi, benzociclobutano (BCB), polibenzoxazol (PBO) o poli(óxido de fenileno) (PPO), formada, por ejemplo, por un procedimiento que incluye un procedimiento de recubrimiento por rotación, un procedimiento de distribución, un procedimiento de moldeo o un procedimiento de serigrafía. La capa de polímero puede tener un grosor, por ejemplo,

de entre 0,5 y 30 micrómetros, y preferentemente de entre 1 y 20 micrómetros, de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 1 y 3 micrómetros.

[0061] De forma alternativa, la capa dieléctrica 60 puede estar compuesta por múltiples capas inorgánicas, que incluyen una capa de detención de grabado, tal como la capa de detención de grabado de oxinitruro de silicio. La capa de detención de grabado se usará más tarde para detener el grabado cuando se graben estampados en el interior de la capa dieléctrica 60. En este caso, la capa dieléctrica 60, por ejemplo, puede estar compuesta por una primera capa de óxido de silicio sobre las superficies 58s, 62s y 64s, una capa de oxinitruro de silicio, usada como capa de detención de grabado, sobre la primera capa de óxido de silicio, y una segunda capa de óxido de silicio que tiene un grosor, por ejemplo, de entre 0,1 y 5 micrómetros o de entre 0,3 y 1,5 micrómetros sobre la capa de oxinitruro de silicio.

[0062] Seguidamente, en referencia a la fig. 15, múltiples vías pasantes 170v, incluyendo las vías pasantes 170a, 170b, 170c, 170d, 170e y 170f, se forman en los chips 68 y en el/los sustrato(s) inactivo(s) 62, exponiendo la capa conductora 18 del portador 11 y exponiendo las capas 26 y 34 de los chips 68, por ejemplo, por las siguientes etapas. En primer lugar, se forma una capa fotorresistente, tal como una capa resistente fotosensible de tipo positivo o una capa resistente fotosensible de tipo negativo, sobre la capa dieléctrica 60 usando un procedimiento adecuado, tal como procedimiento de recubrimiento por rotación o procedimiento de laminación. Seguidamente, se puede emplear un procedimiento de fotoexposición usando un paso a paso IX y un procedimiento de revelado usando una solución química para formar múltiples aberturas, exponiendo la capa dieléctrica 60, en la capa fotorresistente. La capa fotorresistente puede tener un grosor, por ejemplo, de entre 3 y 50 micrómetros. Seguidamente, se elimina la capa dieléctrica 60 debajo de las aberturas en la capa fotorresistente usando un procedimiento adecuado, tal como procedimiento de grabado por plasma anisotrópico. Seguidamente, se decapan el/los sustrato(s) inactivo(s) 62 debajo de las aberturas en la capa fotorresistente y los chips 68 debajo de las aberturas en la capa fotorresistente hasta que se exponen las regiones predeterminadas de las capas 26 y 34 en los chips 68 y las regiones predeterminadas de la capa conductora 18 en el portador 11 por las aberturas en la capa fotorresistente. Seguidamente, se elimina la capa fotorresistente usando, por ejemplo, una sustancia química orgánica. En consecuencia, se forman las vías pasantes 170v, incluyendo las vías 170a-170f, en los chips 68 y en el/los sustrato(s) inactivo(s) 62, exponiendo las regiones predeterminadas de la capa conductora 18 del portador 11 y exponiendo las regiones predeterminadas de las capas 26 y 34 de los chips 68. La vía pasante 170a se forma en el sustrato inactivo 62, y las vías pasantes 170b, 170c, 170d, 170e y 170f se forman en el mismo chip 68.

[0063] De forma alternativa, se puede realizar otra técnica para formar las vías pasantes 170v en los chips 68 y en el/los sustrato(s) inactivo(s) 62 por las siguientes etapas. En primer lugar, se puede formar una capa fotorresistente, tal como una capa resistente fotosensible de tipo positivo o una capa resistente fotosensible de tipo negativo, sobre la capa dieléctrica 60 usando, por ejemplo, un procedimiento de recubrimiento por rotación o un procedimiento de laminación. Seguidamente, se puede emplear un procedimiento de fotoexposición usando un paso a paso IX y un procedimiento de revelado usando una solución química para formar múltiples aberturas, exponiendo la capa dieléctrica 60, en la capa fotorresistente. Seguidamente, se forman múltiples aberturas en la capa dieléctrica 60 y debajo de las aberturas en la capa fotorresistente, exponiendo el/los sustrato(s) inactivo(s) 62 y los sustratos semiconductores 58 de los chips 68, al eliminar la capa dieléctrica 60 debajo de las aberturas en la capa fotorresistente usando, por ejemplo, un procedimiento de grabado por plasma anisotrópico. Seguidamente, se elimina la capa fotorresistente usando, por ejemplo, una sustancia química orgánica. Seguidamente, se pueden decapar el/los sustrato(s) inactivo(s) 62 debajo de las aberturas en la capa dieléctrica 60 y los chips 68 debajo de las aberturas en la capa dieléctrica 60 hasta que se exponen las regiones predeterminadas de las capas 26 y 34 de los chips 68 y las regiones predeterminadas de la capa conductora 18 del portador 11 por las aberturas en la capa dieléctrica 60. En consecuencia, se pueden formar las vías pasantes 170v, incluyendo las vías pasantes 170a, 170b, 170c, 170d, 170e y 170f, en los chips 68 y en el/los sustrato(s) inactivo(s) 62, exponiendo la capa conductora 18 del portador 11 y exponiendo las capas 26 y 34 de los chips 68. La vía pasante 170a se forma en el sustrato inactivo 62, y las vías pasantes 170b, 170c, 170d, 170e y 170f se forman en el mismo chip 68. Cada una de las vías pasantes 170v, tales como la vía pasante 170a, 170b, 170c, 170d, 170e o 170f, puede tener un ancho o un diámetro, por ejemplo, de entre 0,5 y 100 micrómetros, de entre 0,5 y 50 micrómetros, de entre 0,5 y 30 micrómetros, de entre 0,5 y 20 micrómetros, de entre 0,5 y 10 micrómetros o de entre 0,5 y 5 micrómetros, y preferentemente de entre 1 y 3 micrómetros.

[0064] Una de las vías pasantes 170v, tal como la vía pasante 170a, pasa a través de la capa dieléctrica 60, el sustrato inactivo 62, la capa de pegamento o la capa de óxido de silicio 22, y la capa dieléctrica o aislante 20 del portador 11, exponiendo la capa conductora 18 del portador 11. Otra de las vías pasantes 170v, tal como la vía pasante 170b, pasa a través de la capa dieléctrica 60, a través del sustrato semiconductor 58, las capas dieléctricas 42, 44, 46 y 48 y la capa de pasivación 24 de uno de los chips 68, a través de la capa de pegamento o la capa de óxido de silicio 22, y a través de la capa dieléctrica o aislante 20 del portador 11, exponiendo la capa conductora 18 del portador 11. Otra de las vías pasantes 170v, tal como la vía pasante 170c, pasa a través de la capa dieléctrica 60 y a través del sustrato semiconductor 58 y la capa dieléctrica 48 de uno de los chips 68, exponiendo el conector o pista metálica 35d en la capa de interconexión 34 del uno de los chips 68. Otra de las vías pasantes 170v, tal como la vía pasante 170d, pasa a través de la capa dieléctrica 60 y a través del sustrato semiconductor 58 y las capas dieléctricas 44, 46 y 48 de uno de los chips 68, exponiendo el conector o pista metálica 35c en la capa metálica estampada 26 del uno de los chips 68. Otra de las vías pasantes 170v, tal como la vía pasante 170f, pasa a través de la capa dieléctrica 60 y a través del sustrato semiconductor 58 y la capa dieléctrica 48 de uno de los chips 68, exponiendo el conector o pista metálica 35b

en la capa de interconexión 34 del uno de los chips 68. Otra de las vías pasantes 170v, tal como la vía pasante 170e, pasa a través de la capa dieléctrica 60, a través del sustrato semiconductor 58, las capas dieléctricas 42, 44, 46 y 48 y la capa de pasivación 24 de uno de los chips 68, a través de la capa de pegamento o la capa de óxido de silicio 22, y a través de la capa dieléctrica o aislante 20 del portador 11, exponiendo el conector o pista metálica 35a en la capa de interconexión 34 del uno de los chips 68 y exponiendo la capa conductora 18 del portador 11. Un soporte 801 proporcionado por las capas 20, 22, 24, 42 y 44 está entre la capa conductora 18 del portador 11 y el conector o pista metálica 35a en la capa de interconexión 34 expuesto por la vía pasante 170e con el propósito de soportar el conector o pista metálica 35a expuesto. El soporte 801 puede tener una altura, por ejemplo, de entre 0,5 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros, y un ancho, por ejemplo, de entre 0,3 y 30 micrómetros, y preferentemente de entre 0,3 y 10 micrómetros, 0,3 y 5 micrómetros, o de entre 0,3 y 1 micrómetros. Las figs. 16-18 son tres ejemplos de vistas en perspectiva superior esquemáticas que muestran la vía pasante 170e y el conector o pista metálica 35a ilustrado en la fig. 15.

[0065] Como se muestra en las figs. 15 y 16, la vía pasante 170e en uno de los chips 68 expone el conector o pista metálica 35a en el uno de los chips 68 y expone dos regiones de la capa conductora 18 en el portador 11 debajo del uno de los chips 68. El conector o pista metálica 35a tiene una región de conformación lineal, expuesto por la vía pasante 170e, que se extiende en una dirección horizontal desde un lado de la vía pasante 170e hasta el lado opuesto de la vía pasante 170e a través de un centro de la vía pasante 170e. El soporte 801 descrito previamente, entre la capa conductora 18 del portador 11 y la región de conformación lineal expuesta del conector o pista metálica 35a en la capa de interconexión 34, puede tener conformación lineal, como la región de conformación lineal expuesta del conector o pista metálica 35a. Preferentemente, la vía pasante 170e puede tener, pero no se limita a, una conformación circular desde una vista en perspectiva superior.

[0066] Como se muestra en las figs. 15 y 17, la vía pasante 170e en uno de los chips 68 expone el conector o pista metálica 35a en el uno de los chips 68 y expone una región de la capa conductora 18 en el portador 11 debajo del uno de los chips 68. El conector o pista metálica 35a tiene una región peninsular, expuesto por la vía pasante 170e, que se extiende en una dirección horizontal desde un lado de la vía pasante 170e al menos hasta el centro de la vía pasante 170e, pero no llega al lado opuesto de la vía pasante 170e; el conector o pista metálica 35a tiene un extremo expuesto por la vía pasante 170e. El soporte 801 descrito previamente, entre la capa conductora 18 del portador 11 y la región peninsular expuesta del conector o pista metálica 35a en la capa de interconexión 34, puede tener conformación de península, como la región peninsular expuesta del conector o pista metálica 35a. Preferentemente, la vía pasante 170e puede tener, pero no se limita a, una conformación circular desde una vista en perspectiva superior.

[0067] Como se muestra en las figs. 15 y 18, la vía pasante 170e en uno de los chips 68 expone el conector o pista metálica 35a en el uno de los chips 68 y expone una región de la capa conductora 18 en el portador 11 debajo del uno de los chips 68. El conector o pista metálica 35a tiene una región peninsular, expuesto por la vía pasante 170e, que se extiende en una dirección horizontal desde un lado de la vía 170e al menos hasta el centro de la vía pasante 170e, pero no llega al lado opuesto de la vía pasante 170e; el conector o pista metálica 35a tiene un extremo circular expuesto por la vía pasante 170e. El soporte 801 descrito previamente, entre la capa conductora 18 del portador 11 y la región peninsular expuesta del conector o pista metálica 35a en la capa de interconexión 34, puede tener conformación de península, como la región peninsular expuesta del conector o pista metálica 35a. Preferentemente, la vía pasante 170e puede tener, pero no se limita a, una conformación circular desde una vista en perspectiva superior.

[0068] La fig. 16A es un ejemplo de una vista en perspectiva superior esquemática que muestra la vía pasante 170e y el conector o pista metálica 35a ilustrado en la fig. 15. En este caso, la vía pasante 170e puede tener, pero no se limita a, conformación ovalada y tiene un ancho W1, por ejemplo, de entre 1 y 30 micrómetros, y preferentemente de entre 1 y 20 micrómetros, de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 3 y 10 micrómetros. La vía pasante de conformación ovalada 170e en uno de los chips 68 expone el conector o pista metálica 35a en el uno de los chips 68 y expone dos regiones de la capa conductora 18 en el portador 11 debajo del uno de los chips 68. El conector o pista metálica 35a tiene una región de conformación lineal, expuesto por la vía pasante de conformación ovalada 170e, que se extiende en una dirección horizontal desde un lado de la vía pasante de conformación ovalada 170e hasta el lado opuesto de la vía pasante de conformación ovalada 170e a través del centro de la vía pasante de conformación ovalada 170e. El soporte 801 descrito previamente, entre la capa conductora 18 del portador 11 y la región de conformación lineal expuesta del conector o pista metálica 35a en la capa de interconexión 34, puede tener conformación lineal, como la región de conformación lineal expuesta del conector o pista metálica 35a. El conector o pista metálica 35a expuesto por la vía pasante de conformación ovalada 170e tiene un ancho W2, por ejemplo, de entre 0,3 y 30 micrómetros, y preferentemente de entre 0,3 y 20 micrómetros, de entre 0,3 y 10 micrómetros, de entre 0,3 y 5 micrómetros o de entre 0,3 y 1 micrómetros. Una distancia horizontal S1 entre el final del eje largo de la vía pasante de conformación ovalada 170e y un borde, que está más cercano al final que el otro borde opuesto, del conector o pista metálica 35a expuesto por la vía pasante de conformación ovalada 170e puede ser, por ejemplo, de entre 1 y 30 micrómetros, y preferentemente de entre 1 y 20 micrómetros, de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 3 y 10 micrómetros.

[0069] Seguidamente, en referencia a la fig. 19, se forma una capa dieléctrica 50 sobre una superficie superior de la capa dieléctrica 60, sobre la capa conductora 18, expuesta por las vías pasantes 170v (tales como las vías 170a, 170b

y 170e), del portador 11, sobre las capas 26 y 34, expuestas por las vías pasantes 170v (tales como las vías pasantes 170c, 170d, 170e y 170f), de los chips 68, y sobre las paredes laterales de las vías pasantes 170v.

[0070] La capa dieléctrica 50 puede estar compuesta por un material aislante. Por ejemplo, la capa dieléctrica 50 puede ser una capa inorgánica que tiene un grosor, por ejemplo, de entre 20 nanómetros y 1 micrómetro, y la capa inorgánica puede ser una capa de óxido de silicio (tal como SiO_2), nitruro de silicio (tal como Si_3N_4), carbonitruro de silicio (tal como SiCN), oxinitruro de silicio (tal como SiON) u oxicarburo de silicio (tal como SiOC). De forma alternativa, la capa dieléctrica 50 puede ser una capa de polímero que tiene un grosor, por ejemplo, de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros, y la capa de polímero puede ser una capa de poliimida, benzociclobuteno (BCB), epoxi, poli(óxido de fenileno) (PPO) o polibenzoxazol (PBO).

[0071] Seguidamente, en referencia a la fig. 20, se puede formar una capa fotorresistente 168, tal como una capa resistente fotosensible de tipo positivo o una capa resistente fotosensible de tipo negativo, sobre la capa dieléctrica 50 usando, por ejemplo, un procedimiento de recubrimiento por rotación o un procedimiento de laminación. Seguidamente, se puede emplear un procedimiento de fotoexposición usando un paso a paso IX y un procedimiento de revelado usando una sustancia química húmeda para formar múltiples aberturas 168a, exponiendo la capa dieléctrica 50, en la capa fotorresistente 168. La capa fotorresistente 168 puede tener un grosor, por ejemplo, de entre 0,5 y 30 micrómetros.

[0072] Seguidamente, en referencia a la fig. 21, se puede eliminar la capa dieléctrica 50 formada sobre las capas 18, 26 y 34 y sobre la superficie superior de la capa dieléctrica 60 debajo de las aberturas 168a, por ejemplo, al grabar la capa dieléctrica 50 debajo de las aberturas 168a usando un procedimiento de grabado por plasma anisotrópico. Se puede decapar la capa dieléctrica 50 en las partes inferiores de las vías pasantes 170v, sobre la superficie superior de la capa dieléctrica 60 debajo de las aberturas 168a, y sobre una superficie superior del conector o pista metálica 35a encima del soporte 801. En consecuencia, las capas 18, 26 y 34 en las partes inferiores de las vías pasantes 170v, la superficie superior de la capa dieléctrica 60 debajo de las aberturas 168a y el conector o pista metálica 35a encima del soporte 801 están expuestos por las aberturas 168a, y la capa dieléctrica 50 permanece sobre las paredes laterales de las vías pasantes 170v, denominadas capas dieléctricas de pared lateral en las vías pasantes 170v. Las capas dieléctricas de pared lateral 50 se forman sobre las paredes laterales de las vías pasantes 170v en los chips 68 o en el/los sustrato(s) inactivo(s) 62 y están rodeadas por los sustratos semiconductores 58 de los chips 68 o por el/los sustrato(s) inactivo(s) 62.

[0073] Seguidamente, en referencia a la fig. 22, se forman múltiples zanjas 60t, aberturas damasquinadas, en la capa dieléctrica 60 al grabar la capa dieléctrica 60 y las capas dieléctricas de pared lateral 50 debajo de las aberturas 168a a una profundidad D3, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,5 y 3 micrómetros, usando, por ejemplo, un procedimiento de grabado por plasma anisotrópico. Preferentemente, la capa dieléctrica 60 y las capas dieléctricas de pared lateral 50 tienen un mismo material, tal como nitruro de silicio, óxido de silicio u oxinitruro de silicio. Después del procedimiento de grabado, la capa dieléctrica 60 debajo de las zanjas 60t tiene un grosor restante T6, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 5 micrómetros, de entre 0,5 y 2 micrómetros, de entre 0,1 y 3 micrómetros o de entre 0,2 y 1,5 micrómetros.

[0074] De forma alternativa, se puede aplicar una técnica de detención de grabado al procedimiento de formación de las zanjas 60t en la capa dieléctrica 60. En este caso, la capa dieléctrica 60 está compuesta por las capas inorgánicas descritas previamente, por ejemplo, que incluyen la primera capa de óxido de silicio sobre las superficies 58s, 62s y 64s, la capa de oxinitruro de silicio, usada como capa de detención de grabado, sobre la primera capa de óxido de silicio, y la segunda capa de óxido de silicio sobre la capa de oxinitruro de silicio. Se pueden formar las zanjas 60t en la capa dieléctrica 60 al grabar la segunda capa de óxido de silicio de la capa dieléctrica 60 debajo de las aberturas 168a y las capas dieléctricas de pared lateral 50 debajo de las aberturas 168a hasta que se expone la capa de oxinitruro de silicio de la capa dieléctrica 60 por las aberturas 168a. En consecuencia, se forman las zanjas 60t en la segunda capa de óxido de silicio de la capa dieléctrica 60, y la capa dieléctrica 60 restante, compuesta por la capa de oxinitruro de silicio y la primera capa de óxido de silicio, debajo de las zanjas 60t tiene un grosor T6, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 5 micrómetros, de entre 0,5 y 2 micrómetros, de entre 0,1 y 3 micrómetros o de entre 0,2 y 1,5 micrómetros.

[0075] Seguidamente, en referencia a la fig. 23, se elimina la capa fotorresistente 168 usando, por ejemplo, una sustancia química orgánica. Las zanjas 60t formadas en la capa dieléctrica 60 se usan para proporcionar huecos que tienen conectores entre chips y conectores intrachip formados en los mismos. Las capas dieléctricas de pared lateral 50 formadas sobre las paredes laterales de las vías pasantes 170v (tales como las vías pasantes 170b, 170c, 170d, 170e y 170f) en los chips 68 pueden evitar que metales de transición, tales como cobre, sodio o humedad penetren en el interior de dispositivos de CI de los chips 68. La fig. 24 es una vista en perspectiva superior esquemática que muestra las vías pasantes 170v, las zanjas 60t y las capas dieléctricas de pared lateral 50 mostrados en la fig. 23 de acuerdo con un modo de realización de la presente invención, y la fig. 23 es una vista en sección transversal cortada a lo largo de la línea D-D mostrada en la fig. 24.

[0076] Seguidamente, en referencia a la fig. 25, se puede formar una capa de adhesión/barrera 52 que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y

0,2 micrómetros, sobre las capas 18, 26 y 34 expuestas por las vías pasantes 170v, sobre las paredes laterales y las partes inferiores de las zanjais 60t, sobre la capa dieléctrica 50, y sobre el conector o pista metálica 35a que está sobre el soporte 801. Se puede formar la capa de adhesión/barrera 52 por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD) o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se puede formar una capa germinal 54 que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa de adhesión/barrera 52 por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD) o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se puede formar una capa de conducción 56 que tiene un grosor, por ejemplo, de entre 0,5 y 20 micrómetros o de entre 0,5 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros, sobre la capa germinal 54 usando, por ejemplo, un procedimiento de electrochapado.

[0077] La capa de adhesión/barrera 52 puede incluir o puede ser una capa de titanio, una aleación de titanio-volframio, nitruro de titanio, cromo, tántalo, nitruro de tántalo, níquel, o níquel-vanadio que tiene un grosor, por ejemplo, más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros. La capa germinal 54 puede incluir o puede ser una capa de cobre, una aleación de titanio-cobre, níquel, oro o plata que tiene un grosor, por ejemplo, más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros. La capa de conducción 56 puede incluir o puede ser una capa metálica electrochapada de cobre, oro o plata que tiene un grosor, por ejemplo, de entre 0,5 y 20 micrómetros o de entre 0,5 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros.

[0078] Seguidamente, en referencia a la fig. 26, usando un procedimiento de rectificado o pulido, tal como procedimiento de pulido químico-mecánico (CMP), procedimiento de pulido mecánico, procedimiento de rectificado mecánico, o un procedimiento que incluye pulido mecánico y grabado químico, se pueden eliminar las capas 52, 54 y 56 fuera de las zanjais 60t, y se puede eliminar la capa dieléctrica 50 sobre la superficie superior de la capa dieléctrica 60. En consecuencia, la capa dieléctrica 60 tiene una superficie superior expuesta 60s que puede ser sustancialmente coplanaria con la superficie rectificada o pulida 56s de la capa de conducción 56 en las zanjais 60t, y las superficies 56s y 60s pueden ser sustancialmente planas. La capa dieléctrica 60 tiene un grosor T7, entre la superficie superior expuesta 60s y la superficie 58s o 62s, por ejemplo, de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 3 micrómetros o de entre 2 y 5 micrómetros. La capa de adhesión/barrera 52 y la capa germinal 54 están en las paredes laterales y una parte inferior de la capa de conducción 56 en las zanjais 60t, y las paredes laterales y la parte inferior de la capa de conducción 56 en las zanjais 60t están cubiertas por la capa de adhesión/barrera 52 y la capa germinal 54.

[0079] En una primera alternativa, después de las etapas de eliminación de las capas 52, 54 y 56 fuera de las zanjais 60t y la eliminación de la capa dieléctrica 50 sobre la superficie superior de la capa dieléctrica 60, la capa de adhesión/barrera 52 puede ser una capa que contiene titanio, tal como una capa única de titanio, aleación de titanio-volframio o nitruro de titanio, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales y las partes inferiores de las zanjais 60t, sobre las capas 18, 26 y 34 en las partes inferiores de las vías pasantes 170v, sobre las capas dieléctricas de pared lateral 50 y sobre el conector o pista metálica 35a que está sobre el soporte 801. La capa germinal 54 puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene titanio. La capa de conducción 56 puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjais 60t, y en las vías pasantes 170v. La capa de cobre electrochapado en las zanjais 60t puede tener un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,5 y 3 micrómetros.

[0080] En una segunda alternativa, después de las etapas de eliminación de las capas 52, 54 y 56 fuera de las zanjais 60t y la eliminación de la capa dieléctrica 50 sobre la superficie superior de la capa dieléctrica 60, la capa de adhesión/barrera 52 puede ser una capa que contiene tántalo, tal como una capa única de tántalo o nitruro de tántalo, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales y las partes inferiores de las zanjais 60t, sobre las capas 18, 26 y 34 en las partes inferiores de las vías pasantes 170v, sobre las capas dieléctricas de pared lateral 50 y sobre el conector o pista metálica 35a que está sobre el soporte 801. La capa germinal 54 puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene tántalo. La capa de conducción 56 puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjais 60t, y en las vías pasantes 170v. La capa de cobre electrochapado en las zanjais 60t puede tener un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,5 y 3 micrómetros.

[0081] En una tercera alternativa, después de las etapas de eliminación de las capas 52, 54 y 56 fuera de las zanjais 60t y la eliminación de la capa dieléctrica 50 sobre la superficie superior de la capa dieléctrica 60, la capa de adhesión/barrera 52 puede ser una capa que contiene cromo, tal como una capa única de cromo, con un grosor más

pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales y las partes inferiores de las zanjás 60t, sobre las capas 18, 26 y 34 en las partes inferiores de las vías pasantes 170v, sobre las capas dieléctricas de pared lateral 50, y sobre el conector o pista metálica 35a que está sobre el soporte 801. La capa germinal 54 puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene cromo. La capa de conducción 56 puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjás 60t, y en las vías pasantes 170v. La capa de cobre electrochapado en las zanjás 60t puede tener un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,5 y 3 micrómetros.

[0082] Después de las etapas de eliminación de las capas 52, 54 y 56 fuera de las zanjás 60t y la eliminación de la capa dieléctrica 50 sobre la superficie superior de la capa dieléctrica 60, las capas 52, 54 y 56 en las zanjás 60t componen múltiples conectores metálicos (o pistas metálicas damasquinadas) 1, incluyendo los conectores metálicos (o pistas metálicas damasquinadas) 1a y 1b, en las zanjás 60t. Las capas 52, 54 y 56 en las vías pasantes 170v componen múltiples tapones metálicos (o vías metálicas) 5p en las vías pasantes 170v, incluyendo los tapones metálicos (o vías metálicas) 5a, 5b, 5c, 5d, 5e y 5f en las vías pasantes 170a, 170b, 170c, 170d, 170e y 170f como se muestra en la fig. 23, respectivamente. Cada uno de los tapones metálicos 5p en los chips 68 y en el/los sustrato(s) inactivo(s) 62 está rodeado por una de las capas dieléctricas de pared lateral 50 en las vías pasantes 170v. El tapón metálico 5a se forma en el sustrato inactivo 62, y los tapones metálicos 5b, 5c, 5d, 5e y 5f se forman en el mismo chip 68. El soporte 801 y el conector o pista metálica 35a, en la capa de interconexión 34, sobre el soporte 801 pueden estar entre dos partes, más bajas que un nivel horizontal, en el que se sitúa una superficie superior de la capa de interconexión 34, del tapón metálico 5e. Estos tapones metálicos 5p formados en los chips 68 y en el/los sustrato(s) inactivo(s) 62 pueden conectar los conectores metálicos 1 y los dispositivos semiconductores 36 en los chips 68 y conectar los conectores metálicos 1 y múltiples puntos de contacto de la capa conductora 18 en el portador 11. Los conectores metálicos 1, tales como 1a y 1b, en las zanjás 60t pueden tener un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 1 y 3 micrómetros.

[0083] Por ejemplo, uno de los tapones metálicos 5p, tal como el tapón metálico 5a, se puede formar en el sustrato inactivo 62 y formarse sobre un primer punto de contacto de la capa conductora 18 en una parte inferior de una de las vías pasantes 170v, tal como la vía pasante 170a. Otro de los tapones metálicos 5p, tal como el tapón metálico 5b, se puede formar en uno de los chips 68 y formarse sobre un segundo punto de contacto de la capa conductora 18 en una parte inferior de otra de las vías pasantes 170v, tal como la vía pasante 170b. Otro de los tapones metálicos 5p, tal como el tapón metálico 5c, se puede formar en uno de los chips 68 y formarse sobre un punto de contacto, en una parte inferior de otra de las vías pasantes 170v (tal como la vía pasante 170c), del conector o pista metálica 35d en la capa de interconexión 34 del uno de los chips 68. Otro de los tapones metálicos 5p, tal como el tapón metálico 5d, se puede formar en uno de los chips 68 y formarse sobre un punto de contacto, en una parte inferior de otra de las vías pasantes 170v (tal como la vía pasante 170d), del conector o pista metálica 35c en la capa metálica estampada 26 del uno de los chips 68. Otro de los tapones metálicos 5p, tal como el tapón metálico 5f, se puede formar en uno de los chips 68 y formarse sobre un punto de contacto, en una parte inferior de otra de las vías pasantes 170v (tal como la vía pasante 170f), del conector o pista metálica 35b en la capa de interconexión 34 del uno de los chips 68. Otro de los tapones metálicos 5p, tal como el tapón metálico 5e, se puede formar en uno de los chips 68, formarse sobre un punto de contacto del conector o pista metálica 35a encima de un soporte (tal como el soporte 801) que está entre dos partes izquierda y derecha más bajas del otro de los tapones metálicos 5p (tal como el tapón metálico 5e), y formarse sobre un tercer punto de contacto de la capa conductora 18 en una parte inferior de una de las vías pasantes 170v (tal como la vía pasante 170e). Los primer, segundo y tercer puntos de contacto descritos previamente de la capa conductora 18 pueden estar separados entre sí por la capa dieléctrica o aislante 20 del portador 11.

[0084] Uno de los conectores metálicos 1, tales como 1a o 1b, se puede formar encima del/de los sustrato(s) inactivo(s) 62, encima de los múltiples chips 68, y a través de múltiples bordes de los múltiples chips 68. El conector metálico 1a se puede conectar al primer punto de contacto descrito previamente de la capa conductora 18 en la parte inferior de la vía pasante 170a a través del tapón metálico 5a en el sustrato inactivo 62, se puede conectar al segundo punto de contacto descrito previamente de la capa conductora 18 en la parte inferior de la vía pasante 170b a través del tapón metálico 5b en uno de los chips 68, se puede conectar al punto de contacto, en la parte inferior de la vía pasante 170c, del conector o pista metálica 35d en el uno de los chips 68 a través del tapón metálico 5c en el uno de los chips 68, y se pueden conectar al punto de contacto, en la parte inferior de la vía pasante 170d, del conector o pista metálica 35c en el uno de los chips 68 a través del tapón metálico 5d en el uno de los chips 68. El conector metálico 1b se puede conectar al punto de contacto, en la parte inferior de la vía pasante 170f, del conector o pista metálica 35b en el uno de los chips 68 a través del tapón metálico 5f en el uno de los chips 68, se puede conectar al tercer punto de contacto descrito previamente de la capa conductora 18 en la parte inferior de la vía pasante 170e a través del tapón metálico 5e en el uno de los chips 68, y se puede conectar al conector o pista metálica 35a sobre el soporte 801 a través del tapón metálico 5e en el uno de los chips 68. El conector metálico 1a se puede conectar además a uno o más de los dispositivos semiconductores 36 en otro de los chips 68 a través de uno o más de los tapones metálicos 5p en el otro de los chips 68. El conector metálico 1b se puede conectar además a uno o más de los dispositivos semiconductores 36 en otro de los chips 68 a través de uno o más de los tapones metálicos 5p en el otro de los chips 68.

[0085] En consecuencia, uno de los dispositivos semiconductores 36 en uno de los chips 68 se puede conectar a otro de los dispositivos semiconductores 36 en el uno de los chips 68 o en otro de los chips 68 a través de uno de los conectores metálicos 1, tal como 1a o 1b, y se puede conectar a un punto de contacto, en una parte inferior de una de las vías pasantes 170v (tal como la vía pasante 170a, 170b o 170e), de la capa conductora 18 en el portador 11 a través del uno de los conectores metálicos 1. Cada uno de los conectores metálicos 1 puede ser una pista de señal, una línea de bits, un bus de reloj, un plano de potencia, un bus de potencia, una pista de potencia, un plano de tierra, un bus de tierra o una pista de tierra.

[0086] De forma alternativa, el elemento 68 no solo puede indicar un chip, sino que también puede indicar una oblea. Cuando el elemento 68 es una oblea, el portador 11 puede ser otra oblea. De este modo, el procedimiento ilustrado en la invención se puede emplear para la unión de oblea a oblea.

[0087] En referencia a la fig. 27, después de formar la estructura ilustrada en la fig. 26, se puede formar una capa aislante o dieléctrica 66 sobre la superficie rectificadora o pulida 52s de la capa de adhesión/barrera 52, sobre la superficie rectificadora o pulida 54s de la capa germinal 54, sobre la superficie rectificadora o pulida 56s de la capa de conducción 56 y sobre la superficie superior expuesta 60s de la capa dieléctrica 60. La capa aislante o dieléctrica 66 puede tener un grosor, por ejemplo, de entre 0,05 y 20 micrómetros, y preferentemente de entre 0,05 y 5 micrómetros, de entre 0,05 y 3 micrómetros, de entre 0,05 y 1 micrómetros o de entre 0,05 y 0,5 micrómetros.

[0088] La capa aislante o dieléctrica 66, por ejemplo, puede incluir o puede ser una capa de óxido de silicio (tal como SiO_2), nitruro de silicio (tal como Si_3N_4), carbonitruro de silicio (tal como SiCN), oxinitruro de silicio (tal como SiON) u oxycarburo de silicio (tal como SiOC) con un grosor, por ejemplo, de entre 0,05 y 20 micrómetros, y preferentemente de entre 0,05 y 5 micrómetros, de entre 0,05 y 3 micrómetros, de entre 0,05 y 1 micrómetros o de entre 0,05 y 0,5 micrómetros, formada por un procedimiento de depósito químico de vapor (CVD) o un procedimiento de depósito químico de vapor potenciado por plasma (PECVD).

[0089] De forma alternativa, la capa aislante o dieléctrica 66 puede incluir o puede ser una capa de polímero con un grosor, por ejemplo, de entre 0,05 y 20 micrómetros, y preferentemente de entre 0,05 y 5 micrómetros, de entre 0,05 y 3 micrómetros, de entre 0,05 y 1 micrómetros o de entre 0,05 y 0,5 micrómetros, formada, por ejemplo, por un procedimiento que incluye un procedimiento de recubrimiento por rotación y un procedimiento de curado. La capa de polímero puede ser una capa de poliimida, benzociclobuteno (BCB), epoxi, polibenzoxazol (PBO) o poli(óxido de fenileno) (PPO).

[0090] Seguidamente, en referencia a la fig. 28, se puede fijar un sustrato inactivo 165 sobre la capa aislante o dieléctrica 66, por ejemplo, por las siguientes etapas. En primer lugar, se puede formar una capa de pegamento 116 que tiene un grosor, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 5 y 10 micrómetros o de entre 10 y 30 micrómetros, sobre una superficie superior de la capa aislante o dieléctrica 66 o sobre una superficie inferior del sustrato inactivo 165 usando, por ejemplo, un procedimiento de recubrimiento por rotación, un procedimiento de laminación, un procedimiento de pulverización, un procedimiento de distribución o un procedimiento de serigrafía. Seguidamente, la capa de pegamento 116 se puede precurar u hornear opcionalmente. Seguidamente, el sustrato inactivo 165 se puede colocar encima de la capa aislante o dieléctrica 66 con la capa de pegamento 116 entre la capa aislante o dieléctrica 66 y el sustrato inactivo 165. Seguidamente, la capa de pegamento 116 se puede curar de nuevo a una temperatura de entre 180 grados centígrados y 350 grados centígrados con una presión mecánica o térmica sobre la capa de pegamento 116. En consecuencia, el sustrato inactivo 165 se puede juntar con la capa aislante o dieléctrica 66 usando la capa de pegamento 116. La capa de pegamento 116 puede ser una capa de polímero, tal como una capa de epoxi, poliimida, benzociclobuteno (BCB), polibenzoxazol (PBO), poli(óxido de fenileno) (PPO) o silosano, con un grosor, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 5 y 10 micrómetros o de entre 10 y 30 micrómetros.

[0091] De forma alternativa, se puede reemplazar la capa de pegamento 116 con una capa aislante inorgánica, tal como óxido de silicio, que se puede formar sobre la capa aislante o dieléctrica 66. En este caso, el sustrato inactivo 165 se puede juntar con la capa aislante o dieléctrica 66, por ejemplo, uniendo una capa aislante inorgánica, tal como óxido de silicio, del sustrato inactivo 165 sobre la capa aislante inorgánica 116, tal como óxido de silicio. La capa de óxido de silicio del sustrato inactivo 165 se pone en contacto con la capa de óxido de silicio 116.

[0092] El sustrato inactivo 165 puede ser una oblea redonda, una oblea de silicio inactivo, un panel rectangular o un sustrato de polisilicio, vidrio, silicio o cerámica. El sustrato inactivo 165, antes de rectificarse o pulirse como se menciona en los siguientes procedimientos, puede tener un grosor, por ejemplo, mayor de 100 micrómetros, tal como de entre 100 y 1500 micrómetros, y preferentemente de entre 200 y 500 micrómetros o de entre 100 y 300 micrómetros.

[0093] En un modo de realización, no hay circuitos preformados en el sustrato inactivo 165 o sobre una superficie superior o inferior del sustrato inactivo 165 antes de que el sustrato inactivo 165 se junte con la capa aislante o dieléctrica 66. El sustrato inactivo 165 puede tener una superficie superior con el perfil que es sustancialmente el mismo que el de la superficie superior del portador 11.

[0094] Seguidamente, en referencia a la fig. 29, se puede formar una capa fotorresistente 166 sobre el sustrato inactivo 165 usando, por ejemplo, un procedimiento de recubrimiento por rotación, un procedimiento de serigrafía o un procedimiento de laminación, y a continuación se puede emplear un procedimiento de fotoexposición y un procedimiento de revelado para formar múltiples aberturas 166a, exponiendo múltiples regiones del sustrato inactivo 165, en la capa fotorresistente 166. La capa fotorresistente 166, después del procedimiento de fotoexposición y el procedimiento de revelado, puede tener un grosor, por ejemplo, de entre 10 y 200 micrómetros. La fig. 30 muestra una vista superior esquemática de la capa fotorresistente 166 con las aberturas 166a como se muestra en la fig. 29, y la fig. 30 puede ser una vista en sección transversal cortada a lo largo de la línea E-E mostrada en la fig. 29.

[0095] Seguidamente, en referencia a la fig. 31, se forman múltiples aberturas 165a en el sustrato inactivo 165 y debajo de las aberturas 166a en la capa fotorresistente 166, exponiendo la capa de pegamento 116, usando, por ejemplo, un procedimiento de grabado químico o un procedimiento de grabado por plasma, y a continuación, se elimina la capa fotorresistente estampada 166 usando, por ejemplo, una sustancia química orgánica. De forma alternativa, cuando la capa de pegamento 116 se reemplaza con la capa de óxido de silicio y el sustrato inactivo 165 tiene la capa de óxido de silicio unida con la capa de óxido de silicio 116, se forman las aberturas 165a en el sustrato inactivo 165 y debajo de las aberturas 166a en la capa fotorresistente 166, exponiendo la capa de óxido de silicio del sustrato inactivo 165, usando, por ejemplo, un procedimiento de grabado químico o un procedimiento de grabado por plasma, y a continuación se elimina la fotorresistente estampada 166 usando, por ejemplo, una sustancia química orgánica. La fig. 32 muestra una vista superior esquemática del sustrato inactivo 165 con las aberturas 165a como se muestra en la fig. 31, y la fig. 31 puede ser una vista en sección transversal cortada a lo largo de la línea F-F mostrada en la fig. 32.

[0096] De forma alternativa, se puede formar una máscara dura (no mostrada), tal como óxido de silicio o nitruro de silicio, sobre el sustrato inactivo 165 mostrado en la fig. 31, por ejemplo, por las siguientes etapas. En primer lugar, se puede formar la máscara dura de óxido de silicio o nitruro de silicio sobre el sustrato inactivo 165 mostrado en la fig. 28. Seguidamente, se puede formar la capa fotorresistente 166 sobre la máscara dura usando, por ejemplo, un procedimiento de recubrimiento por rotación, un procedimiento de serigrafía o un procedimiento de laminación. Seguidamente, se puede emplear un procedimiento de fotoexposición y un procedimiento de revelado para formar múltiples aberturas 166a, exponiendo múltiples regiones de la máscara dura, en la capa fotorresistente 166. Seguidamente, se forman múltiples aberturas en la máscara dura y debajo de las aberturas 166a en la capa fotorresistente 166, exponiendo múltiples regiones del sustrato inactivo 165, usando, por ejemplo, un procedimiento de grabado húmedo o un procedimiento de grabado por plasma. Seguidamente, la capa fotorresistente estampada 166 se elimina usando, por ejemplo, una sustancia química orgánica. Seguidamente, se forman múltiples aberturas 165a en el sustrato inactivo 165 y debajo de las aberturas en la máscara dura, exponiendo la capa de pegamento 116, usando, por ejemplo, un procedimiento de grabado químico o un procedimiento de grabado por plasma. De forma alternativa, cuando la capa de pegamento 116 se reemplaza con la capa de óxido de silicio y el sustrato inactivo 165 tiene la capa de óxido de silicio unida con la capa de óxido de silicio 116, las aberturas 165a se forman en el sustrato inactivo 165 y debajo de las aberturas en la máscara dura, exponiendo la capa de óxido de silicio del sustrato inactivo 165, usando, por ejemplo, un procedimiento de grabado químico o un procedimiento de grabado por plasma. La máscara dura se eliminará por el posterior procedimiento de rectificado o pulido.

[0097] Seguidamente, en referencia a la fig. 33, se pueden montar múltiples chips 72 encima de la capa aislante o dieléctrica 66 y en las aberturas 165a en el sustrato inactivo 165, y los chips 72 tienen lados activos en las partes inferiores de los chips 72 y lados posteriores en las partes superiores de los chips 72. En un caso, uno de los chips 72 puede tener diseños de circuito diferentes a los de otro de los chips 72. También, en otro caso, uno de los chips 72 puede tener los mismos diseños de circuito que los de otro de los chips 72. De forma alternativa, uno de los chips 72 puede tener un área (superficie superior) o tamaño diferente al de otro de los chips 72. También, en otro caso, uno de los chips 72 puede tener una misma área (superficie superior) o tamaño que el de otro de los chips 72. La fig. 34 es un ejemplo de una vista superior esquemática que muestra los chips 72 montados en las aberturas 165a en el sustrato inactivo 165, y la fig. 33 es una vista en sección transversal cortada a lo largo de la línea G-G mostrada en la vista superior esquemática de la fig. 34.

[0098] El montaje de los chips 72 encima de la capa aislante o dieléctrica 66 y en las aberturas 165a se puede realizar, por ejemplo, formando en primer lugar un material de pegamento (no mostrado) sobre los lados activos de los chips 72 o sobre la capa de pegamento 116, seguidamente colocando los chips 72 en las aberturas 165a y encima de la capa de pegamento 116 poniendo en contacto el material de pegamento con la capa de pegamento 116, y a continuación curando el material de pegamento a una temperatura de entre 180 grados centígrados y 350 grados centígrados con una presión mecánica o térmica sobre el material de pegamento. En consecuencia, los chips 72 se pueden juntar con la capa de pegamento 116 usando el material de pegamento.

[0099] Cada uno de los chips 72 puede incluir un sustrato semiconductor 96, múltiples dispositivos semiconductores 102 en y/o sobre el sustrato semiconductor 96, una capa de pasivación 74 debajo del sustrato semiconductor 96, múltiples capas dieléctricas 82, 108, 104 y 100 entre el sustrato semiconductor 96 y la capa de pasivación 74, una capa metálica estampada 114 entre el sustrato semiconductor 96 y la capa de pasivación 74, una capa de interconexión 106 entre el sustrato semiconductor 96 y la capa de pasivación 74, múltiples tapones de vía 114a en la capa dieléctrica 108, y múltiples tapones de vía 106a en la capa dieléctrica 100. El sustrato semiconductor 96 está en el lado posterior de cada chip 72, y los dispositivos semiconductores 102, la capa de pasivación 74, la capa metálica

estampada 114, la capa de interconexión 106, las capas dieléctricas 82, 108, 104 y 100 y los tapones de vía 106a y 114a están en el lado activo de cada chip 72.

[0100] El sustrato semiconductor 96 puede ser un sustrato adecuado, tal como un sustrato de silicio, un sustrato de silicio-germanio (SiGe) o un sustrato de arseniuro de galio (GaAs). El sustrato semiconductor 96 antes de estrecharse como se menciona en los siguientes procedimientos puede tener un grosor, por ejemplo, mayor de 100 micrómetros, tal como de entre 100 y 500 micrómetros, y preferentemente de entre 150 y 250 micrómetros o de entre 100 y 300 micrómetros.

[0101] Cada uno de los dispositivos semiconductores 102 puede ser un transistor bipolar, un transistor de semiconductor de óxido metálico de canal P (PMOS), un transistor de semiconductor de óxido metálico de canal N (NMOS) o un transistor de semiconductor de óxido metálico de doble difundido (DMOS). Cada uno de los dispositivos semiconductores 102 se puede proporcionar para una compuerta NOR, una compuerta NAND, una compuerta AND, una compuerta OR, una celda de memoria estática de acceso aleatorio (SRAM), una celda de memoria dinámica de acceso aleatorio (DRAM), una celda de memoria flash, una celda de memoria no volátil, una celda de memoria de solo lectura programable borrable (EPROM), una celda de memoria de solo lectura (ROM), una celda de memoria de acceso aleatorio magnética (MRAM), un amplificador de detección, un inversor, un amplificador operacional, un sumador, un multiplexor, un demultiplexor, un multiplicador, un convertidor de analógico a digital (A/D), un convertidor de digital a analógico (D/A), un circuito analógico, un sensor de semiconductor complementario de óxido metálico (CMOS) o un dispositivo de carga acoplada (CCD).

[0102] La capa de pasivación 74 puede incluir o puede ser una capa dieléctrica inorgánica que tiene una superficie inferior fijada a la capa de pegamento 116, y la capa dieléctrica inorgánica puede ser una capa de nitruro de silicio (tal como Si_3N_4), carbonitruro de silicio (tal como SiCN) u oxinitruro de silicio (tal como SiON) con un grosor, por ejemplo, de entre 0,3 y 1,5 micrómetros. De forma alternativa, cada uno de los chips 72 puede contener además una capa de polímero orgánico, tal como una capa de poliimida, benzociclobuteno (BCB), polibenzoxazol (PBO), poli(óxido de fenileno) (PPO), epoxi o silosano, con un grosor, por ejemplo, mayor de 3 micrómetros, tal como de entre 3 y 20 micrómetros, y preferentemente de entre 5 y 12 micrómetros, debajo y sobre la superficie inferior de la capa dieléctrica inorgánica de la capa de pasivación 74. En este caso, la capa de polímero orgánico tiene una superficie inferior fijada a la capa de pegamento 116. La capa de polímero orgánico tiene una superficie superior que se pone en contacto con la superficie inferior de la capa dieléctrica inorgánica de la capa de pasivación 74.

[0103] De forma alternativa, se pueden formar múltiples aberturas (no mostradas) teniendo cada una un ancho, por ejemplo, de entre 0,5 y 100 micrómetros, y preferentemente de entre 20 y 60 micrómetros, en la capa de pasivación 74 y exponer múltiples puntos de contacto de la capa metálica estampada 114.

[0104] La capa dieléctrica 82 puede estar entre la capa de pasivación 74 y la capa dieléctrica 108. La capa dieléctrica 108 puede estar entre las capas dieléctricas 82 y 104 y entre las capas 106 y 114. La capa dieléctrica 104 puede estar entre las capas dieléctricas 100 y 108. Cada una de las capas dieléctricas 82, 108 y 104 puede incluir óxido de silicio (tal como SiO_2), nitruro de silicio (tal como Si_3N_4), carbonitruro de silicio (tal como SiCN), oxinitruro de silicio (tal como SiON), oxycarburo de silicio (tal como SiOC) o un material de baja k que tiene una constante dieléctrica de entre 1,8 y 3 (tal como vidrio de silicato fluorado (FSG) o diamante negro). Cada una de las capas dieléctricas 82, 108 y 104 puede tener un grosor, por ejemplo, de entre 10 nanómetros y 2 micrómetros, y preferentemente de entre 50 nanómetros y 1 micrómetro.

[0105] La capa dieléctrica 100 entre la capa dieléctrica 104 y el sustrato semiconductor 96 y entre la capa de interconexión 106 y el sustrato semiconductor 96 puede incluir o puede ser una capa de vidrio de fosfosilicato (PSG), vidrio de borofosfosilicato (BPSG), óxido de silicio (tal como SiO_2), nitruro de silicio (tal como Si_3N_4), carbonitruro de silicio (tal como SiCN), oxinitruro de silicio (tal como SiON) o un material de baja k que tiene una constante dieléctrica de entre 1,8 y 3 (tal como vidrio de silicato fluorado (FSG) o diamante negro). La capa dieléctrica 100 puede tener un grosor, por ejemplo, de entre 10 nanómetros y 1 micrómetro.

[0106] La capa metálica estampada 114, por ejemplo, puede incluir una capa de aleación de aluminio-cobre que tiene un grosor, por ejemplo, de entre 0,3 y 3 micrómetros y una capa que contiene titanio que tiene un grosor, por ejemplo, más pequeño que 0,2 micrómetros, tal como de entre 0,02 y 0,15 micrómetros. La capa que contiene titanio puede estar entre la capa dieléctrica 108 y la capa de aleación de aluminio-cobre y sobre la capa de aleación de aluminio-cobre, y la capa de aleación de aluminio-cobre está entre la capa de pasivación 74 y la capa que contiene titanio. La capa que contiene titanio puede ser una capa única de titanio, nitruro de titanio o una aleación de titanio-volframio que tiene un grosor, por ejemplo, más pequeño que 0,2 micrómetros, tal como de entre 0,02 y 0,15 micrómetros.

[0107] De forma alternativa, la capa metálica estampada 114 puede incluir una capa de níquel que tiene un grosor, por ejemplo, de entre 0,5 y 3 micrómetros y una capa de oro que tiene un grosor, por ejemplo, de entre 0,01 y 1 micrómetros debajo y sobre la capa de níquel, en la vista desde el lado de la capa dieléctrica 108 hasta el lado de la capa de pasivación 74. La capa de níquel está entre la capa dieléctrica 108 y la capa de oro, y la capa de oro está entre la capa de níquel y la capa de pasivación 74.

[0108] De forma alternativa, se puede formar la capa metálica estampada 114 por un procedimiento de damasquinado o de doble damasquinado incluyendo un procedimiento de electrochapado y un procedimiento de pulido químico-mecánico (CMP) y puede estar compuesta por una capa de cobre electrochapado que tiene una parte inferior que se pone en contacto con la capa de pasivación 74, una capa metálica de adhesión/barrera en una parte superior y las paredes laterales de la capa de cobre electrochapado, y una capa germinal entre la capa de cobre electrochapado y la capa metálica de adhesión/barrera y sobre la parte superior y las paredes laterales de la capa de cobre electrochapado. La capa metálica de adhesión/barrera tiene una primera parte entre la parte superior de la capa de cobre electrochapado y la capa dieléctrica 108 y una segunda parte en las paredes laterales de la capa de cobre electrochapado. La capa de cobre electrochapado puede tener un grosor, por ejemplo, más pequeño que 1,5 micrómetros, tal como de entre 0,15 y 1,2 micrómetros, o más pequeño que 3 micrómetros, tal como de entre 0,3 y 3 micrómetros. La capa de cobre electrochapado puede tener un ancho, por ejemplo, más pequeño que 1 micrómetro, tal como de entre 0,05 y 1 micrómetros. La capa germinal puede incluir o puede ser una capa de cobre o una aleación de titanio-cobre formada por un procedimiento adecuado, tal como procedimiento de pulverización catódica. La capa metálica de adhesión/barrera puede incluir o puede ser una capa de titanio, una aleación de titanio-volframio, nitruro de titanio, cromo, tántalo o nitruro de tántalo formada por un procedimiento adecuado, tal como procedimiento de pulverización catódica. La capa metálica de adhesión/barrera puede tener un grosor, por ejemplo, más pequeño que 0,1 micrómetros, tal como de entre 0,005 y 0,1 micrómetros. Las paredes laterales de la capa de cobre electrochapado se cubren por la capa metálica de adhesión/barrera y la capa germinal.

[0109] La capa de interconexión 106, por ejemplo, puede incluir nanotubos de carbono. De forma alternativa, la capa de interconexión 106 puede estar compuesta por una capa metálica estampada en la capa dieléctrica 104. En una primera alternativa, la capa metálica estampada 106 puede incluir una capa de aleación de aluminio-cobre que tiene un grosor, por ejemplo, de entre 10 nanómetros y 2 micrómetros y una capa que contiene titanio, tal como una capa única de nitruro de titanio, aleación de titanio-volframio o titanio, que tiene un grosor, por ejemplo, más pequeño que 0,2 micrómetros, tal como de entre 0,02 y 0,15 micrómetros. La capa que contiene titanio puede estar sobre la capa de aleación de aluminio-cobre y entre la capa dieléctrica 100 y la capa de aleación de aluminio-cobre, y la capa de aleación de aluminio-cobre puede estar en la capa dieléctrica 104. En una segunda alternativa, la capa metálica estampada 106 se puede formar por un procedimiento de damasquinado o de doble damasquinado incluyendo un procedimiento de electrochapado y un procedimiento de pulido químico-mecánico (CMP) y puede estar compuesta por una capa de cobre electrochapado que tiene una parte inferior que se pone en contacto con la capa dieléctrica 108, una capa metálica de adhesión/barrera en una parte superior y las paredes laterales de la capa de cobre electrochapado, y una capa germinal entre la capa de cobre electrochapado y la capa metálica de adhesión/barrera y sobre la parte superior y las paredes laterales de la capa de cobre electrochapado. La capa metálica de adhesión/barrera tiene una primera parte entre la parte superior de la capa de cobre electrochapado y la capa dieléctrica 100 y una segunda parte en las paredes laterales de la capa de cobre electrochapado. La capa de cobre electrochapado puede tener un grosor, por ejemplo, más pequeño que 2 micrómetros, tal como de entre 0,15 y 1 micrómetros o de entre 10 nanómetros y 2 micrómetros. La capa de cobre electrochapado puede tener un ancho, por ejemplo, más pequeño que 1 micrómetro, tal como de entre 0,05 y 1 micrómetros. La capa germinal puede incluir o puede ser una capa de cobre o una aleación de titanio-cobre formada por un procedimiento adecuado, tal como procedimiento de pulverización catódica. La capa metálica de adhesión/barrera puede incluir o puede ser una capa de titanio, nitruro de titanio, una aleación de titanio-volframio, cromo, tántalo o nitruro de tántalo formada por un procedimiento adecuado, tal como procedimiento de pulverización catódica. La capa metálica de adhesión/barrera puede tener un grosor, por ejemplo, más pequeño que 0,1 micrómetros, tal como de entre 0,005 y 0,1 micrómetros. Las paredes laterales de la capa de cobre electrochapado se cubren por la capa metálica de adhesión/barrera y la capa germinal.

[0110] La capa metálica estampada 114 en la capa dieléctrica 82 se puede conectar a la capa de interconexión 106 en la capa dieléctrica 104 a través de los tapones de vía 114a en la capa dieléctrica 108. La capa de interconexión 106 en la capa dieléctrica 104 se puede conectar a los dispositivos semiconductores 102 a través de los tapones de vía 106a en la capa dieléctrica 100. Los tapones de vía 114a pueden incluir cobre electrochapado, volframio o nanotubos de carbono en la capa dieléctrica 108. Los tapones de vía 106a pueden incluir cobre electrochapado, volframio o nanotubos de carbono en la capa dieléctrica 100.

[0111] Cada uno de los chips 72 puede incluir múltiples conectores o pistas metálicas 55a, 55b y 55c proporcionados por la capa de interconexión 106, la capa metálica estampada 114 y los tapones de vía 106a y 114a. Cada uno de los conectores o pistas metálicas 55a, 55b y 55c se puede conectar a uno o más de los dispositivos semiconductores 102 y puede ser una pista de señal, una línea de bits, un bus de reloj, un plano de potencia, un bus de potencia, una pista de potencia, un plano de tierra, un bus de tierra o una pista de tierra.

[0112] De forma alternativa, cada uno de los chips 72 puede incluir además una capa metálica estampada (no mostrada), que tiene un grosor mayor que el de la capa metálica estampada 114 y mayor que el de la capa de interconexión 106, entre la capa de pegamento 116 y la capa de pasivación 74. La capa metálica estampada debajo de la capa de pasivación 74 puede incluir una capa metálica electrochapada debajo de la capa de pasivación 74, una capa metálica de adhesión/barrera entre la capa metálica electrochapada y la capa de pasivación 74, y una capa germinal entre la capa metálica electrochapada y la capa metálica de adhesión/barrera. En la vista desde el lado de la capa de pasivación 74 hasta el lado de la capa de pegamento 116, la capa metálica de adhesión/barrera puede

estar sobre la capa germinal, y la capa germinal puede estar sobre la capa metálica electrochapada. Las paredes laterales de la capa metálica electrochapada no están cubiertas por la capa metálica de adhesión/barrera y la capa germinal. La capa metálica de adhesión/barrera puede incluir o puede ser una capa de titanio, una aleación de titanio-volframio, nitruro de titanio, cromo, tántalo, nitruro de tántalo o níquel con un grosor, por ejemplo, más pequeño que 0,6 micrómetros, tal como de entre 1 nanómetro y 0,5 micrómetros o de entre 0,005 y 0,1 micrómetros. La capa germinal puede incluir o puede ser una capa de cobre, una aleación de titanio-cobre, plata, oro o níquel con un grosor, por ejemplo, más pequeño que 0,8 micrómetros, tal como de entre 5 nanómetros y 0,1 micrómetros o de entre 10 nanómetros y 0,8 micrómetros. Cada una de la capa metálica de adhesión/barrera y la capa germinal se pueden formar por un procedimiento adecuado, tal como procedimiento de pulverización catódica. La capa metálica electrochapada puede incluir o puede ser una capa de cobre electrochapado, plata electrochapada u oro electrochapado con un grosor, por ejemplo, mayor de 2 micrómetros, tal como de entre 2 y 30 micrómetros, y preferentemente de entre 3 y 10 micrómetros o de entre 5 y 25 micrómetros.

[0113] De forma alternativa, cuando la capa de óxido de silicio del sustrato inactivo 165 permanece sobre la capa de óxido de silicio 116, después de formar las aberturas 165a, y está expuesta por las aberturas 165a en el sustrato inactivo 165, el montaje de los chips 72 encima de la capa aislante o dieléctrica 66 y en las aberturas 165a se pueden realizar, por ejemplo, uniando otra capa de óxido de silicio de la capa de pasivación 74, en el lado activo de cada chip 72, con la capa de óxido de silicio restante del sustrato inactivo 165 debajo de la capa de pasivación 74. La capa de óxido de silicio de la capa de pasivación 74 se pone en contacto con la capa de óxido de silicio del sustrato inactivo 165. En consecuencia, los chips 72 se pueden juntar con la capa aislante o dieléctrica 66 usando estas capas de óxido de silicio.

[0114] De forma alternativa, otra técnica para formar la estructura ilustrada en las figs. 33 y 34 se realiza proporcionando en primer lugar un sustrato inactivo estampado 165, tal como una oblea inactiva estampada, un panel estampado, un armazón de silicio estampado o un sustrato estampado de polisilicio, vidrio, silicio, cerámica o polímero, con múltiples aberturas 165a que pasan a través del sustrato inactivo estampado 165, juntando seguidamente el sustrato inactivo estampado 165 con la capa aislante o dieléctrica 66 usando la capa 116, lo que puede hacer referencia a las etapas ilustradas en la fig. 28, y a continuación montando los chips 72 encima de la capa aislante o dieléctrica 66 y en las aberturas 165a en el sustrato inactivo estampado 165, lo que puede hacer referencia a las etapas ilustradas en la fig. 33.

[0115] Como se muestra en las figs. 33 y 34, hay múltiples huecos 4a cada uno entre el sustrato inactivo 165 y uno de los chips 72, y hay múltiples huecos 8a (se muestra uno de ellos) cada uno entre dos chips adyacentes 72. Cada uno de los huecos 4a puede tener una distancia transversal o espaciado D4, por ejemplo, de entre 1 y 200 micrómetros, de entre 1 y 50 micrómetros o de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros. Cada uno de los huecos 8a puede tener una distancia transversal o espaciado D5, por ejemplo, de entre 1 y 200 micrómetros, de entre 1 y 50 micrómetros o de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros.

[0116] La fig. 35 muestra otra técnica para formar la estructura con la misma vista en sección transversal como se muestra en la fig. 33. La fig. 33 es una vista en sección transversal cortada a lo largo de la línea G-G mostrada en una vista superior esquemática de la fig. 35. La estructura mostrada en las figs. 33 y 35 se puede formar, por ejemplo, por las siguientes etapas. En primer lugar, se puede formar la capa de pegamento 116 descrita previamente sobre la capa aislante o dieléctrica 66 mostrada en la fig. 27 usando, por ejemplo, un procedimiento de recubrimiento por rotación, un procedimiento de laminación, un procedimiento de pulverización, un procedimiento de distribución o un procedimiento de serigrafía. Seguidamente, la capa de pegamento 116 se puede precurar u hornear opcionalmente. Seguidamente, los chips 72 descritos previamente y múltiples sustratos inactivos separados 165 se pueden colocar sobre la capa de pegamento 116. Cuando un hueco entre dos chips adyacentes 72 es demasiado grande, tal como mayor a 500 o 1000 micrómetros, uno o más de los sustratos inactivos separados 165 se pueden colocar en el hueco. De forma alternativa, cuando un hueco entre dos chips adyacentes 72 es lo suficientemente pequeño, tal como más pequeño que 500 o 1000 micrómetros, no puede haber sustratos inactivos separados 165 colocados en el hueco. Seguidamente, la capa de pegamento 116 se puede curar de nuevo a una temperatura de entre 180 grados centígrados y 350 grados centígrados con una presión mecánica o térmica sobre la capa de pegamento 116. En consecuencia, los sustratos inactivos separados 165 y los chips 72 se pueden juntar con la capa aislante o dieléctrica 66 usando la capa de pegamento 116. Los sustratos inactivos separados 165, por ejemplo, pueden ser barras de silicio separadas, chips inactivos separados, pastillas de silicio inactivas separadas o sustratos separados de polisilicio, vidrio, silicio o cerámica.

[0117] De forma alternativa, en referencia a las figs. 33 y 35, se puede reemplazar la capa de pegamento 116 con una capa de óxido de silicio que se forma sobre la capa aislante o dieléctrica 66. En este caso, juntar los chips 72 con la capa 66 y juntar los sustratos inactivos separados 165 con la capa 66 se puede realizar, por ejemplo, uniando otra capa de óxido de silicio de la capa de pasivación 74, en el lado activo de cada chip 72, con la capa de óxido de silicio 116 y uniando otra capa de óxido de silicio de cada uno de los sustratos inactivos separados 165 con la capa de óxido de silicio 116. La capa de óxido de silicio de la capa de pasivación 74 de cada chip 72 se pone en contacto con la capa de óxido de silicio 116, y la capa de óxido de silicio de cada uno de los sustratos inactivos separados 165 se pone en contacto con la capa de óxido de silicio 116. En consecuencia, los chips 72 y los sustratos inactivos separados 165 se pueden juntar con la capa aislante o dieléctrica 66 usando estas capas de óxido de silicio.

[0118] Como se muestra en las figs. 33 y 35, hay múltiples huecos 4a cada uno entre uno de los chips 72 y uno de los sustratos inactivos separados 165, y hay múltiples huecos 8a (se muestra uno de ellos) cada uno entre dos chips adyacentes 72. Cada uno de los huecos 4a puede tener una distancia transversal o espaciado D4, por ejemplo, de entre 1 y 200 micrómetros, de entre 1 y 50 micrómetros o de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros. Cada uno de los huecos 8a puede tener una distancia transversal o espaciado D5, por ejemplo, más pequeño que 500 micrómetros, tal como de entre 1 y 200 micrómetros, de entre 1 y 50 micrómetros o de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros. En un modo de realización, no hay circuitos preformados en cada sustrato inactivo separado 165 o sobre una superficie superior o inferior de cada sustrato inactivo separado 165 antes de que los sustratos inactivos separados 165 se junten con la capa aislante o dieléctrica 66.

[0119] En referencia a la fig. 36, después de las etapas ilustradas en las figs. 33 y 34 o en las figs. 33 y 35, se puede formar un material de encapsulación/relleno de huecos 98, tal como polisilicio, óxido de silicio o un polímero, sobre un lado posterior del sustrato semiconductor 96 de cada chip 72, sobre el/los sustrato(s) inactivo(s) 165, y en los huecos 4a y 8a. Si el material de encapsulación/relleno de huecos 98 es polisilicio, el polisilicio se puede formar por un procedimiento de depósito químico de vapor (CVD) o un procedimiento de depósito químico de vapor potenciado por plasma (PECVD). Si el material de encapsulación/relleno de huecos 98 es óxido de silicio, el óxido de silicio se puede formar por un procedimiento de depósito químico de vapor (CVD), un procedimiento de depósito químico de vapor potenciado por plasma (PECVD) o un procedimiento de depósito químico de vapor a presión atmosférica (APCVD). Si el material de encapsulación/relleno de huecos 98 es un polímero, tal como poliimida, epoxi, benzociclobutano (BCB), polibenzoxazol (PBO) o poli(óxido de fenileno) (PPO), el polímero se puede formar por un procedimiento que incluye un procedimiento de recubrimiento por rotación, un procedimiento de distribución, un procedimiento de moldeo o un procedimiento de serigrafía.

[0120] Seguidamente, en referencia a la fig. 37, el material de encapsulación/relleno de huecos 98, el lado posterior del sustrato semiconductor 96 de cada chip 72, y el/los sustrato(s) inactivo(s) 165 se rectifican o pulen, por ejemplo, por un procedimiento de pulido químico-mecánico (CMP), un procedimiento de pulido mecánico, un procedimiento de rectificado mecánico o un procedimiento que incluye pulido mecánico y grabado químico hasta que el sustrato semiconductor 96 de uno de los chips 72 se estrecha a un grosor T8, por ejemplo, de entre 1 y 100 micrómetros, de entre 1 y 50 micrómetros, de entre 1 y 30 micrómetros, de entre 1 y 10 micrómetros o de entre 1 y 5 micrómetros, y preferentemente de entre 2 y 20 micrómetros o de entre 3 y 30 micrómetros. Preferentemente, cada uno de los chips 72, después del procedimiento de rectificado o pulido, puede tener un grosor, por ejemplo, de entre 3 y 105 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros. Después del procedimiento de rectificado o pulido, el/los sustrato(s) inactivo(s) 165 se puede(n) estrechar a un grosor T9, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros, y el material de encapsulación/relleno de huecos 98 restante en los huecos 4a y 8a puede tener un grosor vertical T10, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros. La superficie rectificada o pulida 96s del sustrato semiconductor 96, en el lado posterior de cada chip 72, y la(s) superficie(s) rectificada(s) o pulida(s) 165s del/de los sustrato(s) inactivo(s) 165 pueden ser sustancialmente planas y no estar cubiertas por el material de encapsulación/relleno de huecos 98. La(s) superficie(s) rectificada(s) o pulida(s) 165s puede(n) ser sustancialmente coplanaria(s) con la superficie rectificada o pulida 96s de cada chip 72 y con la superficie rectificada o pulida 98s del material de encapsulación/relleno de huecos 98 en los huecos 4a y 8a.

[0121] De forma alternativa, las figs. 38 y 39 muestran otra técnica para formar la estructura ilustrada en la fig. 37. En referencia a la fig. 38, después de las etapas ilustradas en las figs. 33 y 34 o en las figs. 33 y 35, se puede formar un material de encapsulación/relleno de huecos 98, tal como polisilicio u óxido de silicio, sobre el lado posterior del sustrato semiconductor 96 de cada chip 72, sobre el/los sustrato(s) inactivo(s) 165 y en los huecos 4a y 8a, y a continuación se puede formar un polímero 99, tal como compuesto de moldeo, poliimida, epoxi, benzociclobutano (BCB), polibenzoxazol (PBO) o poli(óxido de fenileno) (PPO), sobre el material de encapsulación/relleno de huecos 98 y en los huecos 4a y 8a. El material de encapsulación/relleno de huecos 98 en los huecos 4a y 8a puede tener un grosor vertical T11, por ejemplo, de entre 10 y 100 micrómetros, y preferentemente de entre 10 y 50 micrómetros o de entre 20 y 50 micrómetros.

[0122] Seguidamente, en referencia a la fig. 39, se puede realizar un procedimiento de rectificado mecánico, por ejemplo, usando una almohadilla abrasiva o rectificadora con agua para rectificar el polímero 99, el material de encapsulación/relleno de huecos 98, el lado posterior del sustrato semiconductor 96 de cada chip 72 y el/los sustrato(s) inactivo(s) 165 hasta que se elimina todo el polímero 99 y hasta que se alcanza un grosor vertical predeterminado T12 del material de encapsulación/relleno de huecos 98 en los huecos 4a y 8a. El grosor vertical predeterminado T12 puede ser, por ejemplo, de entre 10 y 100 micrómetros, y preferentemente de entre 10 y 50 micrómetros o de entre 20 y 50 micrómetros. La almohadilla abrasiva o rectificadora puede estar provista de un grano áspero que tiene un tamaño de grano promedio, por ejemplo, de entre 0,5 y 15 micrómetros para realizar el procedimiento de rectificado mecánico. Después de esto, se puede realizar un procedimiento de pulido químico-mecánico (CMP), por ejemplo, usando una almohadilla de pulido con una suspensión que contiene sustancias químicas y un abrasivo fino como sílice con un tamaño de grano promedio, por ejemplo, de entre 0,02 y 0,05 micrómetros para pulir el/los sustrato(s) inactivo(s) 165, el lado posterior del sustrato semiconductor 96 de cada chip 72 y el material de encapsulación/relleno de huecos 98 en los huecos 4a y 8a hasta que el sustrato semiconductor 96

de uno de los chips 72 se estrecha al grosor T8 de entre 1 y 30 micrómetros, y preferentemente de entre 2 y 5 micrómetros, de entre 2 y 10 micrómetros, de entre 2 y 20 micrómetros o de entre 3 y 30 micrómetros, como se muestra en la fig. 37.

[0123] Después del procedimiento de pulido químico-mecánico (CMP), la superficie pulida 96s del sustrato semiconductor 96, en el lado posterior de cada chip 72, y la(s) superficie(s) pulida(s) 165s del/de los sustrato(s) inactivo(s) 165 pueden ser sustancialmente planas y no estar cubiertas por el material de encapsulación/relleno de huecos 98. La(s) superficie(s) pulida(s) 165s puede(n) ser sustancialmente coplanaria(s) con la superficie pulida 96s de cada chip 72 y con la superficie pulida 98s del material de encapsulación/relleno de huecos 98 en los huecos 4a y 8a. Las superficies pulidas 96s, 165s y 98s pueden tener una microrrugosidad, por ejemplo, de menos de 20 nanómetros. El procedimiento de pulido químico-mecánico (CMP), que usa un abrasivo muy fino como la sílice y un ataque químico relativamente débil, creará las superficies 96s, 165s y 98s casi sin deformación ni arañazos, y esto significa que el procedimiento de pulido químico-mecánico (CMP) es muy adecuado para la etapa final de pulido, creando las superficies limpias 96s, 165s y 98s. El uso del procedimiento de rectificado mecánico y el procedimiento de pulido químico-mecánico (CMP) se puede realizar para crear un sustrato semiconductor muy delgado 96 de cada chip 72. En consecuencia, después del procedimiento de pulido químico-mecánico (CMP), cada uno de los chips 72 se puede estrechar a un grosor, por ejemplo, de entre 3 y 35 micrómetros, y preferentemente de entre 5 y 10 micrómetros o de entre 5 y 25 micrómetros, el/los sustrato(s) inactivo(s) 165 se puede(n) estrechar al grosor T9, por ejemplo, de entre 3 y 35 micrómetros, y preferentemente de entre 5 y 10 micrómetros o de entre 5 y 25 micrómetros, y el material de encapsulación/relleno de huecos 98 en los huecos 4a y 8a se puede estrechar al grosor T10, por ejemplo, de entre 3 y 35 micrómetros, y preferentemente de entre 5 y 10 micrómetros o de entre 5 y 25 micrómetros.

[0124] En referencia a la fig. 40, después de formar la estructura ilustrada en la fig. 37, se forma una capa dieléctrica 88 sobre las superficies 96s, 165s y 98s. La capa dieléctrica 88 puede tener un grosor, por ejemplo, de entre 0,5 y 30 micrómetros, y preferentemente de entre 1 y 20 micrómetros, de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 1 y 3 micrómetros.

[0125] La capa dieléctrica 88, por ejemplo, puede ser una capa inorgánica formada, por ejemplo, por un procedimiento de depósito químico de vapor (CVD) o un procedimiento de depósito químico de vapor potenciado por plasma (PECVD). La capa inorgánica puede ser, por ejemplo, una capa de óxido de silicio (tal como SiO_2), nitruro de silicio (tal como Si_3N_4), carbonitruro de silicio (tal como SiCN), oxinitruro de silicio (tal como SiON) u oxicarburo de silicio (tal como SiOC), o una capa que incluye óxido de silicio, nitruro de silicio, carbonitruro de silicio y oxinitruro de silicio. La capa inorgánica puede tener un grosor, por ejemplo, de entre 0,5 y 30 micrómetros, y preferentemente de entre 1 y 20 micrómetros, de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 1 y 3 micrómetros.

[0126] De forma alternativa, la capa dieléctrica 88 puede ser una capa de polímero, tal como una capa de poliimida, epoxi, benzociclobutano (BCB), polibenzoxazol (PBO) o poli(óxido de fenileno) (PPO), formada, por ejemplo, por un procedimiento que incluye un procedimiento de recubrimiento por rotación, un procedimiento de distribución, un procedimiento de moldeo o un procedimiento de serigrafía. La capa de polímero puede tener un grosor, por ejemplo, de entre 0,5 y 30 micrómetros, y preferentemente de entre 1 y 20 micrómetros, de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 1 y 3 micrómetros.

[0127] De forma alternativa, la capa dieléctrica 88 puede estar compuesta por múltiples capas inorgánicas, que incluyen una capa de detención de grabado, tal como la capa de detención de grabado de oxinitruro de silicio. La capa de detención de grabado se usará más tarde para detener el grabado cuando se graben estampados en el interior de la capa dieléctrica 88. En este caso, la capa dieléctrica 88, por ejemplo, puede estar compuesta por una primera capa de óxido de silicio sobre las superficies 96s, 165s y 98s, una capa de oxinitruro de silicio, usada como capa de detención de grabado, sobre la primera capa de óxido de silicio, y una segunda capa de óxido de silicio que tiene un grosor, por ejemplo, de entre 0,1 y 5 micrómetros o de entre 0,3 y 1,5 micrómetros sobre la capa de oxinitruro de silicio.

[0128] Seguidamente, en referencia a la fig. 41, múltiples vías pasantes 164v, incluyendo las vías pasantes 164a, 164b, 164c, 164d y 164e, se forman en los chips 72 y en el/los sustrato(s) inactivo(s) 165, exponiendo la capa de conducción 56 de los conectores metálicos 1 y exponiendo las capas 114 y 106 de los chips 72, por las siguientes etapas. En primer lugar, se forma una capa fotorresistente, tal como una capa resistente fotosensible de tipo positivo o una capa resistente fotosensible de tipo negativo, sobre la capa dieléctrica 88 usando un procedimiento adecuado, tal como procedimiento de recubrimiento por rotación o procedimiento de laminación. Seguidamente, se puede emplear un procedimiento de fotoexposición usando un paso a paso IX y un procedimiento de revelado usando una solución química para formar múltiples aberturas, exponiendo la capa dieléctrica 88, en la capa fotorresistente. La capa fotorresistente puede tener un grosor, por ejemplo, de entre 3 y 50 micrómetros. Seguidamente, se elimina la capa dieléctrica 88 debajo de las aberturas en la capa fotorresistente usando un procedimiento adecuado, tal como procedimiento de grabado por plasma anisotrópico. Seguidamente, se decapan el/los sustrato(s) inactivo(s) 165 debajo de las aberturas en la capa fotorresistente y los chips 72 debajo de las aberturas en la capa fotorresistente hasta que se exponen las regiones predeterminadas de las capas 106 y 114 en los chips 72 y las regiones predeterminadas de la capa de conducción 56 de los conectores metálicos 1 por las aberturas en la capa fotorresistente. Seguidamente, se elimina la capa fotorresistente usando, por ejemplo, una sustancia química orgánica.

En consecuencia, las vías pasantes 164v, incluyendo las vías 164a-164e, se forman en los chips 72 y en el/los sustrato(s) inactivo(s) 165, exponiendo las regiones predeterminadas de la capa de conducción 56 de los conectores metálicos 1 y exponiendo las regiones predeterminadas de las capas 114 y 106 de los chips 72. La vía pasante 164a se forma en el sustrato inactivo 165, las vías pasantes 164b y 164c se forman en uno de los chips 72, y las vías pasantes 164d y 164e se forman en otro de los chips 72.

[0129] De forma alternativa, se puede realizar otra técnica para formar las vías pasantes 164v en los chips 72 y en el/los sustrato(s) inactivo(s) 165 por las siguientes etapas. En primer lugar, se puede formar una capa fotorresistente, tal como una capa resistente fotosensible de tipo positivo o una capa resistente fotosensible de tipo negativo, sobre la capa dieléctrica 88 usando, por ejemplo, un procedimiento de recubrimiento por rotación o un procedimiento de laminación. Seguidamente, se puede emplear un procedimiento de fotoexposición usando un paso a paso 1X y un procedimiento de revelado usando una solución química para formar múltiples aberturas, exponiendo la capa dieléctrica 88, en la capa fotorresistente. Seguidamente, se forman múltiples aberturas en la capa dieléctrica 88 y debajo de las aberturas en la capa fotorresistente, exponiendo el/los sustrato(s) inactivo(s) 165 y los sustratos semiconductores 96 de los chips 72, al eliminar la capa dieléctrica 88 debajo de las aberturas en la capa fotorresistente usando, por ejemplo, un procedimiento de grabado por plasma anisotrópico. Seguidamente, se elimina la capa fotorresistente usando, por ejemplo, una sustancia química orgánica. Seguidamente, se pueden decapar el/los sustrato(s) inactivo(s) 165 debajo de las aberturas en la capa dieléctrica 88 y los chips 72 debajo de las aberturas en la capa dieléctrica 88 hasta que se exponen las regiones predeterminadas de las capas 114 y 106 en los chips 72 y las regiones predeterminadas de la capa de conducción 56 de los conectores metálicos 1 por las aberturas en la capa dieléctrica 88. En consecuencia, se pueden formar las vías pasantes 164v, incluyendo las vías pasantes 164a, 164b, 164c, 164d y 164e, en los chips 72 y en el/los sustrato(s) inactivo(s) 165, exponiendo la capa de conducción 56 de los conectores metálicos 1 y exponiendo las capas 114 y 106 de los chips 72. La vía pasante 164a se forma en el sustrato inactivo 165, las vías pasantes 164b y 164c se forman en uno de los chips 72, y las vías pasantes 164d y 164e se forman en otro de los chips 72. Cada una de las vías pasantes 164v, tales como la vía pasante 164a, 164b, 164c, 164d o 164e, puede tener un ancho o un diámetro, por ejemplo, de entre 0,5 y 100 micrómetros, de entre 0,5 y 50 micrómetros, de entre 0,5 y 30 micrómetros, de entre 0,5 y 20 micrómetros, de entre 0,5 y 10 micrómetros o de entre 0,5 y 5 micrómetros, y preferentemente de entre 1 y 3 micrómetros.

[0130] Una de las vías pasantes 164v, tal como la vía pasante 164a, pasa a través de la capa dieléctrica 88, el sustrato inactivo 165, la capa 116 y la capa aislante o dieléctrica 66, exponiendo la capa de conducción 56 de uno de los conectores metálicos 1. Otra de las vías pasantes 164v, tal como la vía pasante 164b, pasa a través de la capa dieléctrica 88, a través del sustrato semiconductor 96, las capas dieléctricas 82, 108, 104 y 100, y la capa de pasivación 74 de uno de los chips 72, a través de la capa 116, y a través de la capa aislante o dieléctrica 66, exponiendo la capa de conducción 56 de uno de los conectores metálicos 1. Otra de las vías pasantes 164v, tal como la vía pasante 164c, pasa a través de la capa dieléctrica 88 y a través del sustrato semiconductor 96 y la capa dieléctrica 100 de uno de los chips 72, exponiendo el conector o pista metálica 55c en la capa de interconexión 106 del uno de los chips 72. Otra de las vías pasantes 164v, tal como la vía pasante 164d, pasa a través de la capa dieléctrica 88 y a través del sustrato semiconductor 96 y las capas dieléctricas 100, 104 y 108 de uno de los chips 72, exponiendo el conector o pista metálica 55b en la capa metálica estampada 114 del uno de los chips 72. Otra de las vías pasantes 164v, tal como la vía pasante 164e, pasa a través de la capa dieléctrica 88, a través del sustrato semiconductor 96, las capas dieléctricas 82, 108, 104 y 100, y la capa de pasivación 74 de uno de los chips 72, a través de la capa 116, y a través de la capa aislante o dieléctrica 66, exponiendo el conector o pista metálica 55a en la capa de interconexión 106 del uno de los chips 72 y exponiendo la capa de conducción 56 de uno de los conectores metálicos 1. Un soporte 802 proporcionado por las capas 66, 116, 74, 82 y 108 está entre la capa de conducción 56 del conector metálico 1b y el conector o pista metálica 55a en la capa de interconexión 106 expuesto por la vía pasante 164e con el propósito de soportar el conector o pista metálica 55a expuesto. El soporte 802 puede tener una altura, por ejemplo, de entre 0,5 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros, y un ancho, por ejemplo, de entre 0,3 y 30 micrómetros, y preferentemente de entre 0,3 y 10 micrómetros, 0,3 y 5 micrómetros, o de entre 0,3 y 1 micrómetros. Las figs. 42-44 son tres ejemplos de vistas en perspectiva superior esquemáticas que muestran la vía pasante 164e y el conector o pista metálica 55a ilustrado en la fig. 41.

[0131] Como se muestra en las figs. 41 y 42, la vía pasante 164e en uno de los chips 72 expone el conector o pista metálica 55a en el uno de los chips 72 y expone dos regiones de la capa de conducción 56 del conector metálico 1b que está debajo del uno de los chips 72. El conector o pista metálica 55a tiene una región de conformación lineal, expuesto por la vía pasante 164e, que se extiende en una dirección horizontal desde un lado de la vía pasante 164e hasta el lado opuesto de la vía pasante 164e a través de un centro de la vía pasante 164e. El soporte 802 descrito previamente, entre la capa de conducción 56 del conector metálico 1b y la región de conformación lineal expuesta del conector o pista metálica 55a en la capa de interconexión 106, puede tener conformación lineal, como la región de conformación lineal expuesta del conector o pista metálica 55a. Preferentemente, la vía pasante 164e puede tener, pero no se limita a, una conformación circular desde una vista en perspectiva superior.

[0132] Como se muestra en las figs. 41 y 43, la vía pasante 164e en uno de los chips 72 expone el conector o pista metálica 55a en el uno de los chips 72 y expone una región de la capa de conducción 56 del conector metálico 1b que está debajo del uno de los chips 72. El conector o pista metálica 55a tiene una región peninsular, expuesto por la vía pasante 164e, que se extiende en una dirección horizontal desde un lado de la vía pasante 164e al menos hasta el

centro de la vía pasante 164e, pero no llega al lado opuesto de la vía pasante 164e; el conector o pista metálica 55a tiene un extremo expuesto por la vía pasante 164e. El soporte 802 descrito previamente, entre la capa de conducción 56 del conector metálico 1b y la región peninsular expuesta del conector o pista metálica 55a en la capa de interconexión 106, puede tener conformación de península, como la región peninsular expuesta del conector o pista metálica 55a. Preferentemente, la vía pasante 164e puede tener, pero no se limita a, una conformación circular desde una vista en perspectiva superior.

[0133] Como se muestra en las figs. 41 y 44, la vía pasante 164e en uno de los chips 72 expone el conector o pista metálica 55a en el uno de los chips 72 y expone una región de la capa de conducción 56 del conector metálico 1b que está debajo del uno de los chips 72. El conector o pista metálica 55a tiene una región peninsular, expuesto por la vía pasante 164e, que se extiende en una dirección horizontal desde un lado de la vía 164e al menos hasta el centro de la vía pasante 164e, pero no llega al lado opuesto de la vía pasante 164e; el conector o pista metálica 55a tiene un extremo circular expuesto por la vía pasante 164e. El soporte 802 descrito previamente, entre la capa de conducción 56 del conector metálico 1b y la región peninsular expuesta del conector o pista metálica 55a en la capa de interconexión 106, puede tener conformación de península, como la región peninsular expuesta del conector o pista metálica 55a. Preferentemente, la vía pasante 164e puede tener, pero no se limita a, una conformación circular desde una vista en perspectiva superior.

[0134] La fig. 42A es un ejemplo de una vista en perspectiva superior esquemática que muestra la vía pasante 164e y el conector o pista metálica 55a ilustrado en la fig. 41. En este caso, la vía pasante 164e puede tener, pero no se limita a, conformación ovalada y tiene un ancho W3, por ejemplo, de entre 1 y 30 micrómetros, y preferentemente de entre 1 y 20 micrómetros, de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 3 y 10 micrómetros. La vía pasante 164e de conformación ovalada en uno de los chips 72 expone el conector o pista metálica 55a en el uno de los chips 72 y expone dos regiones de la capa de conducción 56 del conector metálico 1b que está debajo del uno de los chips 72. El conector o pista metálica 55a tiene una región de conformación lineal, expuesto por la vía pasante de conformación ovalada 164e, que se extiende en una dirección horizontal desde un lado de la vía pasante de conformación ovalada 164e hasta el lado opuesto de la vía pasante de conformación ovalada 164e a través del centro de la vía pasante de conformación ovalada 164e. El soporte 802 descrito previamente, entre la capa de conducción 56 del conector metálico 1b y la región de conformación lineal expuesta del conector o pista metálica 55a en la capa de interconexión 106, puede tener conformación lineal, como la región de conformación lineal expuesta del conector o pista metálica 55a. El conector o pista metálica 55a expuesto por la vía pasante de conformación ovalada 164e tiene un ancho W4, por ejemplo, de entre 0,3 y 30 micrómetros, y preferentemente de entre 0,3 y 20 micrómetros, de entre 0,3 y 10 micrómetros, de entre 0,3 y 5 micrómetros o de entre 0,3 y 1 micrómetros. Una distancia horizontal S2 entre el final del eje largo de la vía pasante de conformación ovalada 164e y un borde, que está más cercano al final que el otro borde opuesto, del conector o pista metálica 55a expuesto por la vía pasante de conformación ovalada 164e puede ser, por ejemplo, de entre 1 y 30 micrómetros, y preferentemente de entre 1 y 20 micrómetros, de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 3 y 10 micrómetros.

[0135] Seguidamente, en referencia a la fig. 45, se forma una capa dieléctrica 90 sobre una superficie superior de la capa dieléctrica 88, sobre la capa de conducción 56, expuesta por las vías pasantes 164v (tales como las vías pasantes 164a, 164b y 164e), de los conectores metálicos 1, sobre las capas 106 y 114, expuestas por las vías pasantes 164v (tales como las vías pasantes 164c, 164d y 164e), de los chips 72, y sobre las paredes laterales de las vías pasantes 164v.

[0136] La capa dieléctrica 90 puede estar compuesta por un material aislante. Por ejemplo, la capa dieléctrica 90 puede ser una capa inorgánica que tiene un grosor, por ejemplo, de entre 20 nanómetros y 1 micrómetro, y la capa inorgánica puede ser una capa de óxido de silicio (tal como SiO_2), nitruro de silicio (tal como Si_3N_4), carbonitruro de silicio (tal como SiCN), oxinitruro de silicio (tal como SiON) u oxycarburo de silicio (tal como SiOC). De forma alternativa, la capa dieléctrica 90 puede ser una capa de polímero que tiene un grosor, por ejemplo, de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros, y la capa de polímero puede ser una capa de poliimida, benzociclobuteno (BCB), epoxi, poli(óxido de fenileno) (PPO) o polibenzoxazol (PBO).

[0137] Seguidamente, en referencia a la fig. 46, se puede formar una capa fotorresistente 162, tal como una capa resistente fotosensible de tipo positivo o una capa resistente fotosensible de tipo negativo, sobre la capa dieléctrica 90 usando, por ejemplo, un procedimiento de recubrimiento por rotación o un procedimiento de laminación. Seguidamente, se puede emplear un procedimiento de fotoexposición usando un paso a paso 1X y un procedimiento de revelado usando una sustancia química húmeda para formar múltiples aberturas 162a, exponiendo la capa dieléctrica 90, en la capa fotorresistente 162. La capa fotorresistente 162 puede tener un grosor, por ejemplo, de entre 0,5 y 30 micrómetros.

[0138] Seguidamente, en referencia a la fig. 47, se puede eliminar la capa dieléctrica 90 formada sobre las capas 56, 106 y 114 y sobre la superficie superior de la capa dieléctrica 88 debajo de las aberturas 162a, por ejemplo, al grabar la capa dieléctrica 90 debajo de las aberturas 162a usando un procedimiento de grabado por plasma anisotrópico. Se puede decapar la capa dieléctrica 90 en las partes inferiores de las vías pasantes 164v, sobre la superficie superior de la capa dieléctrica 88 debajo de las aberturas 162a, y sobre una superficie superior del conector o pista metálica 55a encima del soporte 802. En consecuencia, las capas 56, 106 y 114 en las partes inferiores de las vías pasantes

164v, la superficie superior de la capa dieléctrica 88 debajo de las aberturas 162a y el conector o pista metálica 55a encima del soporte 802 están expuestos por las aberturas 162a, y la capa dieléctrica 90 permanece sobre las paredes laterales de las vías pasantes 164v, denominadas capas dieléctricas de pared lateral en las vías pasantes 164v. Las capas dieléctricas de pared lateral 90 se forman sobre las paredes laterales de las vías pasantes 164v en los chips 72 o en el/los sustrato(s) inactivo(s) 165 y están rodeadas por los sustratos semiconductores 96 de los chips 72 o por el/los sustrato(s) inactivo(s) 165.

[0139] Seguidamente, en referencia a la fig. 48, se pueden formar múltiples zanjas 88t, aberturas damasquinadas en la capa dieléctrica 88 al grabar la capa dieléctrica 88 y las capas dieléctricas de pared lateral 90 debajo de las aberturas 162a a una profundidad D6, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,5 y 3 micrómetros, usando, por ejemplo, un procedimiento de grabado por plasma anisotrópico. Preferentemente, la capa dieléctrica 88 y las capas dieléctricas de pared lateral 90 tienen un mismo material, tal como nitruro de silicio, óxido de silicio u oxinitruro de silicio. Después del procedimiento de grabado, la capa dieléctrica 88 debajo de las zanjas 88t tiene un grosor restante T13, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 5 micrómetros, de entre 0,5 y 2 micrómetros, de entre 0,1 y 3 micrómetros o de entre 0,2 y 1,5 micrómetros.

[0140] De forma alternativa, se puede aplicar una técnica de detención de grabado al procedimiento de formación de las zanjas 88t en la capa dieléctrica 88. En este caso, la capa dieléctrica 88 está compuesta por las capas inorgánicas descritas previamente, por ejemplo, que incluyen la primera capa de óxido de silicio sobre las superficies 96s, 165s y 98s, la capa de oxinitruro de silicio, usada como capa de detención de grabado, sobre la primera capa de óxido de silicio, y la segunda capa de óxido de silicio sobre la capa de oxinitruro de silicio. Se pueden formar las zanjas 88t en la capa dieléctrica 88 al grabar la segunda capa de óxido de silicio de la capa dieléctrica 88 debajo de las aberturas 162a y las capas dieléctricas de pared lateral 90 debajo de las aberturas 162a hasta que se expone la capa de oxinitruro de silicio de la capa dieléctrica 88 por las aberturas 162a. En consecuencia, se forman las zanjas 88t en la segunda capa de óxido de silicio de la capa dieléctrica 88, y la capa dieléctrica 88 restante, compuesta por la capa de oxinitruro de silicio y la primera capa de óxido de silicio, debajo de las zanjas 88t tiene un grosor T13, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 5 micrómetros, de entre 0,5 y 2 micrómetros, de entre 0,1 y 3 micrómetros o de entre 0,2 y 1,5 micrómetros.

[0141] Seguidamente, en referencia a la fig. 49, se elimina la capa fotorresistente 162 usando, por ejemplo, una sustancia química orgánica. Las zanjas 88t formadas en la capa dieléctrica 88 se usan para proporcionar huecos que tienen conectores entre chips y conectores intrachip formados en los mismos. Las capas dieléctricas de pared lateral 90 formadas sobre las paredes laterales de las vías pasantes 164v (tales como las vías pasantes 164b, 164c, 164d y 164e) en los chips 72 pueden evitar que metales de transición, tales como cobre, sodio o humedad penetren en el interior de dispositivos de CI de los chips 72. La fig. 50 es una vista en perspectiva superior esquemática que muestra las vías pasantes 164v, las zanjas 88t y las capas dieléctricas de pared lateral 90 mostrados en la fig. 49 de acuerdo con un modo de realización de la presente invención, y la fig. 49 es una vista en sección transversal cortada a lo largo de la línea H-H mostrada en la fig. 50.

[0142] Seguidamente, en referencia a la fig. 51, se puede formar una capa de adhesión/barrera 92 que tiene un grosor, por ejemplo, más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las capas 56, 106 y 114 expuestas por las vías pasantes 164v, sobre las paredes laterales y las partes inferiores de las zanjas 88t, sobre la capa dieléctrica 90, y sobre el conector o pista metálica 55a que está sobre el soporte 802. Se puede formar la capa de adhesión/barrera 92 por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD) o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se puede formar una capa germinal 94 que tiene un grosor, por ejemplo, más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa de adhesión/barrera 92 por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD) o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se puede formar una capa de conducción 86 que tiene un grosor, por ejemplo, de entre 0,5 y 20 micrómetros o de entre 0,5 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros, sobre la capa germinal 94 usando, por ejemplo, un procedimiento de electrochapado.

[0143] La capa de adhesión/barrera 92 puede incluir o puede ser una capa de titanio, una aleación de titanio-volframio, nitruro de titanio, cromo, tantalito, nitruro de tantalito, níquel, o níquel-vanadio que tiene un grosor, por ejemplo, más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros. La capa germinal 94 puede incluir o puede ser una capa de cobre, una aleación de titanio-cobre, níquel, oro o plata que tiene un grosor, por ejemplo, más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros. La capa de conducción 86 puede incluir o puede ser una capa metálica electrochapada de cobre, oro o plata que tiene un grosor, por ejemplo, de entre 0,5 y 20 micrómetros o de entre 0,5 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros.

[0144] Seguidamente, en referencia a la fig. 52, usando un procedimiento de rectificado o pulido, tal como procedimiento de pulido químico-mecánico (CMP), procedimiento de pulido mecánico, procedimiento de rectificado

mecánico, o un procedimiento que incluye pulido mecánico y grabado químico, se pueden eliminar las capas 92, 94 y 86 fuera de las zanjías 88t, y se puede eliminar la capa dieléctrica 90 sobre la superficie superior de la capa dieléctrica 88. En consecuencia, la capa dieléctrica 88 tiene una superficie superior expuesta 88s que puede ser sustancialmente coplanaria con la superficie rectificada o pulida 86s de la capa de conducción 86 en las zanjías 88t, y las superficies 86s y 88s pueden ser sustancialmente planas. La capa dieléctrica 88 tiene un grosor T14, entre la superficie superior expuesta 88s y la superficie 96s o 165s, por ejemplo, de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 3 micrómetros o de entre 2 y 5 micrómetros. La capa de adhesión/barrera 92 y la capa germinal 94 están en las paredes laterales y una parte inferior de la capa de conducción 86 en las zanjías 88t, y las paredes laterales y la parte inferior de la capa de conducción 86 en las zanjías 88t están cubiertas por la capa de adhesión/barrera 92 y la capa germinal 94.

[0145] En una primera alternativa, después de las etapas de eliminación de las capas 92, 94 y 86 fuera de las zanjías 88t y la eliminación de la capa dieléctrica 90 sobre la superficie superior de la capa dieléctrica 88, la capa de adhesión/barrera 92 puede ser una capa que contiene titanio, tal como una capa única de titanio, aleación de titanio-volframio o nitrato de titanio, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales y las partes inferiores de las zanjías 88t, sobre las capas 56, 106 y 114 en las partes inferiores de las vías pasantes 164v, sobre las capas dieléctricas de pared lateral 90 y sobre el conector o pista metálica 55a que está sobre el soporte 802. La capa germinal 94 puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene titanio. La capa de conducción 86 puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjías 88t, y en las vías pasantes 164v. La capa de cobre electrochapado en las zanjías 88t puede tener un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,5 y 3 micrómetros.

[0146] En una segunda alternativa, después de las etapas de eliminación de las capas 92, 94 y 86 fuera de las zanjías 88t y la eliminación de la capa dieléctrica 90 sobre la superficie superior de la capa dieléctrica 88, la capa de adhesión/barrera 92 puede ser una capa que contiene tantalio, tal como una capa única de tantalio o nitrato de tantalio, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales y las partes inferiores de las zanjías 88t, sobre las capas 56, 106 y 114 en las partes inferiores de las vías pasantes 164v, sobre las capas dieléctricas de pared lateral 90 y sobre el conector o pista metálica 55a que está sobre el soporte 802. La capa germinal 94 puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene tantalio. La capa de conducción 86 puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjías 88t, y en las vías pasantes 164v. La capa de cobre electrochapado en las zanjías 88t puede tener un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,5 y 3 micrómetros.

[0147] En una tercera alternativa, después de las etapas de eliminación de las capas 92, 94 y 86 fuera de las zanjías 88t y la eliminación de la capa dieléctrica 90 sobre la superficie superior de la capa dieléctrica 88, la capa de adhesión/barrera 92 puede ser una capa que contiene cromo, tal como una capa única de cromo, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales y las partes inferiores de las zanjías 88t, sobre las capas 56, 106 y 114 en las partes inferiores de las vías pasantes 164v, sobre las capas dieléctricas de pared lateral 90, y sobre el conector o pista metálica 55a que está sobre el soporte 802. La capa germinal 94 puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene cromo. La capa de conducción 86 puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjías 88t, y en las vías pasantes 164v. La capa de cobre electrochapado en las zanjías 88t puede tener un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,5 y 3 micrómetros.

[0148] Después de las etapas de eliminación de las capas 92, 94 y 86 fuera de las zanjías 88T y la eliminación de la capa dieléctrica 90 sobre la superficie superior de la capa dieléctrica 88, las capas 92, 94 y 86 en las zanjías 88T componen múltiples conectores metálicos (o pistas metálicas damasquinadas) 2, incluyendo los conectores metálicos 2a y 2b, en las zanjías 88t. Las capas 92, 94 y 86 en las vías pasantes 164v componen múltiples tapones metálicos (o vías metálicas) 6p en las vías pasantes 164v, incluyendo los tapones metálicos (o vías metálicas) 6a, 6b, 6c, 6d y 6e en las vías pasantes 164a, 164b, 164c, 164d y 164e como se muestra en la fig. 49, respectivamente. Cada uno de los tapones metálicos 6p en los chips 72 y en el/los sustrato(s) inactivo(s) 165 está rodeado por una de las capas dieléctricas de pared lateral 90 en las vías pasantes 164v. El tapón metálico 6a se forma en el sustrato inactivo 165, los tapones metálicos 6b y 6c se forman en uno de los chips 72, y los tapones metálicos 6d y 6e se forman en otro de los chips 72. Estos tapones metálicos 6p formados en los chips 72 y en el/los sustrato(s) inactivo(s) 165 pueden conectar los conectores metálicos 2 y los dispositivos semiconductores 102 en los chips 72 y conectar los conectores metálicos 1 y 2. El soporte 802 y el conector o pista metálica 55a, en la capa de interconexión 106, sobre el soporte 802 pueden estar entre dos partes, más bajas que un nivel horizontal, en el que se sitúa una superficie superior de la

capa de interconexión 106, del tapón metálico 6e. Los conectores metálicos 2, tales como 2a y 2b, en las zanjas 88t pueden tener un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 1 y 3 micrómetros.

[0149] Por ejemplo, uno de los tapones metálicos 6p, tal como el tapón metálico 6a, se puede formar en el sustrato inactivo 165 y formarse sobre un punto de contacto, en una parte inferior de una de las vías pasantes 164v (tal como la vía pasante 164a), de la capa de conducción 56 de uno de los conectores metálicos 1, tal como el conector metálico 1b. Otro de los tapones metálicos 6p, tal como el tapón metálico 6e, se puede formar en uno de los chips 72, formarse sobre un punto de contacto del conector o pista metálica 55a encima de un soporte (tal como el soporte 802) que está entre dos partes izquierda y derecha más bajas del otro de los tapones metálicos 6p (tal como el tapón metálico 6e), y formarse sobre otro punto de contacto, en una parte inferior de otra de las vías pasantes 164v (tal como la vía pasante 164e), de la capa de conducción 56 en el uno de los conectores metálicos 1, tal como el conector metálico 1b. Otro de los tapones metálicos 6p, tal como el tapón metálico 6d, se puede formar en el uno de los chips 72 y formarse sobre un punto de contacto, en una parte inferior de otra de las vías pasantes 164v (tal como la vía pasante 164d), del conector o pista metálica 55b en el uno de los chips 72. Otro de los tapones metálicos 6p, tal como el tapón metálico 6b, se puede formar en otro de los chips 72 y formarse sobre otro punto de contacto, en una parte inferior de otra de las vías pasantes 164v (tal como la vía pasante 164b), de la capa de conducción 56 en otro de los conectores metálicos 1, tal como el conector metálico 1a. Otro de los tapones metálicos 6p, tal como el tapón metálico 6c, se puede formar en el otro de los chips 72 y formarse sobre un punto de contacto, en una parte inferior de otra de las vías pasantes 164v (tal como la vía pasante 164c), del conector o pista metálica 55c en el otro de los chips 72.

[0150] El conector metálico 2a se puede formar encima del/de los sustrato(s) inactivo(s) 165, encima de los múltiples chips 72, y a través de múltiples bordes de los múltiples chips 72. El conector metálico 2a se puede conectar a un punto de contacto, en una parte inferior de la vía pasante 164b, del conector metálico 1a a través del tapón metálico 6b en uno de los chips 72, se puede conectar a un punto de contacto, en una parte inferior de la vía pasante 164c, del conector o pista metálica 55c en el uno de los chips 72 a través del tapón metálico 6c en el uno de los chips 72, y se puede conectar a un punto de contacto, en una parte inferior de la vía pasante 164d, del conector o pista metálica 55b en otro de los chips 72 a través del tapón metálico 6d en el otro de los chips 72. Estos puntos de contacto en las partes inferiores de las vías pasantes 164b, 164c y 164d se pueden conectar entre sí a través del conector metálico 2a.

[0151] El conector metálico 2b se puede formar encima de los múltiples chips 72 para conectar los múltiples dispositivos semiconductores 102 en los múltiples chips 72. El conector metálico 2b se puede conectar a un punto de contacto, en una parte inferior de la vía pasante 164e, del conector metálico 1b a través del tapón metálico 6e en uno de los chips 72, se puede conectar a uno o más de los dispositivos semiconductores 102 en el uno de los chips 72 a través del tapón metálico 6e y el conector o pista metálica 55a en el uno de los chips 72, y se puede conectar a un punto de contacto, en una parte inferior de otra de las vías pasantes 164v, del conector o pista metálica 55a, 55b o 55c en otro de los chips 72 a través de otro de los tapones metálicos 6p en el otro de los chips 72.

[0152] En consecuencia, uno de los dispositivos semiconductores 102 en uno de los chips 72 se puede conectar a otro de los dispositivos semiconductores 102 en el uno de los chips 72 o en otro de los chips 72 a través de uno de los conectores metálicos 2, tal como 2a o 2b, y se puede conectar a un punto de contacto, en una parte inferior de una de las vías pasantes 164v (tal como la vía pasante 164a, 164b o 164e), de la capa de conducción 56 de uno de los conectores metálicos 1, tal como 1a o 1b, a través del uno de los conectores metálicos 2. Cada uno de los conectores metálicos 2 puede ser una pista de señal, una línea de bits, un bus de reloj, un plano de potencia, un bus de potencia, una pista de potencia, un plano de tierra, un bus de tierra o una pista de tierra.

[0153] De forma alternativa, el elemento 72 no solo puede indicar un chip, sino que también puede indicar una oblea. Cuando el elemento 72 es una oblea, el elemento 68 puede ser otra oblea. De este modo, el procedimiento ilustrado en la invención se puede emplear para la unión de oblea a oblea.

[0154] En referencia a la fig. 53, después de formar la estructura ilustrada en la fig. 52, se puede formar una capa aislante o dieléctrica 120 sobre la superficie rectificadora o pulida 92s de la capa de adhesión/barrera 92, sobre la superficie rectificadora o pulida 94s de la capa germinal 94, sobre la superficie rectificadora o pulida 86s de la capa de conducción 86 y sobre la superficie superior expuesta 88s de la capa dieléctrica 88. La capa aislante o dieléctrica 120 puede tener un grosor, por ejemplo, de entre 0,05 y 20 micrómetros, y preferentemente de entre 0,05 y 5 micrómetros, de entre 0,05 y 3 micrómetros, de entre 0,05 y 1 micrómetros o de entre 0,05 y 0,5 micrómetros.

[0155] La capa aislante o dieléctrica 120, por ejemplo, puede incluir o puede ser una capa de óxido de silicio (tal como SiO_2), nitruro de silicio (tal como Si_3N_4), carbonitrúro de silicio (tal como SiCN), oxinitruro de silicio (tal como SiON) u oxycarburo de silicio (tal como SiOC) con un grosor, por ejemplo, de entre 0,05 y 20 micrómetros, y preferentemente de entre 0,05 y 5 micrómetros, de entre 0,05 y 3 micrómetros, de entre 0,05 y 1 micrómetros o de entre 0,05 y 0,5 micrómetros, formada por un procedimiento de depósito químico de vapor (CVD) o un procedimiento de depósito químico de vapor potenciado por plasma (PECVD).

[0156] De forma alternativa, la capa aislante o dieléctrica 120 puede incluir o puede ser una capa de polímero con un grosor, por ejemplo, de entre 0,05 y 20 micrómetros, y preferentemente de entre 0,05 y 5 micrómetros, de entre 0,05 y 3 micrómetros, de entre 0,05 y 1 micrómetros o de entre 0,05 y 0,5 micrómetros, formada, por ejemplo, por un

procedimiento que incluye un procedimiento de recubrimiento por rotación y un procedimiento de curado. La capa de polímero puede ser una capa de poliimida, benzociclobuteno (BCB), polibenzoxazol (PBO), poli(óxido de fenileno) (PPO) o epoxi.

[0157] Seguidamente, en referencia a la fig. 54, se puede fijar un sustrato inactivo 158 sobre la capa aislante o dieléctrica 120, por ejemplo, por las siguientes etapas. En primer lugar, se puede formar una capa de pegamento 140 que tiene un grosor, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 5 y 10 micrómetros o de entre 10 y 30 micrómetros, sobre una superficie superior de la capa aislante o dieléctrica 120 o sobre una superficie inferior del sustrato inactivo 158 usando, por ejemplo, un procedimiento de recubrimiento por rotación, un procedimiento de laminación, un procedimiento de pulverización, un procedimiento de distribución o un procedimiento de serigrafía. Seguidamente, la capa de pegamento 140 se puede precurar u hornear opcionalmente. Seguidamente, el sustrato inactivo 158 se puede colocar encima de la capa aislante o dieléctrica 120 con la capa de pegamento 140 entre la capa aislante o dieléctrica 120 y el sustrato inactivo 158. Seguidamente, la capa de pegamento 140 se puede curar de nuevo a una temperatura de entre 180 grados centígrados y 350 grados centígrados con una presión mecánica o térmica sobre la capa de pegamento 140. En consecuencia, el sustrato inactivo 158 se puede juntar con la capa aislante o dieléctrica 120 usando la capa de pegamento 140. La capa de pegamento 140 puede ser una capa de polímero, tal como una capa de epoxi, poliimida, benzociclobuteno (BCB), polibenzoxazol (PBO), poli(óxido de fenileno) (PPO) o silosano, con un grosor, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 5 y 10 micrómetros o de entre 10 y 30 micrómetros.

[0158] De forma alternativa, se puede reemplazar la capa de pegamento 140 con una capa aislante inorgánica, tal como óxido de silicio, que se puede formar sobre la capa aislante o dieléctrica 120. En este caso, el sustrato inactivo 158 se puede juntar con la capa aislante o dieléctrica 120, por ejemplo, uniendo una capa aislante inorgánica, tal como óxido de silicio, del sustrato inactivo 158 sobre la capa aislante inorgánica 140, tal como óxido de silicio. La capa de óxido de silicio del sustrato inactivo 158 se pone en contacto con la capa de óxido de silicio 140.

[0159] El sustrato inactivo 158 puede ser una oblea redonda, una oblea de silicio inactivo, un panel rectangular o un sustrato de polisilicio, vidrio, silicio o cerámica. El sustrato inactivo 158, antes de rectificarse o pulirse como se menciona en los siguientes procedimientos, puede tener un grosor, por ejemplo, mayor de 100 micrómetros, tal como de entre 100 y 1500 micrómetros, y preferentemente de entre 200 y 500 micrómetros o de entre 100 y 300 micrómetros.

[0160] En un modo de realización, no hay circuitos preformados en el sustrato inactivo 158 o sobre una superficie superior o inferior del sustrato inactivo 158 antes de que el sustrato inactivo 158 se junte con la capa aislante o dieléctrica 120. El sustrato inactivo 158 puede tener la superficie superior con un perfil que es sustancialmente el mismo que el de la superficie superior del portador 11.

[0161] Seguidamente, en referencia a la fig. 55, se forman múltiples aberturas 158a en el sustrato inactivo 158, exponiendo la capa de pegamento 140, por un procedimiento, por ejemplo, que incluye un procedimiento de fotolitografía y un procedimiento de grabado, lo que puede hacer referencia a la ilustración previa de las figs. 29 y 31. De forma alternativa, cuando se reemplaza la capa de pegamento 140 con la capa de óxido de silicio y el sustrato inactivo 158 tiene la capa de óxido de silicio unida con la capa de óxido de silicio 140, las aberturas 158a se forman en el sustrato inactivo 158, exponiendo la capa de óxido de silicio del sustrato inactivo 158, por un procedimiento, por ejemplo, que incluye un procedimiento de fotolitografía y un procedimiento de grabado, lo que puede hacer referencia a la ilustración previa de las figs. 29 y 31. La fig. 56 muestra una vista superior esquemática del sustrato simulado 158 con las aberturas 158a como se muestra en la fig. 55, y la fig. 55 puede ser una vista en sección transversal cortada a lo largo de la línea I-I mostrada en la fig. 56.

[0162] De forma alternativa, se puede formar una máscara dura (no mostrada), tal como óxido de silicio o nitruro de silicio, sobre el sustrato inactivo 158 mostrado en la fig. 55, por ejemplo, por las siguientes etapas. En primer lugar, se puede formar la máscara dura de óxido de silicio o nitruro de silicio sobre el sustrato inactivo 158 mostrado en la fig. 54. Seguidamente, se puede formar una capa fotorresistente sobre la máscara dura usando, por ejemplo, un procedimiento de recubrimiento por rotación, un procedimiento de serigrafía o un procedimiento de laminación. Seguidamente, se puede emplear un procedimiento de fotoexposición y un procedimiento de revelado para formar múltiples aberturas, exponiendo múltiples regiones de la máscara dura, en la capa fotorresistente. Seguidamente, se forman múltiples aberturas en la máscara dura y debajo de las aberturas en la capa fotorresistente, exponiendo múltiples regiones del sustrato simulado 158, usando, por ejemplo, un procedimiento de grabado húmedo o un procedimiento de grabado por plasma. Seguidamente, se elimina la capa fotorresistente usando, por ejemplo, una sustancia química orgánica. Seguidamente, se forman múltiples aberturas 158a en el sustrato inactivo 158 y debajo de las aberturas en la máscara dura, exponiendo la capa de pegamento 140, usando, por ejemplo, un procedimiento de grabado químico o un procedimiento de grabado por plasma. De forma alternativa, cuando se reemplaza la capa de pegamento 140 con la capa de óxido de silicio y el sustrato inactivo 158 tiene la capa de óxido de silicio unida con la capa de óxido de silicio 140, las aberturas 158a se forman en el sustrato inactivo 158 y debajo de las aberturas en la máscara dura, exponiendo la capa de óxido de silicio del sustrato inactivo 158, usando, por ejemplo, un procedimiento de grabado químico o un procedimiento de grabado por plasma. La máscara dura se eliminará por el posterior procedimiento de rectificado o pulido.

[0163] Seguidamente, en referencia a la fig. 57, se pueden montar múltiples chips 118 encima de la capa aislante o dieléctrica 120 y en las aberturas 158a en el sustrato inactivo 158, y los chips 118 tienen lados activos en las partes inferiores de los chips 118 y lados posteriores en las partes superiores de los chips 118. En un caso, uno de los chips 118 puede tener diseños de circuito diferentes a los de otro de los chips 118. También, en otro caso, uno de los chips 118 puede tener los mismos diseños de circuito que los de otro de los chips 118. De forma alternativa, uno de los chips 118 puede tener un área (superficie superior) o tamaño diferente al de otro de los chips 118. También, en otro caso, uno de los chips 118 puede tener una misma área (superficie superior) o tamaño que el de otro de los chips 118. La fig. 58 es un ejemplo de una vista superior esquemática que muestra los chips 118 montados en las aberturas 158a en el sustrato inactivo 158, y la fig. 57 es una vista en sección transversal cortada a lo largo de la línea J-J mostrada en la vista superior esquemática de la fig. 58.

[0164] El montaje de los chips 118 encima de la capa aislante o dieléctrica 120 y en las aberturas 158a se puede realizar, por ejemplo, formando en primer lugar un material de pegamento (no mostrado) sobre los lados activos de los chips 118 o sobre la capa de pegamento 140, seguidamente colocando los chips 118 en las aberturas 158a y encima de la capa de pegamento 140 poniendo en contacto el material de pegamento con la capa de pegamento 140, y a continuación curando el material de pegamento a una temperatura de entre 180 grados centígrados y 350 grados centígrados con una presión mecánica o térmica sobre el material de pegamento. En consecuencia, los chips 118 se pueden juntar con la capa de pegamento 140 usando el material de pegamento.

[0165] Cada uno de los chips 118 puede incluir un sustrato semiconductor 124, múltiples dispositivos semiconductores 13 en y/o sobre el sustrato semiconductor 124, una capa de pasivación 21 debajo del sustrato semiconductor 124, múltiples capas dieléctricas 78, 28, 38 y 40 entre el sustrato semiconductor 124 y la capa de pasivación 21, una capa metálica estampada 19 entre el sustrato semiconductor 124 y la capa de pasivación 21, una capa de interconexión 17 entre el sustrato semiconductor 124 y la capa de pasivación 21, múltiples tapones de vía 19a en la capa dieléctrica 28, y múltiples tapones de vía 17a en la capa dieléctrica 40. El sustrato semiconductor 124 está en el lado posterior de cada chip 118, y los dispositivos semiconductores 13, la capa de pasivación 21, la capa metálica estampada 19, la capa de interconexión 17, las capas dieléctricas 78, 28, 38 y 40 y los tapones de vía 17a y 19a están en el lado activo de cada chip 118.

[0166] El sustrato semiconductor 124 puede ser un sustrato adecuado, tal como un sustrato de silicio, un sustrato de silicio-germanio (SiGe) o un sustrato de arseniuro de galio (GaAs). El sustrato semiconductor 124 antes de estrecharse como se menciona en los siguientes procedimientos puede tener un grosor, por ejemplo, mayor de 100 micrómetros, tal como de entre 100 y 500 micrómetros, y preferentemente de entre 150 y 250 micrómetros o de entre 100 y 300 micrómetros.

[0167] Cada uno de los dispositivos semiconductores 13 puede ser un transistor de semiconductor de óxido metálico de canal P (PMOS), un transistor de semiconductor de óxido metálico de canal N (NMOS), un transistor de semiconductor de óxido metálico de doble difundido (DMOS) o un transistor bipolar. Cada uno de los dispositivos semiconductores 13 se puede proporcionar para una compuerta NOR, una compuerta NAND, una compuerta AND, una compuerta OR, una celda de memoria estática de acceso aleatorio (SRAM), una celda de memoria dinámica de acceso aleatorio (DRAM), una celda de memoria flash, una celda de memoria no volátil, una celda de memoria de solo lectura programable borrable (EPROM), una celda de memoria de solo lectura (ROM), una celda de memoria de acceso aleatorio magnética (MRAM), un amplificador de detección, un inversor, un amplificador operacional, un sumador, un multiplexor, un diplexor, un multiplicador, un convertidor de analógico a digital (A/D), un convertidor de digital a analógico (D/A), un circuito analógico, un sensor de semiconductor complementario de óxido metálico (CMOS) o un dispositivo de carga acoplada (CCD).

[0168] La capa de pasivación 21 puede incluir o puede ser una capa dieléctrica inorgánica que tiene una superficie inferior fijada a la capa de pegamento 140, y la capa dieléctrica inorgánica puede ser una capa de nitruro de silicio (tal como Si_3N_4), carbonitruro de silicio (tal como SiCN) u oxinitruro de silicio (tal como SiON) con un grosor, por ejemplo, de entre 0,3 y 1,5 micrómetros. De forma alternativa, cada uno de los chips 118 puede contener además una capa de polímero orgánico, tal como una capa de poliimida, benzociclobuteno (BCB), polibenzoxazol (PBO), poli(óxido de fenileno) (PPO), epoxi o silosano, con un grosor, por ejemplo, mayor de 3 micrómetros, tal como de entre 3 y 20 micrómetros, y preferentemente de entre 5 y 12 micrómetros, debajo y sobre la superficie inferior de la capa dieléctrica inorgánica de la capa de pasivación 21. En este caso, la capa de polímero orgánico tiene una superficie inferior fijada a la capa de pegamento 140. La capa de polímero orgánico tiene una superficie superior que se pone en contacto con la superficie inferior de la capa dieléctrica inorgánica de la capa de pasivación 21.

[0169] De forma alternativa, se pueden formar múltiples aberturas (no mostradas) teniendo cada una un ancho, por ejemplo, de entre 0,5 y 100 micrómetros, y preferentemente de entre 20 y 60 micrómetros, en la capa de pasivación 21 y exponer múltiples puntos de contacto de la capa metálica estampada 19.

[0170] La capa dieléctrica 78 puede estar entre la capa de pasivación 21 y la capa dieléctrica 28. La capa dieléctrica 28 puede estar entre las capas dieléctricas 78 y 38 y entre las capas 17 y 19. La capa dieléctrica 38 puede estar entre las capas dieléctricas 40 y 28. Cada una de las capas dieléctricas 78, 28 y 38 puede incluir óxido de silicio (tal como SiO_2), nitruro de silicio (tal como Si_3N_4), carbonitruro de silicio (tal como SiCN), oxinitruro de silicio (tal como SiON),

oxicarburo de silicio (tal como SiOC) o un material de baja k que tiene una constante dieléctrica de entre 1,8 y 3 (tal como vidrio de silicato fluorado (FSG) o diamante negro). Cada una de las capas dieléctricas 78, 28 y 38 puede tener un grosor, por ejemplo, de entre 10 nanómetros y 2 micrómetros, y preferentemente de entre 50 nanómetros y 1 micrómetro.

[0171] La capa dieléctrica 40 entre la capa dieléctrica 38 y el sustrato semiconductor 124 y entre la capa de interconexión 17 y el sustrato semiconductor 124 puede incluir o puede ser una capa de vidrio de fosfosilicato (PSG), vidrio de borofosfosilicato (BPSG), óxido de silicio (tal como SiO₂), nitruro de silicio (tal como Si₃N₄), carbonitruro de silicio (tal como SiCN), oxinitruro de silicio (tal como SiON) o un material de baja k que tiene una constante dieléctrica de entre 1,8 y 3 (tal como vidrio de silicato fluorado (FSG) o diamante negro). La capa dieléctrica 40 puede tener un grosor, por ejemplo, de entre 10 nanómetros y 1 micrómetro.

[0172] La capa metálica estampada 19, por ejemplo, puede incluir una capa de aleación de aluminio-cobre que tiene un grosor, por ejemplo, de entre 0,3 y 3 micrómetros y una capa que contiene titanio que tiene un grosor, por ejemplo, más pequeño que 0,2 micrómetros, tal como de entre 0,02 y 0,15 micrómetros. La capa que contiene titanio puede estar entre la capa dieléctrica 28 y la capa de aleación de aluminio-cobre y sobre la capa de aleación de aluminio-cobre, y la capa de aleación de aluminio-cobre puede estar entre la capa de pasivación 21 y la capa que contiene titanio. La capa que contiene titanio puede ser una capa única de titanio, nitruro de titanio o una aleación de titanio-volframio que tiene un grosor, por ejemplo, más pequeño que 0,2 micrómetros, tal como de entre 0,02 y 0,15 micrómetros.

[0173] De forma alternativa, la capa metálica estampada 19 puede incluir una capa de níquel que tiene un grosor, por ejemplo, de entre 0,5 y 3 micrómetros y una capa de oro que tiene un grosor, por ejemplo, de entre 0,01 y 1 micrómetros debajo y sobre la capa de níquel, en la vista desde el lado de la capa dieléctrica 28 hasta el lado de la capa de pasivación 21. La capa de níquel está entre la capa dieléctrica 28 y la capa de oro, y la capa de oro está entre la capa de níquel y la capa de pasivación 21.

[0174] De forma alternativa, se puede formar la capa metálica estampada 19 por un procedimiento de damasquinado o de doble damasquinado incluyendo un procedimiento de electrochapado y un procedimiento de pulido químico-mecánico (CMP) y puede estar compuesta por una capa de cobre electrochapado que tiene una parte inferior que se pone en contacto con la capa de pasivación 21, una capa metálica de adhesión/barrera en una parte superior y las paredes laterales de la capa de cobre electrochapado, y una capa germinal entre la capa de cobre electrochapado y la capa metálica de adhesión/barrera y sobre la parte superior y las paredes laterales de la capa de cobre electrochapado. La capa metálica de adhesión/barrera tiene una primera parte entre la parte superior de la capa de cobre electrochapado y la capa dieléctrica 28 y una segunda parte en las paredes laterales de la capa de cobre electrochapado. La capa de cobre electrochapado puede tener un grosor, por ejemplo, más pequeño que 1,5 micrómetros, tal como de entre 0,15 y 1,2 micrómetros, o más pequeño que 3 micrómetros, tal como de entre 0,3 y 3 micrómetros. La capa de cobre electrochapado puede tener un ancho, por ejemplo, más pequeño que 1 micrómetro, tal como de entre 0,05 y 1 micrómetros. La capa germinal puede incluir o puede ser una capa de cobre o una aleación de titanio-cobre formada por un procedimiento adecuado, tal como procedimiento de pulverización catódica. La capa metálica de adhesión/barrera puede incluir o puede ser una capa de titanio, una aleación de titanio-volframio, nitruro de titanio, cromo, tántalo o nitruro de tántalo formada por un procedimiento adecuado, tal como procedimiento de pulverización catódica. La capa metálica de adhesión/barrera puede tener un grosor, por ejemplo, más pequeño que 0,1 micrómetros, tal como de entre 0,005 y 0,1 micrómetros. Las paredes laterales de la capa de cobre electrochapado se cubren por la capa metálica de adhesión/barrera y la capa germinal.

[0175] La capa de interconexión 17, por ejemplo, puede incluir nanotubos de carbono. De forma alternativa, la capa de interconexión 17 puede estar compuesta por una capa metálica estampada en la capa dieléctrica 38. En una primera alternativa, la capa metálica estampada 17 puede incluir una capa de aleación de aluminio-cobre que tiene un grosor, por ejemplo, de entre 10 nanómetros y 2 micrómetros y una capa que contiene titanio, tal como una capa única de nitruro de titanio, aleación de titanio-volframio o titanio, que tiene un grosor, por ejemplo, más pequeño que 0,2 micrómetros, tal como de entre 0,02 y 0,15 micrómetros. La capa que contiene titanio puede estar sobre la capa de aleación de aluminio-cobre y entre la capa dieléctrica 40 y la capa de aleación de aluminio-cobre, y la capa de aleación de aluminio-cobre puede estar en la capa dieléctrica 38. En una segunda alternativa, la capa metálica estampada 17 se puede formar por un procedimiento de damasquinado o de doble damasquinado incluyendo un procedimiento de electrochapado y un procedimiento de pulido químico-mecánico (CMP) y puede estar compuesta por una capa de cobre electrochapado que tiene una parte inferior que se pone en contacto con la capa dieléctrica 28, una capa metálica de adhesión/barrera en una parte superior y las paredes laterales de la capa de cobre electrochapado, y una capa germinal entre la capa de cobre electrochapado y la capa metálica de adhesión/barrera y sobre la parte superior y las paredes laterales de la capa de cobre electrochapado. La capa metálica de adhesión/barrera tiene una primera parte entre la parte superior de la capa de cobre electrochapado y la capa dieléctrica 40 y una segunda parte en las paredes laterales de la capa de cobre electrochapado. La capa de cobre electrochapado puede tener un grosor, por ejemplo, más pequeño que 2 micrómetros, tal como de entre 0,15 y 1 micrómetros o de entre 10 nanómetros y 2 micrómetros. La capa de cobre electrochapado puede tener un ancho, por ejemplo, más pequeño que 1 micrómetro, tal como de entre 0,05 y 1 micrómetros. La capa germinal puede incluir o puede ser una capa de cobre o una aleación de titanio-cobre formada por un procedimiento adecuado, tal como procedimiento de pulverización catódica. La capa

metálica de adhesión/barrera puede incluir o puede ser una capa de titanio, nitruro de titanio, una aleación de titanio-volframio, cromo, tántalo o nitruro de tántalo formada por un procedimiento adecuado, tal como procedimiento de pulverización catódica. La capa metálica de adhesión/barrera puede tener un grosor, por ejemplo, más pequeño que 0,1 micrómetros, tal como de entre 0,005 y 0,1 micrómetros. Las paredes laterales de la capa de cobre electrochapado se cubren por la capa metálica de adhesión/barrera y la capa germinal.

[0176] La capa metálica estampada 19 en la capa dieléctrica 78 se puede conectar a la capa de interconexión 17 en la capa dieléctrica 38 a través de los tapones de vía 19a en la capa dieléctrica 28. La capa de interconexión 17 en la capa dieléctrica 38 se puede conectar a los dispositivos semiconductores 13 a través de los tapones de vía 17a en la capa dieléctrica 40. Los tapones de vía 19a pueden incluir cobre electrochapado, volframio o nanotubos de carbono en la capa dieléctrica 28. Los tapones de vía 17a pueden incluir cobre electrochapado, volframio o nanotubos de carbono en la capa dieléctrica 40.

[0177] Cada uno de los chips 118 puede incluir múltiples conectores o pistas metálicas 75a, 75b, 75c y 75d proporcionados por la capa de interconexión 17, la capa metálica estampada 19 y los tapones de vía 17a y 19a. Cada uno de los conectores o pistas metálicas 75a, 75b, 75c y 75d se puede conectar a uno o más de los dispositivos semiconductores 13 y puede ser una pista de señal, una línea de bits, un bus de reloj, un plano de potencia, un bus de potencia, una pista de potencia, un plano de tierra, un bus de tierra o una pista de tierra.

[0178] De forma alternativa, cada uno de los chips 118 puede incluir además una capa metálica estampada (no mostrada), que tiene un grosor mayor que el de la capa metálica estampada 19 y mayor que el de la capa de interconexión 17, entre la capa de pegamento 140 y la capa de pasivación 21. La capa metálica estampada debajo de la capa de pasivación 21 puede incluir una capa metálica electrochapada debajo de la capa de pasivación 21, una capa metálica de adhesión/barrera entre la capa metálica electrochapada y la capa de pasivación 21, y una capa germinal entre la capa metálica electrochapada y la capa metálica de adhesión/barrera. En la vista desde el lado de la capa de pasivación 21 hasta el lado de la capa de pegamento 140, la capa metálica de adhesión/barrera puede estar sobre la capa germinal, y la capa germinal puede estar sobre la capa metálica electrochapada. Las paredes laterales de la capa metálica electrochapada no están cubiertas por la capa metálica de adhesión/barrera y la capa germinal. La capa metálica de adhesión/barrera puede incluir o puede ser una capa de titanio, una aleación de titanio-volframio, nitruro de titanio, cromo, tántalo, nitruro de tántalo o níquel con un grosor, por ejemplo, más pequeño que 0,6 micrómetros, tal como de entre 1 nanómetro y 0,5 micrómetros o de entre 0,005 y 0,1 micrómetros. La capa germinal puede incluir o puede ser una capa de cobre, una aleación de titanio-cobre, plata, oro o níquel con un grosor, por ejemplo, más pequeño que 0,8 micrómetros, tal como de entre 5 nanómetros y 0,1 micrómetros o de entre 10 nanómetros y 0,8 micrómetros. Cada una de la capa metálica de adhesión/barrera y la capa germinal se pueden formar por un procedimiento adecuado, tal como procedimiento de pulverización catódica. La capa metálica electrochapada puede incluir o puede ser una capa de cobre electrochapado, plata electrochapada u oro electrochapado con un grosor, por ejemplo, mayor de 2 micrómetros, tal como de entre 2 y 30 micrómetros, y preferentemente de entre 3 y 10 micrómetros o de entre 5 y 25 micrómetros.

[0179] De forma alternativa, cuando la capa de óxido de silicio del sustrato inactivo 158 permanece sobre la capa de óxido de silicio 140, después de formar las aberturas 158a, y está expuesta por las aberturas 158a en el sustrato inactivo 158, el montaje de los chips 118 encima de la capa aislante o dieléctrica 120 y en las aberturas 158a se puede realizar, por ejemplo, uniéndose otra capa de óxido de silicio de la capa de pasivación 21, en el lado activo de cada chip 118, con la capa de óxido de silicio restante del sustrato inactivo 158 debajo de la capa de pasivación 21. La capa de óxido de silicio de la capa de pasivación 21 se pone en contacto con la capa de óxido de silicio del sustrato inactivo 158. En consecuencia, los chips 118 se pueden juntar con la capa aislante o dieléctrica 120 usando estas capas de óxido de silicio.

[0180] De forma alternativa, otra técnica para formar la estructura ilustrada en las figs. 57 y 58 se realiza proporcionando en primer lugar un sustrato inactivo estampado 158, tal como una oblea inactiva estampada, un panel estampado, un armazón de silicio estampado o un sustrato estampado de polisilicio, vidrio, silicio, cerámica o polímero, con múltiples aberturas 158a que pasan a través del sustrato inactivo estampado 158, juntando seguidamente el sustrato inactivo estampado 158 con la capa aislante o dieléctrica 120 usando la capa 140, lo que puede hacer referencia a las etapas ilustradas en la fig. 54, y a continuación montando los chips 118 encima de la capa aislante o dieléctrica 120 y en las aberturas 158a en el sustrato inactivo estampado 158, lo que puede hacer referencia a las etapas ilustradas en la fig. 57.

[0181] Como se muestra en las figs. 57 y 58, hay múltiples huecos 4b cada uno entre el sustrato inactivo 158 y uno de los chips 118, y hay múltiples huecos 8b (se muestra uno de ellos) cada uno entre dos chips adyacentes 118. Cada uno de los huecos 4b puede tener una distancia transversal o espaciado D7, por ejemplo, de entre 1 y 200 micrómetros, de entre 1 y 50 micrómetros o de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros. Cada uno de los huecos 8b puede tener una distancia transversal o espaciado D8, por ejemplo, de entre 1 y 200 micrómetros, de entre 1 y 50 micrómetros o de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros.

[0182] La fig. 59 muestra otra técnica para formar la estructura con la misma vista en sección transversal como se muestra en la fig. 57. La fig. 57 es una vista en sección transversal cortada a lo largo de la línea J-J mostrada en una

vista superior esquemática de la fig. 59. La estructura mostrada en las figs. 57 y 59 se puede formar, por ejemplo, por las siguientes etapas. En primer lugar, se puede formar la capa de pegamento 140 descrita previamente sobre la capa aislante o dieléctrica 120 mostrada en la fig. 53 usando, por ejemplo, un procedimiento de recubrimiento por rotación, un procedimiento de laminación, un procedimiento de pulverización, un procedimiento de distribución o un procedimiento de serigrafía. Seguidamente, la capa de pegamento 140 se puede precurar u hornear opcionalmente. Seguidamente, los chips 118 descritos previamente y múltiples sustratos inactivos separados 158 se pueden colocar sobre la capa de pegamento 140. Cuando un hueco entre dos chips adyacentes 118 es demasiado grande, tal como mayor a 500 o 1000 micrómetros, uno o más de los sustratos inactivos separados 158 se pueden colocar en el hueco. De forma alternativa, cuando un hueco entre dos chips adyacentes 118 es lo suficientemente pequeño, tal como más pequeño que 500 o 1000 micrómetros, no puede haber sustratos inactivos separados 158 colocados en el hueco. Seguidamente, la capa de pegamento 140 se puede curar de nuevo a una temperatura de entre 180 grados centígrados y 350 grados centígrados con una presión mecánica o térmica sobre la capa de pegamento 140. En consecuencia, los sustratos inactivos separados 158 y los chips 118 se pueden juntar con la capa aislante o dieléctrica 120 usando la capa de pegamento 140. Los sustratos inactivos separados 158, por ejemplo, pueden ser barras de silicio separadas, chips inactivos separados, pastillas de silicio inactivas separadas o sustratos separados de polisilicio, vidrio, silicio o cerámica.

[0183] De forma alternativa, en referencia a las figs. 57 y 59, se puede reemplazar la capa de pegamento 140 con una capa de óxido de silicio que se forma sobre la capa aislante o dieléctrica 120. En este caso, juntar los chips 118 con la capa 120 y juntar los sustratos inactivos separados 158 con la capa 120 se puede realizar, por ejemplo, uniendo otra capa de óxido de silicio de la capa de pasivación 21, en el lado activo de cada chip 118, con la capa de óxido de silicio 140 y uniendo otra capa de óxido de silicio de cada uno de los sustratos inactivos separados 158 con la capa de óxido de silicio 140. La capa de óxido de silicio de la capa de pasivación 21 de cada chip 118 se pone en contacto con la capa de óxido de silicio 140, y la capa de óxido de silicio de cada uno de los sustratos inactivos separados 158 se pone en contacto con la capa de óxido de silicio 140. En consecuencia, los chips 118 y los sustratos inactivos separados 158 se pueden juntar con la capa aislante o dieléctrica 120 usando estas capas de óxido de silicio.

[0184] Como se muestra en las figs. 57 y 59, hay múltiples huecos 4b cada uno entre uno de los chips 118 y uno de los sustratos inactivos separados 158, y hay múltiples huecos 8b (se muestra uno de ellos) cada uno entre dos chips adyacentes 118. Cada uno de los huecos 4b puede tener una distancia transversal o espaciado D7, por ejemplo, de entre 1 y 200 micrómetros, de entre 1 y 50 micrómetros o de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros. Cada uno de los huecos 8b puede tener una distancia transversal o espaciado D8, por ejemplo, más pequeño que 500 micrómetros, tal como de entre 1 y 200 micrómetros, de entre 1 y 50 micrómetros o de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros. En un modo de realización, no hay circuitos preformados en cada sustrato inactivo separado 158 o sobre una superficie superior o inferior de cada sustrato inactivo separado 158 antes de que los sustratos inactivos separados 158 se junten con la capa aislante o dieléctrica 120.

[0185] En referencia a la fig. 60, después de las etapas ilustradas en las figs. 57 y 58 o en las figs. 57 y 59, se forma un material de encapsulación/relleno de huecos 138, tal como polisilicio, óxido de silicio o un polímero, sobre un lado posterior del sustrato semiconductor 124 de cada chip 118, sobre el/los sustrato(s) inactivo(s) 158 y en los huecos 4b y 8b. Si el material de encapsulación/relleno de huecos 138 es polisilicio, el polisilicio se puede formar por un procedimiento de depósito químico de vapor (CVD) o un procedimiento de depósito químico de vapor potenciado por plasma (PECVD). Si el material de encapsulación/relleno de huecos 138 es óxido de silicio, el óxido de silicio se puede formar por un procedimiento de depósito químico de vapor (CVD), un procedimiento de depósito químico de vapor potenciado por plasma (PECVD) o un procedimiento de depósito químico de vapor a presión atmosférica (APCVD). Si el material de encapsulación/relleno de huecos 138 es un polímero, tal como poliimida, epoxi, benzociclobutano (BCB), polibenzoxazol (PBO) o poli(óxido de fenileno) (PPO), el polímero se puede formar por un procedimiento que incluye un procedimiento de recubrimiento por rotación, un procedimiento de distribución, un procedimiento de moldeo o un procedimiento de serigrafía.

[0186] Seguidamente, en referencia a la fig. 61, el material de encapsulación/relleno de huecos 138, el lado posterior del sustrato semiconductor 124 de cada chip 118 y el/los sustrato(s) inactivo(s) 158 se rectifican o pulen por un procedimiento adecuado, tal como procedimiento de pulido químico-mecánico (CMP), procedimiento de pulido mecánico, procedimiento de rectificado mecánico, o un procedimiento que incluye pulido mecánico y grabado químico, hasta que el sustrato semiconductor 124 de uno de los chips 118 se estrecha a un grosor T15, por ejemplo, de entre 1 y 100 micrómetros, de entre 1 y 50 micrómetros, de entre 1 y 30 micrómetros, de entre 1 y 10 micrómetros o de entre 1 y 5 micrómetros, y preferentemente de entre 2 y 20 micrómetros o de entre 3 y 30 micrómetros. Preferentemente, cada uno de los chips 118, después del procedimiento de rectificado o pulido, puede tener un grosor, por ejemplo, de entre 3 y 105 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros. Después del procedimiento de rectificado o pulido, el/los sustrato(s) inactivo(s) 158 se puede(n) estrechar a un grosor T16, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros, y el material de encapsulación/relleno de huecos 138 restante en los huecos 4b y 8b puede tener un grosor vertical T17, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros. La superficie rectificada o pulida 124s del sustrato semiconductor 124, en el lado posterior de cada chip 118, y la(s) superficie(s) rectificada(s) o pulida(s) 158s del/de los sustrato(s) inactivo(s) 158 pueden ser sustancialmente planas y no estar cubiertas por el material de encapsulación/relleno de huecos 138. La(s) superficie(s)

rectificada(s) o pulida(s) 158s puede(n) ser sustancialmente coplanaria(s) con la superficie rectificada o pulida 124s de cada chip 118 y con la superficie rectificada o pulida 138s del material de encapsulación/relleno de huecos 138 en los huecos 4b y 8b.

[0187] De forma alternativa, las figs. 62 y 63 muestran otra técnica para formar la estructura ilustrada en la fig. 61. En referencia a la fig. 62, después de las etapas ilustradas en las figs. 57 y 58 o en las figs. 57 y 59, se puede formar un material de encapsulación/relleno de huecos 138, tal como polisilicio u óxido de silicio, sobre el lado posterior del sustrato semiconductor 124 de cada chip 118, sobre el/los sustrato(s) inactivo(s) 158 y en los huecos 4b y 8b, y a continuación se puede formar un polímero 137, tal como compuesto de moldeo, poliimida, epoxi, benzociclobutano (BCB), polibenzoxazol (PBO) o poli(óxido de fenileno) (PPO), sobre el material de encapsulación/relleno de huecos 138 y en los huecos 4b y 8b. El material de encapsulación/relleno de huecos 138 en los huecos 4b y 8b puede tener un grosor vertical T18, por ejemplo, de entre 10 y 100 micrómetros, y preferentemente de entre 10 y 50 micrómetros o de entre 20 y 50 micrómetros.

[0188] Seguidamente, en referencia a la fig. 63, se puede realizar un procedimiento de rectificado mecánico, por ejemplo, usando una almohadilla abrasiva o rectificadora con agua para rectificar el polímero 137, el material de encapsulación/relleno de huecos 138, el lado posterior del sustrato semiconductor 124 de cada chip 118 y el/los sustrato(s) inactivo(s) 158 hasta que se elimina todo el polímero 137 y hasta que se alcanza un grosor vertical predeterminado T19 del material de encapsulación/relleno de huecos 138 en los huecos 4b y 8b. El grosor vertical predeterminado T19 puede ser, por ejemplo, de entre 10 y 100 micrómetros, y preferentemente de entre 10 y 50 micrómetros o de entre 20 y 50 micrómetros. La almohadilla abrasiva o rectificadora puede estar provista de un grano áspero que tiene un tamaño de grano promedio, por ejemplo, de entre 0,5 y 15 micrómetros para realizar el procedimiento de rectificado mecánico. Después de esto, se puede realizar un procedimiento de pulido químico-mecánico (CMP), por ejemplo, usando una almohadilla de pulido con una suspensión que contiene sustancias químicas y un abrasivo fino como sílice con un tamaño de grano promedio, por ejemplo, de entre 0,02 y 0,05 micrómetros para pulir el/los sustrato(s) inactivo(s) 158, el lado posterior del sustrato semiconductor 124 de cada chip 118 y el material de encapsulación/relleno de huecos 138 en los huecos 4b y 8b hasta que el sustrato semiconductor 124 de uno de los chips 118 se estrecha al grosor T15 de entre 1 y 30 micrómetros, y preferentemente de entre 2 y 5 micrómetros, de entre 2 y 10 micrómetros, de entre 2 y 20 micrómetros o de entre 3 y 30 micrómetros, como se muestra en la fig. 61.

[0189] Después del procedimiento de pulido químico-mecánico (CMP), la superficie pulida 124s del sustrato semiconductor 124, en el lado posterior de cada chip 118, y la(s) superficie(s) pulida(s) 158s del/de los sustrato(s) inactivo(s) 158 pueden ser sustancialmente planas y no estar cubiertas por el material de encapsulación/relleno de huecos 138. La(s) superficie(s) pulida(s) 158s puede(n) ser sustancialmente coplanaria(s) con la superficie pulida 124s de cada chip 118 y con la superficie pulida 138s del material de encapsulación/relleno de huecos 138 en los huecos 4b y 8b. Las superficies pulidas 124s, 158s y 138s tienen una microrrugosidad, por ejemplo, de menos de 20 nanómetros. El procedimiento de pulido químico-mecánico (CMP), que usa un abrasivo muy fino como la sílice y un ataque químico relativamente débil, creará las superficies 124s, 158s y 138s casi sin deformación ni arañazos, y esto significa que el procedimiento de pulido químico-mecánico (CMP) es muy adecuado para la etapa final de pulido, creando las superficies limpias 124s, 158s y 138s. El uso del procedimiento de rectificado mecánico y el procedimiento de pulido químico-mecánico (CMP) se puede realizar para crear un sustrato semiconductor muy delgado 124 de cada chip 118. En consecuencia, después del procedimiento de pulido químico-mecánico (CMP), cada uno de los chips 118 se puede estrechar a un grosor, por ejemplo, de entre 3 y 35 micrómetros, y preferentemente de entre 5 y 10 micrómetros o de entre 5 y 25 micrómetros, el/los sustrato(s) inactivo(s) 158 se puede(n) estrechar al grosor T16, por ejemplo, de entre 3 y 35 micrómetros, y preferentemente de entre 5 y 10 micrómetros o de entre 5 y 25 micrómetros, y el material de encapsulación/relleno de huecos 138 en los huecos 4b y 8b se puede estrechar al grosor T17, por ejemplo, de entre 3 y 35 micrómetros, y preferentemente de entre 5 y 10 micrómetros o de entre 5 y 25 micrómetros.

[0190] En referencia a la fig. 64, después de formar la estructura ilustrada en la fig. 61, se forma una capa dieléctrica 139 sobre las superficies 124s, 158s y 138s. La capa dieléctrica 139 puede tener un grosor, por ejemplo, de entre 0,5 y 30 micrómetros, y preferentemente de entre 1 y 20 micrómetros, de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 1 y 3 micrómetros.

[0191] La capa dieléctrica 139, por ejemplo, puede ser una capa inorgánica formada, por ejemplo, por un procedimiento de depósito químico de vapor (CVD) o un procedimiento de depósito químico de vapor potenciado por plasma (PECVD). La capa inorgánica puede ser, por ejemplo, una capa de óxido de silicio (tal como SiO₂), nitruro de silicio (tal como Si₃N₄), carbonitruro de silicio (tal como SiCN), oxinitruro de silicio (tal como SiON) u oxycarburo de silicio (tal como SiOC), o una capa que incluye óxido de silicio, nitruro de silicio, carbonitruro de silicio y oxinitruro de silicio. La capa inorgánica puede tener un grosor, por ejemplo, de entre 0,5 y 30 micrómetros, y preferentemente de entre 1 y 20 micrómetros, de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 1 y 3 micrómetros.

[0192] De forma alternativa, la capa dieléctrica 139 puede ser una capa de polímero, tal como una capa de poliimida, epoxi, benzociclobutano (BCB), polibenzoxazol (PBO) o poli(óxido de fenileno) (PPO), formada, por ejemplo, por un procedimiento que incluye un procedimiento de recubrimiento por rotación, un procedimiento de distribución, un procedimiento de moldeo o un procedimiento de serigrafía. La capa de polímero puede tener un grosor, por ejemplo,

de entre 0,5 y 30 micrómetros, y preferentemente de entre 1 y 20 micrómetros, de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 1 y 3 micrómetros.

[0193] De forma alternativa, la capa dieléctrica 139 puede estar compuesta por múltiples capas inorgánicas, que incluyen una capa de detención de grabado, tal como la capa de detención de grabado de oxinitruro de silicio. La capa de detención de grabado se usará más tarde para detener el grabado cuando se graben estampados en el interior de la capa dieléctrica 139. En este caso, la capa dieléctrica 139, por ejemplo, puede estar compuesta por una primera capa de óxido de silicio sobre las superficies 124s, 158s y 138s, una capa de oxinitruro de silicio, usada como capa de detención de grabado, sobre la primera capa de óxido de silicio, y una segunda capa de óxido de silicio que tiene un grosor, por ejemplo, de entre 0,1 y 5 micrómetros o de entre 0,3 y 1,5 micrómetros sobre la capa de oxinitruro de silicio.

[0194] Seguidamente, en referencia a la fig. 65, múltiples vías pasantes 156v, incluyendo las vías pasantes 156a, 156b, 156c, 156d, 156e y 156f, se forman en los chips 118 y en el/los sustrato(s) inactivo(s) 158, exponiendo la capa de conducción 86 de los conectores metálicos 2 y exponiendo las capas 17 y 19 de los chips 118, por las siguientes etapas. En primer lugar, se forma una capa fotorresistente, tal como una capa resistente fotosensible de tipo positivo o una capa resistente fotosensible de tipo negativo, sobre la capa dieléctrica 139 usando un procedimiento adecuado, tal como procedimiento de recubrimiento por rotación o procedimiento de laminación. Seguidamente, se puede emplear un procedimiento de fotoexposición usando un paso a paso 1X y un procedimiento de revelado usando una solución química para formar múltiples aberturas, exponiendo la capa dieléctrica 139, en la capa fotorresistente. La capa fotorresistente puede tener un grosor, por ejemplo, de entre 3 y 50 micrómetros. Seguidamente, se elimina la capa dieléctrica 139 debajo de las aberturas en la capa fotorresistente usando un procedimiento adecuado, tal como procedimiento de grabado por plasma anisotrópico. Seguidamente, se decapan el/los sustrato(s) inactivo(s) 158 debajo de las aberturas en la capa fotorresistente y los chips 118 debajo de las aberturas en la capa fotorresistente hasta que se exponen las regiones predeterminadas de las capas 17 y 19 en los chips 118 y las regiones predeterminadas de la capa de conducción 86 de los conectores metálicos 2 por las aberturas en la capa fotorresistente. Seguidamente, se elimina la capa fotorresistente usando, por ejemplo, una sustancia química orgánica. En consecuencia, las vías pasantes 156v, incluyendo las vías 156a-156f, se forman en los chips 118 y en el/los sustrato(s) inactivo(s) 158, exponiendo las regiones predeterminadas de la capa de conducción 86 de los conectores metálicos 2 y exponiendo las regiones predeterminadas de las capas 17 y 19 de los chips 118. La vía pasante 156a se forma en el sustrato inactivo 158, las vías pasantes 156b, 156c y 156d se forman en uno de los chips 118, y las vías pasantes 156e y 156f se forman en otro de los chips 118.

[0195] De forma alternativa, se puede realizar otra técnica para formar las vías pasantes 156v en los chips 118 y en el/los sustrato(s) inactivo(s) 158 por las siguientes etapas. En primer lugar, se puede formar una capa fotorresistente, tal como una capa resistente fotosensible de tipo positivo o una capa resistente fotosensible de tipo negativo, sobre la capa dieléctrica 139 usando, por ejemplo, un procedimiento de recubrimiento por rotación o un procedimiento de laminación. Seguidamente, se puede emplear un procedimiento de fotoexposición usando un paso a paso IX y un procedimiento de revelado usando una solución química para formar múltiples aberturas, exponiendo la capa dieléctrica 139, en la capa fotorresistente. Seguidamente, se forman múltiples aberturas en la capa dieléctrica 139 y debajo de las aberturas en la capa fotorresistente, exponiendo el/los sustrato(s) inactivo(s) 158 y los sustratos semiconductores 124 de los chips 118, al eliminar la capa dieléctrica 139 debajo de las aberturas en la capa fotorresistente usando, por ejemplo, un procedimiento de grabado por plasma anisotrópico. Seguidamente, se elimina la capa fotorresistente usando, por ejemplo, una sustancia química orgánica. Seguidamente, se pueden decapar el/los sustrato(s) inactivo(s) 158 debajo de las aberturas en la capa dieléctrica 139 y los chips 118 debajo de las aberturas en la capa dieléctrica 139 hasta que se exponen las regiones predeterminadas de las capas 17 y 19 en los chips 118 y las regiones predeterminadas de la capa de conducción 86 de los conectores metálicos 2 por las aberturas en la capa dieléctrica 139. En consecuencia, se pueden formar las vías pasantes 156v, incluyendo las vías pasantes 156a, 156b, 156c, 156d, 156e y 156f, en los chips 118 y en el/los sustrato(s) inactivo(s) 158, exponiendo la capa de conducción 86 de los conectores metálicos 2 y exponiendo las capas 17 y 19 de los chips 118. La vía pasante 156a se forma en el sustrato inactivo 158, las vías pasantes 156b, 156c y 156d se forman en uno de los chips 118, y las vías pasantes 156e y 156f se forman en otro de los chips 118. Cada una de las vías pasantes 156v, tales como la vía pasante 156a, 156b, 156c, 156d, 156e o 156f, puede tener un ancho o un diámetro, por ejemplo, de entre 0,5 y 100 micrómetros, de entre 0,5 y 50 micrómetros, de entre 0,5 y 30 micrómetros, de entre 0,5 y 20 micrómetros, de entre 0,5 y 10 micrómetros o de entre 0,5 y 5 micrómetros, y preferentemente de entre 1 y 3 micrómetros.

[0196] Una de las vías pasantes 156v, tal como la vía pasante 156a, pasa a través de la capa dieléctrica 139, el sustrato inactivo 158, la capa 140 y la capa aislante o dieléctrica 120, exponiendo la capa de conducción 86 de uno de los conectores metálicos 2. Otra de las vías pasantes 156v, tal como la vía pasante 156b, pasa a través de la capa dieléctrica 139, a través del sustrato semiconductor 124, las capas dieléctricas 78, 28, 38 y 40, y la capa de pasivación 21 de uno de los chips 118, a través de la capa 140, y a través de la capa aislante o dieléctrica 120, exponiendo la capa de conducción 86 de uno de los conectores metálicos 2. Otra de las vías pasantes 156v, tal como la vía pasante 156c, pasa a través de la capa dieléctrica 139 y a través del sustrato semiconductor 124 y la capa dieléctrica 40 de uno de los chips 118, exponiendo el conector o pista metálica 75d en la capa de interconexión 17 del uno de los chips 118. Otra de las vías pasantes 156v, tal como la vía pasante 156d, pasa a través de la capa dieléctrica 139 y a través del sustrato semiconductor 124 y las capas dieléctricas 40, 38 y 28 de uno de los chips 118, exponiendo el conector

o pista metálica 75c en la capa metálica estampada 19 del uno de los chips 118. Otra de las vías pasantes 156v, tal como la vía pasante 156f, pasa a través de la capa dieléctrica 139 y a través del sustrato semiconductor 124 y las capas dieléctricas 40, 38 y 28 de uno de los chips 118, exponiendo el conector o pista metálica 75b en la capa metálica estampada 19 del uno de los chips 118. Otra de las vías pasantes 156v, tal como la vía pasante 156e, pasa a través de la capa dieléctrica 139, a través del sustrato semiconductor 124, las capas dieléctricas 78, 28, 38 y 40, y la capa de pasivación 21 de uno de los chips 118, a través de la capa 140, y a través de la capa aislante o dieléctrica 120, exponiendo el conector o pista metálica 75a en la capa de interconexión 17 del uno de los chips 118 y exponiendo la capa de conducción 86 de uno de los conectores metálicos 2. Un soporte 803 proporcionado por las capas 120, 140, 21, 78 y 28 está entre la capa de conducción 86 del conector metálico 2b y el conector o pista metálica 75a en la capa de interconexión 17 expuesto por la vía pasante 156e con el propósito de soportar el conector o pista metálica 75a expuesto. El soporte 803 puede tener una altura, por ejemplo, de entre 0,5 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros, y un ancho, por ejemplo, de entre 0,3 y 30 micrómetros, y preferentemente de entre 0,3 y 10 micrómetros, 0,3 y 5 micrómetros, o de entre 0,3 y 1 micrómetros. Las figs. 66-68 son tres ejemplos de vistas en perspectiva superior esquemáticas que muestran la vía pasante 156e y el conector o pista metálica 75a ilustrado en la fig. 65.

[0197] Como se muestra en las figs. 65 y 66, la vía pasante 156e en uno de los chips 118 expone el conector o pista metálica 75a en el uno de los chips 118 y expone dos regiones de la capa de conducción 86 del conector metálico 2b que está debajo del uno de los chips 118. El conector o pista metálica 75a tiene una región de conformación lineal, expuesto por la vía pasante 156e, que se extiende en una dirección horizontal desde un lado de la vía pasante 156e hasta el lado opuesto de la vía pasante 156e a través de un centro de la vía pasante 156e. El soporte 803 descrito previamente, entre la capa de conducción 86 del conector metálico 2b y la región de conformación lineal expuesta del conector o pista metálica 75a en la capa de interconexión 17, puede tener conformación lineal, como la región de conformación lineal expuesta del conector o pista metálica 75a. Preferentemente, la vía pasante 156e puede tener, pero no se limita a, una conformación circular desde una vista en perspectiva superior.

[0198] Como se muestra en las figs. 65 y 67, la vía pasante 156e en uno de los chips 118 expone el conector o pista metálica 75a en el uno de los chips 118 y expone una región de la capa de conducción 86 del conector metálico 2b que está debajo del uno de los chips 118. El conector o pista metálica 75a tiene una región peninsular, expuesto por la vía pasante 156e, que se extiende en una dirección horizontal desde un lado de la vía pasante 156e al menos hasta el centro de la vía pasante 156e, pero no llega al lado opuesto de la vía pasante 156e; el conector o pista metálica 75a tiene un extremo expuesto por la vía pasante 156e. El soporte 803 descrito previamente, entre la capa de conducción 86 del conector metálico 2b y la región peninsular expuesta del conector o pista metálica 75a en la capa de interconexión 17, puede tener conformación de península, como la región peninsular expuesta del conector o pista metálica 75a. Preferentemente, la vía pasante 156e puede tener, pero no se limita a, una conformación circular desde una vista en perspectiva superior.

[0199] Como se muestra en las figs. 65 y 68, la vía pasante 156e en uno de los chips 118 expone el conector o pista metálica 75a en el uno de los chips 118 y expone una región de la capa de conducción 86 del conector metálico 2b que está debajo del uno de los chips 118. El conector o pista metálica 75a tiene una región peninsular, expuesto por la vía pasante 156e, que se extiende en una dirección horizontal desde un lado de la vía 156e al menos hasta el centro de la vía pasante 156e, pero no llega al lado opuesto de la vía pasante 156e; el conector o pista metálica 75a tiene un extremo circular expuesto por la vía pasante 156e. El soporte 803 descrito previamente, entre la capa de conducción 86 del conector metálico 2b y la región peninsular expuesta del conector o pista metálica 75a en la capa de interconexión 17, puede tener conformación de península, como la región peninsular expuesta del conector o pista metálica 75a. Preferentemente, la vía pasante 156e puede tener, pero no se limita a, una conformación circular desde una vista en perspectiva superior.

[0200] La fig. 66A es un ejemplo de una vista en perspectiva superior esquemática que muestra la vía pasante 156e y el conector o pista metálica 75a ilustrado en la fig. 65. En este caso, la vía pasante 156e puede tener, pero no se limita a, conformación ovalada y tiene un ancho W5, por ejemplo, de entre 1 y 30 micrómetros, y preferentemente de entre 1 y 20 micrómetros, de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 3 y 10 micrómetros. La vía pasante 156e de conformación ovalada en uno de los chips 118 expone el conector o pista metálica 75a en el uno de los chips 118 y expone dos regiones de la capa de conducción 86 del conector metálico 2b que está debajo del uno de los chips 118. El conector o pista metálica 75a tiene una región de conformación lineal, expuesto por la vía pasante de conformación ovalada 156e, que se extiende en una dirección horizontal desde un lado de la vía pasante de conformación ovalada 156e hasta el lado opuesto de la vía pasante de conformación ovalada 156e a través del centro de la vía pasante de conformación ovalada 156e. El soporte 803 descrito previamente, entre la capa de conducción 86 del conector metálico 2b y la región de conformación lineal expuesta del conector o pista metálica 75a en la capa de interconexión 17, puede tener conformación lineal, como la región de conformación lineal expuesta del conector o pista metálica 75a. El conector o pista metálica 75a expuesto por la vía pasante de conformación ovalada 156e tiene un ancho W6, por ejemplo, de entre 0,3 y 30 micrómetros, y preferentemente de entre 0,3 y 20 micrómetros, de entre 0,3 y 10 micrómetros, de entre 0,3 y 5 micrómetros o de entre 0,3 y 1 micrómetros. Una distancia horizontal S3 entre el final del eje largo de la vía pasante de conformación ovalada 156e y un borde, que está más cercano al final que el otro borde opuesto, del conector o pista metálica 75a expuesto por la vía pasante de conformación ovalada

156e puede ser, por ejemplo, de entre 1 y 30 micrómetros, y preferentemente de entre 1 y 20 micrómetros, de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 3 y 10 micrómetros.

[0201] Seguidamente, en referencia a la fig. 69, una capa dieléctrica 127 se puede formar sobre una superficie superior de la capa dieléctrica 139, sobre la capa de conducción 86, expuesta por las vías pasantes 156v (tales como las vías pasantes 156a, 156b y 156e), de los conectores metálicos 2, sobre las capas 17 y 19, expuestas por las vías pasantes 156v (tales como las vías pasantes 156c, 156d, 156e y 156f), de los chips 118, y sobre las paredes laterales de las vías pasantes 156v.

[0202] La capa dieléctrica 127 puede estar compuesta por un material aislante. Por ejemplo, la capa dieléctrica 127 puede ser una capa inorgánica que tiene un grosor, por ejemplo, de entre 20 nanómetros y 1 micrómetro, y la capa inorgánica puede ser una capa de óxido de silicio (tal como SiO_2), nitruro de silicio (tal como Si_3N_4), carbonitruro de silicio (tal como SiCN), oxinitruro de silicio (tal como SiON) u oxycarburo de silicio (tal como SiOC). De forma alternativa, la capa dieléctrica 127 puede ser una capa de polímero que tiene un grosor, por ejemplo, de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros, y la capa de polímero puede ser una capa de poliimida, benzociclobuteno (BCB), epoxi, poli(óxido de fenileno) (PPO) o polibenzoxazol (PBO).

[0203] Seguidamente, en referencia a la fig. 70, se puede formar una capa fotorresistente 154, tal como una capa resistente fotosensible de tipo positivo o una capa resistente fotosensible de tipo negativo, sobre la capa dieléctrica 127 usando, por ejemplo, un procedimiento de recubrimiento por rotación o un procedimiento de laminación, y a continuación se puede emplear un procedimiento de fotoexposición usando un paso a paso IX y un procedimiento de revelado usando una sustancia química húmeda para formar múltiples aberturas 154a, exponiendo la capa dieléctrica 127, en la capa fotorresistente 154. La capa fotorresistente 154 puede tener un grosor, por ejemplo, de entre 0,5 y 30 micrómetros.

[0204] Seguidamente, en referencia a la fig. 71, se puede eliminar la capa dieléctrica 127 formada sobre las capas 17, 19 y 86 y sobre la superficie superior de la capa dieléctrica 139 debajo de las aberturas 154a, por ejemplo, al grabar la capa dieléctrica 127 debajo de las aberturas 154a usando un procedimiento de grabado por plasma anisotrópico. Se puede decapar la capa dieléctrica 127 en las partes inferiores de las vías pasantes 156v, sobre la superficie superior de la capa dieléctrica 139 debajo de las aberturas 154a, y sobre una superficie superior del conector o pista metálica 75a encima del soporte 803. En consecuencia, las capas 17, 19 y 86 en las partes inferiores de las vías pasantes 156v, la superficie superior de la capa dieléctrica 139 debajo de las aberturas 154a y el conector o pista metálica 75a encima del soporte 803 están expuestos por las aberturas 154a, y la capa dieléctrica 127 permanece sobre las paredes laterales de las vías pasantes 156v, denominadas capas dieléctricas de pared lateral en las vías pasantes 156v. Las capas dieléctricas de pared lateral 127 se forman sobre las paredes laterales de las vías pasantes 156v en los chips 118 o en el/los sustrato(s) inactivo(s) 158 y están rodeadas por los sustratos semiconductores 124 de los chips 118 o por el/los sustrato(s) inactivo(s) 158.

[0205] Seguidamente, en referencia a la fig. 72, se pueden formar múltiples pozos 139t, aberturas damasquinadas, en la capa dieléctrica 139 al grabar la capa dieléctrica 139 y las capas dieléctricas de pared lateral 127 debajo de las aberturas 154a a una profundidad D9, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,5 y 3 micrómetros, usando, por ejemplo, un procedimiento de grabado por plasma anisotrópico. Preferentemente, la capa dieléctrica 139 y las capas dieléctricas de pared lateral 127 tienen un mismo material, tal como nitruro de silicio, óxido de silicio u oxinitruro de silicio. Después del procedimiento de grabado, la capa dieléctrica 139 debajo de las zanjás 139t tiene un grosor restante T20, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 5 micrómetros, de entre 0,5 y 2 micrómetros, de entre 0,1 y 3 micrómetros o de entre 0,2 y 1,5 micrómetros.

[0206] De forma alternativa, se puede aplicar una técnica de detención de grabado al procedimiento de formación de las zanjás 139t en la capa dieléctrica 139. En este caso, la capa dieléctrica 139 está compuesta por las capas inorgánicas descritas previamente, por ejemplo, que incluyen la primera capa de óxido de silicio sobre las superficies 124s, 138s y 158s, la capa de oxinitruro de silicio, usada como capa de detención de grabado, sobre la primera capa de óxido de silicio, y la segunda capa de óxido de silicio sobre la capa de oxinitruro de silicio. Se pueden formar las zanjás 139t en la capa dieléctrica 139 al grabar la segunda capa de óxido de silicio de la capa dieléctrica 139 debajo de las aberturas 154a y las capas dieléctricas de pared lateral 127 debajo de las aberturas 154a hasta que se expone la capa de oxinitruro de silicio de la capa dieléctrica 139 por las aberturas 154a. En consecuencia, se forman las zanjás 139t en la segunda capa de óxido de silicio de la capa dieléctrica 139, y la capa dieléctrica 139 restante, compuesta por la capa de oxinitruro de silicio y la primera capa de óxido de silicio, debajo de las zanjás 139t tiene un grosor T20, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 5 micrómetros, de entre 0,5 y 2 micrómetros, de entre 0,1 y 3 micrómetros o de entre 0,2 y 1,5 micrómetros.

[0207] Seguidamente, en referencia a la fig. 73, se elimina la capa fotorresistente 154 usando, por ejemplo, una sustancia química orgánica. Las zanjás 139t formadas en la capa dieléctrica 139 se usan para proporcionar huecos que tienen conectores entre chips y conectores intrachip formados en los mismos. Las capas dieléctricas de pared lateral 127 formadas sobre las paredes laterales de las vías pasantes 156v (tales como las vías pasantes 156b, 156c, 156d, 156e y 156f) en los chips 118 pueden evitar que metales de transición, tales como cobre, sodio o humedad penetren en el interior de dispositivos de CI de los chips 118. La fig. 74 es una vista en perspectiva superior

esquemática que muestra las vías pasantes 156v, las zanjas 139t y las capas dieléctricas de pared lateral 127 ilustradas en la fig. 73 de acuerdo con un modo de realización de la presente invención, y la fig. 73 es una vista en sección transversal cortada a lo largo del línea K-K mostrada en la fig. 74.

[0208] Seguidamente, en referencia a la fig. 75, se forma una capa de adhesión/barrera 125a que tiene un grosor, por ejemplo, más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las capas 17, 19 y 86 expuestas por las vías pasantes 156v, sobre las paredes laterales y las partes inferiores de las zanjas 139t, sobre la capa dieléctrica 127, y sobre el conector o pista metálica 75a que está sobre el soporte 803. Se puede formar la capa de adhesión/barrera 125a por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD), o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se puede formar una capa germinal 125b que tiene un grosor, por ejemplo, más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa de adhesión/barrera 125a por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD) o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se puede formar una capa de conducción 125c que tiene un grosor, por ejemplo, de entre 0,5 y 20 micrómetros o de entre 0,5 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros, sobre la capa germinal 125b usando, por ejemplo, un procedimiento de electrochapado.

[0209] La capa de adhesión/barrera 125a puede incluir o puede ser una capa de titanio, una aleación de titanio-volframio, nitruro de titanio, cromo, tántalo, nitruro de tántalo, níquel o níquel-vanadio que tiene un grosor, por ejemplo, más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros. La capa germinal 125b puede incluir o puede ser una capa de cobre, una aleación de titanio-cobre, níquel, oro o plata que tiene un grosor, por ejemplo, más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros. La capa de conducción 125c puede incluir o puede ser una capa metálica electrochapada de cobre, oro o plata que tiene un grosor, por ejemplo, de entre 0,5 y 20 micrómetros o de entre 0,5 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros.

[0210] Seguidamente, en referencia a la fig. 76, usando un procedimiento de rectificado o pulido, tal como procedimiento de pulido químico-mecánico (CMP), procedimiento de pulido mecánico, procedimiento de rectificado mecánico, o un procedimiento que incluye pulido mecánico y grabado químico, se pueden eliminar las capas 125a, 125b y 125c fuera de las zanjas 139t, y se puede eliminar la capa dieléctrica 127 sobre la superficie superior de la capa dieléctrica 139. En consecuencia, la capa dieléctrica 139 tiene una superficie superior expuesta 139s que puede ser sustancialmente coplanaria con la superficie rectificada o pulida 227 de la capa de conducción 125c en las zanjas 139t, y las superficies 139s y 227 pueden ser sustancialmente planas. La capa dieléctrica 139 tiene un grosor T21, entre la superficie superior expuesta 139s y la superficie 124s o 158s, por ejemplo, de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 3 micrómetros o de entre 2 y 5 micrómetros. La capa de adhesión/barrera 125a y la capa germinal 125b están en las paredes laterales y una parte inferior de la capa de conducción 125c en las zanjas 139t, y las paredes laterales y la parte inferior de la capa de conducción 125c en las zanjas 139t están cubiertas por la capa de adhesión/barrera 125a y la capa germinal 125b.

[0211] En una primera alternativa, después de las etapas de eliminación de las capas 125a, 125b y 125c fuera de las zanjas 139t y la eliminación de la capa dieléctrica 127 sobre la superficie superior de la capa dieléctrica 139, la capa de adhesión/barrera 125a puede ser una capa que contiene titanio, tal como una capa única de titanio, aleación de titanio-volframio o nitruro de titanio, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales y las partes inferiores de las zanjas 139t, sobre las capas 17, 19 y 86 en las partes inferiores de las vías pasantes 156v, sobre las capas dieléctricas de pared lateral 127 y sobre el conector o pista metálica 75a que está sobre el soporte 803. La capa germinal 125b puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene titanio. La capa de conducción 125c puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjas 139t, y en las vías pasantes 156v. La capa de cobre electrochapado en las zanjas 139t puede tener un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,5 y 3 micrómetros.

[0212] En una segunda alternativa, después de las etapas de eliminación de las capas 125a, 125b y 125c fuera de las zanjas 139t y la eliminación de la capa dieléctrica 127 sobre la superficie superior de la capa dieléctrica 139, la capa de adhesión/barrera 125a puede ser una capa que contiene tántalo, tal como una capa única de tántalo o nitruro de tántalo, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales y las partes inferiores de las zanjas 139t, sobre las capas 17, 19 y 86 en las partes inferiores de las vías pasantes 156v, sobre las capas dieléctricas de pared lateral 127 y sobre el conector o pista metálica 75a que está sobre el soporte 803. La capa germinal 125b puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa

que contiene tántalo. La capa de conducción 125c puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjas 139t, y en las vías pasantes 156v. La capa de cobre electrochapado en las zanjas 139t puede tener un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,5 y 3 micrómetros.

[0213] En una tercera alternativa, después de las etapas de eliminación de las capas 125a, 125b y 125c fuera de las zanjas 139t y la eliminación de la capa dieléctrica 127 sobre la superficie superior de la capa dieléctrica 139, la capa de adhesión/barrera 125a puede ser una capa que contiene cromo, tal como una capa única de cromo, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales y las partes inferiores de las zanjas 139t, sobre las capas 17, 19 y 86 en las partes inferiores de las vías pasantes 156v, sobre las capas dieléctricas de pared lateral 127, y sobre el conector o pista metálica 75a que está sobre el soporte 803. La capa germinal 125b puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene cromo. La capa de conducción 125c puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjas 139t, y en las vías pasantes 156v. La capa de cobre electrochapado en las zanjas 139t puede tener un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,5 y 3 micrómetros.

[0214] Después de las etapas de eliminación de las capas 125a, 125b y 125c fuera de las zanjas 139t y la eliminación de la capa dieléctrica 127 sobre la superficie superior de la capa dieléctrica 139, las capas 125a, 125b y 125c en las zanjas 139t componen múltiples conectores metálicos (o pistas metálicas damasquinadas) 3a, 3b y 3c, en las zanjas 139t. Las capas 125a, 125b y 125c en las vías pasantes 156v componen múltiples tapones metálicos (o vías metálicas) 7p en las vías pasantes 156v, incluyendo los tapones metálicos (o vías metálicas) 7a, 7b, 7c, 7d, 7e y 7f en las vías pasantes 156a, 156b, 156c, 156d, 156e y 156f como se muestra en la fig. 73, respectivamente. Cada uno de los tapones metálicos 7p en los chips 118 y en el/los sustrato(s) inactivo(s) 158 está rodeado por una de las capas dieléctricas de pared lateral 127 en las vías pasantes 156v. El tapón metálico 7a se forma en el sustrato inactivo 158, los tapones metálicos 7b, 7c y 7d se forman en uno de los chips 118, y los tapones metálicos 7f y 7e se forman en otro de los chips 118. El soporte 803 y el conector o pista metálica 75a, en la capa de interconexión 17, sobre el soporte 803 pueden estar entre dos partes, más bajas que un nivel horizontal, en el que se sitúa una superficie superior de la capa de interconexión 17, del tapón metálico 7e. Estos tapones metálicos 7p formados en los chips 118 y en el/los sustrato(s) inactivo(s) 158 pueden conectar los conectores metálicos 3 y los dispositivos semiconductores 13 en los chips 118 y conectar los conectores metálicos 2 y 3. Los conectores metálicos 3, tales como 3a, 3b y 3c, en las zanjas 139t pueden tener un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 1 y 3 micrómetros.

[0215] Uno de los tapones metálicos 7p, tal como el tapón metálico 7a, se puede formar en el sustrato inactivo 158 y formarse sobre un punto de contacto, en una parte inferior de una de las vías pasantes 156v (tal como la vía pasante 156a), de la capa de conducción 86 de uno de los conectores metálicos 2. Otro de los tapones metálicos 7p, tal como el tapón metálico 7b, se puede formar en uno de los chips 118 y formarse sobre otro punto de contacto, en una parte inferior de otra de las vías pasantes 156v (tal como la vía pasante 156b), de la capa de conducción 86 en otro de los conectores metálicos 2, tal como el conector metálico 2a. Otro de los tapones metálicos 7p, tal como el tapón metálico 7c, se puede formar en el uno de los chips 118 y formarse sobre un punto de contacto, en una parte inferior de otra de las vías pasantes 156v (tal como la vía pasante 156c), del conector o pista metálica 75d en el uno de los chips 118. Otro de los tapones metálicos 7p, tal como el tapón metálico 7d, se puede formar en el uno de los chips 118 y formarse sobre un punto de contacto, en una parte inferior de otra de las vías pasantes 156v (tal como la vía pasante 156d), del conector o pista metálica 75c en el uno de los chips 118. Otro de los tapones metálicos 7p, tal como el tapón metálico 7f, se puede formar en otro de los chips 118 y formarse sobre un punto de contacto, en una parte inferior de otra de las vías pasantes 156v (tal como la vía pasante 156f), del conector o pista metálica 75b en el otro de los chips 118. Otro de los tapones metálicos 7p, tal como el tapón metálico 7e, se puede formar en el otro de los chips 118, formarse sobre un punto de contacto del conector o pista metálica 75a encima de un soporte (tal como el soporte 803) que está entre dos partes izquierda y derecha más bajas del otro de los tapones metálicos 7p (tal como el tapón metálico 7e), y formarse sobre otro punto de contacto, en una parte inferior de otra de las vías pasantes 156v (tal como la vía pasante 156e), de la capa de conducción 86 en otro de los conectores metálicos 2, tal como el conector metálico 2b.

[0216] El conector metálico 3a se puede formar encima de uno o más de los chips 118. El conector metálico 3b se puede formar encima de los múltiples chips 118 y a través de múltiples bordes de los múltiples chips 118. El conector metálico 3c se puede formar encima de uno o más de los chips 118 y encima del/los sustrato(s) inactivo(s) 158.

[0217] El conector metálico 3a se puede conectar a un punto de contacto, en una parte inferior de la vía pasante 156b, del conector metálico 2a a través del tapón metálico 7b en uno de los chips 118 y se puede conectar a un punto de contacto, en una parte inferior de la vía pasante 156c, del conector o pista metálica 75d en el uno de los chips 118 a través del tapón metálico 7c en el uno de los chips 118. El conector metálico 3b se puede conectar a un punto de contacto, en una parte inferior de la vía pasante 156d, del conector o pista metálica 75c en el uno de los chips 118 a través del tapón metálico 7d en el uno de los chips 118 y se puede conectar a un punto de contacto, en una parte inferior de la vía pasante 156f, del conector o pista metálica 75b en otro de los chips 118 a través del tapón metálico 7f en el otro de los chips 118. El conector metálico 3c se puede conectar a un punto de contacto, en una parte inferior

de la vía pasante 156e, del conector metálico 2b a través del tapón metálico 7e en el otro de los chips 118, se puede conectar a uno o más de los dispositivos semiconductores 13 en el otro de los chips 118 a través del tapón metálico 7e y el conector o pista metálica 75a en el otro de los chips 118, y se puede conectar a un punto de contacto, en una parte inferior de la vía pasante 156a, de otro de los conectores metálicos 1 a través del tapón metálico 7a en el sustrato inactivo 158. En consecuencia, los puntos de contacto en las partes inferiores de las vías pasantes 156b y 156c se pueden conectar entre sí a través del conector metálico 3a, los puntos de contacto en las partes inferiores de las vías pasantes 156d y 156f se pueden conectar entre sí a través del conector metálico 3b, y los puntos de contacto en las partes inferiores de las vías pasantes 156a y 156e se pueden conectar entre sí a través del conector metálico 3c.

[0218] En consecuencia, uno de los dispositivos semiconductores 13 en uno de los chips 118 se puede conectar a otro de los dispositivos semiconductores 13 en el uno de los chips 118 o en otro de los chips 118 a través de uno de los conectores metálicos 3, tal como 3a o 3b, y se puede conectar a un punto de contacto, en una parte inferior de una de las vías pasantes 156v (tal como la vía pasante 156a, 156b o 156e), de la capa de conducción 86 de uno de los conectores metálicos 2, tal como 2a o 2b, a través del uno de los conectores metálicos 3. Cada uno de los conectores metálicos 3 puede ser una pista de señal, una línea de bits, un bus de reloj, un plano de potencia, un bus de potencia, una pista de potencia, un plano de tierra, un bus de tierra o una pista de tierra.

[0219] De forma alternativa, el elemento 118 no solo puede indicar un chip, sino que también puede indicar una oblea. Cuando el elemento 118 es una oblea, el elemento 72 puede ser otra oblea. De este modo, el procedimiento ilustrado en la invención se puede emplear para la unión de oblea a oblea.

[0220] En referencia a la fig. 77, después de formar la estructura ilustrada en la fig. 76, se puede formar una capa aislante o dieléctrica 122 sobre la superficie rectificadora o pulida 223 de la capa de adhesión/barrera 125a, sobre la superficie rectificadora o pulida 225 de la capa germinal 125b, sobre la superficie rectificadora o pulida 227 de la capa de conducción 125c y sobre la superficie superior expuesta 139s de la capa dieléctrica 139. Seguidamente, se puede formar una capa de polímero 136, tal como una capa de polímero fotosensible, sobre la capa aislante o dieléctrica 122 usando, por ejemplo, un procedimiento de recubrimiento por rotación. Seguidamente, se puede emplear un procedimiento de fotoexposición y un procedimiento de revelado químico para formar múltiples aberturas 136a, exponiendo múltiples regiones de la capa aislante o dieléctrica 122, en la capa de polímero 136. Seguidamente, la capa de polímero 136 se puede curar a una temperatura de entre 180 grados centígrados y 300 grados centígrados o de entre 180 grados centígrados y 250 grados centígrados. La capa de polímero 136 después de curarse puede tener un grosor, por ejemplo, de entre 1 y 20 micrómetros, y preferentemente de entre 2 y 15 micrómetros o de entre 5 y 10 micrómetros. La capa de polímero 136 puede ser una capa de poliimida, una capa de benzociclobuteno (BCB), una capa de polibenzoxazol (PBO), una capa de poli(óxido de fenileno) (PPO), una capa de epoxi o una capa de SU-8.

[0221] La capa aislante o dieléctrica 122 puede tener un grosor, por ejemplo, de entre 0,05 y 20 micrómetros, y preferentemente de entre 0,05 y 5 micrómetros, de entre 0,05 y 3 micrómetros, de entre 0,05 y 1 micrómetros o de entre 0,05 y 0,5 micrómetros. La capa aislante o dieléctrica 122, por ejemplo, puede incluir o puede ser una capa de óxido de silicio (tal como SiO_2), nitruro de silicio (tal como Si_3N_4), carbonitruro de silicio (tal como SiCN), oxinitruro de silicio (tal como SiON) u oxicarburo de silicio (tal como SiOC) con un grosor, por ejemplo, de entre 0,05 y 20 micrómetros, y preferentemente de entre 0,05 y 5 micrómetros, de entre 0,05 y 3 micrómetros, de entre 0,05 y 1 micrómetros o de entre 0,05 y 0,5 micrómetros, formada por un procedimiento de depósito químico de vapor (CVD) o un procedimiento de depósito químico de vapor potenciado por plasma (PECVD). De forma alternativa, la capa aislante o dieléctrica 122 puede incluir o puede ser una capa de polímero con un grosor, por ejemplo, de entre 0,05 y 20 micrómetros, y preferentemente de entre 0,05 y 5 micrómetros, de entre 0,05 y 3 micrómetros, de entre 0,05 y 1 micrómetros o de entre 0,05 y 0,5 micrómetros, formada, por ejemplo, por un procedimiento que incluye un procedimiento de recubrimiento por rotación y un procedimiento de curado, y la capa de polímero puede ser una capa de poliimida, benzociclobuteno (BCB), polibenzoxazol (PBO), poli(óxido de fenileno) (PPO) o epoxi.

[0222] Seguidamente, en referencia a la fig. 78, la capa aislante o dieléctrica 122 bajo las aberturas 136a en la capa de polímero 136 se puede eliminar por un procedimiento de grabado. En consecuencia, se pueden formar múltiples aberturas en la capa aislante o dieléctrica 122 y debajo de las aberturas 136a y exponer múltiples puntos de contacto, que sirven como islas de potencia, islas de tierra o islas de entrada/salida de señal (E/S), de la capa de conducción 125c de los conectores metálicos 3.

[0223] Seguidamente, en referencia a la fig. 79, se puede formar una capa de adhesión/barrera 134 que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, sobre la capa de polímero 136 y sobre los puntos de contacto, expuestos por las aberturas en la capa aislante o dieléctrica 122 y debajo de las aberturas 136a en la capa de polímero 136, de la capa de conducción 125c de los conectores metálicos 3 por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD) o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se puede formar una capa germinal 132 que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, sobre la capa de adhesión/barrera 134 por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD) o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente,

se puede formar una capa fotorresistente 152, tal como una capa fotorresistente de tipo positivo o una capa fotorresistente de tipo negativo, que tiene un grosor, por ejemplo, de entre 20 y 200 micrómetros, de entre 20 y 150 micrómetros, de entre 20 y 130 micrómetros, de entre 20 y 100 micrómetros o de entre 20 y 50 micrómetros sobre la capa germinal 132, por ejemplo, por un procedimiento de recubrimiento por rotación o un procedimiento de laminación. Seguidamente, se estampa la capa fotorresistente 152 con los procedimientos de fotoexposición y revelado químico para formar múltiples aberturas 152a, exponiendo múltiples regiones de la capa germinal 132, en la capa fotorresistente 152. Se puede usar un paso a paso IX o un alineador de contacto IX para exponer la capa fotorresistente 152 durante el procedimiento de fotoexposición.

[0224] La capa de adhesión/barrera 134 puede incluir o puede ser una capa de titanio, una aleación de titanio-volframio, nitruro de titanio, cromo, tántalo, nitruro de tántalo, níquel o níquel-vanadio que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros. La capa germinal 132 puede incluir o puede ser una capa de cobre, una aleación de titanio-cobre, níquel, oro o plata que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros.

[0225] Por ejemplo, cuando se forma la capa de adhesión/barrera 134 por un procedimiento o procedimientos adecuados, por ejemplo, pulverizando una capa que contiene titanio, tal como una capa única de titanio, una aleación de titanio-volframio o nitruro de titanio, que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre la capa de polímero 136 y sobre los puntos de contacto, expuestos por las aberturas en la capa aislante o dieléctrica 122 y debajo de las aberturas 136a en la capa de polímero 136, de la capa de conducción 125c de los conectores metálicos 3, se puede formar la capa germinal 132 por un procedimiento o procedimientos adecuados, por ejemplo, pulverizando una capa de cobre, una aleación de titanio-cobre, níquel, oro o plata con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene titanio.

[0226] De forma alternativa, cuando se forma la capa de adhesión/barrera 134 por un procedimiento o procedimientos adecuados, por ejemplo, pulverizando una capa que contiene tántalo, tal como una capa única de tántalo o nitruro de tántalo, que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre la capa de polímero 136 y sobre los puntos de contacto, expuestos por las aberturas en la capa aislante o dieléctrica 122 y debajo de las aberturas 136a en la capa de polímero 136, de la capa de conducción 125c de los conectores metálicos 3, se puede formar la capa germinal 132 por un procedimiento o procedimientos adecuados, por ejemplo, pulverizando una capa de cobre, una aleación de titanio-cobre, níquel, oro o plata con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene tántalo.

[0227] Seguidamente, en referencia a la fig. 80, se puede formar una capa de conducción 130 que tiene un grosor mayor de 1 micrómetro, tal como de entre 1 y 100 micrómetros, de entre 1 y 50 micrómetros, de entre 1 y 20 micrómetros o de entre 1 y 10 micrómetros, en las aberturas 152a y sobre las regiones, expuestas por las aberturas 152a, de la capa germinal 132 usando, por ejemplo, un procedimiento de electrochapado. Seguidamente, se puede formar una capa de barrera 128 que tiene un grosor, por ejemplo, de entre 0,5 y 10 micrómetros, de entre 0,5 y 5 micrómetros o de entre 0,5 y 3 micrómetros en las aberturas 152a y sobre la capa de conducción 130 usando, por ejemplo, un procedimiento de electrochapado o un procedimiento de chapado autocatalítico. Seguidamente, se puede formar opcionalmente una capa humectante de soldadura, tal como una capa de oro, en las aberturas 152a y sobre la capa de barrera 128 usando, por ejemplo, un procedimiento de electrochapado o un procedimiento de chapado autocatalítico. Seguidamente, se puede formar una capa de soldadura 126 que tiene un grosor, por ejemplo, mayor de 5 micrómetros en las aberturas 152a y sobre la capa de barrera 128 o la capa humectante de soldadura usando, por ejemplo, un procedimiento de electrochapado.

[0228] La capa de conducción 130 puede ser una capa metálica que puede incluir o puede ser una capa de cobre, oro o plata con un grosor mayor de 1 micrómetro, tal como de entre 1 y 100 micrómetros, de entre 1 y 50 micrómetros, de entre 1 y 20 micrómetros o de entre 1 y 10 micrómetros, formada por un procedimiento de electrochapado. La capa de barrera 128 puede ser una capa metálica que puede incluir o puede ser una capa de níquel, níquel-vanadio o una aleación de níquel con un grosor, por ejemplo, de entre 0,5 y 10 micrómetros, de entre 0,5 y 5 micrómetros o de entre 0,5 y 3 micrómetros formada por un procedimiento de electrochapado. La capa de soldadura 126 puede ser una capa que contiene bismuto, una capa que contiene indio o una capa que contiene estaño de una aleación de estaño-plomo, una aleación de estaño-plata, una aleación de estaño-plata-cobre o una aleación de estaño-oro con un grosor mayor de 5 micrómetros.

[0229] En referencia a la fig. 81, después de formar la capa de soldadura 126 ilustrada en la fig. 80, la capa fotorresistente 152 se elimina usando, por ejemplo, una solución química orgánica. Seguidamente, se elimina la capa germinal 132 que no está debajo de la capa de conducción 130 usando, por ejemplo, un procedimiento de grabado químico húmedo o procedimiento de grabado por plasma en seco. Seguidamente, se elimina la capa de adhesión/barrera 134 que no está debajo de la capa de conducción 130 usando, por ejemplo, un procedimiento de grabado químico húmedo o un procedimiento de grabado por plasma en seco. Seguidamente, se puede formar la capa

de soldadura 126 con múltiples protuberancias o bolas de soldadura sólidas 126 sobre la capa de barrera 128 o sobre la capa humectante de soldadura, por ejemplo, por un procedimiento de recubrimiento con fundente, un procedimiento de refusión y un procedimiento de limpieza de fundente, posteriormente. Las protuberancias o bolas de soldadura 126 se usan para la conexión externa.

[0230] En consecuencia, las capas 128, 130, 132 y 134 componen una capa metalúrgica debajo de protuberancias (UBM) 666 sobre la capa de polímero 136 y sobre los puntos de contacto, en las partes inferiores de las aberturas en la capa aislante o dieléctrica 122 y debajo de las aberturas 136a en la capa de polímero 136, de la capa de conducción 125c de los conectores metálicos 3, y se pueden formar las protuberancias o bolas de soldadura 126 sobre la capa UBM 666. De forma alternativa, la capa UBM 666 puede incluir además la capa humectante de soldadura ilustrada en la fig. 80 sobre la capa de barrera 128, y las protuberancias o bolas de soldadura 126 se pueden formar sobre la capa humectante de soldadura de la capa UBM 666.

[0231] Las protuberancias o bolas de soldadura 126 pueden tener una altura de protuberancia, por ejemplo, mayor de 5 micrómetros, tal como de entre 5 y 200 micrómetros, y preferentemente de entre 10 y 100 micrómetros o de entre 10 y 30 micrómetros, y un ancho o diámetro, por ejemplo, de entre 10 y 200 micrómetros, y preferentemente de entre 50 y 100 micrómetros o de entre 10 y 30 micrómetros. Las protuberancias o bolas de soldadura 126 pueden incluir bismuto, indio, estaño, una aleación de estaño-plomo, una aleación de estaño-plata, una aleación de estaño-plata-cobre o una aleación de estaño-oro. Cada uno de los conectores 3, tal como el conector 3a, 3b o 3c como se muestra en la fig. 76, se puede conectar a una o más de las protuberancias o bolas de soldadura 126 a través de la capa UBM 666.

[0232] Seguidamente, en referencia a la fig. 82, se puede realizar un procedimiento de individualización para cortar el portador 11, los sustratos inactivos 62, 165 y 158, y las capas 22, 60, 66, 88, 116, 120, 122, 136, 139 y 140 usando, por ejemplo, corte mecánico o corte por láser y para individualizar múltiples sistemas en paquetes o módulos multichip, tales como los sistemas en paquetes o los módulos multichip 555 y 555a.

[0233] De forma alternativa, antes del procedimiento de individualización, se pueden formar múltiples tapones metálicos o vías en múltiples aberturas en el sustrato 10 y la capa dieléctrica 12 del portador 11, que pasan a través del sustrato 10 y la capa dieléctrica 12, y conectarse a la capa conductora 18 del portador 11. Los tapones metálicos o las vías pueden incluir o pueden ser de cobre, aluminio, oro o níquel. De forma alternativa, los tapones metálicos o las vías pueden incluir además titanio, una aleación de titanio-volframio, nitruro de titanio, tántalo, nitruro de tántalo, una aleación de titanio-cobre o cromo. Seguidamente, se pueden formar múltiples pistas metálicas en un lado inferior del sustrato 10 y conectarse a la capa conductora 18 del portador 11 a través de los tapones metálicos o las vías. Cada una de las pistas metálicas puede incluir una capa de titanio, una aleación de titanio-volframio, nitruro de titanio, cromo, tántalo, nitruro de tántalo o una aleación de titanio-cobre debajo del lado inferior del sustrato 10, y una capa metálica electrochapada debajo de la capa de titanio, una aleación de titanio-volframio, nitruro de titanio, cromo, tántalo, nitruro de tántalo o una aleación de titanio-cobre. La capa metálica electrochapada puede incluir o puede ser una capa de cobre, oro, aluminio o níquel. Seguidamente, se pueden fijar múltiples componentes pasivos, tales como condensadores, inductores o resistencias, al lado inferior del sustrato 10 y unirse a las pistas metálicas usando soldaduras. Las soldaduras pueden incluir bismuto, indio, estaño, una aleación de estaño-plomo, una aleación de estaño-plata, una aleación de estaño-plata-cobre, una aleación de estaño-oro o una aleación de estaño-cobre. Después de que los componentes pasivos se unen con las pistas metálicas, se puede realizar el procedimiento de individualización para cortar el portador 11, los sustratos inactivos 62, 165 y 158, y las capas 22, 60, 66, 88, 116, 120, 122, 136, 139 y 140 usando, por ejemplo, corte mecánico o corte por láser y para individualizar múltiples sistemas en paquetes o módulos multichip, tales como los sistemas en paquetes o los módulos multichip 555 y 555a.

[0234] En consecuencia, el sistema en paquete o el módulo multichip 555 puede tener uno de los componentes pasivos que tiene un primer terminal conectado al tapón metálico 5a o 5b como se muestra en la fig. 26 a través de, en secuencia, una de las soldaduras, una de las pistas metálicas en el lado inferior del sustrato 10, uno de los tapones metálicos o las vías en el sustrato 10, y un conector metálico de la capa conductora 18 en el lado superior del sustrato 10, y tiene un segundo terminal conectado al tapón metálico 5e como se muestra en la fig. 26 a través de, en secuencia, otra de las soldaduras, otro de las pistas metálicas en el lado inferior del sustrato 10, otro de los tapones metálicos o las vías en el sustrato 10, y otro conector metálico de la capa conductora 18 en el lado superior del sustrato 10.

[0235] El sistema en paquete o el módulo multichip 555 se puede conectar a y unir con un portador, tal como una placa base, una placa de circuito impreso (PCB), un sustrato de matriz de rejilla de bolas (BGA), un sustrato de metal, un sustrato de vidrio o un sustrato de cerámica, usando las protuberancias o bolas de soldadura 126. Por ejemplo, en referencia a la fig. 83, el sistema en paquete o el módulo multichip 555 se puede unir con un lado superior de un portador 176 usando, por ejemplo, una tecnología de chip invertido para juntar las protuberancias o bolas de soldadura 126 con una capa de soldadura o de oro preformada sobre el lado superior del portador 176. Seguidamente, se puede formar un relleno subyacente 174 entre la capa de polímero 136 del sistema en paquete o del módulo multichip 555 y el lado superior del portador 176 y que rodea las protuberancias o bolas de soldadura 126. El relleno subyacente 174 puede incluir epoxi, relleno de vidrio o relleno de carbono, y el relleno de vidrio o relleno de carbono se puede distribuir en la epoxi. Seguidamente, se pueden formar múltiples bolas de soldadura 178 sobre un lado inferior del portador 176. Cada una de las bolas de soldadura 178 puede ser una bola de una aleación Sn-Ag, una aleación Sn-Ag-Cu, una

aleación Sn-Au o una aleación Sn-Pb que tiene un diámetro entre 0,25 y 1,2 milímetros. El portador 176 puede tener un grosor, por ejemplo, de entre 0,1 y 2 milímetros y puede ser un sustrato de matriz de rejilla de bolas (BGA) o una placa de circuito impreso (PCB). El portador 176 puede incluir un núcleo que contiene BT, FR4, epoxi y fibra de vidrio, y múltiples capas metálicas en ambos lados del núcleo.

[0236] La fig. 84 muestra otro sistema en paquete o módulo multichip de acuerdo con otro modo de realización de la presente divulgación, que se puede formar por las siguientes etapas. Después de las etapas ilustradas en la fig. 79, se puede formar una capa metálica 142, tal como una capa de cobre, oro o plata, que tiene un grosor, por ejemplo, de entre 10 y 100 micrómetros, y preferentemente de entre 20 y 60 micrómetros, sobre las regiones, expuestas por las aberturas 152a en la capa fotorresistente 152, de la capa germinal 132 y en las aberturas 152a usando, por ejemplo, un procedimiento de electrochapado. Seguidamente, se puede formar una capa de barrera 144, tal como una capa de níquel o una aleación de níquel-vanadio, que tiene un grosor, por ejemplo, de entre 0,2 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros, en las aberturas 152a y sobre la capa metálica 142 usando, por ejemplo, un procedimiento de electrochapado o un procedimiento de chapado autocatalítico. Seguidamente, se puede formar una capa humectante de soldadura 146, tal como una capa de oro, plata, cobre o estaño, que tiene un grosor, por ejemplo, de entre 0,02 y 5 micrómetros, y preferentemente de entre 0,1 y 1 micrómetros, en las aberturas 152a y sobre la capa de barrera 144 usando, por ejemplo, un procedimiento de electrochapado o un procedimiento de chapado autocatalítico. Seguidamente, la capa fotorresistente 152 se elimina usando, por ejemplo, una solución química orgánica. Seguidamente, se elimina la capa germinal 132 que no está debajo de la capa metálica 142 usando, por ejemplo, un procedimiento de grabado químico húmedo o un procedimiento de grabado por plasma en seco. Seguidamente, se elimina la capa de adhesión/barrera 134 que no está debajo de la capa metálica 142 usando, por ejemplo, un procedimiento de grabado químico húmedo o un procedimiento de grabado por plasma en seco. En consecuencia, las capas 132, 134, 142, 144 y 146 componen múltiples protuberancias metálicas 668 sobre la capa de polímero 136 y sobre los puntos de contacto, en las partes inferiores de las aberturas en la capa aislante o dieléctrica 122 y debajo de las aberturas 136a en la capa de polímero 136, de la capa de conducción 125c de los conectores metálicos 3. Las protuberancias metálicas 668 pueden tener un ancho, por ejemplo, de entre 20 y 400 micrómetros, y preferentemente de entre 50 y 100 micrómetros, y una altura, por ejemplo, de entre 10 y 100 micrómetros, y preferentemente de entre 20 y 60 micrómetros. Seguidamente, se puede realizar un procedimiento de individualización para cortar el portador 11, los sustratos inactivos 62, 165 y 158, y las capas 22, 60, 66, 88, 116, 120, 122, 136, 139 y 140 usando, por ejemplo, corte mecánico o corte por láser y para individualizar múltiples sistemas en paquetes o módulos multichip, tales como el sistema en paquete o el módulo multichip 555b como se muestra en la fig. 84. En el sistema en paquete o el módulo multichip 555b, cada uno de los conectores 3, tal como el conector 3a, 3b o 3c como se muestra en la fig. 76, se puede conectar a una o más de las protuberancias metálicas 668, y las protuberancias metálicas 668 se pueden usar para conexión externa.

[0237] El sistema en paquete o el módulo multichip 555b se puede conectar a y unir con un portador, tal como una placa base, una placa de circuito impreso (PCB), un sustrato de matriz de rejilla de bolas (BGA), un sustrato de metal, un sustrato de vidrio o un sustrato de cerámica, usando las protuberancias metálicas 668. Por ejemplo, en referencia a la fig. 85, el sistema en paquete o el módulo multichip 555b se puede unir con el lado superior del portador 176 ilustrado en la fig. 83 usando, por ejemplo, una tecnología de chip invertido para juntar la capa humectante de soldadura 146 de las protuberancias metálicas 668 con una capa de soldadura o de oro preformada sobre el lado superior del portador 176. Después de juntar la capa humectante de soldadura 146 con la capa de soldadura o de oro preformada sobre el lado superior del portador 176, se forman múltiples juntas metálicas 180 entre la capa de barrera 144 de las protuberancias metálicas 668 y el lado superior del portador 176. Las juntas metálicas 180 pueden ser una capa de una aleación Sn-Ag, una aleación Sn-Ag-Cu, una aleación Sn-Au o una aleación Sn-Pb que tiene un grosor de entre 5 y 50 micrómetros. De forma alternativa, las juntas metálicas 180 pueden ser una capa de oro que tiene un grosor de entre 0,1 y 10 micrómetros. Seguidamente, se puede formar el relleno subyacente 174 ilustrado en la fig. 83 entre la capa de polímero 136 del sistema en paquete o del módulo multichip 555b y el lado superior del portador 176 y que rodea las protuberancias metálicas 668 y las juntas metálicas 180. Seguidamente, se pueden formar las bolas de soldadura 178 ilustradas en la fig. 83 sobre el lado inferior del portador 176.

[0238] De forma alternativa, se puede omitir la capa aislante o dieléctrica 122 como se muestra en las figs. 77-85. En este caso, se forma la capa de polímero 136 sobre las superficies 223, 225, 227 y 139s, y los puntos de contacto de la capa de conducción 125c de los conectores metálicos 3 se exponen por y en los extremos de las aberturas 136a en la capa de polímero 136. Además, se forma la capa de adhesión/barrera 134 sobre los puntos de contacto, expuestos por y en los extremos de las aberturas 136a en la capa de polímero 136, de la capa de conducción 125c de los conectores metálicos 3.

[0239] Las figs. 86 y 87 muestran un procedimiento para formar otro sistema en paquete o módulo multichip de acuerdo con otro modo de realización de la presente divulgación. En referencia a la fig. 86, después de formar la estructura ilustrada en la fig. 76, se puede formar la capa aislante o dieléctrica 122 ilustrada en la fig. 77 sobre las superficies rectificadas o pulidas de las capas 125a y 125b, sobre la superficie rectificada o pulida 227 de la capa de conducción 125c, y sobre la superficie superior expuesta 139s de la capa dieléctrica 139. Seguidamente, se forman múltiples aberturas 122a en la capa aislante o dieléctrica 122 usando, por ejemplo, un procedimiento de fotolitografía y un procedimiento de grabado dieléctrico y exponen múltiples regiones de la capa de conducción 125c de los conectores metálicos 3. Seguidamente, se pueden formar múltiples pistas o conectores metálicos 300 sobre la capa aislante o

dieléctrica 122 y sobre las regiones, expuestas por las aberturas 122a en la capa 122, de la capa de conducción 125c de los conectores metálicos 3. Seguidamente, se puede formar una capa de polímero 136, tal como una capa de polímero fotosensible, sobre la capa aislante o dieléctrica 122 y sobre las pistas o conectores metálicos 300 usando, por ejemplo, un procedimiento de recubrimiento por rotación. Seguidamente, se puede emplear un procedimiento de fotoexposición y un procedimiento de revelado químico para formar múltiples aberturas 136a, exponiendo múltiples puntos de contacto de las pistas o conectores metálicos 300, en la capa de polímero 136. Seguidamente, la capa de polímero 136 se puede curar a una temperatura de entre 180 grados centígrados y 300 grados centígrados o de entre 180 grados centígrados y 250 grados centígrados. La capa de polímero 136 después de curarse puede tener un grosor, por ejemplo, de entre 1 y 20 micrómetros, y preferentemente de entre 2 y 15 micrómetros o de entre 5 y 10 micrómetros. La capa de polímero 136 puede ser una capa de poliimida, una capa de benzociclobuteno (BCB), una capa de polibenzoxazol (PBO), una capa de poli(óxido de fenileno) (PPO), una capa de epoxi o una capa de SU-8.

[0240] Cada una de las pistas o conectores metálicos 300 puede ser una pista de señal, una línea de bits, un bus de reloj, un plano de potencia, un bus de potencia, una pista de potencia, un plano de tierra, un bus de tierra o una pista de tierra. En una primera alternativa, las pistas o conectores metálicos 300 se pueden formar por las siguientes etapas. En primer lugar, se puede formar una capa metálica 148 sobre la capa aislante o dieléctrica 122 y sobre las regiones, expuestas por las aberturas 122a en la capa 122, de la capa de conducción 125c de los conectores metálicos 3 pulverizando una capa de adhesión/barrera con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, sobre la capa aislante o dieléctrica 122 y sobre las regiones, expuestas por las aberturas 122a en la capa 122, de la capa 125c de los conectores metálicos 3, y a continuación pulverizando una capa germinal con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, sobre la capa de adhesión/barrera. La capa de adhesión/barrera puede incluir o puede ser una capa de titanio, una aleación de titanio-volframio, nitruro de titanio, cromo, tántalo, nitruro de tántalo, níquel o níquel-vanadio que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros. La capa germinal puede incluir o puede ser una capa de cobre, una aleación de titanio-cobre, níquel, oro o plata que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros. Seguidamente, se puede formar una capa fotorresistente estampada sobre la capa germinal de la capa metálica 148, y múltiples aberturas en la capa fotorresistente estampada exponen múltiples regiones de la capa germinal. Seguidamente, se puede formar una capa de conducción 150 sobre las regiones, expuestas por las aberturas en la capa fotorresistente estampada, de la capa germinal de la capa metálica 148 usando un procedimiento de electrochapado. La capa de conducción 150, por ejemplo, puede ser una capa de oro, usada para la unión con hilos unidos por hilo de oro, cobre o aluminio en el procedimiento siguiente, con un grosor de entre 0,5 y 5 micrómetros formada sobre la capa germinal, preferentemente la capa germinal de oro descrita previamente, de la capa metálica 148 por un procedimiento de electrochapado. De forma alternativa, la capa de conducción 150 puede ser una capa de cobre, usada para la unión con hilos unidos por hilo de oro, cobre o aluminio en el procedimiento siguiente, con un grosor de entre 2 y 10 micrómetros formada sobre la capa germinal, preferentemente la capa germinal de cobre o aleación de titanio-cobre descrita previamente, de la capa metálica 148 por un procedimiento de electrochapado. De forma alternativa, la capa de conducción 150 puede incluir una capa de níquel que tiene un grosor de entre 1 y 10 micrómetros formada sobre o encima de la capa germinal, preferentemente la capa germinal de cobre o aleación de titanio-cobre descrita previamente, de la capa metálica 148 por un procedimiento de electrochapado o un procedimiento de chapado autocatalítico, y una capa de oro, usada para la unión con hilos unidos por hilo de oro, cobre o aluminio en el procedimiento siguiente, que tiene un grosor de entre 0,01 y 2 micrómetros formada sobre la capa de níquel por un procedimiento de electrochapado o un procedimiento de chapado autocatalítico. Seguidamente, se puede eliminar la capa fotorresistente estampada. Seguidamente, se puede eliminar la capa metálica 148 que no está debajo de la capa de conducción 150 por un procedimiento de grabado. En consecuencia, las pistas o conectores metálicos 300 pueden estar compuestos por la capa metálica 148 y la capa de conducción 150, y las paredes laterales de la capa de conducción 150 no están cubiertas por la capa metálica 148.

[0241] En una segunda alternativa, las pistas o conectores metálicos 300 se pueden formar por las siguientes etapas. En primer lugar, se puede formar una capa de adhesión/barrera 148 que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, sobre la capa aislante o dieléctrica 122 y sobre las regiones, expuestas por las aberturas 122a en la capa 122, de la capa de conducción 125c de los conectores metálicos 3 por un procedimiento de pulverización catódica. La capa de adhesión/barrera 148 puede ser una capa de titanio, una aleación de titanio-volframio, nitruro de titanio, cromo, tántalo, nitruro de tántalo, níquel o níquel-vanadio que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros. Seguidamente, se puede formar una capa de conducción de unión por hilo 150 que tiene un grosor de entre 0,5 y 5 micrómetros sobre la capa de adhesión/barrera 148 por un procedimiento de pulverización catódica. La capa de conducción de unión por hilo 150 puede ser una capa de aleación de aluminio-cobre, usada para la unión con hilos unidos por hilo de oro, cobre o aluminio en el procedimiento siguiente, que tiene un grosor de entre 0,5 y 5 micrómetros formada por un procedimiento de pulverización catódica. Seguidamente, se puede formar una capa fotorresistente estampada sobre la capa de conducción de unión por hilo 150. Seguidamente, usando un procedimiento de grabado, se pueden eliminar la capa de conducción de unión por hilo 150 que no está debajo de la capa fotorresistente estampada y la capa de adhesión/barrera 148 que no está debajo de la capa fotorresistente estampada. Seguidamente, se puede eliminar la capa fotorresistente estampada. En consecuencia, las pistas o conectores metálicos 300 pueden estar compuestos por la capa de adhesión/barrera 148 y la capa de conducción de unión por hilo 150, y las paredes laterales de la capa de conducción de unión por hilo 150 no están cubiertas por la capa de adhesión/barrera 148.

[0242] Seguidamente, en referencia a la fig. 87, se puede realizar un procedimiento de individualización para cortar el portador 11, los sustratos inactivos 62, 165 y 158, y las capas 22, 60, 66, 88, 116, 120, 122, 136, 139 y 140 usando, por ejemplo, corte mecánico o corte por láser y para individualizar múltiples sistemas en paquetes o módulos multichip, tales como los sistemas en paquetes o los módulos multichip 555c y 555d.

[0243] La fig. 88 muestra un paquete multichip 566 que incluye el sistema en paquete o el módulo multichip 555c conectado al portador 176 ilustrado en la fig. 83 a través de hilos unidos por hilo 184, que se puede formar, por ejemplo, por las siguientes etapas. En primer lugar, se puede juntar una pluralidad del sistema en paquete o del módulo multichip 555c con el portador 176 mostrado en la fig. 83, por ejemplo, formando una capa de pegamento 182 con un grosor de entre 20 y 150 micrómetros sobre el lado superior del portador 176, y a continuación fijando la pluralidad del sistema en paquete o del módulo multichip 555c al lado superior del portador 11 usando la capa de pegamento 182. La capa de pegamento 182 puede ser una capa de polímero, tal como una capa de epoxi, poliimida, benzociclobuteno (BCB), polibenzoxazol (PBO), poli(óxido de fenileno)(PPO), silosano o SU-8, con un grosor, por ejemplo, de entre 20 y 150 micrómetros. Seguidamente, múltiples hilos 184, tales como hilos de oro, hilos de cobre o hilos de aluminio, se pueden unir por hilo sobre el lado superior del portador 176 y sobre los puntos de contacto, expuestos por las aberturas 136a en la capa de polímero 136, de la capa de conducción 150 de las pistas o conectores metálicos 300 por un procedimiento de unión por hilo. En consecuencia, las pistas o conectores metálicos 300 de la pluralidad del sistema en paquete o del módulo multichip 555c se pueden conectar física y eléctricamente al portador 176 a través de los hilos unidos por hilo 184. Seguidamente, se puede formar un compuesto de moldeo 186 sobre la pluralidad del sistema en paquete o del módulo multichip 555c, sobre el lado superior del portador 176 y sobre los hilos unidos por hilo 184, encapsulando los hilos unidos por hilo 184 y la pluralidad del sistema en paquete o del módulo multichip 555c, por un procedimiento de moldeo. El compuesto de moldeo 186 puede incluir epoxi, relleno de carbono o relleno de vidrio, y el relleno de vidrio o relleno de carbono se puede distribuir en la epoxi. Seguidamente, se pueden formar las bolas de soldadura 178 ilustradas en la fig. 83 sobre el lado inferior del portador 176. Después de esto, se puede realizar un procedimiento de individualización para cortar el portador 176 y el compuesto de moldeo 186 y para individualizar una pluralidad del paquete multichip 566. El paquete multichip 566 se puede conectar a un portador, tal como una placa base, un sustrato de matriz de rejilla de bolas (BGA), una placa de circuito impreso, un sustrato de metal, un sustrato de vidrio o un sustrato de cerámica, a través de las bolas de soldadura 178.

[0244] Las figs. 89-103 muestran un procedimiento para formar otro sistema en paquete o módulo multichip de acuerdo con otro modo de realización de la presente divulgación. En referencia a la fig. 89, después de formar la estructura ilustrada en la fig. 19, usando un procedimiento de grabado (tal como procedimiento de grabado anisotrópico), se puede decapar la capa dieléctrica 50 formada sobre las capas 18, 26 y 34 y sobre la superficie superior de la capa dieléctrica 60, y además se puede decapar una parte superior de la capa dieléctrica 60. Después del procedimiento de grabado, la capa dieléctrica 60 puede tener un grosor restante T22 de entre 0,3 y 5 micrómetros, de entre 0,5 y 2 micrómetros, de entre 0,05 y 2 micrómetros, de entre 0,05 y 1 micrómetros, de entre 0,05 y 0,5 micrómetros o de entre 0,05 y 0,3 micrómetros.

[0245] De forma alternativa, se puede aplicar una técnica de detención de grabado al procedimiento de decapado de la parte superior de la capa dieléctrica 60. En este caso, la capa dieléctrica 60 está compuesta por las capas inorgánicas descritas previamente, por ejemplo, que incluyen la primera capa de óxido de silicio sobre las superficies 58s, 62s y 64s, la capa de oxinitruro de silicio, usada como capa de detención de grabado, sobre la primera capa de óxido de silicio, y la segunda capa de óxido de silicio sobre la capa de oxinitruro de silicio. Durante el procedimiento de grabado, se puede decapar la parte superior de la capa dieléctrica 60, es decir, la segunda capa de óxido de silicio, hasta que se expone la capa de detención de grabado, es decir, la capa de oxinitruro de silicio, y se elimina toda la segunda capa de óxido de silicio. La capa dieléctrica 60 restante, compuesta por la capa de oxinitruro de silicio y la primera capa de óxido de silicio, puede tener un grosor T22 de entre 0,3 y 5 micrómetros, de entre 0,5 y 2 micrómetros, de entre 0,05 y 2 micrómetros, de entre 0,05 y 1 micrómetros, de entre 0,05 y 0,5 micrómetros o de entre 0,05 y 0,3 micrómetros.

[0246] En consecuencia, se puede decapar la capa dieléctrica 50 en las partes inferiores de las vías pasantes 170v, sobre la superficie superior de la capa dieléctrica 60 y sobre una superficie superior del conector o pista metálica 35a sobre el soporte 801, y la capa dieléctrica 50 permanece sobre las paredes laterales de las vías pasantes 170v, denominadas capas dieléctricas de pared lateral en las vías pasantes 170v. Las capas dieléctricas de pared lateral 50 se forman sobre las paredes laterales de las vías pasantes 170v en los chips 68 o en el/los sustrato(s) inactivo(s) 62 y están rodeadas por los sustratos semiconductores 58 de los chips 68 o por el/los sustrato(s) inactivo(s) 62.

[0247] Seguidamente, en referencia a la fig. 90, se puede formar una capa de adhesión/barrera 52 que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las capas 18, 26 y 34 expuestas por las vías pasantes 170v, sobre la superficie grabada de la capa dieléctrica 60, sobre las capas dieléctricas de pared lateral 50, y sobre el conector o pista metálica 35a que está sobre el soporte 801. Se puede formar la capa de adhesión/barrera 52 por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD) o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se puede formar una capa germinal 54 que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15

micrómetros, sobre la capa de adhesión/barrera 52 por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD) o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se puede formar una capa fotorresistente 194 sobre la capa germinal 54 usando, por ejemplo, un procedimiento de recubrimiento por rotación, un procedimiento de serigrafía o un procedimiento de laminación. Seguidamente, se puede emplear un procedimiento de fotoexposición y un procedimiento de revelado para formar múltiples aberturas 194a, exponiendo múltiples regiones de la capa germinal 54, en la capa fotorresistente 194. La capa 194 fotorresistente estampada puede tener un grosor, por ejemplo, de entre 1 y 30 micrómetros, y preferentemente de entre 1 y 20 micrómetros o de entre 1 y 10 micrómetros. Seguidamente, se puede formar una capa de conducción 56 que tiene un grosor mayor de 1 micrómetro, tal como de entre 1 y 20 micrómetros, y preferentemente de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 2 y 20 micrómetros, sobre las regiones, expuestas por las aberturas 194a en la capa 194, de la capa germinal 54 usando, por ejemplo, un procedimiento de electrochapado.

[0248] La capa de adhesión/barrera 52 puede incluir o puede ser una capa de titanio, una aleación de titanio-volframio, nitruro de titanio, cromo, tántalo, nitruro de tántalo, níquel o níquel-vanadio que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros. La capa germinal 54 puede incluir o puede ser una capa de cobre, una aleación de titanio-cobre, níquel, oro o plata que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros. La capa de conducción 56 puede incluir o puede ser una capa metálica electrochapada de cobre, oro o plata que tiene un grosor mayor de 1 micrómetro, tal como de entre 1 y 20 micrómetros, y preferentemente de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 2 y 20 micrómetros.

[0249] Por ejemplo, la capa de adhesión/barrera 52 puede ser una capa que contiene titanio, tal como una capa única de aleación de titanio-volframio, titanio o nitruro de titanio, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las capas 18, 26 y 34 expuestas por las vías pasantes 170v, sobre la superficie grabada de la capa dieléctrica 60, sobre las capas dieléctricas de pared lateral 50, y sobre el conector o pista metálica 35a que está sobre el soporte 801. La capa germinal 54 puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene titanio. La capa de conducción 56 puede ser una capa de cobre electrochapado que tiene un grosor mayor de 1 micrómetro, tal como de entre 1 y 20 micrómetros, y preferentemente de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 2 y 20 micrómetros, sobre la capa única de cobre o una aleación de titanio-cobre.

[0250] De forma alternativa, la capa de adhesión/barrera 52 puede ser una capa que contiene tántalo, tal como una capa única de tántalo o nitruro de tántalo, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las capas 18, 26 y 34 expuestas por las vías 170v, sobre la superficie grabada de la capa dieléctrica 60, sobre las capas dieléctricas de pared lateral 50, y sobre el conector o pista metálica 35a que está sobre el soporte 801. La capa germinal 54 puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene tántalo. La capa de conducción 56 puede ser una capa de cobre electrochapado que tiene un grosor mayor de 1 micrómetro, tal como de entre 1 y 20 micrómetros, y preferentemente de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 2 y 20 micrómetros, sobre la capa única de cobre o una aleación de titanio-cobre.

[0251] De forma alternativa, la capa de adhesión/barrera 52 puede ser una capa que contiene cromo, tal como una capa única de cromo, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las capas 18, 26 y 34 expuestas por las vías pasantes 170v, sobre la superficie grabada de la capa dieléctrica 60, sobre las capas dieléctricas de pared lateral 50, y sobre el conector o pista metálica 35a que está sobre el soporte 801. La capa germinal 54 puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene cromo. La capa de conducción 56 puede ser una capa de cobre electrochapado que tiene un grosor mayor de 1 micrómetro, tal como de entre 1 y 20 micrómetros, y preferentemente de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 2 y 20 micrómetros, sobre la capa única de cobre o una aleación de titanio-cobre.

[0252] Seguidamente, en referencia a la fig. 91, se elimina la capa fotorresistente 194 usando, por ejemplo, una solución química orgánica. Seguidamente, se elimina la capa germinal 54 que no está debajo de la capa de conducción 56 usando, por ejemplo, un procedimiento de grabado químico húmedo o un procedimiento de grabado por plasma en seco. Seguidamente, se elimina la capa de adhesión/barrera 52 que no está debajo de la capa de conducción 56 usando, por ejemplo, un procedimiento de grabado químico húmedo o un procedimiento de grabado por plasma en seco. En consecuencia, las capas 52, 54 y 56 encima de la capa dieléctrica 60 y encima de las vías pasantes 170v componen múltiples conectores metálicos 1, incluyendo los conectores metálicos 1a y 1b, encima de la capa dieléctrica 60 y encima de las vías pasantes 170v. La capa de adhesión/barrera 52 y la capa germinal 54 de los conectores metálicos 1 encima de la capa dieléctrica 60 no están en ninguna pared lateral 1w de la capa de conducción 56 de los

conectores metálicos 1 encima de la capa dieléctrica 60, sino debajo de una parte inferior de la capa de conducción 56 de los conectores metálicos 1 encima de la capa dieléctrica 60. Las paredes laterales 1w de la capa de conducción 56 de los conectores metálicos 1 encima de la capa dieléctrica 60 no están cubiertas por las capas 52 y 54. Las capas 52, 54 y 56 en las vías pasantes 170v componen múltiples tapones metálicos (o vías metálicas) 5p en las vías pasantes 170v, incluyendo los tapones metálicos (o vías metálicas) 5a, 5b, 5c, 5d, 5e y 5f en las vías pasantes 170a, 170b, 170c, 170d, 170e y 170f como se muestra en la fig. 89, respectivamente. Cada uno de los tapones metálicos 5p en los chips 68 y en el/los sustrato(s) inactivo(s) 62 está rodeado por una de las capas dieléctricas de pared lateral 50 en las vías pasantes 170v. El tapón metálico 5a se forma en el sustrato inactivo 62, y los tapones metálicos 5b, 5c, 5d, 5e y 5f se forman en el mismo chip 68. El soporte 801 y el conector o pista metálica 35a, en la capa de interconexión 34, sobre el soporte 801 pueden estar entre dos partes, más bajas que un nivel horizontal, en el que se sitúa una superficie superior de la capa de interconexión 34, del tapón metálico 5e. Estos tapones metálicos 5p formados en los chips 68 y en el/los sustrato(s) inactivo(s) 62 pueden conectar los conectores metálicos 1 y los dispositivos semiconductores 36 en los chips 68 y conectar los conectores metálicos 1 y múltiples puntos de contacto de la capa conductora 18 en el portador 11.

[0253] Por ejemplo, uno de los tapones metálicos 5p, tal como el tapón metálico 5a, se puede formar en el sustrato inactivo 62 y formarse sobre un primer punto de contacto de la capa conductora 18 en una parte inferior de una de las vías pasantes 170v, tal como la vía pasante 170a. Otro de los tapones metálicos 5p, tal como el tapón metálico 5b, se puede formar en uno de los chips 68 y formarse sobre un segundo punto de contacto de la capa conductora 18 en una parte inferior de otra de las vías pasantes 170v, tal como la vía pasante 170b. Otro de los tapones metálicos 5p, tal como el tapón metálico 5c, se puede formar en uno de los chips 68 y formarse sobre un punto de contacto, en una parte inferior de otra de las vías pasantes 170v (tal como la vía pasante 170c), del conector o pista metálica 35d en la capa de interconexión 34 del uno de los chips 68. Otro de los tapones metálicos 5p, tal como el tapón metálico 5d, se puede formar en uno de los chips 68 y formarse sobre un punto de contacto, en una parte inferior de otra de las vías pasantes 170v (tal como la vía pasante 170d), del conector o pista metálica 35c en la capa metálica estampada 26 del uno de los chips 68. Otro de los tapones metálicos 5p, tal como el tapón metálico 5f, se puede formar en uno de los chips 68 y formarse sobre un punto de contacto, en una parte inferior de otra de las vías pasantes 170v (tal como la vía pasante 170f), del conector o pista metálica 35b en la capa de interconexión 34 del uno de los chips 68. Otro de los tapones metálicos 5p, tal como el tapón metálico 5e, se puede formar en uno de los chips 68, formarse sobre un punto de contacto del conector o pista metálica 35a encima de un soporte (tal como el soporte 801) que está entre dos partes izquierda y derecha más bajas del otro de los tapones metálicos 5p (tal como el tapón metálico 5e), y formarse sobre un tercer punto de contacto de la capa conductora 18 en una parte inferior de una de las vías pasantes 170v (tal como la vía pasante 170e). Los primer, segundo y tercer puntos de contacto descritos previamente de la capa conductora 18 pueden estar separados entre sí por la capa dieléctrica o aislante 20 del portador 11.

[0254] Uno de los conectores metálicos 1, tales como 1a o 1b, se puede formar encima del/de los sustrato(s) inactivo(s) 62, encima de los múltiples chips 68, y a través de múltiples bordes de los múltiples chips 68. El conector metálico 1a se puede conectar al primer punto de contacto descrito previamente de la capa conductora 18 en la parte inferior de la vía pasante 170a a través del tapón metálico 5a en el sustrato inactivo 62, se puede conectar al segundo punto de contacto descrito previamente de la capa conductora 18 en la parte inferior de la vía pasante 170b a través del tapón metálico 5b en uno de los chips 68, se puede conectar al punto de contacto, en la parte inferior de la vía pasante 170c, del conector o pista metálica 35d en el uno de los chips 68 a través del tapón metálico 5c en el uno de los chips 68, y se pueden conectar al punto de contacto, en la parte inferior de la vía pasante 170d, del conector o pista metálica 35c en el uno de los chips 68 a través del tapón metálico 5d en el uno de los chips 68. El conector metálico 1b se puede conectar al punto de contacto, en la parte inferior de la vía pasante 170f, del conector o pista metálica 35b en el uno de los chips 68 a través del tapón metálico 5f en el uno de los chips 68, se puede conectar al tercer punto de contacto descrito previamente de la capa conductora 18 en la parte inferior de la vía pasante 170e a través del tapón metálico 5e en el uno de los chips 68, y se puede conectar al conector o pista metálica 35a sobre el soporte 801 a través del tapón metálico 5e en el uno de los chips 68. El conector metálico 1a se puede conectar además a uno o más de los dispositivos semiconductores 36 en otro de los chips 68 a través de uno o más de los tapones metálicos 5p en el otro de los chips 68. El conector metálico 1b se puede conectar además a uno o más de los dispositivos semiconductores 36 en otro de los chips 68 a través de uno o más de los tapones metálicos 5p en el otro de los chips 68.

[0255] En consecuencia, uno de los dispositivos semiconductores 36 en uno de los chips 68 se puede conectar a otro de los dispositivos semiconductores 36 en el uno de los chips 68 o en otro de los chips 68 a través de uno de los conectores metálicos 1, tal como 1a o 1b, y se puede conectar a un punto de contacto, en una parte inferior de una de las vías pasantes 170v (tal como la vía pasante 170a, 170b o 170e), de la capa conductora 18 en el portador 11 a través del uno de los conectores metálicos 1. Cada uno de los conectores metálicos 1 puede ser una pista de señal, una línea de bits, un bus de reloj, un plano de potencia, un bus de potencia, una pista de potencia, un plano de tierra, un bus de tierra o una pista de tierra.

[0256] De forma alternativa, el elemento 68 no solo puede indicar un chip, sino que también puede indicar una oblea. Cuando el elemento 68 es una oblea, el portador 11 puede ser otra oblea. De este modo, el procedimiento ilustrado en la invención se puede emplear para la unión de oblea a oblea.

[0257] Seguidamente, en referencia a la fig. 92, se puede formar una capa aislante o dieléctrica 66 que tiene un grosor, por ejemplo, de entre 0,3 y 10 micrómetros, y preferentemente de entre 0,3 y 5 micrómetros, de entre 0,3 y 3 micrómetros, de entre 0,3 y 2 micrómetros o de entre 0,3 y 1 micrómetros, sobre la capa de conducción 56 de los conectores metálicos 1, sobre la superficie grabada de la capa dieléctrica 60, y en los huecos entre los conectores metálicos 1.

[0258] La capa aislante o dieléctrica 66, por ejemplo, puede incluir o puede ser una capa de polímero, tal como una capa de poliimida, benzociclobuteno (BCB), epoxi, poli(óxido de fenileno) (PPO) o polibenzoxazol (PBO), sobre la capa de conducción 56 de los conectores metálicos 1, sobre la superficie grabada de la capa dieléctrica 60, y en los huecos entre los conectores metálicos 1. La capa de polímero en la capa de conducción 56 puede tener un grosor, por ejemplo, de entre 0,3 y 10 micrómetros, y preferentemente de entre 0,3 y 5 micrómetros, de entre 0,3 y 3 micrómetros, de entre 0,3 y 2 micrómetros o de entre 0,3 y 1 micrómetros.

[0259] De forma alternativa, la capa aislante o dieléctrica 66 puede incluir o puede ser una capa inorgánica, tal como una capa de óxido de silicio (tal como SiO_2), nitruro de silicio (tal como Si_3N_4), carbonitruro de silicio (tal como SiCN), oxinitruro de silicio (tal como SiON) u oxicarburo de silicio (tal como SiOC), sobre la capa de conducción 56 de los conectores metálicos 1, sobre la superficie grabada de la capa dieléctrica 60, y en los huecos entre los conectores metálicos 1. La capa inorgánica sobre la capa de conducción 56 puede tener un grosor, por ejemplo, de entre 0,3 y 10 micrómetros, y preferentemente de entre 0,3 y 5 micrómetros, de entre 0,3 y 3 micrómetros, de entre 0,3 y 2 micrómetros o de entre 0,3 y 1 micrómetros.

[0260] De forma alternativa, en referencia a la fig. 93, se puede formar la capa aislante o dieléctrica 66 como se muestra en la fig. 92 por las siguientes etapas. En primer lugar, se forma una capa de polímero 66a, tal como una capa de poliimida, benzociclobuteno (BCB), epoxi, poli(óxido de fenileno) (PPO) o polibenzoxazol (PBO), sobre la capa de conducción 56 de los conectores metálicos 1, sobre la superficie grabada de la capa dieléctrica 60, y en los huecos entre los conectores metálicos 1. Seguidamente, se rectifica o pule la capa de polímero 66a, por ejemplo, por un procedimiento de rectificado mecánico, un procedimiento de pulido mecánico, un procedimiento de pulido químico-mecánico (CMP) o un procedimiento que incluye pulido mecánico y grabado químico hasta que la capa de conducción 56 de los conectores metálicos 1 tiene una superficie superior 56u no cubierta por la capa de polímero 66a. En consecuencia, la capa de polímero 66a permanece sobre la superficie grabada de la capa dieléctrica 60 y en los huecos entre los conectores metálicos 1 y tiene un grosor, por ejemplo, mayor de 1 micrómetro, tal como de entre 1 y 20 micrómetros, y preferentemente de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 2 y 20 micrómetros. La superficie rectificada o pulida 66s de la capa de polímero 66a puede ser sustancialmente plana y sustancialmente coplanaria con la superficie superior 56u de la capa de conducción 56. Seguidamente, se forma una capa inorgánica 66b, tal como una capa de óxido de silicio, nitruro de silicio, carbonitruro de silicio, oxinitruro de silicio u oxicarburo de silicio, que tiene un grosor, por ejemplo, de entre 0,1 y 3 micrómetros, y preferentemente de entre 0,2 y 1,5 micrómetros, sobre la superficie superior 56u de la capa de conducción 56 y sobre la superficie rectificada o pulida 66s de la capa de polímero 66a. En consecuencia, la capa aislante o dieléctrica 66 como se muestra en la fig. 92 también puede estar provista de la capa de polímero 66a y la capa inorgánica 66b como se muestra en la fig. 93.

[0261] En referencia a la fig. 94, después de formar la capa aislante o dieléctrica 66, se pueden realizar posteriormente las siguientes etapas como se ilustra en las figs. 28-45 para colocar los chips 72 y el/los sustrato(s) inactivo(s) 165 encima de la capa 116 formada sobre la capa 66, para formar el material de encapsulación/relleno de huecos 98 sobre el lado posterior del sustrato semiconductor 96 de cada chip 72, sobre el/los sustrato(s) inactivo(s) 165 y en los huecos 4a y 8a, para rectificar o pulir el material de encapsulación/relleno de huecos 98, el lado posterior del sustrato semiconductor 96 de cada chip 72 y el/los sustrato(s) inactivo(s) 165, para formar la capa dieléctrica 88 sobre las superficies rectificadas o pulidas 96s, 165s y 98s, para formar las vías pasantes 164v en los chips 72 y en el/los sustrato(s) inactivo(s) 165, y para formar la capa dieléctrica 90 sobre la superficie superior de la capa dieléctrica 88, sobre las capas 56, 106 y 114 expuestas por las vías pasantes 164v y sobre las paredes laterales de las vías pasantes 164v. Seguidamente, usando un procedimiento de grabado (tal como procedimiento de grabado anisotrópico), se decapa la capa dieléctrica 90 formada sobre las capas 56, 106 y 114 y sobre la superficie superior de la capa dieléctrica 88, y además se decapa una parte superior de la capa dieléctrica 88. Después del procedimiento de grabado, la capa dieléctrica 88 puede tener un grosor restante T23 de entre 0,3 y 5 micrómetros, de entre 0,5 y 2 micrómetros, de entre 0,05 y 2 micrómetros, de entre 0,05 y 1 micrómetros, de entre 0,05 y 0,5 micrómetros o de entre 0,05 y 0,3 micrómetros.

[0262] De forma alternativa, se puede aplicar una técnica de detención de grabado al procedimiento de decapado de la parte superior de la capa dieléctrica 88. En este caso, la capa dieléctrica 88 está compuesta por las capas inorgánicas descritas previamente, por ejemplo, que incluyen la primera capa de óxido de silicio sobre las superficies 96s, 98s y 165s, la capa de oxinitruro de silicio, usada como capa de detención de grabado, sobre la primera capa de óxido de silicio, y la segunda capa de óxido de silicio sobre la capa de oxinitruro de silicio. Durante el procedimiento de grabado, se puede decapar la parte superior de la capa dieléctrica 88, es decir, la segunda capa de óxido de silicio, hasta que se expone la capa de detención de grabado, es decir, la capa de oxinitruro de silicio, y se elimina toda la segunda capa de óxido de silicio. La capa dieléctrica 88 restante, compuesta por la capa de oxinitruro de silicio y la primera capa de óxido de silicio, puede tener un grosor T23 de entre 0,3 y 5 micrómetros, de entre 0,5 y 2 micrómetros, de entre 0,05 y 2 micrómetros, de entre 0,05 y 1 micrómetros, de entre 0,05 y 0,5 micrómetros o de entre 0,05 y 0,3 micrómetros.

[0263] En consecuencia, se decapa la capa dieléctrica 90 en las partes inferiores de las vías pasantes 164v, sobre la superficie superior de la capa dieléctrica 88 y sobre una superficie superior del conector o pista metálica 55a sobre el soporte 802, y la capa dieléctrica 90 permanece sobre las paredes laterales de las vías pasantes 164v, denominadas capas dieléctricas de pared lateral en las vías pasantes 164v. Las capas dieléctricas de pared lateral 90 se forman sobre las paredes laterales de las vías pasantes 164v en los chips 72 o en el/los sustrato(s) inactivo(s) 165 y están rodeadas por los sustratos semiconductores 96 de los chips 72 o por el/los sustrato(s) inactivo(s) 165.

[0264] Seguidamente, en referencia a la fig. 95, se puede formar una capa de adhesión/barrera 92 que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las capas 56, 106 y 114 expuestas por las vías pasantes 164v, sobre la superficie grabada de la capa dieléctrica 88, sobre las capas dieléctricas de pared lateral 90, y sobre el conector o pista metálica 55a que está sobre el soporte 802. Se puede formar la capa de adhesión/barrera 92 por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD) o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se puede formar una capa germinal 94 que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa de adhesión/barrera 92 por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD) o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se puede formar una capa fotorresistente 294 sobre la capa germinal 94 usando, por ejemplo, un procedimiento de recubrimiento por rotación, un procedimiento de serigrafía o un procedimiento de laminación. Seguidamente, se puede emplear un procedimiento de fotoexposición y un procedimiento de revelado para formar múltiples aberturas 294a, exponiendo múltiples regiones de la capa germinal 94, en la capa fotorresistente 294. La capa 294 fotorresistente estampada puede tener un grosor, por ejemplo, de entre 1 y 30 micrómetros, y preferentemente de entre 1 y 20 micrómetros o de entre 1 y 10 micrómetros. Seguidamente, se puede formar una capa de conducción 86 que tiene un grosor mayor de 1 micrómetro, tal como de entre 1 y 20 micrómetros, y preferentemente de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 2 y 20 micrómetros, sobre las regiones, expuestas por las aberturas 294a en la capa 294, de la capa germinal 94 usando un procedimiento adecuado, tal como procedimiento de electrochapado.

[0265] La capa de adhesión/barrera 92 puede incluir o puede ser una capa de titanio, una aleación de titanio-volframio, nitruro de titanio, cromo, tántalo, nitruro de tántalo, níquel o níquel-vanadio que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros. La capa germinal 94 puede incluir o puede ser una capa de cobre, una aleación de titanio-cobre, níquel, oro o plata que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros. La capa de conducción 86 puede incluir o puede ser una capa metálica electrochapada de cobre, oro o plata que tiene un grosor mayor de 1 micrómetro, tal como de entre 1 y 20 micrómetros, y preferentemente de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 2 y 20 micrómetros.

[0266] Por ejemplo, la capa de adhesión/barrera 92 puede ser una capa que contiene titanio, tal como una capa única de aleación de titanio-volframio, titanio o nitruro de titanio, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las capas 56, 106 y 114 expuestas por las vías pasantes 164v, sobre la superficie grabada de la capa dieléctrica 88, sobre las capas dieléctricas de pared lateral 90, y sobre el conector o pista metálica 55a que está sobre el soporte 802. La capa germinal 94 puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene titanio. La capa de conducción 86 puede ser una capa de cobre electrochapado que tiene un grosor mayor de 1 micrómetro, tal como de entre 1 y 20 micrómetros, y preferentemente de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 2 y 20 micrómetros, sobre la capa única de cobre o una aleación de titanio-cobre.

[0267] De forma alternativa, la capa de adhesión/barrera 92 puede ser una capa que contiene tántalo, tal como una capa única de tántalo o nitruro de tántalo, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las capas 56, 106 y 114 expuestas por las vías 164v, sobre la superficie grabada de la capa dieléctrica 88, sobre las capas dieléctricas de pared lateral 90, y sobre el conector o pista metálica 55a que está sobre el soporte 802. La capa germinal 94 puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene tántalo. La capa de conducción 86 puede ser una capa de cobre electrochapado que tiene un grosor mayor de 1 micrómetro, tal como de entre 1 y 20 micrómetros, y preferentemente de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 2 y 20 micrómetros, sobre la capa única de cobre o una aleación de titanio-cobre.

[0268] De forma alternativa, la capa de adhesión/barrera 92 puede ser una capa que contiene cromo, tal como una capa única de cromo, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las capas 56, 106 y 114 expuestas por las vías pasantes

164v, sobre la superficie grabada de la capa dieléctrica 88, sobre las capas dieléctricas de pared lateral 90, y sobre el conector o pista metálica 55a que está sobre el soporte 802. La capa germinal 94 puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene cromo. La capa de conducción 86 puede ser una capa de cobre electrochapado que tiene un grosor mayor de 1 micrómetro, tal como de entre 1 y 20 micrómetros, y preferentemente de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 2 y 20 micrómetros, sobre la capa única de cobre o una aleación de titanio-cobre.

[0269] Seguidamente, en referencia a la fig. 96, se elimina la capa fotorresistente 294 usando, por ejemplo, una solución química orgánica. Seguidamente, se elimina la capa germinal 94 que no está debajo de la capa de conducción 86 usando, por ejemplo, un procedimiento de grabado químico húmedo o un procedimiento de grabado por plasma en seco. Seguidamente, se elimina la capa de adhesión/barrera 92 que no está debajo de la capa de conducción 86 usando, por ejemplo, un procedimiento de grabado químico húmedo o un procedimiento de grabado por plasma en seco. En consecuencia, las capas 92, 94 y 86 encima de la capa dieléctrica 88 y encima de las vías pasantes 164v componen múltiples conectores metálicos 2, incluyendo dos conectores metálicos 2a y 2b, encima de la capa dieléctrica 88 y encima de las vías pasantes 164v. La capa de adhesión/barrera 92 y la capa germinal 94 de los conectores metálicos 2 encima de la capa dieléctrica 88 no están en ninguna pared lateral 2w de la capa de conducción 86 de los conectores metálicos 2 encima de la capa dieléctrica 88, sino debajo de una parte inferior de la capa de conducción 86 de los conectores metálicos 2 encima de la capa dieléctrica 88. Las paredes laterales 2w de la capa de conducción 86 de los conectores metálicos 2 encima de la capa dieléctrica 88 no están cubiertas por las capas 92 y 94. Las capas 92, 94 y 86 en las vías pasantes 164v componen múltiples tapones metálicos (o vías metálicas) 6p en las vías pasantes 164v, incluyendo los tapones metálicos (o vías metálicas) 6a, 6b, 6c, 6d y 6e en las vías pasantes 164a, 164b, 164c, 164d y 164e como se muestra en la fig. 94, respectivamente. Cada uno de los tapones metálicos 6p en los chips 72 y en el/los sustrato(s) inactivo(s) 165 está rodeado por una de las capas dieléctricas de pared lateral 90 en las vías pasantes 164v. El tapón metálico 6a se forma en el sustrato inactivo 165, los tapones metálicos 6b y 6c se forman en uno de los chips 72, y los tapones metálicos 6d y 6e se forman en otro de los chips 72. El soporte 802 y el conector o pista metálica 55a, en la capa de interconexión 106, sobre el soporte 802 pueden estar entre dos partes, más bajas que un nivel horizontal, en el que se sitúa una superficie superior de la capa de interconexión 106, del tapón metálico 6e. Estos tapones metálicos 6p formados en los chips 72 y en el/los sustrato(s) inactivo(s) 165 pueden conectar los conectores metálicos 2 y los dispositivos semiconductores 102 en los chips 72 y conectar los conectores metálicos 1 y 2.

[0270] Por ejemplo, uno de los tapones metálicos 6p, tal como el tapón metálico 6a, se puede formar en el sustrato inactivo 165 y formarse sobre un punto de contacto, en una parte inferior de una de las vías pasantes 164v (tal como la vía pasante 164a), de la capa de conducción 56 de uno de los conectores metálicos 1, tal como el conector metálico 1b. Otro de los tapones metálicos 6p, tal como el tapón metálico 6e, se puede formar en uno de los chips 72, formarse sobre un punto de contacto del conector o pista metálica 55a encima de un soporte (tal como el soporte 802) que está entre dos partes izquierda y derecha más bajas del otro de los tapones metálicos 6p (tal como el tapón metálico 6e), y formarse sobre otro punto de contacto, en una parte inferior de otra de las vías pasantes 164v (tal como la vía pasante 164e), de la capa de conducción 56 en el uno de los conectores metálicos 1, tal como el conector metálico 1b. Otro de los tapones metálicos 6p, tal como el tapón metálico 6d, se puede formar en el uno de los chips 72 y formarse sobre un punto de contacto, en una parte inferior de otra de las vías pasantes 164v (tal como la vía pasante 164d), del conector o pista metálica 55b en el uno de los chips 72. Otro de los tapones metálicos 6p, tal como el tapón metálico 6b, se puede formar en otro de los chips 72 y formarse sobre otro punto de contacto, en una parte inferior de otra de las vías pasantes 164v (tal como la vía pasante 164b), de la capa de conducción 56 en otro de los conectores metálicos 1, tal como el conector metálico 1a. Otro de los tapones metálicos 6p, tal como el tapón metálico 6c, se puede formar en el otro de los chips 72 y formarse sobre un punto de contacto, en una parte inferior de otra de las vías pasantes 164v (tal como la vía pasante 164c), del conector o pista metálica 55c en el otro de los chips 72.

[0271] El conector metálico 2a se puede formar encima del/de los sustrato(s) inactivo(s) 165, encima de los múltiples chips 72, y a través de múltiples bordes de los múltiples chips 72. El conector metálico 2a se puede conectar a un punto de contacto, en una parte inferior de la vía pasante 164b, del conector metálico 1a a través del tapón metálico 6b en uno de los chips 72, se puede conectar a un punto de contacto, en una parte inferior de la vía pasante 164c, del conector o pista metálica 55c en el uno de los chips 72 a través del tapón metálico 6c en el uno de los chips 72, y se puede conectar a un punto de contacto, en una parte inferior de la vía pasante 164d, del conector o pista metálica 55b en otro de los chips 72 a través del tapón metálico 6d en el otro de los chips 72. Estos puntos de contacto en las partes inferiores de las vías pasantes 164b, 164c y 164d se pueden conectar entre sí a través del conector metálico 2a.

[0272] El conector metálico 2b se puede formar encima de los múltiples chips 72 para conectar los múltiples dispositivos semiconductores 102 en los múltiples chips 72. El conector metálico 2b se puede conectar a un punto de contacto, en una parte inferior de la vía pasante 164e, del conector metálico 1b a través del tapón metálico 6e en uno de los chips 72, se puede conectar a uno o más de los dispositivos semiconductores 102 en el uno de los chips 72 a través del tapón metálico 6e y el conector o pista metálica 55a en el uno de los chips 72, y se puede conectar a un punto de contacto, en una parte inferior de otra de las vías pasantes 164v, del conector o pista metálica 55a, 55b o 55c en otro de los chips 72 a través de otro de los tapones metálicos 6p en el otro de los chips 72.

[0273] En consecuencia, uno de los dispositivos semiconductores 102 en uno de los chips 72 se puede conectar a otro de los dispositivos semiconductores 102 en el uno de los chips 72 o en otro de los chips 72 a través de uno de los conectores metálicos 2, tal como 2a o 2b, y se puede conectar a un punto de contacto, en una parte inferior de una de las vías pasantes 164v (tal como la vía pasante 164a, 164b o 164e), de la capa de conducción 56 de uno de los conectores metálicos 1, tal como 1a o 1b, a través del uno de los conectores metálicos 2. Cada uno de los conectores metálicos 2 puede ser una pista de señal, una línea de bits, un bus de reloj, un plano de potencia, un bus de potencia, una pista de potencia, un plano de tierra, un bus de tierra o una pista de tierra.

[0274] De forma alternativa, el elemento 72 no solo puede indicar un chip, sino que también puede indicar una oblea. Cuando el elemento 72 es una oblea, el elemento 68 puede ser otra oblea. De este modo, el procedimiento ilustrado en la invención se puede emplear para la unión de oblea a oblea.

[0275] Seguidamente, en referencia a la fig. 97, se forma una capa aislante o dieléctrica 120 que tiene un grosor, por ejemplo, de entre 0,3 y 10 micrómetros, y preferentemente de entre 0,3 y 5 micrómetros, de entre 0,3 y 3 micrómetros, de entre 0,3 y 2 micrómetros o de entre 0,3 y 1 micrómetros, sobre la capa de conducción 86 de los conectores metálicos 2, sobre la superficie grabada de la capa dieléctrica 88, y en los huecos entre los conectores metálicos 2.

[0276] La capa aislante o dieléctrica 120, por ejemplo, puede incluir o puede ser una capa de polímero, tal como una capa de poliimida, benzociclobuteno (BCB), epoxi, poli(óxido de fenileno) (PPO) o polibenzoxazol (PBO), sobre la capa de conducción 86 de los conectores metálicos 2, sobre la superficie grabada de la capa dieléctrica 88, y en los huecos entre los conectores metálicos 2. La capa de polímero en la capa de conducción 86 puede tener un grosor, por ejemplo, de entre 0,3 y 10 micrómetros, y preferentemente de entre 0,3 y 5 micrómetros, de entre 0,3 y 3 micrómetros, de entre 0,3 y 2 micrómetros o de entre 0,3 y 1 micrómetros.

[0277] De forma alternativa, la capa aislante o dieléctrica 120 puede incluir o puede ser una capa inorgánica, tal como una capa de óxido de silicio (tal como SiO_2), nitruro de silicio (tal como Si_3N_4), carbonitruro de silicio (tal como SiCN), oxinitruro de silicio (tal como SiON) u oxicarburo de silicio (tal como SiOC), sobre la capa de conducción 86 de los conectores metálicos 2, sobre la superficie grabada de la capa dieléctrica 88, y en los huecos entre los conectores metálicos 2. La capa inorgánica sobre la capa de conducción 86 puede tener un grosor, por ejemplo, de entre 0,3 y 10 micrómetros, y preferentemente de entre 0,3 y 5 micrómetros, de entre 0,3 y 3 micrómetros, de entre 0,3 y 2 micrómetros o de entre 0,3 y 1 micrómetros.

[0278] De forma alternativa, en referencia a la fig. 98, la capa aislante o dieléctrica 120 como se muestra en la fig. 97 se puede formar por las siguientes etapas. En primer lugar, se forma una capa de polímero 120a, tal como una capa de poliimida, benzociclobuteno (BCB), epoxi, poli(óxido de fenileno) (PPO) o polibenzoxazol (PBO), sobre la capa de conducción 86 de los conectores metálicos 2, sobre la superficie grabada de la capa dieléctrica 88, y en los huecos entre los conectores metálicos 2. Seguidamente, se rectifica o pule la capa de polímero 120a, por ejemplo, por un procedimiento de rectificado mecánico, un procedimiento de pulido mecánico, un procedimiento de pulido químico-mecánico (CMP) o un procedimiento que incluye pulido mecánico y grabado químico hasta que la capa de conducción 86 de los conectores metálicos 2 tiene una superficie superior 86u no cubierta por la capa de polímero 120a. En consecuencia, la capa de polímero 120a permanece sobre la capa dieléctrica 88 y en los huecos entre los conectores metálicos 2 y tiene un grosor, por ejemplo, mayor de 1 micrómetro, tal como de entre 1 y 20 micrómetros, y preferentemente de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 2 y 20 micrómetros. La superficie rectificada o pulida 120s de la capa de polímero 120a puede ser sustancialmente plana y sustancialmente coplanaria con la superficie superior 86u de la capa de conducción 86. Seguidamente, se forma una capa inorgánica 120b, tal como una capa de óxido de silicio, nitruro de silicio, carbonitruro de silicio, oxinitruro de silicio u oxicarburo de silicio, que tiene un grosor, por ejemplo, de entre 0,1 y 3 micrómetros, y preferentemente de entre 0,2 y 1,5 micrómetros, sobre la superficie superior 86u de la capa de conducción 86 y sobre la superficie rectificada o pulida 120s de la capa de polímero 120a. En consecuencia, la capa aislante o dieléctrica 120 como se muestra en la fig. 97 puede estar compuesta por la capa de polímero 120a y la capa inorgánica 120b como se muestra en la fig. 98.

[0279] En referencia a la fig. 99, después de formar la capa aislante o dieléctrica 120, se pueden realizar posteriormente las siguientes etapas como se ilustra en las figs. 54-69 para colocar los chips 118 y el/los sustrato(s) inactivo(s) 158 encima de la capa 140 formada sobre la capa 120, para formar el material de encapsulación/relleno de huecos 138 sobre el lado posterior del sustrato semiconductor 124 de cada chip 118, sobre el/los sustrato(s) inactivo(s) 158 y en los huecos 4b y 8b, para rectificar o pulir el material de encapsulación/relleno de huecos 138, el lado posterior del sustrato semiconductor 124 de cada chip 118 y el/los sustrato(s) inactivo(s) 158, para formar la capa dieléctrica 139 sobre las superficies rectificadas o pulidas 124s, 138s y 158s, para formar las vías pasantes 156v en los chips 118 y en el/los sustrato(s) inactivo(s) 158, y para formar la capa dieléctrica 127 sobre la superficie superior de la capa dieléctrica 139, sobre las capas 17, 19 y 86 expuestas por las vías pasantes 156v y sobre las paredes laterales de las vías pasantes 156v. Seguidamente, usando un procedimiento de grabado (tal como procedimiento de grabado anisotrópico), se decapa la capa dieléctrica 127 formada sobre las capas 17, 19 y 86 y sobre la superficie superior de la capa dieléctrica 139, y además se decapa una parte superior de la capa dieléctrica 139. Después del procedimiento de grabado, la capa dieléctrica 139 puede tener un grosor restante T24 de entre 0,3 y 5 micrómetros, de entre 0,5 y 2 micrómetros, de entre 0,05 y 2 micrómetros, de entre 0,05 y 1 micrómetros, de entre 0,05 y 0,5 micrómetros o de entre 0,05 y 0,3 micrómetros.

[0280] De forma alternativa, se puede aplicar una técnica de detención de grabado al procedimiento de decapado de la parte superior de la capa dieléctrica 139. En este caso, la capa dieléctrica 139 está compuesta por las capas inorgánicas descritas previamente, por ejemplo, que incluyen la primera capa de óxido de silicio sobre las superficies 124s, 138s y 158s, la capa de oxinitruro de silicio, usada como capa de detención de grabado, sobre la primera capa de óxido de silicio, y la segunda capa de óxido de silicio sobre la capa de oxinitruro de silicio. Durante el procedimiento de grabado, se puede decapar la parte superior de la capa dieléctrica 139, es decir, la segunda capa de óxido de silicio, hasta que se expone la capa de detención de grabado, es decir, la capa de oxinitruro de silicio, y se elimina toda la segunda capa de óxido de silicio. La capa dieléctrica 139 restante, compuesta por la capa de oxinitruro de silicio y la primera capa de óxido de silicio, puede tener un grosor T24 de entre 0,3 y 5 micrómetros, de entre 0,5 y 2 micrómetros, de entre 0,05 y 2 micrómetros, de entre 0,05 y 1 micrómetros, de entre 0,05 y 0,5 micrómetros o de entre 0,05 y 0,3 micrómetros.

[0281] En consecuencia, se decapa la capa dieléctrica 127 en las partes inferiores de las vías pasantes 156v, sobre la superficie superior de la capa dieléctrica 139 y sobre una superficie superior del conector o pista metálica 75a sobre el soporte 803, y la capa dieléctrica 127 permanece sobre las paredes laterales de las vías pasantes 156v, denominadas capas dieléctricas de pared lateral en las vías pasantes 156v. Las capas dieléctricas de pared lateral 127 se forman sobre las paredes laterales de las vías pasantes 156v en los chips 118 o en el/los sustrato(s) inactivo(s) 158 y están rodeadas por los sustratos semiconductores 124 de los chips 118 o por el/los sustrato(s) inactivo(s) 158.

[0282] Seguidamente, en referencia a la fig. 100, se puede formar una capa de adhesión/barrera 125a que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las capas 17, 19 y 86 expuestas por las vías pasantes 156v, sobre la superficie grabada de la capa dieléctrica 139, sobre las capas dieléctricas de pared lateral 127, y sobre el conector o pista metálica 75a que está sobre el soporte 803. Se puede formar la capa de adhesión/barrera 125a por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD), o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se puede formar una capa germinal 125b que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa de adhesión/barrera 125a por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD), o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se puede formar una capa fotorresistente 394 sobre la capa germinal 125b usando, por ejemplo, un procedimiento de recubrimiento por rotación, un procedimiento de serigrafía o un procedimiento de laminación. Seguidamente, se puede emplear un procedimiento de fotoexposición y un procedimiento de revelado para formar múltiples aberturas 394a, exponiendo múltiples regiones de la capa germinal 125b, en la capa fotorresistente 394. La capa fotorresistente estampada 394 puede tener un grosor, por ejemplo, de entre 1 y 30 micrómetros, y preferentemente de entre 1 y 20 micrómetros o de entre 1 y 10 micrómetros. Seguidamente, se puede formar una capa de conducción 125c que tiene un grosor mayor de 1 micrómetro, tal como de entre 1 y 20 micrómetros, y preferentemente de entre 1 y 10 micrómetros o de entre 1 y 5 micrómetros, sobre las regiones, expuestas por las aberturas 394a en el capa 394, de la capa germinal 125b usando, por ejemplo, un procedimiento de electrochapado.

[0283] La capa de adhesión/barrera 125a puede incluir o puede ser una capa de titanio, una aleación de titanio-volframio, nitruro de titanio, cromo, tántalo, nitruro de tántalo, níquel o níquel-vanadio que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros. La capa germinal 125b puede incluir o puede ser una capa de cobre, una aleación de titanio-cobre, níquel, oro o plata que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros. La capa de conducción 125c puede incluir o puede ser una capa metálica electrochapada de cobre, oro o plata que tiene un grosor mayor de 1 micrómetro, tal como de entre 1 y 20 micrómetros, y preferentemente de entre 1 y 10 micrómetros o de entre 1 y 5 micrómetros.

[0284] Por ejemplo, la capa de adhesión/barrera 125a puede ser una capa que contiene titanio, tal como una capa única de aleación de titanio-volframio, titanio o nitruro de titanio, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las capas 17, 19 y 86 expuestas por las vías pasantes 156v, sobre la superficie grabada de la capa dieléctrica 139, sobre las capas dieléctricas de pared lateral 127, y sobre el conector o pista metálica 75a que está sobre el soporte 803. La capa germinal 125b puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene titanio. La capa de conducción 125c puede ser una capa de cobre electrochapado que tiene un grosor mayor de 1 micrómetro, tal como de entre 1 y 20 micrómetros, y preferentemente de entre 1 y 10 micrómetros o de entre 1 y 5 micrómetros, sobre la capa única de cobre o una aleación de titanio-cobre.

[0285] De forma alternativa, la capa de adhesión/barrera 125a puede ser una capa que contiene tántalo, tal como una capa única de tántalo o nitruro de tántalo, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro

y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las capas 17, 19 y 86 expuestas por las vías 156v, sobre la superficie grabada de la capa dieléctrica 139, sobre las capas dieléctricas de pared lateral 127, y sobre el conector o pista metálica 75a que está sobre el soporte 803. La capa germinal 125b puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene tántalo. La capa de conducción 125c puede ser una capa de cobre electrochapado que tiene un grosor mayor de 1 micrómetro, tal como de entre 1 y 20 micrómetros, y preferentemente de entre 1 y 10 micrómetros o de entre 1 y 5 micrómetros, sobre la capa única de cobre o una aleación de titanio-cobre.

[0286] De forma alternativa, la capa de adhesión/barrera 125a puede ser una capa que contiene cromo, tal como una capa única de cromo, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las capas 17, 19 y 86 expuestas por las vías pasantes 156v, sobre la superficie grabada de la capa dieléctrica 139, sobre las capas dieléctricas de pared lateral 127, y sobre el conector o pista metálica 75a que está sobre el soporte 803. La capa germinal 125b puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene cromo. La capa de conducción 125c puede ser una capa de cobre electrochapado que tiene un grosor mayor de 1 micrómetro, tal como de entre 1 y 20 micrómetros, y preferentemente de entre 1 y 10 micrómetros o de entre 1 y 5 micrómetros, sobre la capa única de cobre o una aleación de titanio-cobre.

[0287] Seguidamente, en referencia a la fig. 101, se elimina la capa fotorresistente estampada 394 usando, por ejemplo, una solución química orgánica. Seguidamente, se elimina la capa germinal 125b que no está debajo de la capa de conducción 125c usando, por ejemplo, un procedimiento de grabado químico húmedo o un procedimiento de grabado por plasma en seco. Seguidamente, se elimina la capa de adhesión/barrera 125a que no está debajo de la capa de conducción 125c usando, por ejemplo, un procedimiento de grabado químico húmedo o un procedimiento de grabado por plasma en seco. En consecuencia, las capas 125a, 125b y 125c encima de la capa dieléctrica 139 y encima de las vías pasantes 156v componen múltiples conectores metálicos 3, incluyendo los conectores metálicos 3a, 3b y 3c, encima de la capa dieléctrica 139 y encima de las vías pasantes 156v. La capa de adhesión/barrera 125a y la capa germinal 125b de los conectores metálicos 3 encima de la capa dieléctrica 139 no están en ninguna pared lateral 3w de la capa de conducción 125c de los conectores metálicos 3 encima de la capa dieléctrica 139, sino debajo de una parte inferior de la capa de conducción 125c de los conectores metálicos 3 encima de la capa dieléctrica 139. Las paredes laterales 3w de la capa de conducción 125c de los conectores metálicos 3 encima de la capa dieléctrica 139 no están cubiertas por las capas 125a y 125b. Las capas 125a, 125b y 125c en las vías pasantes 156v componen múltiples tapones metálicos (o vías metálicas) 7p en las vías pasantes 156v, incluyendo los tapones metálicos (o vías metálicas) 7a, 7b, 7c, 7d, 7e y 7f en las vías pasantes 156a, 156b, 156c, 156d, 156e y 156f como se muestra en las figs. 73 y 99, respectivamente. Cada uno de los tapones metálicos 7p en los chips 118 y en el/los sustrato(s) inactivo(s) 158 está rodeado por una de las capas dieléctricas de pared lateral 127 en las vías pasantes 156v. El tapón metálico 7a se forma en el sustrato inactivo 158, los tapones metálicos 7b, 7c y 7d se forman en uno de los chips 118, y los tapones metálicos 7f y 7e se forman en otro de los chips 118. El soporte 803 y el conector o pista metálica 75a, en la capa de interconexión 17, sobre el soporte 803 pueden estar entre dos partes, más bajas que un nivel horizontal, en el que se sitúa una superficie superior de la capa de interconexión 17, del tapón metálico 7e. Estos tapones metálicos 7p formados en los chips 118 y en el/los sustrato(s) inactivo(s) 158 pueden conectar los conectores metálicos 3 y los dispositivos semiconductores 13 en los chips 118 y conectar los conectores metálicos 2 y 3.

[0288] Uno de los tapones metálicos 7p, tal como el tapón metálico 7a, se puede formar en el sustrato inactivo 158 y formarse sobre un punto de contacto, en una parte inferior de una de las vías pasantes 156v (tal como la vía pasante 156a), de la capa de conducción 86 de uno de los conectores metálicos 2. Otro de los tapones metálicos 7p, tal como el tapón metálico 7b, se puede formar en uno de los chips 118 y formarse sobre otro punto de contacto, en una parte inferior de otra de las vías pasantes 156v (tal como la vía pasante 156b), de la capa de conducción 86 en otro de los conectores metálicos 2, tal como el conector metálico 2a. Otro de los tapones metálicos 7p, tal como el tapón metálico 7c, se puede formar en el uno de los chips 118 y formarse sobre un punto de contacto, en una parte inferior de otra de las vías pasantes 156v (tal como la vía pasante 156c), del conector o pista metálica 75d en el uno de los chips 118. Otro de los tapones metálicos 7p, tal como el tapón metálico 7d, se puede formar en el uno de los chips 118 y formarse sobre un punto de contacto, en una parte inferior de otra de las vías pasantes 156v (tal como la vía pasante 156d), del conector o pista metálica 75c en el uno de los chips 118. Otro de los tapones metálicos 7p, tal como el tapón metálico 7f, se puede formar en otro de los chips 118 y formarse sobre un punto de contacto, en una parte inferior de otra de las vías pasantes 156v (tal como la vía pasante 156f), del conector o pista metálica 75b en el otro de los chips 118. Otro de los tapones metálicos 7p, tal como el tapón metálico 7e, se puede formar en el otro de los chips 118, formarse sobre un punto de contacto del conector o pista metálica 75a encima de un soporte (tal como el soporte 803) que está entre dos partes izquierda y derecha más bajas del otro de los tapones metálicos 7p (tal como el tapón metálico 7e), y formarse sobre otro punto de contacto, en una parte inferior de otra de las vías pasantes 156v (tal como la vía pasante 156e), de la capa de conducción 86 en otro de los conectores metálicos 2, tal como el conector metálico 2b.

[0289] El conector metálico 3a se puede formar encima de uno o más de los chips 118. El conector metálico 3b se puede formar encima de los múltiples chips 118 y a través de múltiples bordes de los múltiples chips 118. El conector metálico 3c se puede formar encima de uno o más de los chips 118 y encima del/los sustrato(s) inactivo(s) 158.

[0290] El conector metálico 3a se puede conectar a un punto de contacto, en una parte inferior de la vía pasante 156b, del conector metálico 2a a través del tapón metálico 7b en uno de los chips 118 y se puede conectar a un punto de contacto, en una parte inferior de la vía pasante 156c, del conector o pista metálica 75d en el uno de los chips 118 a través del tapón metálico 7c en el uno de los chips 118. El conector metálico 3b se puede conectar a un punto de contacto, en una parte inferior de la vía pasante 156d, del conector o pista metálica 75c en el uno de los chips 118 a través del tapón metálico 7d en el uno de los chips 118 y se puede conectar a un punto de contacto, en una parte inferior de la vía pasante 156f, del conector o pista metálica 75b en otro de los chips 118 a través del tapón metálico 7f en el otro de los chips 118. El conector metálico 3c se puede conectar a un punto de contacto, en una parte inferior de la vía pasante 156e, del conector metálico 2b a través del tapón metálico 7e en el otro de los chips 118, se puede conectar a uno o más de los dispositivos semiconductores 13 en el otro de los chips 118 a través del tapón metálico 7e y el conector o pista metálica 75a en el otro de los chips 118, y se puede conectar a un punto de contacto, en una parte inferior de la vía pasante 156a, de otro de los conectores metálicos 1 a través del tapón metálico 7a en el sustrato inactivo 158. En consecuencia, los puntos de contacto en las partes inferiores de las vías pasantes 156b y 156c se pueden conectar entre sí a través del conector metálico 3a, los puntos de contacto en las partes inferiores de las vías pasantes 156d y 156f se pueden conectar entre sí a través del conector metálico 3b, y los puntos de contacto en las partes inferiores de las vías pasantes 156a y 156e se pueden conectar entre sí a través del conector metálico 3c.

[0291] En consecuencia, uno de los dispositivos semiconductores 13 en uno de los chips 118 se puede conectar a otro de los dispositivos semiconductores 13 en el uno de los chips 118 o en otro de los chips 118 a través de uno de los conectores metálicos 3, tal como 3a o 3b, y se puede conectar a un punto de contacto, en una parte inferior de una de las vías pasantes 156v (tal como la vía pasante 156a, 156b o 156e), de la capa de conducción 86 de uno de los conectores metálicos 2, tal como 2a o 2b, a través del uno de los conectores metálicos 3. Cada uno de los conectores metálicos 3 puede ser una pista de señal, una línea de bits, un bus de reloj, un plano de potencia, un bus de potencia, una pista de potencia, un plano de tierra, un bus de tierra o una pista de tierra.

[0292] De forma alternativa, el elemento 118 no solo puede indicar un chip, sino que también puede indicar una oblea. Cuando el elemento 118 es una oblea, el elemento 72 puede ser otra oblea. De este modo, el procedimiento ilustrado en la invención se puede emplear para la unión de oblea a oblea.

[0293] Seguidamente, en referencia a la fig. 102, se forma una capa aislante o dieléctrica 122 que tiene un grosor, por ejemplo, de entre 0,3 y 10 micrómetros, y preferentemente de entre 0,3 y 5 micrómetros, de entre 0,3 y 3 micrómetros, de entre 0,3 y 2 micrómetros o de entre 0,3 y 1 micrómetros, sobre la capa de conducción 125c de los conectores metálicos 3, sobre la superficie grabada de la capa dieléctrica 139, y en los huecos entre los conectores metálicos 3. Seguidamente, se forma una capa de polímero 136, tal como una capa de polímero fotosensible, sobre la capa aislante o dieléctrica 122 usando, por ejemplo, un procedimiento de recubrimiento por rotación. Seguidamente, se puede emplear un procedimiento de fotoexposición y un procedimiento de revelado químico para formar múltiples aberturas 136a, exponiendo múltiples regiones de la capa aislante o dieléctrica 122, en la capa de polímero 136. Seguidamente, la capa de polímero 136 se puede curar a una temperatura de entre 180 grados centígrados y 300 grados centígrados o de entre 180 grados centígrados y 250 grados centígrados. La capa de polímero 136 después de curarse puede tener un grosor, por ejemplo, de entre 1 y 20 micrómetros, y preferentemente de entre 2 y 15 micrómetros o de entre 5 y 10 micrómetros. La capa de polímero 136 puede ser una capa de poliimida, una capa de benzociclobuteno (BCB), una capa de polibenzoxazol (PBO), una capa de poli(óxido de fenileno) (PPO), una capa de epoxi o una capa de SU-8.

[0294] La capa aislante o dieléctrica 122, por ejemplo, puede incluir o puede ser una capa inorgánica, tal como una capa de óxido de silicio (tal como SiO_2), nitruro de silicio (tal como Si_3N_4), carbonitruro de silicio (tal como SiCN), oxinitruro de silicio (tal como SiON) u oxycarburo de silicio (tal como SiOC), con un grosor, por ejemplo, de entre 0,3 y 10 micrómetros, y preferentemente de entre 0,3 y 5 micrómetros, de entre 0,3 y 3 micrómetros, de entre 0,3 y 2 micrómetros o de entre 0,3 y 1 micrómetros, formados por un procedimiento que incluye, por ejemplo, un procedimiento de depósito químico de vapor (CVD) o un procedimiento de depósito químico de vapor potenciado por plasma (PECVD). De forma alternativa, la capa aislante o dieléctrica 122 puede incluir o puede ser una capa de polímero, tal como una capa de poliimida, benzociclobuteno (BCB), epoxi, poli(óxido de fenileno) (PPO) o polibenzoxazol (PBO), con un grosor, por ejemplo, de entre 0,3 y 10 micrómetros, y preferentemente de entre 0,3 y 5 micrómetros, de entre 0,3 y 3 micrómetros, de entre 0,3 y 2 micrómetros o de entre 0,3 y 1 micrómetros, formada, por ejemplo, usando un procedimiento de recubrimiento por rotación y a continuación usando un procedimiento de curado térmico a una temperatura de entre 150 grados centígrados y 300 grados centígrados.

[0295] En referencia a la fig. 103, después de formar la estructura ilustrada en la fig. 102, formar una capa metalúrgica debajo de protuberancias (UBM) 666 sobre la capa de polímero 136 y sobre múltiples puntos de contacto, en las partes inferiores de múltiples aberturas en la capa aislante o dieléctrica 122 y debajo de las aberturas 136a en la capa de polímero 136, de la capa de conducción 125c de los conectores metálicos 3, formar múltiples protuberancias o bolas de soldadura 126 sobre la capa UBM 666, e individualizar múltiples sistemas en paquetes o módulos multichip, tal como los sistemas en paquetes o los módulos multichip 555e y 555f, se puede denominar las etapas ilustradas en las figs. 78-82.

[0296] En algunos casos, el sistema en paquete o el módulo multichip 555e puede incluir además múltiples tapones metálicos o vías en el portador 11, múltiples pistas metálicas debajo del portador 11 y múltiples componentes pasivos debajo del portador 11. Los tapones metálicos o las vías se pueden formar en múltiples aberturas en el sustrato 10 y la capa dieléctrica 12 del portador 11, que pasan a través del sustrato 10 y la capa dieléctrica 12, y conectarse a la capa conductora 18 del portador 11. Los tapones metálicos o las vías pueden incluir o pueden ser de cobre, aluminio, oro o níquel. De forma alternativa, los tapones metálicos o las vías pueden incluir además titanio, una aleación de titanio-volframio, nitruro de titanio, tántalo, nitruro de tántalo, una aleación de titanio-cobre o cromo. Las pistas metálicas se pueden formar en un lado inferior del sustrato 10 del portador 11 y conectarse a la capa conductora 18 del portador 11 a través de los tapones metálicos o las vías. Cada una de las pistas metálicas puede incluir una capa metálica electrochapada y una capa de titanio, una aleación de titanio-volframio, nitruro de titanio, cromo, tántalo, nitruro de tántalo o una aleación de titanio-cobre, y la capa metálica electrochapada puede incluir o puede ser una capa de cobre, oro, aluminio o níquel. Los componentes pasivos, tales como condensadores, inductores o resistencias, se pueden unir con las pistas metálicas usando soldaduras. Uno de los componentes pasivos se puede conectar a uno de los tapones metálicos 5p, tal como el tapón metálico 5a, 5b, 5c, 5d, 5e o 5f, a través de, en secuencia, una de las soldaduras, una de las pistas metálicas en un lado inferior del sustrato 10, uno de los tapones metálicos o las vías en el sustrato 10 y un conector metálico de la capa conductora 18 en el lado superior del sustrato 10. Las soldaduras pueden incluir bismuto, indio, estaño, una aleación de estaño-plomo, una aleación de estaño-plata, una aleación de estaño-plata-cobre, una aleación de estaño-oro o una aleación de estaño-cobre.

[0297] El sistema en paquete o el módulo multichip 555e se puede conectar a y unir con un portador, tal como una placa base, una placa de circuito impreso (PCB), un sustrato de matriz de rejilla de bolas (BGA), un sustrato de metal, un sustrato de vidrio o un sustrato de cerámica, usando las protuberancias o bolas de soldadura 126. Por ejemplo, en referencia a la fig. 104, el sistema en paquete o el módulo multichip 555e se puede unir con el lado superior del portador 176 ilustrado en la fig. 83 usando, por ejemplo, una tecnología de chip invertido para juntar las protuberancias o bolas de soldadura 126 con una capa de soldadura o de oro preformada sobre el lado superior del portador 176. Seguidamente, se puede formar el relleno subyacente 174 ilustrado en la fig. 83 entre la capa de polímero 136 del sistema en paquete o del módulo multichip 555e y el lado superior del portador 176 y que rodea las protuberancias o bolas de soldadura 126. Seguidamente, se pueden formar las bolas de soldadura 178 ilustradas en la fig. 83 sobre el lado inferior del portador 176.

[0298] La fig. 105 muestra otro sistema en paquete o módulo multichip de acuerdo con otro modo de realización de la presente divulgación, que se puede formar por las siguientes etapas. Después de formar la estructura ilustrada en la fig. 102, formar múltiples aberturas en la capa aislante o dieléctrica 122 y debajo de las aberturas 136a en la capa de polímero 136, formar una capa de adhesión/barrera 134 sobre la capa de polímero 136 y sobre múltiples puntos de contacto, expuestos por las aberturas en la capa aislante o dieléctrica 122 y debajo de las aberturas 136a en la capa de polímero 136, de la capa de conducción 125c de los conectores metálicos 3, formar una capa germinal 132 sobre la capa de adhesión/barrera 134, formar una capa fotorresistente 152 sobre la capa germinal 132, y formar múltiples aberturas 152a en la capa fotorresistente 152 se puede denominar las etapas ilustradas en las figs. 78 y 79. Seguidamente, formar una capa metálica 142 sobre múltiples regiones, expuestas por las aberturas 152a en la capa fotorresistente 152, de la capa germinal 132 y en las aberturas 152a, formar una capa de barrera 144 en las aberturas 152a y sobre la capa metálica 142, formar una capa humectante de soldadura 146 en las aberturas 152a y sobre la capa de barrera 144, eliminar la capa fotorresistente 152, eliminar la capa germinal 132 que no está debajo de la capa metálica 142, y eliminar la capa de adhesión/barrera 134 que no está debajo de la capa metálica 142 se puede denominar las etapas ilustradas en la fig. 84. En consecuencia, las capas 132, 134, 142, 144 y 146 componen múltiples protuberancias metálicas 668 sobre la capa de polímero 136 y sobre los puntos de contacto, en las partes inferiores de las aberturas en la capa aislante o dieléctrica 122 y debajo de las aberturas 136a en la capa de polímero 136, de la capa de conducción 125c de los conectores metálicos 3. Las protuberancias metálicas 668 pueden tener un ancho, por ejemplo, de entre 20 y 400 micrómetros, y preferentemente de entre 50 y 100 micrómetros, y una altura, por ejemplo, de entre 10 y 100 micrómetros, y preferentemente de entre 20 y 60 micrómetros. Seguidamente, se puede realizar un procedimiento de individualización para cortar el portador 11, los sustratos inactivos 62, 165 y 158, y las capas 22, 60, 66, 88, 116, 120, 122, 136, 139 y 140 usando, por ejemplo, corte mecánico o corte por láser y para individualizar múltiples sistemas en paquetes o módulos multichip, tales como el sistema en paquete o el módulo multichip 555g como se muestra en la fig. 105. En el sistema en paquete o el módulo multichip 555g, cada uno de los conectores 3 se puede conectar a una o más de las protuberancias metálicas 668, y las protuberancias metálicas 668 se pueden usar para conexión externa.

[0299] El sistema en paquete o el módulo multichip 555g se puede conectar a y unir con un portador, tal como una placa base, una placa de circuito impreso (PCB), un sustrato de matriz de rejilla de bolas (BGA), un sustrato de metal, un sustrato de vidrio o un sustrato de cerámica, usando las protuberancias metálicas 668. Por ejemplo, en referencia a la fig. 106, el sistema en paquete o el módulo multichip 555g se puede unir con el lado superior del portador 176 ilustrado en la fig. 83 usando, por ejemplo, una tecnología de chip invertido para juntar la capa humectante de soldadura 146 de las protuberancias metálicas 668 con una capa de soldadura o de oro preformada sobre el lado superior del portador 176. Después de juntar la capa humectante de soldadura 146 con la capa de soldadura o de oro preformada sobre el lado superior del portador 176, se forman múltiples juntas metálicas 180 entre la capa de barrera 144 de las protuberancias metálicas 668 y el lado superior del portador 176. Las juntas metálicas 180 pueden ser una capa de una aleación Sn-Ag, una aleación Sn-Ag-Cu, una aleación Sn-Au o una aleación Sn-Pb que tiene un grosor

de entre 5 y 50 micrómetros. Seguidamente, se puede formar el relleno subyacente 174 ilustrado en la fig. 83 entre la capa de polímero 136 del sistema en paquete o del módulo multichip 555g y el lado superior del portador 176 y que rodea las protuberancias metálicas 668 y las juntas metálicas 180. Seguidamente, se pueden formar las bolas de soldadura 178 ilustradas en la fig. 83 sobre el lado inferior del portador 176.

[0300] De forma alternativa, se puede omitir la capa aislante o dieléctrica 122 como se muestra en las figs. 102-106. En este caso, se forma la capa de polímero 136 sobre la capa de conducción 125c de los conectores metálicos 3, sobre la superficie grabada de la capa dieléctrica 139, y en los huecos entre los conectores metálicos 3, y los puntos de contacto de la capa de conducción 125c de los conectores metálicos 3 se exponen por y en los extremos de las aberturas 136a en la capa de polímero 136. Además, se forma la capa de adhesión/barrera 134 sobre los puntos de contacto, expuestos por y en los extremos de las aberturas 136a en la capa de polímero 136, de la capa de conducción 125c de los conectores metálicos 3.

[0301] Las figs. 107 y 108 muestran un procedimiento para formar otro sistema en paquete o módulo multichip de acuerdo con otro modo de realización de la presente divulgación. En referencia a la fig. 107, después de formar la estructura ilustrada en la fig. 101, se puede formar una capa aislante o dieléctrica 122 sobre la capa de conducción 125c de los conectores metálicos 3, sobre la superficie grabada de la capa dieléctrica 139, y en los huecos entre los conectores metálicos 3. Las especificaciones de la capa 122 mostrada en la fig. 107 pueden hacer referencia a las especificaciones de la capa 122 como se ilustra en la fig. 102. Seguidamente, se pueden formar múltiples aberturas 122a en la capa aislante o dieléctrica 122 y exponer múltiples regiones de la capa de conducción 125c de los conectores metálicos 3. Seguidamente, se pueden formar las pistas o conectores metálicos 300 ilustrados en la fig. 86 sobre la capa aislante o dieléctrica 122 y sobre las regiones, expuestas por las aberturas 122a en la capa 122, de la capa de conducción 125c de los conectores metálicos 3. Las pistas o conectores metálicos 300 pueden estar compuestos por las capas 148 y 150 ilustradas en la fig. 86, y las etapas de formación de las pistas o conectores metálicos 300 mostrados en la fig. 107 pueden hacer referencia a las etapas de formación de las pistas o conectores metálicos 300 como se ilustra en la fig. 86. Seguidamente, se puede formar una capa de polímero 136, tal como una capa de polímero fotosensible, sobre la capa aislante o dieléctrica 122 y sobre las pistas o conectores metálicos 300 usando, por ejemplo, un procedimiento de recubrimiento por rotación. Seguidamente, se puede emplear un procedimiento de fotoexposición y un procedimiento de revelado químico para formar múltiples aberturas 136a, exponiendo múltiples puntos de contacto de las pistas o conectores metálicos 300, en la capa de polímero 136. Seguidamente, la capa de polímero 136 se puede curar a una temperatura de entre 180 grados centígrados y 300 grados centígrados o de entre 180 grados centígrados y 250 grados centígrados. La capa de polímero 136 después de curarse puede tener un grosor, por ejemplo, de entre 1 y 20 micrómetros, y preferentemente de entre 2 y 15 micrómetros o de entre 5 y 10 micrómetros. La capa de polímero 136 puede ser una capa de poliimida, una capa de benzociclobuteno (BCB), una capa de polibenzoxazol (PBO), una capa de poli(óxido de fenileno) (PPO), una capa de epoxi o una capa de SU-8.

[0302] Seguidamente, en referencia a la fig. 108, se puede realizar un procedimiento de individualización para cortar el portador 11, los sustratos inactivos 62, 165 y 158, y las capas 22, 60, 66, 88, 116, 120, 122, 136, 139 y 140 usando, por ejemplo, corte mecánico o corte por láser y para individualizar múltiples sistemas en paquetes o módulos multichip, tales como los sistemas en paquetes o los módulos multichip 555h y 555i.

[0303] La fig. 109 muestra un paquete multichip 566a que incluye el sistema en paquete o el módulo multichip 555h conectado al portador 176 ilustrado en la fig. 83 a través de hilos unidos por hilo 184. El paquete multichip 566a es similar al paquete multichip 566 mostrado en la fig. 88, excepto que el sistema en paquete o el módulo multichip 555c mostrado en la fig. 88 se reemplaza con el sistema en paquete o el módulo multichip 555h. Las etapas de formación del paquete multichip 566a empaquetado con el sistema en paquete o el módulo multichip 555h pueden hacer referencia a las etapas de formación del paquete multichip 566 empaquetado con el sistema en paquete o el módulo multichip 555c como se ilustra en la fig. 88. Las especificaciones de la capa de pegamento 182, los hilos unidos por hilo 184 y el compuesto de moldeo 186 mostrados en la fig. 109 pueden hacer referencia a las especificaciones de la capa de pegamento 182, los hilos unidos por hilo 184 y el compuesto de moldeo 186 como se ilustra en la fig. 88, respectivamente. Las especificaciones de las bolas de soldadura 178 mostradas en la fig. 109 pueden hacer referencia a las especificaciones de las bolas de soldadura 178 como se ilustra en la fig. 83. El paquete multichip 566a se puede conectar a un portador, tal como una placa base, un sustrato de matriz de rejilla de bolas (BGA), una placa de circuito impreso, un sustrato de metal, un sustrato de vidrio o un sustrato de cerámica, a través de las bolas de soldadura 178.

[0304] Las figs. 110-128 muestran un procedimiento para formar otro sistema en paquete o módulo multichip de acuerdo con otro modo de realización de la presente divulgación. En referencia a la fig. 110, se proporcionan múltiples chips 68 antes de la unión con un portador 11. Los chips 68 mostrados en la fig. 110 son similares a los chips 68 mostrados en la fig. 7, excepto que cada uno de los chips 68 mostrados en la fig. 110 incluye además múltiples protuberancias metálicas 891 debajo y sobre múltiples puntos de contacto, expuestos por y en los extremos de múltiples aberturas 24a en la capa de pasivación 24, de la capa metálica estampada 26 e incluye además un conector o pista metálica 35e proporcionado por la capa metálica estampada 26. El conector o pista metálica 35e se puede conectar a uno o más de los dispositivos semiconductores 36, pero se puede desconectar del conector o pista metálica 35a, 35b, 35c o 35d. El conector o pista metálica 35e puede ser una pista de señal, una línea de bits, un bus de reloj, un plano de potencia, un bus de potencia, una pista de potencia, un plano de tierra, un bus de tierra o una pista de

tierra. El elemento de los chips 68 en la fig. 110 indicado por un mismo número de referencia indica que el elemento de los chips 68 en la fig. 7 tiene un mismo material y especificación que el elemento de los chips 68 ilustrado en la fig. 7. En un caso, uno de los chips 68 puede tener diseños de circuito diferentes a los de otro de los chips 68. También, en otro caso, uno de los chips 68 puede tener los mismos diseños de circuito que los de otro de los chips 68. De forma alternativa, uno de los chips 68 puede tener un área (superficie superior) o tamaño diferente al de otro de los chips 68. También, en otro caso, uno de los chips 68 puede tener una misma área (superficie superior) o tamaño que el de otro de los chips 68. El portador 11 mostrado en la fig. 110 es similar al mostrado en la fig. 1, excepto que el portador 11 mostrado en la fig. 110 incluye además múltiples islas metálicas 892 sobre múltiples puntos de contacto, en las partes inferiores de múltiples aberturas 20a en la capa dieléctrica o aislante 20, de la capa conductora 18. Los puntos de contacto, en las partes inferiores de las aberturas 20a, de la capa conductora 18 pueden estar separados entre sí por la capa dieléctrica o aislante 20 del portador 11.

[0305] Las islas metálicas 892 pueden estar compuestas por dos capas metálicas 84a y 85. La capa metálica 85, tal como la capa de níquel, puede tener un grosor, por ejemplo, de entre 2 y 10 micrómetros y se puede formar sobre los puntos de contacto, en las partes inferiores de las aberturas 20a, de la capa conductora 18 del portador 11, por ejemplo, por un procedimiento de electrochapado o chapado autocatalítico. La capa metálica 84a, tal como una capa de soldadura o de oro, puede tener un grosor, por ejemplo, de entre 2 y 15 micrómetros y se puede formar sobre la capa metálica 85, tal como la capa de níquel, por ejemplo, por un procedimiento de electrochapado o chapado autocatalítico.

[0306] Las protuberancias metálicas 891 pueden estar compuestas por una o más capas metálicas, tales como las capas metálicas 83 y 84b. La capa metálica 83 puede incluir una capa de adhesión/barrera, tal como una capa de titanio, nitruro de titanio, una aleación de titanio-volframio, tántalo, nitruro de tántalo o cromo, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, formada debajo y sobre los puntos de contacto, en las partes superiores de las aberturas 24a, de la capa metálica estampada 26 de cada chip 68, por ejemplo, por un procedimiento de pulverización catódica. La capa metálica 83 puede incluir además una capa germinal, tal como una capa de una aleación de titanio-cobre, cobre, oro o níquel, con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, formada debajo y sobre la capa de adhesión/barrera, por ejemplo, por un procedimiento de pulverización catódica. La capa metálica 84b, por ejemplo, puede incluir una capa de cobre con un grosor, por ejemplo, de entre 0,5 y 20 micrómetros, y preferentemente de entre 2 y 10 micrómetros, formada debajo y sobre la capa germinal, preferentemente la capa germinal de cobre o aleación de titanio-cobre, de la capa metálica 83, por ejemplo, por un procedimiento de electrochapado, una capa de níquel con un grosor, por ejemplo, de entre 0,1 y 10 micrómetros, y preferentemente de entre 0,2 y 5 micrómetros, formada debajo y sobre la capa de cobre, por ejemplo, por un procedimiento de electrochapado o chapado autocatalítico, y una capa de soldadura de bismuto, indio, estaño, una aleación de estaño-plomo, una aleación de estaño-plata, una aleación de estaño-cobre o una aleación de estaño-plata-cobre, usada para la unión con la capa metálica 84a (tal como una capa de soldadura o de oro) de las islas metálicas 892, formada debajo y sobre la capa de níquel, por ejemplo, por un procedimiento de electrochapado. De forma alternativa, la capa metálica 84b puede incluir una capa de cobre con un grosor, por ejemplo, de entre 2 y 100 micrómetros, y preferentemente de entre 5 y 50 micrómetros, formada debajo y sobre la capa germinal, preferentemente la capa germinal de cobre o aleación de titanio-cobre, de la capa metálica 83 por un procedimiento de electrochapado, una capa de níquel con un grosor, por ejemplo, de entre 2 y 10 micrómetros, y preferentemente de entre 2 y 5 micrómetros, formada debajo y sobre la capa de cobre por un procedimiento de electrochapado o chapado autocatalítico, y una capa de oro, usada para la unión con la capa metálica 84a (tal como una capa de soldadura o de oro) de las islas metálicas 892, formada debajo y sobre la capa de níquel por un procedimiento de electrochapado o chapado autocatalítico. De forma alternativa, la capa metálica 84b puede incluir una capa de níquel con un grosor, por ejemplo, de entre 2 y 50 micrómetros, y preferentemente de entre 5 y 25 micrómetros, formada debajo y sobre la capa germinal, preferentemente la capa germinal de cobre o aleación de titanio-cobre, de la capa metálica 83, por ejemplo, por un procedimiento de electrochapado, y una capa de soldadura de bismuto, indio, estaño, una aleación de estaño-plomo, una aleación de estaño-plata, una aleación de estaño-cobre o una aleación de estaño-plata-cobre, usada para la unión con la capa metálica 84a (tal como una capa de soldadura o de oro) de las islas metálicas 892, formada debajo y sobre la capa de níquel, por ejemplo, por un procedimiento de electrochapado o chapado autocatalítico.

[0307] En referencia a la fig. 111, los chips 68 se pueden unir con el portador 11 usando, por ejemplo, una tecnología de chip invertido para juntar las protuberancias metálicas 891 de los chips 68 con las islas metálicas 892 del portador 11. En este procedimiento, las protuberancias metálicas 891 se pueden colocar encima de las islas metálicas 892, y a continuación la capa más inferior, la capa de soldadura o de oro descrita previamente, de la capa metálica 84b de las protuberancias metálicas 891 y la capa más superior, la capa de soldadura o de oro descrita previamente, de la capa metálica 84a de las islas metálicas 892 se pueden fundir o integrar en múltiples juntas metálicas 89 usando un procedimiento adecuado, tal como procedimiento de calentamiento o reflujo. En consecuencia, las juntas metálicas 89 se pueden formar entre los lados activos de los chips 68 y un lado superior del portador 11. Cada una de las juntas metálicas 89 puede ser una capa de bismuto, indio, una aleación de estaño-plomo, una aleación de estaño-plata, una aleación de estaño-cobre, una aleación de estaño-plata-cobre, una aleación de estaño-oro u oro que tiene un grosor, por ejemplo, de entre 5 y 50 micrómetros entre la capa metálica 85 y la capa de níquel descrita previamente en la capa metálica restante 84b, no mostrada en la fig. 111 pero ilustrada en la fig. 110, debajo y sobre la capa metálica 83. Las juntas metálicas 89 pueden conectar los conectores o pistas metálicas 35b, 35c, 35d y 35e de los chips 68 a múltiples

pistas o conectores metálicos de la capa conductora 18 del portador 11. Seguidamente, se puede formar un relleno subyacente 91 entre la capa de pasivación 24 de cada chip 68 y el lado superior del portador 11 y que rodea las juntas metálicas 89. El relleno subyacente 91 puede incluir epoxi, relleno de vidrio o relleno de carbono, y el relleno de vidrio o relleno de carbono se puede distribuir en la epoxi.

[0308] Seguidamente, en referencia a la fig. 112, múltiples sustratos inactivos separados 62 se pueden juntar con el lado superior del portador 11 usando una capa de pegamento 22. La capa de pegamento 22 puede ser una capa de polímero, tal como una capa de epoxi, poliimida, benzociclobuteno (BCB), polibenzoxazol (PBO), poli(óxido de fenileno) (PPO) o silosano, con un grosor, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 5 y 10 micrómetros o de entre 10 y 30 micrómetros. Cuando un hueco entre dos chips adyacentes 68 es demasiado grande, tal como mayor a 500 o 1000 micrómetros, uno o más de los sustratos inactivos separados 62 se pueden colocar en el hueco. De forma alternativa, cuando un hueco entre dos chips adyacentes 68 es lo suficientemente pequeño, tal como más pequeño que 500 o 1000 micrómetros, no puede haber sustratos inactivos separados 62 colocados en el hueco. Los sustratos inactivos separados 62, por ejemplo, pueden ser barras de silicio separadas, chips inactivos separados, pastillas de silicio inactivas separadas o sustratos separados de polisilicio, vidrio, silicio o cerámica. En un modo de realización, no hay circuitos preformados en cada sustrato inactivo separado 62 o sobre una superficie superior o inferior de cada sustrato inactivo separado 62 antes de que los sustratos inactivos separados 62 se junten con el portador 11.

[0309] De forma alternativa, se puede reemplazar la capa de pegamento 22 con una capa de óxido de silicio que se preforma sobre un lado inferior de cada uno de los sustratos inactivos separados 62. En este caso, juntar los sustratos inactivos separados 62 con el lado superior del portador 11 se puede realizar uniendo la capa de óxido de silicio 22 preformada sobre cada uno de los sustratos inactivos separados 62 con otra capa de óxido de silicio de la capa dieléctrica o aislante 20 del portador 11. En consecuencia, los sustratos inactivos separados 62 se pueden juntar con el portador 11 usando estas capas de óxido de silicio.

[0310] La fig. 113 es una vista superior esquemática que muestra los sustratos inactivos separados 62 y los chips 68 mostrados en la fig. 112 de acuerdo con un modo de realización, y la fig. 112 es la vista en sección transversal cortada a lo largo de la línea C-C mostrada en la fig. 113. Como se muestra en las figs. 112 y 113, hay múltiples huecos 4 cada uno entre uno de los chips 68 y uno de los sustratos inactivos separados 62, y hay múltiples huecos 8 (se muestra uno de ellos) cada uno entre dos chips adyacentes 68. Cada uno de los huecos 4 puede tener una distancia transversal o espaciado D1, por ejemplo, de entre 1 y 200 micrómetros, de entre 1 y 50 micrómetros o de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros. Cada uno de los huecos 8 puede tener una distancia transversal o espaciado D2, por ejemplo, más pequeño que 500 micrómetros, tal como de entre 1 y 200 micrómetros, de entre 1 y 50 micrómetros o de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros.

[0311] Después de que los sustratos inactivos separados 62 se juntan con el portador 11, se puede formar la estructura mostrada en la fig. 114 por las siguientes etapas. Después de formar la estructura ilustrada en la fig. 112, se puede formar el material de encapsulación/relleno de huecos 64 ilustrado en la fig. 10 sobre un lado posterior del sustrato semiconductor 58 de cada chip 68, sobre los lados superiores de los sustratos inactivos separados 62, y en los huecos 4 y 8. Seguidamente, el material de encapsulación/relleno de huecos 64, el lado posterior del sustrato semiconductor 58 de cada chip 68 y los sustratos inactivos separados 62 se rectifican o pulen, por ejemplo, por un procedimiento de pulido químico-mecánico (CMP), un procedimiento de pulido mecánico, un procedimiento de rectificado mecánico o un procedimiento que incluye pulido mecánico y grabado químico hasta que el sustrato semiconductor 58 de uno de los chips 68 se estrecha a un grosor T1, por ejemplo, de entre 1 y 100 micrómetros, de entre 1 y 50 micrómetros, de entre 1 y 30 micrómetros, de entre 1 y 10 micrómetros o de entre 1 y 5 micrómetros, y preferentemente de entre 2 y 20 micrómetros o de entre 3 y 30 micrómetros. Preferentemente, cada uno de los chips 68, después del procedimiento de rectificado o pulido, puede tener un grosor, por ejemplo, de entre 3 y 105 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros. Después del procedimiento de rectificado o pulido, uno de los sustratos inactivos separados 62 se puede estrechar a un grosor T2, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros, y el material de encapsulación/relleno de huecos 64 restante en los huecos 4 y 8 puede tener un grosor vertical T3, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros. La superficie rectificada o pulida 58s del sustrato semiconductor 58, en el lado posterior de cada chip 68, y las superficies rectificadas o pulidas 62s de los sustratos inactivos separados 62 pueden ser sustancialmente planas y no estar cubiertas por el material de encapsulación/relleno de huecos 64. Las superficies rectificadas o pulidas 62s pueden ser sustancialmente coplanarias con la superficie rectificada o pulida 58s de cada chip 68 y con la superficie rectificada o pulida 64s del material de encapsulación/relleno de huecos 64 en los huecos 4 y 8. Después de que el material de encapsulación/relleno de huecos 64, el lado posterior del sustrato semiconductor 58 de cada chip 68 y los sustratos inactivos separados 62 se rectifican o pulen por el procedimiento mencionado anteriormente, se puede formar la capa dieléctrica 60 ilustrada en la fig. 14 sobre la superficie rectificada o pulida 58s del sustrato semiconductor 58 de cada chip 68, sobre las superficies rectificadas o pulidas 62s de los sustratos inactivos separados 62, y sobre la superficie rectificada o pulida 64s del material de encapsulación/relleno de huecos 64.

[0312] De forma alternativa, se puede formar la estructura mostrada en la fig. 114 por las siguientes etapas. Después de que los sustratos inactivos separados 62 se juntan con el portador 11, se puede formar el material de

encapsulación/relleno de huecos 64 ilustrado en la fig. 12 sobre los lados posteriores de los sustratos semiconductores 58 de los chips 68, sobre los lados superiores de los sustratos inactivos separados 62, y en los huecos 4 y 8. Seguidamente, se puede formar el polímero 65 ilustrado en la fig. 12 sobre el material de encapsulación/relleno de huecos 64 y en los huecos 4 y 8. Seguidamente, se pueden realizar las etapas ilustradas en la fig. 13 para eliminar la capa de polímero 65, para eliminar el material de encapsulación/relleno de huecos 64 que no está en los huecos 4 y 8, para estrechar los sustratos semiconductores 58 de los chips 68, y para estrechar los sustratos inactivos separados 62. En consecuencia, la superficie pulida 58s del sustrato semiconductor 58, en el lado posterior de cada chip 68, y las superficies pulidas 62s de los sustratos inactivos separados 62 pueden ser sustancialmente planas y no estar cubiertas por el material de encapsulación/relleno de huecos 64. Las superficies pulidas 62s pueden ser sustancialmente coplanarias con la superficie pulida 58s de cada chip 68 y con la superficie pulida 64s del material de encapsulación/relleno de huecos 64 en los huecos 4 y 8. Las superficies pulidas 58s, 62s y 64s pueden tener una microrrugosidad, por ejemplo, de menos de 20 nanómetros. Cada uno de los chips 68 se puede estrechar a un grosor, por ejemplo, de entre 3 y 35 micrómetros, y preferentemente de entre 5 y 10 micrómetros o de entre 5 y 25 micrómetros. El sustrato semiconductor 58 de uno de los chips 68 se puede estrechar al grosor T1 de entre 1 y 30 micrómetros, y preferentemente de entre 2 y 5 micrómetros, de entre 2 y 10 micrómetros, de entre 2 y 20 micrómetros o de entre 3 y 30 micrómetros. Cada uno de los sustratos inactivos separados 62 se puede estrechar al grosor T2, por ejemplo, de entre 3 y 35 micrómetros, y preferentemente de entre 5 y 10 micrómetros o de entre 5 y 25 micrómetros. El material de encapsulación/relleno de huecos 64 en los huecos 4 y 8 se puede estrechar al grosor T3, por ejemplo, de entre 3 y 35 micrómetros, y preferentemente de entre 5 y 10 micrómetros o de entre 5 y 25 micrómetros. Después de esto, se puede formar la capa dieléctrica 60 ilustrada en la fig. 14 sobre la superficie pulida 58s del sustrato semiconductor 58 de cada chip 68, sobre las superficies pulidas 62s de los sustratos inactivos separados 62, y sobre la superficie pulida 64s del material de encapsulación/relleno de huecos 64.

[0313] En referencia a la fig. 115, después de formar la estructura ilustrada en la fig. 114, se pueden formar múltiples vías pasantes 170v, incluyendo las vías pasantes 170a, 170c, 170d, 170f y 170g, en los chips 68 y en los sustratos inactivos separados 62, exponiendo la capa conductora 18 del portador 11 y exponiendo las capas 26 y 34 de los chips 68, por un procedimiento o procedimientos adecuados, por ejemplo, por las siguientes etapas. En primer lugar, se puede formar una capa fotorresistente, tal como una capa resistente fotosensible de tipo positivo o una capa resistente fotosensible de tipo negativo, sobre la capa dieléctrica 60 usando, por ejemplo, un procedimiento de recubrimiento por rotación o un procedimiento de laminación. Seguidamente, se puede emplear un procedimiento de fotoexposición usando un paso a paso IX y un procedimiento de revelado usando una solución química para formar múltiples aberturas, exponiendo la capa dieléctrica 60, en la capa fotorresistente. La capa fotorresistente puede tener un grosor, por ejemplo, de entre 3 y 50 micrómetros. Seguidamente, se puede eliminar la capa dieléctrica 60 debajo de las aberturas en la capa fotorresistente usando, por ejemplo, un procedimiento de grabado por plasma anisotrópico. Seguidamente, se pueden decapar los sustratos inactivos separados 62 debajo de las aberturas en la capa fotorresistente y los chips 68 debajo de las aberturas en la capa fotorresistente hasta que se exponen las regiones predeterminadas de las capas 26 y 34 en los chips 68 y las regiones predeterminadas de la capa conductora 18 en el portador 11 por las aberturas en la capa fotorresistente. Seguidamente, se puede eliminar la capa fotorresistente usando, por ejemplo, una sustancia química orgánica. En consecuencia, se pueden formar las vías pasantes 170v, incluyendo las vías pasantes 170a, 170c, 170d, 170f y 170g, en los chips 68 y en los sustratos inactivos separados 62, exponiendo múltiples regiones de la capa conductora 18 del portador 11 y exponiendo múltiples regiones de las capas 26 y 34 de los chips 68. La vía pasante 170a se forma en uno de los sustratos inactivos separados 62, y las vías pasantes 170c, 170d, 170f y 170g se forman en el mismo chip 68. Cada una de las vías pasantes 170v, tales como la vía pasante 170a, 170c, 170d, 170f o 170g, puede tener un ancho o un diámetro, por ejemplo, de entre 0,5 y 100 micrómetros, de entre 0,5 y 50 micrómetros, de entre 0,5 y 30 micrómetros, de entre 0,5 y 20 micrómetros, de entre 0,5 y 10 micrómetros o de entre 0,5 y 5 micrómetros, y preferentemente de entre 1 y 3 micrómetros.

[0314] Una de las vías pasantes 170v, tal como la vía pasante 170a, pasa a través de la capa dieléctrica 60, uno de los sustratos inactivos separados 62, la capa de pegamento o la capa de óxido de silicio 22, y la capa dieléctrica o aislante 20 del portador 11, exponiendo una región de la capa conductora 18 del portador 11. Otra de las vías pasantes 170v, tal como la vía pasante 170c, pasa a través de la capa dieléctrica 60 y a través del sustrato semiconductor 58 y la capa dieléctrica 48 de uno de los chips 68, exponiendo el conector o pista metálica 35d en la capa de interconexión 34 del uno de los chips 68. Otra de las vías pasantes 170v, tal como la vía pasante 170d, pasa a través de la capa dieléctrica 60 y a través del sustrato semiconductor 58 y las capas dieléctricas 44, 46 y 48 de uno de los chips 68, exponiendo el conector o pista metálica 35c en la capa metálica estampada 26 del uno de los chips 68. Otra de las vías pasantes 170v, tal como la vía pasante 170f, pasa a través de la capa dieléctrica 60 y a través del sustrato semiconductor 58 y la capa dieléctrica 48 de uno de los chips 68, exponiendo el conector o pista metálica 35b en la capa de interconexión 34 del uno de los chips 68. Otra de las vías pasantes 170v, tal como la vía pasante 170g, pasa a través de la capa dieléctrica 60 y a través del sustrato semiconductor 58 y las capas dieléctricas 44, 46 y 48 de uno de los chips 68, exponiendo el conector o pista metálica 35a en la capa de interconexión 34 de uno de los chips 68 y exponiendo el conector o pista metálica 35e en la capa metálica estampada 26 del uno de los chips 68. Un soporte 804 proporcionado por la capa dieléctrica 44 está entre el conector o pista metálica 35a expuesto por la vía pasante 170g y el conector o pista metálica 35e debajo de la vía pasante 170g con el propósito de soportar el conector o pista metálica 35a expuesto. El soporte 804 puede tener una altura, por ejemplo, de entre 0,5 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros, y un ancho, por ejemplo, de entre 0,3 y 30 micrómetros, y preferentemente de entre 0,3 y 10 micrómetros, 0,3 y 5 micrómetros, o de entre 0,3 y 1 micrómetros. Las figs. 116-119 son tres ejemplos

de vistas en perspectiva superior esquemáticas que muestran la vía pasante 170g y los conectores o pistas metálicas 35a y 35e ilustrados en la fig. 115.

[0315] Como se muestra en las figs. 115 y 116, la vía pasante 170g en uno de los chips 68 expone el conector o pista metálica 35a en el uno de los chips 68 y expone dos regiones del conector o pista metálica 35e en el uno de los chips 68. El conector o pista metálica 35a tiene una región de conformación lineal, expuesto por la vía pasante 170g, que se extiende en una dirección horizontal desde un lado de la vía pasante 170g hasta el lado opuesto de la vía pasante 170g a través de un centro de la vía pasante 170g. El soporte 804, entre el conector o pista metálica 35e debajo de la vía pasante 170g y la región de conformación lineal expuesta del conector o pista metálica 35a en la capa de interconexión 34, puede tener conformación lineal, como la región de conformación lineal expuesta del conector o pista metálica 35a. Preferentemente, la vía pasante 170g puede tener, pero no se limita a, una conformación circular desde una vista en perspectiva superior.

[0316] Como se muestra en las figs. 115 y 117, la vía pasante 170g en uno de los chips 68 expone el conector o pista metálica 35a en el uno de los chips 68 y expone una región del conector o pista metálica 35e en el uno de los chips 68. El conector o pista metálica 35a tiene una región peninsular, expuesto por la vía pasante 170g, que se extiende en una dirección horizontal desde un lado de la vía pasante 170g al menos hasta el centro de la vía pasante 170g, pero no llega al lado opuesto de la vía pasante 170g; el conector o pista metálica 35a tiene un extremo expuesto por la vía pasante 170g. El soporte 804, entre el conector o pista metálica 35e debajo de la vía pasante 170g y la región peninsular expuesta del conector o pista metálica 35a en la capa de interconexión 34, puede tener conformación de península, como la región peninsular expuesta del conector o pista metálica 35a. Preferentemente, la vía pasante 170g puede tener, pero no se limita a, una conformación circular desde una vista en perspectiva superior.

[0317] Como se muestra en las figs. 115 y 118, la vía pasante 170g en uno de los chips 68 expone el conector o pista metálica 35a en el uno de los chips 68 y expone una región del conector o pista metálica 35e en el uno de los chips 68. El conector o pista metálica 35a tiene una región peninsular, expuesto por la vía pasante 170g, que se extiende en una dirección horizontal desde un lado de la vía pasante 170g al menos hasta el centro de la vía pasante 170g, pero no llega al lado opuesto de la vía pasante 170g; el conector o pista metálica 35a tiene un extremo circular expuesto por la vía pasante 170g. El soporte 804, entre el conector o pista metálica 35e debajo de la vía pasante 170g y la región peninsular expuesta del conector o pista metálica 35a en la capa de interconexión 34, puede tener conformación de península, como la región peninsular expuesta del conector o pista metálica 35a. Preferentemente, la vía pasante 170g puede tener, pero no se limita a, una conformación circular desde una vista en perspectiva superior.

[0318] La fig. 119 es un ejemplo de una vista en perspectiva superior esquemática que muestra la vía pasante 170g y los conectores o pistas metálicas 35a y 35e ilustrados en la fig. 115. En este caso, la vía pasante 170g puede tener, pero no se limita a, conformación ovalada y tiene un ancho W7, por ejemplo, de entre 1 y 30 micrómetros, y preferentemente de entre 1 y 20 micrómetros, de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 3 y 10 micrómetros. La vía pasante de conformación ovalada 170g en uno de los chips 68 expone el conector o pista metálica 35a en el uno de los chips 68 y expone dos regiones del conector o pista metálica 35e en el uno de los chips 68. El conector o pista metálica 35a tiene una región de conformación lineal, expuesto por la vía pasante de conformación ovalada 170g, que se extiende en una dirección horizontal desde un lado de la vía pasante de conformación ovalada 170g hasta el lado opuesto de la vía pasante de conformación ovalada 170g a través de un centro de la vía pasante de conformación ovalada 170g. El soporte 804, entre el conector o pista metálica 35e debajo de la vía pasante 170g y la región de conformación lineal expuesta del conector o pista metálica 35a en la capa de interconexión 34, puede tener conformación lineal, como la región de conformación lineal expuesta del conector o pista metálica 35a. El conector o pista metálica 35a expuesto por la vía pasante 170g de conformación ovalada tiene un ancho W8, por ejemplo, de entre 0,3 y 30 micrómetros, y preferentemente de entre 0,3 y 20 micrómetros, de entre 0,3 y 10 micrómetros, de entre 0,3 y 5 micrómetros o de entre 0,3 y 1 micrómetros. Una distancia horizontal S4 entre el final del eje largo de la vía pasante de conformación ovalada 170g y un borde, que está más cercano al final que el otro borde opuesto, del conector o pista metálica 35a expuesto por la vía pasante de conformación ovalada 170g puede ser, por ejemplo, de entre 1 y 30 micrómetros, y preferentemente de entre 1 y 20 micrómetros, de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 3 y 10 micrómetros.

[0319] Seguidamente, en referencia a la fig. 120, se puede formar una capa dieléctrica 50 sobre una superficie superior de la capa dieléctrica 60, sobre la capa conductora 18, expuesta por las vías pasantes 170v (tal como la vía pasante 170a), del portador 11, sobre las capas 26 y 34, expuestas por las vías pasantes 170v (tales como las vías pasantes 170c, 170d, 170f y 170g), de los chips 68, y sobre las paredes laterales de las vías pasantes 170v. Las especificaciones de la capa dieléctrica 50 mostradas en la fig. 120 pueden hacer referencia a las especificaciones de la capa dieléctrica 50 como se ilustra en la fig. 19.

[0320] Seguidamente, en referencia a la fig. 121, se puede formar una capa fotorresistente 168, tal como una capa resistente fotosensible de tipo positivo o una capa resistente fotosensible de tipo negativo, sobre la capa dieléctrica 50 usando, por ejemplo, un procedimiento de recubrimiento por rotación o un procedimiento de laminación. Seguidamente, se puede emplear un procedimiento de fotoexposición usando un paso a paso IX y un procedimiento de revelado usando una sustancia química húmeda para formar múltiples aberturas 168a, exponiendo la capa

dieléctrica 50, en la capa fotorresistente 168. La capa fotorresistente 168 puede tener un grosor, por ejemplo, de entre 0,5 y 30 micrómetros.

[0321] Seguidamente, en referencia a la fig. 122, se puede eliminar la capa dieléctrica 50 formada sobre las capas 18, 26 y 34 y sobre la superficie superior de la capa dieléctrica 60 debajo de las aberturas 168a, por ejemplo, al grabar la capa dieléctrica 50 debajo de las aberturas 168a usando un procedimiento de grabado por plasma anisotrópico. Se puede decapar la capa dieléctrica 50 en las partes inferiores de las vías pasantes 170v, sobre la superficie superior de la capa dieléctrica 60 debajo de las aberturas 168a, y sobre una superficie superior del conector o pista metálica 35a encima del soporte 804. En consecuencia, las capas 18, 26 y 34 en las partes inferiores de las vías pasantes 170v, la superficie superior de la capa dieléctrica 60 debajo de las aberturas 168a y el conector o pista metálica 35a encima del soporte 804 están expuestos por las aberturas 168a, y la capa dieléctrica 50 permanece sobre las paredes laterales de las vías pasantes 170v, denominadas capas dieléctricas de pared lateral en las vías pasantes 170v. Las capas dieléctricas de pared lateral 50 se forman sobre las paredes laterales de las vías pasantes 170v en los chips 68 o en el/los sustrato(s) inactivo(s) 62 y están rodeadas por los sustratos semiconductores 58 de los chips 68 o por el/los sustrato(s) inactivo(s) 62.

[0322] Seguidamente, en referencia a la fig. 123, se pueden formar múltiples zanjas 60t, aberturas damasquinadas en la capa dieléctrica 60 al grabar la capa dieléctrica 60 y las capas dieléctricas de pared lateral 50 debajo de las aberturas 168a a una profundidad D3, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,5 y 3 micrómetros, usando, por ejemplo, un procedimiento de grabado por plasma anisotrópico. Preferentemente, la capa dieléctrica 60 y las capas dieléctricas de pared lateral 50 tienen un mismo material, tal como nitruro de silicio, óxido de silicio u oxinitruro de silicio. Después del procedimiento de grabado, la capa dieléctrica 60 debajo de las zanjas 60t tiene un grosor restante T6, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 5 micrómetros, de entre 0,5 y 2 micrómetros, de entre 0,1 y 3 micrómetros o de entre 0,2 y 1,5 micrómetros.

[0323] De forma alternativa, se puede aplicar una técnica de detención de grabado al procedimiento de formación de las zanjas 60t en la capa dieléctrica 60. En este caso, la capa dieléctrica 60 está compuesta por las capas inorgánicas descritas previamente, por ejemplo, que incluyen la primera capa de óxido de silicio sobre las superficies 58s, 62s y 64s, la capa de oxinitruro de silicio, usada como capa de detención de grabado, sobre la primera capa de óxido de silicio, y la segunda capa de óxido de silicio sobre la capa de oxinitruro de silicio. Se pueden formar las zanjas 60t en la capa dieléctrica 60 al grabar la segunda capa de óxido de silicio de la capa dieléctrica 60 debajo de las aberturas 168a y las capas dieléctricas de pared lateral 50 debajo de las aberturas 168a hasta que se expone la capa de oxinitruro de silicio de la capa dieléctrica 60 por las aberturas 168a. En consecuencia, se forman las zanjas 60t en la segunda capa de óxido de silicio de la capa dieléctrica 60, y la capa dieléctrica 60 restante, compuesta por la capa de oxinitruro de silicio y la primera capa de óxido de silicio, debajo de las zanjas 60t tiene un grosor T6, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 5 micrómetros, de entre 0,5 y 2 micrómetros, de entre 0,1 y 3 micrómetros o de entre 0,2 y 1,5 micrómetros.

[0324] Seguidamente, en referencia a la fig. 124, se elimina la capa fotorresistente 168 usando, por ejemplo, una sustancia química orgánica. Las zanjas 60t formadas en la capa dieléctrica 60 se usan para proporcionar huecos que tienen conectores entre chips y conectores intrachip formados en los mismos. Las capas dieléctricas de pared lateral 50 formadas sobre las paredes laterales de las vías pasantes 170v (tales como las vías pasantes 170c, 170d, 170f y 170g) en los chips 68 pueden evitar que metales de transición, tales como cobre, sodio o humedad penetren en el interior de dispositivos de CI de los chips 68. La fig. 125 es una vista en perspectiva superior esquemática que muestra las zanjas 60t, las vías pasantes 170v y las capas dieléctricas de pared lateral 50 mostradas en la fig. 124 de acuerdo con un modo de realización de la presente invención, y la fig. 124 es una vista en sección transversal cortada a lo largo de la línea D-D mostrada en la fig. 125.

[0325] Seguidamente, en referencia a la fig. 126, formar una capa de adhesión/barrera 52 sobre las capas 18, 26 y 34 expuestas por las vías pasantes 170v, sobre las paredes laterales y las partes inferiores de las zanjas 60t, sobre la capa dieléctrica 50, y sobre el conector o pista metálica 35a que está sobre el soporte 804, formar una capa germinal 54 sobre la capa de adhesión/barrera 52, y formar una capa de conducción 56 sobre la capa germinal 54 se puede denominar las etapas ilustradas en la fig. 25. Las especificaciones de las capas 52, 54 y 56 mostradas en la fig. 126 pueden hacer referencia a las especificaciones de las capas 52, 54 y 56 como se ilustra en la fig. 25, respectivamente.

[0326] Seguidamente, en referencia a la fig. 127, usando un procedimiento de rectificado o pulido, tal como procedimiento de pulido químico-mecánico (CMP), procedimiento de pulido mecánico, procedimiento de rectificado mecánico, o un procedimiento que incluye pulido mecánico y grabado químico, se pueden eliminar las capas 52, 54 y 56 fuera de las zanjas 60t, y se puede eliminar la capa dieléctrica 50 sobre la superficie superior de la capa dieléctrica 60. En consecuencia, la capa dieléctrica 60 tiene una superficie superior expuesta 60s que puede ser sustancialmente coplanaria con la superficie rectificada o pulida 56s de la capa de conducción 56 en las zanjas 60t, y las superficies 56s y 60s pueden ser sustancialmente planas. La capa dieléctrica 60 tiene un grosor T7, entre la superficie superior expuesta 60s y la superficie 58s o 62s, por ejemplo, de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 3 micrómetros o de entre 2 y 5 micrómetros. La capa de adhesión/barrera 52 y la capa germinal 54 están en las paredes laterales y una parte inferior de la capa de conducción 56 en las zanjas 60t, y las paredes laterales y la parte inferior

de la capa de conducción 56 en las zanjas 60t están cubiertas por la capa de adhesión/barrera 52 y la capa germinal 54.

[0327] En una primera alternativa, después de las etapas de eliminación de las capas 52, 54 y 56 fuera de las zanjas 60t y la eliminación de la capa dieléctrica 50 sobre la superficie superior de la capa dieléctrica 60, la capa de adhesión/barrera 52 puede ser una capa que contiene titanio, tal como una capa única de titanio, aleación de titanio-volframio o nitruro de titanio, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales y las partes inferiores de las zanjas 60t, sobre las capas 18, 26 y 34 en las partes inferiores de las vías pasantes 170v, sobre las capas dieléctricas de pared lateral 50 y sobre el conector o pista metálica 35a que está sobre el soporte 804. La capa germinal 54 puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene titanio. La capa de conducción 56 puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjas 60t, y en las vías pasantes 170v. La capa de cobre electrochapado en las zanjas 60t puede tener un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,5 y 3 micrómetros.

[0328] En una segunda alternativa, después de las etapas de eliminación de las capas 52, 54 y 56 fuera de las zanjas 60t y la eliminación de la capa dieléctrica 50 sobre la superficie superior de la capa dieléctrica 60, la capa de adhesión/barrera 52 puede ser una capa que contiene tántalo, tal como una capa única de tántalo o nitruro de tántalo, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales y las partes inferiores de las zanjas 60t, sobre las capas 18, 26 y 34 en las partes inferiores de las vías pasantes 170v, sobre las capas dieléctricas de pared lateral 50 y sobre el conector o pista metálica 35a que está sobre el soporte 804. La capa germinal 54 puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene tántalo. La capa de conducción 56 puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjas 60t, y en las vías pasantes 170v. La capa de cobre electrochapado en las zanjas 60t puede tener un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,5 y 3 micrómetros.

[0329] En una tercera alternativa, después de las etapas de eliminación de las capas 52, 54 y 56 fuera de las zanjas 60t y la eliminación de la capa dieléctrica 50 sobre la superficie superior de la capa dieléctrica 60, la capa de adhesión/barrera 52 puede ser una capa que contiene cromo, tal como una capa única de cromo, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales y las partes inferiores de las zanjas 60t, sobre las capas 18, 26 y 34 en las partes inferiores de las vías pasantes 170v, sobre las capas dieléctricas de pared lateral 50, y sobre el conector o pista metálica 35a que está sobre el soporte 804. La capa germinal 54 puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene cromo. La capa de conducción 56 puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjas 60t, y en las vías pasantes 170v. La capa de cobre electrochapado en las zanjas 60t puede tener un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,5 y 3 micrómetros.

[0330] Después de las etapas de eliminación de las capas 52, 54 y 56 fuera de las zanjas 60t y la eliminación de la capa dieléctrica 50 sobre la superficie superior de la capa dieléctrica 60, las capas 52, 54 y 56 en las zanjas 60t componen múltiples conectores metálicos (o pistas metálicas damasquinadas) 1, incluyendo los conectores metálicos (o pistas metálicas damasquinadas) 1a y 1b, en las zanjas 60t. Las capas 52, 54 y 56 en las vías pasantes 170v componen múltiples tapones metálicos (o vías metálicas) 5p en las vías pasantes 170v, incluyendo los tapones metálicos (o vías metálicas) 5a, 5c, 5d, 5f y 5g en las vías pasantes 170a, 170c, 170d, 170f y 170g como se muestra en la fig. 124, respectivamente. Cada uno de los tapones metálicos 5p en los chips 68 y en los sustratos inactivos separados 62 está rodeado por una de las capas dieléctricas de pared lateral 50 en las vías pasantes 170v. El tapón metálico 5a se forma en uno de los sustratos inactivos separados 62, y los tapones metálicos 5c, 5d, 5f y 5g se forman en el mismo chip 68. El soporte 804 y el conector o pista metálica 35a, en la capa de interconexión 34, sobre el soporte 804 pueden estar entre dos partes, más bajas que un nivel horizontal, en el que se sitúa una superficie superior de la capa de interconexión 34, del tapón metálico 5g. Estos tapones metálicos 5p formados en los chips 68 y en los sustratos inactivos separados 62 pueden conectar los conectores metálicos 1 y los dispositivos semiconductores 36 en los chips 68 y conectar los conectores metálicos 1 y los múltiples puntos de contacto de la capa conductora 18 en el portador 11. Los conectores metálicos 1, tales como 1a y 1b, en las zanjas 60t pueden tener un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 1 y 3 micrómetros.

[0331] Por ejemplo, uno de los tapones metálicos 5p, tal como el tapón metálico 5a, se puede formar en uno de los sustratos inactivos separados 62 y formarse sobre un punto de contacto de la capa conductora 18 en una parte inferior de una de las vías pasantes 170v, tal como la vía pasante 170a. Otro de los tapones metálicos 5p, tal como el tapón metálico 5c, se puede formar en uno de los chips 68 y formarse sobre un punto de contacto, en una parte inferior de otra de las vías pasantes 170v (tal como la vía pasante 170c), del conector o pista metálica 35d en la capa de interconexión 34 del uno de los chips 68. Otro de los tapones metálicos 5p, tal como el tapón metálico 5d, se puede

formar en uno de los chips 68 y formarse sobre un punto de contacto, en una parte inferior de otra de las vías pasantes 170v (tal como la vía pasante 170d), del conector o pista metálica 35c en la capa metálica estampada 26 del uno de los chips 68. Otro de los tapones metálicos 5p, tal como el tapón metálico 5f, se puede formar en uno de los chips 68 y formarse sobre un punto de contacto, en una parte inferior de otra de las vías pasantes 170v (tal como la vía pasante 170f), del conector o pista metálica 35b en la capa de interconexión 34 del uno de los chips 68. Otro de los tapones metálicos 5p, tal como el tapón metálico 5g, se puede formar en uno de los chips 68, formarse sobre un punto de contacto del conector o pista metálica 35a encima de un soporte (tal como el soporte 804) que está entre dos partes izquierda y derecha más bajas del otro de los tapones metálicos 5p (tal como el tapón metálico 5g), y formarse sobre uno o más puntos de contacto del conector o pista metálica 35e debajo de una de las vías pasantes 170v (tal como la vía pasante 170g).

[0332] Uno de los conectores metálicos 1, tal como 1a o 1b, se puede formar encima de los múltiples sustratos inactivos separados 62, encima de los múltiples chips 68, a través de múltiples bordes de los múltiples chips 68, y a través de múltiples bordes de los múltiples sustratos inactivos separados 62. El conector metálico 1a se puede conectar al punto de contacto, en la parte inferior de la vía pasante 170a, de la capa conductora 18 a través del tapón metálico 5a en uno de los sustratos inactivos separados 62, se puede conectar al punto de contacto, en la parte inferior de la vía pasante 170c, del conector o pista metálica 35d en uno de los chips 68 a través del tapón metálico 5c en el uno de los chips 68, y se puede conectar al punto de contacto, en la parte inferior de la vía pasante 170d, del conector o pista metálica 35c en el uno de los chips 68 a través del tapón metálico 5d en el uno de los chips 68. El conector metálico 1b se puede conectar al punto de contacto, en la parte inferior de la vía pasante 170f, del conector o pista metálica 35b en el uno de los chips 68 a través del tapón metálico 5f en el uno de los chips 68, se puede conectar al/a los punto(s) de contacto, en la parte inferior de la vía pasante 170g, del conector o pista metálica 35e en el uno de los chips 68 a través del tapón metálico 5g en el uno de los chips 68, y se puede conectar al conector o pista metálica 35a sobre el soporte 804 a través del tapón metálico 5g. El conector metálico 1a se puede conectar además a uno o más de los dispositivos semiconductores 36 en otro de los chips 68 a través de uno o más de los tapones metálicos 5p en el otro de los chips 68. El conector metálico 1b se puede conectar además a uno o más de los dispositivos semiconductores 36 en otro de los chips 68 a través de uno o más de los tapones metálicos 5p en el otro de los chips 68.

[0333] En consecuencia, uno de los dispositivos semiconductores 36 en uno de los chips 68 se puede conectar a otro de los dispositivos semiconductores 36 en el uno de los chips 68 o en otro de los chips 68 a través de uno de los conectores metálicos 1, tal como 1a o 1b, y se puede conectar a un punto de contacto, en una parte inferior de una de las vías pasantes 170v (tal como la vía pasante 170a), de la capa conductora 18 en el portador 11 a través del uno de los conectores metálicos 1. Cada uno de los conectores metálicos 1 puede ser una pista de señal, una línea de bits, un bus de reloj, un plano de potencia, un bus de potencia, una pista de potencia, un plano de tierra, un bus de tierra o una pista de tierra.

[0334] De forma alternativa, el elemento 68 no solo puede indicar un chip, sino que también puede indicar una oblea. Cuando el elemento 68 es una oblea, el portador 11 puede ser otra oblea. De este modo, el procedimiento ilustrado en la invención se puede emplear para la unión de oblea a oblea.

[0335] En referencia a la fig. 128, después de formar la estructura mostrada en la fig. 127, se pueden realizar posteriormente las siguientes etapas como se ilustra en las figs. 27-81, y a continuación se puede realizar un procedimiento de individualización para cortar el portador 11, los sustratos inactivos 62, 165 y 158, y las capas 22, 60, 66, 88, 116, 120, 122, 136, 139 y 140 usando, por ejemplo, corte mecánico o corte por láser y para individualizar múltiples sistemas en paquetes o módulos multichip, tales como los sistemas en paquetes o los módulos multichip 555j y 555k.

[0336] De forma alternativa, antes del procedimiento de individualización, se pueden formar múltiples tapones metálicos o vías en múltiples aberturas en el sustrato 10 y la capa dieléctrica 12 del portador 11, que pasan a través del sustrato 10 y la capa dieléctrica 12, y conectarse a la capa conductora 18 del portador 11. Los tapones metálicos o las vías pueden incluir o pueden ser de cobre, aluminio, oro o níquel. De forma alternativa, los tapones metálicos o las vías pueden incluir además titanio, una aleación de titanio-volframio, nitruro de titanio, tántalo, nitruro de tántalo, una aleación de titanio-cobre o cromo. Seguidamente, se pueden formar múltiples pistas metálicas en un lado inferior del sustrato 10 y conectarse a la capa conductora 18 del portador 11 a través de los tapones metálicos o las vías. Cada una de las pistas metálicas puede incluir una capa de titanio, una aleación de titanio-volframio, nitruro de titanio, cromo, tántalo, nitruro de tántalo o una aleación de titanio-cobre debajo del lado inferior del sustrato 10, y una capa metálica electrochapada debajo de la capa de titanio, una aleación de titanio-volframio, nitruro de titanio, cromo, tántalo, nitruro de tántalo o una aleación de titanio-cobre. La capa metálica electrochapada puede incluir o puede ser una capa de cobre, oro, aluminio o níquel. Seguidamente, se pueden fijar múltiples componentes pasivos, tales como condensadores, inductores o resistencias, al lado inferior del sustrato 10 y unirse a las pistas metálicas usando soldaduras. Las soldaduras pueden incluir bismuto, indio, estaño, una aleación de estaño-plomo, una aleación de estaño-plata, una aleación de estaño-plata-cobre, una aleación de estaño-oro o una aleación de estaño-cobre. Después de que los componentes pasivos se unen con las pistas metálicas, se puede realizar el procedimiento de individualización para cortar el portador 11, los sustratos inactivos 62, 165 y 158, y las capas 22, 60, 66, 88, 116, 120,

122, 136, 139 y 140 usando, por ejemplo, corte mecánico o corte por láser y para individualizar múltiples sistemas en paquetes o módulos multichip, tales como los sistemas en paquetes o los módulos multichip 555j y 555k.

[0337] En consecuencia, el sistema en paquete o el módulo multichip 555j puede tener uno de los componentes pasivos que tiene un primer terminal conectado al tapón metálico 5a como se muestra en la fig. 127 a través de, en secuencia, una de las soldaduras, una de las pistas metálicas en el lado inferior del sustrato 10, uno de los tapones metálicos o las vías en el sustrato 10, y un conector metálico de la capa conductora 18 en el lado superior del sustrato 10, y tiene un segundo terminal conectado a una de las juntas metálicas 89, que se puede conectar al tapón metálico 5f o 5g como se muestra en la fig. 127, a través, en secuencia, de otra de las soldaduras, otro de las pistas metálicas en el lado inferior del sustrato 10, otro de los tapones metálicos o las vías en el sustrato 10, y otro conector metálico de la capa conductora 18 en el lado superior del sustrato 10.

[0338] De forma alternativa, el sistema en paquete o el módulo multichip 555j puede tener uno de los componentes pasivos que tiene un primer terminal conectado a una de las juntas metálicas 89, que se puede conectar al tapón metálico 5c o 5d como se muestra en la fig. 127, a través, en secuencia, de una de las soldaduras, una de las pistas metálicas en el lado inferior del sustrato 10, uno de los tapones metálicos o las vías en el sustrato 10, y un conector metálico de la capa conductora 18 en el lado superior del sustrato 10, y tiene un segundo terminal conectado a otra de las juntas metálicas 89, que se puede conectar al tapón metálico 5f o 5g como se muestra en la fig. 127, a través, en secuencia, de otra de las soldaduras, otro de las pistas metálicas en el lado inferior del sustrato 10, otro de los tapones metálicos o las vías en el sustrato 10, y otro conector metálico de la capa conductora 18 en el lado superior del sustrato 10.

[0339] El sistema en paquete o el módulo multichip 555j se puede conectar a y unir con un portador, tal como una placa base, una placa de circuito impreso (PCB), un sustrato de matriz de rejilla de bolas (BGA), un sustrato de metal, un sustrato de vidrio o un sustrato de cerámica, usando las protuberancias o bolas de soldadura 126. Por ejemplo, en referencia a la fig. 129, el sistema en paquete o el módulo multichip 555j se puede unir con un lado superior de un portador 176 usando, por ejemplo, una tecnología de chip invertido para juntar las protuberancias o bolas de soldadura 126 con una capa de soldadura o de oro preformada sobre el lado superior del portador 176. Seguidamente, se puede formar un relleno subyacente 174 entre la capa de polímero 136 del sistema en paquete o del módulo multichip 555j y el lado superior del portador 176 y que rodea las protuberancias o bolas de soldadura 126. Seguidamente, se pueden formar múltiples bolas de soldadura 178 sobre un lado inferior del portador 176. Las especificaciones del portador 176, el relleno subyacente 174 y las bolas de soldadura 178 mostradas en la fig. 129 pueden hacer referencia a las especificaciones del portador 176, el relleno subyacente 174 y las bolas de soldadura 178 como se ilustra en la fig. 83, respectivamente.

[0340] La fig. 130 muestra otro sistema en paquete o módulo multichip de acuerdo con otro modo de realización de la presente divulgación, que se puede formar por las siguientes etapas. Después de formar la estructura mostrada en la fig. 127, se pueden realizar posteriormente las etapas como se ilustra en las figs. 27-79. Seguidamente, formar protuberancias metálicas 668 sobre la capa de polímero 136 y sobre los puntos de contacto, en las partes inferiores de las aberturas en la capa aislante o dieléctrica 122 y debajo de las aberturas 136a en la capa de polímero 136, de la capa de conducción 125c de los conectores metálicos 3 puede hacer referencia a las etapas ilustradas en la fig. 84. Seguidamente, se puede realizar un procedimiento de individualización para cortar el portador 11, los sustratos inactivos 62, 165 y 158, y las capas 22, 60, 66, 88, 116, 120, 122, 136, 139 y 140 usando, por ejemplo, corte mecánico o corte por láser y para individualizar múltiples sistemas en paquetes o módulos multichip, tales como el sistema en paquete o el módulo multichip 555m. En el sistema en paquete o el módulo multichip 555m, cada uno de los conectores 3 se puede conectar a una o más de las protuberancias metálicas 668.

[0341] El sistema en paquete o el módulo multichip 555m se puede conectar a y unir con un portador, tal como una placa base, una placa de circuito impreso (PCB), un sustrato de matriz de rejilla de bolas (BGA), un sustrato de metal, un sustrato de vidrio o un sustrato de cerámica, usando las protuberancias metálicas 668. Por ejemplo, en referencia a la fig. 131, el sistema en paquete o el módulo multichip 555m se puede unir con el lado superior del portador 176 ilustrado en la fig. 83 usando, por ejemplo, una tecnología de chip invertido para juntar la capa humectante de soldadura 146 de las protuberancias metálicas 668 con una capa de soldadura o de oro preformada sobre el lado superior del portador 176. Después de juntar la capa humectante de soldadura 146 con la capa de soldadura o de oro preformada sobre el lado superior del portador 176, se forman múltiples juntas metálicas 180 entre la capa de barrera 144 de las protuberancias metálicas 668 y el lado superior del portador 176. Las juntas metálicas 180 pueden ser una capa de una aleación Sn-Ag, una aleación Sn-Ag-Cu, una aleación Sn-Au o una aleación Sn-Pb que tiene un grosor de entre 5 y 50 micrómetros. De forma alternativa, las juntas metálicas 180 pueden ser una capa de oro que tiene un grosor de entre 0,1 y 10 micrómetros. Seguidamente, se puede formar el relleno subyacente 174 ilustrado en la fig. 83 entre la capa de polímero 136 del sistema en paquete o del módulo multichip 555m y el lado superior del portador 176 y que rodea las protuberancias metálicas 668 y las juntas metálicas 180. Seguidamente, se pueden formar las bolas de soldadura 178 ilustradas en la fig. 83 sobre el lado inferior del portador 176.

[0342] De forma alternativa, se puede omitir la capa aislante o dieléctrica 122 como se muestra en las figs. 128-131. En este caso, se forma la capa de polímero 136 sobre las superficies 223, 225, 227 y 139s, y los puntos de contacto de la capa de conducción 125c de los conectores metálicos 3 se exponen por y en los extremos de las aberturas 136a

en la capa de polímero 136. Además, se forma la capa de adhesión/barrera 134 sobre los puntos de contacto, expuestos por y en los extremos de las aberturas 136a en la capa de polímero 136, de la capa de conducción 125c de los conectores metálicos 3.

[0343] La fig. 132 muestra un paquete multichip 566b que incluye un sistema en paquete o un módulo multichip 555n conectado al portador 176 ilustrado en la fig. 83 a través de hilos unidos por hilo 184, que se puede formar, por ejemplo, por las siguientes etapas. Después de formar la estructura mostrada en la fig. 127, se pueden realizar posteriormente las etapas como se ilustra en las figs. 27-76. Seguidamente, formar una capa aislante o dieléctrica 122 sobre las superficies rectificadas o pulidas de las capas 125a y 125b, sobre la superficie rectificada o pulida 227 de la capa de conducción 125c, y sobre la superficie superior expuesta 139s de la capa dieléctrica 139, formar múltiples pistas o conectores metálicos 300 sobre la capa aislante o dieléctrica 122 y sobre múltiples regiones, expuestas por múltiples aberturas 122a en la capa 122, de la capa de conducción 125c de los conectores metálicos 3, y formar una capa de polímero 136 sobre la capa aislante o dieléctrica 122 y sobre las pistas o conectores metálicos 300 puede hacer referencia a las etapas ilustradas en la fig. 86. La capa de polímero 136 después de curarse puede tener un grosor, por ejemplo, de entre 1 y 20 micrómetros, y preferentemente de entre 2 y 15 micrómetros o de entre 5 y 10 micrómetros, y múltiples aberturas 136a en la capa de polímero 136 que exponen múltiples puntos de contacto de las pistas o conectores metálicos 300. Seguidamente, se puede realizar un procedimiento de individualización para cortar el portador 11, los sustratos inactivos 62, 165 y 158, y las capas 22, 60, 66, 88, 116, 120, 122, 136, 139 y 140 usando, por ejemplo, corte mecánico o corte por láser y para individualizar múltiples sistemas en paquetes o módulos multichip, tales como el sistema en paquete o el módulo multichip 555n.

[0344] Seguidamente, se puede juntar una pluralidad del sistema en paquete o del módulo multichip 555n con el portador 176 mostrado en la fig. 83, por ejemplo, formando una capa de pegamento 182 con un grosor de entre 20 y 150 micrómetros sobre el lado superior del portador 176, y a continuación fijando la pluralidad del sistema en paquete o del módulo multichip 555n al lado superior del portador 11 usando la capa de pegamento 182. La capa de pegamento 182 puede ser una capa de polímero, tal como una capa de poliimida, benzociclobuteno (BCB), epoxi, polibenzoxazol (PBO), poli(óxido de fenileno) (PPO), silosano o SU-8, con un grosor, por ejemplo, de entre 20 y 150 micrómetros. Seguidamente, múltiples hilos 184, tales como hilos de oro, hilos de cobre o hilos de aluminio, se pueden unir por hilo sobre el lado superior del portador 176 y sobre los puntos de contacto, expuestos por las aberturas 136a en la capa de polímero 136, de la capa de conducción 150 de las pistas o conectores metálicos 300 por un procedimiento de unión por hilo. En consecuencia, las pistas o conectores metálicos 300 de la pluralidad del sistema en paquete o del módulo multichip 555n se pueden conectar física y eléctricamente al portador 176 a través de los hilos unidos por hilo 184. Seguidamente, se puede formar un compuesto de moldeo 186 sobre la pluralidad del sistema en paquete o del módulo multichip 555n, sobre el lado superior del portador 176 y sobre los hilos unidos por hilo 184, encapsulando los hilos unidos por hilo 184 y la pluralidad del sistema en paquete o del módulo multichip 555n, por un procedimiento de moldeo. El compuesto de moldeo 186 puede incluir epoxi, relleno de carbono o relleno de vidrio, y el relleno de vidrio o relleno de carbono se puede distribuir en la epoxi. Seguidamente, se pueden formar las bolas de soldadura 178 ilustradas en la fig. 83 sobre el lado inferior del portador 176. Después de esto, se puede realizar un procedimiento de individualización para cortar el portador 176 y el compuesto de moldeo 186 y para individualizar una pluralidad del paquete multichip 566b. El paquete multichip 566b se puede conectar a un portador, tal como una placa base, un sustrato de matriz de rejilla de bolas (BGA), una placa de circuito impreso, un sustrato de metal, un sustrato de vidrio o un sustrato de cerámica, a través de las bolas de soldadura 178.

[0345] Las figs. 133-136 muestran un procedimiento para formar otro sistema en paquete o módulo multichip de acuerdo con otro modo de realización de la presente divulgación. En referencia a la fig. 133, después de formar la estructura ilustrada en la fig. 120, se decapa la capa dieléctrica 50 formada sobre las capas 18, 26 y 34 y sobre la superficie superior de la capa dieléctrica 60 y se decapa una parte superior de la capa dieléctrica 60, lo que puede hacer referencia a las etapas ilustradas en la fig. 89. En consecuencia, se decapa la capa dieléctrica 50 en las partes inferiores de las vías pasantes 170v, sobre la superficie superior de la capa dieléctrica 60 y sobre una superficie superior del conector o pista metálica 35a encima del soporte 804, y la capa dieléctrica 50 permanece sobre las paredes laterales de las vías pasantes 170v, denominadas capas dieléctricas de pared lateral en las vías pasantes 170v. Las capas dieléctricas de pared lateral 50 se forman sobre las paredes laterales de las vías pasantes 170v en los chips 68 o en el/los sustrato(s) inactivo(s) 62 y están rodeadas por los sustratos semiconductores 58 de los chips 68 o por el/los sustrato(s) inactivo(s) 62. La capa dieléctrica 60 puede tener un grosor restante T22 de entre 0,3 y 5 micrómetros, de entre 0,5 y 2 micrómetros, de entre 0,05 y 2 micrómetros, de entre 0,05 y 1 micrómetros, de entre 0,05 y 0,5 micrómetros o de entre 0,05 y 0,3 micrómetros.

[0346] Seguidamente, en referencia a la fig. 134, formar una capa de adhesión/barrera 52 sobre las capas 18, 26 y 34 expuestas por las vías pasantes 170v, sobre la superficie grabada de la capa dieléctrica 60, sobre las capas dieléctricas de pared lateral 50, y sobre el conector o pista metálica 35a que está sobre el soporte 804, formar una capa germinal 54 sobre la capa de adhesión/barrera 52, formar una capa fotorresistente 194 sobre la capa germinal 54, formar múltiples aberturas 194a en la capa fotorresistente 194, y formar una capa de conducción 56 sobre múltiples regiones, expuestas por las aberturas 194a en la capa 194, de la capa germinal 54 puede hacer referencia a las etapas ilustradas en la fig. 90.

[0347] Seguidamente, en referencia a la fig. 135, se elimina la capa fotorresistente 194 usando, por ejemplo, una solución química orgánica. Seguidamente, se elimina la capa germinal 54 que no está debajo de la capa de conducción 56 por un procedimiento adecuado, tal como procedimiento de grabado químico húmedo o procedimiento de grabado por plasma en seco. Seguidamente, se elimina la capa de adhesión/barrera 52 que no está debajo de la capa de conducción 56 por un procedimiento adecuado, tal como procedimiento de grabado químico húmedo o procedimiento de grabado por plasma en seco. En consecuencia, las capas 52, 54 y 56 encima de la capa dieléctrica 60 y encima de las vías pasantes 170v componen múltiples conectores metálicos 1, incluyendo los conectores metálicos 1a y 1b, encima de la capa dieléctrica 60 y encima de las vías pasantes 170v. La capa de adhesión/barrera 52 y la capa germinal 54 de los conectores metálicos 1 encima de la capa dieléctrica 60 no están en ninguna pared lateral 1w de la capa de conducción 56 de los conectores metálicos 1 encima de la capa dieléctrica 60, sino debajo de una parte inferior de la capa de conducción 56 de los conectores metálicos 1 encima de la capa dieléctrica 60. Las paredes laterales 1w de la capa de conducción 56 de los conectores metálicos 1 encima de la capa dieléctrica 60 no están cubiertas por las capas 52 y 54. Las capas 52, 54 y 56 en las vías pasantes 170v componen múltiples tapones metálicos (o vías metálicas) 5p en las vías pasantes 170v, incluyendo los tapones metálicos (o vías metálicas) 5a, 5c, 5d, 5f y 5g en las vías pasantes 170a, 170c, 170d, 170f y 170g como se muestra en la fig. 133, respectivamente. Cada uno de los tapones metálicos 5p en los chips 68 y en los sustratos inactivos separados 62 está rodeado por una de las capas dieléctricas de pared lateral 50 en las vías pasantes 170v. El tapón metálico 5a se forma en uno de los sustratos inactivos separados 62, y los tapones metálicos 5c, 5d, 5f y 5g se forman en el mismo chip 68. El soporte 804 y el conector o pista metálica 35a, en la capa de interconexión 34, sobre el soporte 804 pueden estar entre dos partes, más bajas que un nivel horizontal, en el que se sitúa una superficie superior de la capa de interconexión 34, del tapón metálico 5g. Estos tapones metálicos 5p formados en los chips 68 y en los sustratos inactivos separados 62 pueden conectar los conectores metálicos 1 y los dispositivos semiconductores 36 de los chips 68 y conectar los conectores metálicos 1 y los múltiples puntos de contacto de la capa conductora 18 en el portador 11.

[0348] Por ejemplo, uno de los tapones metálicos 5p, tal como el tapón metálico 5a, se puede formar en uno de los sustratos inactivos separados 62 y formarse sobre un punto de contacto de la capa conductora 18 en una parte inferior de una de las vías pasantes 170v, tal como la vía pasante 170a. Otro de los tapones metálicos 5p, tal como el tapón metálico 5c, se puede formar en uno de los chips 68 y formarse sobre un punto de contacto, en una parte inferior de otra de las vías pasantes 170v (tal como la vía pasante 170c), del conector o pista metálica 35d en la capa de interconexión 34 del uno de los chips 68. Otro de los tapones metálicos 5p, tal como el tapón metálico 5d, se puede formar en uno de los chips 68 y formarse sobre un punto de contacto, en una parte inferior de otra de las vías pasantes 170v (tal como la vía pasante 170d), del conector o pista metálica 35c en la capa metálica estampada 26 del uno de los chips 68. Otro de los tapones metálicos 5p, tal como el tapón metálico 5f, se puede formar en uno de los chips 68 y formarse sobre un punto de contacto, en una parte inferior de otra de las vías pasantes 170v (tal como la vía pasante 170f), del conector o pista metálica 35b en la capa de interconexión 34 del uno de los chips 68. Otro de los tapones metálicos 5p, tal como el tapón metálico 5g, se puede formar en uno de los chips 68, formarse sobre un punto de contacto del conector o pista metálica 35a encima de un soporte (tal como el soporte 804) que está entre dos partes izquierda y derecha más bajas del otro de los tapones metálicos 5p (tal como el tapón metálico 5g), y formarse sobre uno o más puntos de contacto del conector o pista metálica 35e debajo de una de las vías pasantes 170v (tal como la vía pasante 170g).

[0349] Uno de los conectores metálicos 1, tal como 1a o 1b, se puede formar encima de los múltiples sustratos inactivos separados 62, encima de los múltiples chips 68, a través de múltiples bordes de los múltiples chips 68, y a través de múltiples bordes de los múltiples sustratos inactivos separados 62. El conector metálico 1a se puede conectar al punto de contacto, en la parte inferior de la vía pasante 170a, de la capa conductora 18 a través del tapón metálico 5a en uno de los sustratos inactivos separados 62, se puede conectar al punto de contacto, en la parte inferior de la vía pasante 170c, del conector o pista metálica 35d en uno de los chips 68 a través del tapón metálico 5c en el uno de los chips 68, y se puede conectar al punto de contacto, en la parte inferior de la vía pasante 170d, del conector o pista metálica 35c en el uno de los chips 68 a través del tapón metálico 5d en el uno de los chips 68. El conector metálico 1b se puede conectar al punto de contacto, en la parte inferior de la vía pasante 170f, del conector o pista metálica 35b en el uno de los chips 68 a través del tapón metálico 5f en el uno de los chips 68, se puede conectar al/a los punto(s) de contacto, en la parte inferior de la vía pasante 170g, del conector o pista metálica 35e en el uno de los chips 68 a través del tapón metálico 5g en el uno de los chips 68, y se puede conectar al conector o pista metálica 35a sobre el soporte 804 a través del tapón metálico 5g. El conector metálico 1a se puede conectar además a uno o más de los dispositivos semiconductores 36 en otro de los chips 68 a través de uno o más de los tapones metálicos 5p en el otro de los chips 68. El conector metálico 1b se puede conectar además a uno o más de los dispositivos semiconductores 36 en otro de los chips 68 a través de uno o más de los tapones metálicos 5p en el otro de los chips 68.

[0350] En consecuencia, uno de los dispositivos semiconductores 36 en uno de los chips 68 se puede conectar a otro de los dispositivos semiconductores 36 en el uno de los chips 68 o en otro de los chips 68 a través de uno de los conectores metálicos 1, tal como 1a o 1b, y se puede conectar a un punto de contacto, en una parte inferior de una de las vías pasantes 170v (tal como la vía pasante 170a), de la capa conductora 18 en el portador 11 a través del uno de los conectores metálicos 1. Cada uno de los conectores metálicos 1 puede ser una pista de señal, una línea de bits, un bus de reloj, un plano de potencia, un bus de potencia, una pista de potencia, un plano de tierra, un bus de tierra o una pista de tierra.

[0351] De forma alternativa, el elemento 68 no solo puede indicar un chip, sino que también puede indicar una oblea. Cuando el elemento 68 es una oblea, el portador 11 puede ser otra oblea. De este modo, el procedimiento ilustrado en la invención se puede emplear para la unión de oblea a oblea.

[0352] En referencia a la fig. 136, después de formar la estructura ilustrada en la fig. 135, se pueden realizar posteriormente las etapas como se ilustra en las figs. 92-103 para formar múltiples sistemas en paquetes o módulos multichip, tales como los sistemas en paquetes o los módulos multichip 555o y 555p.

[0353] En algunos casos, el sistema en paquete o el módulo multichip 555o puede incluir además múltiples tapones metálicos o vías en el portador 11, múltiples pistas metálicas debajo del portador 11 y múltiples componentes pasivos debajo del portador 11. La descripción detallada acerca de los tapones metálicos o las vías en el portador 11 y acerca de las pistas metálicas debajo del portador 11 puede hacer referencia a los ilustrados en la fig. 103. Los componentes pasivos, tales como condensadores, inductores o resistencias, se pueden unir con las pistas metálicas usando soldaduras. Uno de los componentes pasivos se puede conectar a uno de los tapones metálicos 5p, tales como el tapón metálico 5a, 5c, 5d, 5f o 5g, a través de, en secuencia, una de las soldaduras, una de las pistas metálicas en un lado inferior del sustrato 10, uno de los tapones metálicos o las vías en el sustrato 10, y un conector metálico de la capa conductora 18 en el lado superior del sustrato 10. Las soldaduras pueden incluir bismuto, indio, estaño, una aleación de estaño-plomo, una aleación de estaño-plata, una aleación de estaño-plata-cobre, una aleación de estaño-oro o una aleación de estaño-cobre.

[0354] El sistema en paquete o el módulo multichip 555o se puede conectar a y unir con un portador, tal como una placa base, una placa de circuito impreso (PCB), un sustrato de matriz de rejilla de bolas (BGA), un sustrato de metal, un sustrato de vidrio o un sustrato de cerámica, usando las protuberancias o bolas de soldadura 126. Por ejemplo, en referencia a la fig. 137, el sistema en paquete o el módulo multichip 555o se une con el lado superior del portador 176 ilustrado en la fig. 83 usando, por ejemplo, una tecnología de chip invertido para juntar las protuberancias o bolas de soldadura 126 con una capa de soldadura o de oro preformada sobre el lado superior del portador 176. Seguidamente, se forma el relleno subyacente 174 ilustrado en la fig. 83 entre la capa de polímero 136 del sistema en paquete o del módulo multichip 555o y el lado superior del portador 176 y rodea las protuberancias o bolas de soldadura 126. Seguidamente, se forman las bolas de soldadura 178 ilustradas en la fig. 83 en el lado inferior del portador 176.

[0355] La fig. 138 muestra otro sistema en paquete o módulo multichip de acuerdo con otro modo de realización de la presente divulgación, que se puede formar por las siguientes etapas. Después de formar la estructura ilustrada en la fig. 135, se pueden realizar posteriormente las etapas como se ilustra en las figs. 92-102, y a continuación se pueden realizar posteriormente las etapas ilustradas en las figs. 78 y 79. Seguidamente, formar protuberancias metálicas 668 sobre la capa de polímero 136 y sobre los puntos de contacto, en las partes inferiores de las aberturas en la capa aislante o dieléctrica 122 y debajo de las aberturas 136a en la capa de polímero 136, de la capa de conducción 125c de los conectores metálicos 3 puede hacer referencia a las etapas ilustradas en la fig. 84. Seguidamente, se realiza un procedimiento de individualización para cortar el portador 11, los sustratos inactivos 62, 165 y 158, y las capas 22, 60, 66, 88, 116, 120, 122, 136, 139 y 140 usando, por ejemplo, corte mecánico o corte por láser y para individualizar múltiples sistemas en paquetes o módulos multichip, tales como el sistema en paquete o el módulo multichip 555q. En el sistema en paquete o el módulo multichip 555q, cada uno de los conectores 3 se puede conectar a una o más de las protuberancias metálicas 668.

[0356] El sistema en paquete o el módulo multichip 555q se puede conectar a y unir con un portador, tal como una placa base, una placa de circuito impreso (PCB), un sustrato de matriz de rejilla de bolas (BGA), un sustrato de metal, un sustrato de vidrio o un sustrato de cerámica, usando las protuberancias metálicas 668. Por ejemplo, en referencia a la fig. 139, el sistema en paquete o el módulo multichip 555q se une con el lado superior del portador 176 ilustrado en la fig. 83 usando, por ejemplo, una tecnología de chip invertido para juntar la capa humectante de soldadura 146 de las protuberancias metálicas 668 con una capa de soldadura o de oro preformada sobre el lado superior del portador 176. Después de juntar la capa humectante de soldadura 146 con la capa de soldadura o de oro preformada sobre el lado superior del portador 176, se forman múltiples juntas metálicas 180 entre la capa de barrera 144 de las protuberancias metálicas 668 y el lado superior del portador 176. Las juntas metálicas 180 pueden ser una capa de una aleación Sn-Ag, una aleación Sn-Ag-Cu, una aleación Sn-Au o una aleación Sn-Pb que tiene un grosor de entre 5 y 50 micrómetros. De forma alternativa, las juntas metálicas 180 pueden ser una capa de oro que tiene un grosor de entre 0,1 y 10 micrómetros. Seguidamente, se forma el relleno subyacente 174 ilustrado en la fig. 83 entre la capa de polímero 136 del sistema en paquete o del módulo multichip 555q y el lado superior del portador 176 y rodea las protuberancias metálicas 668 y las juntas metálicas 180. Seguidamente, se forman las bolas de soldadura 178 ilustradas en la fig. 83 en el lado inferior del portador 176.

[0357] De forma alternativa, se puede omitir la capa aislante o dieléctrica 122 como se muestra en las figs. 136-139. En este caso, se forma la capa de polímero 136 sobre la capa de conducción 125c de los conectores metálicos 3, sobre la superficie grabada de la capa dieléctrica 139, y en los huecos entre los conectores metálicos 3, y los puntos de contacto de la capa de conducción 125c de los conectores metálicos 3 se exponen por y en los extremos de las aberturas 136a en la capa de polímero 136. Además, se forma la capa de adhesión/barrera 134 sobre los puntos de

contacto, expuestos por y en los extremos de las aberturas 136a en la capa de polímero 136, de la capa de conducción 125c de los conectores metálicos 3.

[0358] La fig. 140 muestra un paquete multichip 566c que incluye un sistema en paquete o un módulo multichip 555r conectado al portador 176 ilustrado en la fig. 83 a través de hilos unidos por hilo 184, que se puede formar, por ejemplo, por las siguientes etapas. Después de formar la estructura mostrada en la fig. 135, se pueden realizar posteriormente las etapas como se ilustra en las figs. 92-101. Seguidamente, formar una capa aislante o dieléctrica 122 sobre la capa de conducción 125c de los conectores metálicos 3, sobre la superficie grabada de la capa dieléctrica 139, y en los huecos entre los conectores metálicos 3, formar múltiples pistas o conectores metálicos 300 sobre la capa aislante o dieléctrica 122 y sobre múltiples regiones, expuestas por múltiples aberturas 122a en la capa 122, de la capa de conducción 125c de los conectores metálicos 3, y formar una capa de polímero 136 sobre la capa aislante o dieléctrica 122 y sobre las pistas o conectores metálicos 300 puede hacer referencia a las etapas ilustradas en la fig. 107. La capa de polímero 136 después de curarse puede tener un grosor, por ejemplo, de entre 1 y 20 micrómetros, y preferentemente de entre 2 y 15 micrómetros o de entre 5 y 10 micrómetros, y múltiples aberturas 136a en la capa de polímero 136 que exponen múltiples puntos de contacto de las pistas o conectores metálicos 300. Seguidamente, se puede realizar un procedimiento de individualización para cortar el portador 11, los sustratos inactivos 62, 165 y 158, y las capas 22, 60, 66, 88, 116, 120, 122, 136, 139 y 140 usando, por ejemplo, corte mecánico o corte por láser y para individualizar múltiples sistemas en paquetes o módulos multichip, tales como el sistema en paquete o el módulo multichip 555r.

[0359] Seguidamente, se puede juntar una pluralidad del sistema en paquete o del módulo multichip 555r con el portador 176 mostrado en la fig. 83, por ejemplo, formando una capa de pegamento 182 con un grosor de entre 20 y 150 micrómetros sobre el lado superior del portador 176, y a continuación fijando la pluralidad del sistema en paquete o del módulo multichip 555r al lado superior del portador 11 usando la capa de pegamento 182. La capa de pegamento 182 puede ser una capa de polímero, tal como una capa de poliimida, benzociclobuteno (BCB), epoxi, polibenzoxazol (PBO), poli(óxido de fenileno) (PPO), silosano o SU-8, con un grosor, por ejemplo, de entre 20 y 150 micrómetros. Seguidamente, múltiples hilos 184, tales como hilos de oro, hilos de cobre o hilos de aluminio, se pueden unir por hilo sobre el lado superior del portador 176 y sobre los puntos de contacto, expuestos por las aberturas 136a en la capa de polímero 136, de la capa de conducción 150 de las pistas o conectores metálicos 300 por un procedimiento de unión por hilo. En consecuencia, las pistas o conectores metálicos 300 de la pluralidad del sistema en paquete o del módulo multichip 555r se pueden conectar física y eléctricamente al portador 176 a través de los hilos unidos por hilo 184. Seguidamente, se puede formar un compuesto de moldeo 186 sobre la pluralidad del sistema en paquete o del módulo multichip 555r, sobre el lado superior del portador 176 y sobre los hilos unidos por hilo 184, encapsulando los hilos unidos por hilo 184 y la pluralidad del sistema en paquete o del módulo multichip 555r, por un procedimiento de moldeo. El compuesto de moldeo 186 puede incluir epoxi, relleno de carbono o relleno de vidrio, y el relleno de vidrio o relleno de carbono se puede distribuir en la epoxi. Seguidamente, se pueden formar las bolas de soldadura 178 ilustradas en la fig. 83 sobre el lado inferior del portador 176. Después de esto, se puede realizar un procedimiento de individualización para cortar el portador 176 y el compuesto de moldeo 186 y para individualizar una pluralidad del paquete multichip 566c. El paquete multichip 566c se puede conectar a un portador, tal como una placa base, un sustrato de matriz de rejilla de bolas (BGA), una placa de circuito impreso, un sustrato de metal, un sustrato de vidrio o un sustrato de cerámica, a través de las bolas de soldadura 178.

[0360] De forma alternativa, se pueden reemplazar los chips 68 ilustrados en las figs. 7-109 con otro tipo de chips 68 mostrados en la fig. 141J que incluyen además anillos aislantes 500a más gruesos que el aislamiento de zanjas poco profundas (STI) 500b. Las figs. 141A-141J muestran un procedimiento para formar el otro tipo de chips 68 de acuerdo con un modo de realización de la presente divulgación. En referencia a la fig. 141A, se puede formar una capa aislante 301 que tiene un grosor, por ejemplo, de entre 10 y 250 nanómetros sobre un sustrato semiconductor 58 de una oblea 680. El sustrato semiconductor 58 puede ser un sustrato de silicio-germanio (SiGe), un sustrato de arseniuro de galio (GaAs) o un sustrato de silicio con un grosor, por ejemplo, mayor de 100 micrómetros, tal como de entre 100 y 500 micrómetros, y preferentemente de entre 150 y 250 micrómetros o de entre 100 y 300 micrómetros. La capa aislante 301, por ejemplo, puede estar compuesta por una isla de óxido que tiene un grosor de entre 1 y 20 nanómetros sobre una superficie superior del sustrato semiconductor 58, y una capa de nitruro de silicio que tiene un grosor de entre 10 y 200 nanómetros sobre la isla de óxido. Después de formar la capa aislante 301 sobre la superficie superior del sustrato semiconductor 58, se puede formar una capa fotorresistente estampada 302 sobre la capa de nitruro de silicio de la capa aislante 301. Múltiples aberturas 302a en la capa fotorresistente estampada 302 exponen múltiples regiones de la capa de nitruro de silicio de la capa aislante 301.

[0361] Seguidamente, en referencia a la fig. 141B, se pueden formar múltiples zanjas poco profundas 303 en el sustrato semiconductor 58 al eliminar la capa aislante 301 debajo de las aberturas 302a y grabar el sustrato semiconductor 58 debajo de las aberturas 302a, dando lugar a las zanjas poco profundas 303 con una profundidad D10 en el sustrato semiconductor 58, por ejemplo, de entre 0,1 y 0,5 micrómetros, y preferentemente de entre 0,15 y 0,4 micrómetros.

[0362] Seguidamente, en referencia a la fig. 141C, se elimina la capa fotorresistente estampada 302 usando una solución química, y a continuación se puede formar una capa fotorresistente estampada 304 sobre la capa de nitruro de silicio de la capa aislante 301. Múltiples aberturas de conformación anular 304a en la capa fotorresistente

estampada 304 exponen múltiples regiones de conformación anular de la capa de nitruro de silicio de la capa aislante 301.

[0363] Seguidamente, en referencia a la fig. 141D, se forman múltiples zanjas de conformación anular 305 en el sustrato semiconductor 58 al eliminar la capa aislante 301 debajo de las aberturas de conformación anular 304a y grabar el sustrato semiconductor 58 debajo de las aberturas de conformación anular 304a, dando lugar a zanjas de conformación anular 305 con una profundidad D11 en el sustrato semiconductor 58, por ejemplo, de entre 1 y 100 micrómetros, de entre 1 y 50 micrómetros, de entre 1 y 30 micrómetros, de entre 1 y 10 micrómetros o de entre 1 y 5 micrómetros, y preferentemente de entre 2 y 20 micrómetros. Las zanjas de conformación anular 305 pueden ser como anillos circulares, anillos ovalados, anillos cuadrados, anillos de conformación rectangular o anillos de conformación poligonal.

[0364] Seguidamente, en referencia a las figs. 141E y 141F, se elimina la capa fotorresistente estampada 304 usando una solución química. La fig. 141E muestra una vista superior esquemática de las zanjas 303 y 305 como se muestra en la fig. 141F, y la fig. 141F puede ser una vista en sección transversal cortada a lo largo de la línea L-L mostrada en la fig. 141E. Las zanjas poco profundas 303 formadas en el sustrato semiconductor 58 se usan para admitir un aislamiento de zanjas poco profundas (ITS). Las zanjas de conformación anular 305 formadas en el sustrato semiconductor 58 se usan para admitir anillos aislantes. Cada una de las zanjas de conformación anular 305 puede tener un ancho transversal W9 entre un punto externo en la periferia externa y un punto interno, lo más cercano al punto externo, en la periferia interna, y el ancho transversal W9 puede ser de entre 0,1 y 20 micrómetros, de entre 0,1 y 10 micrómetros, de entre 0,1 y 5 micrómetros, de entre 0,1 y 2 micrómetros o de entre 0,1 y 1 micrómetros. Una distancia horizontal D12 entre dos puntos opuestos en la periferia externa de cada una de las zanjas de conformación anular 305 puede ser de entre 2 y 100 micrómetros, de entre 2 y 50 micrómetros, de entre 2 y 20 micrómetros, de entre 2 y 10 micrómetros o de entre 2 y 5 micrómetros. Si la periferia externa tiene conformación circular, la distancia horizontal D12 es el diámetro (ancho) de la periferia externa de conformación circular. De forma alternativa, si la periferia externa tiene conformación ovalada, la distancia horizontal D12 es el diámetro más largo (ancho) de la periferia externa de conformación ovalada.

[0365] Seguidamente, en referencia a la fig. 141G, se puede formar un material inorgánico 500, material aislante, sobre la capa de nitruro de silicio de la capa aislante 301 y en las zanjas 303 y 305 usando un procedimiento adecuado, tal como procedimiento de depósito químico de vapor (CVD). El material inorgánico 500 puede incluir o puede ser óxido de silicio o nitruro de silicio.

[0366] Seguidamente, en referencia a la fig. 141H, se puede eliminar el material inorgánico 500 fuera de las zanjas 303 y 305 por un procedimiento adecuado, tal como procedimiento de pulido químico-mecánico (CMP), y se puede decapar además toda la capa aislante 301 usando una solución química. En consecuencia, el material inorgánico 500 permanece en las zanjas de conformación anular 305, denominadas anillos aislantes 500a, rodeando las paredes, y permanece en las zanjas poco profundas 303, denominado aislamiento de zanjas poco profundas (STI) 500b. Cada uno de los anillos aislantes 500a puede incluir o puede ser óxido de silicio o nitruro de silicio y puede tener un grosor T26, por ejemplo, de entre 1 y 100 micrómetros, de entre 1 y 50 micrómetros, de entre 1 y 30 micrómetros, de entre 1 y 10 micrómetros o de entre 1 y 5 micrómetros, y preferentemente de entre 2 y 20 micrómetros. El aislamiento de zanjas poco profundas (STI) 500b puede incluir o puede ser óxido de silicio o nitruro de silicio y puede tener un grosor T25, por ejemplo, de entre 0,1 y 0,5 micrómetros, y preferentemente de entre 0,15 y 0,4 micrómetros. Una distancia vertical D13 entre una parte inferior de uno de los anillos aislantes 500a y una parte inferior del aislamiento de zanjas poco profundas 500b puede ser, por ejemplo, mayor de 0,1 micrómetros, tal como de entre 1 y 100 micrómetros, de entre 1 y 50 micrómetros, de entre 1 y 25 micrómetros, de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 0,1 y 2 micrómetros.

[0367] Seguidamente, en referencia a la fig. 141I, se pueden formar múltiples dispositivos semiconductores 36 en y/o sobre el sustrato semiconductor 58, y a continuación se pueden formar múltiples capas dieléctricas 42, 44, 46 y 48, múltiples tapones de vía 26a y 34a, una capa de interconexión 34, una capa metálica estampada 26 y una capa de pasivación 24 encima de la superficie superior del sustrato semiconductor 58.

[0368] Seguidamente, en referencia a la fig. 141J, se puede realizar un procedimiento de individualización para cortar el sustrato semiconductor 58 y las capas 24, 42, 44, 46 y 48 de la oblea 680 y para individualizar múltiples chips 68 (se muestra uno de ellos). Cada uno de los chips 68 incluye los conectores o pistas metálicas 35a, 35b, 35c y 35d descritos previamente. El elemento de los chips 68 en la fig. 141J indicado por un mismo número de referencia indica que el elemento de los chips 68 en la fig. 7 tiene un mismo material y especificación que el elemento de los chips 68 ilustrado en la fig. 7. Los chips 68 mostrados en la fig. 141J son disposiciones inversas de los chips 68 mostrados en la fig. 7.

[0369] De forma alternativa, se puede reemplazar cada uno de los chips 72 ilustrados en las figs. 33-109 con otro tipo de chip 72a o 72b mostrado en la fig. 141J que incluye además anillos aislantes 500a más gruesos que el aislamiento de zanjas poco profundas (STI) 500b. La fig. 141K muestra vistas en sección transversal de chips 72a y 72b de acuerdo con un modo de realización de la presente divulgación. El elemento de los chips 72a y 72b en la fig. 141K indicado por un mismo número de referencia indica que el elemento de los chips 72 en la fig. 33 tiene un mismo material y

especificación que el elemento de los chips 72 ilustrado en la fig. 33. Los chips 72a y 72b mostrados en la fig. 141K son disposiciones inversas de los chips 72 mostrados en la fig. 33. En referencia a la fig. 141K, cada uno de los chips 72a y 72b está provisto del sustrato semiconductor 96, los anillos aislantes 500a, el aislamiento de zanjas poco profundas (STI) 500b, los dispositivos semiconductores 102, la capa de pasivación 74, las capas dieléctricas 82, 108, 104 y 100, la capa metálica estampada 114, la capa de interconexión 106 y los tapones de vía 106a y 114a. Las etapas de formación de los anillos aislantes 500a en las zanjas de conformación anular 305 en el sustrato semiconductor 96 y formación del aislamiento de zanjas poco profundas (STI) 500b en las zanjas poco profundas 303 en el sustrato semiconductor 96 pueden hacer referencia a las etapas de formación de los anillos aislantes 500a en las zanjas de conformación anular 305 en el sustrato semiconductor 58 y formación del aislamiento de zanjas poco profundas (STI) 500b en las zanjas poco profundas 303 en el sustrato semiconductor 58 como se ilustra en las figs. 141A-141H. Las especificaciones de las zanjas poco profundas 303, las zanjas de conformación anular 305, los anillos aislantes 500a y el aislamiento de zanjas poco profundas (STI) 500b pueden hacer referencia a las especificaciones de las zanjas poco profundas 303, las zanjas de conformación anular 305, los anillos aislantes 500a, y el aislamiento de zanjas poco profundas (STI) 500b, respectivamente, ilustrados en las figs. 141A-141H.

[0370] En un caso, el chip 72a puede tener diseños de circuito diferentes de los del chip 72b. También, en otro caso, el chip 72a puede tener los mismos diseños de circuito que los del chip 72b. De forma alternativa, el chip 72a puede tener un área (superficie superior) o tamaño diferente al del chip 72b. También, en otro caso, el chip 72a puede tener una misma área (superficie superior) o tamaño que el del chip 72b.

[0371] De forma alternativa, se puede reemplazar cada uno de los chips 118 ilustrados en las figs. 57-109 con otro tipo de chip 118a o 118b mostrado en la fig. 141L que incluye además anillos aislantes 500a más gruesos que el aislamiento de zanjas poco profundas (STI) 500b. La fig. 141L muestra vistas en sección transversal de chips 118a y 118b de acuerdo con un modo de realización de la presente divulgación. El elemento de los chips 118a y 118b en la fig. 141L indicado por un mismo número de referencia indica que el elemento de los chips 118 en la fig. 57 tiene un mismo material y especificación que el elemento de los chips 118 ilustrado en la fig. 57. Los chips 118a y 118b mostrados en la fig. 141L son disposiciones inversas de los chips 118 mostrados en la fig. 57. En referencia a la fig. 141L, cada uno de los chips 118a y 118b está provisto del sustrato semiconductor 124, los anillos aislantes 500a, el aislamiento de zanjas poco profundas (STI) 500b, los dispositivos semiconductores 13, la capa de pasivación 21, las capas dieléctricas 78, 28, 38 y 40, la capa metálica estampada 19, la capa de interconexión 17 y los tapones de vía 17a y 19a. Las etapas de formación de los anillos aislantes 500a en las zanjas de conformación anular 305 en el sustrato semiconductor 124 y formación del aislamiento de zanjas poco profundas (STI) 500b en las zanjas poco profundas 303 en el sustrato semiconductor 124 pueden hacer referencia a las etapas de formación de los anillos aislantes 500a en las zanjas de conformación anular 305 en el sustrato semiconductor 58 y formación del aislamiento de zanjas poco profundas (STI) 500b en las zanjas poco profundas 303 en el sustrato semiconductor 58 como se ilustra en las figs. 141A-141H. Las especificaciones de las zanjas poco profundas 303, las zanjas de conformación anular 305, los anillos aislantes 500a y el aislamiento de zanjas poco profundas (STI) 500b pueden hacer referencia a las especificaciones de las zanjas poco profundas 303, las zanjas de conformación anular 305, los anillos aislantes 500a, y el aislamiento de zanjas poco profundas (STI) 500b, respectivamente, ilustrados en las figs. 141A-141H.

[0372] En un caso, el chip 118a puede tener diseños de circuito diferentes de los del chip 118b. También, en otro caso, el chip 118a puede tener los mismos diseños de circuito que los del chip 118b. De forma alternativa, el chip 118a puede tener un área (superficie superior) o tamaño diferente al del chip 118b. También, en otro caso, el chip 118a puede tener una misma área (superficie superior) o tamaño que el del chip 118b.

[0373] Las figs. 142-181 muestran un procedimiento para formar otro sistema en paquete o módulo multichip de acuerdo con otro modo de realización de la presente divulgación. En referencia a la fig. 142, los múltiples chips 68 ilustrados en la fig. 141J y el/los sustrato(s) inactivo(s) 62 descritos previamente se juntan con el portador 11 usando la capa 22, lo que puede hacer referencia a las etapas ilustradas en las figs. 1-9.

[0374] Seguidamente, en referencia a la fig. 143, se puede formar un material de encapsulación/relleno de huecos 64, tal como polisilicio, óxido de silicio o un polímero, sobre un lado posterior del sustrato semiconductor 58 de cada chip 68, sobre el/los sustrato(s) inactivo(s) 62, y en los huecos 4 y 8, lo que puede hacer referencia a la etapa ilustrada en la fig. 10.

[0375] Seguidamente, en referencia a la fig. 144, el material de encapsulación/relleno de huecos 64, el lado posterior del sustrato semiconductor 58 de cada chip 68, y el/los sustrato(s) inactivo(s) 62 se rectifican o pulen por un procedimiento adecuado, tal como procedimiento de pulido químico-mecánico (CMP), procedimiento de pulido mecánico, procedimiento de rectificado mecánico, o un procedimiento que incluye pulido mecánico y grabado químico, hasta que todos los anillos aislantes 500a en los chips 68 tienen las superficies inferiores expuestas 500s, encima de las que no hay partes de los sustratos semiconductores 58.

[0376] En consecuencia, el sustrato semiconductor 58 de cada uno de los chips 68 se puede estrechar a un grosor T1, por ejemplo, de entre 1 y 100 micrómetros, de entre 1 y 50 micrómetros, de entre 1 y 30 micrómetros, de entre 1 y 10 micrómetros o de entre 1 y 5 micrómetros, y preferentemente de entre 2 y 20 micrómetros o de entre 3 y 30 micrómetros. Con respecto a cada uno de los chips 68, después del procedimiento de rectificado o pulido, los anillos

aislantes 500a y el sustrato semiconductor 58 pueden tener el mismo grosor T1. Preferentemente, cada uno de los chips 68, después del procedimiento de rectificado o pulido, puede tener un grosor, por ejemplo, de entre 3 y 105 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros. Después del procedimiento de rectificado o pulido, el/los sustrato(s) inactivo(s) 62 se puede(n) estrechar a un grosor T2, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros, y el material de encapsulación/relleno de huecos 64 restante en los huecos 4 y 8 puede tener un grosor vertical T3, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros. La superficie rectificada o pulida 58s del sustrato semiconductor 58, en el lado posterior de cada chip 68, y la(s) superficie(s) rectificada(s) o pulida(s) 62s del/de los sustrato(s) inactivo(s) 62 pueden ser sustancialmente planas y no estar cubiertas por el material de encapsulación/relleno de huecos 64. La(s) superficie(s) rectificada(s) o pulida(s) 62s puede(n) ser sustancialmente coplanaria(s) con la superficie rectificada o pulida 58s de cada chip 68, con la superficie rectificada o pulida 64s del material de encapsulación/relleno de huecos 64 en los huecos 4 y 8, y con las superficies inferiores expuestas 500s de los anillos aislantes 500a. En cada chip 68, una distancia vertical D14 entre la superficie rectificada o pulida 58s del sustrato semiconductor 58 y la parte inferior del aislamiento de zanjas poco profundas 500b puede ser, por ejemplo, mayor de 0,1 micrómetros, tal como de entre 1 y 100 micrómetros, de entre 1 y 50 micrómetros, de entre 1 y 25 micrómetros, de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 0,1 y 2 micrómetros.

[0377] De forma alternativa, las figs. 145 y 146 muestran otra técnica para formar la estructura ilustrada en la fig. 144. En referencia a la fig. 145, después de formar la estructura ilustrada en la fig. 142, se puede formar un material de encapsulación/relleno de huecos 64, tal como polisilicio u óxido de silicio, sobre el lado posterior del sustrato semiconductor 58 de cada chip 68, sobre el/los sustrato(s) inactivo(s) 62, y en los huecos 4 y 8, y a continuación se puede formar un polímero 65, tal como poliimida, epoxi, benzociclobutano (BCB), polibenzoxazol (PBO), poli(óxido de fenileno) (PPO) o compuesto de moldeo, sobre el material de encapsulación/relleno de huecos 64 y en los huecos 4 y 8. El material de encapsulación/relleno de huecos 64 en los huecos 4 y 8 puede tener un grosor vertical T4, por ejemplo, de entre 10 y 100 micrómetros, y preferentemente de entre 10 y 50 micrómetros o de entre 20 y 50 micrómetros.

[0378] Seguidamente, en referencia a la fig. 146, se puede realizar un procedimiento de rectificado mecánico, por ejemplo, usando una almohadilla abrasiva o rectificadora con agua para rectificar el polímero 65, el material de encapsulación/relleno de huecos 64, el lado posterior del sustrato semiconductor 58 de cada chip 68, y el/los sustrato(s) inactivo(s) 62 hasta que se elimina todo el polímero 65 y hasta que se alcanza un grosor vertical predeterminado T5 del material de encapsulación/relleno de huecos 64 en los huecos 4 y 8. El grosor vertical predeterminado T5 puede ser, por ejemplo, de entre 10 y 100 micrómetros, y preferentemente de entre 10 y 50 micrómetros o de entre 20 y 50 micrómetros. La almohadilla abrasiva o rectificadora puede estar provista de un grano áspero que tiene un tamaño de grano promedio, por ejemplo, de entre 0,5 y 15 micrómetros para realizar el procedimiento de rectificado mecánico. En la etapa, el sustrato semiconductor 58 de cada chip 68 tiene partes verticalmente encima de los anillos aislantes 500a. Después de esto, se puede realizar un procedimiento de pulido químico-mecánico (CMP), por ejemplo, usando una almohadilla de pulido con una suspensión que contiene sustancias químicas y un abrasivo fino como sílice con un tamaño de grano promedio, por ejemplo, de entre 0,02 y 0,05 micrómetros para pulir el lado posterior del sustrato semiconductor 58 de cada chip 68, el/los sustrato(s) inactivo(s) 62 y el material de encapsulación/relleno de huecos 64 en los huecos 4 y 8 hasta que todos los anillos aislantes 500a en los chips 68 tienen las superficies inferiores expuestas 500s, encima de las que no hay partes de los sustratos semiconductores 58, como se muestra en la fig. 144. En consecuencia, después del procedimiento de rectificado o pulido, el sustrato semiconductor 58 de cada uno de los chips 68 se puede estrechar al grosor T1 de entre 1 y 100 micrómetros, de entre 1 y 50 micrómetros, de entre 1 y 30 micrómetros, de entre 1 y 10 micrómetros o de entre 1 y 5 micrómetros, y preferentemente de entre 2 y 20 micrómetros o de entre 3 y 30 micrómetros. Con respecto a cada uno de los chips 68, después del procedimiento de rectificado o pulido, los anillos aislantes 500a y el sustrato semiconductor 58 pueden tener el mismo grosor T1.

[0379] Después del procedimiento de pulido químico-mecánico (CMP), la superficie pulida 58s del sustrato semiconductor 58, en el lado posterior de cada chip 68, y la(s) superficie(s) pulida(s) 62s del/de los sustrato(s) inactivo(s) 62 pueden ser sustancialmente planas y no estar cubiertas por el material de encapsulación/relleno de huecos 64. La(s) superficie(s) pulida(s) 62s puede(n) ser sustancialmente coplanaria(s) con la superficie pulida 58s de cada chip 68, con la superficie pulida 64s del material de encapsulación/relleno de huecos 64 en los huecos 4 y 8, y con las superficies inferiores expuestas 500s de los anillos aislantes 500a. Las superficies pulidas 58s, 62s y 64s pueden tener una microrrugosidad, por ejemplo, de menos de 20 nanómetros. El procedimiento de pulido químico-mecánico (CMP), que usa un abrasivo muy fino como la sílice y un ataque químico relativamente débil, creará las superficies 58s, 62s y 64s casi sin deformación ni arañazos, y esto significa que el procedimiento de pulido químico-mecánico (CMP) es muy adecuado para la etapa final de pulido, creando las superficies limpias 58s, 62s y 64s. El uso del procedimiento de rectificado mecánico y el procedimiento de pulido químico-mecánico (CMP) se puede realizar para crear un sustrato semiconductor muy delgado 10 de cada chip 68. En consecuencia, después del procedimiento de pulido químico-mecánico (CMP), cada uno de los chips 68 se puede estrechar a un grosor, por ejemplo, de entre 3 y 35 micrómetros, y preferentemente de entre 5 y 10 micrómetros o de entre 5 y 25 micrómetros, el/los sustrato(s) inactivo(s) 62 se puede(n) estrechar al grosor T2, por ejemplo, de entre 3 y 35 micrómetros, y preferentemente de entre 5 y 10 micrómetros o de entre 5 y 25 micrómetros, y el material de encapsulación/relleno de huecos 64 en los

huecos 4 y 8 se puede estrechar al grosor T3, por ejemplo, de entre 3 y 35 micrómetros, y preferentemente de entre 5 y 10 micrómetros o de entre 5 y 25 micrómetros.

[0380] En referencia a la fig. 147, después de formar la estructura ilustrada en la fig. 144, se forma la capa dieléctrica 60 ilustrada en la fig. 14 sobre la superficie 58s del sustrato semiconductor 58 de cada chip 68, sobre la(s) superficie(s) 62s del/de los sustrato(s) inactivo(s) 62, sobre las superficies inferiores expuestas 500s de los anillos aislantes 500a en los chips 68, y sobre la superficie 64s del material de encapsulación/relleno de huecos 64.

[0381] Seguidamente, en referencia a la fig. 148, se pueden formar múltiples vías pasantes 170v, incluyendo las vías pasantes 170a, 170b, 170c, 170d, 170e y 170f, en los chips 68 y en el/los sustrato(s) inactivo(s) 62, exponiendo la capa conductora 18 del portador 11 y exponiendo las capas 26 y 34 de los chips 68, lo que puede hacer referencia a las etapas ilustradas en la fig. 15, pero, en el modo de realización, la formación de las vías pasantes 170v (tales como las vías 170b-170f) en los chips 68 incluye el grabado a través de los sustratos semiconductores 58 rodeados por los anillos aislantes 500a en los chips 68. Cada una de las vías pasantes 170v en los chips 68 pasa a través de uno de los anillos aislantes 500a en los chips 68.

[0382] Por ejemplo, las vías pasantes 170b, 170c, 170d, 170e y 170f en uno de los chips 68 pasan a través de los anillos aislantes 500a en el uno de los chips 68. La formación de las vías pasantes 170b, 170c, 170d, 170e y 170f incluye un procedimiento de grabado a través del sustrato semiconductor 58 rodeado por los anillos aislantes 500a en el uno de los chips 68. En consecuencia, cada una de las vías pasantes 170b, 170c, 170d, 170e y 170f pasa a través del sustrato semiconductor 58 del uno de los chips 68 y está rodeado por uno de los anillos aislantes 500a en el uno de los chips 68. El sustrato semiconductor 58 del uno de los chips 68 tiene partes sobre las superficies internas de los anillos aislantes 500a que rodean las vías pasantes 170b, 170c, 170d, 170e y 170f.

[0383] Cada una de las vías pasantes 170v, tales como la vía pasante 170a, 170b, 170c, 170d, 170e o 170f, puede tener un ancho o un diámetro, por ejemplo, de entre 0,5 y 100 micrómetros, de entre 0,5 y 50 micrómetros, de entre 0,5 y 30 micrómetros, de entre 0,5 y 20 micrómetros, de entre 0,5 y 10 micrómetros o de entre 0,5 y 5 micrómetros, y preferentemente de entre 1 y 3 micrómetros. Para obtener una descripción más detallada acerca de las vías pasantes 170v, tales como las vías pasantes 170a-170f, consúltese la ilustración de la fig. 15.

[0384] Como se muestra en la fig. 148, un soporte 801 proporcionado por la capa dieléctrica o aislante 20, la capa de pegamento u óxido de silicio 22, y las capas 24, 42 y 44 de uno de los chips 68 está entre la capa conductora 18 del portador 11 y el conector o pista metálica 35a en la capa de interconexión 34 expuesto por la vía pasante 170e con el propósito de soportar el conector o pista metálica 35a expuesto. El soporte 801 puede tener una altura, por ejemplo, de entre 0,5 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros, y un ancho, por ejemplo, de entre 0,3 y 30 micrómetros, y preferentemente de entre 0,3 y 10 micrómetros, 0,3 y 5 micrómetros, o de entre 0,3 y 1 micrómetros.

[0385] La fig. 149 es un primer ejemplo de una vista en perspectiva superior esquemática que muestra la vía pasante 170e, el anillo aislante 500a que rodea la vía pasante 170e y el conector o pista metálica 35a como se ilustra en la fig. 148. La vista en perspectiva superior esquemática mostrada en la fig. 149 es similar a la vista en perspectiva superior esquemática mostrada en la fig. 16, excepto que la vía pasante 170e mostrada en la fig. 149 se forma dentro de uno de los anillos aislantes 500a en uno de los chips 68. Para obtener una descripción más detallada acerca de la vía pasante 170e y el conector o pista metálica 35a como se muestra en las figs. 148 y 149, consúltese la ilustración de las figs. 15 y 16.

[0386] La fig. 150 es un segundo ejemplo de una vista en perspectiva superior esquemática que muestra la vía pasante 170e, el anillo aislante 500a que rodea la vía 170e y el conector o pista metálica 35a como se ilustra en la fig. 148. La vista en perspectiva superior esquemática mostrada en la fig. 150 es similar a la vista en perspectiva superior esquemática mostrada en la fig. 17, excepto que la vía pasante 170e mostrada en la fig. 150 se forma dentro de uno de los anillos aislantes 500a en uno de los chips 68. Para obtener una descripción más detallada acerca de la vía pasante 170e y el conector o pista metálica 35a como se muestra en las figs. 148 y 150, consúltese la ilustración de las figs. 15 y 17.

[0387] La fig. 151 es un tercer ejemplo de una vista en perspectiva superior esquemática que muestra la vía pasante 170e, el anillo aislante 500a que rodea la vía pasante 170e y el conector o pista metálica 35a como se ilustra en la fig. 148. La vista en perspectiva superior esquemática mostrada en la fig. 151 es similar a la vista en perspectiva superior esquemática mostrada en la fig. 18, excepto que la vía pasante 170e mostrada en la fig. 151 se forma dentro de uno de los anillos aislantes 500a en uno de los chips 68. Para obtener una descripción más detallada acerca de la vía pasante 170e y el conector o pista metálica 35a como se muestra en las figs. 148 y 151, consúltese la ilustración de las figs. 15 y 18.

[0388] La fig. 152 es un cuarto ejemplo de una vista en perspectiva superior esquemática que muestra la vía pasante 170e, el anillo aislante 500a que rodea la vía pasante 170e y el conector o pista metálica 35a como se ilustra en la fig. 148. La vista en perspectiva superior esquemática mostrada en la fig. 152 es similar a la vista en perspectiva superior esquemática mostrada en la fig. 16A, excepto que la vía pasante 170e mostrada en la fig. 152 se forma dentro de uno

de los anillos aislantes 500a en uno de los chips 68. Para obtener una descripción más detallada acerca de la vía pasante 170e y el conector o pista metálica 35a como se muestra en la fig. 152, consúltese la ilustración de la fig. 16A.

[0389] En referencia a la fig. 153, después de formar la estructura ilustrada en la fig. 148, se forma una capa fotorresistente 168 sobre la capa dieléctrica 60, y múltiples aberturas 168a en la capa fotorresistente 168 exponen la capa dieléctrica 60 y las vías pasantes 170v. La capa fotorresistente 168 puede tener un grosor, por ejemplo, de entre 0,5 y 30 micrómetros.

[0390] Seguidamente, en referencia a la fig. 154, se forman múltiples zanjas 60t en la capa dieléctrica 60 al grabar la capa dieléctrica 60 debajo de las aberturas 168a a una profundidad D3, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,5 y 3 micrómetros, usando, por ejemplo, un procedimiento de grabado por plasma anisotrópico. Después del procedimiento de grabado, la capa dieléctrica 60 debajo de las zanjas 60t tiene un grosor restante T6, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 5 micrómetros, de entre 0,5 y 2 micrómetros, de entre 0,1 y 3 micrómetros o de entre 0,2 y 1,5 micrómetros.

[0391] De forma alternativa, se puede aplicar una técnica de detención de grabado al procedimiento de formación de las zanjas 60t en la capa dieléctrica 60. En este caso, la capa dieléctrica 60 puede incluir una primera capa de óxido de silicio sobre las superficies 58s, 62s, 64s y 500s mostradas en la fig. 144, una capa de oxinitruro de silicio, usada como una capa de detención de grabado, sobre la primera capa de óxido de silicio, y una segunda capa de óxido de silicio que tiene un grosor, por ejemplo, de entre 0,1 y 5 micrómetros o de entre 0,3 y 1,5 micrómetros sobre la capa de oxinitruro de silicio. Se pueden formar las zanjas 60t en la capa dieléctrica 60 al grabar la segunda capa de óxido de silicio de la capa dieléctrica 60 debajo de las aberturas 168a en la capa fotorresistente 168 hasta que se expone la capa de oxinitruro de silicio de la capa dieléctrica 60 por las aberturas 168a. En consecuencia, se forman las zanjas 60t en la segunda capa de óxido de silicio de la capa dieléctrica 60, y la capa dieléctrica 60 restante, compuesta por la capa de oxinitruro de silicio y la primera capa de óxido de silicio, debajo de las zanjas 60t tiene un grosor T6, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 5 micrómetros, de entre 0,5 y 2 micrómetros, de entre 0,1 y 3 micrómetros o de entre 0,2 y 1,5 micrómetros.

[0392] Seguidamente, en referencia a la fig. 155, se elimina la capa fotorresistente 168 usando, por ejemplo, una sustancia química orgánica. Las zanjas 60t formadas en la capa dieléctrica 60 se usan para proporcionar huecos que tienen conectores entre chips y conectores intrachip formados en los mismos. La fig. 156 es un ejemplo de una vista en perspectiva superior esquemática que muestra las zanjas 60t y las vías pasantes 170v mostradas en la fig. 155, y la fig. 155 es una vista en sección transversal cortada a lo largo de la línea D-D mostrada en la fig. 156.

[0393] De forma alternativa, se pueden formar las zanjas 60t ilustradas en la fig. 155 en la capa dieléctrica 60 antes de que se formen las vías pasantes 170v ilustradas en la fig. 148 en los chips 68 y en el/los sustrato(s) inactivo(s) 62. Específicamente, después de que se forma la capa dieléctrica 60 sobre las superficies 58s, 62s, 64s y 500s como se muestra en la fig. 147, se forman las zanjas 60t ilustradas en la fig. 155 en la capa dieléctrica 60, y a continuación se forman las vías pasantes 170v ilustradas en la fig. 148 en los chips 68 y en el/los sustrato(s) inactivo(s) 62, exponiendo la capa conductora 18 del portador 11 y exponiendo las capas 26 y 34 de los chips 68.

[0394] De forma alternativa, en referencia a la fig. 155A, se pueden formar la capa dieléctrica 60, las zanjas 60t y las vías pasantes 170v como se muestra en la fig. 155 por las siguientes etapas. Después de formar la estructura ilustrada en la fig. 144, se forma una capa aislante 60a, tal como una capa de óxido de silicio, nitruro de silicio, oxinitruro de silicio, carbonitruro de silicio u oxycarburo de silicio, que tiene un grosor C1, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,2 y 1,5 micrómetros o de entre 0,15 y 2 micrómetros, sobre la superficie 58s del sustrato semiconductor 58 de cada chip 68, sobre la(s) superficie(s) 62s del/de los sustrato(s) inactivo(s) 62, sobre las superficies inferiores expuestas 500s de los anillos aislantes 500a en los chips 68, y sobre la superficie 64s del material de encapsulación/relleno de huecos 64 como se muestra en la fig. 144.

[0395] Seguidamente, se forma una capa de polímero 60b, tal como una capa de poliimida, benzociclobuteno (BCB), epoxi, polibenzoxazol (PBO) u poli(óxido de fenileno) (PPO), sobre la capa aislante 60a usando un procedimiento adecuado, tal como procedimiento de recubrimiento por rotación, procedimiento de serigrafía o procedimiento de laminación. Seguidamente, se puede emplear un procedimiento de exposición y un procedimiento de revelado para formar las zanjas 60t, exponiendo la capa aislante 60a, en la capa de polímero 60b. Se puede usar un paso a paso IX o un alineador de contacto IX para exponer la capa de polímero 60b durante el procedimiento de exposición. Seguidamente, la capa de polímero 60b se cura o calienta a una temperatura de entre 150 grados centígrados y 400 grados centígrados, y preferentemente de entre 180 grados centígrados y 250 grados centígrados. La capa de polímero 60b después de curarse o calentarse tiene un grosor C2, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros.

[0396] Seguidamente, se forma una capa fotorresistente sobre la capa aislante 60a expuesta por las zanjas 60t y sobre la capa de polímero 60b, y múltiples aberturas en la capa fotorresistente exponen la capa aislante 60a en las partes inferiores de las zanjas 60t. Seguidamente, se elimina la capa aislante 60a debajo de las aberturas en la capa fotorresistente usando un procedimiento adecuado, tal como procedimiento de grabado por plasma anisotrópico. Seguidamente, se decapan el/los sustrato(s) inactivo(s) 62 debajo de las aberturas en la capa fotorresistente y los

chips 68 debajo de las aberturas en la capa fotorresistente hasta que se exponen las regiones predeterminadas de las capas 26 y 34 en los chips 68 y las regiones predeterminadas de la capa conductora 18 en el portador 11 por las aberturas en la capa fotorresistente. Seguidamente, se elimina la capa fotorresistente usando, por ejemplo, una sustancia química orgánica. En consecuencia, se forman las vías pasantes 170v, incluyendo las vías pasantes 170a, 170b, 170c, 170d, 170e y 170f, en los chips 68 y en el/los sustrato(s) inactivo(s) 62, exponiendo la capa conductora 18 del portador 11 y exponiendo las capas 26 y 34 de los chips 68. Las especificaciones de las vías pasantes 170v y el soporte 801 mostrados en la fig. 155A pueden hacer referencia a las especificaciones de las vías pasantes 170v y el soporte 801, respectivamente, ilustrados en las figs. 148-152.

[0397] En consecuencia, usando las etapas mencionadas anteriormente, la capa dieléctrica 60 mencionada anteriormente también puede estar provista de la capa aislante 60a y la capa de polímero 60b sobre la capa aislante 60a. Las zanjas 60t en la capa de polímero 60b exponen la capa aislante 60a y se usan para proporcionar huecos que tienen conectores entre chips y conectores intrachip formados en los mismos. Las vías pasantes 170v se forman debajo de las zanjas 60t. También, la fig. 156 puede ser un ejemplo de una vista en perspectiva superior esquemática que muestra las zanjas 60t y las vías pasantes 170v mostradas en la fig. 155A, y la fig. 155A también puede ser una vista en sección transversal cortada a lo largo de la línea D-D mostrada en la fig. 156.

[0398] En referencia a la fig. 157, después de formar la estructura ilustrada en la fig. 155 o en la fig. 155A, se forma una capa de adhesión/barrera 52 que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las capas 18, 26 y 34 expuestas por las vías pasantes 170v, sobre las paredes laterales de las vías pasantes 170v, sobre las paredes laterales y las partes inferiores de las zanjas 60t (o sobre las paredes laterales de las zanjas 60t en la capa de polímero 60b y sobre una superficie superior de la capa aislante 60a en las partes inferiores de las zanjas 60t), y sobre el conector o pista metálica 35a que está sobre el soporte 801. Se puede formar la capa de adhesión/barrera 52 por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD) o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se forma una capa germinal 54 que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa de adhesión/barrera 52 por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD) o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se forma una capa de conducción 56 sobre la capa germinal 54 usando un procedimiento adecuado, tal como procedimiento de electrochapado. Las especificaciones de la capa de adhesión/barrera 52, la capa germinal 54 y la capa de conducción 56 mostradas en la fig. 157 pueden hacer referencia a las especificaciones de la capa de adhesión/barrera 52, la capa germinal 54 y la capa de conducción 56 como se ilustra en la fig. 25, respectivamente.

[0399] Seguidamente, en referencia a la fig. 158, se rectifican o pulen las capas 52, 54 y 56 usando un procedimiento adecuado, tal como procedimiento de pulido químico-mecánico (CMP), procedimiento de pulido mecánico, procedimiento de rectificado mecánico, o un procedimiento que incluye pulido mecánico y grabado químico, hasta que la capa dieléctrica 60 tiene una superficie superior expuesta 60s, encima de la que no hay partes de las capas 52, 54 y 56, y se eliminan las capas 52, 54 y 56 fuera de las zanjas 60t.

[0400] En consecuencia, la superficie superior expuesta 60s de la capa dieléctrica 60 puede ser sustancialmente coplanaria con la superficie rectificada o pulida 56s de la capa de conducción 56 en las zanjas 60t, y las superficies 56s y 60s pueden ser sustancialmente planas. La capa de adhesión/barrera 52 y la capa germinal 54 están en las paredes laterales y una parte inferior de la capa de conducción 56 en las zanjas 60t, y las paredes laterales y la parte inferior de la capa de conducción 56 en las zanjas 60t están cubiertas por la capa de adhesión/barrera 52 y la capa germinal 54.

[0401] Después de que se rectifican o pulen las capas 52, 54 y 56, la capa dieléctrica 60 tiene un grosor, entre la superficie superior expuesta 60s y la superficie 58s o 62s, por ejemplo, de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 3 micrómetros, en caso de que la capa dieléctrica 60, las zanjas 60t y las vías pasantes 170v se formen como se ilustra en las figs. 147-155. De forma alternativa, después de que se rectifican o pulen las capas 52, 54 y 56, la capa de polímero 60b de la capa dieléctrica 60 tiene un grosor, entre la superficie superior expuesta 60s de la capa de polímero 60b y la superficie superior de la capa aislante 60a, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros, en caso de que la capa dieléctrica 60 compuesta por la capa 60a y 60b, las zanjas 60t y las vías pasantes 170v se formen como se ilustra en la fig. 155A.

[0402] En una primera alternativa, después de que se rectifican o pulen las capas 52, 54 y 56, la capa de adhesión/barrera 52 puede ser una capa que contiene titanio, tal como una capa única de titanio, aleación de titanio-volframio o nitruro de titanio, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales y las partes inferiores de las zanjas 60t (o sobre las paredes laterales de las zanjas 60t en la capa de polímero 60b y sobre la superficie superior de la capa aislante 60a en las partes inferiores de las zanjas 60t), sobre las paredes laterales de las vías pasantes 170v, sobre las capas 18, 26 y 34 en las partes inferiores de las vías pasantes 170v, y sobre el conector o pista

metálica 35a que está sobre el soporte 801. La capa germinal 54 puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene titanio, en las zanjías 60t, y en las vías pasantes 170v. La capa de conducción 56 puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjías 60t, y en las vías pasantes 170v. La capa de cobre electrochapado en las zanjías 60t tiene un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 1,5 micrómetros o de entre 0,5 y 3 micrómetros, en caso de que la capa dieléctrica 60, las zanjías 60t y las vías pasantes 170v se formen como se ilustra en las figs. 147-155. De forma alternativa, la capa de cobre electrochapado en las zanjías 60t tiene un grosor, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros, en caso de que la capa dieléctrica 60 compuesta por las capas 60a y 60b, las zanjías 60t y las vías pasantes 170v se formen como se ilustra en la fig. 155A.

[0403] En una segunda alternativa, después de que se rectifican o pulen las capas 52, 54 y 56, la capa de adhesión/barrera 52 puede ser una capa que contiene tántalo, tal como una capa única de tántalo o nitruro de tántalo, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales y las partes inferiores de las zanjías 60t (o sobre las paredes laterales de las zanjías 60t en la capa de polímero 60b y sobre la superficie superior de la capa aislante 60a en las partes inferiores de las zanjías 60t), sobre las paredes laterales de las vías pasantes 170v, sobre las capas 18, 26 y 34 en las partes inferiores de las vías pasantes 170v, y sobre el conector o pista metálica 35a que está sobre el soporte 801. La capa germinal 54 puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene tántalo, en las zanjías 60t, y en las vías pasantes 170v. La capa de conducción 56 puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjías 60t, y en las vías pasantes 170v. La capa de cobre electrochapado en las zanjías 60t tiene un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 1,5 micrómetros o de entre 0,5 y 3 micrómetros, en caso de que la capa dieléctrica 60, las zanjías 60t y las vías pasantes 170v se formen como se ilustra en las figs. 147-155. De forma alternativa, la capa de cobre electrochapado en las zanjías 60t tiene un grosor, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros, en caso de que la capa dieléctrica 60 compuesta por las capas 60a y 60b, las zanjías 60t y las vías pasantes 170v se formen como se ilustra en la fig. 155A.

[0404] En una tercera alternativa, después de que se rectifican o pulen las capas 52, 54 y 56, la capa de adhesión/barrera 52 puede ser una capa que contiene cromo, tal como una capa única de cromo, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales y las partes inferiores de las zanjías 60t (o sobre las paredes laterales de las zanjías 60t en la capa de polímero 60b y sobre la superficie superior de la capa aislante 60a en las partes inferiores de las zanjías 60t), sobre las paredes laterales de las vías pasantes 170v, sobre las capas 18, 26 y 34 en las partes inferiores de las vías pasantes 170v, y sobre el conector o pista metálica 35a que está sobre el soporte 801. La capa germinal 54 puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene cromo, en las zanjías 60t, y en las vías pasantes 170v. La capa de conducción 56 puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjías 60t, y en las vías pasantes 170v. La capa de cobre electrochapado en las zanjías 60t tiene un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 1,5 micrómetros o de entre 0,5 y 3 micrómetros, en caso de que la capa dieléctrica 60, las zanjías 60t y las vías pasantes 170v se formen como se ilustra en las figs. 147-155. De forma alternativa, la capa de cobre electrochapado en las zanjías 60t tiene un grosor, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros, en caso de que la capa dieléctrica 60 compuesta por las capas 60a y 60b, las zanjías 60t y las vías pasantes 170v se formen como se ilustra en la fig. 155A.

[0405] Después de que se rectifican o pulen las capas 52, 54 y 56, las capas 52, 54 y 56 en las zanjías 60t componen múltiples conectores metálicos (o pistas metálicas damasquinadas) 1, incluyendo los conectores metálicos (o pistas metálicas damasquinadas) 1a y 1b, en las zanjías 60t. Las capas 52, 54 y 56 en las vías pasantes 170v componen múltiples tapones metálicos (o vías metálicas) 5p en las vías pasantes 170v, incluyendo los tapones metálicos (o vías metálicas) 5a, 5b, 5c, 5d, 5e y 5f en las vías pasantes 170a, 170b, 170c, 170d, 170e y 170f como se muestra en la fig. 148, respectivamente. El tapón metálico 5a se forma en el sustrato inactivo 62, y los tapones metálicos 5b, 5c, 5d, 5e y 5f se forman en el mismo chip 68. Estos tapones metálicos 5p formados en los chips 68 y en el/los sustrato(s) inactivo(s) 62 pueden conectar los conectores metálicos 1 y los dispositivos semiconductores 36 en los chips 68 y conectar los conectores metálicos 1 y múltiples puntos de contacto de la capa conductora 18 en el portador 11. Los conectores metálicos 1, tales como 1a y 1b, en las zanjías 60t pueden tener un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 1 y 3 micrómetros. El soporte 801 y el conector o pista metálica 35a, en la capa de interconexión 34, sobre el soporte 801 pueden estar entre dos partes, más bajas que un nivel horizontal, en el que se sitúa una superficie superior de la capa de interconexión 34, del tapón metálico 5e.

[0406] Cada uno de los tapones metálicos 5p en los chips 68 pasa a través de uno de los anillos aislantes 500a en los chips 68. Por ejemplo, los tapones metálicos 5b, 5c, 5d, 5e y 5f en uno de los chips 68 pasan a través de los anillos

aislantes 500a en el uno de los chips 68. Específicamente, cada uno de los tapones metálicos 5b, 5c, 5d, 5e y 5f pasa a través del sustrato semiconductor 58 del uno de los chips 68 y está rodeado por uno de los anillos aislantes 500a en el uno de los chips 68. El sustrato semiconductor 58 del uno de los chips 68 tiene partes sobre las superficies internas de los anillos aislantes 500a que rodean los tapones metálicos 5b, 5c, 5d, 5e y 5f. Para obtener una descripción más detallada acerca de los tapones metálicos 5p (incluyendo los tapones metálicos 5a-5f) y los conectores metálicos 1 (incluyendo los conectores metálicos 1a y 1b) mostrados en la fig. 158, consúltese la ilustración de la fig. 26.

[0407] De forma alternativa, el elemento 68 no solo puede indicar un chip, sino que también puede indicar una oblea. Cuando el elemento 68 es una oblea, el portador 11 puede ser otra oblea. De este modo, el procedimiento ilustrado en la invención se puede emplear para la unión de oblea a oblea.

[0408] En referencia a la fig. 159, después de formar la estructura ilustrada en la fig. 158, se forma la capa aislante o dieléctrica 66 ilustrada en la fig. 27 sobre la superficie de rectificado o pulido 56s de la capa de conducción 56 y sobre la superficie superior expuesta 60s de la capa dieléctrica 60. Seguidamente, se colocan múltiples chips 72, de los que cada uno es como el chip 72a o 72b ilustrado en la fig. 141K, y el/los sustrato(s) inactivo(s) 165 descrito(s) previamente encima de la capa 116, lo que puede hacer referencia a las etapas ilustradas en las figs. 28-35. La disposición de colocación de los chips 72 y el/los sustrato(s) inactivo(s) 165 encima de la capa aislante o dieléctrica 66, en el modo de realización, puede hacer referencia a la de la colocación de los chips 72 y el/los sustrato(s) inactivo(s) 165 encima de la capa aislante o dieléctrica 66 como se ilustra en la fig. 34 o 35.

[0409] Seguidamente, en referencia a la fig. 160, se forma un material de encapsulación/relleno de huecos 98 sobre un lado posterior del sustrato semiconductor 96 de cada chip 72, sobre el/los sustrato(s) inactivo(s) 165, y en los huecos 4a y 8a. Seguidamente, el material de encapsulación/relleno de huecos 98, el lado posterior del sustrato semiconductor 96 de cada chip 72, y el/los sustrato(s) inactivo(s) 165 se rectifican o pulen por un procedimiento adecuado, tal como procedimiento de rectificado mecánico, procedimiento de pulido mecánico, procedimiento de pulido químico-mecánico (CMP), o un procedimiento que incluye pulido mecánico y grabado químico, hasta que todos los anillos aislantes 500a en los chips 72 tienen superficies inferiores expuestas 500t, encima de las que no hay partes de los sustratos semiconductores 96. Las etapas de formación del material de encapsulación/relleno de huecos 98 y rectificado o pulido del material de encapsulación/relleno de huecos 98, el lado posterior del sustrato semiconductor 96 de cada chip 72, y el/los sustrato(s) inactivo(s) 165 ilustradas en la fig. 160 pueden hacer referencia a las etapas de formación del material de encapsulación/relleno de huecos 64 y rectificado o pulido del material de encapsulación/relleno de huecos 64, el lado posterior del sustrato semiconductor 58 de cada chip 68, y el/los sustrato(s) inactivo(s) 62 como se ilustra en las figs. 143-146. El material de encapsulación/relleno de huecos 98 puede ser polisilicio, óxido de silicio o un polímero.

[0410] En consecuencia, el sustrato semiconductor 96 de cada uno de los chips 72 se puede estrechar a un grosor T8, por ejemplo, de entre 1 y 100 micrómetros, de entre 1 y 50 micrómetros, de entre 1 y 30 micrómetros, de entre 1 y 10 micrómetros o de entre 1 y 5 micrómetros, y preferentemente de entre 2 y 20 micrómetros o de entre 3 y 30 micrómetros. Con respecto a cada uno de los chips 72, después del procedimiento de rectificado o pulido, los anillos aislantes 500a y el sustrato semiconductor 96 pueden tener el mismo grosor T8. Preferentemente, cada uno de los chips 72, después del procedimiento de rectificado o pulido, puede tener un grosor, por ejemplo, de entre 3 y 105 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros.

[0411] Después del procedimiento de rectificado o pulido, el/los sustrato(s) inactivo(s) 165 se puede(n) estrechar a un grosor T9, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros, y el material de encapsulación/relleno de huecos 98 restante en los huecos 4a y 8a puede tener un grosor vertical T10, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros. La superficie rectificada o pulida 96s del sustrato semiconductor 96, en el lado posterior de cada chip 72, y la(s) superficie(s) rectificada(s) o pulida(s) 165s del/de los sustrato(s) inactivo(s) 165 pueden ser sustancialmente planas y no estar cubiertas por el material de encapsulación/relleno de huecos 98. La(s) superficie(s) rectificada(s) o pulida(s) 165s puede(n) ser sustancialmente coplanaria(s) con la superficie rectificada o pulida 96s de cada chip 72, con la superficie rectificada o pulida 98s del material de encapsulación/relleno de huecos 98 en los huecos 4a y 8a, y con las superficies inferiores expuestas 500t de los anillos aislantes 500a en los chips 72. En cada chip 72, una distancia vertical D15 entre la superficie rectificada o pulida 96s del sustrato semiconductor 96 y la parte inferior del aislamiento de zanjas poco profundas 500b puede ser, por ejemplo, mayor de 0,1 micrómetros, tal como de entre 1 y 100 micrómetros, de entre 1 y 50 micrómetros, de entre 1 y 25 micrómetros, de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 0,1 y 2 micrómetros.

[0412] En referencia a la fig. 161, después de formar la estructura ilustrada en la fig. 160, se forma la capa dieléctrica 88 ilustrada en la fig. 40 sobre la superficie 96s del sustrato semiconductor 96 de cada chip 72, sobre la(s) superficie(s) 165s del/de los sustrato(s) inactivo(s) 165, sobre las superficies inferiores expuestas 500t de los anillos aislantes 500a en los chips 72, y sobre la superficie 98s del material de encapsulación/relleno de huecos 98.

[0413] Seguidamente, en referencia a la fig. 162, se forman múltiples vías pasantes 164v, incluyendo las vías pasantes 164a, 164b, 164c, 164d y 164e, en los chips 72 y en el/los sustrato(s) inactivo(s) 165, exponiendo la capa de conducción 56 de los conectores metálicos 1 y exponiendo las capas 114 y 106 de los chips 72, lo que puede hacer

referencia a las etapas ilustradas en la fig. 41, pero, en el modo de realización, la formación de las vías pasantes 164v (tales como las vías 164b-164e) en los chips 72 incluye el grabado a través de los sustratos semiconductores 96 rodeados por los anillos aislantes 500a en los chips 72. Cada una de las vías pasantes 164v en los chips 72 pasa a través de uno de los anillos aislantes 500a en los chips 72. Por ejemplo, las vías pasantes 164b y 164c en el de la izquierda de los chips 72 pasan a través de los anillos aislantes 500a en el de la izquierda de los chips 72, y las vías pasantes 164d y 164e en el del medio de los chips 72 pasan a través de los anillos aislantes 500a en el del medio de los chips 72.

[0414] La formación de las vías pasantes 164b, 164c, 164d y 164e incluye un procedimiento de grabado a través de los sustratos semiconductores 96 rodeados por los anillos aislantes 500a. En particular, la formación de la vía pasante 164c o 164e incluye un procedimiento de decapado de la parte completa, rodeada por uno de los anillos aislantes 500a, del sustrato semiconductor 96. En consecuencia, las vías pasantes 164b y 164c pasan a través del sustrato semiconductor 96 en el de la izquierda de los chips 72 y están rodeadas por los anillos aislantes 500a en el de la izquierda de los chips 72, y las vías pasantes 164d y 164e pasan a través del sustrato semiconductor 96 en el del medio de los chips 72 y están rodeadas por los anillos aislantes 500a en el del medio de los chips 72. El sustrato semiconductor 96 del de la izquierda de los chips 72 tiene una parte sobre una superficie interna del anillo aislante 500a que rodea la vía pasante 164b en el de la izquierda de los chips 72, y el sustrato semiconductor 96 del del medio de los chips 72 tiene una parte sobre una superficie interna del anillo aislante 500a que rodea la vía pasante 164d en el del medio de los chips 72. El anillo aislante 500a que rodea la vía pasante 164c está en la pared lateral de la vía pasante 164c y está expuesto por la vía pasante 164c, y el anillo aislante 500a que rodea la vía pasante 164e está en la pared lateral de la vía pasante 164e y está expuesto por la vía pasante 164e.

[0415] Cada una de las vías pasantes 164v, tales como la vía pasante 164a, 164b, 164c, 164d o 164e, puede tener un ancho o un diámetro, por ejemplo, de entre 0,5 y 100 micrómetros, de entre 0,5 y 50 micrómetros, de entre 0,5 y 30 micrómetros, de entre 0,5 y 20 micrómetros, de entre 0,5 y 10 micrómetros o de entre 0,5 y 5 micrómetros, y preferentemente de entre 1 y 3 micrómetros. Para obtener una descripción más detallada acerca de las vías pasantes 164v, tales como las vías pasantes 164a-164e, consúltese la ilustración de la fig. 41.

[0416] Como se muestra en la fig. 162, un soporte 802 proporcionado por la capa aislante o dieléctrica 66, la capa 116 y las capas 74, 82 y 108 del del medio de los chips 72 está entre la capa de conducción 56 del conector metálico 1b y el conector o pista metálica 55a en la capa de interconexión 106 expuesto por la vía pasante 164e con el propósito de soportar el conector o pista metálica 55a expuesto. El soporte 802 puede tener una altura, por ejemplo, de entre 0,5 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros, y un ancho, por ejemplo, de entre 0,3 y 30 micrómetros, y preferentemente de entre 0,3 y 10 micrómetros, 0,3 y 5 micrómetros, o de entre 0,3 y 1 micrómetros.

[0417] La fig. 163 es un primer ejemplo de una vista en perspectiva superior esquemática que muestra la vía pasante 164e, el anillo aislante 500a que rodea la vía pasante 164e y el conector o pista metálica 55a como se ilustra en la fig. 162. La vista en perspectiva superior esquemática mostrada en la fig. 163 es similar a la vista en perspectiva superior esquemática mostrada en la fig. 42, excepto que la vía pasante 164e mostrada en la fig. 163 se forma dentro de uno de los anillos aislantes 500a en el del medio de los chips 72. Para obtener una descripción más detallada acerca de la vía pasante 164e y el conector o pista metálica 55a como se muestra en las figs. 162 y 163, consúltese la ilustración de las figs. 41 y 42.

[0418] La fig. 164 es un segundo ejemplo de una vista en perspectiva superior esquemática que muestra la vía pasante 164e, el anillo aislante 500a que rodea la vía 164e y el conector o pista metálica 55a como se ilustra en la fig. 162. La vista en perspectiva superior esquemática mostrada en la fig. 164 es similar a la vista en perspectiva superior esquemática mostrada en la fig. 43, excepto que la vía pasante 164e mostrada en la fig. 164 se forma dentro de uno de los anillos aislantes 500a en el del medio de los chips 72. Para obtener una descripción más detallada acerca de la vía pasante 164e y el conector o pista metálica 55a como se muestra en las figs. 162 y 164, consúltese la ilustración de las figs. 41 y 43.

[0419] La fig. 165 es un tercer ejemplo de una vista en perspectiva superior esquemática que muestra la vía pasante 164e, el anillo aislante 500a que rodea la vía pasante 164e y el conector o pista metálica 55a como se ilustra en la fig. 162. La vista en perspectiva superior esquemática mostrada en la fig. 165 es similar a la vista en perspectiva superior esquemática mostrada en la fig. 44, excepto que la vía pasante 164e mostrada en la fig. 165 se forma dentro de uno de los anillos aislantes 500a en el del medio de los chips 72. Para obtener una descripción más detallada acerca de la vía pasante 164e y el conector o pista metálica 55a como se muestra en las figs. 162 y 165, consúltese la ilustración de las figs. 41 y 44.

[0420] La fig. 166 es un cuarto ejemplo de una vista en perspectiva superior esquemática que muestra la vía pasante 164e, el anillo aislante 500a que rodea la vía pasante 164e y el conector o pista metálica 55a como se ilustra en la fig. 162. La vista en perspectiva superior esquemática mostrada en la fig. 166 es similar a la vista en perspectiva superior esquemática mostrada en la fig. 42A, excepto que la vía pasante 164e mostrada en la fig. 166 se forma dentro de uno de los anillos aislantes 500a en el del medio de los chips 72. Para obtener una descripción más detallada acerca de la vía pasante 164e y el conector o pista metálica 55a como se muestra en la fig. 166, consúltese la ilustración de la fig. 42A.

[0421] En referencia a la fig. 167, después de formar la estructura ilustrada en la fig. 162, se forman múltiples zanjas 88t en la capa dieléctrica 88. Las zanjas 88t en la capa dieléctrica 88 tienen una profundidad D6, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,5 y 3 micrómetros. La capa dieléctrica 88 debajo de las zanjas 88t tiene un grosor restante T13, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 5 micrómetros, de entre 0,5 y 2 micrómetros, de entre 0,1 y 3 micrómetros o de entre 0,2 y 1,5 micrómetros. Las etapas de formación de las zanjas 88t en la capa dieléctrica 88 pueden hacer referencia a las etapas de formación de las zanjas 60t en la capa dieléctrica 60 como se ilustra en las figs. 153-155. Las zanjas 88t formadas en la capa dieléctrica 88 se usan para proporcionar huecos que tienen conectores entre chips y conectores intrachip formados en los mismos. La fig. 168 es un ejemplo de una vista en perspectiva superior esquemática que muestra las zanjas 88t y las vías pasantes 164v mostradas en la fig. 162, y la fig. 162 es una vista en sección transversal cortada a lo largo de la línea H-H mostrada en la fig. 168.

[0422] De forma alternativa, se pueden formar las zanjas 88t ilustradas en la fig. 167 en la capa dieléctrica 88 antes de que se formen las vías pasantes 164v ilustradas en la fig. 162 en los chips 72 y en el/los sustrato(s) inactivo(s) 165. Específicamente, después de que se forma la capa dieléctrica 88 sobre las superficies 96s, 98s, 165s y 500t como se muestra en la fig. 161, se forman las zanjas 88t ilustradas en la fig. 167 en la capa dieléctrica 88, y a continuación se forman las vías pasantes 164v ilustradas en la fig. 162 en los chips 72 y en el/los sustrato(s) inactivo(s) 165, exponiendo la capa de conducción 56 de los conectores metálicos 1 y exponiendo las capas 114 y 106 de los chips 72.

[0423] De forma alternativa, en referencia a la fig. 167A, se pueden formar la capa dieléctrica 88, las zanjas 88t y las vías pasantes 164v como se muestra en la fig. 167 por las siguientes etapas. Después de formar la estructura ilustrada en la fig. 160, se forma una capa aislante 88a, tal como una capa de óxido de silicio, nitruro de silicio, oxinitruro de silicio, carbonitruro de silicio u oxycarburo de silicio, que tiene un grosor C3, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,2 y 1,5 micrómetros o de entre 0,15 y 2 micrómetros, sobre la superficie 96s del sustrato semiconductor 96 de cada chip 72, sobre la(s) superficie(s) 165s del/de los sustrato(s) inactivo(s) 165, sobre las superficies inferiores expuestas 500t de los anillos aislantes 500a en los chips 72, y sobre la superficie 98s del material de encapsulación/relleno de huecos 98 como se muestra en la fig. 160.

[0424] Seguidamente, se forma una capa de polímero 88b, tal como una capa de poliimida, benzociclobuteno (BCB), epoxi, polibenzoxazol (PBO) u poli(óxido de fenileno) (PPO), sobre la capa aislante 88a usando un procedimiento adecuado, tal como procedimiento de recubrimiento por rotación, procedimiento de serigrafía o procedimiento de laminación. Seguidamente, se puede emplear un procedimiento de exposición y un procedimiento de revelado para formar las zanjas 88t, exponiendo la capa aislante 88a, en la capa de polímero 88b. Se puede usar un paso a paso IX o un alineador de contacto IX para exponer la capa de polímero 88b durante el procedimiento de exposición. Seguidamente, la capa de polímero 88b se cura o calienta a una temperatura de entre 150 grados centígrados y 400 grados centígrados, y preferentemente de entre 180 grados centígrados y 250 grados centígrados. La capa de polímero 88b después de curarse o calentarse tiene un grosor C4, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros.

[0425] Seguidamente, se forma una capa fotorresistente sobre la capa aislante 88a expuesta por las zanjas 88t y sobre la capa de polímero 88b, y múltiples aberturas en la capa fotorresistente exponen la capa aislante 88a en las partes inferiores de las zanjas 88t. Seguidamente, se elimina la capa aislante 88a debajo de las aberturas en la capa fotorresistente usando un procedimiento adecuado, tal como procedimiento de grabado por plasma anisotrópico. Seguidamente, se decapan el/los sustrato(s) inactivo(s) 165 debajo de las aberturas en la capa fotorresistente y los chips 72 debajo de las aberturas en la capa fotorresistente hasta que se exponen las regiones predeterminadas de las capas 106 y 114 en los chips 72 y las regiones predeterminadas de la capa de conducción 56 de los conectores metálicos 1 por las aberturas en la capa fotorresistente. Seguidamente, se elimina la capa fotorresistente usando, por ejemplo, una sustancia química orgánica. En consecuencia, se forman las vías pasantes 164v, incluyendo las vías pasantes 164a, 164b, 164c, 164d y 164e, en los chips 72 y en el/los sustrato(s) inactivo(s) 165, exponiendo la capa de conducción 56 de los conectores metálicos 1 y exponiendo las capas 106 y 114 de los chips 72. Las especificaciones de las vías pasantes 164v y el soporte 802 mostrados en la fig. 167A pueden hacer referencia a las especificaciones de las vías pasantes 164v y el soporte 802, respectivamente, ilustrados en las figs. 162-166.

[0426] En consecuencia, usando las etapas mencionadas anteriormente, la capa dieléctrica 88 mencionada anteriormente también puede estar provista de la capa aislante 88a y la capa de polímero 88b sobre la capa aislante 88a. Las zanjas 88t en la capa de polímero 88b exponen la capa aislante 88a y se usan para proporcionar huecos que tienen conectores entre chips y conectores intrachip formados en los mismos. Las vías pasantes 164v se forman debajo de las zanjas 88t. También, la fig. 168 puede ser un ejemplo de una vista en perspectiva superior esquemática que muestra las zanjas 88t y las vías pasantes 164v mostradas en la fig. 167A, y la fig. 167A también puede ser una vista en sección transversal cortada a lo largo de la línea H-H mostrada en la fig. 168.

[0427] En referencia a la fig. 169, después de formar la estructura ilustrada en la fig. 167 o en la fig. 167A, se forman múltiples conectores metálicos (o pistas metálicas damasquinadas) 2, incluyendo los conectores metálicos (o pistas metálicas damasquinadas) 2a y 2b en las zanjas 88t, y se forman múltiples tapones metálicos (o vías metálicas) 6p

en las vías pasantes 164v. Los tapones metálicos 6p incluyen los tapones metálicos (o vías metálicas) 6a, 6b, 6c, 6d y 6e en las vías pasantes 164a, 164b, 164c, 164d y 164e, respectivamente. El tapón metálico 6a se forma en el sustrato inactivo 165, los tapones metálicos 6b y 6c se forman en el de la izquierda de los chips 72, y los tapones metálicos 6d y 6e se forman en el del medio de los chips 72. El soporte 802 y el conector o pista metálica 55a, en la capa de interconexión 106, sobre el soporte 802 pueden estar entre dos partes, más bajas que un nivel horizontal, en el que se sitúa una superficie superior de la capa de interconexión 106, del tapón metálico 6e.

[0428] Los conectores metálicos 2 en las zanjas 88t y los tapones metálicos 6p en las vías pasantes 164v se pueden formar por las siguientes etapas. En primer lugar, se forma la capa de adhesión/barrera 92 ilustrada en la fig. 51 sobre las capas 56, 106 y 114 expuestas por las vías pasantes 164v, sobre las paredes laterales de las vías pasantes 164v, sobre las paredes laterales y las partes inferiores de las zanjas 88t (o sobre las paredes laterales de las zanjas 88t en la capa de polímero 88b y sobre una superficie superior de la capa aislante 88a en las partes inferiores de las zanjas 88t), y sobre el conector o pista metálica 55a que está sobre el soporte 802 por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD), o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se forma la capa germinal 94 ilustrada en la fig. 51 sobre la capa de adhesión/barrera 92, en las vías pasantes 164v, y en las zanjas 88t por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD), o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se forma la capa de conducción 86 ilustrada en la fig. 51 sobre la capa germinal 94, en las vías pasantes 164v, y en las zanjas 88t usando un procedimiento adecuado, tal como procedimiento de electrochapado. Seguidamente, se rectifican o pulen las capas 92, 94 y 86 usando un procedimiento adecuado, tal como procedimiento de pulido químico-mecánico (CMP), procedimiento de pulido mecánico, procedimiento de rectificado mecánico, o un procedimiento que incluye pulido mecánico y grabado químico, hasta que la capa dieléctrica 88 tiene una superficie superior expuesta 88s, encima de la que no hay partes de las capas 92, 94 y 86, y se eliminan las capas 92, 94 y 86 fuera de las zanjas 88t. En consecuencia, las capas 92, 94 y 86 en las zanjas 88t componen los conectores metálicos 2, incluyendo los conectores metálicos 2a y 2b, en las zanjas 88t. Las capas 92, 94 y 86 en las vías pasantes 164v componen los tapones metálicos 6p en las vías pasantes 164v, incluyendo los tapones metálicos 6a, 6b, 6c, 6d y 6e en las vías pasantes 164a, 164b, 164c, 164d y 164e, respectivamente. La capa de adhesión/barrera 92 y la capa germinal 94 están en las paredes laterales y una parte inferior de la capa de conducción 86 en las zanjas 88t, y las paredes laterales y la parte inferior de la capa de conducción 86 en las zanjas 88t están cubiertas por la capa de adhesión/barrera 92 y la capa germinal 94.

[0429] En una primera alternativa, después de que se rectifican o pulen las capas 92, 94 y 86, la capa de adhesión/barrera 92 puede ser una capa que contiene titanio, tal como una capa única de titanio, aleación de titanio-volframio o nitruro de titanio, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales y las partes inferiores de las zanjas 88t (o sobre las paredes laterales de las zanjas 88t en la capa de polímero 88b y sobre la superficie superior de la capa aislante 88a en las partes inferiores de las zanjas 88t), sobre las capas 56, 106 y 114 en las partes inferiores de las vías pasantes 164v, sobre las paredes laterales de las vías pasantes 164v, y sobre el conector o pista metálica 55a que está sobre el soporte 802. La capa germinal 94 puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene titanio, en las zanjas 88t, y en las vías pasantes 164v. La capa de conducción 86 puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjas 88t, y en las vías pasantes 164v. La capa de cobre electrochapado en las zanjas 88t tiene un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 1,5 micrómetros o de entre 0,5 y 3 micrómetros, en caso de que la capa dieléctrica 88, las zanjas 88t y las vías pasantes 164v se formen como se ilustra en las figs. 161-167. De forma alternativa, la capa de cobre electrochapado en las zanjas 88t tiene un grosor, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros, en caso de que la capa dieléctrica 88 compuesta por las capas 88a y 88b, las zanjas 88t y las vías pasantes 164v se formen como se ilustra en la fig. 167A.

[0430] En una segunda alternativa, después de que se rectifican o pulen las capas 92, 94 y 86, la capa de adhesión/barrera 92 puede ser una capa que contiene tántalo, tal como una capa única de tántalo o nitruro de tántalo, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales y las partes inferiores de las zanjas 88t (o sobre las paredes laterales de las zanjas 88t en la capa de polímero 88b y sobre la superficie superior de la capa aislante 88a en las partes inferiores de las zanjas 88t), sobre las capas 56, 106 y 114 en las partes inferiores de las vías pasantes 164v, sobre las paredes laterales de las vías pasantes 164v, y sobre el conector o pista metálica 55a que está sobre el soporte 802. La capa germinal 94 puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene tántalo, en las zanjas 88t, y en las vías pasantes 164v. La capa de conducción 86 puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjas 88t, y en las vías pasantes 164v. La capa de cobre electrochapado en las zanjas 88t tiene un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 1,5 micrómetros o de entre 0,5 y 3 micrómetros, en caso de que la capa dieléctrica 88, las zanjas 88t y las vías pasantes 164v se formen

como se ilustra en las figs. 161-167. De forma alternativa, la capa de cobre electrochapado en las zanjas 88t tiene un grosor, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros, en caso de que la capa dieléctrica 88 compuesta por las capas 88a y 88b, las zanjas 88t y las vías pasantes 164v se formen como se ilustra en la fig. 167A.

[0431] En una tercera alternativa, después de que se rectifican o pulen las capas 92, 94 y 86, la capa de adhesión/barrera 92 puede ser una capa que contiene cromo, tal como una capa única de cromo, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales y las partes inferiores de las zanjas 88t (o sobre las paredes laterales de las zanjas 88t en la capa de polímero 88b y sobre la superficie superior de la capa aislante 88a en las partes inferiores de las zanjas 88t), sobre las capas 56, 106 y 114 en las partes inferiores de las vías pasantes 164v, sobre las paredes laterales de las vías pasantes 164v, y sobre el conector o pista metálica 55a que está sobre el soporte 802. La capa germinal 94 puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene cromo, en las zanjas 88t, y en las vías pasantes 164v. La capa de conducción 86 puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjas 88t, y en las vías pasantes 164v. La capa de cobre electrochapado en las zanjas 88t tiene un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 1,5 micrómetros o de entre 0,5 y 3 micrómetros, en caso de que la capa dieléctrica 88, las zanjas 88t y las vías pasantes 164v se formen como se ilustra en las figs. 161-167. De forma alternativa, la capa de cobre electrochapado en las zanjas 88t tiene un grosor, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros, en caso de que la capa dieléctrica 88 compuesta por las capas 88a y 88b, las zanjas 88t y las vías pasantes 164v se formen como se ilustra en la fig. 167A.

[0432] La superficie superior expuesta 88s de la capa dieléctrica 88 puede ser sustancialmente coplanaria con la superficie rectificada o pulida 86s de la capa de conducción 86 en las zanjas 88t, y las superficies 86s y 88s pueden ser sustancialmente planas. Después de que se rectifican o pulen las capas 92, 94 y 86, la capa dieléctrica 88 puede tener un grosor, entre la superficie superior expuesta 88s y la superficie 96s o 165s, por ejemplo, de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 3 micrómetros, en caso de que la capa dieléctrica 88, las zanjas 88t y las vías pasantes 164v se formen como se ilustra en las figs. 161-167. De forma alternativa, después de que se rectifican o pulen las capas 92, 94 y 86, la capa de polímero 88b de la capa dieléctrica 88 puede tener un grosor, entre la superficie superior expuesta 88s de la capa de polímero 88b y la superficie superior de la capa aislante 88a, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros, en caso de que la capa dieléctrica 88 compuesta por las capas 88a y 88b, las zanjas 88t y las vías pasantes 164v se formen como se ilustra en la fig. 167A.

[0433] Cada uno de los tapones metálicos 6p en los chips 72 pasa a través de uno de los anillos aislantes 500a en los chips 72. Por ejemplo, los tapones metálicos 6b y 6c en el de la izquierda de los chips 72 pasan a través de los anillos aislantes 500a en el de la izquierda de los chips 72, y los tapones metálicos 6d y 6e en el del medio de los chips 72 pasan a través de los anillos aislantes 500a en el del medio de los chips 72. Específicamente, cada uno de los tapones metálicos 6b y 6c pasa a través del sustrato semiconductor 96 del de la izquierda de los chips 72 y está rodeado por uno de los anillos aislantes 500a en el de la izquierda de los chips 72, y cada uno de los tapones metálicos 6d y 6e pasa a través del sustrato semiconductor 96 del del medio de los chips 72 y está rodeado por uno de los anillos aislantes 500a en el del medio de los chips 72. El sustrato semiconductor 96 del de la izquierda de los chips 72 tiene una parte sobre una superficie interna del anillo aislante 500a que rodea el tapón metálico 6b, y el sustrato semiconductor 96 del del medio de los chips 72 tiene una parte sobre una superficie interna del anillo aislante 500a que rodea el tapón metálico 6d. El anillo aislante 500a que rodea el tapón metálico 6c está en la pared lateral del tapón metálico 6c y se pone en contacto con el tapón metálico 6c, y el anillo aislante 500a que rodea el tapón metálico 6e está en la pared lateral del tapón metálico 6e y se pone en contacto con el tapón metálico 6e. Para obtener una descripción más detallada acerca de los tapones metálicos 6p (incluyendo los tapones metálicos 6a-6e) y los conectores metálicos 2 (incluyendo los conectores metálicos 2a y 2b) mostrados en la fig. 169, consúltese la ilustración de la fig. 52.

[0434] De forma alternativa, el elemento 72 no solo puede indicar un chip, sino que también puede indicar una oblea. Cuando el elemento 72 es una oblea, el elemento 68 puede ser otra oblea. De este modo, el procedimiento ilustrado en la invención se puede emplear para la unión de oblea a oblea.

[0435] En referencia a la fig. 170, después de formar la estructura ilustrada en la fig. 169, se forma la capa aislante o dieléctrica 120 ilustrada en la fig. 53 sobre la superficie de rectificado o pulido 86s de la capa de conducción 86 y sobre la superficie superior expuesta 88s de la capa dieléctrica 88. Seguidamente, se colocan múltiples chips 118, de los que cada uno es como el chip 118a o 118b ilustrado en la fig. 141L, y el/los sustrato(s) inactivo(s) 158 descrito(s) previamente encima de la capa 140, lo que puede hacer referencia a las etapas ilustradas en las figs. 54-59. La disposición de colocación de los chips 118 y el/los sustrato(s) inactivo(s) 158 encima de la capa aislante o dieléctrica 120, en el modo de realización, puede hacer referencia a la de la colocación de los chips 118 y el/los sustrato(s) inactivo(s) 158 encima de la capa aislante o dieléctrica 120 como se ilustra en la fig. 58 o 59.

[0436] Seguidamente, en referencia a la fig. 171, se forma un material de encapsulación/relleno de huecos 138 sobre un lado posterior del sustrato semiconductor 124 de cada chip 118, sobre el/los sustrato(s) inactivo(s) 158, y en los huecos 4b y 8b. Seguidamente, el material de encapsulación/relleno de huecos 138, el lado posterior del sustrato semiconductor 124 de cada chip 118, y el/los sustrato(s) inactivo(s) 158 se rectifican o pulen por un procedimiento adecuado, tal como procedimiento de rectificado mecánico, procedimiento de pulido mecánico, procedimiento de pulido químico-mecánico (CMP), o un procedimiento que incluye pulido mecánico y grabado químico, hasta que todos los anillos aislantes 500a en los chips 118 tienen superficies inferiores expuestas 500u, encima de las que no hay partes de los sustratos semiconductores 124. Las etapas de formación del material de encapsulación/relleno de huecos 138 y rectificado o pulido del material de encapsulación/relleno de huecos 138, el lado posterior del sustrato semiconductor 124 de cada chip 118, y el/los sustrato(s) inactivo(s) 158 ilustradas en la fig. 171 pueden hacer referencia a las etapas de formación del material de encapsulación/relleno de huecos 64 y rectificado o pulido del material de encapsulación/relleno de huecos 64, el lado posterior del sustrato semiconductor 58 de cada chip 68, y el/los sustrato(s) inactivo(s) 62 como se ilustra en las figs. 143-146. El material de encapsulación/relleno de huecos 138 puede ser polisilicio, óxido de silicio o un polímero.

[0437] En consecuencia, el sustrato semiconductor 124 de cada uno de los chips 118 se puede estrechar a un grosor T15, por ejemplo, de entre 1 y 100 micrómetros, de entre 1 y 50 micrómetros, de entre 1 y 30 micrómetros, de entre 1 y 10 micrómetros o de entre 1 y 5 micrómetros, y preferentemente de entre 2 y 20 micrómetros o de entre 3 y 30 micrómetros. Con respecto a cada uno de los chips 118, después del procedimiento de rectificado o pulido, los anillos aislantes 500a y el sustrato semiconductor 124 pueden tener el mismo grosor T15. Preferentemente, cada uno de los chips 118, después del procedimiento de rectificado o pulido, puede tener un grosor, por ejemplo, de entre 3 y 105 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros.

[0438] Después del procedimiento de rectificado o pulido, el/los sustrato(s) inactivo(s) 158 se puede(n) estrechar a un grosor T16, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros, y el material de encapsulación/relleno de huecos 138 restante en los huecos 4b y 8b puede tener un grosor vertical T17, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros. La superficie rectificadora o pulida 124s del sustrato semiconductor 124, en el lado posterior de cada chip 118, y la(s) superficie(s) rectificadora(s) o pulida(s) 158s del/de los sustrato(s) inactivo(s) 158 pueden ser sustancialmente planas y no estar cubiertas por el material de encapsulación/relleno de huecos 138. La(s) superficie(s) rectificadora(s) o pulida(s) 158s puede(n) ser sustancialmente coplanaria(s) con la superficie rectificadora o pulida 124s de cada chip 118, con la superficie rectificadora o pulida 138s del material de encapsulación/relleno de huecos 138 en los huecos 4b y 8b, y con las superficies inferiores expuestas 500u de los anillos aislantes 500a en los chips 118. En cada chip 118, una distancia vertical D16 entre la superficie rectificadora o pulida 124s del sustrato semiconductor 124 y la parte inferior del aislamiento de zanjas poco profundas 500b puede ser, por ejemplo, mayor de 0,1 micrómetros, tal como de entre 1 y 100 micrómetros, de entre 1 y 50 micrómetros, de entre 1 y 25 micrómetros, de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 0,1 y 2 micrómetros.

[0439] En referencia a la fig. 172, después de formar la estructura ilustrada en la fig. 171, se forma la capa dieléctrica 139 ilustrada en la fig. 64 sobre la superficie 124s del sustrato semiconductor 124 de cada chip 118, sobre la(s) superficie(s) 158s del/de los sustrato(s) inactivo(s) 158, sobre las superficies inferiores expuestas 500u de los anillos aislantes 500a en los chips 118, y sobre la superficie 138s del material de encapsulación/relleno de huecos 138.

[0440] Seguidamente, en referencia a la fig. 173, se forman múltiples vías pasantes 156v, incluyendo las vías pasantes 156a, 156b, 156c, 156d, 156e y 156f, en los chips 118 y en el/los sustrato(s) inactivo(s) 158, exponiendo la capa de conducción 86 de los conectores metálicos 2 y exponiendo las capas 17 y 19 de los chips 118, lo que puede hacer referencia a las etapas ilustradas en la fig. 65, pero, en el modo de realización, la formación de las vías pasantes 156v (tales como las vías 156b-156f) en los chips 118 incluye el grabado a través de los sustratos semiconductores 124 rodeados por los anillos aislantes 500a en los chips 118. Cada una de las vías pasantes 156v en los chips 118 pasa a través de uno de los anillos aislantes 500a en los chips 118. Por ejemplo, las vías pasantes 156b, 156c y 156d en el de la izquierda de los chips 118 pasan a través de los anillos aislantes 500a en el de la izquierda de los chips 118, y las vías pasantes 156e y 156f en el del medio de los chips 118 pasan a través de los anillos aislantes 500a en el del medio de los chips 118.

[0441] La formación de las vías pasantes 156b, 156c, 156d, 156e y 156f incluye un procedimiento de grabado a través de los sustratos semiconductores 124 rodeados por los anillos aislantes 500a. En particular, la formación de la vía pasante 156b incluye un procedimiento de decapado de la parte completa, rodeada por uno de los anillos aislantes 500a, del sustrato semiconductor 124. En consecuencia, las vías pasantes 156b, 156c y 156d pasan a través del sustrato semiconductor 124 en el de la izquierda de los chips 118 y están rodeadas por los anillos aislantes 500a en el de la izquierda de los chips 118, y las vías pasantes 156e y 156f pasan a través del sustrato semiconductor 124 en el del medio de los chips 118 y están rodeadas por los anillos aislantes 500a en el del medio de los chips 118. El sustrato semiconductor 124 del de la izquierda de los chips 118 tiene partes sobre las superficies internas de los anillos aislantes 500a que rodean las vías pasantes 156c y 156d en el de la izquierda de los chips 118, y el sustrato semiconductor 124 del del medio de los chips 118 tiene partes sobre las superficies internas de los anillos aislantes 500a que rodean las vías pasantes 156e y 156f en el del medio de los chips 118. El anillo aislante 500a que rodea la vía pasante 156b está en la pared lateral de la vía pasante 156b y está expuesto por la vía pasante 156b. El anillo

aislante 500a que rodea la vía pasante 156d tiene una parte en la pared lateral de la vía pasante 156d y está expuesto por la vía pasante 156d. El anillo aislante 500a que rodea la vía pasante 156f tiene una parte en la pared lateral de la vía pasante 156f y está expuesto por la vía pasante 156f.

[0442] Cada una de las vías pasantes 156v, tales como la vía pasante 156a, 156b, 156c, 156d, 156e o 156f, puede tener un ancho o un diámetro, por ejemplo, de entre 0,5 y 100 micrómetros, de entre 0,5 y 50 micrómetros, de entre 0,5 y 30 micrómetros, de entre 0,5 y 20 micrómetros, de entre 0,5 y 10 micrómetros o de entre 0,5 y 5 micrómetros, y preferentemente de entre 1 y 3 micrómetros. Para obtener una descripción más detallada acerca de las vías pasantes 156v, tales como las vías pasantes 156a-156f, consúltase la ilustración de la fig. 65.

[0443] Como se muestra en la fig. 173, un soporte 803 proporcionado por la capa aislante o dieléctrica 120, la capa 140 y las capas 21, 78 y 28 del medio de los chips 118 está entre la capa de conducción 86 del conector metálico 2b y el conector o pista metálica 75a en la capa de interconexión 17 expuesto por la vía pasante 156e con el propósito de soportar el conector o pista metálica 75a expuesto. El soporte 803 puede tener una altura, por ejemplo, de entre 0,5 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros, y un ancho, por ejemplo, de entre 0,3 y 30 micrómetros, y preferentemente de entre 0,3 y 10 micrómetros, 0,3 y 5 micrómetros, o de entre 0,3 y 1 micrómetros.

[0444] La fig. 174 es un primer ejemplo de una vista en perspectiva superior esquemática que muestra la vía pasante 156e, uno de los anillos aislantes 500a en el medio de los chips 118, y el conector o pista metálica 75a en el medio de los chips 118 como se ilustra en la fig. 173. La vista en perspectiva superior esquemática mostrada en la fig. 174 es similar a la vista en perspectiva superior esquemática mostrada en la fig. 66, excepto que la vía pasante 156e mostrada en la fig. 174 se forma dentro de uno de los anillos aislantes 500a. Para obtener una descripción más detallada acerca de la vía pasante 156e y el conector o pista metálica 75a como se muestra en las figs. 173 y 174, consúltase la ilustración de las figs. 65 y 66.

[0445] La fig. 175 es un segundo ejemplo de una vista en perspectiva superior esquemática que muestra la vía pasante 156e, uno de los anillos aislantes 500a en el medio de los chips 118, y el conector o pista metálica 75a como se ilustra en la fig. 173. La vista en perspectiva superior esquemática mostrada en la fig. 175 es similar a la vista en perspectiva superior esquemática mostrada en la fig. 67, excepto que la vía pasante 156e mostrada en la fig. 175 se forma dentro de uno de los anillos aislantes 500a. Para obtener una descripción más detallada acerca de la vía pasante 156e y el conector o pista metálica 75a como se muestra en las figs. 173 y 175, consúltase la ilustración de las figs. 65 y 67.

[0446] La fig. 176 es un tercer ejemplo de una vista en perspectiva superior esquemática que muestra la vía pasante 156e, uno de los anillos aislantes 500a en el medio de los chips 118, y el conector o pista metálica 75a como se ilustra en la fig. 173. La vista en perspectiva superior esquemática mostrada en la fig. 176 es similar a la vista en perspectiva superior esquemática mostrada en la fig. 68, excepto que la vía pasante 156e mostrada en la fig. 176 se forma dentro de uno de los anillos aislantes 500a. Para obtener una descripción más detallada acerca de la vía pasante 156e y el conector o pista metálica 75a como se muestra en las figs. 173 y 176, consúltase la ilustración de las figs. 65 y 68.

[0447] La fig. 177 es un cuarto ejemplo de una vista en perspectiva superior esquemática que muestra la vía pasante 156e, uno de los anillos aislantes 500a en el medio de los chips 118, y el conector o pista metálica 75a como se ilustra en la fig. 173. La vista en perspectiva superior esquemática mostrada en la fig. 177 es similar a la vista en perspectiva superior esquemática mostrada en la fig. 66A, excepto que la vía pasante 156e mostrada en la fig. 177 se forma dentro de uno de los anillos aislantes 500a. Para obtener una descripción más detallada acerca de la vía pasante 156e y el conector o pista metálica 75a como se muestra en la fig. 177, consúltase la ilustración de la fig. 66A.

[0448] En referencia a la fig. 178, después de formar la estructura ilustrada en la fig. 173, se forman múltiples zanjas 139t en la capa dieléctrica 139. Las zanjas 139t en la capa dieléctrica 139 tienen una profundidad D9, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,5 y 3 micrómetros. La capa dieléctrica 139 debajo de las zanjas 139t tiene un grosor restante T20, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 5 micrómetros, de entre 0,5 y 2 micrómetros, de entre 0,1 y 3 micrómetros o de entre 0,2 y 1,5 micrómetros. Las etapas de formación de las zanjas 139t en la capa dieléctrica 139 pueden hacer referencia a las etapas de formación de las zanjas 60t en la capa dieléctrica 60 como se ilustra en las figs. 153-155. Las zanjas 139t formadas en la capa dieléctrica 139 se usan para proporcionar huecos que tienen conectores entre chips y conectores intrachip formados en los mismos. La fig. 179 es un ejemplo de una vista en perspectiva superior esquemática que muestra las zanjas 139t y las vías pasantes 156v mostradas en la fig. 178, y la fig. 178 es una vista en sección transversal cortada a lo largo de la línea K-K mostrada en la fig. 179.

[0449] De forma alternativa, se pueden formar las zanjas 139t ilustradas en la fig. 178 en la capa dieléctrica 139 antes de que se formen las vías pasantes 156v ilustradas en la fig. 173 en los chips 118 y en el/los sustrato(s) inactivo(s) 158. Específicamente, después de que se forma la capa dieléctrica 139 sobre las superficies 124s, 138s, 158s y 500u como se muestra en la fig. 172, se forman las zanjas 139t ilustradas en la fig. 178 en la capa dieléctrica 139, y a continuación se forman las vías pasantes 156v ilustradas en la fig. 173 en los chips 118 y en el/los sustrato(s)

inactivo(s) 158, exponiendo la capa de conducción 86 de los conectores metálicos 2 y exponiendo las capas 17 y 19 de los chips 118.

[0450] De forma alternativa, en referencia a la fig. 178A, se pueden formar la capa dieléctrica 139, las zanjás 139t y las vías pasantes 156v como se muestra en la fig. 178 por las siguientes etapas. Después de formar la estructura ilustrada en la fig. 171, se forma una capa aislante 139a, tal como una capa de óxido de silicio, nitruro de silicio, oxinitruro de silicio, carbonitruro de silicio u oxicarbonuro de silicio, que tiene un grosor C5, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,2 y 1,5 micrómetros o de entre 0,15 y 2 micrómetros, sobre la superficie 124s del sustrato semiconductor 124 de cada chip 118, sobre la(s) superficie(s) 158s del/de los sustrato(s) inactivo(s) 158, sobre las superficies inferiores expuestas 500u de los anillos aislantes 500a en los chips 118, y sobre la superficie 138s del material de encapsulación/relleno de huecos 138 como se muestra en la fig. 171.

[0451] Seguidamente, se forma una capa de polímero 139b, tal como una capa de poliimida, benzociclobuteno (BCB), epoxi, polibenzoxazol (PBO) u poli(óxido de fenileno) (PPO), sobre la capa aislante 139a usando un procedimiento adecuado, tal como procedimiento de recubrimiento por rotación, procedimiento de serigrafía o procedimiento de laminación. Seguidamente, se puede emplear un procedimiento de exposición y un procedimiento de revelado para formar las zanjás 139t, exponiendo la capa aislante 139a, en la capa de polímero 139b. Se puede usar un paso a paso 1X o un alineador de contacto 1X para exponer la capa de polímero 139b durante el procedimiento de exposición. Seguidamente, la capa de polímero 139b se cura o calienta a una temperatura de entre 150 grados centígrados y 400 grados centígrados, y preferentemente de entre 180 grados centígrados y 250 grados centígrados. La capa de polímero 139b después de curarse o calentarse tiene un grosor C6, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros.

[0452] Seguidamente, se forma una capa fotorresistente sobre la capa aislante 139a expuesta por las zanjás 139t y sobre la capa de polímero 139b, y múltiples aberturas en la capa fotorresistente exponen la capa aislante 139a en las partes inferiores de las zanjás 139t. Seguidamente, se elimina la capa aislante 139a debajo de las aberturas en la capa fotorresistente usando un procedimiento adecuado, tal como procedimiento de grabado por plasma anisotrópico. Seguidamente, se decapan el/los sustrato(s) inactivo(s) 158 debajo de las aberturas en la capa fotorresistente y los chips 118 debajo de las aberturas en la capa fotorresistente hasta que se exponen las regiones predeterminadas de las capas 17 y 19 en los chips 118 y las regiones predeterminadas de la capa de conducción 86 de los conectores metálicos 2 por las aberturas en la capa fotorresistente. Seguidamente, se elimina la capa fotorresistente usando, por ejemplo, una sustancia química orgánica. En consecuencia, se forman las vías pasantes 156v, incluyendo las vías pasantes 156a, 156b, 156c, 156d, 156e y 156f, en los chips 118 y en el/los sustrato(s) inactivo(s) 158, exponiendo la capa de conducción 86 de los conectores metálicos 2 y exponiendo las capas 17 y 19 de los chips 118. Las especificaciones de las vías pasantes 156v y el soporte 803 mostrados en la fig. 178A pueden hacer referencia a las especificaciones de las vías pasantes 156v y el soporte 803, respectivamente, ilustrados en las figs. 173-177.

[0453] En consecuencia, usando las etapas mencionadas anteriormente, la capa dieléctrica 139 mencionada anteriormente también puede estar provista de la capa aislante 139a y la capa de polímero 139b sobre la capa aislante 139a. Las zanjás 139t en la capa de polímero 139b exponen la capa aislante 139a y se usan para proporcionar huecos que tienen conectores entre chips y conectores intrachip formados en los mismos. Las vías pasantes 156v se forman debajo de las zanjás 139t. También, la fig. 179 puede ser un ejemplo de una vista en perspectiva superior esquemática que muestra las zanjás 139t y las vías pasantes 156v mostradas en la fig. 178A, y la fig. 178A también puede ser una vista en sección transversal cortada a lo largo de la línea K-K mostrada en la fig. 179.

[0454] En referencia a la fig. 180, después de formar la estructura ilustrada en la fig. 178 o en la fig. 178A, se forman múltiples conectores metálicos (o pistas metálicas damasquinadas) 3, incluyendo los conectores metálicos (o pistas metálicas damasquinadas) 3a, 3b y 3c en las zanjás 139t, y se forman múltiples tapones metálicos (o vías metálicas) 7p en las vías pasantes 156v. Los tapones metálicos 7p incluyen los tapones metálicos (o vías metálicas) 7a, 7b, 7c, 7d, 7e y 7f en las vías pasantes 156a, 156b, 156c, 156d, 156e y 156f, respectivamente. El tapón metálico 7a se forma en el sustrato inactivo 158, los tapones metálicos 7b, 7c y 7d se forman en el de la izquierda de los chips 118, y los tapones metálicos 7e y 7f se forman en el del medio de los chips 118. El soporte 803 y el conector o pista metálica 75a, en la capa de interconexión 17, sobre el soporte 803 pueden estar entre dos partes, más bajas que un nivel horizontal, en el que se sitúa una superficie superior de la capa de interconexión 17, del tapón metálico 7e.

[0455] Los conectores metálicos 3 en las zanjás 139t y los tapones metálicos 7p en las vías pasantes 156v se pueden formar por las siguientes etapas. En primer lugar, se forma la capa de adhesión/barrera 125a ilustrada en la fig. 75 sobre las capas 17, 19 y 86 expuestas por las vías pasantes 156v, sobre las paredes laterales de las vías pasantes 156v, sobre las paredes laterales y las partes inferiores de las zanjás 139t (o sobre las paredes laterales de las zanjás 139t en la capa de polímero 139b y sobre una superficie superior de la capa aislante 139a en las partes inferiores de las zanjás 139t), y sobre el conector o pista metálica 75a que está sobre el soporte 803 por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD), o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se forma la capa germinal 125b ilustrada en la fig. 75 sobre la capa de adhesión/barrera 125a, en las vías pasantes 156v, y en las zanjás 139t por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un

procedimiento de depósito químico de vapor (CVD), o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se forma la capa de conducción 125c ilustrada en la fig. 75 sobre la capa germinal 125b, en las vías pasantes 156v, y en las zanjías 139t usando un procedimiento adecuado, tal como procedimiento de electrochapado. Seguidamente, se rectifican o pulen las capas 125a, 125b y 125c usando un procedimiento adecuado, tal como procedimiento de pulido químico-mecánico (CMP), procedimiento de pulido mecánico, procedimiento de rectificado mecánico, o un procedimiento que incluye pulido mecánico y grabado químico, hasta que la capa dieléctrica 139 tiene una superficie superior expuesta 139s, encima de la que no hay partes de las capas 125a, 125b y 125c, y se eliminan las capas 125a, 125b y 125c fuera de las zanjías 139t. En consecuencia, las capas 125a, 125b y 125c en las zanjías 139t componen los conectores metálicos 3, incluyendo los conectores metálicos 3a, 3b y 3c, en las zanjías 139t. Las capas 125a, 125b y 125c en las vías pasantes 156v componen los tapones metálicos 7p en las vías pasantes 156v, incluyendo los tapones metálicos 7a, 7b, 7c, 7d, 7e y 7f en las vías pasantes 156a, 156b, 156c, 156d, 156e y 156f, respectivamente. La capa de adhesión/barrera 125a y la capa germinal 125b están en las paredes laterales y una parte inferior de la capa de conducción 125c en las zanjías 139t, y las paredes laterales y la parte inferior de la capa de conducción 125c en las zanjías 139t están cubiertas por la capa de adhesión/barrera 125a y la capa germinal 125b.

[0456] En una primera alternativa, después de que se rectifican o pulen las capas 125a, 125b y 125c, la capa de adhesión/barrera 125a puede ser una capa que contiene titanio, tal como una capa única de titanio, aleación de titanio-volframio o nitruro de titanio, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales y las partes inferiores de las zanjías 139t (o sobre las paredes laterales de las zanjías 139t en la capa de polímero 139b y sobre la superficie superior de la capa aislante 139a en las partes inferiores de las zanjías 139t), sobre las capas 17, 19 y 86 en las partes inferiores de las vías pasantes 156v, sobre las paredes laterales de las vías pasantes 156v, y sobre el conector o pista metálica 75a que está sobre el soporte 803. La capa germinal 125b puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene titanio, en las zanjías 139t, y en las vías pasantes 156v. La capa de conducción 125c puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjías 139t, y en las vías pasantes 156v. La capa de cobre electrochapado en las zanjías 139t tiene un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 1,5 micrómetros o de entre 0,5 y 3 micrómetros, en caso de que la capa dieléctrica 139, las zanjías 139t y las vías pasantes 156v se formen como se ilustra en las figs. 172-178. De forma alternativa, la capa de cobre electrochapado en las zanjías 139t tiene un grosor, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros, en caso de que la capa dieléctrica 139 compuesta por las capas 139a y 139b, las zanjías 139t y las vías pasantes 156v se formen como se ilustra en la fig. 178A.

[0457] En una segunda alternativa, después de que se rectifican o pulen las capas 125a, 125b y 125c, la capa de adhesión/barrera 125a puede ser una capa que contiene tántalo, tal como una capa única de tántalo o nitruro de tántalo, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales y las partes inferiores de las zanjías 139t (o sobre las paredes laterales de las zanjías 139t en la capa de polímero 139b y sobre la superficie superior de la capa aislante 139a en las partes inferiores de las zanjías 139t), sobre las capas 17, 19 y 86 en las partes inferiores de las vías pasantes 156v, sobre las paredes laterales de las vías pasantes 156v, y sobre el conector o pista metálica 75a que está sobre el soporte 803. La capa germinal 125b puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene tántalo, en las zanjías 139t, y en las vías pasantes 156v. La capa de conducción 125c puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjías 139t, y en las vías pasantes 156v. La capa de cobre electrochapado en las zanjías 139t puede tener un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 1,5 micrómetros o de entre 0,5 y 3 micrómetros. La capa de cobre electrochapado en las zanjías 139t tiene un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 1,5 micrómetros o de entre 0,5 y 3 micrómetros, en caso de que la capa dieléctrica 139, las zanjías 139t y las vías pasantes 156v se formen como se ilustra en las figs. 172-178. De forma alternativa, la capa de cobre electrochapado en las zanjías 139t tiene un grosor, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros, en caso de que la capa dieléctrica 139 compuesta por las capas 139a y 139b, las zanjías 139t y las vías pasantes 156v se formen como se ilustra en la fig. 178A.

[0458] En una tercera alternativa, después de que se rectifican o pulen las capas 125a, 125b y 125c, la capa de adhesión/barrera 125a puede ser una capa que contiene cromo, tal como una capa única de cromo, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales y las partes inferiores de las zanjías 139t (o sobre las paredes laterales de las zanjías 139t en la capa de polímero 139b y sobre la superficie superior de la capa aislante 139a en las partes inferiores de las zanjías 139t), sobre las capas 17, 19 y 86 en las partes inferiores de las vías pasantes 156v, sobre las paredes laterales de las vías pasantes 156v y sobre el conector o pista metálica 75a que está sobre el soporte 803. La capa germinal 125b puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene cromo, en las zanjías 139t, y en las vías pasantes 156v. La capa de

conducción 125c puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjas 139t, y en las vías pasantes 156v. La capa de cobre electrochapado en las zanjas 139t puede tener un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 1,5 micrómetros o de entre 0,5 y 3 micrómetros. La capa de cobre electrochapado en las zanjas 139t tiene un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 1,5 micrómetros o de entre 0,5 y 3 micrómetros, en caso de que la capa dieléctrica 139, las zanjas 139t y las vías pasantes 156v se formen como se ilustra en las figs. 172-178. De forma alternativa, la capa de cobre electrochapado en las zanjas 139t tiene un grosor, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros, en caso de que la capa dieléctrica 139 compuesta por las capas 139a y 139b, las zanjas 139t y las vías pasantes 156v se formen como se ilustra en la fig. 178A.

[0459] La superficie superior expuesta 139s de la capa dieléctrica 139 puede ser sustancialmente coplanaria con la superficie rectificada o pulida 227 de la capa de conducción 125c en las zanjas 139t, y las superficies 139s y 227 pueden ser sustancialmente planas. Después de que se rectifican o pulen las capas 125a, 125b y 125c, la capa dieléctrica 139 puede tener un grosor, entre la superficie superior expuesta 139s y la superficie 124s o 158s, por ejemplo, de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 3 micrómetros, en caso de que la capa dieléctrica 139, las zanjas 139t y las vías pasantes 156v se formen como se ilustra en las figs. 172-178. De forma alternativa, después de que se rectifican o pulen las capas 125a, 125b y 125c, la capa de polímero 139b de la capa dieléctrica 139 puede tener un grosor, entre la superficie superior expuesta 139s de la capa de polímero 139b y la superficie superior de la capa aislante 139a, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros, en caso de que la capa dieléctrica 139 compuesta por las capas 139a y 139b, las zanjas 139t y las vías pasantes 156v se formen como se ilustra en la fig. 178A.

[0460] Cada uno de los tapones metálicos 7p en los chips 118 pasa a través de uno de los anillos aislantes 500a en los chips 118. Por ejemplo, los tapones metálicos 7b, 7c y 7d en el de la izquierda de los chips 118 pasan a través de los anillos aislantes 500a en el de la izquierda de los chips 118, y los tapones metálicos 7e y 7f en el del medio de los chips 118 pasan a través de los anillos aislantes 500a en el del medio de los chips 118. Específicamente, cada uno de los tapones metálicos 7b, 7c y 7d pasa a través del sustrato semiconductor 124 del de la izquierda de los chips 118 y está rodeado por uno de los anillos aislantes 500a en el de la izquierda de los chips 118, y cada uno de los tapones metálicos 7e y 7f pasa a través del sustrato semiconductor 124 del del medio de los chips 118 y está rodeado por uno de los anillos aislantes 500a en el del medio de los chips 118. El sustrato semiconductor 124 del de la izquierda de los chips 118 tiene partes sobre las superficies internas de los anillos aislantes 500a que rodean los tapones metálicos 7c y 7d, y el sustrato semiconductor 124 del del medio de los chips 118 tiene partes sobre las superficies internas de los anillos aislantes 500a que rodean los tapones metálicos 7e y 7f. El anillo aislante 500a que rodea el tapón metálico 7b está en la pared lateral del tapón metálico 7b y se pone en contacto con el tapón metálico 7b. El anillo aislante 500a que rodea el tapón metálico 7d tiene una parte en y en contacto con la pared lateral del tapón metálico 7d. El anillo aislante 500a que rodea el tapón metálico 7f tiene una parte en y en contacto con la pared lateral del tapón metálico 7f. Para obtener una descripción más detallada acerca de los tapones metálicos 7p (incluyendo los tapones metálicos 7a-7f) y los conectores metálicos 3 (incluyendo los conectores metálicos 3a, 3b y 3c) mostrados en la fig. 180, consúltese la ilustración de la fig. 76.

[0461] De forma alternativa, el elemento 118 no solo puede indicar un chip, sino que también puede indicar una oblea. Cuando el elemento 118 es una oblea, el elemento 72 puede ser otra oblea. De este modo, el procedimiento ilustrado en la invención se puede emplear para la unión de oblea a oblea.

[0462] En referencia a la fig. 181, después de formar la estructura ilustrada en la fig. 180, se pueden realizar posteriormente las siguientes etapas como se ilustra en las figs. 77-81, y a continuación se realiza un procedimiento de individualización para cortar el portador 11, los sustratos inactivos 62, 165 y 158, y las capas 22, 60, 66, 88, 116, 120, 122, 136, 139 y 140 usando, por ejemplo, corte mecánico o corte por láser y para individualizar múltiples sistemas en paquetes o módulos multichip, tales como los sistemas en paquetes o los módulos multichip 555s y 555t.

[0463] El sistema en paquete o el módulo multichip 555s se puede conectar a y unir con un portador, tal como una placa base, una placa de circuito impreso (PCB), un sustrato de matriz de rejilla de bolas (BGA), un sustrato de metal, un sustrato de vidrio o un sustrato de cerámica, usando las protuberancias o bolas de soldadura 126. Por ejemplo, en referencia a la fig. 182, el sistema en paquete o el módulo multichip 555s se une con un lado superior de un portador 176 usando, por ejemplo, una tecnología de chip invertido para juntar las protuberancias o bolas de soldadura 126 con una capa de soldadura o de oro preformada sobre el lado superior del portador 176. Seguidamente, se forma un relleno subyacente 174 entre la capa de polímero 136 del sistema en paquete o del módulo multichip 555s y el lado superior del portador 176 y rodea las protuberancias o bolas de soldadura 126. Seguidamente, se forman múltiples bolas de soldadura 178 sobre un lado inferior del portador 176. Las especificaciones del portador 176, el relleno subyacente 174 y las bolas de soldadura 178 mostradas en la fig. 182 pueden hacer referencia a las especificaciones del portador 176, el relleno subyacente 174 y las bolas de soldadura 178 como se ilustra en la fig. 83, respectivamente.

[0464] La fig. 183 muestra otro sistema en paquete o módulo multichip de acuerdo con otro modo de realización de la presente divulgación, que se puede formar por las siguientes etapas. Después de formar la estructura ilustrada en la fig. 180, se pueden realizar posteriormente las etapas como se ilustra en las figs. 77-79. Seguidamente, formar

protuberancias metálicas 668 sobre la capa de polímero 136 y sobre los puntos de contacto, en las partes inferiores de las aberturas en la capa aislante o dieléctrica 122 y debajo de las aberturas 136a en la capa de polímero 136, de la capa de conducción 125c de los conectores metálicos 3 puede hacer referencia a las etapas ilustradas en la fig. 84. Seguidamente, se realiza un procedimiento de individualización para cortar el portador 11, los sustratos inactivos 62, 165 y 158, y las capas 22, 60, 66, 88, 116, 120, 122, 136, 139 y 140 usando, por ejemplo, corte mecánico o corte por láser y para individualizar múltiples sistemas en paquetes o módulos multichip, tales como el sistema en paquete o el módulo multichip 555u. En el sistema en paquete o el módulo multichip 555u, cada uno de los conectores 3 se puede conectar a una o más de las protuberancias metálicas 668.

[0465] El sistema en paquete o el módulo multichip 555u se puede conectar a y unir con un portador, tal como una placa base, una placa de circuito impreso (PCB), un sustrato de matriz de rejilla de bolas (BGA), un sustrato de metal, un sustrato de vidrio o un sustrato de cerámica, usando las protuberancias metálicas 668. Por ejemplo, en referencia a la fig. 184, el sistema en paquete o el módulo multichip 555u se une con el lado superior del portador 176 ilustrado en la fig. 83 usando, por ejemplo, una tecnología de chip invertido para juntar la capa humectante de soldadura 146 de las protuberancias metálicas 668 con una capa de soldadura o de oro preformada sobre el lado superior del portador 176. Después de juntar la capa humectante de soldadura 146 con la capa de soldadura o de oro preformada sobre el lado superior del portador 176, se forman múltiples juntas metálicas 180 entre la capa de barrera 144 de las protuberancias metálicas 668 y el lado superior del portador 176. Las juntas metálicas 180 pueden ser una capa de una aleación Sn-Ag, una aleación Sn-Ag-Cu, una aleación Sn-Au o una aleación Sn-Pb que tiene un grosor de entre 5 y 50 micrómetros. De forma alternativa, las juntas metálicas 180 pueden ser una capa de oro que tiene un grosor de entre 0,1 y 10 micrómetros. Seguidamente, se forma el relleno subyacente 174 ilustrado en la fig. 83 entre la capa de polímero 136 del sistema en paquete o del módulo multichip 555u y el lado superior del portador 176 y rodea las protuberancias metálicas 668 y las juntas metálicas 180. Seguidamente, se forman las bolas de soldadura 178 ilustradas en la fig. 83 sobre el lado inferior del portador 176.

[0466] De forma alternativa, la capa aislante o dieléctrica 122 como se muestra en las figs. 181-184 se puede omitir. En este caso, se forma la capa de polímero 136 sobre las superficies 223, 225, 227 y 139s, y los puntos de contacto de la capa de conducción 125c de los conectores metálicos 3 se exponen por y en los extremos de las aberturas 136a en la capa de polímero 136. Además, se forma la capa de adhesión/barrera 134 sobre los puntos de contacto, expuestos por y en los extremos de las aberturas 136a en la capa de polímero 136, de la capa de conducción 125c de los conectores metálicos 3.

[0467] La fig. 185 muestra un paquete multichip 566d que incluye un sistema en paquete o un módulo multichip 555v conectado al portador 176 ilustrado en la fig. 83 a través de hilos unidos por hilo 184, que se puede formar, por ejemplo, por las siguientes etapas.

[0468] Después de formar la estructura ilustrada en la fig. 180, se realizan las etapas ilustradas en la fig. 86 para formar una capa aislante o dieléctrica 122 sobre la superficie rectificada o pulida 227 de la capa de conducción 125c y sobre la superficie superior expuesta 139s de la capa dieléctrica 139, para formar múltiples pistas o conectores metálicos 300 sobre la capa aislante o dieléctrica 122 y sobre múltiples regiones, expuestas por múltiples aberturas 122a en la capa 122, de la capa de conducción 125c de los conectores metálicos 3, y para formar una capa de polímero 136 sobre la capa aislante o dieléctrica 122 y sobre las pistas o conectores metálicos 300. La capa de polímero 136 después de curarse puede tener un grosor, por ejemplo, de entre 1 y 20 micrómetros, y preferentemente de entre 2 y 15 micrómetros o de entre 5 y 10 micrómetros, y múltiples aberturas 136a en la capa de polímero 136 que exponen múltiples puntos de contacto de las pistas o conectores metálicos 300. Seguidamente, se puede realizar un procedimiento de individualización para cortar el portador 11, los sustratos inactivos 62, 165 y 158, y las capas 22, 60, 66, 88, 116, 120, 122, 136, 139 y 140 usando, por ejemplo, corte mecánico o corte por láser y para individualizar una pluralidad del sistema en paquete o del módulo multichip 555v.

[0469] Seguidamente, se juntan la pluralidad del sistema en paquete o del módulo multichip 555v con un portador 176, por ejemplo, formando una capa de pegamento 182 con un grosor de entre 20 y 150 micrómetros sobre el lado superior del portador 176, y a continuación fijando la pluralidad del sistema en paquete o del módulo multichip 555v a un lado superior del portador 11 usando la capa de pegamento 182. La capa de pegamento 182 puede ser una capa de polímero, tal como una capa de poliimida, benzociclobuteno (BCB), epoxi, polibenzoxazol (PBO), poli(óxido de fenileno) (PPO), silosano o SU-8, con un grosor, por ejemplo, de entre 20 y 150 micrómetros. Seguidamente, múltiples hilos 184, tales como hilos de oro, hilos de cobre o hilos de aluminio, se unen por hilo sobre el lado superior del portador 176 y sobre los puntos de contacto, expuestos por las aberturas 136a en la capa de polímero 136, de la capa de conducción 150 de las pistas o conectores metálicos 300 por un procedimiento de unión por hilo. En consecuencia, las pistas o conectores metálicos 300 de la pluralidad del sistema en paquete o del módulo multichip 555v se pueden conectar física y eléctricamente al portador 176 a través de los hilos unidos por hilo 184. Seguidamente, se forma un compuesto de moldeo 186 sobre la pluralidad del sistema en paquete o del módulo multichip 555v, sobre el lado superior del portador 176 y sobre los hilos unidos por hilo 184, encapsulando los hilos unidos por hilo 184 y la pluralidad del sistema en paquete o del módulo multichip 555v, por un procedimiento de moldeo. El compuesto de moldeo 186 puede incluir epoxi, relleno de carbono o relleno de vidrio, y el relleno de vidrio o relleno de carbono se puede distribuir en la epoxi. Seguidamente, se forman las bolas de soldadura 178 ilustradas en la fig. 83 sobre el lado inferior del portador 176. Después de esto, se realiza un procedimiento de individualización para cortar el portador 176 y el

compuesto de moldeo 186 y para individualizar una pluralidad del paquete multichip 566d. El paquete multichip 566d se puede conectar a un portador, tal como una placa base, un sustrato de matriz de rejilla de bolas (BGA), una placa de circuito impreso, un sustrato de metal, un sustrato de vidrio o un sustrato de cerámica, a través de las bolas de soldadura 178. Las especificaciones del portador 176 mostrado en la fig. 185 pueden hacer referencia a las especificaciones del portador 176 como se ilustra en la fig. 83.

[0470] Las figs. 186-207 muestran un procedimiento para formar otro sistema en paquete o módulo multichip de acuerdo con otro modo de realización de la presente divulgación. En referencia a la fig. 186, después de formar la estructura ilustrada en la fig. 144, se forma una capa dieléctrica 60 que tiene un grosor, por ejemplo, de entre 0,1 y 100 micrómetros, y preferentemente de entre 0,2 y 1,5 micrómetros, de entre 1 y 5 micrómetros, de entre 5 y 10 micrómetros o de entre 1 y 20 micrómetros, sobre la superficie 58s del sustrato semiconductor 58 de cada chip 68, sobre la(s) superficie(s) 62s del/de los sustrato(s) inactivo(s) 62, sobre las superficies inferiores expuestas 500s de los anillos aislantes 500a en los chips 68, y sobre la superficie 64s del material de encapsulación/relleno de huecos 64 como se muestra en la fig. 144. Seguidamente, se pueden formar múltiples vías pasantes 170v, incluyendo las vías pasantes 170a, 170b, 170c, 170d, 170e y 170f, en los chips 68 y en el/los sustrato(s) inactivo(s) 62, exponiendo la capa conductora 18 del portador 11 y exponiendo las capas 26 y 34 de los chips 68. Las etapas de formación de las vías pasantes 170v en los chips 68 y en el/los sustrato(s) inactivo(s) 62 ilustradas en la fig. 186 pueden hacer referencia a las etapas de formación de las vías pasantes 170v en los chips 68 y en el/los sustrato(s) inactivo(s) 62 como se ilustra en la fig. 15, pero, en el modo de realización, la formación de las vías 170v pasantes en los chips 68 incluye el grabado a través de los sustratos semiconductores 58 rodeados por los anillos aislantes 500a en los chips 68. Las especificaciones de las vías pasantes 170v (incluyendo las vías 170a-170f), los anillos aislantes 500a que rodean las vías pasantes 170v y el soporte 801 mostrados en la fig. 186 pueden hacer referencia a las especificaciones de las vías pasantes 170v (incluyendo las vías 170a-170f), los anillos aislantes 500a que rodean las vías pasantes 170v y el soporte 801, respectivamente, ilustrados en las figs. 148-152.

[0471] La capa dieléctrica 60 mostrada en la fig. 186, por ejemplo, puede ser una capa inorgánica formada por un procedimiento adecuado, tal como procedimiento de depósito químico de vapor (CVD) o procedimiento de depósito químico de vapor potenciado por plasma (PECVD). La capa inorgánica puede incluir o puede ser una capa de óxido de silicio, nitruro de silicio, carbonitruro de silicio, oxinitruro de silicio u oxicarburo de silicio sobre las superficies 58s, 62s, 500s y 64s mostradas en la fig. 144. La capa inorgánica puede tener un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,2 y 1,5 micrómetros o de entre 0,5 y 2 micrómetros.

[0472] De forma alternativa, la capa dieléctrica 60 mostrada en la fig. 186 puede ser una capa de polímero, tal como una capa de poliimida, benzociclobutano (BCB), polibenzoxazol (PBO), poli(óxido de fenileno) (PPO) o epoxi, que tiene un grosor de entre 3 y 100 micrómetros, y preferentemente de entre 5 y 30 micrómetros o de entre 10 y 50 micrómetros, sobre las superficies 58s, 62s, 500s y 64s mostradas en la fig. 144.

[0473] De forma alternativa, la capa dieléctrica 60 mostrada en la fig. 186 puede estar compuesta por una capa inorgánica y una capa de polímero sobre la capa inorgánica. La capa inorgánica se puede formar sobre las superficies 58s, 62s, 500s y 64s mostradas en la fig. 144 usando un procedimiento adecuado, tal como procedimiento de depósito químico de vapor (CVD). La capa inorgánica puede incluir o puede ser una capa de óxido de silicio, nitruro de silicio, carbonitruro de silicio, oxinitruro de silicio u oxicarburo de silicio sobre las superficies 58s, 62s, 500s y 64s mostradas en la fig. 144. La capa inorgánica puede tener un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,2 y 1,5 micrómetros o de entre 0,5 y 2 micrómetros. La capa de polímero puede ser una capa de poliimida, epoxi, benzociclobutano (BCB), polibenzoxazol (PBO) o poli(óxido de fenileno) (PPO) que tiene un grosor de entre 3 y 100 micrómetros, y preferentemente de entre 5 y 30 micrómetros o de entre 10 y 50 micrómetros, sobre la capa inorgánica.

[0474] Seguidamente, en referencia a la fig. 187, se puede formar una capa de adhesión/barrera 52 que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las capas 18, 26 y 34 expuestas por las vías pasantes 170v, sobre las paredes laterales de las vías pasantes 170v, sobre la capa dieléctrica 60, y sobre el conector o pista metálica 35a que está sobre el soporte 801. Se puede formar la capa de adhesión/barrera 52 por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD) o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se puede formar una capa germinal 54 que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa de adhesión/barrera 52 y en las vías pasantes 170v por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD), o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se puede formar una capa fotorresistente 194 sobre la capa germinal 54 usando, por ejemplo, un procedimiento de recubrimiento por rotación, un procedimiento de serigrafía o un procedimiento de laminación. Seguidamente, se puede emplear un procedimiento de fotoexposición y un procedimiento de revelado para formar múltiples aberturas 194a, exponiendo múltiples regiones de la capa germinal 54, en la capa fotorresistente 194. La capa 194 fotorresistente estampada puede tener un grosor, por ejemplo, de entre 1 y 30 micrómetros, y preferentemente de entre 1 y 20 micrómetros o de entre 1 y 10 micrómetros. Seguidamente,

se puede formar una capa de conducción 56 que tiene un grosor mayor de 1 micrómetro, tal como de entre 1 y 20 micrómetros, y preferentemente de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 2 y 20 micrómetros, sobre las regiones, expuestas por las aberturas 194a en la capa 194, de la capa germinal 54 usando, por ejemplo, un procedimiento de electrochapado. Las especificaciones de la capa de adhesión/barrera 52, la capa germinal 54 y la capa de conducción 56 mostradas en la fig. 187 pueden hacer referencia a las especificaciones de la capa de adhesión/barrera 52, la capa germinal 54 y la capa de conducción 56 como se ilustra en la fig. 90, respectivamente.

[0475] Seguidamente, en referencia a la fig. 188, se elimina la capa fotorresistente 194 usando, por ejemplo, una solución química orgánica. Seguidamente, se elimina la capa germinal 54 que no está debajo de la capa de conducción 56 usando un procedimiento de grabado húmedo o un procedimiento de grabado en seco. Seguidamente, se elimina la capa de adhesión/barrera 52 que no está debajo de la capa de conducción 56 usando un procedimiento de grabado húmedo o un procedimiento de grabado en seco. En consecuencia, las capas 52, 54 y 56 encima de la capa dieléctrica 60 y encima de las vías pasantes 170v componen múltiples conectores metálicos 1, incluyendo los conectores metálicos 1a y 1b, encima de la capa dieléctrica 60 y encima de las vías pasantes 170v. La capa de adhesión/barrera 52 y la capa germinal 54 de los conectores metálicos 1 encima de la capa dieléctrica 60 no están en ninguna pared lateral 1w de la capa de conducción 56 de los conectores metálicos 1 encima de la capa dieléctrica 60, sino debajo de una parte inferior de la capa de conducción 56 de los conectores metálicos 1 encima de la capa dieléctrica 60. Las paredes laterales 1w de la capa de conducción 56 de los conectores metálicos 1 encima de la capa dieléctrica 60 no están cubiertas por las capas 52 y 54. Las capas 52, 54 y 56 en las vías pasantes 170v componen múltiples tapones metálicos (o vías metálicas) 5p en las vías pasantes 170v, incluyendo los tapones metálicos (o vías metálicas) 5a, 5b, 5c, 5d, 5e y 5f en las vías pasantes 170a, 170b, 170c, 170d, 170e y 170f como se muestra en la fig. 186, respectivamente. El tapón metálico 5a se forma en el sustrato inactivo 62, y los tapones metálicos 5b, 5c, 5d, 5e y 5f se forman en el mismo chip 68. Estos tapones metálicos 5p formados en los chips 68 y en el/los sustrato(s) inactivo(s) 62 pueden conectar los conectores metálicos 1 y los dispositivos semiconductores 36 en los chips 68 y conectar los conectores metálicos 1 y múltiples puntos de contacto de la capa conductora 18 en el portador 11. El soporte 801 y el conector o pista metálica 35a, en la capa de interconexión 34, sobre el soporte 801 pueden estar entre dos partes, más bajas que un nivel horizontal, en el que se sitúa una superficie superior de la capa de interconexión 34, del tapón metálico 5e.

[0476] Cada uno de los tapones metálicos 5p en los chips 68 pasa a través de uno de los anillos aislantes 500a en los chips 68. Por ejemplo, los tapones metálicos 5b, 5c, 5d, 5e y 5f en uno de los chips 68 pasan a través de los anillos aislantes 500a en el uno de los chips 68. Específicamente, cada uno de los tapones metálicos 5b, 5c, 5d, 5e y 5f pasa a través del sustrato semiconductor 58 del uno de los chips 68 y está rodeado por uno de los anillos aislantes 500a en el uno de los chips 68. El sustrato semiconductor 58 del uno de los chips 68 tiene partes sobre las superficies internas de los anillos aislantes 500a que rodean los tapones metálicos 5b, 5c, 5d, 5e y 5f. Para obtener una descripción más detallada acerca de los tapones metálicos 5p (incluyendo los tapones metálicos 5a-5f) y los conectores metálicos 1 (incluyendo los conectores metálicos 1a y 1b) mostrados en la fig. 188, consúltese la ilustración de la fig. 91.

[0477] De forma alternativa, el elemento 68 no solo puede indicar un chip, sino que también puede indicar una oblea. Cuando el elemento 68 es una oblea, el portador 11 puede ser otra oblea. De este modo, el procedimiento ilustrado en la invención se puede emplear para la unión de oblea a oblea.

[0478] Seguidamente, en referencia a la fig. 189, se forma una capa aislante o dieléctrica 66 sobre la capa de conducción 56 de los conectores metálicos 1, sobre la capa dieléctrica 60 y en los huecos entre los conectores metálicos 1. La capa aislante o dieléctrica 66, por ejemplo, puede incluir o puede ser una capa de polímero, tal como una capa de poliimida, benzociclobuteno (BCB), epoxi, poli(óxido de fenileno) (PPO) o polibenzoxazol (PBO), sobre la capa de conducción 56 de los conectores metálicos 1, sobre la capa dieléctrica 60, y en los huecos entre los conectores metálicos 1. La capa de polímero sobre la capa de conducción 56 puede tener un grosor, por ejemplo, de entre 0,1 y 50 micrómetros, y preferentemente de entre 1 y 30 micrómetros, de entre 2 y 20 micrómetros o de entre 5 y 10 micrómetros.

[0479] De forma alternativa, la capa aislante o dieléctrica 66 puede incluir o puede ser una capa inorgánica, tal como una capa de óxido de silicio, nitruro de silicio, oxinitruro de silicio, carbonitruro de silicio u oxicarburo de silicio, sobre la capa de conducción 56 de los conectores metálicos 1, sobre la capa dieléctrica 60, y en los huecos entre los conectores metálicos 1. La capa inorgánica sobre la capa de conducción 56 puede tener un grosor, por ejemplo, de entre 0,1 y 10 micrómetros, y preferentemente de entre 0,1 y 1 micrómetros, de entre 0,2 y 2 micrómetros, de entre 0,3 y 3 micrómetros o de entre 0,5 y 5 micrómetros.

[0480] De forma alternativa, en referencia a la fig. 190, se puede formar la capa aislante o dieléctrica 66 como se muestra en la fig. 189 por las siguientes etapas. En primer lugar, se forma una capa de polímero 66a, tal como una capa de poliimida, benzociclobuteno (BCB), epoxi, poli(óxido de fenileno) (PPO) o polibenzoxazol (PBO), sobre la capa de conducción 56 de los conectores metálicos 1, sobre la capa dieléctrica 60, y en los huecos entre los conectores metálicos 1. Seguidamente, se rectifica o pule la capa de polímero 66a, por ejemplo, por un procedimiento de pulido mecánico, un procedimiento de pulido químico-mecánico (CMP), un procedimiento de rectificado mecánico o un procedimiento que incluye pulido mecánico y grabado químico hasta que la capa de conducción 56 de los conectores metálicos 1 tiene una superficie superior 56u no cubierta por la capa de polímero 66a. En consecuencia, la capa de

polímero 66a permanece sobre la capa dieléctrica 60 y en los huecos entre los conectores metálicos 1 y tiene un grosor, por ejemplo, mayor de 1 micrómetro, tal como de entre 1 y 20 micrómetros, y preferentemente de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 2 y 20 micrómetros. La superficie rectificada o pulida 66s de la capa de polímero 66a puede ser sustancialmente plana y sustancialmente coplanaria con la superficie superior 56u de la capa de conducción 56. Seguidamente, se forma una capa inorgánica 66b, tal como una capa de óxido de silicio, nitrato de silicio, oxinitruro de silicio, carbonitrato de silicio u oxycarburo de silicio, que tiene un grosor, por ejemplo, de entre 0,1 y 3 micrómetros, y preferentemente de entre 0,2 y 1,5 micrómetros, sobre la superficie superior 56u de la capa de conducción 56 y sobre la superficie rectificada o pulida 66s de la capa de polímero 66a. En consecuencia, la capa aislante o dieléctrica 66 como se muestra en la fig. 189 también puede estar provista de la capa de polímero 66a y la capa inorgánica 66b como se muestra en la fig. 190.

[0481] En referencia a la fig. 191, después de formar la capa aislante o dieléctrica 66, se junta el sustrato inactivo 165 ilustrado en la fig. 28 con la capa aislante o dieléctrica 66 usando la capa 116 ilustrada en la fig. 28, lo que puede hacer referencia a las etapas ilustradas en la fig. 28. Seguidamente, se forman múltiples aberturas 165a en el sustrato inactivo 165 y exponen la capa 116, lo que puede hacer referencia a las etapas ilustradas en las figs. 29-32. De forma alternativa, las aberturas 165a se pueden formar en y pasar a través del sustrato inactivo 165 antes de que el sustrato inactivo 165 se junte con la capa aislante o dieléctrica 66 usando la capa 116. Seguidamente, múltiples chips 72, de los que cada uno es como el chip 72a o 72b ilustrado en la fig. 141K, se juntan con la capa 116 y se montan en las aberturas 165a y encima de la capa 66, lo que puede hacer referencia a las etapas ilustradas en la fig. 33. Después de montar los chips 72 en las aberturas 165a, los chips 72 tienen lados activos en las partes inferiores de los chips 72 y los lados posteriores en las partes superiores de los chips 72. La fig. 192 es un ejemplo de una vista superior esquemática que muestra los chips 72 montados en las aberturas 165a en el sustrato inactivo 165, y la fig. 191 es una vista en sección transversal cortada a lo largo de la línea G-G mostrada en la vista superior esquemática de la fig. 192.

[0482] Como se muestra en las figs. 191 y 192, hay múltiples huecos 4a cada uno entre el sustrato inactivo 165 y uno de los chips 72, y hay múltiples huecos 8a (se muestra uno de ellos) cada uno entre dos chips adyacentes 72. Cada uno de los huecos 4a puede tener una distancia transversal o espaciado D4, por ejemplo, de entre 1 y 200 micrómetros, de entre 1 y 50 micrómetros o de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros. Cada uno de los huecos 8a puede tener una distancia transversal o espaciado D5, por ejemplo, de entre 1 y 200 micrómetros, de entre 1 y 50 micrómetros o de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros.

[0483] La fig. 193 muestra otra técnica para formar la estructura con la misma vista en sección transversal como se muestra en la fig. 191. La fig. 191 es una vista en sección transversal cortada a lo largo de la línea G-G mostrada en una vista superior esquemática de la fig. 193. La estructura mostrada en las figs. 191 y 193 se puede formar, por ejemplo, por las siguientes etapas. Después de formar la estructura ilustrada en la fig. 189 o 190, se forma una capa de pegamento 116 que tiene un grosor, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 5 y 10 micrómetros o de entre 10 y 30 micrómetros, sobre la capa aislante o dieléctrica 66 mostrada en la fig. 189 o 190 usando un procedimiento adecuado, tal como procedimiento de recubrimiento por rotación, procedimiento de laminación, procedimiento de pulverización, procedimiento de distribución o procedimiento de serigrafía. La capa de pegamento 116 puede ser una capa de polímero, tal como una capa de epoxi, poliimida, benzociclobuteno (BCB), polibenzoxazol (PBO), poli(óxido de fenileno) (PPO) o silosano, con un grosor, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 5 y 10 micrómetros o de entre 10 y 30 micrómetros. Seguidamente, la capa de pegamento 116 se puede precurar u hornear opcionalmente. Seguidamente, se colocan múltiples chips 72, de los que cada uno es como el chip 72a o 72b ilustrado en la fig. 141K, y múltiples sustratos inactivos separados 165 sobre la capa de pegamento 116. Cuando un hueco entre dos chips adyacentes 72 es demasiado grande, tal como mayor a 500 o 1000 micrómetros, uno o más de los sustratos inactivos separados 165 se pueden colocar en el hueco. De forma alternativa, cuando un hueco entre dos chips adyacentes 72 es lo suficientemente pequeño, tal como más pequeño que 500 o 1000 micrómetros, no puede haber sustratos inactivos separados 165 colocados en el hueco. Seguidamente, la capa de pegamento 116 se puede curar de nuevo a una temperatura de entre 180 grados centígrados y 350 grados centígrados con una presión mecánica o térmica sobre la capa de pegamento 116. En consecuencia, los chips 72 y los sustratos inactivos separados 165 se juntan con la capa aislante o dieléctrica 66 usando la capa de pegamento 116. Los sustratos inactivos separados 165, por ejemplo, pueden ser barras de silicio separadas, chips inactivos separados, pastillas de silicio inactivas separadas o sustratos separados de polisilicio, vidrio, silicio o cerámica.

[0484] De forma alternativa, en referencia a las figs. 191 y 193, se puede reemplazar la capa de pegamento 116 con una capa de óxido de silicio que se forma sobre la capa aislante o dieléctrica 66 mostrada en la fig. 189 o 190. En este caso, juntar los chips 72 con la capa 66 y juntar los sustratos inactivos separados 165 con la capa 66 se puede realizar, por ejemplo, uniendo otra capa de óxido de silicio de la capa de pasivación 74, en el lado activo de cada chip 72, con la capa de óxido de silicio 116 y uniendo otra capa de óxido de silicio de cada uno de los sustratos inactivos separados 165 con la capa de óxido de silicio 116. La capa de óxido de silicio de la capa de pasivación 74 de cada chip 72 se pone en contacto con la capa de óxido de silicio 116, y la capa de óxido de silicio de cada uno de los sustratos inactivos separados 165 se pone en contacto con la capa de óxido de silicio 116. En consecuencia, los chips 72 y los sustratos inactivos separados 165 se pueden juntar con la capa aislante o dieléctrica 66 usando estas capas de óxido de silicio.

[0485] Como se muestra en las figs. 191 y 193, hay múltiples huecos 4a cada uno entre uno de los chips 72 y uno de los sustratos inactivos separados 165, y hay múltiples huecos 8a (se muestra uno de ellos) cada uno entre dos chips adyacentes 72. Cada uno de los huecos 4a puede tener una distancia transversal o espaciado D4, por ejemplo, de entre 1 y 200 micrómetros, de entre 1 y 50 micrómetros o de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros. Cada uno de los huecos 8a puede tener una distancia transversal o espaciado D5, por ejemplo, más pequeño que 500 micrómetros, tal como de entre 1 y 200 micrómetros, de entre 1 y 50 micrómetros o de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros. En un modo de realización, no hay circuitos preformados en cada sustrato inactivo separado 165 o sobre una superficie superior o inferior de cada sustrato inactivo separado 165 antes de que los sustratos inactivos separados 165 se junten con la capa aislante o dieléctrica 66.

[0486] En referencia a la fig. 194, después de las etapas ilustradas en las figs. 191 y 192 o en las figs. 191 y 193, se forma un material de encapsulación/relleno de huecos 98 sobre un lado posterior del sustrato semiconductor 96 de cada chip 72, sobre el/los sustrato(s) inactivo(s) 165, y en los huecos 4a y 8a. Seguidamente, el material de encapsulación/relleno de huecos 98, el lado posterior del sustrato semiconductor 96 de cada chip 72, y el/los sustrato(s) inactivo(s) 165 se rectifican o pulen por un procedimiento adecuado, tal como procedimiento de rectificado mecánico, procedimiento de pulido mecánico, procedimiento de pulido químico-mecánico (CMP), o un procedimiento que incluye pulido mecánico y grabado químico, hasta que todos los anillos aislantes 500a en los chips 72 tienen superficies inferiores expuestas 500t, encima de las que no hay partes de los sustratos semiconductores 96. Las etapas de formación del material de encapsulación/relleno de huecos 98 y rectificado o pulido del material de encapsulación/relleno de huecos 98, el lado posterior del sustrato semiconductor 96 de cada chip 72, y el/los sustrato(s) inactivo(s) 165 ilustradas en la fig. 194 pueden hacer referencia a las etapas de formación del material de encapsulación/relleno de huecos 64 y rectificado o pulido del material de encapsulación/relleno de huecos 64, el lado posterior del sustrato semiconductor 58 de cada chip 68, y el/los sustrato(s) inactivo(s) 62 como se ilustra en las figs. 143-146. El material de encapsulación/relleno de huecos 98 puede ser polisilicio, óxido de silicio o un polímero.

[0487] En consecuencia, el sustrato semiconductor 96 de cada uno de los chips 72 se puede estrechar a un grosor T8, por ejemplo, de entre 1 y 100 micrómetros, de entre 1 y 50 micrómetros, de entre 1 y 30 micrómetros, de entre 1 y 10 micrómetros o de entre 1 y 5 micrómetros, y preferentemente de entre 2 y 20 micrómetros o de entre 3 y 30 micrómetros. Con respecto a cada uno de los chips 72, después del procedimiento de rectificado o pulido, los anillos aislantes 500a y el sustrato semiconductor 96 pueden tener el mismo grosor T8. Preferentemente, cada uno de los chips 72, después del procedimiento de rectificado o pulido, puede tener un grosor, por ejemplo, de entre 3 y 105 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros.

[0488] Después del procedimiento de rectificado o pulido, el/los sustrato(s) inactivo(s) 165 se puede(n) estrechar a un grosor T9, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros, y el material de encapsulación/relleno de huecos 98 restante en los huecos 4a y 8a puede tener un grosor vertical T10, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros. La superficie rectificada o pulida 96s del sustrato semiconductor 96, en el lado posterior de cada chip 72, y la(s) superficie(s) rectificada(s) o pulida(s) 165s del/de los sustrato(s) inactivo(s) 165 pueden ser sustancialmente planas y no estar cubiertas por el material de encapsulación/relleno de huecos 98. La(s) superficie(s) rectificada(s) o pulida(s) 165s puede(n) ser sustancialmente coplanaria(s) con la superficie rectificada o pulida 96s de cada chip 72, con la superficie rectificada o pulida 98s del material de encapsulación/relleno de huecos 98 en los huecos 4a y 8a, y con las superficies inferiores expuestas 500t de los anillos aislantes 500a en los chips 72. En cada chip 72, una distancia vertical D15 entre la superficie rectificada o pulida 96s del sustrato semiconductor 96 y la parte inferior del aislamiento de zanjas poco profundas 500b puede ser, por ejemplo, mayor de 0,1 micrómetros, tal como de entre 1 y 100 micrómetros, de entre 1 y 50 micrómetros, de entre 1 y 25 micrómetros, de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 0,1 y 2 micrómetros.

[0489] Seguidamente, en referencia a la fig. 195, se forma una capa dieléctrica 88 que tiene un grosor, por ejemplo, de entre 0,1 y 100 micrómetros, y preferentemente de entre 0,2 y 1,5 micrómetros, de entre 1 y 5 micrómetros, de entre 5 y 10 micrómetros o de entre 1 y 20 micrómetros, sobre la superficie 96s del sustrato semiconductor 96 de cada chip 72, sobre la(s) superficie(s) 165s del/de los sustrato(s) inactivo(s) 165, sobre las superficies inferiores expuestas 500t de los anillos aislantes 500a en los chips 72, y sobre la superficie 98s del material de encapsulación/relleno de huecos 98. Seguidamente, se pueden formar múltiples vías pasantes 164v, incluyendo las vías pasantes 164a, 164b, 164c, 164d y 164e, en los chips 72 y en el/los sustrato(s) inactivo(s) 165, exponiendo la capa de conducción 56 de los conectores metálicos 1 y exponiendo las capas 114 y 106 de los chips 72. Las etapas de formación de las vías pasantes 164v en los chips 72 y en el/los sustrato(s) inactivo(s) 165 ilustradas en la fig. 195 pueden hacer referencia a las etapas de formación de las vías pasantes 164v en los chips 72 y en el/los sustrato(s) inactivo(s) 165 como se ilustra en la fig. 41, pero, en el modo de realización, la formación de las vías 164v pasantes en los chips 72 incluye el grabado a través de los sustratos semiconductores 96 rodeados por los anillos aislantes 500a en los chips 72. Las especificaciones de la vías pasantes 164v (incluyendo las vías 164a-164e), los anillos aislantes 500a que rodean las vías pasantes 164v y el soporte 802 mostrados en la fig. 195 pueden hacer referencia a las especificaciones de las vías pasantes 164v (incluyendo las vías 164a-164e), los anillos aislantes 500a que rodean las vías pasantes 164v y el soporte 802, respectivamente, ilustrados en las figs. 162-166.

[0490] La capa dieléctrica 88 mostrada en la fig. 195, por ejemplo, puede ser una capa inorgánica formada por un procedimiento adecuado, tal como procedimiento de depósito químico de vapor (CVD) o procedimiento de depósito químico de vapor potenciado por plasma (PECVD). La capa inorgánica puede incluir o puede ser una capa de óxido de silicio, nitruro de silicio, carbonitruro de silicio, oxinitruro de silicio u oxycarburo de silicio sobre las superficies 96s, 165s, 500t y 98s. La capa inorgánica puede tener un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,2 y 1,5 micrómetros o de entre 0,5 y 2 micrómetros.

[0491] De forma alternativa, la capa dieléctrica 88 mostrada en la fig. 195 puede ser una capa de polímero, tal como una capa de poliimida, epoxi, benzociclobutano (BCB), polibenzoxazol (PBO) o poli(óxido de fenileno) (PPO), que tiene un grosor de entre 3 y 100 micrómetros, y preferentemente de entre 5 y 30 micrómetros o de entre 10 y 50 micrómetros, sobre las superficies 96s, 165s, 500t y 98s.

[0492] De forma alternativa, la capa dieléctrica 88 mostrada en la fig. 195 puede estar compuesta por una capa inorgánica y una capa de polímero sobre la capa inorgánica. La capa inorgánica se puede formar sobre las superficies 96s, 165s, 500t y 98s usando un procedimiento adecuado, tal como procedimiento de depósito químico de vapor (CVD). La capa inorgánica puede incluir o puede ser una capa de óxido de silicio, nitruro de silicio, carbonitruro de silicio, oxinitruro de silicio u oxycarburo de silicio sobre las superficies 96s, 165s, 500t y 98s. La capa inorgánica puede tener un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,2 y 1,5 micrómetros o de entre 0,5 y 2 micrómetros. La capa de polímero puede ser una capa de poliimida, benzociclobutano (BCB), epoxi, polibenzoxazol (PBO) o poli(óxido de fenileno) (PPO) que tiene un grosor de entre 3 y 100 micrómetros, y preferentemente de entre 5 y 30 micrómetros o de entre 10 y 50 micrómetros, sobre la capa inorgánica.

[0493] Seguidamente, en referencia a la fig. 196, se forma una capa de adhesión/barrera 92 que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las capas 56, 106 y 114 expuestas por las vías pasantes 164v, sobre las paredes laterales de las vías pasantes 164v, sobre la capa dieléctrica 88, y sobre el conector o pista metálica 55a que está sobre el soporte 802. Se puede formar la capa de adhesión/barrera 92 por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD) o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se forma una capa germinal 94 que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa de adhesión/barrera 92 y en las vías pasantes 164v por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD), o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se forma una capa fotorresistente 294 sobre la capa germinal 94 usando, por ejemplo, un procedimiento de recubrimiento por rotación, un procedimiento de serigrafía o un procedimiento de laminación. Seguidamente, se puede emplear un procedimiento de fotoexposición y un procedimiento de revelado para formar múltiples aberturas 294a, exponiendo múltiples regiones de la capa germinal 94, en la capa fotorresistente 294. La capa 294 fotorresistente estampada puede tener un grosor, por ejemplo, de entre 1 y 30 micrómetros, y preferentemente de entre 1 y 20 micrómetros o de entre 1 y 10 micrómetros. Seguidamente, se forma una capa de conducción 86 que tiene un grosor mayor de 1 micrómetro, tal como de entre 1 y 20 micrómetros, y preferentemente de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 2 y 20 micrómetros, sobre las regiones, expuestas por las aberturas 294a en la capa 294, de la capa germinal 94 usando un procedimiento adecuado, tal como procedimiento de electrochapado. Las especificaciones de la capa de adhesión/barrera 92, la capa germinal 94 y la capa de conducción 86 mostradas en la fig. 196 pueden hacer referencia a las especificaciones de la capa de adhesión/barrera 92, la capa germinal 94 y la capa de conducción 86 como se ilustra en la fig. 95, respectivamente.

[0494] Seguidamente, en referencia a la fig. 197, se elimina la capa fotorresistente 294 usando, por ejemplo, una solución química orgánica. Seguidamente, se elimina la capa germinal 94 que no está debajo de la capa de conducción 86 usando un procedimiento de grabado húmedo o un procedimiento de grabado en seco. Seguidamente, se elimina la capa de adhesión/barrera 92 que no está debajo de la capa de conducción 86 usando un procedimiento de grabado húmedo o un procedimiento de grabado en seco. En consecuencia, las capas 92, 94 y 86 encima de la capa dieléctrica 88 y encima de las vías pasantes 164v componen múltiples conectores metálicos 2, incluyendo los conectores metálicos 2a y 2b, encima de la capa dieléctrica 88 y encima de las vías pasantes 164v. La capa de adhesión/barrera 92 y la capa germinal 94 de los conectores metálicos 2 encima de la capa dieléctrica 88 no están en ninguna pared lateral 2w de la capa de conducción 86 de los conectores metálicos 2 encima de la capa dieléctrica 88, sino debajo de una parte inferior de la capa de conducción 86 de los conectores metálicos 2 encima de la capa dieléctrica 88. Las paredes laterales 2w de la capa de conducción 86 de los conectores metálicos 2 encima de la capa dieléctrica 88 no están cubiertas por las capas 92 y 94. Las capas 92, 94 y 86 en las vías pasantes 164v componen múltiples tapones metálicos (o vías metálicas) 6p en las vías pasantes 164v, incluyendo los tapones metálicos (o vías metálicas) 6a, 6b, 6c, 6d y 6e en las vías pasantes 164a, 164b, 164c, 164d y 164e como se muestra en la fig. 195, respectivamente. El tapón metálico 6a se forma en el sustrato inactivo 165, los tapones metálicos 6b y 6c se forman en el de la izquierda de los chips 72, y los tapones metálicos 6d y 6e se forman en el del medio de los chips 72. Estos tapones metálicos 6p formados en los chips 72 y en el/los sustrato(s) inactivo(s) 165 pueden conectar los conectores metálicos 2 y los dispositivos semiconductores 102 en los chips 72 y conectar los conectores metálicos 1 y 2.

[0495] Cada uno de los tapones metálicos 6p en los chips 72 pasa a través de uno de los anillos aislantes 500a en los chips 72. Por ejemplo, los tapones metálicos 6b y 6c en el de la izquierda de los chips 72 pasan a través de los anillos aislantes 500a en el de la izquierda de los chips 72, y los tapones metálicos 6d y 6e en el del medio de los chips 72 pasan a través de los anillos aislantes 500a en el del medio de los chips 72. Específicamente, cada uno de los tapones metálicos 6b y 6c pasa a través del sustrato semiconductor 96 del de la izquierda de los chips 72 y está rodeado por uno de los anillos aislantes 500a en el de la izquierda de los chips 72, y cada uno de los tapones metálicos 6d y 6e pasa a través del sustrato semiconductor 96 del del medio de los chips 72 y está rodeado por uno de los anillos aislantes 500a en el del medio de los chips 72. El sustrato semiconductor 96 del de la izquierda de los chips 72 tiene una parte sobre una superficie interna del anillo aislante 500a que rodea el tapón metálico 6b, y el sustrato semiconductor 96 del del medio de los chips 72 tiene una parte sobre una superficie interna del anillo aislante 500a que rodea el tapón metálico 6d. El anillo aislante 500a que rodea el tapón metálico 6c está en la pared lateral del tapón metálico 6c y se pone en contacto con el tapón metálico 6c, y el anillo aislante 500a que rodea el tapón metálico 6e está en la pared lateral del tapón metálico 6e y se pone en contacto con el tapón metálico 6e. Para obtener una descripción más detallada acerca de los tapones metálicos 6p (incluyendo los tapones metálicos 6a-6e) y los conectores metálicos 2 (incluyendo los conectores metálicos 2a y 2b) mostrados en la fig. 197, consúltese la ilustración de la fig. 96.

[0496] De forma alternativa, el elemento 72 no solo puede indicar un chip, sino que también puede indicar una oblea. Cuando el elemento 72 es una oblea, el elemento 68 puede ser otra oblea. De este modo, el procedimiento ilustrado en la invención se puede emplear para la unión de oblea a oblea.

[0497] Seguidamente, en referencia a la fig. 198, se forma una capa aislante o dieléctrica 120 sobre la capa de conducción 86 de los conectores metálicos 2, sobre la capa dieléctrica 88 y en los huecos entre los conectores metálicos 2. La capa aislante o dieléctrica 120, por ejemplo, puede incluir o puede ser una capa de polímero, tal como una capa de poliimida, benzociclobuteno (BCB), epoxi, poli(óxido de fenileno) (PPO) o polibenzoxazol (PBO), sobre la capa de conducción 86 de los conectores metálicos 2, sobre la capa dieléctrica 88, y en los huecos entre los conectores metálicos 2. La capa de polímero sobre la capa de conducción 86 puede tener un grosor, por ejemplo, de entre 0,1 y 50 micrómetros, y preferentemente de entre 1 y 30 micrómetros, de entre 2 y 20 micrómetros o de entre 5 y 10 micrómetros.

[0498] De forma alternativa, la capa aislante o dieléctrica 120 puede incluir o puede ser una capa inorgánica, tal como una capa de óxido de silicio, nitruro de silicio, carbonitruro de silicio, oxinitruro de silicio u oxicarburo de silicio, sobre la capa de conducción 86 de los conectores metálicos 2, sobre la capa dieléctrica 88, y en los huecos entre los conectores metálicos 2. La capa inorgánica sobre la capa de conducción 86 puede tener un grosor, por ejemplo, de entre 0,1 y 10 micrómetros, y preferentemente de entre 0,1 y 1 micrómetros, de entre 0,2 y 2 micrómetros, de entre 0,3 y 3 micrómetros o de entre 0,5 y 5 micrómetros.

[0499] De forma alternativa, en referencia a la fig. 199, se puede formar la capa aislante o dieléctrica 120 como se muestra en la fig. 198 por las siguientes etapas. En primer lugar, se forma una capa de polímero 120a, tal como una capa de poliimida, benzociclobuteno (BCB), epoxi, poli(óxido de fenileno) (PPO) o polibenzoxazol (PBO), sobre la capa de conducción 86 de los conectores metálicos 2, sobre la capa dieléctrica 88, y en los huecos entre los conectores metálicos 2. Seguidamente, se rectifica o pule la capa de polímero 120a, por ejemplo, por un procedimiento de rectificado mecánico, un procedimiento de pulido mecánico, un procedimiento de pulido químico-mecánico (CMP) o un procedimiento que incluye pulido mecánico y grabado químico hasta que la capa de conducción 86 de los conectores metálicos 2 tiene una superficie superior 86u no cubierta por la capa de polímero 120a. En consecuencia, la capa de polímero 120a permanece sobre la capa dieléctrica 88 y en los huecos entre los conectores metálicos 2 y tiene un grosor, por ejemplo, mayor de 1 micrómetro, tal como de entre 1 y 20 micrómetros, y preferentemente de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 2 y 20 micrómetros. La superficie rectificada o pulida 120s de la capa de polímero 120a puede ser sustancialmente plana y sustancialmente coplanaria con la superficie superior 86u de la capa de conducción 86. Seguidamente, se forma una capa inorgánica 120b, tal como una capa de óxido de silicio, nitruro de silicio, carbonitruro de silicio, oxinitruro de silicio u oxicarburo de silicio, que tiene un grosor, por ejemplo, de entre 0,1 y 3 micrómetros, y preferentemente de entre 0,2 y 1,5 micrómetros, sobre la superficie superior 86u de la capa de conducción 86 y sobre la superficie rectificada o pulida 120s de la capa de polímero 120a. En consecuencia, la capa aislante o dieléctrica 120 como se muestra en la fig. 198 puede estar compuesta por la capa de polímero 120a y la capa inorgánica 120b como se muestra en la fig. 199.

[0500] En referencia a la fig. 200, después de formar la capa aislante o dieléctrica 120, se junta el sustrato inactivo 158 ilustrado en la fig. 54 con la capa aislante o dieléctrica 120 usando la capa 140 ilustrada en la fig. 54, lo que puede hacer referencia a las etapas ilustradas en la fig. 54. Seguidamente, se forman múltiples aberturas 158a en el sustrato inactivo 158 y exponen la capa 140, lo que puede hacer referencia a las etapas ilustradas en las figs. 55 y 56. De forma alternativa, las aberturas 158a se pueden formar en y pasar a través del sustrato inactivo 158 antes de que el sustrato inactivo 158 se junte con la capa aislante o dieléctrica 120 usando la capa 140. Seguidamente, múltiples chips 118, de los que cada uno es como el chip 118a o 118b ilustrado en la fig. 141L, se juntan con la capa 140 y se montan en las aberturas 158a y encima de la capa 120, lo que puede hacer referencia a las etapas ilustradas en la fig. 57. Después de montar los chips 118 en las aberturas 158a, los chips 118 tienen lados activos en las partes inferiores de los chips 118 y los lados posteriores en las partes superiores de los chips 118. La fig. 201 es un ejemplo de una vista

superior esquemática que muestra los chips 118 montados en las aberturas 158a en el sustrato inactivo 158, y la fig. 200 es una vista en sección transversal cortada a lo largo de la línea J-J mostrada en la vista superior esquemática de la fig. 201.

[0501] Como se muestra en las figs. 200 y 201, hay múltiples huecos 4b cada uno entre el sustrato inactivo 158 y uno de los chips 118, y hay múltiples huecos 8b (se muestra uno de ellos) cada uno entre dos chips adyacentes 118. Cada uno de los huecos 4b puede tener una distancia transversal o espaciado D7, por ejemplo, de entre 1 y 200 micrómetros, de entre 1 y 50 micrómetros o de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros. Cada uno de los huecos 8b puede tener una distancia transversal o espaciado D8, por ejemplo, de entre 1 y 200 micrómetros, de entre 1 y 50 micrómetros o de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros.

[0502] La fig. 202 muestra otra técnica para formar la estructura con la misma vista en sección transversal como se muestra en la fig. 200. La fig. 200 es una vista en sección transversal cortada a lo largo de la línea J-J mostrada en una vista superior esquemática de la fig. 202. La estructura mostrada en las figs. 200 y 202 se puede formar, por ejemplo, por las siguientes etapas. Después de formar la estructura ilustrada en la fig. 198 o 199, se forma una capa de pegamento 140 que tiene un grosor, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 5 y 10 micrómetros o de entre 10 y 30 micrómetros, sobre la capa aislante o dieléctrica 120 mostrada en la fig. 198 o 199 usando un procedimiento adecuado, tal como procedimiento de recubrimiento por rotación, procedimiento de laminación, procedimiento de pulverización, procedimiento de distribución o procedimiento de serigrafía. La capa de pegamento 140 puede ser una capa de polímero, tal como una capa de epoxi, poliimida, benzociclobuteno (BCB), polibenzoxazol (PBO), poli(óxido de fenileno) (PPO) o silosano, con un grosor, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 5 y 10 micrómetros o de entre 10 y 30 micrómetros. Seguidamente, la capa de pegamento 140 se puede precurar u hornear opcionalmente. Seguidamente, se colocan múltiples chips 118, de los que cada uno es como el chip 118a o 118b ilustrado en la fig. 141L, y múltiples sustratos inactivos separados 158 sobre la capa de pegamento 140. Cuando un hueco entre dos chips adyacentes 118 es demasiado grande, tal como mayor a 500 o 1000 micrómetros, uno o más de los sustratos inactivos separados 158 se pueden colocar en el hueco. De forma alternativa, cuando un hueco entre dos chips adyacentes 118 es lo suficientemente pequeño, tal como más pequeño que 500 o 1000 micrómetros, no puede haber sustratos inactivos separados 158 colocados en el hueco. Seguidamente, la capa de pegamento 140 se puede curar de nuevo a una temperatura de entre 180 grados centígrados y 350 grados centígrados con una presión mecánica o térmica sobre la capa de pegamento 140. En consecuencia, los chips 118 y los sustratos inactivos separados 158 se juntan con la capa aislante o dieléctrica 120 usando la capa de pegamento 140. Los sustratos inactivos separados 158, por ejemplo, pueden ser barras de silicio separadas, chips inactivos separados, pastillas de silicio inactivas separadas o sustratos separados de polisilicio, vidrio, silicio o cerámica.

[0503] De forma alternativa, en referencia a las figs. 200 y 202, se puede reemplazar la capa de pegamento 140 con una capa de óxido de silicio que se forma sobre la capa aislante o dieléctrica 120 mostrada en la fig. 198 o 199. En este caso, juntar los chips 118 con la capa 120 y juntar los sustratos inactivos separados 158 con la capa 120 se puede realizar, por ejemplo, uniendo otra capa de óxido de silicio de la capa de pasivación 21, en el lado activo de cada chip 118, con la capa de óxido de silicio 140 y uniendo otra capa de óxido de silicio de cada uno de los sustratos inactivos separados 158 con la capa de óxido de silicio 140. La capa de óxido de silicio de la capa de pasivación 21 de cada chip 118 se pone en contacto con la capa de óxido de silicio 140, y la capa de óxido de silicio de cada uno de los sustratos inactivos separados 158 se pone en contacto con la capa de óxido de silicio 140. En consecuencia, los chips 118 y los sustratos inactivos separados 158 se pueden juntar con la capa aislante o dieléctrica 120 usando estas capas de óxido de silicio.

[0504] Como se muestra en las figs. 200 y 202, hay múltiples huecos 4b cada uno entre uno de los chips 118 y uno de los sustratos inactivos separados 158, y hay múltiples huecos 8b (se muestra uno de ellos) cada uno entre dos chips adyacentes 118. Cada uno de los huecos 4b puede tener una distancia transversal o espaciado D7, por ejemplo, de entre 1 y 200 micrómetros, de entre 1 y 50 micrómetros o de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros. Cada uno de los huecos 8b puede tener una distancia transversal o espaciado D8, por ejemplo, más pequeño que 500 micrómetros, tal como de entre 1 y 200 micrómetros, de entre 1 y 50 micrómetros o de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros. En un modo de realización, no hay circuitos preformados en cada sustrato inactivo separado 158 o sobre una superficie superior o inferior de cada sustrato inactivo separado 158 antes de que los sustratos inactivos separados 158 se junten con la capa aislante o dieléctrica 120.

[0505] En referencia a la fig. 203, después de las etapas ilustradas en las figs. 200 y 201 o en las figs. 200 y 202, se forma un material de encapsulación/relleno de huecos 138 sobre un lado posterior del sustrato semiconductor 124 de cada chip 118, sobre el/los sustrato(s) inactivo(s) 158, y en los huecos 4b y 8b. Seguidamente, el material de encapsulación/relleno de huecos 138, el lado posterior del sustrato semiconductor 124 de cada chip 118, y el/los sustrato(s) inactivo(s) 158 se rectifican o pulen por un procedimiento adecuado, tal como procedimiento de rectificado mecánico, procedimiento de pulido mecánico, procedimiento de pulido químico-mecánico (CMP) o un procedimiento que incluye rectificado mecánico y pulido químico-mecánico, hasta que todos los anillos aislantes 500a en los chips 118 tienen superficies inferiores expuestas 500u, encima de las que no hay partes de los sustratos semiconductores 124. Las etapas de formación del material de encapsulación/relleno de huecos 138 y rectificado o pulido del material de encapsulación/relleno de huecos 138, el lado posterior del sustrato semiconductor 124 de cada chip 118, y el/los

sustrato(s) inactivo(s) 158 ilustradas en la fig. 203 pueden hacer referencia a las etapas de formación del material de encapsulación/relleno de huecos 64 y rectificado o pulido del material de encapsulación/relleno de huecos 64, el lado posterior del sustrato semiconductor 58 de cada chip 68, y el/los sustrato(s) inactivo(s) 62 como se ilustra en las figs. 143-146. El material de encapsulación/relleno de huecos 138 puede ser polisilicio, óxido de silicio o un polímero.

[0506] En consecuencia, el sustrato semiconductor 124 de cada uno de los chips 118 se puede estrechar a un grosor T15, por ejemplo, de entre 1 y 100 micrómetros, de entre 1 y 50 micrómetros, de entre 1 y 30 micrómetros, de entre 1 y 10 micrómetros o de entre 1 y 5 micrómetros, y preferentemente de entre 2 y 20 micrómetros o de entre 3 y 30 micrómetros. Con respecto a cada uno de los chips 118, después del procedimiento de rectificado o pulido, los anillos aislantes 500a y el sustrato semiconductor 124 pueden tener el mismo grosor T15. Preferentemente, cada uno de los chips 118, después del procedimiento de rectificado o pulido, puede tener un grosor, por ejemplo, de entre 3 y 105 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros.

[0507] Después del procedimiento de rectificado o pulido, el/los sustrato(s) inactivo(s) 158 se puede(n) estrechar a un grosor T16, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros, y el material de encapsulación/relleno de huecos 138 restante en los huecos 4b y 8b puede tener un grosor vertical T17, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros. La superficie rectificada o pulida 124s del sustrato semiconductor 124, en el lado posterior de cada chip 118, y la(s) superficie(s) rectificada(s) o pulida(s) 158s del/de los sustrato(s) inactivo(s) 158 pueden ser sustancialmente planas y no estar cubiertas por el material de encapsulación/relleno de huecos 138. La(s) superficie(s) rectificada(s) o pulida(s) 158s puede(n) ser sustancialmente coplanaria(s) con las superficies rectificadas o pulidas 124s de los chips 118, con la superficie rectificada o pulida 138s del material de encapsulación/relleno de huecos 138 en los huecos 4b y 8b, y con las superficies inferiores expuestas 500u de los anillos aislantes 500a en los chips 118. En cada chip 118, una distancia vertical D16 entre la superficie rectificada o pulida 124s del sustrato semiconductor 124 y la parte inferior del aislamiento de zanjas poco profundas 500b puede ser, por ejemplo, mayor de 0,1 micrómetros, tal como de entre 1 y 100 micrómetros, de entre 1 y 50 micrómetros, de entre 1 y 25 micrómetros, de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 0,1 y 2 micrómetros.

[0508] Seguidamente, en referencia a la fig. 204, se forma una capa dieléctrica 139 que tiene un grosor, por ejemplo, de entre 0,1 y 100 micrómetros, y preferentemente de entre 0,2 y 1,5 micrómetros, de entre 1 y 5 micrómetros, de entre 5 y 10 micrómetros o de entre 1 y 20 micrómetros, sobre la superficie 124s del sustrato semiconductor 124 de cada chip 118, sobre la(s) superficie(s) 158s del/de los sustrato(s) inactivo(s) 158, sobre las superficies inferiores expuestas 500u de los anillos aislantes 500a en los chips 118, y sobre la superficie 138s del material de encapsulación/relleno de huecos 138. Seguidamente, se pueden formar múltiples vías pasantes 156v, incluyendo las vías pasantes 156a, 156b, 156c, 156d, 156e y 156f, en los chips 118 y en el/los sustrato(s) inactivo(s) 158, exponiendo la capa de conducción 86 de los conectores metálicos 2 y exponiendo las capas 17 y 19 de los chips 118. Las etapas de formación de las vías pasantes 156v en los chips 118 y en el/los sustrato(s) inactivo(s) 158 ilustradas en la fig. 204 pueden hacer referencia a las etapas de formación de las vías pasantes 156v en los chips 118 y en el/los sustrato(s) inactivo(s) 158 como se ilustra en la fig. 65, pero, en el modo de realización, la formación de las vías 156v pasantes en los chips 118 incluye el grabado a través de los sustratos semiconductores 124 rodeados por los anillos aislantes 500a en los chips 118. Las especificaciones de la vías pasantes 156v (incluyendo las vías 156a-156f), los anillos aislantes 500a que rodean las vías pasantes 156v y el soporte 803 mostrados en la fig. 204 pueden hacer referencia a las especificaciones de las vías pasantes 156v (incluyendo las vías 156a-156f), los anillos aislantes 500a que rodean las vías pasantes 156v y el soporte 803, respectivamente, ilustrados en las figs. 173-177.

[0509] La capa dieléctrica 139 mostrada en la fig. 204, por ejemplo, puede ser una capa inorgánica formada por un procedimiento adecuado, tal como procedimiento de depósito químico de vapor (CVD) o procedimiento de depósito químico de vapor potenciado por plasma (PECVD). La capa inorgánica puede incluir o puede ser una capa de óxido de silicio (tal como SiO_2), nitruro de silicio (tal como Si_3N_4), carbonitrato de silicio (tal como SiCN), oxinitruro de silicio (tal como SiON) u oxycarburo de silicio (tal como SiOC) sobre las superficies 124s, 158s, 500u y 138s. La capa inorgánica puede tener un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,2 y 1,5 micrómetros o de entre 0,5 y 2 micrómetros.

[0510] De forma alternativa, la capa dieléctrica 139 mostrada en la fig. 204 puede ser una capa de polímero, tal como una capa de poliimida, epoxi, benzociclobutano (BCB), polibenzoxazol (PBO) o poli(óxido de fenileno) (PPO), que tiene un grosor de entre 3 y 100 micrómetros, y preferentemente de entre 5 y 30 micrómetros o de entre 10 y 50 micrómetros, sobre las superficies 124s, 158s, 500u y 138s.

[0511] De forma alternativa, la capa dieléctrica 139 mostrada en la fig. 204 puede estar compuesta por una capa inorgánica y una capa de polímero sobre la capa inorgánica. La capa inorgánica se puede formar sobre las superficies 124s, 158s, 500u y 138s usando un procedimiento adecuado, tal como procedimiento de depósito químico de vapor (CVD). La capa inorgánica puede incluir o puede ser una capa de óxido de silicio (tal como SiO_2), nitruro de silicio (tal como Si_3N_4), carbonitrato de silicio (tal como SiCN), oxinitruro de silicio (tal como SiON) u oxycarburo de silicio (tal como SiOC) sobre las superficies 124s, 158s, 500u y 138s. La capa inorgánica puede tener un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,2 y 1,5 micrómetros o de entre 0,5 y 2 micrómetros. La capa de polímero puede ser una capa de poliimida, benzociclobutano (BCB), epoxi, polibenzoxazol (PBO) o poli(óxido

de fenileno) (PPO) que tiene un grosor de entre 3 y 100 micrómetros, y preferentemente de entre 5 y 30 micrómetros o de entre 10 y 50 micrómetros, sobre la capa inorgánica.

[0512] Seguidamente, en referencia a la fig. 205, se forma una capa de adhesión/barrera 125a que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las capas 17, 19 y 86 expuestas por las vías pasantes 156v, sobre las paredes laterales de las vías pasantes 156v, sobre la capa dieléctrica 139, y sobre el conector o pista metálica 75a que está sobre el soporte 803. Se puede formar la capa de adhesión/barrera 125a por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD), o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se forma una capa germinal 125b que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa de adhesión/barrera 125a y en las vías pasantes 156v por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD), o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se forma una capa fotorresistente 394 sobre la capa germinal 125b usando, por ejemplo, un procedimiento de recubrimiento por rotación, un procedimiento de serigrafía o un procedimiento de laminación. Seguidamente, se puede emplear un procedimiento de fotoexposición y un procedimiento de revelado para formar múltiples aberturas 394a, exponiendo múltiples regiones de la capa germinal 125b, en la capa fotorresistente 394. La capa fotorresistente estampada 394 puede tener un grosor, por ejemplo, de entre 1 y 30 micrómetros, y preferentemente de entre 1 y 20 micrómetros o de entre 1 y 10 micrómetros. Seguidamente, se puede formar una capa de conducción 125c que tiene un grosor mayor de 1 micrómetro, tal como de entre 1 y 20 micrómetros, y preferentemente de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 2 y 20 micrómetros, sobre las regiones, expuestas por las aberturas 394a en la capa 394, de la capa germinal 125b usando un procedimiento adecuado, tal como el procedimiento de electrochapado. Las especificaciones de la capa de adhesión/barrera 125a, la capa germinal 125b y la capa de conducción 125c mostradas en la fig. 205 pueden hacer referencia a las especificaciones de la capa de adhesión/barrera 125a, la capa germinal 125b y la capa de conducción 125c como se ilustra en la fig. 100, respectivamente.

[0513] Seguidamente, en referencia a la fig. 206, se elimina la capa fotorresistente 394 usando, por ejemplo, una solución química orgánica. Seguidamente, se elimina la capa germinal 125b que no está debajo de la capa de conducción 125c usando un procedimiento de grabado húmedo o un procedimiento de grabado en seco. Seguidamente, se elimina la capa de adhesión/barrera 125a que no está debajo de la capa de conducción 125c usando un procedimiento de grabado húmedo o un procedimiento de grabado en seco. En consecuencia, las capas 125a, 125b y 125c encima de la capa dieléctrica 139 y encima de las vías pasantes 156v componen múltiples conectores metálicos 3, incluyendo los conectores metálicos 3a, 3b y 3c, encima de la capa dieléctrica 139 y encima de las vías pasantes 156v. La capa de adhesión/barrera 125a y la capa germinal 125b de los conectores metálicos 3 encima de la capa dieléctrica 139 no están en ninguna pared lateral 3w de la capa de conducción 125c de los conectores metálicos 3 encima de la capa dieléctrica 139, sino debajo de una parte inferior de la capa de conducción 125c de los conectores metálicos 3 encima de la capa dieléctrica 139. Las paredes laterales 3w de la capa de conducción 125c de los conectores metálicos 3 encima de la capa dieléctrica 139 no están cubiertas por las capas 125a y 125b. Las capas 125a, 125b y 125c en las vías pasantes 156v componen múltiples tapones metálicos (o vías metálicas) 7p en las vías pasantes 156v, incluyendo los tapones metálicos (o vías metálicas) 7a, 7b, 7c, 7d, 7e y 7f en las vías pasantes 156a, 156b, 156c, 156d, 156e y 156f como se muestra en la fig. 204, respectivamente. El tapón metálico 7a se forma en el sustrato inactivo 158, los tapones metálicos 7b, 7c y 7d se forman en el de la izquierda de los chips 118, y los tapones metálicos 7e y 7f se forman en el del medio de los chips 118. Estos tapones metálicos 7p formados en los chips 118 y en el/los sustrato(s) inactivo(s) 158 pueden conectar los conectores metálicos 3 y los dispositivos semiconductores 13 en los chips 118 y conectar los conectores metálicos 2 y 3. El soporte 803 y el conector o pista metálica 75a, en la capa de interconexión 17, sobre el soporte 803 pueden estar entre dos partes, más bajas que un nivel horizontal, en el que se sitúa una superficie superior de la capa de interconexión 17, del tapón metálico 7e.

[0514] Cada uno de los tapones metálicos 7p en los chips 118 pasa a través de uno de los anillos aislantes 500a en los chips 118. Por ejemplo, los tapones metálicos 7b, 7c y 7d en el de la izquierda de los chips 118 pasan a través de los anillos aislantes 500a en el de la izquierda de los chips 118, y los tapones metálicos 7e y 7f en el del medio de los chips 118 pasan a través de los anillos aislantes 500a en el del medio de los chips 118. Específicamente, cada uno de los tapones metálicos 7b, 7c y 7d pasa a través del sustrato semiconductor 124 del de la izquierda de los chips 118 y está rodeado por uno de los anillos aislantes 500a en el de la izquierda de los chips 118, y cada uno de los tapones metálicos 7e y 7f pasa a través del sustrato semiconductor 124 del del medio de los chips 118 y está rodeado por uno de los anillos aislantes 500a en el del medio de los chips 118. El sustrato semiconductor 124 del de la izquierda de los chips 118 tiene partes sobre las superficies internas de los anillos aislantes 500a que rodean los tapones metálicos 7c y 7d, y el sustrato semiconductor 124 del del medio de los chips 118 tiene partes sobre las superficies internas de los anillos aislantes 500a que rodean los tapones metálicos 7e y 7f. El anillo aislante 500a que rodea el tapón metálico 7b está en la pared lateral del tapón metálico 7b y se pone en contacto con el tapón metálico 7b. El anillo aislante 500a que rodea el tapón metálico 7d tiene una parte en y en contacto con la pared lateral del tapón metálico 7d. El anillo aislante 500a que rodea el tapón metálico 7f tiene una parte en y en contacto con la pared lateral del tapón metálico 7f. Para obtener una descripción más detallada acerca de los tapones metálicos 7p (incluyendo los tapones metálicos

7a-7f) y los conectores metálicos 3 (incluyendo los conectores metálicos 3a, 3b y 3c) mostrados en la fig. 206, consúltense la ilustración de la fig. 101.

[0515] De forma alternativa, el elemento 118 no solo puede indicar un chip, sino que también puede indicar una oblea. Cuando el elemento 118 es una oblea, el elemento 72 puede ser otra oblea. De este modo, el procedimiento ilustrado en la invención se puede emplear para la unión de oblea a oblea.

[0516] En referencia a la fig. 207, después de formar la estructura ilustrada en la fig. 206, se pueden realizar posteriormente las siguientes etapas como se ilustra en la fig. 102 para formar la capa aislante o dieléctrica 122 sobre la capa de conducción 125c de los conectores metálicos 3, sobre la capa dieléctrica 139 y en los huecos entre los conectores metálicos 3, para formar la capa de polímero 136 sobre la capa aislante o dieléctrica 122, y para formar múltiples aberturas 136a, exponiendo múltiples regiones de la capa aislante o dieléctrica 122, en la capa de polímero 136. Seguidamente, formar una capa metalúrgica de protuberancias (UBM) 666 sobre la capa de polímero 136 y sobre múltiples puntos de contacto, en las partes inferiores de múltiples aberturas en la capa aislante o dieléctrica 122 y debajo de las aberturas 136a en la capa de polímero 136, de la capa de conducción 125c de los conectores metálicos 3 y formar múltiples protuberancias o bolas de soldadura 126 sobre la capa UBM 666 puede hacer referencia a las etapas ilustradas en las figs. 78-81. Seguidamente, se realiza un procedimiento de individualización para cortar el portador 11, los sustratos inactivos 62, 165 y 158, y las capas 22, 60, 66, 88, 116, 120, 122, 136, 139 y 140 usando, por ejemplo, corte mecánico o corte por láser y para individualizar múltiples sistemas en paquetes o módulos multichip, tales como los sistemas en paquetes o los módulos multichip 555w y 555x.

[0517] El sistema en paquete o el módulo multichip 555w se puede conectar a y unir con un portador, tal como una placa base, una placa de circuito impreso (PCB), un sustrato de matriz de rejilla de bolas (BGA), un sustrato de metal, un sustrato de vidrio o un sustrato de cerámica, usando las protuberancias o bolas de soldadura 126. Por ejemplo, en referencia a la fig. 208, el sistema en paquete o el módulo multichip 555w se une con el lado superior del portador 176 ilustrado en la fig. 83 usando, por ejemplo, una tecnología de chip invertido para juntar las protuberancias o bolas de soldadura 126 con una capa de soldadura o de oro preformada sobre el lado superior del portador 176. Seguidamente, se forma el relleno subyacente 174 ilustrado en la fig. 83 entre la capa de polímero 136 del sistema en paquete o del módulo multichip 555w y el lado superior del portador 176 y rodea las protuberancias o bolas de soldadura 126. Seguidamente, se forman las bolas de soldadura 178 ilustradas en la fig. 83 sobre el lado inferior del portador 176.

[0518] La fig. 209 muestra otro sistema en paquete o módulo multichip de acuerdo con otro modo de realización de la presente divulgación, que se puede formar por las siguientes etapas. Después de formar la estructura ilustrada en la fig. 206, se pueden realizar posteriormente las siguientes etapas como se ilustra en la fig. 102 para formar la capa aislante o dieléctrica 122 sobre la capa de conducción 125c de los conectores metálicos 3, sobre la capa dieléctrica 139 y en los huecos entre los conectores metálicos 3, para formar la capa de polímero 136 sobre la capa aislante o dieléctrica 122, y para formar múltiples aberturas 136a, exponiendo múltiples regiones de la capa aislante o dieléctrica 122, en la capa de polímero 136. Seguidamente, se pueden realizar posteriormente las etapas ilustradas en las figs. 78 y 79. Seguidamente, formar protuberancias metálicas 668 sobre la capa de polímero 136 y sobre los puntos de contacto, en partes inferiores de aberturas en la capa aislante o dieléctrica 122 y debajo de las aberturas 136a en la capa de polímero 136, de la capa de conducción 125c de los conectores metálicos 3 puede hacer referencia a las etapas ilustradas en la fig. 84. Seguidamente, se puede realizar un procedimiento de individualización para cortar el portador 11, los sustratos inactivos 62, 165 y 158, y las capas 22, 60, 66, 88, 116, 120, 122, 136, 139 y 140 usando, por ejemplo, corte mecánico o corte por láser y para individualizar múltiples sistemas en paquetes o módulos multichip, tales como sistema en paquete o módulo multichip 555y. En el sistema en paquete o el módulo multichip 555y, cada uno de los conectores 3 se puede conectar a una o más de las protuberancias metálicas 668.

[0519] El sistema en paquete o el módulo multichip 555y se puede conectar a y unir con un portador, tal como una placa base, una placa de circuito impreso (PCB), un sustrato de matriz de rejilla de bolas (BGA), un sustrato de metal, un sustrato de vidrio o un sustrato de cerámica, usando las protuberancias metálicas 668. Por ejemplo, en referencia a la fig. 210, el sistema en paquete o el módulo multichip 555y se puede unir con el lado superior del portador 176 ilustrado en la fig. 83 usando, por ejemplo, una tecnología de chip invertido para juntar la capa humectante de soldadura 146 de las protuberancias metálicas 668 con una capa de soldadura o de oro preformada sobre el lado superior del portador 176. Después de juntar la capa humectante de soldadura 146 con la capa de soldadura o de oro preformada sobre el lado superior del portador 176, se forman múltiples juntas metálicas 180 entre la capa de barrera 144 de las protuberancias metálicas 668 y el lado superior del portador 176. Las juntas metálicas 180 pueden ser una capa de una aleación Sn-Ag, una aleación Sn-Ag-Cu, una aleación Sn-Au o una aleación Sn-Pb que tiene un grosor de entre 5 y 50 micrómetros. Seguidamente, se puede formar el relleno subyacente 174 ilustrado en la fig. 83 entre la capa de polímero 136 del sistema en paquete o del módulo multichip 555y y el lado superior del portador 176 y que rodea las protuberancias metálicas 668 y las juntas metálicas 180. Seguidamente, se pueden formar las bolas de soldadura 178 ilustradas en la fig. 83 sobre el lado inferior del portador 176.

[0520] De forma alternativa, la capa aislante o dieléctrica 122 como se muestra en las figs. 207-210 se puede omitir. En este caso, se forma la capa de polímero 136 sobre la capa de conducción 125c de los conectores metálicos 3, sobre la capa dieléctrica 139, y en los huecos entre los conectores metálicos 3, y los puntos de contacto de la capa de conducción 125c de los conectores metálicos 3 se exponen por y en los extremos de las aberturas 136a en la capa

de polímero 136. Además, se forma la capa de adhesión/barrera 134 sobre los puntos de contacto, expuestos por y en los extremos de las aberturas 136a en la capa de polímero 136, de la capa de conducción 125c de los conectores metálicos 3.

[0521] La fig. 211 muestra un paquete multichip 566e que incluye un sistema en paquete o un módulo multichip 555z conectado al portador 176 ilustrado en la fig. 83 a través de hilos unidos por hilo 184, que se puede formar, por ejemplo, por las siguientes etapas. Después de formar la estructura ilustrada en la fig. 206, se pueden realizar posteriormente las siguientes etapas como se ilustra en la fig. 107 para formar una capa aislante o dieléctrica 122 sobre la capa de conducción 125c de los conectores metálicos 3, sobre la capa dieléctrica 139, y en los huecos entre los conectores metálicos 3, para formar múltiples pistas o conectores metálicos 300 sobre la capa aislante o dieléctrica 122 y sobre múltiples regiones, expuestas por múltiples aberturas 122a en la capa 122, de la capa de conducción 125c de los conectores metálicos 3, y para formar una capa de polímero 136 sobre la capa aislante o dieléctrica 122 y sobre las pistas o conectores metálicos 300. La capa de polímero 136 después de curarse puede tener un grosor, por ejemplo, de entre 1 y 20 micrómetros, y preferentemente de entre 2 y 15 micrómetros o de entre 5 y 10 micrómetros, y múltiples aberturas 136a en la capa de polímero 136 que exponen múltiples puntos de contacto de las pistas o conectores metálicos 300. Seguidamente, se puede realizar un procedimiento de individualización para cortar el portador 11, los sustratos inactivos 62, 165 y 158, y las capas 22, 60, 66, 88, 116, 120, 122, 136, 139 y 140 usando, por ejemplo, corte mecánico o corte por láser y para individualizar múltiples sistemas en paquetes o módulos multichip, tales como el sistema en paquete o el módulo multichip 555z.

[0522] Seguidamente, se puede juntar una pluralidad del sistema en paquete o del módulo multichip 555z con el portador 176 mostrado en la fig. 83, por ejemplo, formando una capa de pegamento 182 con un grosor, por ejemplo, de entre 1 y 20 micrómetros o de entre 20 y 150 micrómetros sobre el lado superior del portador 176, y a continuación fijando la pluralidad del sistema en paquete o del módulo multichip 555z al lado superior del portador 11 usando la capa de pegamento 182. La capa de pegamento 182 puede ser una capa de polímero, tal como una capa de poliimida, benzociclobuteno (BCB), epoxi, polibenzoxazol (PBO), poli(óxido de fenileno) (PPO), silosano o SU-8, con un grosor, por ejemplo, de entre 1 y 20 micrómetros o de entre 20 y 150 micrómetros. Seguidamente, múltiples hilos 184, tales como hilos de oro, hilos de cobre o hilos de aluminio, se pueden unir por hilo sobre el lado superior del portador 176 y sobre los puntos de contacto, expuestos por las aberturas 136a en la capa de polímero 136, de la capa de conducción 150 de las pistas o conectores metálicos 300 por un procedimiento de unión por hilo. En consecuencia, las pistas o conectores metálicos 300 de la pluralidad del sistema en paquete o del módulo multichip 555z se pueden conectar física y eléctricamente al portador 176 a través de los hilos unidos por hilo 184. Seguidamente, se puede formar un compuesto de moldeo 186 sobre la pluralidad del sistema en paquete o del módulo multichip 555z, sobre el lado superior del portador 176 y sobre los hilos unidos por hilo 184, encapsulando los hilos unidos por hilo 184 y la pluralidad del sistema en paquete o del módulo multichip 555z, por un procedimiento de moldeo. El compuesto de moldeo 186 puede incluir epoxi, relleno de carbono o relleno de vidrio, y el relleno de vidrio o relleno de carbono se puede distribuir en la epoxi. Seguidamente, se pueden formar las bolas de soldadura 178 ilustradas en la fig. 83 sobre el lado inferior del portador 176. Después de esto, se puede realizar un procedimiento de individualización para cortar el portador 176 y el compuesto de moldeo 186 y para individualizar una pluralidad del paquete multichip 566e. El paquete multichip 566e se puede conectar a un portador, tal como una placa base, un sustrato de matriz de rejilla de bolas (BGA), una placa de circuito impreso, un sustrato de metal, un sustrato de vidrio o un sustrato de cerámica, a través de las bolas de soldadura 178.

[0523] De forma alternativa, se pueden reemplazar los chips 68 ilustrados en las figs. 7-109 con otro tipo de chips 68 mostrados en la fig. 212L que incluyen además tapones aislantes 789 más gruesos que el aislamiento de zanjas poco profundas (STI) 345. Las figs. 212A-212L muestran un procedimiento para formar el otro tipo de chips 68 de acuerdo con un modo de realización de la presente divulgación. En referencia a la fig. 212A, se forma una capa aislante 301a sobre un sustrato semiconductor 58 de una oblea 680a usando un procedimiento adecuado, tal como procedimiento de depósito químico de vapor (CVD). El sustrato semiconductor 58 puede ser un sustrato de silicio-germanio (SiGe), un sustrato de arseniuro de galio (GaAs) o un sustrato de silicio con un grosor, por ejemplo, mayor de 100 micrómetros, tal como de entre 100 y 500 micrómetros, y preferentemente de entre 150 y 250 micrómetros o de entre 100 y 300 micrómetros. La capa aislante 301a, por ejemplo, puede ser una isla de óxido que tiene un grosor de entre 1 y 20 nanómetros, y preferentemente de entre 1 y 10 nanómetros, sobre una superficie superior del sustrato semiconductor 58. Después de formar la capa aislante 301a sobre la superficie superior del sustrato semiconductor 58, se forma una capa fotorresistente estampada 306 sobre la capa aislante 301a. Múltiples aberturas 306a en la capa fotorresistente estampada 306 exponen múltiples regiones de la capa aislante 301a.

[0524] Seguidamente, en referencia a la fig. 212B, se forman múltiples aberturas 307 en el sustrato semiconductor 58 al eliminar la capa aislante 301a debajo de las aberturas 306a y grabar el sustrato semiconductor 58 debajo de las aberturas 306a, dando lugar a las aberturas 307 con una profundidad D17 en el sustrato semiconductor 58, por ejemplo, de entre 1 y 100 micrómetros, de entre 1 y 50 micrómetros, de entre 1 y 30 micrómetros, de entre 1 y 10 micrómetros o de entre 1 y 5 micrómetros, y preferentemente de entre 2 y 20 micrómetros. Cada una de las aberturas 307 puede tener un diámetro o ancho W10, por ejemplo, de entre 2 y 100 micrómetros, de entre 2 y 50 micrómetros, de entre 2 y 20 micrómetros, de entre 2 y 10 micrómetros o de entre 2 y 5 micrómetros.

[0525] Seguidamente, en referencia a la fig. 212C, se elimina la capa fotorresistente estampada 306 usando una solución química. Seguidamente, en referencia a la fig. 212D, se forma una capa aislante 567 que tiene un grosor T27, por ejemplo, de entre 10 y 250 nanómetros, y preferentemente de entre 15 y 150 nanómetros, sobre la capa aislante 301a y sobre las paredes laterales y las partes inferiores de las aberturas 307 usando un procedimiento adecuado, tal como procedimiento de depósito químico de vapor (CVD), y a continuación se forma una capa aislante 456 sobre la capa aislante 567 y en las aberturas 307 usando un procedimiento adecuado, tal como procedimiento de depósito químico de vapor (CVD).

[0526] En una primera alternativa, se puede formar la capa aislante 567 depositando una capa de nitruro de silicio u oxinitruro de silicio con un grosor, por ejemplo, de entre 10 y 250 nanómetros, y preferentemente de entre 15 y 150 nanómetros, sobre la capa aislante 301a y sobre las paredes laterales y las partes inferiores de las aberturas 307 usando un procedimiento adecuado, tal como depósito químico de vapor (CVD). Se puede formar la capa aislante 456 depositando una capa de polisilicio u óxido de silicio en las aberturas 307 y sobre la capa de nitruro de silicio u oxinitruro de silicio usando un procedimiento adecuado, tal como depósito químico de vapor (CVD).

[0527] En una segunda alternativa, se puede formar la capa aislante 567 depositando una capa de óxido de silicio con un grosor, por ejemplo, de entre 1 y 20 nanómetros, y preferentemente de entre 1 y 10 nanómetros, sobre la capa aislante 301a y sobre las paredes laterales y las partes inferiores de las aberturas 307 usando un procedimiento adecuado, tal como depósito químico de vapor (CVD), y a continuación depositando una capa de nitruro de silicio u oxinitruro de silicio con un grosor, por ejemplo, de entre 10 y 230 nanómetros, y preferentemente de entre 15 y 140 nanómetros, sobre la capa de óxido de silicio y en las paredes laterales y las partes inferiores de las aberturas 307 usando un procedimiento adecuado, tal como depósito químico de vapor (CVD). Se puede formar la capa aislante 456 depositando una capa de polisilicio u óxido de silicio en las aberturas 307 y sobre la capa de nitruro de silicio u oxinitruro de silicio de la capa aislante 567 usando un procedimiento adecuado, tal como depósito químico de vapor (CVD).

[0528] Seguidamente, en referencia a la fig. 212E, se rectifica o pule la capa aislante 456 por un procedimiento de pulido químico-mecánico (CMP), un procedimiento de pulido mecánico, un procedimiento de rectificado mecánico o un procedimiento que incluye pulido mecánico y grabado químico hasta que la capa aislante 567, tal como la capa de nitruro de silicio u oxinitruro de silicio de la capa aislante 567, fuera de las aberturas 307 tiene una superficie superior 567a no cubierta por la capa aislante 456.

[0529] Seguidamente, en referencia a la fig. 212F, se forma una capa fotorresistente estampada 302 sobre la superficie superior 567a de la capa aislante 567 y sobre la capa aislante 456. Múltiples aberturas 302a en la capa fotorresistente estampada 302 exponen múltiples regiones de la superficie superior 567a de la capa aislante 567.

[0530] Seguidamente, en referencia a la fig. 212G, se forman múltiples zanjas poco profundas 303 en el sustrato semiconductor 58 al eliminar la capa aislante 567 debajo de las aberturas 302a, eliminar la capa aislante 301a debajo de las aberturas 302a y grabar el sustrato semiconductor 58 debajo las aberturas 302a, dando lugar a las zanjas poco profundas 303 con una profundidad D10 en el sustrato semiconductor 58, por ejemplo, de entre 0,1 y 0,5 micrómetros, y preferentemente de entre 0,15 y 0,4 micrómetros. Las zanjas poco profundas 303 se usan para admitir un aislamiento de zanjas poco profundas (ITS).

[0531] Seguidamente, en referencia a la fig. 212H, se elimina la capa fotorresistente estampada 302 usando una solución química. Seguidamente, en referencia a la fig. 212I, se forma un material inorgánico 345 sobre la superficie superior 567a de la capa aislante 567, sobre la capa aislante 456 y en las zanjas poco profundas 303 usando un procedimiento adecuado, tal como procedimiento de depósito químico de vapor (CVD). El material inorgánico 345 puede incluir o puede ser óxido de silicio.

[0532] Seguidamente, en referencia a la fig. 212J, se elimina el material inorgánico 345 fuera de las zanjas poco profundas 303 por un procedimiento adecuado, tal como procedimiento de pulido químico-mecánico (CMP), a continuación se decapa la capa aislante 567 fuera de las aberturas 307 usando una solución química, y a continuación se decapa toda la capa aislante 301a usando una solución química. En consecuencia, las capas aislantes 456 y 567 permanecen en las aberturas 307, denominadas tapones aislantes 789, y el material inorgánico 345 permanece en las zanjas poco profundas 303, denominado aislamiento de zanjas poco profundas (ITS). La capa aislante 567 de los tapones aislantes 789 está sobre las paredes laterales y una parte inferior de la capa aislante 456 de los tapones aislantes 789, y las paredes laterales y la parte inferior de la capa aislante 456 están cubiertas por la capa aislante 567. La capa aislante 567 de los tapones aislantes 789, por ejemplo, puede ser una capa de nitruro de silicio u oxinitruro de silicio con un grosor, por ejemplo, de entre 10 y 250 nanómetros, y preferentemente de entre 15 y 150 nanómetros, sobre las paredes laterales y la parte inferior de la capa aislante 456 de los tapones aislantes 789. De forma alternativa, la capa aislante 567 de los tapones aislantes 789 puede estar compuesta por una capa de óxido de silicio con un grosor, por ejemplo, de entre 1 y 20 nanómetros, y preferentemente de entre 1 y 10 nanómetros, en las paredes laterales y la parte inferior de la capa aislante 456 de los tapones aislantes 789, y una capa de nitruro de silicio u oxinitruro de silicio con un grosor, por ejemplo, de entre 10 y 230 nanómetros, y preferentemente de entre 15 y 140 nanómetros, entre la capa de óxido de silicio y la capa aislante 456 y sobre las paredes laterales y la parte inferior de la capa aislante 456. Los tapones aislantes 789 están en las aberturas 307 que tienen la profundidad D17, por ejemplo, de entre 1 y 100 micrómetros, de entre 1 y 50 micrómetros, de entre 1 y 30 micrómetros, de entre 1 y 10 micrómetros

o de entre 1 y 5 micrómetros, y preferentemente de entre 2 y 20 micrómetros, y el diámetro o ancho W10 de entre 2 y 100 micrómetros, de entre 2 y 50 micrómetros, de entre 2 y 20 micrómetros, de entre 2 y 10 micrómetros o de entre 2 y 5 micrómetros. El aislamiento de zanjas poco profundas (STI) 345 puede incluir o puede ser óxido de silicio y está en las zanjas poco profundas 303 que tienen la profundidad D10 en el sustrato semiconductor 58, por ejemplo, de entre 0,1 y 0,5 micrómetros, y preferentemente de entre 0,15 y 0,4 micrómetros. Una distancia vertical D18 entre una parte inferior de uno de los tapones aislantes 789 y una parte inferior del aislamiento de zanjas poco profundas 345 puede ser, por ejemplo, mayor de 0,1 micrómetros, tal como de entre 1 y 100 micrómetros, de entre 1 y 50 micrómetros, de entre 1 y 25 micrómetros, de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 0,1 y 2 micrómetros.

[0533] Seguidamente, en referencia a la fig. 212K, se pueden formar múltiples dispositivos semiconductores 36 en y/o sobre el sustrato semiconductor 58, y a continuación se pueden formar múltiples capas dieléctricas 42, 44, 46 y 48, múltiples tapones de vía 26a y 34a, una capa de interconexión 34, una capa metálica estampada 26 y una capa de pasivación 24 encima de la superficie superior del sustrato semiconductor 58.

[0534] Seguidamente, en referencia a la fig. 212L, se puede realizar un procedimiento de individualización para cortar el sustrato semiconductor 58 y las capas 24, 42, 44, 46 y 48 de la oblea 680a y para individualizar múltiples chips 68 (se muestra uno de ellos). Cada uno de los chips 68 incluye los conectores o pistas metálicas 35a, 35b, 35c y 35d descritos previamente. El elemento de los chips 68 en la fig. 212L indicado por un mismo número de referencia indica que el elemento de los chips 68 en la fig. 7 tiene un mismo material y especificación que el elemento de los chips 68 ilustrado en la fig. 7. Los chips 68 mostrados en la fig. 212L son disposiciones inversas de los chips 68 mostrados en la fig. 7.

[0535] De forma alternativa, se puede reemplazar cada uno de los chips 72 ilustrados en las figs. 33-109 con otro tipo de chip 72a o 72b mostrado en la fig. 212M que incluye además tapones aislantes 789 más gruesos que el aislamiento de zanjas poco profundas (STI) 345. La fig. 212M muestra vistas en sección transversal de los chips 72a y 72b de acuerdo con un modo de realización de la presente divulgación. El elemento de los chips 72a y 72b en la fig. 212M indicado por un mismo número de referencia indica que el elemento de los chips 72 en la fig. 33 tiene un mismo material y especificación que el elemento de los chips 72 ilustrado en la fig. 33. Los chips 72a y 72b mostrados en la fig. 212M son disposiciones inversas de los chips 72 mostrados en la fig. 33. En referencia a la fig. 212M, cada uno de los chips 72a y 72b está provisto del sustrato semiconductor 96, los tapones aislantes 789, el aislamiento de zanjas poco profundas (STI) 345, los dispositivos semiconductores 102, la capa de pasivación 74, las capas dieléctricas 82, 108, 104 y 100, la capa metálica estampada 114, la capa de interconexión 106 y los tapones de vía 106a y 114a. Las etapas de formación de los tapones aislantes 789 en las aberturas 307 en el sustrato semiconductor 96 y formación del aislamiento de zanjas poco profundas (STI) 345 en las zanjas poco profundas 303 en el sustrato semiconductor 96 pueden hacer referencia a las etapas de formación de los tapones aislantes 789 en las aberturas 307 en el sustrato semiconductor 58 y formación del aislamiento de zanjas poco profundas (STI) 345 en las zanjas poco profundas 303 en el sustrato semiconductor 58 como se ilustra en las figs. 212A-212L. Las especificaciones de las zanjas poco profundas 303, las aberturas 307, los tapones aislantes 789 y el aislamiento de zanjas poco profundas (STI) 345 pueden hacer referencia a las especificaciones de las zanjas poco profundas 303, las aberturas 307, los tapones aislantes 789 y los aislamiento de zanjas poco profundas (ITS) 345, respectivamente, ilustrados en las figs. 212A-212L.

[0536] En un caso, el chip 72a puede tener diseños de circuito diferentes de los del chip 72b. También, en otro caso, el chip 72a puede tener los mismos diseños de circuito que los del chip 72b. De forma alternativa, el chip 72a puede tener un área (superficie superior) o tamaño diferente al del chip 72b. También, en otro caso, el chip 72a puede tener una misma área (superficie superior) o tamaño que el del chip 72b.

[0537] De forma alternativa, se puede reemplazar cada uno de los chips 118 ilustrados en las figs. 57-109 con otro tipo de chip 118a o 118b mostrado en la fig. 212N que incluye además tapones aislantes 789 más gruesos que el aislamiento de zanjas poco profundas (STI) 345. La fig. 212N muestra vistas en sección transversal de los chips 118a y 118b de acuerdo con un modo de realización de la presente divulgación. El elemento de los chips 118a y 118b en la fig. 212N indicado por un mismo número de referencia indica que el elemento de los chips 118 en la fig. 57 tiene un mismo material y especificación que el elemento de los chips 118 ilustrado en la fig. 57. Los chips 118a y 118b mostrados en la fig. 212N son disposiciones inversas de los chips 118 mostrados en la fig. 57. En referencia a la fig. 212N, cada uno de los chips 118a y 118b está provisto del sustrato semiconductor 124, los tapones aislantes 789, el aislamiento de zanjas poco profundas (STI) 345, los dispositivos semiconductores 13, la capa de pasivación 21, las capas dieléctricas 78, 28, 38 y 40, la capa metálica estampada 19, la capa de interconexión 17 y los tapones de vía 17a y 19a. Las etapas de formación de los tapones aislantes 789 en las aberturas 307 en el sustrato semiconductor 124 y formación del aislamiento de zanjas poco profundas (STI) 345 en las zanjas poco profundas 303 en el sustrato semiconductor 124 pueden hacer referencia a las etapas de formación de los tapones aislantes 789 en las aberturas 307 en el sustrato semiconductor 58 y formación del aislamiento de zanjas poco profundas (STI) 345 en las zanjas poco profundas 303 en el sustrato semiconductor 58 como se ilustra en las figs. 212A-212L. Las especificaciones de las zanjas poco profundas 303, las aberturas 307, los tapones aislantes 789 y el aislamiento de zanjas poco profundas (STI) 345 pueden hacer referencia a las especificaciones de las zanjas poco profundas 303, las aberturas 307, los tapones aislantes 789 y los aislamiento de zanjas poco profundas (ITS) 345, respectivamente, ilustrados en las figs. 212A-212L.

[0538] En un caso, el chip 118a puede tener diseños de circuito diferentes de los del chip 118b. También, en otro caso, el chip 118a puede tener los mismos diseños de circuito que los del chip 118b. De forma alternativa, el chip 118a puede tener un área (superficie superior) o tamaño diferente al del chip 118b. También, en otro caso, el chip 118a puede tener una misma área (superficie superior) o tamaño que el del chip 118b.

[0539] Las figs. 213-250 muestran un procedimiento para formar otro sistema en paquete o módulo multichip de acuerdo con otro modo de realización de la presente divulgación. En referencia a la fig. 213, los múltiples chips 68 ilustrados en la fig. 212L y el/los sustrato(s) inactivo(s) 62 descritos previamente se juntan con el portador 11 usando la capa 22, lo que puede hacer referencia a las etapas ilustradas en las figs. 1-9.

[0540] Seguidamente, en referencia a la fig. 214, se puede formar un material de encapsulación/relleno de huecos 64, tal como polisilicio, óxido de silicio o un polímero, sobre un lado posterior del sustrato semiconductor 58 de cada chip 68, sobre el/los sustrato(s) inactivo(s) 62, y en los huecos 4 y 8, lo que puede hacer referencia a la etapa ilustrada en la fig. 10.

[0541] Seguidamente, en referencia a la fig. 215, el material de encapsulación/relleno de huecos 64, el lado posterior del sustrato semiconductor 58 de cada chip 68, y el/los sustrato(s) inactivo(s) 62 se rectifican o pulen por un procedimiento adecuado, tal como procedimiento de pulido químico-mecánico (CMP), procedimiento de pulido mecánico, procedimiento de rectificado mecánico o un procedimiento que incluye pulido mecánico y grabado químico, hasta que todos los tapones aislantes 789 en los chips 68 tienen las superficies inferiores expuestas 789s, encima de las que no hay partes de los sustratos semiconductores 58. En el caso de que la capa aislante 567 de los tapones aislantes 789 como se ilustra en la fig. 212J esté compuesta solo por la capa de nitruro de silicio u oxinitruro de silicio, durante el procedimiento de rectificado o pulido, se proporcionan las superficies inferiores expuestas 789 por la capa de nitruro de silicio u oxinitruro de silicio en las partes superiores de los tapones aislantes 789. En el otro caso en que la capa aislante 567 de los tapones aislantes 789 como se ilustra en la fig. 212J está compuesta por la capa de óxido de silicio y la capa de nitruro de silicio u oxinitruro de silicio, durante el procedimiento de rectificado o pulido, se elimina la capa de óxido de silicio en las partes superiores de los tapones aislantes 789 y se proporcionan las superficies inferiores expuestas 789 por la capa de nitruro de silicio u oxinitruro de silicio en las partes superiores de los tapones aislantes 789.

[0542] En consecuencia, el sustrato semiconductor 58 de cada uno de los chips 68 se puede estrechar a un grosor T1, por ejemplo, de entre 1 y 100 micrómetros, de entre 1 y 50 micrómetros, de entre 1 y 30 micrómetros, de entre 1 y 10 micrómetros o de entre 1 y 5 micrómetros, y preferentemente de entre 2 y 20 micrómetros o de entre 3 y 30 micrómetros. Con respecto a cada uno de los chips 68, después del procedimiento de rectificado o pulido, los tapones aislantes 789 y el sustrato semiconductor 58 pueden tener el mismo grosor T1. Preferentemente, cada uno de los chips 68, después del procedimiento de rectificado o pulido, puede tener un grosor, por ejemplo, de entre 3 y 105 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros. Después del procedimiento de rectificado o pulido, el/los sustrato(s) inactivo(s) 62 se puede(n) estrechar a un grosor T2, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros, y el material de encapsulación/relleno de huecos 64 restante en los huecos 4 y 8 puede tener un grosor vertical T3, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros. La superficie rectificada o pulida 58s del sustrato semiconductor 58, en el lado posterior de cada chip 68, y la(s) superficie(s) rectificada(s) o pulida(s) 62s del/de los sustrato(s) inactivo(s) 62 pueden ser sustancialmente planas y no estar cubiertas por el material de encapsulación/relleno de huecos 64. La(s) superficie(s) rectificada(s) o pulida(s) 62s puede(n) ser sustancialmente coplanaria(s) con la superficie rectificada o pulida 58s de cada chip 68, con la superficie rectificada o pulida 64s del material de encapsulación/relleno de huecos 64 en los huecos 4 y 8, y con las superficies inferiores expuestas 789s de los tapones aislantes 789. En cada chip 68, una distancia vertical D14 entre la superficie rectificada o pulida 58s del sustrato semiconductor 58 y la parte inferior del aislamiento de zanjas poco profundas 345 puede ser, por ejemplo, mayor de 0,1 micrómetros, tal como de entre 1 y 100 micrómetros, de entre 1 y 50 micrómetros, de entre 1 y 25 micrómetros, de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 0,1 y 2 micrómetros.

[0543] De forma alternativa, las figs. 216 y 217 muestran otra técnica para formar la estructura ilustrada en la fig. 215. En referencia a la fig. 216, después de formar la estructura ilustrada en la fig. 213, se forma un material de encapsulación/relleno de huecos 64, tal como polisilicio u óxido de silicio, sobre un lado posterior del sustrato semiconductor 58 de cada chip 68, sobre el/los sustrato(s) inactivo(s) 62, y en los huecos 4 y 8, y a continuación se forma un polímero 65, tal como poliimida, epoxi, benzociclobutano (BCB), polibenzoxazol (PBO), poli(óxido de fenileno) (PPO) o compuesto de moldeo, sobre el material de encapsulación/relleno de huecos 64 y en los huecos 4 y 8. El material de encapsulación/relleno de huecos 64 en los huecos 4 y 8 puede tener un grosor vertical T4, por ejemplo, de entre 10 y 100 micrómetros, y preferentemente de entre 10 y 50 micrómetros o de entre 20 y 50 micrómetros.

[0544] Seguidamente, en referencia a la fig. 217, se puede realizar un procedimiento de rectificado mecánico, por ejemplo, usando una almohadilla abrasiva o rectificadora con agua para rectificar el polímero 65, el material de encapsulación/relleno de huecos 64, el lado posterior del sustrato semiconductor 58 de cada chip 68, y el/los sustrato(s) inactivo(s) 62 hasta que se elimina todo el polímero 65 y hasta que se alcanza un grosor vertical predeterminado T5 del material de encapsulación/relleno de huecos 64 en los huecos 4 y 8. El grosor vertical

predeterminado T5 puede ser, por ejemplo, de entre 10 y 100 micrómetros, y preferentemente de entre 10 y 50 micrómetros o de entre 20 y 50 micrómetros. La almohadilla abrasiva o rectificadora puede estar provista de un grano áspero que tiene un tamaño de grano promedio, por ejemplo, de entre 0,5 y 15 micrómetros para realizar el procedimiento de rectificado mecánico. En la etapa, el sustrato semiconductor 58 de cada chip 68 tiene partes verticalmente encima de los tapones aislantes 789. Después de esto, se puede realizar un procedimiento de pulido químico-mecánico (CMP), por ejemplo, usando una almohadilla de pulido con una suspensión que contiene sustancias químicas y un abrasivo fino como sílice con un tamaño de grano promedio, por ejemplo, de entre 0,02 y 0,05 micrómetros para pulir el lado posterior del sustrato semiconductor 58 de cada chip 68, el/los sustrato(s) inactivo(s) 62 y el material de encapsulación/relleno de huecos 64 en los huecos 4 y 8 hasta que todos los tapones aislantes 789 en los chips 68 tienen las superficies inferiores expuestas 789s, encima de las que no hay partes de los sustratos semiconductores 58, como se muestra en la fig. 215. En consecuencia, después del procedimiento de rectificado o pulido, el sustrato semiconductor 58 de cada uno de los chips 68 se puede estrechar al grosor T1 de entre 1 y 100 micrómetros, de entre 1 y 50 micrómetros, de entre 1 y 30 micrómetros, de entre 1 y 10 micrómetros o de entre 1 y 5 micrómetros, y preferentemente de entre 2 y 20 micrómetros o de entre 3 y 30 micrómetros. Con respecto a cada uno de los chips 68, después del procedimiento de rectificado o pulido, los tapones aislantes 789 y el sustrato semiconductor 58 pueden tener el mismo grosor T1.

[0545] Después del procedimiento de pulido químico-mecánico (CMP), la superficie pulida 58s del sustrato semiconductor 58, en el lado posterior de cada chip 68, y la(s) superficie(s) pulida(s) 62s del/de los sustrato(s) inactivo(s) 62 pueden ser sustancialmente planas y no estar cubiertas por el material de encapsulación/relleno de huecos 64. La(s) superficie(s) pulida(s) 62s puede(n) ser sustancialmente coplanaria(s) con la superficie pulida 58s de cada chip 68, con la superficie pulida 64s del material de encapsulación/relleno de huecos 64 en los huecos 4 y 8, y con las superficies inferiores expuestas 789s de los tapones aislantes 789. Las superficies pulidas 58s, 62s y 64s pueden tener una microrrugosidad, por ejemplo, de menos de 20 nanómetros. El procedimiento de pulido químico-mecánico (CMP), que usa un abrasivo muy fino como la sílice y un ataque químico relativamente débil, creará las superficies 58s, 62s y 64s casi sin deformación ni arañazos, y esto significa que el procedimiento de pulido químico-mecánico (CMP) es muy adecuado para la etapa final de pulido, creando las superficies limpias 58s, 62s y 64s. El uso del procedimiento de rectificado mecánico y el procedimiento de pulido químico-mecánico (CMP) se puede realizar para crear un sustrato semiconductor muy delgado 10 de cada chip 68. En consecuencia, después del procedimiento de pulido químico-mecánico (CMP), cada uno de los chips 68 se puede estrechar a un grosor, por ejemplo, de entre 3 y 35 micrómetros, y preferentemente de entre 5 y 10 micrómetros o de entre 5 y 25 micrómetros, el/los sustrato(s) inactivo(s) 62 se puede(n) estrechar al grosor T2, por ejemplo, de entre 3 y 35 micrómetros, y preferentemente de entre 5 y 10 micrómetros o de entre 5 y 25 micrómetros, y el material de encapsulación/relleno de huecos 64 en los huecos 4 y 8 se puede estrechar al grosor T3, por ejemplo, de entre 3 y 35 micrómetros, y preferentemente de entre 5 y 10 micrómetros o de entre 5 y 25 micrómetros.

[0546] En referencia a la fig. 218, después de formar la estructura ilustrada en la fig. 215, se forma la capa dieléctrica 60 ilustrada en la fig. 14 sobre la superficie 58s del sustrato semiconductor 58 de cada chip 68, sobre la(s) superficie(s) 62s del/de los sustrato(s) inactivo(s) 62, sobre las superficies inferiores expuestas 789s de los tapones aislantes 789 en los chips 68, y sobre la superficie 64s del material de encapsulación/relleno de huecos 64.

[0547] Seguidamente, en referencia a la fig. 219, se forman múltiples vías pasantes 170v, incluyendo las vías pasantes 170a, 170b, 170c, 170d, 170e y 170f, en los chips 68 y en el/los sustrato(s) inactivo(s) 62, exponiendo la capa conductora 18 del portador 11 y exponiendo las capas 26 y 34 de los chips 68, lo que puede hacer referencia a las etapas ilustradas en la fig. 15, pero, en el modo de realización, la formación de las vías pasantes 170v (tales como las vías 170b-170f) en los chips 68 incluye el grabado a través de los tapones aislantes 789 en los chips 68. Los tapones aislantes 789 en los chips 68 están rodeados por los sustratos semiconductores 58 de los chips 68. Las vías pasantes 170v en los chips 68 pasan a través y están rodeadas por los tapones aislantes 789 en los chips 68 y exponen las paredes internas de los tapones aislantes 789. Por ejemplo, cada una de las vías pasantes 170b, 170c, 170d, 170e y 170f en uno de los chips 68 pasa a través y está rodeada por las capas aislantes 456 y 567 de uno de los tapones aislantes 789 en el uno de los chips 68, expone una pared interior del uno de los tapones aislantes 789, y expone la capa aislante 456, rodeada por la capa 567, del uno de los tapones aislantes 789. Cada una de las vías pasantes 170v, tales como la vía pasante 170a, 170b, 170c, 170d, 170e o 170f, puede tener un ancho o un diámetro, por ejemplo, de entre 0,5 y 100 micrómetros, de entre 0,5 y 50 micrómetros, de entre 0,5 y 30 micrómetros, de entre 0,5 y 20 micrómetros, de entre 0,5 y 10 micrómetros o de entre 0,5 y 5 micrómetros, y preferentemente de entre 1 y 3 micrómetros. Para obtener una descripción más detallada acerca de las vías pasantes 170v, tales como las vías pasantes 170a-170f, consúltese la ilustración de la fig. 15.

[0548] Como se muestra en la fig. 219, un soporte 801 proporcionado por la capa dieléctrica o aislante 20, la capa de pegamento u óxido de silicio 22, y las capas 24, 42 y 44 de uno de los chips 68 está entre la capa conductora 18 del portador 11 y el conector o pista metálica 35a en la capa de interconexión 34 expuesto por la vía pasante 170e con el propósito de soportar el conector o pista metálica 35a expuesto. El soporte 801 puede tener una altura, por ejemplo, de entre 0,5 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros, y un ancho, por ejemplo, de entre 0,3 y 30 micrómetros, y preferentemente de entre 0,3 y 10 micrómetros, 0,3 y 5 micrómetros, o de entre 0,3 y 1 micrómetros.

[0549] La fig. 220 es un primer ejemplo de una vista en perspectiva superior esquemática que muestra la vía pasante 170e, el tapón aislante 789 que rodea la vía pasante 170e y el conector o pista metálica 35a como se ilustra en la fig. 219. La vista en perspectiva superior esquemática mostrada en la fig. 220 es similar a la vista en perspectiva superior esquemática mostrada en la fig. 16, excepto que la vía pasante 170e mostrada en la fig. 220 se forma dentro de uno de los tapones aislantes 789 en uno de los chips 68. Para obtener una descripción más detallada acerca de la vía pasante 170e y el conector o pista metálica 35a como se muestra en las figs. 219 y 220, consúltense la ilustración de las figs. 15 y 16.

[0550] La fig. 221 es un segundo ejemplo de una vista en perspectiva superior esquemática que muestra la vía pasante 170e, el tapón aislante 789 que rodea la vía pasante 170e y el conector o pista metálica 35a como se ilustra en la fig. 219. La vista en perspectiva superior esquemática mostrada en la fig. 221 es similar a la vista en perspectiva superior esquemática mostrada en la fig. 17, excepto que la vía pasante 170e mostrada en la fig. 221 se forma dentro de uno de los tapones aislantes 789 en uno de los chips 68. Para obtener una descripción más detallada acerca de la vía pasante 170e y el conector o pista metálica 35a como se muestra en las figs. 219 y 221, consúltense la ilustración de las figs. 15 y 17.

[0551] La fig. 222 es un tercer ejemplo de una vista en perspectiva superior esquemática que muestra la vía pasante 170e, el tapón aislante 789 que rodea la vía pasante 170e y el conector o pista metálica 35a como se ilustra en la fig. 219. La vista en perspectiva superior esquemática mostrada en la fig. 222 es similar a la vista en perspectiva superior esquemática mostrada en la fig. 18, excepto que la vía pasante 170e mostrada en la fig. 222 se forma dentro de uno de los tapones aislantes 789 en uno de los chips 68. Para obtener una descripción más detallada acerca de la vía pasante 170e y el conector o pista metálica 35a como se muestra en las figs. 219 y 222, consúltense la ilustración de las figs. 15 y 18.

[0552] La fig. 223 es un cuarto ejemplo de una vista en perspectiva superior esquemática que muestra la vía pasante 170e, el tapón aislante 789 que rodea la vía pasante 170e y el conector o pista metálica 35a como se ilustra en la fig. 219. La vista en perspectiva superior esquemática mostrada en la fig. 223 es similar a la vista en perspectiva superior esquemática mostrada en la fig. 16A, excepto que la vía pasante 170e mostrada en la fig. 223 se forma dentro de uno de los tapones aislantes 789 en uno de los chips 68. Para obtener una descripción más detallada acerca de la vía pasante 170e y el conector o pista metálica 35a como se muestra en la fig. 223, consúltense la ilustración de la fig. 16A.

[0553] En referencia a la fig. 224, después de formar la estructura ilustrada en la fig. 219, se forman múltiples zanjas 60t en la capa dieléctrica 60. Las zanjas 60t en la capa dieléctrica 60 tienen una profundidad D3, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,5 y 3 micrómetros. La capa dieléctrica 60 debajo de las zanjas 60t tiene un grosor restante T6, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 5 micrómetros, de entre 0,5 y 2 micrómetros, de entre 0,1 y 3 micrómetros o de entre 0,2 y 1,5 micrómetros. Las etapas de formación de las zanjas 60t en la capa dieléctrica 60 mostrada en la fig. 224 pueden hacer referencia a las etapas de formación de las zanjas 60t en la capa dieléctrica 60 como se ilustra en las figs. 153-155. Las zanjas 60t formadas en la capa dieléctrica 60 se usan para proporcionar huecos que tienen conectores entre chips y conectores intrachip formados en los mismos. También, la fig. 156 puede ser un ejemplo de una vista en perspectiva superior esquemática que muestra las zanjas 60t y las vías pasantes 170v mostradas en la fig. 224, y la fig. 224 también puede ser una vista en sección transversal cortada a lo largo de la línea D-D mostrada en la fig. 156.

[0554] De forma alternativa, se pueden formar las zanjas 60t ilustradas en la fig. 224 en la capa dieléctrica 60 antes de que se formen las vías pasantes 170v ilustradas en la fig. 219 en los chips 68 y en el/los sustrato(s) inactivo(s) 62. Específicamente, después de que se forma la capa dieléctrica 60 sobre las superficies 58s, 62s, 64s y 789s como se muestra en la fig. 218, se forman las zanjas 60t ilustradas en la fig. 224 en la capa dieléctrica 60, y a continuación se forman las vías pasantes 170v ilustradas en la fig. 219 en los chips 68 y en el/los sustrato(s) inactivo(s) 62, exponiendo la capa conductora 18 del portador 11 y exponiendo las capas 26 y 34 de los chips 68.

[0555] De forma alternativa, en referencia a la fig. 225, se pueden formar la capa dieléctrica 60, las zanjas 60t y las vías pasantes 170v como se muestra en la fig. 224 por las siguientes etapas. Después de formar la estructura ilustrada en la fig. 215, se forma una capa aislante 60a, tal como una capa de óxido de silicio, nitruro de silicio, oxinitruro de silicio, carbonitruro de silicio u oxicarbonuro de silicio, que tiene un grosor C1, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,2 y 1,5 micrómetros o de entre 0,15 y 2 micrómetros, sobre la superficie 58s del sustrato semiconductor 58 de cada chip 68, sobre la(s) superficie(s) 62s del/de los sustrato(s) inactivo(s) 62, sobre las superficies inferiores expuestas 789s de los tapones aislantes 789 en los chips 68, y sobre la superficie 64s del material de encapsulación/relleno de huecos 64 como se muestra en la fig. 215.

[0556] Seguidamente, se forma una capa de polímero 60b, tal como una capa de poliimida, benzociclobuteno (BCB), epoxi, polibenzoxazol (PBO) u poli(óxido de fenileno) (PPO), sobre la capa aislante 60a usando un procedimiento adecuado, tal como un procedimiento de recubrimiento por rotación, un procedimiento de serigrafía o un procedimiento de laminación. Seguidamente, se puede emplear un procedimiento de exposición y un procedimiento de revelado para formar las zanjas 60t, exponiendo la capa aislante 60a, en la capa de polímero 60b. Se puede usar un paso a paso IX o un alineador de contacto IX para exponer la capa de polímero 60b durante el procedimiento de exposición. Seguidamente, la capa de polímero 60b se cura o calienta a una temperatura de entre 150 grados centígrados y 400

grados centígrados, y preferentemente de entre 180 grados centígrados y 250 grados centígrados. La capa de polímero 60b después de curarse o calentarse tiene un grosor C2, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros.

[0557] Seguidamente, se forma una capa fotorresistente sobre la capa aislante 60a expuesta por las zanjas 60t y sobre la capa de polímero 60b, y múltiples aberturas en la capa fotorresistente exponen la capa aislante 60a en las partes inferiores de las zanjas 60t. Seguidamente, se elimina la capa aislante 60a debajo de las aberturas en la capa fotorresistente usando un procedimiento adecuado, tal como procedimiento de grabado por plasma anisotrópico. Seguidamente, se decapan el/los sustrato(s) inactivo(s) 62 debajo de las aberturas en la capa fotorresistente y los chips 68 debajo de las aberturas en la capa fotorresistente hasta que se exponen las regiones predeterminadas de las capas 26 y 34 en los chips 68 y las regiones predeterminadas de la capa conductora 18 en el portador 11 por las aberturas en la capa fotorresistente. Seguidamente, se elimina la capa fotorresistente usando, por ejemplo, una sustancia química orgánica. En consecuencia, se forman las vías pasantes 170v, incluyendo las vías pasantes 170a, 170b, 170c, 170d, 170e y 170f, en los chips 68 y en el/los sustrato(s) inactivo(s) 62, exponiendo la capa conductora 18 del portador 11 y exponiendo las capas 26 y 34 de los chips 68. Las especificaciones de las vías pasantes 170v y el soporte 801 mostrados en la fig. 225 pueden hacer referencia a las especificaciones de las vías pasantes 170v y el soporte 801, respectivamente, ilustrados en las figs. 219-223.

[0558] En consecuencia, usando las etapas mencionadas anteriormente, la capa dieléctrica 60 mencionada anteriormente también puede estar provista de la capa aislante 60a y la capa de polímero 60b sobre la capa aislante 60a. Las zanjas 60t en la capa de polímero 60b exponen la capa aislante 60a y se usan para proporcionar huecos que tienen conectores entre chips y conectores intrachip formados en los mismos. Las vías pasantes 170v se forman debajo de las zanjas 60t. También, la fig. 156 puede ser un ejemplo de una vista en perspectiva superior esquemática que muestra las zanjas 60t y las vías pasantes 170v mostradas en la fig. 225, y la fig. 225 también puede ser una vista en sección transversal cortada a lo largo de la línea D-D mostrada en la fig. 156.

[0559] En referencia a la fig. 226, después de formar la estructura ilustrada en la fig. 224 o en la fig. 225, se forma una capa de adhesión/barrera 52 que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las capas 18, 26 y 34 expuestas por las vías pasantes 170v, sobre las paredes laterales de las vías pasantes 170v, sobre las paredes laterales y las partes inferiores de las zanjas 60t (o sobre las paredes laterales de las zanjas 60t en la capa de polímero 60b y sobre una superficie superior de la capa aislante 60a en las partes inferiores de las zanjas 60t), sobre las paredes internas, expuestas por las vías pasantes 170v, de los tapones aislantes 789, y sobre el conector o pista metálica 35a que está sobre el soporte 801. Se puede formar la capa de adhesión/barrera 52 por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD) o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se forma una capa germinal 54 que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa de adhesión/barrera 52 por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD) o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se forma una capa de conducción 56 sobre la capa germinal 54 usando un procedimiento adecuado, tal como procedimiento de electrochapado. Las especificaciones de la capa de adhesión/barrera 52, la capa germinal 54 y la capa de conducción 56 mostradas en la fig. 226 pueden hacer referencia a las especificaciones de la capa de adhesión/barrera 52, la capa germinal 54 y la capa de conducción 56 como se ilustra en la fig. 25, respectivamente.

[0560] Seguidamente, en referencia a la fig. 227, se rectifican o pulen las capas 52, 54 y 56 usando, por ejemplo, un procedimiento de pulido químico-mecánico (CMP), un procedimiento de pulido mecánico, un procedimiento de rectificado mecánico o un procedimiento que incluye pulido mecánico y grabado químico hasta que la capa dieléctrica 60 tiene una superficie superior expuesta 60s, encima de la que no hay partes de las capas 52, 54 y 56, y se eliminan las capas 52, 54 y 56 fuera de las zanjas 60t.

[0561] En consecuencia, la superficie superior expuesta 60s de la capa dieléctrica 60 puede ser sustancialmente coplanaria con la superficie rectificada o pulida 56s de la capa de conducción 56 en las zanjas 60t, y las superficies 56s y 60s pueden ser sustancialmente planas. La capa de adhesión/barrera 52 y la capa germinal 54 están en las paredes laterales y una parte inferior de la capa de conducción 56 en las zanjas 60t, y las paredes laterales y la parte inferior de la capa de conducción 56 en las zanjas 60t están cubiertas por la capa de adhesión/barrera 52 y la capa germinal 54.

[0562] Después de que se rectifican o pulen las capas 52, 54 y 56, la capa dieléctrica 60 tiene un grosor, entre la superficie superior expuesta 60s y la superficie 58s o 62s, por ejemplo, de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 3 micrómetros, en caso de que la capa dieléctrica 60, las zanjas 60t y las vías pasantes 170v se formen como se ilustra en las figs. 218-224. De forma alternativa, después de que se rectifican o pulen las capas 52, 54 y 56, la capa de polímero 60b de la capa dieléctrica 60 tiene un grosor, entre la superficie superior expuesta 60s de la capa de polímero 60b y la superficie superior de la capa aislante 60a, por ejemplo, de entre 1 y 50 micrómetros, y

preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros, en caso de que la capa dieléctrica 60 compuesta por la capa 60a y 60b, las zanjás 60t y las vías pasantes 170v se formen como se ilustra en la fig. 225.

[0563] En una primera alternativa, después de que se rectifican o pulen las capas 52, 54 y 56, la capa de adhesión/barrera 52 puede ser una capa que contiene titanio, tal como una capa única de titanio, aleación de titanio-volframio o nitruro de titanio, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales y las partes inferiores de las zanjás 60t (o sobre las paredes laterales de las zanjás 60t en la capa de polímero 60b y sobre la superficie superior de la capa aislante 60a en las partes inferiores de las zanjás 60t), sobre las paredes laterales de las vías pasantes 170v, sobre las paredes internas de los tapones aislantes 789 en los chips 68, sobre las capas 18, 26 y 34 en las partes inferiores de las vías pasantes 170v, y sobre el conector o pista metálica 35a que está sobre el soporte 801. La capa germinal 54 puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene titanio, en las zanjás 60t, y en las vías pasantes 170v. La capa de conducción 56 puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjás 60t, y en las vías pasantes 170v. La capa de cobre electrochapado en las zanjás 60t tiene un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 1,5 micrómetros o de entre 0,5 y 3 micrómetros, en caso de que la capa dieléctrica 60, las zanjás 60t y las vías pasantes 170v se formen como se ilustra en las figs. 218-224. De forma alternativa, la capa de cobre electrochapado en las zanjás 60t tiene un grosor, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros, en caso de que la capa dieléctrica 60 compuesta por las capas 60a y 60b, las zanjás 60t y las vías pasantes 170v se formen como se ilustra en la fig. 225.

[0564] En una segunda alternativa, después de que se rectifican o pulen las capas 52, 54 y 56, la capa de adhesión/barrera 52 puede ser una capa que contiene tántalo, tal como una capa única de tántalo o nitruro de tántalo, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales y las partes inferiores de las zanjás 60t (o sobre las paredes laterales de las zanjás 60t en la capa de polímero 60b y sobre la superficie superior de la capa aislante 60a en las partes inferiores de las zanjás 60t), sobre las paredes laterales de las vías pasantes 170v, sobre las paredes internas de los tapones aislantes 789 en los chips 68, sobre las capas 18, 26 y 34 en las partes inferiores de las vías pasantes 170v, y sobre el conector o pista metálica 35a que está sobre el soporte 801. La capa germinal 54 puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene tántalo, en las zanjás 60t, y en las vías pasantes 170v. La capa de conducción 56 puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjás 60t, y en las vías pasantes 170v. La capa de cobre electrochapado en las zanjás 60t tiene un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 1,5 micrómetros o de entre 0,5 y 3 micrómetros, en caso de que la capa dieléctrica 60, las zanjás 60t y las vías pasantes 170v se formen como se ilustra en las figs. 218-224. De forma alternativa, la capa de cobre electrochapado en las zanjás 60t tiene un grosor, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros, en caso de que la capa dieléctrica 60 compuesta por las capas 60a y 60b, las zanjás 60t y las vías pasantes 170v se formen como se ilustra en la fig. 225.

[0565] En una tercera alternativa, después de que se rectifican o pulen las capas 52, 54 y 56, la capa de adhesión/barrera 52 puede ser una capa que contiene cromo, tal como una capa única de cromo, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales y las partes inferiores de las zanjás 60t (o sobre las paredes laterales de las zanjás 60t en la capa de polímero 60b y sobre la superficie superior de la capa aislante 60a en las partes inferiores de las zanjás 60t), sobre las paredes laterales de las vías pasantes 170v, sobre las paredes internas de los tapones aislantes 789 en los chips 68, sobre las capas 18, 26 y 34 en las partes inferiores de las vías pasantes 170v, y sobre el conector o pista metálica 35a que está sobre el soporte 801. La capa germinal 54 puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene cromo, en las zanjás 60t, y en las vías pasantes 170v. La capa de conducción 56 puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjás 60t, y en las vías pasantes 170v. La capa de cobre electrochapado en las zanjás 60t tiene un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 1,5 micrómetros o de entre 0,5 y 3 micrómetros, en caso de que la capa dieléctrica 60, las zanjás 60t y las vías pasantes 170v se formen como se ilustra en las figs. 218-224. De forma alternativa, la capa de cobre electrochapado en las zanjás 60t tiene un grosor, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros, en caso de que la capa dieléctrica 60 compuesta por las capas 60a y 60b, las zanjás 60t y las vías pasantes 170v se formen como se ilustra en la fig. 225.

[0566] Después de que se rectifican o pulen las capas 52, 54 y 56, las capas 52, 54 y 56 en las zanjás 60t componen múltiples conectores metálicos (o pistas metálicas damasquinadas) 1, incluyendo los conectores metálicos (o pistas metálicas damasquinadas) 1a y 1b, en las zanjás 60t. Las capas 52, 54 y 56 en las vías pasantes 170v componen múltiples tapones metálicos (o vías metálicas) 5p en las vías pasantes 170v, incluyendo los tapones metálicos (o vías

metálicas) 5a, 5b, 5c, 5d, 5e y 5f en las vías pasantes 170a, 170b, 170c, 170d, 170e y 170f, respectivamente. El tapón metálico 5a se forma en el sustrato inactivo 62, y los tapones metálicos 5b, 5c, 5d, 5e y 5f se forman en el mismo chip 68. Estos tapones metálicos 5p formados en los chips 68 y en el/los sustrato(s) inactivo(s) 62 pueden conectar los conectores metálicos 1 y los dispositivos semiconductores 36 en los chips 68 y conectar los conectores metálicos 1 y múltiples puntos de contacto de la capa conductora 18 en el portador 11. Los conectores metálicos 1, tales como 1a y 1b, en las zanjas 60t pueden tener un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 1 y 3 micrómetros. El soporte 801 y el conector o pista metálica 35a, en la capa de interconexión 34, sobre el soporte 801 pueden estar entre dos partes, más bajas que un nivel horizontal, en el que se sitúa una superficie superior de la capa de interconexión 34, del tapón metálico 5e.

[0567] Cada uno de los tapones metálicos 5p en los chips 68 pasa a través de uno de los tapones aislantes 789 en los chips 68, se pone en contacto con la pared interna del uno de los tapones aislantes 789, y está rodeado por la capa aislante 456, rodeada por la capa aislante 567, del uno de los tapones aislantes 789. Por ejemplo, cada uno de los tapones metálicos 5b, 5c, 5d, 5e y 5f en uno de los chips 68 pasa a través de uno de los tapones aislantes 789 en el uno de los chips 68, se pone en contacto con la pared interna del uno de los tapones aislantes 789, y está rodeado por la capa aislante 456, rodeada por la capa aislante 567, del uno de los tapones aislantes 789. Para obtener una descripción más detallada acerca de los tapones metálicos 5p (incluyendo los tapones metálicos 5a-5f) y los conectores metálicos 1 (incluyendo los conectores metálicos 1a y 1b) mostrados en la fig. 227, consúltese la ilustración de la fig. 26.

[0568] De forma alternativa, el elemento 68 no solo puede indicar un chip, sino que también puede indicar una oblea. Cuando el elemento 68 es una oblea, el portador 11 puede ser otra oblea. De este modo, el procedimiento ilustrado en la invención se puede emplear para la unión de oblea a oblea.

[0569] En referencia a la fig. 228, después de formar la estructura ilustrada en la fig. 227, se forma la capa aislante o dieléctrica 66 ilustrada en la fig. 27 sobre la superficie de rectificado o pulido 56s de la capa de conducción 56 y sobre la superficie superior expuesta 60s de la capa dieléctrica 60. Seguidamente, se colocan múltiples chips 72, de los que cada uno es como el chip 72a o 72b ilustrado en la fig. 212M, y el/los sustrato(s) inactivo(s) 165 descrito(s) previamente encima de la capa 116, lo que puede hacer referencia a las etapas ilustradas en las figs. 28-35. La disposición de colocación de los chips 72 y el/los sustrato(s) inactivo(s) 165 encima de la capa aislante o dieléctrica 66, en el modo de realización, puede hacer referencia a la de la colocación de los chips 72 y el/los sustrato(s) inactivo(s) 165 encima de la capa aislante o dieléctrica 66 como se ilustra en la fig. 34 o 35.

[0570] Seguidamente, en referencia a la fig. 229, se forma un material de encapsulación/relleno de huecos 98 sobre un lado posterior del sustrato semiconductor 96 de cada chip 72, sobre el/los sustrato(s) inactivo(s) 165, y en los huecos 4a y 8a. Seguidamente, el material de encapsulación/relleno de huecos 98, el lado posterior del sustrato semiconductor 96 de cada chip 72, y el/los sustrato(s) inactivo(s) 165 se rectifican o pulen por un procedimiento adecuado, tal como procedimiento de rectificado mecánico, procedimiento de pulido mecánico, procedimiento de pulido químico-mecánico (CMP) o un procedimiento que incluye rectificado mecánico y pulido químico-mecánico, hasta que todos los tapones aislantes 789 en los chips 72 tienen superficies inferiores expuestas 789t, encima de las que no hay partes de los sustratos semiconductores 96. Las etapas de formación del material de encapsulación/relleno de huecos 98 y rectificado o pulido del material de encapsulación/relleno de huecos 98, el lado posterior del sustrato semiconductor 96 de cada chip 72, y el/los sustrato(s) inactivo(s) 165 ilustradas en la fig. 229 pueden hacer referencia a las etapas de formación del material de encapsulación/relleno de huecos 64 y rectificado o pulido del material de encapsulación/relleno de huecos 64, el lado posterior del sustrato semiconductor 58 de cada chip 68, y el/los sustrato(s) inactivo(s) 62 como se ilustra en las figs. 214-217. El material de encapsulación/relleno de huecos 98 puede ser polisilicio, óxido de silicio o un polímero. En el caso de que la capa aislante 567 de los tapones aislantes 789 esté compuesta solo por la capa de nitruro de silicio u oxinitruro de silicio, durante el procedimiento de rectificado o pulido, se proporcionan las superficies inferiores expuestas 789t por la capa de nitruro de silicio u oxinitruro de silicio en las partes superiores de los tapones aislantes 789. En el otro caso en que la capa aislante 567 de los tapones aislantes 789 está compuesta por la capa de óxido de silicio y la capa de nitruro de silicio u oxinitruro de silicio, durante el procedimiento de rectificado o pulido, se elimina la capa de óxido de silicio en las partes superiores de los tapones aislantes 789 y se proporcionan las superficies inferiores expuestas 789t por la capa de nitruro de silicio u oxinitruro de silicio en las partes superiores de los tapones aislantes 789.

[0571] En consecuencia, el sustrato semiconductor 96 de cada uno de los chips 72 se puede estrechar a un grosor T8, por ejemplo, de entre 1 y 100 micrómetros, de entre 1 y 50 micrómetros, de entre 1 y 30 micrómetros, de entre 1 y 10 micrómetros o de entre 1 y 5 micrómetros, y preferentemente de entre 2 y 20 micrómetros o de entre 3 y 30 micrómetros. Con respecto a cada uno de los chips 72, después del procedimiento de rectificado o pulido, los tapones aislantes 789 y el sustrato semiconductor 96 pueden tener el mismo grosor T8. Preferentemente, cada uno de los chips 72, después del procedimiento de rectificado o pulido, puede tener un grosor, por ejemplo, de entre 3 y 105 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros.

[0572] Después del procedimiento de rectificado o pulido, el/los sustrato(s) inactivo(s) 165 se puede(n) estrechar a un grosor T9, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros, y el material de encapsulación/relleno de huecos 98 restante en los huecos 4a y 8a puede tener un

grosor vertical T10, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros. La superficie rectificada o pulida 96s del sustrato semiconductor 96, en el lado posterior de cada chip 72, y la(s) superficie(s) rectificada(s) o pulida(s) 165s del/de los sustrato(s) inactivo(s) 165 pueden ser sustancialmente planas y no estar cubiertas por el material de encapsulación/relleno de huecos 98. La(s) superficie(s) rectificada(s) o pulida(s) 165s puede(n) ser sustancialmente coplanaria(s) con la superficie rectificada o pulida 96s de cada chip 72, con la superficie rectificada o pulida 98s del material de encapsulación/relleno de huecos 98 en los huecos 4a y 8a, y con las superficies inferiores expuestas 789t de los tapones aislantes 789 en los chips 72. En cada chip 72, una distancia vertical D15 entre la superficie 96s del sustrato semiconductor 96 y la parte inferior del aislamiento de zanjas poco profundas 345 puede ser, por ejemplo, mayor de 0,1 micrómetros, tal como de entre 1 y 100 micrómetros, de entre 1 y 50 micrómetros, de entre 1 y 25 micrómetros, de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 0,1 y 2 micrómetros.

[0573] En referencia a la fig. 230, después de formar la estructura ilustrada en la fig. 229, se forma la capa dieléctrica 88 ilustrada en la fig. 40 sobre la superficie 96s del sustrato semiconductor 96 de cada chip 72, sobre la(s) superficie(s) 165s del/de los sustrato(s) inactivo(s) 165, sobre las superficies inferiores expuestas 789t de los tapones aislantes 789 en los chips 72, y sobre la superficie 98s del material de encapsulación/relleno de huecos 98.

[0574] Seguidamente, en referencia a la fig. 231, se forman múltiples vías pasantes 164v, incluyendo las vías pasantes 164a, 164b, 164c, 164d y 164e, en los chips 72 y en el/los sustrato(s) inactivo(s) 165, exponiendo la capa de conducción 56 de los conectores metálicos 1 y exponiendo las capas 114 y 106 de los chips 72, que pueden hacer referencia a las etapas ilustradas en la fig. 41, pero, en el modo de realización, la formación de las vías pasantes 164v (tales como las vías 164b-164e) en los chips 72 incluye el grabado a través de los tapones aislantes 789 en los chips 72. Los tapones aislantes 789 en los chips 72 están rodeados por los sustratos semiconductores 96 de los chips 72. Las vías pasantes 164v en los chips 72 pasan a través y están rodeadas por los tapones aislantes 789 en los chips 72 y exponen las paredes internas de los tapones aislantes 789. Por ejemplo, la vía pasante 164b en el de la izquierda de los chips 72 pasa a través y está rodeada por uno de los tapones aislantes 789 en el de la izquierda de los chips 72, expone una pared interna del uno de los tapones aislantes 789, y expone la capa aislante 456, rodeada por la capa aislante 567, del uno de los tapones aislantes 789. La vía pasante 164c en el de la izquierda de los chips 72 pasa a través y está rodeada por otro de los tapones aislantes 789 en el de la izquierda de los chips 72, expone una pared interna del otro de los tapones aislantes 789, y expone la capa aislante 567 del otro de los tapones aislantes 789. La vía pasante 164d en el del medio de los chips 72 pasa a través y está rodeada por uno de los tapones aislantes 789 en el del medio de los chips 72, expone una pared interna del uno de los tapones aislantes 789, y expone la capa aislante 456, rodeada por la capa aislante 567, del uno de los tapones aislantes 789. La vía pasante 164e en el del medio de los chips 72 pasa a través y está rodeada por otro de los tapones aislantes 789 en el del medio de los chips 72, expone una pared interna del otro de los tapones aislantes 789 y expone la capa aislante 567 del otro de los tapones aislantes 789.

[0575] Cada una de las vías pasantes 164v, tal como la vía pasante 164a, 164b, 164c, 164d o 164e, tiene un ancho o un diámetro, por ejemplo, de entre 0,5 y 100 micrómetros, de entre 0,5 y 50 micrómetros, de entre 0,5 y 30 micrómetros, de entre 0,5 y 20 micrómetros, de entre 0,5 y 10 micrómetros o de entre 0,5 y 5 micrómetros, y preferentemente de entre 1 y 3 micrómetros. Para obtener una descripción más detallada acerca de las vías pasantes 164v, tales como las vías pasantes 164a-164e, consúltese la ilustración de la fig. 41.

[0576] Como se muestra en la fig. 231, un soporte 802 proporcionado por la capa aislante o dieléctrica 66, la capa 116 y las capas 74, 82 y 108 del del medio de los chips 72 está entre la capa de conducción 56 del conector metálico 1b y el conector o pista metálica 55a en la capa de interconexión 106 expuesto por la vía pasante 164e con el propósito de soportar el conector o pista metálica 55a expuesto. El soporte 802 puede tener una altura, por ejemplo, de entre 0,5 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros, y un ancho, por ejemplo, de entre 0,3 y 30 micrómetros, y preferentemente de entre 0,3 y 10 micrómetros, 0,3 y 5 micrómetros, o de entre 0,3 y 1 micrómetros.

[0577] La fig. 232 es un primer ejemplo de una vista en perspectiva superior esquemática que muestra la vía pasante 164e, el tapón aislante 789 que rodea la vía pasante 164e y el conector o pista metálica 55a como se ilustra en la fig. 231. La vista en perspectiva superior esquemática mostrada en la fig. 232 es similar a la vista en perspectiva superior esquemática mostrada en la fig. 42, excepto que la vía pasante 164e mostrada en la fig. 232 se forma dentro de uno de los tapones aislantes 789 en el del medio de los chips 72. Para obtener una descripción más detallada acerca de la vía pasante 164e y el conector o pista metálica 55a como se muestra en las figs. 231 y 232, consúltese la ilustración de las figs. 41 y 42.

[0578] La fig. 233 es un segundo ejemplo de una vista en perspectiva superior esquemática que muestra la vía pasante 164e, el tapón aislante 789 que rodea la vía pasante 164e y el conector o pista metálica 55a como se ilustra en la fig. 231. La vista en perspectiva superior esquemática mostrada en la fig. 233 es similar a la vista en perspectiva superior esquemática mostrada en la fig. 43, excepto que la vía pasante 164e mostrada en la fig. 233 se forma dentro de uno de los tapones aislantes 789 en el del medio de los chips 72. Para obtener una descripción más detallada acerca de la vía pasante 164e y el conector o pista metálica 55a como se muestra en las figs. 231 y 233, consúltese la ilustración de las figs. 41 y 43.

[0579] La fig. 234 es un tercer ejemplo de una vista en perspectiva superior esquemática que muestra la vía pasante 164e, el tapón aislante 789 que rodea la vía pasante 164e y el conector o pista metálica 55a como se ilustra en la fig. 231. La vista en perspectiva superior esquemática mostrada en la fig. 234 es similar a la vista en perspectiva superior esquemática mostrada en la fig. 44, excepto que la vía pasante 164e mostrada en la fig. 234 se forma dentro de uno de los tapones aislantes 789 en el del medio de los chips 72. Para obtener una descripción más detallada acerca de la vía pasante 164e y el conector o pista metálica 55a como se muestra en las figs. 231 y 234, consúltase la ilustración de las figs. 41 y 44.

[0580] La fig. 235 es un cuarto ejemplo de una vista en perspectiva superior esquemática que muestra la vía pasante 164e, el tapón aislante 789 que rodea la vía pasante 164e y el conector o pista metálica 55a como se ilustra en la fig. 231. La vista en perspectiva superior esquemática mostrada en la fig. 235 es similar a la vista en perspectiva superior esquemática mostrada en la fig. 42A, excepto que la vía pasante 164e mostrada en la fig. 235 se forma dentro del uno de los tapones aislantes 789 en el del medio de los chips 72. Para obtener una descripción más detallada acerca de la vía pasante 164e y el conector o pista metálica 55a como se muestra en la fig. 235, consúltase la ilustración de la fig. 42A.

[0581] En referencia a la fig. 236, después de formar la estructura ilustrada en la fig. 231, se forman múltiples zanjas 88t en la capa dieléctrica 88. Las zanjas 88t en la capa dieléctrica 88 tienen una profundidad D6, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,5 y 3 micrómetros. La capa dieléctrica 88 debajo de las zanjas 88t tiene un grosor restante T13, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 5 micrómetros, de entre 0,5 y 2 micrómetros, de entre 0,1 y 3 micrómetros o de entre 0,2 y 1,5 micrómetros. Las etapas de formación de las zanjas 88t en la capa dieléctrica 88 mostrada en la fig. 236 pueden hacer referencia a las etapas de formación de las zanjas 60t en la capa dieléctrica 60 como se ilustra en las figs. 153-155. Las zanjas 88t formadas en la capa dieléctrica 88 se usan para proporcionar huecos que tienen conectores entre chips y conectores intrachip formados en los mismos. También, la fig. 168 puede ser un ejemplo de una vista en perspectiva superior esquemática que muestra las zanjas 88t y las vías pasantes 164v mostradas en la fig. 236, y la fig. 236 también puede ser una vista en sección transversal cortada a lo largo de la línea H-H mostrada en la fig. 168.

[0582] De forma alternativa, se pueden formar las zanjas 88t ilustradas en la fig. 236 en la capa dieléctrica 88 antes de que se formen las vías pasantes 164v ilustradas en la fig. 231 en los chips 72 y en el/los sustrato(s) inactivo(s) 165. Específicamente, después de que se forma la capa dieléctrica 88 sobre las superficies 96s, 98s, 165s y 789t como se muestra en la fig. 230, en primer lugar se forman las zanjas 88t ilustradas en la fig. 236 en la capa dieléctrica 88, y a continuación se forman las vías pasantes 164v ilustradas en la fig. 231 en los chips 72 y en el/los sustrato(s) inactivo(s) 165, exponiendo la capa de conducción 56 de los conectores metálicos 1 y exponiendo las capas 114 y 106 de los chips 72.

[0583] De forma alternativa, en referencia a la fig. 237, se pueden formar la capa dieléctrica 88, las zanjas 88t y las vías pasantes 164v como se muestra en la fig. 236 por las siguientes etapas. Después de formar la estructura ilustrada en la fig. 229, se forma una capa aislante 88a, tal como una capa de óxido de silicio, nitruro de silicio, oxinitruro de silicio, carbonitruro de silicio u oxycarburo de silicio, que tiene un grosor C3, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,2 y 1,5 micrómetros o de entre 0,15 y 2 micrómetros, sobre la superficie 96s del sustrato semiconductor 96 de cada chip 72, sobre la(s) superficie(s) 165s del/de los sustrato(s) inactivo(s) 165, sobre las superficies inferiores expuestas 789t de los tapones aislantes 789 en los chips 72, y sobre la superficie 98s del material de encapsulación/relleno de huecos 98 como se muestra en la fig. 229.

[0584] Seguidamente, se forma una capa de polímero 88b, tal como una capa de poliimida, benzociclobuteno (BCB), epoxi, polibenzoxazol (PBO) u poli(óxido de fenileno) (PPO), sobre la capa aislante 88a usando un procedimiento adecuado, tal como un procedimiento de recubrimiento por rotación, un procedimiento de serigrafía o un procedimiento de laminación. Seguidamente, se puede emplear un procedimiento de exposición y un procedimiento de revelado para formar las zanjas 88t, exponiendo la capa aislante 88a, en la capa de polímero 88b. Se puede usar un paso a paso IX o un alineador de contacto IX para exponer la capa de polímero 88b durante el procedimiento de exposición. Seguidamente, la capa de polímero 88b se cura o calienta a una temperatura de entre 150 grados centígrados y 400 grados centígrados, y preferentemente de entre 180 grados centígrados y 250 grados centígrados. La capa de polímero 88b después de curarse o calentarse tiene un grosor C4, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros.

[0585] Seguidamente, se forma una capa fotorresistente sobre la capa aislante 88a expuesta por las zanjas 88t y sobre la capa de polímero 88b, y múltiples aberturas en la capa fotorresistente exponen la capa aislante 88a en las partes inferiores de las zanjas 88t. Seguidamente, se elimina la capa aislante 88a debajo de las aberturas en la capa fotorresistente usando un procedimiento adecuado, tal como procedimiento de grabado por plasma anisotrópico. Seguidamente, se decapan el/los sustrato(s) inactivo(s) 165 debajo de las aberturas en la capa fotorresistente y los chips 72 debajo de las aberturas en la capa fotorresistente hasta que se exponen las regiones predeterminadas de las capas 106 y 114 en los chips 72 y las regiones predeterminadas de la capa de conducción 56 de los conectores metálicos 1 por las aberturas en la capa fotorresistente. Seguidamente, se elimina la capa fotorresistente usando, por ejemplo, una sustancia química orgánica. En consecuencia, se forman las vías pasantes 164v, incluyendo las vías pasantes 164a, 164b, 164c, 164d y 164e, en los chips 72 y en el/los sustrato(s) inactivo(s) 165, exponiendo la capa

de conducción 56 de los conectores metálicos 1 y exponiendo las capas 106 y 114 de los chips 72. Las especificaciones de las vías pasantes 164v y el soporte 802 mostrados en la fig. 237 pueden hacer referencia a las especificaciones de las vías pasantes 164v y el soporte 802, respectivamente, ilustrados en las figs. 231-235.

[0586] En consecuencia, usando las etapas mencionadas anteriormente, la capa dieléctrica 88 mencionada anteriormente también puede estar provista de la capa aislante 88a y la capa de polímero 88b sobre la capa aislante 88a. Las zanjas 88t en la capa de polímero 88b exponen la capa aislante 88a y se usan para proporcionar huecos que tienen conectores entre chips y conectores intrachip formados en los mismos. Las vías pasantes 164v se forman debajo de las zanjas 88t. También, la fig. 168 puede ser un ejemplo de una vista en perspectiva superior esquemática que muestra las zanjas 88t y las vías pasantes 164v mostradas en la fig. 237, y la fig. 237 también puede ser una vista en sección transversal cortada a lo largo de la línea H-H mostrada en la fig. 168.

[0587] En referencia a la fig. 238, después de formar la estructura ilustrada en la fig. 236 o en la fig. 237, se forman múltiples conectores metálicos (o pistas metálicas damasquinadas) 2, incluyendo los conectores metálicos (o pistas metálicas damasquinadas) 2a y 2b en las zanjas 88t, y se forman múltiples tapones metálicos (o vías metálicas) 6p en las vías pasantes 164v. Los tapones metálicos 6p incluyen los tapones metálicos (o vías metálicas) 6a, 6b, 6c, 6d y 6e en las vías pasantes 164a, 164b, 164c, 164d y 164e, respectivamente. El tapón metálico 6a se forma en el sustrato inactivo 165. Los tapones metálicos 6b y 6c se forman en el de la izquierda de los chips 72, y los tapones metálicos 6d y 6e se forman en el del medio de los chips 72. El soporte 802 y el conector o pista metálica 55a, en la capa de interconexión 106, sobre el soporte 802 pueden estar entre dos partes, más bajas que un nivel horizontal, en el que se sitúa una superficie superior de la capa de interconexión 106, del tapón metálico 6e.

[0588] Los conectores metálicos 2 en las zanjas 88t y los tapones metálicos 6p en las vías pasantes 164v se pueden formar por las siguientes etapas. En primer lugar, se forma la capa de adhesión/barrera 92 ilustrada en la fig. 51 sobre las capas 56, 106 y 114 expuestas por las vías pasantes 164v, sobre las paredes laterales de las vías pasantes 164v, sobre las paredes laterales y las partes inferiores de las zanjas 88t (o sobre las paredes laterales de las zanjas 88t en la capa de polímero 88b y sobre una superficie superior de la capa aislante 88a en las partes inferiores de las zanjas 88t), sobre las paredes internas, expuestas por las vías pasantes 164v, de los tapones aislantes 789, y sobre el conector o pista metálica 55a que está sobre el soporte 802 por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD), o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se forma la capa germinal 94 ilustrada en la fig. 51 sobre la capa de adhesión/barrera 92, en las vías pasantes 164v, y en las zanjas 88t por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD), o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se forma la capa de conducción 86 ilustrada en la fig. 51 sobre la capa germinal 94, en las vías pasantes 164v, y en las zanjas 88t usando un procedimiento adecuado, tal como procedimiento de electrochapado. Seguidamente, se rectifican o pulen las capas 92, 94 y 86 usando, por ejemplo, un procedimiento de pulido químico-mecánico (CMP), un procedimiento de pulido mecánico, un procedimiento de rectificado mecánico o un procedimiento que incluye pulido mecánico y grabado químico hasta que la capa dieléctrica 88 tiene una superficie superior expuesta 88s, encima de la que no hay partes de las capas 92, 94 y 86, y se eliminan las capas 92, 94 y 86 fuera de las zanjas 88t. En consecuencia, las capas 92, 94 y 86 en las zanjas 88t componen los conectores metálicos 2, incluyendo los conectores metálicos 2a y 2b, en las zanjas 88t. Las capas 92, 94 y 86 en las vías pasantes 164v componen los tapones metálicos 6p en las vías pasantes 164v, incluyendo los tapones metálicos 6a, 6b, 6c, 6d y 6e en las vías pasantes 164a, 164b, 164c, 164d y 164e, respectivamente. La capa de adhesión/barrera 92 y la capa germinal 94 están en las paredes laterales y una parte inferior de la capa de conducción 86 en las zanjas 88t, y las paredes laterales y la parte inferior de la capa de conducción 86 en las zanjas 88t están cubiertas por la capa de adhesión/barrera 92 y la capa germinal 94.

[0589] En una primera alternativa, después de que se rectifican o pulen las capas 92, 94 y 86, la capa de adhesión/barrera 92 puede ser una capa que contiene titanio, tal como una capa única de titanio, aleación de titanio-volframio o nitruro de titanio, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales y las partes inferiores de las zanjas 88t (o sobre las paredes laterales de las zanjas 88t en la capa de polímero 88b y sobre la superficie superior de la capa aislante 88a en las partes inferiores de las zanjas 88t), sobre las capas 56, 106 y 114 en las partes inferiores de las vías pasantes 164v, sobre las paredes laterales de las vías pasantes 164v, sobre las paredes internas de los tapones aislantes 789 en los chips 72, y sobre el conector o pista metálica 55a que está sobre el soporte 802. La capa germinal 94 puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene titanio, en las zanjas 88t, y en las vías pasantes 164v. La capa de conducción 86 puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjas 88t, y en las vías pasantes 164v. La capa de cobre electrochapado en las zanjas 88t tiene un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 1,5 micrómetros o de entre 0,5 y 3 micrómetros, en caso de que la capa dieléctrica 88, las zanjas 88t y las vías pasantes 164v se formen como se ilustra en las figs. 230-236. De forma alternativa, la capa de cobre electrochapado en las zanjas 88t tiene un grosor, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros, en caso de

que la capa dieléctrica 88 compuesta por las capas 88a y 88b, las zanjás 88t y las vías pasantes 164v se formen como se ilustra en la fig. 237.

[0590] En una segunda alternativa, después de que se rectifican o pulen las capas 92, 94 y 86, la capa de adhesión/barrera 92 puede ser una capa que contiene tántalo, tal como una capa única de tántalo o nitruro de tántalo, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales y las partes inferiores de las zanjás 88t (o sobre las paredes laterales de las zanjás 88t en la capa de polímero 88b y sobre la superficie superior de la capa aislante 88a en las partes inferiores de las zanjás 88t), sobre las capas 56, 106 y 114 en las partes inferiores de las vías pasantes 164v, sobre las paredes laterales de las vías pasantes 164v, sobre las paredes internas de los tapones de aislamiento 789 en los chips 72, y sobre el conector o pista metálica 55a que está sobre el soporte 802. La capa germinal 94 puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene tántalo, en las zanjás 88t, y en las vías pasantes 164v. La capa de conducción 86 puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjás 88t, y en las vías pasantes 164v. La capa de cobre electrochapado en las zanjás 88t tiene un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 1,5 micrómetros o de entre 0,5 y 3 micrómetros, en caso de que la capa dieléctrica 88, las zanjás 88t y las vías pasantes 164v se formen como se ilustra en las figs. 230-236. De forma alternativa, la capa de cobre electrochapado en las zanjás 88t tiene un grosor, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros, en caso de que la capa dieléctrica 88 compuesta por las capas 88a y 88b, las zanjás 88t y las vías pasantes 164v se formen como se ilustra en la fig. 237.

[0591] En una tercera alternativa, después de que se rectifican o pulen las capas 92, 94 y 86, la capa de adhesión/barrera 92 puede ser una capa que contiene cromo, tal como una capa única de cromo, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales y las partes inferiores de las zanjás 88t (o sobre las paredes laterales de las zanjás 88t en la capa de polímero 88b y sobre la superficie superior de la capa aislante 88a en las partes inferiores de las zanjás 88t), sobre las capas 56, 106 y 114 en las partes inferiores de las vías pasantes 164v, sobre las paredes laterales de las vías pasantes 164v, sobre las paredes internas de los tapones aislantes 789 en los chips 72, y sobre el conector o pista metálica 55a que está sobre el soporte 802. La capa germinal 94 puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene cromo, en las zanjás 88t, y en las vías pasantes 164v. La capa de conducción 86 puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjás 88t, y en las vías pasantes 164v. La capa de cobre electrochapado en las zanjás 88t tiene un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 1,5 micrómetros o de entre 0,5 y 3 micrómetros, en caso de que la capa dieléctrica 88, las zanjás 88t y las vías pasantes 164v se formen como se ilustra en las figs. 230-236. De forma alternativa, la capa de cobre electrochapado en las zanjás 88t tiene un grosor, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros, en caso de que la capa dieléctrica 88 compuesta por las capas 88a y 88b, las zanjás 88t y las vías pasantes 164v se formen como se ilustra en la fig. 237.

[0592] La superficie superior expuesta 88s de la capa dieléctrica 88 puede ser sustancialmente coplanaria con la superficie rectificada o pulida 86s de la capa de conducción 86 en las zanjás 88t, y las superficies 86s y 88s pueden ser sustancialmente planas. Después de que se rectifican o pulen las capas 92, 94 y 86, la capa dieléctrica 88 puede tener un grosor, entre la superficie superior expuesta 88s y la superficie 96s o 165s, por ejemplo, de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 3 micrómetros, en caso de que la capa dieléctrica 88, las zanjás 88t y las vías pasantes 164v se formen como se ilustra en las figs. 230-236. De forma alternativa, después de que se rectifican o pulen las capas 92, 94 y 86, la capa de polímero 88b de la capa dieléctrica 88 puede tener un grosor, entre la superficie superior expuesta 88s de la capa de polímero 88b y la superficie superior de la capa aislante 88a, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros, en caso de que la capa dieléctrica 88 compuesta por las capas 88a y 88b, las zanjás 88t y las vías pasantes 164v se formen como se ilustra en la fig. 237.

[0593] Cada uno de los tapones metálicos 6p en los chips 72 pasa a través y está rodeado por uno de los tapones aislantes 789 en los chips 72 y se pone en contacto con la pared interna del uno de los tapones aislantes 789. Por ejemplo, el tapón metálico 6b en el de la izquierda de los chips 72 pasa a través y está rodeado por uno de los tapones aislantes 789 en el de la izquierda de los chips 72, se pone en contacto con la pared interna del uno de los tapones aislantes 789, y se pone en contacto con la capa aislante 456, rodeada por la capa aislante 567, del uno de los tapones aislantes 789. El tapón metálico 6c en el de la izquierda de los chips 72 pasa a través y está rodeado por otro de los tapones aislantes 789 en el de la izquierda de los chips 72, se pone en contacto con la pared interna del otro de los tapones aislantes 789 y se pone en contacto con la capa aislante 567 del otro de los tapones aislantes 789. El tapón metálico 6d en el del medio de los chips 72 pasa a través y está rodeado por uno de los tapones aislantes 789 en el del medio de los chips 72, se pone en contacto con la pared interna del uno de los tapones aislantes 789 y se pone en contacto con la capa aislante 456, rodeada por la capa aislante 567, del uno de los tapones aislantes 789. El tapón metálico 6e en el del medio de los chips 72 pasa a través y está rodeado por otro de los tapones aislantes 789 en el

del medio de los chips 72, se pone en contacto con la pared interna del otro de los tapones aislantes 789 y se pone en contacto con la capa aislante 567 del otro de los tapones aislantes 789. Para obtener una descripción más detallada acerca de los tapones metálicos 6p (incluyendo los tapones metálicos 6a-6e) y los conectores metálicos 2 (incluyendo los conectores metálicos 2a y 2b) mostrados en la fig. 238, consúltese la ilustración de la fig. 52.

[0594] De forma alternativa, el elemento 72 no solo puede indicar un chip, sino que también puede indicar una oblea. Cuando el elemento 72 es una oblea, el elemento 68 puede ser otra oblea. De este modo, el procedimiento ilustrado en la invención se puede emplear para la unión de oblea a oblea.

[0595] En referencia a la fig. 239, después de formar la estructura ilustrada en la fig. 238, se forma la capa aislante o dieléctrica 120 ilustrada en la fig. 53 sobre la superficie de rectificado o pulido 86s de la capa de conducción 86 y sobre la superficie superior expuesta 88s de la capa dieléctrica 88. Seguidamente, se colocan múltiples chips 118, de los que cada uno es como el chip 118a o 118b ilustrado en la fig. 212N, y el/los sustrato(s) inactivo(s) 158 descrito(s) previamente encima de la capa 140, que puede hacer referencia a las etapas ilustradas en las figs. 54-59. La disposición de colocación de los chips 118 y el/los sustrato(s) inactivo(s) 158 encima de la capa aislante o dieléctrica 120, en el modo de realización, puede hacer referencia a la de la colocación de los chips 118 y el/los sustrato(s) inactivo(s) 158 encima de la capa aislante o dieléctrica 120 como se ilustra en la fig. 58 o 59.

[0596] Seguidamente, en referencia a la fig. 240, se forma un material de encapsulación/relleno de huecos 138 sobre un lado posterior del sustrato semiconductor 124 de cada chip 118, sobre el/los sustrato(s) inactivo(s) 158, y en los huecos 4b y 8b. Seguidamente, el material de encapsulación/relleno de huecos 138, el lado posterior del sustrato semiconductor 124 de cada chip 118, y el/los sustrato(s) inactivo(s) 158 se rectifican o pulen por un procedimiento adecuado, tal como procedimiento de rectificado mecánico, procedimiento de pulido mecánico, procedimiento de pulido químico-mecánico (CMP) o un procedimiento que incluye rectificado mecánico y pulido químico-mecánico, hasta que todos los tapones aislantes 789 en los chips 118 tienen superficies inferiores expuestas 789u, encima de las que no hay partes de los sustratos semiconductores 124. Las etapas de formación del material de encapsulación/relleno de huecos 138 y rectificado o pulido del material de encapsulación/relleno de huecos 138, el lado posterior del sustrato semiconductor 124 de cada chip 118, y el/los sustrato(s) inactivo(s) 158 ilustradas en la fig. 240 pueden hacer referencia a las etapas de formación del material de encapsulación/relleno de huecos 64 y rectificado o pulido del material de encapsulación/relleno de huecos 64, el lado posterior del sustrato semiconductor 58 de cada chip 68, y el/los sustrato(s) inactivo(s) 62 como se ilustra en las figs. 214-217. El material de encapsulación/relleno de huecos 138 puede ser polisilicio, óxido de silicio o un polímero. En el caso de que la capa aislante 567 de los tapones aislantes 789 esté compuesta solo por la capa de nitruro de silicio u oxinitruro de silicio, durante el procedimiento de rectificado o pulido, se proporcionan las superficies inferiores expuestas 789u por la capa de nitruro de silicio u oxinitruro de silicio en las partes superiores de los tapones aislantes 789. En el otro caso en que la capa aislante 567 de los tapones aislantes 789 está compuesta por la capa de óxido de silicio y la capa de nitruro de silicio u oxinitruro de silicio, durante el procedimiento de rectificado o pulido, se elimina la capa de óxido de silicio en las partes superiores de los tapones aislantes 789 y se proporcionan las superficies inferiores expuestas 789u por la capa de nitruro de silicio u oxinitruro de silicio en las partes superiores de los tapones aislantes 789.

[0597] En consecuencia, el sustrato semiconductor 124 de cada uno de los chips 118 se puede estrechar a un grosor T15, por ejemplo, de entre 1 y 100 micrómetros, de entre 1 y 50 micrómetros, de entre 1 y 30 micrómetros, de entre 1 y 10 micrómetros o de entre 1 y 5 micrómetros, y preferentemente de entre 2 y 20 micrómetros o de entre 3 y 30 micrómetros. Con respecto a cada uno de los chips 118, después del procedimiento de rectificado o pulido, los tapones aislantes 789 y el sustrato semiconductor 124 pueden tener el mismo grosor T15. Preferentemente, cada uno de los chips 118, después del procedimiento de rectificado o pulido, puede tener un grosor, por ejemplo, de entre 3 y 105 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros.

[0598] Después del procedimiento de rectificado o pulido, el/los sustrato(s) inactivo(s) 158 se puede(n) estrechar a un grosor T16, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros, y el material de encapsulación/relleno de huecos 138 restante en los huecos 4b y 8b puede tener un grosor vertical T17, por ejemplo, de entre 3 y 100 micrómetros, y preferentemente de entre 3 y 30 micrómetros o de entre 5 y 25 micrómetros. La superficie rectificada o pulida 124s del sustrato semiconductor 124, en el lado posterior de cada chip 118, y la(s) superficie(s) rectificada(s) o pulida(s) 158s del/de los sustrato(s) inactivo(s) 158 pueden ser sustancialmente planas y no estar cubiertas por el material de encapsulación/relleno de huecos 138. La(s) superficie(s) rectificada(s) o pulida(s) 158s puede(n) ser sustancialmente coplanaria(s) con la superficie rectificada o pulida 124s de cada chip 118, con la superficie rectificada o pulida 138s del material de encapsulación/relleno de huecos 138 en los huecos 4b y 8b, y con las superficies inferiores expuestas 789u de los tapones aislantes 789 en los chips 118. En cada chip 118, una distancia vertical D16 entre la superficie rectificada o pulida 124s del sustrato semiconductor 124 y la parte inferior del aislamiento de zanjas poco profundas 345 puede ser, por ejemplo, mayor de 0,1 micrómetros, tal como de entre 1 y 100 micrómetros, de entre 1 y 50 micrómetros, de entre 1 y 25 micrómetros, de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 0,1 y 2 micrómetros.

[0599] En referencia a la fig. 241, después de formar la estructura ilustrada en la fig. 240, se forma la capa dieléctrica 139 ilustrada en la fig. 64 sobre la superficie 124s del sustrato semiconductor 124 de cada chip 118, sobre la(s)

superficie(s) 158s del/de los sustrato(s) inactivo(s) 158, sobre las superficies inferiores expuestas 789u de los tapones aislantes 789 en los chips 118, y sobre la superficie 138s del material de encapsulación/relleno de huecos 138.

[0600] Seguidamente, en referencia a la fig. 242, se forman múltiples vías pasantes 156v, incluyendo las vías pasantes 156a, 156b, 156c, 156d, 156e y 156f, en los chips 118 y en el/los sustrato(s) inactivo(s) 158, exponiendo la capa de conducción 86 de los conectores metálicos 2 y exponiendo las capas 17 y 19 de los chips 118, que pueden hacer referencia a las etapas ilustradas en la fig. 65, pero, en el modo de realización, la formación de las vías pasantes 156v (tales como las vías 156b-156f) en los chips 118 incluye el grabado a través de los tapones aislantes 789 en los chips 118. Los tapones aislantes 789 en los chips 118 están rodeados por los sustratos semiconductores 124 de los chips 118. Las vías pasantes 156v en los chips 118 pasan a través y están rodeadas por los tapones aislantes 789 en los chips 118 y exponen las paredes internas de los tapones aislantes 789. Por ejemplo, la vía pasante 156b en el de la izquierda de los chips 118 pasa a través y está rodeada por uno de los tapones aislantes 789 en el de la izquierda de los chips 118, expone una pared interna del uno de los tapones aislantes 789 y expone la capa aislante 567 del uno de los tapones aislantes 789. La vía pasante 156c en el de la izquierda de los chips 118 pasa a través y está rodeada por otro de los tapones aislantes 789 en el de la izquierda de los chips 118, expone una pared interna del otro de los tapones aislantes 789 y expone la capa aislante 456, rodeada por la capa aislante 567, del otro de los tapones aislantes 789. La vía pasante 156d en el de la izquierda de los chips 118 pasa a través y está rodeada por otro de los tapones aislantes 789 en el de la izquierda de los chips 118, expone una pared interna del otro de los tapones aislantes 789 y expone la capa aislante 567 y la capa aislante 456, rodeada por la capa 567, del otro de los tapones aislantes 789. La vía pasante 156e en el del medio de los chips 118 pasa a través y está rodeada por uno de los tapones aislantes 789 en el del medio de los chips 118, expone una pared interna del uno de los tapones aislantes 789, y expone la capa aislante 456, rodeada por la capa aislante 567, del uno de los tapones aislantes 789. La vía pasante 156f en el del medio de los chips 118 pasa a través y está rodeada por otro de los tapones aislantes 789 en el del medio de los chips 118, expone una pared interna del otro de los tapones aislantes 789 y expone la capa aislante 567 y la capa aislante 456, rodeada por la capa 567, del otro de los tapones aislantes 789.

[0601] Cada una de las vías pasantes 156v, tal como la vía pasante 156a, 156b, 156c, 156d, 156e o 156f, tiene un ancho o un diámetro, por ejemplo, de entre 0,5 y 100 micrómetros, de entre 0,5 y 50 micrómetros, de entre 0,5 y 30 micrómetros, de entre 0,5 y 20 micrómetros, de entre 0,5 y 10 micrómetros o de entre 0,5 y 5 micrómetros, y preferentemente de entre 1 y 3 micrómetros. Para obtener una descripción más detallada acerca de las vías pasantes 156v, tales como las vías pasantes 156a-156f, consúltase la ilustración de la fig. 65.

[0602] Como se muestra en la fig. 242, un soporte 803 proporcionado por la capa aislante o dieléctrica 120, la capa 140 y las capas 21, 78 y 28 del del medio de los chips 118 está entre la capa de conducción 86 del conector metálico 2b y el conector o pista metálica 75a en la capa de interconexión 17 expuesto por la vía pasante 156e con el propósito de soportar el conector o pista metálica 75a expuesto. El soporte 803 puede tener una altura, por ejemplo, de entre 0,5 y 10 micrómetros, y preferentemente de entre 1 y 5 micrómetros, y un ancho, por ejemplo, de entre 0,3 y 30 micrómetros, y preferentemente de entre 0,3 y 10 micrómetros, 0,3 y 5 micrómetros, o de entre 0,3 y 1 micrómetros.

[0603] La fig. 243 es un primer ejemplo de una vista en perspectiva superior esquemática que muestra la vía pasante 156e, el tapón aislante 789 que rodea la vía pasante 156e, y el conector o pista metálica 75a en el del medio de los chips 118 como se ilustra en la fig. 242. La vista en perspectiva superior esquemática mostrada en la fig. 243 es similar a la vista en perspectiva superior esquemática mostrada en la fig. 66, excepto que la vía pasante 156e mostrada en la fig. 243 se forma dentro de uno de los tapones aislantes 789 en el del medio de los chips 118. Para obtener una descripción más detallada acerca de la vía pasante 156e y el conector o pista metálica 75a como se muestra en las figs. 242 y 243, consúltase la ilustración de las figs. 65 y 66.

[0604] La fig. 244 es un segundo ejemplo de una vista en perspectiva superior esquemática que muestra la vía pasante 156e, el tapón aislante 789 que rodea la vía pasante 156e y el conector o pista metálica 75a como se ilustra en la fig. 242. La vista en perspectiva superior esquemática mostrada en la fig. 244 es similar a la vista en perspectiva superior esquemática mostrada en la fig. 67, excepto que la vía pasante 156e mostrada en la fig. 244 se forma dentro de uno de los tapones aislantes 789 en el del medio de los chips 118. Para obtener una descripción más detallada acerca de la vía pasante 156e y el conector o pista metálica 75a como se muestra en las figs. 242 y 244, consúltase la ilustración de las figs. 65 y 67.

[0605] La fig. 245 es un tercer ejemplo de una vista en perspectiva superior esquemática que muestra la vía pasante 156e, el tapón aislante 789 que rodea la vía pasante 156e y el conector o pista metálica 75a como se ilustra en la fig. 242. La vista en perspectiva superior esquemática mostrada en la fig. 245 es similar a la vista en perspectiva superior esquemática mostrada en la fig. 68, excepto que la vía pasante 156e mostrada en la fig. 245 se forma dentro de uno de los tapones aislantes 789 en el del medio de los chips 118. Para obtener una descripción más detallada acerca de la vía pasante 156e y el conector o pista metálica 75a como se muestra en las figs. 242 y 245, consúltase la ilustración de las figs. 65 y 68.

[0606] La fig. 246 es un cuarto ejemplo de una vista en perspectiva superior esquemática que muestra la vía pasante 156e, el tapón aislante 789 que rodea la vía pasante 156e y el conector o pista metálica 75a como se ilustra en la fig. 242. La vista en perspectiva superior esquemática mostrada en la fig. 246 es similar a la vista en perspectiva superior

esquemática mostrada en la fig. 66A, excepto que la vía pasante 156e mostrada en la fig. 246 se forma dentro del uno de los tapones aislantes 789 en el del medio de los chips 118. Para obtener una descripción más detallada acerca de la vía pasante 156e y el conector o pista metálica 75a como se muestra en la fig. 246, consúltese la ilustración de la fig. 66A.

[0607] En referencia a la fig. 247, después de formar la estructura ilustrada en la fig. 242, se forman múltiples zanjas 139t en la capa dieléctrica 139. Las zanjas 139t en la capa dieléctrica 139 tienen una profundidad D9, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,5 y 3 micrómetros. La capa dieléctrica 139 debajo de las zanjas 139t tiene un grosor restante T20, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 5 micrómetros, de entre 0,5 y 2 micrómetros, de entre 0,1 y 3 micrómetros o de entre 0,2 y 1,5 micrómetros. Las etapas de formación de las zanjas 139t en la capa dieléctrica 139 pueden hacer referencia a las etapas de formación de las zanjas 60t en la capa dieléctrica 60 como se ilustra en las figs. 153-155. Las zanjas 139t formadas en la capa dieléctrica 139 se usan para proporcionar huecos que tienen conectores entre chips y conectores intrachip formados en los mismos. También, la fig. 179 puede ser un ejemplo de una vista en perspectiva superior esquemática que muestra las zanjas 139t y las vías pasantes 156v mostradas en la fig. 247, y la fig. 247 también puede ser una vista en sección transversal cortada a lo largo de la línea K-K mostrada en la fig. 179.

[0608] De forma alternativa, se pueden formar las zanjas 139t ilustradas en la fig. 247 en la capa dieléctrica 139 antes de que se formen las vías pasantes 156v ilustradas en la fig. 242 en los chips 118 y el/los sustrato(s) inactivo(s) 158. Específicamente, después de que se forma la capa dieléctrica 139 sobre las superficies 124s, 138s, 158s y 789u como se muestra en la fig. 241, se forman las zanjas 139t ilustradas en la fig. 247 en la capa dieléctrica 139, y a continuación se forman las vías pasantes 156v ilustradas en la fig. 242 en los chips 118 y en el/los sustrato(s) inactivo(s) 158, exponiendo la capa de conducción 86 de los conectores metálicos 2 y exponiendo las capas 17 y 19 de los chips 118.

[0609] De forma alternativa, en referencia a la fig. 248, se pueden formar la capa dieléctrica 139, las zanjas 139t y las vías pasantes 156v como se muestra en la fig. 247 por las siguientes etapas. Después de formar la estructura ilustrada en la fig. 240, se forma una capa aislante 139a, tal como una capa de óxido de silicio, nitruro de silicio, oxinitruro de silicio, carbonitruro de silicio u oxycarburo de silicio, que tiene un grosor C5, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,2 y 1,5 micrómetros o de entre 0,15 y 2 micrómetros, sobre la superficie 124s del sustrato semiconductor 124 de cada chip 118, sobre la(s) superficie(s) 158s del/los sustrato(s) inactivo(s) 158, sobre las superficies inferiores expuestas 789u de los tapones aislantes 789 en los chips 118, y sobre la superficie 138s del material de encapsulación/relleno de huecos 138 como se muestra en la fig. 240.

[0610] Seguidamente, se forma una capa de polímero 139b, tal como una capa de poliimida, benzociclobuteno (BCB), epoxi, polibenzoxazol (PBO) u poli(óxido de fenileno) (PPO), sobre la capa aislante 139a usando un procedimiento adecuado, tal como procedimiento de recubrimiento por rotación, procedimiento de serigrafía o procedimiento de laminación. Seguidamente, se puede emplear un procedimiento de exposición y un procedimiento de revelado para formar las zanjas 139t, exponiendo la capa aislante 139a, en la capa de polímero 139b. Se puede usar un paso a paso 1X o un alineador de contacto 1X para exponer la capa de polímero 139b durante el procedimiento de exposición. Seguidamente, la capa de polímero 139b se cura o calienta a una temperatura de entre 150 grados centígrados y 400 grados centígrados, y preferentemente de entre 180 grados centígrados y 250 grados centígrados. La capa de polímero 139b después de curarse o calentarse tiene un grosor C6, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros.

[0611] Seguidamente, se forma una capa fotorresistente sobre la capa aislante 139a expuesta por las zanjas 139t y sobre la capa de polímero 139b, y múltiples aberturas en la capa fotorresistente exponen la capa aislante 139a en las partes inferiores de las zanjas 139t. Seguidamente, se elimina la capa aislante 139a debajo de las aberturas en la capa fotorresistente usando un procedimiento adecuado, tal como procedimiento de grabado por plasma anisotrópico. Seguidamente, se decapan el/los sustrato(s) inactivo(s) 158 debajo de las aberturas en la capa fotorresistente y los chips 118 debajo de las aberturas en la capa fotorresistente hasta que se exponen las regiones predeterminadas de las capas 17 y 19 en los chips 118 y las regiones predeterminadas de la capa de conducción 86 de los conectores metálicos 2 por las aberturas en la capa fotorresistente. Seguidamente, se elimina la capa fotorresistente usando, por ejemplo, una sustancia química orgánica. En consecuencia, se forman las vías pasantes 156v, incluyendo las vías pasantes 156a, 156b, 156c, 156d, 156e y 156f, en los chips 118 y en el/los sustrato(s) inactivo(s) 158, exponiendo la capa de conducción 86 de los conectores metálicos 2 y exponiendo las capas 17 y 19 de los chips 118. Las especificaciones de las vías pasantes 156v y el soporte 803 mostrados en la fig. 248 pueden hacer referencia a las especificaciones de las vías pasantes 156v y el soporte 803, respectivamente, ilustrados en las figs. 242-246.

[0612] En consecuencia, usando las etapas mencionadas anteriormente, la capa dieléctrica 139 mencionada anteriormente también puede estar provista de la capa aislante 139a y la capa de polímero 139b sobre la capa aislante 139a. Las zanjas 139t en la capa de polímero 139b exponen la capa aislante 139a y se usan para proporcionar huecos que tienen conectores entre chips y conectores intrachip formados en los mismos. Las vías pasantes 156v se forman debajo de las zanjas 139t. También, la fig. 179 puede ser un ejemplo de una vista en perspectiva superior esquemática que muestra las zanjas 139t y las vías pasantes 156v mostradas en la fig. 248, y la fig. 248 también puede ser una vista en sección transversal cortada a lo largo de la línea K-K mostrada en la fig. 179.

[0613] En referencia a la fig. 249, después de formar la estructura ilustrada en la fig. 247 o en la fig. 248, se forman múltiples conectores metálicos (o pistas metálicas damasquinadas) 3, incluyendo los conectores metálicos (o pistas metálicas damasquinadas) 3a, 3b y 3c en las zanjas 139t, y se forman múltiples tapones metálicos (o vías metálicas) 7p en las vías pasantes 156v. Los tapones metálicos 7p incluyen los tapones metálicos (o vías metálicas) 7a, 7b, 7c, 7d, 7e y 7f en las vías pasantes 156a, 156b, 156c, 156d, 156e y 156f, respectivamente. El tapón metálico 7a se forma en el sustrato inactivo 158. Los tapones metálicos 7b, 7c y 7d se forman en el de la izquierda de los chips 118, y los tapones metálicos 7e y 7f se forman en el del medio de los chips 118. El soporte 803 y el conector o pista metálica 75a, en la capa de interconexión 17, sobre el soporte 803 pueden estar entre dos partes, más bajas que un nivel horizontal, en el que se sitúa una superficie superior de la capa de interconexión 17, del tapón metálico 7e.

[0614] Los conectores metálicos 3 en las zanjas 139t y los tapones metálicos 7p en las vías pasantes 156v se pueden formar por las siguientes etapas. En primer lugar, se forma la capa de adhesión/barrera 125a ilustrada en la fig. 75 sobre las capas 17, 19 y 86 expuestas por las vías pasantes 156v, sobre las paredes laterales de las vías pasantes 156v, sobre las paredes laterales y las partes inferiores de las zanjas 139t (o sobre las paredes laterales de las zanjas 139t en la capa de polímero 139b y sobre una superficie superior de la capa aislante 139a en las partes inferiores de las zanjas 139t), sobre las paredes internas, expuestas por las vías pasantes 156v, de los tapones aislantes 789, y sobre el conector o pista metálica 75a que está sobre el soporte 803 por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD), o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se forma la capa germinal 125b ilustrada en la fig. 75 sobre la capa de adhesión/barrera 125a, en las vías pasantes 156v, y en las zanjas 139t por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD), o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se forma la capa de conducción 125c ilustrada en la fig. 75 sobre la capa germinal 125b, en las vías pasantes 156v, y en las zanjas 139t usando un procedimiento adecuado, tal como procedimiento de electrochapado. Seguidamente, se rectifican o pulen las capas 125a, 125b y 125c usando, por ejemplo, un procedimiento de pulido químico-mecánico (CMP), un procedimiento de pulido mecánico, un procedimiento de rectificado mecánico o un procedimiento que incluye pulido mecánico y grabado químico hasta que la capa dieléctrica 139 tiene una superficie superior expuesta 139s, encima de la que no hay partes de las capas 125a, 125b y 125c, y se eliminan las capas 125a, 125b y 125c fuera de las zanjas 139t. En consecuencia, las capas 125a, 125b y 125c en las zanjas 139t componen los conectores metálicos 3, incluyendo los conectores metálicos 3a, 3b y 3c, en las zanjas 139t. Las capas 125a, 125b y 125c en las vías pasantes 156v componen los tapones metálicos 7p en las vías pasantes 156v, incluyendo los tapones metálicos 7a, 7b, 7c, 7d, 7e y 7f en las vías pasantes 156a, 156b, 156c, 156d, 156e y 156f, respectivamente. La capa de adhesión/barrera 125a y la capa germinal 125b están en las paredes laterales y una parte inferior de la capa de conducción 125c en las zanjas 139t, y las paredes laterales y la parte inferior de la capa de conducción 125c en las zanjas 139t están cubiertas por la capa de adhesión/barrera 125a y la capa germinal 125b.

[0615] En una primera alternativa, después de que se rectifican o pulen las capas 125a, 125b y 125c, la capa de adhesión/barrera 125a puede ser una capa que contiene titanio, tal como una capa única de titanio, aleación de titanio-volframio o nitruro de titanio, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales y las partes inferiores de las zanjas 139t (o sobre las paredes laterales de las zanjas 139t en la capa de polímero 139b y sobre la superficie superior de la capa aislante 139a en las partes inferiores de las zanjas 139t), sobre las capas 17, 19 y 86 en las partes inferiores de las vías pasantes 156v, sobre las paredes laterales de las vías pasantes 156v, sobre las paredes internas de los tapones aislantes 789 en los chips 118, y sobre el conector o pista metálica 75a que está sobre el soporte 803. La capa germinal 125b puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene titanio, en las zanjas 139t, y en las vías pasantes 156v. La capa de conducción 125c puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjas 139t, y en las vías pasantes 156v. La capa de cobre electrochapado en las zanjas 139t tiene un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 1,5 micrómetros o de entre 0,5 y 3 micrómetros, en caso de que la capa dieléctrica 139, las zanjas 139t y las vías pasantes 156v se formen como se ilustra en las figs. 241-247. De forma alternativa, la capa de cobre electrochapado en las zanjas 139t tiene un grosor, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros, en caso de que la capa dieléctrica 139 compuesta por las capas 139a y 139b, las zanjas 139t y las vías pasantes 156v se formen como se ilustra en la fig. 248.

[0616] En una segunda alternativa, después de que se rectifican o pulen las capas 125a, 125b y 125c, la capa de adhesión/barrera 125a puede ser una capa que contiene tántalo, tal como una capa única de tántalo o nitruro de tántalo, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales y las partes inferiores de las zanjas 139t (o sobre las paredes laterales de las zanjas 139t en la capa de polímero 139b y sobre la superficie superior de la capa aislante 139a en las partes inferiores de las zanjas 139t), sobre las capas 17, 19 y 86 en las partes inferiores de las vías pasantes 156v, sobre las paredes laterales de las vías pasantes 156v, sobre las paredes internas de los tapones de aislamiento 789 en los chips 118, y sobre el conector o pista metálica 75a que está sobre el soporte 803. La capa

germinal 125b puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene tántalo, en las zanjás 139t, y en las vías pasantes 156v. La capa de conducción 125c puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjás 139t, y en las vías pasantes 156v. La capa de cobre electrochapado en las zanjás 139t tiene un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 1,5 micrómetros o de entre 0,5 y 3 micrómetros, en caso de que la capa dieléctrica 139, las zanjás 139t y las vías pasantes 156v se formen como se ilustra en las figs. 241-247. De forma alternativa, la capa de cobre electrochapado en las zanjás 139t tiene un grosor, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros, en caso de que la capa dieléctrica 139 compuesta por las capas 139a y 139b, las zanjás 139t y las vías pasantes 156v se formen como se ilustra en la fig. 248.

[0617] En una tercera alternativa, después de que se rectifican o pulen las capas 125a, 125b y 125c, la capa de adhesión/barrera 125a puede ser una capa que contiene cromo, tal como una capa única de cromo, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales y las partes inferiores de las zanjás 139t (o sobre las paredes laterales de las zanjás 139t en la capa de polímero 139b y sobre la superficie superior de la capa aislante 139a en las partes inferiores de las zanjás 139t), sobre las capas 17, 19 y 86 en las partes inferiores de las vías pasantes 156v, sobre las paredes laterales de las vías pasantes 156v, sobre las paredes internas de los tapones aislantes 789 en los chips 118, y sobre el conector o pista metálica 75a que está sobre el soporte 803. La capa germinal 125b puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene cromo, en las zanjás 139t, y en las vías pasantes 156v. La capa de conducción 125c puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjás 139t, y en las vías pasantes 156v. La capa de cobre electrochapado en las zanjás 139t tiene un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,3 y 1,5 micrómetros o de entre 0,5 y 3 micrómetros, en caso de que la capa dieléctrica 139, las zanjás 139t y las vías pasantes 156v se formen como se ilustra en las figs. 241-247. De forma alternativa, la capa de cobre electrochapado en las zanjás 139t tiene un grosor, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros, en caso de que la capa dieléctrica 139 compuesta por las capas 139a y 139b, las zanjás 139t y las vías pasantes 156v se formen como se ilustra en la fig. 248.

[0618] La superficie superior expuesta 139s de la capa dieléctrica 139 puede ser sustancialmente coplanaria con la superficie rectificada o pulida 227 de la capa de conducción 125c en las zanjás 139t, y las superficies 139s y 227 pueden ser sustancialmente planas. Después de que se rectifican o pulen las capas 125a, 125b y 125c, la capa dieléctrica 139 puede tener un grosor, entre la superficie superior expuesta 139s y la superficie 124s o 158s, por ejemplo, de entre 1 y 10 micrómetros, y preferentemente de entre 1 y 3 micrómetros, en caso de que la capa dieléctrica 139, las zanjás 139t y las vías pasantes 156v se formen como se ilustra en las figs. 241-247. De forma alternativa, después de que se rectifican o pulen las capas 125a, 125b y 125c, la capa de polímero 139b de la capa dieléctrica 139 puede tener un grosor, entre la superficie superior expuesta 139s de la capa de polímero 139b y la superficie superior de la capa aislante 139a, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros, en caso de que la capa dieléctrica 139 compuesta por las capas 139a y 139b, las zanjás 139t y las vías pasantes 156v se formen como se ilustra en la fig. 248.

[0619] Cada uno de los tapones metálicos 7p en los chips 118 pasa a través y está rodeado por uno de los tapones aislantes 789 en los chips 118 y se pone en contacto con la pared interna del uno de los tapones aislantes 789. Por ejemplo, el tapón metálico 7b en el de la izquierda de los chips 118 pasa a través y está rodeado por uno de los tapones aislantes 789 en el de la izquierda de los chips 118, se pone en contacto con la pared interna del uno de los tapones aislantes 789, y se pone en contacto con la capa aislante 567 del uno de los tapones aislantes 789. El tapón metálico 7c en el de la izquierda de los chips 118 pasa a través y está rodeado por otro de los tapones aislantes 789 en el de la izquierda de los chips 118, se pone en contacto con la pared interna del otro de los tapones aislantes 789 y se pone en contacto con la capa aislante 456, rodeada por la capa 567, del otro de los tapones aislantes 789. El tapón metálico 7d en el de la izquierda de los chips 118 pasa a través y está rodeado por otro de los tapones aislantes 789 en el de la izquierda de los chips 118, se pone en contacto con la pared interna del otro de los tapones aislantes 789 y se pone en contacto con la capa aislante 567 y la capa aislante 456, rodeada por la capa 567, del otro de los tapones aislantes 789. El tapón metálico 7e en el del medio de los chips 118 pasa a través y está rodeado por uno de los tapones aislantes 789 en el del medio de los chips 118, se pone en contacto con la pared interna del uno de los tapones aislantes 789 y se pone en contacto con la capa aislante 456, rodeada por la capa aislante 567, del uno de los tapones aislantes 789. El tapón metálico 7f en el del medio de los chips 118 pasa a través y está rodeado por otro de los tapones aislantes 789 en el del medio de los chips 118, se pone en contacto con la pared interna del otro de los tapones aislantes 789, y se pone en contacto con la capa aislante 567 y la capa aislante 456, rodeada por la capa 567, del otro de los tapones aislantes 789. Para obtener una descripción más detallada acerca de los tapones metálicos 7p (incluyendo los tapones metálicos 7a-7f) y los conectores metálicos 3 (incluyendo los conectores metálicos 3a, 3b y 3c) mostrados en la fig. 249, consúltese la ilustración de la fig. 76.

[0620] De forma alternativa, el elemento 118 no solo puede indicar un chip, sino que también puede indicar una oblea. Cuando el elemento 118 es una oblea, el elemento 72 puede ser otra oblea. De este modo, el procedimiento ilustrado en la invención se puede emplear para la unión de oblea a oblea.

[0621] En referencia a la fig. 250, después de formar la estructura ilustrada en la fig. 249, se pueden realizar posteriormente las siguientes etapas como se ilustra en las figs. 77-81, y a continuación se puede realizar un procedimiento de individualización para cortar el portador 11, los sustratos inactivos 62, 165 y 158, y las capas 22, 60, 66, 88, 116, 120, 122, 136, 139 y 140 usando, por ejemplo, corte mecánico o corte por láser y para individualizar múltiples sistemas en paquetes o módulos multichip, tales como los sistemas en paquetes o los módulos multichip 556a y 556b.

[0622] El sistema en paquete o el módulo multichip 556a se puede conectar a y unir con un portador, tal como una placa base, una placa de circuito impreso (PCB), un sustrato de matriz de rejilla de bolas (BGA), un sustrato de metal, un sustrato de vidrio o un sustrato de cerámica, usando las protuberancias o bolas de soldadura 126. Por ejemplo, en referencia a la fig. 251, el sistema en paquete o el módulo multichip 556a se puede unir con un lado superior de un portador 176 usando, por ejemplo, una tecnología de chip invertido para juntar las protuberancias o bolas de soldadura 126 con una capa de soldadura o de oro preformada sobre el lado superior del portador 176. Seguidamente, se puede formar un relleno subyacente 174 entre la capa de polímero 136 del sistema en paquete o del módulo multichip 556a y el lado superior del portador 176 y que rodea las protuberancias o bolas de soldadura 126. Seguidamente, se pueden formar múltiples bolas de soldadura 178 sobre un lado inferior del portador 176. Las especificaciones del portador 176, el relleno subyacente 174 y las bolas de soldadura 178 mostradas en la fig. 251 pueden hacer referencia a las especificaciones del portador 176, el relleno subyacente 174 y las bolas de soldadura 178 como se ilustra en la fig. 83, respectivamente.

[0623] La fig. 252 muestra otro sistema en paquete o módulo multichip de acuerdo con otro modo de realización de la presente divulgación, que se puede formar por las siguientes etapas. Después de formar la estructura ilustrada en la fig. 249, se pueden realizar posteriormente las etapas como se ilustra en las figs. 77-79. Seguidamente, formar protuberancias metálicas 668 sobre la capa de polímero 136 y sobre los puntos de contacto, en las partes inferiores de las aberturas en la capa aislante o dieléctrica 122 y debajo de las aberturas 136a en la capa de polímero 136, de la capa de conducción 125c de los conectores metálicos 3 puede hacer referencia a las etapas ilustradas en la fig. 84. Seguidamente, se puede realizar un procedimiento de individualización para cortar el portador 11, los sustratos inactivos 62, 165 y 158, y las capas 22, 60, 66, 88, 116, 120, 122, 136, 139 y 140 usando, por ejemplo, corte mecánico o corte por láser y para individualizar múltiples sistemas en paquetes o módulos multichip, tales como sistema en paquete o módulo multichip 556c. En el sistema en paquete o el módulo multichip 556c, cada uno de los conectores 3 se puede conectar a una o más de las protuberancias metálicas 668.

[0624] El sistema en paquete o el módulo multichip 556c se puede conectar a y unir con un portador, tal como una placa base, una placa de circuito impreso (PCB), un sustrato de matriz de rejilla de bolas (BGA), un sustrato de metal, un sustrato de vidrio o un sustrato de cerámica, usando las protuberancias metálicas 668. Por ejemplo, en referencia a la fig. 253, el sistema en paquete o el módulo multichip 556c se puede unir con el lado superior del portador 176 ilustrado en la fig. 83 usando, por ejemplo, una tecnología de chip invertido para juntar la capa humectante de soldadura 146 de las protuberancias metálicas 668 con una capa de soldadura o de oro preformada sobre el lado superior del portador 176. Después de juntar la capa humectante de soldadura 146 con la capa de soldadura o de oro preformada sobre el lado superior del portador 176, se forman múltiples juntas metálicas 180 entre la capa de barrera 144 de las protuberancias metálicas 668 y el lado superior del portador 176. Las juntas metálicas 180 pueden ser una capa de una aleación Sn-Ag, una aleación Sn-Ag-Cu, una aleación Sn-Au o una aleación Sn-Pb que tiene un grosor de entre 5 y 50 micrómetros. De forma alternativa, las juntas metálicas 180 pueden ser una capa de oro que tiene un grosor de entre 0,1 y 10 micrómetros. Seguidamente, se puede formar el relleno subyacente 174 ilustrado en la fig. 83 entre la capa de polímero 136 del sistema en paquete o del módulo multichip 556c y el lado superior del portador 176 y que rodea las protuberancias metálicas 668 y las juntas metálicas 180. Seguidamente, se pueden formar las bolas de soldadura 178 ilustradas en la fig. 83 sobre el lado inferior del portador 176.

[0625] De forma alternativa, la capa aislante o dieléctrica 122 como se muestra en las figs. 250-253 se puede omitir. En este caso, se forma la capa de polímero 136 sobre las superficies 227 y 139s, y los puntos de contacto de la capa de conducción 125c de los conectores metálicos 3 se exponen por y en los extremos de las aberturas 136a en la capa de polímero 136. Además, se forma la capa de adhesión/barrera 134 sobre los puntos de contacto, expuestos por y en los extremos de las aberturas 136a en la capa de polímero 136, de la capa de conducción 125c de los conectores metálicos 3.

[0626] La fig. 254 muestra un paquete multichip 566f que incluye un sistema en paquete o un módulo multichip 556d conectado al portador 176 ilustrado en la fig. 83 a través de hilos unidos por hilo 184, que se puede formar, por ejemplo, por las siguientes etapas.

[0627] Después de formar la estructura ilustrada en la fig. 249, se realizan las etapas ilustradas en la fig. 86 para formar una capa aislante o dieléctrica 122 sobre la superficie rectificadora o pulida 227 de la capa de conducción 125c y sobre la superficie superior expuesta 139s de la capa dieléctrica 139, para formar múltiples pistas o conectores

metálicos 300 sobre la capa aislante o dieléctrica 122 y sobre múltiples regiones, expuestas por múltiples aberturas 122a en la capa 122, de la capa de conducción 125c de los conectores metálicos 3, y para formar una capa de polímero 136 sobre la capa aislante o dieléctrica 122 y sobre las pistas o conectores metálicos 300. La capa de polímero 136 después de curarse puede tener un grosor, por ejemplo, de entre 1 y 20 micrómetros, y preferentemente de entre 2 y 15 micrómetros o de entre 5 y 10 micrómetros, y múltiples aberturas 136a en la capa de polímero 136 que exponen múltiples puntos de contacto de las pistas o conectores metálicos 300. Seguidamente, se puede realizar un procedimiento de individualización para cortar el portador 11, los sustratos inactivos 62, 165 y 158, y las capas 22, 60, 66, 88, 116, 120, 122, 136, 139 y 140 usando, por ejemplo, corte mecánico o corte por láser y para individualizar una pluralidad del sistema en paquete o del módulo multichip 556d.

[0628] Seguidamente, se puede juntar la pluralidad del sistema en paquete o del módulo multichip 556d con un portador 176, por ejemplo, formando una capa de pegamento 182 con un grosor de entre 20 y 150 micrómetros sobre un lado superior del portador 176, y a continuación fijando la pluralidad del sistema en paquete o del módulo multichip 556d al lado superior del portador 11 usando la capa de pegamento 182. La capa de pegamento 182 puede ser una capa de polímero, tal como una capa de poliimida, benzociclobuteno (BCB), epoxi, polibenzoxazol (PBO), poli(óxido de fenileno) (PPO), silosano o SU-8, con un grosor, por ejemplo, de entre 20 y 150 micrómetros. Seguidamente, múltiples hilos 184, tales como hilos de oro, hilos de cobre o hilos de aluminio, se pueden unir por hilo sobre el lado superior del portador 176 y sobre los puntos de contacto, expuestos por las aberturas 136a en la capa de polímero 136, de la capa de conducción 150 de las pistas o conectores metálicos 300 por un procedimiento de unión por hilo. En consecuencia, las pistas o conectores metálicos 300 de la pluralidad del sistema en paquete o del módulo multichip 556d se pueden conectar física y eléctricamente al portador 176 a través de los hilos unidos por hilo 184. Seguidamente, se puede formar un compuesto de moldeo 186 sobre la pluralidad del sistema en paquete o del módulo multichip 556d, sobre el lado superior del portador 176 y sobre los hilos unidos por hilo 184, encapsulando los hilos unidos por hilo 184 y la pluralidad del sistema en paquete o del módulo multichip 556d, por un procedimiento de moldeo. El compuesto de moldeo 186 puede incluir epoxi, relleno de carbono o relleno de vidrio, y el relleno de vidrio o relleno de carbono se puede distribuir en la epoxi. Seguidamente, se pueden formar las bolas de soldadura 178 ilustradas en la fig. 83 sobre un lado inferior del portador 176. Después de esto, se puede realizar un procedimiento de individualización para cortar el portador 176 y el compuesto de moldeo 186 y para individualizar una pluralidad del paquete multichip 566f. El paquete multichip 566f se puede conectar a un portador, tal como una placa base, un sustrato de matriz de rejilla de bolas (BGA), una placa de circuito impreso, un sustrato de metal, un sustrato de vidrio o un sustrato de cerámica, a través de las bolas de soldadura 178. Las especificaciones del portador 176 mostrado en la fig. 254 pueden hacer referencia a las especificaciones del portador 176 como se ilustra en la fig. 83.

[0629] Las figs. 255-270 muestran un procedimiento para formar otro sistema en paquete o módulo multichip de acuerdo con otro modo de realización de la presente divulgación. En referencia a la fig. 255, después de formar la estructura ilustrada en la fig. 215, se forma la capa dieléctrica 60 ilustrada en la fig. 186 sobre la superficie 58s del sustrato semiconductor 58 de cada chip 68, sobre la(s) superficie(s) 62s del/de los sustrato(s) inactivo(s) 62, sobre las superficies inferiores expuestas 789s de los tapones aislantes 789 en los chips 68, y sobre la superficie 64s del material de encapsulación/relleno de huecos 64. Seguidamente, se forman múltiples vías pasantes 170v, incluyendo las vías pasantes 170a, 170b, 170c, 170d, 170e y 170f, en los chips 68 y en el/los sustrato(s) inactivo(s) 62, exponiendo la capa conductora 18 del portador 11 y exponiendo las capas 26 y 34 de los chips 68. Las etapas de formación de las vías pasantes 170v en los chips 68 y en el/los sustrato(s) inactivo(s) 62 ilustradas en la fig. 255 pueden hacer referencia a las etapas de formación de las vías pasantes 170v en los chips 68 y en el/los sustrato(s) inactivo(s) 62 como se ilustra en la fig. 15, pero, en el modo de realización, la formación de las vías pasantes 170v (tales como las vías 170b-170f) en los chips 68 incluye el grabado a través de los tapones aislantes 789 en los chips 68. Las especificaciones de la vías pasantes 170v (incluyendo las vías 170a-170f), los tapones aislantes 789 que rodean las vías pasantes 170v y el soporte 801 mostrado en la fig. 255 pueden hacer referencia a las especificaciones de las vías pasantes 170v (incluyendo las vías 170a-170f), los tapones aislantes 789 que rodean las vías pasantes 170v y el soporte 801, respectivamente, ilustrados en las figs. 219-223.

[0630] Seguidamente, en referencia a la fig. 256, se forma la capa de adhesión/barrera 52 ilustrada en la fig. 90 sobre las capas 18, 26 y 34 expuestas por las vías pasantes 170v, sobre las paredes laterales de las vías pasantes 170v, sobre la capa dieléctrica 60, sobre las paredes internas, expuestas por las vías pasantes 170v, de los tapones aislantes 789, y sobre el conector o pista metálica 35a que está sobre el soporte 801. Seguidamente, se forma la capa germinal 54 ilustrada en la fig. 90 sobre la capa de adhesión/barrera 52 y en las vías pasantes 170v. Seguidamente, se forma una capa fotorresistente 194 sobre la capa germinal 54 usando un procedimiento adecuado, tal como procedimiento de recubrimiento por rotación, procedimiento de serigrafía o procedimiento de laminación. Seguidamente, se puede emplear un procedimiento de fotoexposición y un procedimiento de revelado para formar múltiples aberturas 194a, exponiendo múltiples regiones de la capa germinal 54, en la capa fotorresistente 194. La capa 194 fotorresistente estampada puede tener un grosor, por ejemplo, de entre 1 y 30 micrómetros, y preferentemente de entre 1 y 20 micrómetros o de entre 1 y 10 micrómetros. Seguidamente, se forma la capa de conducción 56 ilustrada en la fig. 90 sobre las regiones, expuestas por las aberturas 194a en la capa 194, de la capa germinal 54.

[0631] Seguidamente, en referencia a la fig. 257, se elimina la capa fotorresistente 194 usando, por ejemplo, una solución química orgánica. Seguidamente, se elimina la capa germinal 54 que no está debajo de la capa de conducción 56 usando un procedimiento de grabado húmedo o un procedimiento de grabado en seco. Seguidamente, se elimina

la capa de adhesión/barrera 52 que no está debajo de la capa de conducción 56 usando un procedimiento de grabado húmedo o un procedimiento de grabado en seco. En consecuencia, las capas 52, 54 y 56 encima de la capa dieléctrica 60 y encima de las vías pasantes 170v componen múltiples conectores metálicos 1, incluyendo los conectores metálicos 1a y 1b, encima de la capa dieléctrica 60 y encima de las vías pasantes 170v. La capa de adhesión/barrera 52 y la capa germinal 54 de los conectores metálicos 1 encima de la capa dieléctrica 60 no están en ninguna pared lateral 1w de la capa de conducción 56 de los conectores metálicos 1 encima de la capa dieléctrica 60, sino debajo de una parte inferior de la capa de conducción 56 de los conectores metálicos 1 encima de la capa dieléctrica 60. Las paredes laterales 1w de la capa de conducción 56 de los conectores metálicos 1 encima de la capa dieléctrica 60 no están cubiertas por las capas 52 y 54. Las capas 52, 54 y 56 en las vías pasantes 170v componen múltiples tapones metálicos (o vías metálicas) 5p en las vías pasantes 170v, incluyendo los tapones metálicos (o vías metálicas) 5a, 5b, 5c, 5d, 5e y 5f en las vías pasantes 170a, 170b, 170c, 170d, 170e y 170f como se muestra en la fig. 255, respectivamente. El tapón metálico 5a se forma en el sustrato inactivo 62, y los tapones metálicos 5b, 5c, 5d, 5e y 5f se forman en el mismo chip 68. Estos tapones metálicos 5p formados en los chips 68 y en el/los sustrato(s) inactivo(s) 62 pueden conectar los conectores metálicos 1 y los dispositivos semiconductores 36 en los chips 68 y conectar los conectores metálicos 1 y múltiples puntos de contacto de la capa conductora 18 en el portador 11. El soporte 801 y el conector o pista metálica 35a, en la capa de interconexión 34, sobre el soporte 801 pueden estar entre dos partes, más bajas que un nivel horizontal, en el que se sitúa una superficie superior de la capa de interconexión 34, del tapón metálico 5e.

[0632] Cada uno de los tapones metálicos 5p en los chips 68 pasa a través de uno de los tapones aislantes 789 en los chips 68, se pone en contacto con la pared interna del uno de los tapones aislantes 789, y está rodeado por la capa aislante 456, rodeada por la capa aislante 567, del uno de los tapones aislantes 789. Por ejemplo, cada uno de los tapones metálicos 5b, 5c, 5d, 5e y 5f en uno de los chips 68 pasa a través de uno de los tapones aislantes 789 en el uno de los chips 68, se pone en contacto con la pared interna del uno de los tapones aislantes 789, y está rodeado por la capa aislante 456, rodeada por la capa aislante 567, del uno de los tapones aislantes 789. Para obtener una descripción más detallada acerca de los tapones metálicos 5p (incluyendo los tapones metálicos 5a-5f) y los conectores metálicos 1 (incluyendo los conectores metálicos 1a y 1b) mostrados en la fig. 257, consúltese la ilustración de la fig. 91.

[0633] De forma alternativa, el elemento 68 no solo puede indicar un chip, sino que también puede indicar una oblea. Cuando el elemento 68 es una oblea, el portador 11 puede ser otra oblea. De este modo, el procedimiento ilustrado en la invención se puede emplear para la unión de oblea a oblea.

[0634] En referencia a la fig. 258, después de formar la estructura ilustrada en la fig. 257, se forma una capa aislante o dieléctrica 66 sobre la capa de conducción 56 de los conectores metálicos 1, sobre la capa dieléctrica 60, y en los huecos entre los conectores metálicos 1. La capa aislante o dieléctrica 66, por ejemplo, puede incluir o puede ser una capa de polímero, tal como una capa de poliimida, benzociclobuteno (BCB), epoxi, poli(óxido de fenileno) (PPO) o polibenzoxazol (PBO), sobre la capa de conducción 56 de los conectores metálicos 1, sobre la capa dieléctrica 60, y en los huecos entre los conectores metálicos 1. La capa de polímero sobre la capa de conducción 56 puede tener un grosor, por ejemplo, de entre 0,1 y 50 micrómetros, y preferentemente de entre 1 y 30 micrómetros, de entre 2 y 20 micrómetros o de entre 5 y 10 micrómetros.

[0635] De forma alternativa, la capa aislante o dieléctrica 66 puede incluir o puede ser una capa inorgánica, tal como una capa de óxido de silicio, nitruro de silicio, oxinitruro de silicio, carbonitruro de silicio u oxicarbonuro de silicio, sobre la capa de conducción 56 de los conectores metálicos 1, sobre la capa dieléctrica 60, y en los huecos entre los conectores metálicos 1. La capa inorgánica sobre la capa de conducción 56 puede tener un grosor, por ejemplo, de entre 0,1 y 10 micrómetros, y preferentemente de entre 0,1 y 1 micrómetros, de entre 0,2 y 2 micrómetros, de entre 0,3 y 3 micrómetros o de entre 0,5 y 5 micrómetros.

[0636] De forma alternativa, en referencia a la fig. 259, se puede formar la capa aislante o dieléctrica 66 como se muestra en la fig. 258 por las siguientes etapas. En primer lugar, se forma una capa de polímero 66a, tal como una capa de poliimida, benzociclobuteno (BCB), epoxi, poli(óxido de fenileno) (PPO) o polibenzoxazol (PBO), sobre la capa de conducción 56 de los conectores metálicos 1, sobre la capa dieléctrica 60, y en los huecos entre los conectores metálicos 1. Seguidamente, se rectifica o pule la capa de polímero 66a por un procedimiento adecuado, tal como procedimiento de rectificado mecánico, procedimiento de pulido mecánico, procedimiento de pulido químico-mecánico (CMP), o un procedimiento que incluye pulido mecánico y grabado químico, hasta que la capa de conducción 56 de los conectores metálicos 1 tiene una superficie superior 56u no cubierta por la capa de polímero 66a. En consecuencia, la capa de polímero 66a permanece sobre la capa dieléctrica 60 y en los huecos entre los conectores metálicos 1 y tiene un grosor, por ejemplo, mayor de 1 micrómetro, tal como de entre 1 y 20 micrómetros, y preferentemente de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 2 y 20 micrómetros. La superficie rectificada o pulida 66s de la capa de polímero 66a puede ser sustancialmente plana y sustancialmente coplanaria con la superficie superior 56u de la capa de conducción 56. Seguidamente, se forma una capa inorgánica 66b, tal como una capa de óxido de silicio, nitruro de silicio, oxinitruro de silicio, carbonitruro de silicio u oxicarbonuro de silicio, que tiene un grosor, por ejemplo, de entre 0,1 y 3 micrómetros, y preferentemente de entre 0,2 y 1,5 micrómetros, sobre la superficie superior 56u de la capa de conducción 56 y sobre la superficie rectificada o pulida 66s de la capa de polímero 66a. En

consecuencia, la capa aislante o dieléctrica 66 como se muestra en la fig. 258 también puede estar provista de la capa de polímero 66a y la capa inorgánica 66b como se muestra en la fig. 259.

[0637] En referencia a la fig. 260, después de formar la capa aislante o dieléctrica 66, se pueden realizar posteriormente las siguientes etapas como se ilustra en las figs. 228 y 229 para colocar los chips 72, de los que cada uno es como el chip 72a o 72b ilustrado en la fig. 212M, y el/los sustrato(s) inactivo(s) 165 descrito(s) previamente encima de la capa 116 formada sobre la capa 66, para formar el material de encapsulación/relleno de huecos 98 sobre el lado posterior del sustrato semiconductor 96 de cada chip 72, sobre el/los sustrato(s) inactivo(s) 165 y en los huecos 4a y 8a, y para rectificar o pulir el material de encapsulación/relleno de huecos 98, el lado posterior del sustrato semiconductor 96 de cada chip 72 y el/los sustrato(s) inactivo(s) 165 hasta que todos los tapones aislantes 789 en los chips 72 tienen las superficies inferiores expuestas 789t, encima de las que no hay partes de los sustratos semiconductores 96.

[0638] Seguidamente, en referencia a la fig. 261, se forma la capa dieléctrica 88 ilustrada en la fig. 195 sobre la superficie 96s del sustrato semiconductor 96 de cada chip 72, sobre la(s) superficie(s) 165s del/de los sustrato(s) inactivo(s) 165, sobre las superficies inferiores expuestas 789t de los tapones aislantes 789 en los chips 72, y sobre la superficie 98s del material de encapsulación/relleno de huecos 98. Seguidamente, se forman múltiples vías pasantes 164v, incluyendo las vías pasantes 164a, 164b, 164c, 164d y 164e, en los chips 72 y en el/los sustrato(s) inactivo(s) 165, exponiendo la capa de conducción 56 de los conectores metálicos 1 y exponiendo las capas 114 y 106 de los chips 72. Las etapas de formación de las vías pasantes 164v en los chips 72 y en el/los sustrato(s) inactivo(s) 165 ilustradas en la fig. 261 pueden hacer referencia a las etapas de formación de las vías pasantes 164v en los chips 72 y en el/los sustrato(s) inactivo(s) 165 como se ilustra en la fig. 41, pero, en el modo de realización, la formación de las vías pasantes 164v (tales como las vías 164b-164e) en los chips 72 incluye el grabado a través de los tapones aislantes 789 en los chips 72. Las especificaciones de las vías pasantes 164v (incluyendo las vías 164a-164e), los tapones aislantes 789 que rodean las vías pasantes 164v y el soporte 802 mostrado en la fig. 261 pueden hacer referencia a las especificaciones de las vías pasantes 164v (incluyendo las vías 164a-164e), los tapones aislantes 789 que rodean las vías pasantes 164v y el soporte 802, respectivamente, ilustrados en las figs. 231-235.

[0639] Seguidamente, en referencia a la fig. 262, se forma la capa de adhesión/barrera 92 ilustrada en la fig. 95 sobre las capas 56, 106 y 114 expuestas por las vías pasantes 164v, sobre las paredes laterales de las vías pasantes 164v, sobre la capa dieléctrica 88, sobre las paredes internas, expuestas por las vías pasantes 164v, de los tapones aislantes 789 en los chips 72, y sobre el conector o pista metálica 55a que está sobre el soporte 802. Seguidamente, se forma la capa germinal 94 ilustrada en la fig. 95 sobre la capa de adhesión/barrera 92 y en las vías pasantes 164v. Seguidamente, se forma una capa fotorresistente 294 sobre la capa germinal 94 usando, por ejemplo, un procedimiento de recubrimiento por rotación, un procedimiento de serigrafía o un procedimiento de laminación. Seguidamente, se puede emplear un procedimiento de fotoexposición y un procedimiento de revelado para formar múltiples aberturas 294a, exponiendo múltiples regiones de la capa germinal 94, en la capa fotorresistente 294. La capa 294 fotorresistente estampada puede tener un grosor, por ejemplo, de entre 1 y 30 micrómetros, y preferentemente de entre 1 y 20 micrómetros o de entre 1 y 10 micrómetros. Seguidamente, se forma la capa de conducción 86 ilustrada en la fig. 95 sobre las regiones, expuestas por las aberturas 294a en la capa 294, de la capa germinal 94.

[0640] Seguidamente, en referencia a la fig. 263, se elimina la capa fotorresistente 294 usando, por ejemplo, una solución química orgánica. Seguidamente, se elimina la capa germinal 94 que no está debajo de la capa de conducción 86 usando un procedimiento de grabado húmedo o un procedimiento de grabado en seco. Seguidamente, se elimina la capa de adhesión/barrera 92 que no está debajo de la capa de conducción 86 usando un procedimiento de grabado húmedo o un procedimiento de grabado en seco. En consecuencia, las capas 92, 94 y 86 encima de la capa dieléctrica 88 y encima de las vías pasantes 164v componen múltiples conectores metálicos 2, incluyendo los conectores metálicos 2a y 2b, encima de la capa dieléctrica 88 y encima de las vías pasantes 164v. La capa de adhesión/barrera 92 y la capa germinal 94 de los conectores metálicos 2 encima de la capa dieléctrica 88 no están en ninguna pared lateral 2w de la capa de conducción 86 de los conectores metálicos 2 encima de la capa dieléctrica 88, sino debajo de una parte inferior de la capa de conducción 86 de los conectores metálicos 2 encima de la capa dieléctrica 88. Las paredes laterales 2w de la capa de conducción 86 de los conectores metálicos 2 encima de la capa dieléctrica 88 no están cubiertas por las capas 92 y 94. Las capas 92, 94 y 86 en las vías pasantes 164v componen múltiples tapones metálicos (o vías metálicas) 6p en las vías pasantes 164v, incluyendo los tapones metálicos (o vías metálicas) 6a, 6b, 6c, 6d y 6e en las vías pasantes 164a, 164b, 164c, 164d y 164e como se muestra en la fig. 261, respectivamente. El tapón metálico 6a se forma en el sustrato inactivo 165, los tapones metálicos 6b y 6c se forman en el de la izquierda de los chips 72, y los tapones metálicos 6d y 6e se forman en el del medio de los chips 72. El soporte 802 y el conector o pista metálica 55a, en la capa de interconexión 106, sobre el soporte 802 pueden estar entre dos partes, más bajas que un nivel horizontal, en el que se sitúa una superficie superior de la capa de interconexión 106, del tapón metálico 6e. Estos tapones metálicos 6p formados en los chips 72 y en el/los sustrato(s) inactivo(s) 165 pueden conectar los conectores metálicos 2 y los dispositivos semiconductores 102 en los chips 72 y conectar los conectores metálicos 1 y 2.

[0641] Cada uno de los tapones metálicos 6p en los chips 72 pasa a través y está rodeado por uno de los tapones aislantes 789 en los chips 72 y se pone en contacto con la pared interna del uno de los tapones aislantes 789. Por

ejemplo, el tapón metálico 6b en el de la izquierda de los chips 72 pasa a través y está rodeado por uno de los tapones aislantes 789 en el de la izquierda de los chips 72, se pone en contacto con la pared interna del uno de los tapones aislantes 789, y se pone en contacto con la capa aislante 456, rodeada por la capa aislante 567, del uno de los tapones aislantes 789. El tapón metálico 6c en el de la izquierda de los chips 72 pasa a través y está rodeado por otro de los tapones aislantes 789 en el de la izquierda de los chips 72, se pone en contacto con la pared interna del otro de los tapones aislantes 789 y se pone en contacto con la capa aislante 567 del otro de los tapones aislantes 789. El tapón metálico 6d en el del medio de los chips 72 pasa a través y está rodeado por uno de los tapones aislantes 789 en el del medio de los chips 72, se pone en contacto con la pared interna del uno de los tapones aislantes 789 y se pone en contacto con la capa aislante 456, rodeada por la capa aislante 567, del uno de los tapones aislantes 789. El tapón metálico 6e en el del medio de los chips 72 pasa a través y está rodeado por otro de los tapones aislantes 789 en el del medio de los chips 72, se pone en contacto con la pared interna del otro de los tapones aislantes 789 y se pone en contacto con la capa aislante 567 del otro de los tapones aislantes 789. Para obtener una descripción más detallada acerca de los tapones metálicos 6p (incluyendo los tapones metálicos 6a-6e) y los conectores metálicos 2 (incluyendo los conectores metálicos 2a y 2b) mostrados en la fig. 263, consúltese la ilustración de la fig. 96.

[0642] De forma alternativa, el elemento 72 no solo puede indicar un chip, sino que también puede indicar una oblea. Cuando el elemento 72 es una oblea, el elemento 68 puede ser otra oblea. De este modo, el procedimiento ilustrado en la invención se puede emplear para la unión de oblea a oblea.

[0643] Seguidamente, en referencia a la fig. 264, se forma una capa aislante o dieléctrica 120 sobre la capa de conducción 86 de los conectores metálicos 2, sobre la capa dieléctrica 88 y en los huecos entre los conectores metálicos 2. La capa aislante o dieléctrica 120, por ejemplo, puede incluir o puede ser una capa de polímero, tal como una capa de poliimida, benzociclobuteno (BCB), epoxi, poli(óxido de fenileno) (PPO) o polibenzoxazol (PBO), sobre la capa de conducción 86 de los conectores metálicos 2, sobre la capa dieléctrica 88, y en los huecos entre los conectores metálicos 2. La capa de polímero sobre la capa de conducción 86 puede tener un grosor, por ejemplo, de entre 0,1 y 50 micrómetros, y preferentemente de entre 1 y 30 micrómetros, de entre 2 y 20 micrómetros o de entre 5 y 10 micrómetros.

[0644] De forma alternativa, la capa aislante o dieléctrica 120 puede incluir o puede ser una capa inorgánica, tal como una capa de óxido de silicio, nitruro de silicio, oxinitruro de silicio, carbonitruro de silicio u oxicarbonuro de silicio, sobre la capa de conducción 86 de los conectores metálicos 2, sobre la capa dieléctrica 88, y en los huecos entre los conectores metálicos 2. La capa inorgánica sobre la capa de conducción 86 puede tener un grosor, por ejemplo, de entre 0,1 y 10 micrómetros, y preferentemente de entre 0,1 y 1 micrómetros, de entre 0,2 y 2 micrómetros, de entre 0,3 y 3 micrómetros o de entre 0,5 y 5 micrómetros.

[0645] De forma alternativa, en referencia a la fig. 265, se puede formar la capa aislante o dieléctrica 120 como se muestra en la fig. 264 por las siguientes etapas. En primer lugar, se forma una capa de polímero 120a, tal como una capa de poliimida, benzociclobuteno (BCB), epoxi, poli(óxido de fenileno) (PPO) o polibenzoxazol (PBO), sobre la capa de conducción 86 de los conectores metálicos 2, sobre la capa dieléctrica 88, y en los huecos entre los conectores metálicos 2. Seguidamente, se rectifica o pule la capa de polímero 120a por un procedimiento adecuado, tal como procedimiento de rectificado mecánico, procedimiento de pulido mecánico, procedimiento de pulido químico-mecánico (CMP), o un procedimiento que incluye pulido mecánico y grabado químico, hasta que la capa de conducción 86 de los conectores metálicos 2 tiene una superficie superior 86u no cubierta por la capa de polímero 120a. En consecuencia, la capa de polímero 120a permanece sobre la capa dieléctrica 88 y en los huecos entre los conectores metálicos 2 y tiene un grosor, por ejemplo, mayor de 1 micrómetro, tal como de entre 1 y 20 micrómetros, y preferentemente de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 2 y 20 micrómetros. La superficie rectificada o pulida 120s de la capa de polímero 120a puede ser sustancialmente plana y sustancialmente coplanaria con la superficie superior 86u de la capa de conducción 86. Seguidamente, se forma una capa inorgánica 120b, tal como una capa de óxido de silicio, nitruro de silicio, carbonitruro de silicio, oxinitruro de silicio u oxicarbonuro de silicio, que tiene un grosor, por ejemplo, de entre 0,1 y 3 micrómetros, y preferentemente de entre 0,2 y 1,5 micrómetros, sobre la superficie superior 86u de la capa de conducción 86 y sobre la superficie rectificada o pulida 120s de la capa de polímero 120a. En consecuencia, la capa aislante o dieléctrica 120 como se muestra en la fig. 264 también puede estar provista de la capa de polímero 120a y la capa inorgánica 120b como se muestra en la fig. 265.

[0646] En referencia a la fig. 266, después de formar la capa aislante o dieléctrica 120, se pueden realizar posteriormente las siguientes etapas como se ilustra en las figs. 239 y 240 para colocar los chips 118, de los que cada uno es como el chip 118a o 118b ilustrado en la fig. 212N, y el/los sustrato(s) inactivo(s) 158 descrito(s) previamente encima de la capa 140 formada sobre la capa 120, para formar el material de encapsulación/relleno de huecos 138 sobre el lado posterior del sustrato semiconductor 124 de cada chip 118, sobre el/los sustrato(s) inactivo(s) 158 y en los huecos 4b y 8b, y para rectificar o pulir el material de encapsulación/relleno de huecos 138, el lado posterior del sustrato semiconductor 124 de cada chip 118 y el/los sustrato(s) inactivo(s) 158 hasta que todos los tapones aislantes 789 en los chips 118 tienen las superficies inferiores expuestas 789u, encima de las que no hay partes de los sustratos semiconductores 124.

[0647] Seguidamente, en referencia a la fig. 267, se forma la capa dieléctrica 139 ilustrada en la fig. 204 sobre la superficie 124s del sustrato semiconductor 124 de cada chip 118, sobre la(s) superficie(s) 158s del/de los sustrato(s)

inactivo(s) 158, sobre las superficies inferiores expuestas 789u de los tapones aislantes 789 en los chips 118, y sobre la superficie 138s del material de encapsulación/relleno de huecos 138. Seguidamente, se forman múltiples vías pasantes 156v, incluyendo las vías pasantes 156a, 156b, 156c, 156d, 156e y 156f, en los chips 118 y en el/los sustrato(s) inactivo(s) 158, exponiendo la capa de conducción 86 de los conectores metálicos 2 y exponiendo las capas 17 y 19 de los chips 118. Las etapas de formación de las vías pasantes 156v en los chips 118 y en el/los sustrato(s) inactivo(s) 158 ilustradas en la fig. 267 pueden hacer referencia a las etapas de formación de las vías pasantes 156v en los chips 118 y en el/los sustrato(s) inactivo(s) 158 como se ilustra en la fig. 65, pero, en el modo de realización, la formación de las vías pasantes 156v (tales como las vías 156b-156f) en los chips 118 incluye el grabado a través de los tapones aislantes 789 en los chips 118. Las especificaciones de la vías pasantes 156v (incluyendo las vías 156a-156f), los tapones aislantes 789 que rodean las vías pasantes 156v y el soporte 803 mostrado en la fig. 267 pueden hacer referencia a las especificaciones de las vías pasantes 156v (incluyendo las vías 156a-156f), los tapones aislantes 789 que rodean las vías pasantes 156v y el soporte 803, respectivamente, ilustrados en las figs. 242-246.

[0648] Seguidamente, en referencia a la fig. 268, se forma la capa de adhesión/barrera 125a ilustrada en la fig. 100 sobre las capas 17, 19 y 86 expuestas por las vías pasantes 156v, sobre las paredes laterales de las vías pasantes 156v, sobre la capa dieléctrica 139, sobre las paredes internas, expuestas por las vías pasantes 156v, de los tapones aislantes 789 en los chips 118, y sobre el conector o pista metálica 75a que está sobre el soporte 803. Seguidamente, se forma la capa germinal 125b ilustrada en la fig. 100 sobre la capa de adhesión/barrera 125a y en las vías pasantes 156v. Seguidamente, se forma una capa fotorresistente 394 sobre la capa germinal 125b usando, por ejemplo, un procedimiento de recubrimiento por rotación, un procedimiento de serigrafía o un procedimiento de laminación. Seguidamente, se puede emplear un procedimiento de fotoexposición y un procedimiento de revelado para formar múltiples aberturas 394a, exponiendo múltiples regiones de la capa germinal 125b, en la capa fotorresistente 394. La capa fotorresistente estampada 394 puede tener un grosor, por ejemplo, de entre 1 y 30 micrómetros, y preferentemente de entre 1 y 20 micrómetros o de entre 1 y 10 micrómetros. Seguidamente, se forma la capa de conducción 125c ilustrada en la fig. 100 sobre las regiones, expuestas por las aberturas 394a en la capa 394, de la capa germinal 125b.

[0649] Seguidamente, en referencia a la fig. 269, se elimina la capa fotorresistente 394 usando, por ejemplo, una solución química orgánica. Seguidamente, se elimina la capa germinal 125b que no está debajo de la capa de conducción 125c usando un procedimiento de grabado húmedo o un procedimiento de grabado en seco. Seguidamente, se elimina la capa de adhesión/barrera 125a que no está debajo de la capa de conducción 125c usando un procedimiento de grabado húmedo o un procedimiento de grabado en seco. En consecuencia, las capas 125a, 125b y 125c encima de la capa dieléctrica 139 y encima de las vías pasantes 156v componen múltiples conectores metálicos 3, incluyendo los conectores metálicos 3a, 3b y 3c, encima de la capa dieléctrica 139 y encima de las vías pasantes 156v. La capa de adhesión/barrera 125a y la capa germinal 125b de los conectores metálicos 3 encima de la capa dieléctrica 139 no están en ninguna pared lateral 3w de la capa de conducción 125c de los conectores metálicos 3 encima de la capa dieléctrica 139, sino debajo de una parte inferior de la capa de conducción 125c de los conectores metálicos 3 encima de la capa dieléctrica 139. Las paredes laterales 3w de la capa de conducción 125c de los conectores metálicos 3 encima de la capa dieléctrica 139 no están cubiertas por las capas 125a y 125b. Las capas 125a, 125b y 125c en las vías pasantes 156v componen múltiples tapones metálicos (o vías metálicas) 7p en las vías pasantes 156v, incluyendo los tapones metálicos (o vías metálicas) 7a, 7b, 7c, 7d, 7e y 7f en las vías pasantes 156a, 156b, 156c, 156d, 156e y 156f como se muestra en la fig. 267, respectivamente. El tapón metálico 7a se forma en el sustrato inactivo 158. Los tapones metálicos 7b, 7c y 7d se forman en el de la izquierda de los chips 118, y los tapones metálicos 7e y 7f se forman en el del medio de los chips 118. Estos tapones metálicos 7p formados en los chips 118 y en el/los sustrato(s) inactivo(s) 158 pueden conectar los conectores metálicos 3 y los dispositivos semiconductores 13 en los chips 118 y conectar los conectores metálicos 2 y 3. El soporte 803 y el conector o pista metálica 75a, en la capa de interconexión 17, sobre el soporte 803 pueden estar entre dos partes, más bajas que un nivel horizontal, en el que se sitúa una superficie superior de la capa de interconexión 17, del tapón metálico 7e.

[0650] Cada uno de los tapones metálicos 7p en los chips 118 pasa a través y está rodeado por uno de los tapones aislantes 789 en los chips 118 y se pone en contacto con la pared interna del uno de los tapones aislantes 789. Por ejemplo, el tapón metálico 7b en el de la izquierda de los chips 118 pasa a través y está rodeado por uno de los tapones aislantes 789 en el de la izquierda de los chips 118, se pone en contacto con la pared interna del uno de los tapones aislantes 789, y se pone en contacto con la capa aislante 567 del uno de los tapones aislantes 789. El tapón metálico 7c en el de la izquierda de los chips 118 pasa a través y está rodeado por otro de los tapones aislantes 789 en el de la izquierda de los chips 118, se pone en contacto con la pared interna del otro de los tapones aislantes 789 y se pone en contacto con la capa aislante 456, rodeada por la capa 567, del otro de los tapones aislantes 789. El tapón metálico 7d en el de la izquierda de los chips 118 pasa a través y está rodeado por otro de los tapones aislantes 789 en el de la izquierda de los chips 118, se pone en contacto con la pared interna del otro de los tapones aislantes 789 y se pone en contacto con la capa aislante 567 y la capa aislante 456, rodeada por la capa 567, del otro de los tapones aislantes 789. El tapón metálico 7e en el del medio de los chips 118 pasa a través y está rodeado por uno de los tapones aislantes 789 en el del medio de los chips 118, se pone en contacto con la pared interna del uno de los tapones aislantes 789 y se pone en contacto con la capa aislante 456, rodeada por la capa aislante 567, del uno de los tapones aislantes 789. El tapón metálico 7f en el del medio de los chips 118 pasa a través y está rodeado por otro de los tapones aislantes 789 en el del medio de los chips 118, se pone en contacto con la pared interna del otro de los

tapones aislantes 789, y se pone en contacto con la capa aislante 567 y la capa aislante 456, rodeada por la capa 567, del otro de los tapones aislantes 789. Para obtener una descripción más detallada acerca de los tapones metálicos 7p (incluyendo los tapones metálicos 7a-7f) y los conectores metálicos 3 (incluyendo los conectores metálicos 3a, 3b y 3c) mostrados en la fig. 269, consúltese la ilustración de la fig. 101.

[0651] De forma alternativa, el elemento 118 no solo puede indicar un chip, sino que también puede indicar una oblea. Cuando el elemento 118 es una oblea, el elemento 72 puede ser otra oblea. De este modo, el procedimiento ilustrado en la invención se puede emplear para la unión de oblea a oblea.

[0652] En referencia a la fig. 270, después de formar la estructura ilustrada en la fig. 269, se pueden realizar posteriormente las siguientes etapas como se ilustra en la fig. 102 para formar la capa aislante o dieléctrica 122 sobre la capa de conducción 125c de los conectores metálicos 3, sobre la capa dieléctrica 139 y en los huecos entre los conectores metálicos 3, para formar la capa de polímero 136 sobre la capa aislante o dieléctrica 122, y para formar múltiples aberturas 136a, exponiendo múltiples regiones de la capa aislante o dieléctrica 122, en la capa de polímero 136. Seguidamente, formar una capa metalúrgica de protuberancias (UBM) 666 sobre la capa de polímero 136 y sobre múltiples puntos de contacto, en las partes inferiores de múltiples aberturas en la capa aislante o dieléctrica 122 y debajo de las aberturas 136a en la capa de polímero 136, de la capa de conducción 125c de los conectores metálicos 3 y formar múltiples protuberancias o bolas de soldadura 126 sobre la capa UBM 666 puede hacer referencia a las etapas ilustradas en las figs. 78-81. Seguidamente, se realiza un procedimiento de individualización para cortar el portador 11, los sustratos inactivos 62, 165 y 158, y las capas 22, 60, 66, 88, 116, 120, 122, 136, 139 y 140 usando, por ejemplo, corte mecánico o corte por láser y para individualizar múltiples sistemas en paquetes o módulos multichip, tales como los sistemas en paquetes o los módulos multichip 556e y 556f.

[0653] El sistema en paquete o el módulo multichip 556e se puede conectar a y unir con un portador, tal como una placa base, una placa de circuito impreso (PCB), un sustrato de matriz de rejilla de bolas (BGA), un sustrato de metal, un sustrato de vidrio o un sustrato de cerámica, usando las protuberancias o bolas de soldadura 126. Por ejemplo, en referencia a la fig. 271, el sistema en paquete o el módulo multichip 556e se une con el lado superior del portador 176 ilustrado en la fig. 83 usando, por ejemplo, una tecnología de chip invertido para juntar las protuberancias o bolas de soldadura 126 con una capa de soldadura o de oro preformada sobre el lado superior del portador 176. Seguidamente, se forma el relleno subyacente 174 ilustrado en la fig. 83 entre la capa de polímero 136 del sistema en paquete o del módulo multichip 556e y el lado superior del portador 176 y rodea las protuberancias o bolas de soldadura 126. Seguidamente, se forman las bolas de soldadura 178 ilustradas en la fig. 83 sobre el lado inferior del portador 176.

[0654] La fig. 272 muestra otro sistema en paquete o módulo multichip de acuerdo con otro modo de realización de la presente divulgación, que se puede formar por las siguientes etapas. Después de formar la estructura ilustrada en la fig. 269, se pueden realizar posteriormente las siguientes etapas como se ilustra en la fig. 102 para formar la capa aislante o dieléctrica 122 sobre la capa de conducción 125c de los conectores metálicos 3, sobre la capa dieléctrica 139 y en los huecos entre los conectores metálicos 3, para formar la capa de polímero 136 sobre la capa aislante o dieléctrica 122, y para formar múltiples aberturas 136a, exponiendo múltiples regiones de la capa aislante o dieléctrica 122, en la capa de polímero 136. Seguidamente, se pueden realizar posteriormente las etapas ilustradas en las figs. 78 y 79. Seguidamente, formar protuberancias metálicas 668 sobre la capa de polímero 136 y sobre los puntos de contacto, en partes inferiores de aberturas en la capa aislante o dieléctrica 122 y debajo de las aberturas 136a en la capa de polímero 136, de la capa de conducción 125c de los conectores metálicos 3 puede hacer referencia a las etapas ilustradas en la fig. 84. Seguidamente, se puede realizar un procedimiento de individualización para cortar el portador 11, los sustratos inactivos 62, 165 y 158, y las capas 22, 60, 66, 88, 116, 120, 122, 136, 139 y 140 usando, por ejemplo, corte mecánico o corte por láser y para individualizar múltiples sistemas en paquetes o módulos multichip, tales como el sistema en paquete o el módulo multichip 556g. En el sistema en paquete o el módulo multichip 556g, cada uno de los conectores 3 se puede conectar a una o más de las protuberancias metálicas 668.

[0655] El sistema en paquete o el módulo multichip 556g se puede conectar a y unir con un portador, tal como una placa base, una placa de circuito impreso (PCB), un sustrato de matriz de rejilla de bolas (BGA), un sustrato de metal, un sustrato de vidrio o un sustrato de cerámica, usando las protuberancias metálicas 668. Por ejemplo, en referencia a la fig. 273, el sistema en paquete o el módulo multichip 556g se une con el lado superior del portador 176 ilustrado en la fig. 83 usando, por ejemplo, una tecnología de chip invertido para juntar la capa humectante de soldadura 146 de las protuberancias metálicas 668 con una capa de soldadura o de oro preformada sobre el lado superior del portador 176. Después de juntar la capa humectante de soldadura 146 con la capa de soldadura o de oro preformada sobre el lado superior del portador 176, se forman múltiples juntas metálicas 180 entre la capa de barrera 144 de las protuberancias metálicas 668 y el lado superior del portador 176. Las juntas metálicas 180 pueden ser una capa de una aleación Sn-Ag, una aleación Sn-Ag-Cu, una aleación Sn-Au o una aleación Sn-Pb que tiene un grosor de entre 5 y 50 micrómetros. Seguidamente, se forma el relleno subyacente 174 ilustrado en la fig. 83 entre la capa de polímero 136 del sistema en paquete o del módulo multichip 556g y el lado superior del portador 176 y rodea las protuberancias metálicas 668 y las juntas metálicas 180. Seguidamente, se forman las bolas de soldadura 178 ilustradas en la fig. 83 sobre el lado inferior del portador 176.

[0656] De forma alternativa, la capa aislante o dieléctrica 122 como se muestra en las figs. 270-273 se puede omitir. En este caso, se forma la capa de polímero 136 sobre la capa de conducción 125c de los conectores metálicos 3,

sobre la capa dieléctrica 139, y en los huecos entre los conectores metálicos 3, y los puntos de contacto de la capa de conducción 125c de los conectores metálicos 3 se exponen por y en los extremos de las aberturas 136a en la capa de polímero 136. Además, se forma la capa de adhesión/barrera 134 sobre los puntos de contacto, expuestos por y en los extremos de las aberturas 136a en la capa de polímero 136, de la capa de conducción 125c de los conectores metálicos 3.

[0657] La fig. 274 muestra un paquete multichip 566g que incluye un sistema en paquete o un módulo multichip 556h conectado al portador 176 ilustrado en la fig. 83 a través de hilos unidos por hilo 184, que se puede formar, por ejemplo, por las siguientes etapas. Después de formar la estructura ilustrada en la fig. 269, se pueden realizar posteriormente las siguientes etapas como se ilustra en la fig. 107 para formar una capa aislante o dieléctrica 122 sobre la capa de conducción 125c de los conectores metálicos 3, sobre la capa dieléctrica 139, y en los huecos entre los conectores metálicos 3, para formar múltiples pistas o conectores metálicos 300 sobre la capa aislante o dieléctrica 122 y sobre múltiples regiones, expuestas por múltiples aberturas 122a en la capa 122, de la capa de conducción 125c de los conectores metálicos 3, y para formar una capa de polímero 136 sobre la capa aislante o dieléctrica 122 y sobre las pistas o conectores metálicos 300. La capa de polímero 136 después de curarse puede tener un grosor, por ejemplo, de entre 1 y 20 micrómetros, y preferentemente de entre 2 y 15 micrómetros o de entre 5 y 10 micrómetros, y múltiples aberturas 136a en la capa de polímero 136 que exponen múltiples puntos de contacto de las pistas o conectores metálicos 300. Seguidamente, se puede realizar un procedimiento de individualización para cortar el portador 11, los sustratos inactivos 62, 165 y 158, y las capas 22, 60, 66, 88, 116, 120, 122, 136, 139 y 140 usando, por ejemplo, corte mecánico o corte por láser y para individualizar múltiples sistemas en paquetes o módulos multichip, tales como el sistema en paquete o el módulo multichip 556h.

[0658] Seguidamente, se une una pluralidad del sistema en paquete o del módulo multichip 556h con un portador 176, por ejemplo, formando una capa de pegamento 182 con un grosor, por ejemplo, de entre 1 y 20 micrómetros o de entre 20 y 150 micrómetros sobre un lado superior del portador 176, y a continuación fijando la pluralidad del sistema en paquete o del módulo multichip 556h al lado superior del portador 11 usando la capa de pegamento 182. La capa de pegamento 182 puede ser una capa de polímero, tal como una capa de poliimida, epoxi, benzociclobuteno (BCB), polibenzoxazol (PBO), poli(óxido de fenileno) (PPO), silosano o SU-8, con un grosor, por ejemplo, de entre 1 y 20 micrómetros o de entre 20 y 150 micrómetros. Seguidamente, múltiples hilos 184, tales como hilos de oro, hilos de cobre o hilos de aluminio, se unen por hilo sobre el lado superior del portador 176 y sobre los puntos de contacto, expuestos por las aberturas 136a en la capa de polímero 136, de la capa de conducción 150 de las pistas o conectores metálicos 300 por un procedimiento de unión por hilo. En consecuencia, las pistas o conectores metálicos 300 de la pluralidad del sistema en paquete o del módulo multichip 556h se pueden conectar física y eléctricamente al portador 176 a través de los hilos unidos por hilo 184. Seguidamente, se forma un compuesto de moldeo 186 sobre la pluralidad del sistema en paquete o del módulo multichip 556h, sobre el lado superior del portador 176 y sobre los hilos unidos por hilo 184, encapsulando los hilos unidos por hilo 184 y la pluralidad del sistema en paquete o del módulo multichip 556h, por un procedimiento de moldeo. El compuesto de moldeo 186 puede incluir epoxi, relleno de carbono o relleno de vidrio, y el relleno de vidrio o relleno de carbono se puede distribuir en la epoxi. Seguidamente, se forman las bolas de soldadura 178 ilustradas en la fig. 83 sobre el lado inferior del portador 176. Después de esto, se realiza un procedimiento de individualización para cortar el portador 176 y el compuesto de moldeo 186 y para individualizar una pluralidad del paquete multichip 566g. El paquete multichip 566g se puede conectar a un portador, tal como una placa base, un sustrato de matriz de rejilla de bolas (BGA), una placa de circuito impreso, un sustrato de metal, un sustrato de vidrio o un sustrato de cerámica, a través de las bolas de soldadura 178. Las especificaciones del portador 176 mostrado en la fig. 274 pueden hacer referencia a las especificaciones del portador 176 como se ilustra en la fig. 83.

[0659] Las figs. 275A-275L muestran otro procedimiento para formar la capa dieléctrica 60, las zanjas 60t, las capas dieléctricas de pared lateral 50 y las vías pasantes 170v como se muestra en la fig. 26. En referencia a la fig. 275A, después de formar la estructura ilustrada en la fig. 11, se forma una capa aislante 60a, tal como una capa de óxido de silicio, nitruro de silicio, oxinitruro de silicio, carbonitruro de silicio u oxycarburo de silicio, que tiene un grosor C1, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 0,2 y 1,5 micrómetros o de entre 0,15 y 2 micrómetros, sobre la superficie 58s del sustrato semiconductor 58 de cada chip 68, sobre la(s) superficie(s) 62s del/de los sustrato(s) inactivo(s) 62, y sobre la superficie 64s del material de encapsulación/relleno de huecos 64.

[0660] Seguidamente, en referencia a la fig. 275B, múltiples vías pasantes 170v, incluyendo las vías pasantes 170a, 170b, 170c, 170d, 170e y 170f, se forman en los chips 68 y en el/los sustrato(s) inactivo(s) 62, exponiendo la capa conductora 18 del portador 11 y exponiendo las capas 26 y 34 de los chips 68, por ejemplo, por las siguientes etapas. En primer lugar, se forma una capa fotorresistente sobre la capa aislante 60a usando un procedimiento adecuado, tal como procedimiento de recubrimiento por rotación o procedimiento de laminación. Seguidamente, se puede emplear un procedimiento de fotoexposición y un procedimiento de revelado para formar múltiples aberturas, exponiendo múltiples regiones de la capa aislante 60a, en la capa fotorresistente. Seguidamente, se elimina la capa aislante 60a debajo de las aberturas en la capa fotorresistente usando un procedimiento adecuado, tal como procedimiento de grabado por plasma anisotrópico. Seguidamente, se decapan el/los sustrato(s) inactivo(s) 62 debajo de las aberturas en la capa fotorresistente y los chips 68 debajo de las aberturas en la capa fotorresistente hasta que se exponen las regiones predeterminadas de las capas 26 y 34 en los chips 68 y las regiones predeterminadas de la capa conductora 18 en el portador 11 por las aberturas en la capa fotorresistente. Seguidamente, se elimina la capa fotorresistente usando, por ejemplo, una sustancia química orgánica. En consecuencia, se forman las vías pasantes 170v, incluyendo

las vías 170a-170f, en los chips 68 y en el/los sustrato(s) inactivo(s) 62, exponiendo las regiones predeterminadas de la capa conductora 18 del portador 11 y exponiendo las regiones predeterminadas de las capas 26 y 34 de los chips 68. Las especificaciones de las vías pasantes 170v y el soporte 801 mostrados en la fig. 275B pueden hacer referencia a las especificaciones de las vías pasantes 170v y el soporte 801 como se ilustra en la fig. 15. Las figs. 275C y 275D son dos ejemplos de vistas en perspectiva superior esquemáticas que muestran la vía pasante 170e y el conector o pista metálica 35a mostrado en la fig. 275B.

[0661] Como se muestra en las figs. 275B y 275C, la vía pasante 170e puede tener, pero no se limita a, conformación ovalada y tiene un ancho W1, por ejemplo, de entre 1 y 30 micrómetros, y preferentemente de entre 1 y 20 micrómetros, de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 3 y 10 micrómetros. La vía pasante de conformación ovalada 170e en uno de los chips 68 expone el conector o pista metálica 35a en el uno de los chips 68 y expone dos regiones de la capa conductora 18 en el portador 11 debajo del uno de los chips 68. El conector o pista metálica 35a tiene una región de conformación lineal, expuesto por la vía pasante de conformación ovalada 170e, que se extiende en una dirección horizontal desde un lado de la vía pasante de conformación ovalada 170e hasta el lado opuesto de la vía pasante de conformación ovalada 170e a través del centro de la vía pasante de conformación ovalada 170e. El soporte 801, entre la capa conductora 18 del portador 11 y la región de conformación lineal expuesta del conector o pista metálica 35a en la capa de interconexión 34, puede tener conformación lineal, como la región de conformación lineal expuesta del conector o pista metálica 35a. El conector o pista metálica 35a expuesto por la vía pasante de conformación ovalada 170e tiene un ancho W2, por ejemplo, de entre 0,3 y 30 micrómetros, y preferentemente de entre 0,3 y 20 micrómetros, de entre 0,3 y 10 micrómetros, de entre 0,3 y 5 micrómetros o de entre 0,3 y 1 micrómetros. Una distancia horizontal S1 entre el final del eje largo de la vía pasante de conformación ovalada 170e y un borde, que está más cercano al final que el otro borde opuesto, del conector o pista metálica 35a expuesto por la vía pasante de conformación ovalada 170e puede ser, por ejemplo, de entre 1 y 30 micrómetros, y preferentemente de entre 1 y 20 micrómetros, de entre 1 y 10 micrómetros, de entre 1 y 5 micrómetros o de entre 3 y 10 micrómetros.

[0662] Como se muestra en las figs. 275B y 275D, la vía pasante 170e puede tener, pero no se limita a, una conformación circular y tiene un diámetro, por ejemplo, de entre 0,5 y 100 micrómetros, de entre 0,5 y 50 micrómetros, de entre 0,5 y 30 micrómetros, de entre 0,5 y 20 micrómetros, de entre 0,5 y 10 micrómetros o de entre 0,5 y 5 micrómetros, y preferentemente de entre 1 y 3 micrómetros. La vía pasante 170e en uno de los chips 68 expone el conector o pista metálica 35a en el uno de los chips 68 y expone una región de la capa conductora 18 en el portador 11 debajo de uno de los chips 68. El conector o pista metálica 35a tiene una región peninsular, expuesto por la vía pasante 170e, que se extiende en una dirección horizontal desde un lado de la vía pasante 170e al menos hasta el centro de la vía pasante 170e, pero no llega al lado opuesto de la vía pasante 170e; el conector o pista metálica 35a tiene un extremo expuesto por la vía pasante 170e. El soporte 801, entre la capa conductora 18 del portador 11 y la región peninsular expuesta del conector o pista metálica 35a en la capa de interconexión 34, puede tener conformación de península, como la región peninsular expuesta del conector o pista metálica 35a.

[0663] Seguidamente, en referencia a la fig. 275E, se forma la capa dieléctrica 50 ilustrada en la fig. 19 sobre una superficie superior de la capa aislante 60a, sobre la capa conductora 18, expuesta por las vías pasantes 170v (tales como las vías 170a, 170b y 170e), del portador 11, sobre las capas 26 y 34, expuestas por las vías pasantes 170v (tales como las vías 170c, 170d, 170e y 170f), de los chips 68, y sobre las paredes laterales de las vías pasantes 170v.

[0664] Seguidamente, en referencia a la fig. 275F, se elimina la capa dieléctrica 50 formada sobre la superficie superior de la capa aislante 60a y sobre las capas 18, 26 y 34 usando un procedimiento adecuado, tal como procedimiento de grabado por plasma anisotrópico. En consecuencia, se decapa la capa dieléctrica 50 en las partes inferiores de las vías pasantes 170v, sobre la superficie de la capa aislante 60a y sobre una superficie superior del conector o pista metálica 35a sobre el soporte 801, y la capa dieléctrica 50 permanece sobre las paredes laterales de las vías pasantes 170v, denominadas capas dieléctricas de pared lateral en las vías pasantes 170v. Las capas dieléctricas de pared lateral 50 se forman sobre las paredes laterales de las vías pasantes 170v en los chips 68 o en el/los sustrato(s) inactivo(s) 62 y están rodeadas por los sustratos semiconductores 58 de los chips 68 o por el/los sustrato(s) inactivo(s) 62. Las figs. 275G y 275H son dos ejemplos de vistas superiores esquemáticas que muestran la vía pasante 170e, la capa dieléctrica de pared lateral 50 sobre la pared lateral de la vía pasante 170e y sobre las paredes laterales del soporte 801, y el conector o pista metálica 35a mostrados en la fig. 275F.

[0665] Seguidamente, en referencia a la fig. 275I, se forma una capa de polímero 60b, tal como una capa de poliimida, benzociclobuteno (BCB), epoxi, polibenzoxazol (PBO) u poli(óxido de fenileno) (PPO), sobre la capa aislante 60a usando un procedimiento adecuado, tal como procedimiento de recubrimiento por rotación, procedimiento de serigrafía o procedimiento de laminación. Seguidamente, se puede emplear un procedimiento de exposición y un procedimiento de revelado para formar múltiples zanjas 60t, exponiendo la capa aislante 60a, las vías pasantes 170v y las capas 18, 26 y 34 expuestas por las vías pasantes 170v, en la capa de polímero 60b. Se puede usar un paso a paso 1X o un alineador de contacto 1X para exponer la capa de polímero 60b durante el procedimiento de exposición. Seguidamente, la capa de polímero 60b se cura o calienta a una temperatura de entre 150 grados centígrados y 400 grados centígrados, y preferentemente de entre 180 grados centígrados y 250 grados centígrados. La capa de polímero 60b después de curarse o calentarse tiene un grosor C2, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros. La fig. 275J es una vista en perspectiva superior esquemática que muestra las zanjas 60t, las capas dieléctricas de pared lateral 50 y las vías pasantes 170v

(incluyendo las vías 170a-170f) mostradas en la fig. 275I de acuerdo con un modo de realización de la presente invención, y la fig. 275I es una vista en sección transversal cortada a lo largo de la línea D-D mostrada en la fig. 275J.

[0666] En consecuencia, usando las etapas mencionadas anteriormente, la capa dieléctrica 60 mencionada anteriormente también puede estar provista de la capa aislante 60a y la capa de polímero 60b sobre la capa aislante 60a. Las zanjas 60t en la capa de polímero 60b se usan para proporcionar huecos que tienen conectores entre chips y conectores intrachip formados en los mismos. Las vías pasantes 170v se forman debajo de las zanjas 60t.

[0667] Seguidamente, en referencia a la fig. 275K, se forma una capa de adhesión/barrera 52 que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las capas 18, 26 y 34 expuestas por las vías pasantes 170v, sobre las paredes laterales de las vías pasantes 170v, sobre una superficie superior de la capa de polímero 60b, sobre las paredes laterales de las zanjas 60t en la capa de polímero 60b, sobre la superficie superior de la capa aislante 60a en las partes inferiores de las zanjas 60t, y sobre el conector o pista metálica 35a que está sobre el soporte 801. Se puede formar la capa de adhesión/barrera 52 por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD) o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se forma una capa germinal 54 que tiene un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa de adhesión/barrera 52 por un procedimiento de depósito físico de vapor (PVD), tal como procedimiento de pulverización catódica o procedimiento de evaporación, por un procedimiento de depósito químico de vapor (CVD) o por otros procedimientos de depósito de película delgada, tal como depósito de capa atómica (ALD). Seguidamente, se forma una capa de conducción 56 sobre la capa germinal 54 usando un procedimiento adecuado, tal como procedimiento de electrochapado.

[0668] La capa de adhesión/barrera 52 puede incluir o puede ser una capa de titanio, una aleación de titanio-volframio, nitruro de titanio, cromo, tántalo, nitruro de tántalo, níquel, o níquel-vanadio que tiene un grosor, por ejemplo, más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros. La capa germinal 54 puede incluir o puede ser una capa de cobre, una aleación de titanio-cobre, níquel, oro o plata que tiene un grosor, por ejemplo, más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa de adhesión/barrera 52. La capa de conducción 56 puede incluir o puede ser una capa metálica electrochapada de cobre, oro o plata sobre la capa germinal 54.

[0669] Seguidamente, en referencia a la fig. 275L, se rectifican o pulen las capas 52, 54 y 56 usando un procedimiento adecuado, tal como procedimiento de pulido químico-mecánico (CMP), procedimiento de pulido mecánico, procedimiento de rectificado mecánico, o un procedimiento que incluye pulido mecánico y grabado químico, hasta que la capa de polímero 60b de la capa dieléctrica 60 tiene una superficie superior expuesta 60s, encima de la que no hay partes de las capas 52, 54 y 56, y se eliminan las capas 52, 54 y 56 fuera de las zanjas 60t.

[0670] En consecuencia, la superficie superior expuesta 60s de la capa de polímero 60b puede ser sustancialmente coplanaria con la superficie rectificada o pulida 56s de la capa de conducción 56 en las zanjas 60t, y las superficies 56s y 60s pueden ser sustancialmente planas. La capa de adhesión/barrera 52 y la capa germinal 54 están en las paredes laterales y una parte inferior de la capa de conducción 56 en las zanjas 60t, y las paredes laterales y la parte inferior de la capa de conducción 56 en las zanjas 60t están cubiertas por la capa de adhesión/barrera 52 y la capa germinal 54. Después de que se rectifican o pulen las capas 52, 54 y 56, la capa de polímero 60b de la capa dieléctrica 60 tiene un grosor, entre la superficie superior expuesta 60s de la capa de polímero 60b y la superficie superior de la capa aislante 60a, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros.

[0671] En una primera alternativa, después de que se rectifican o pulen las capas 52, 54 y 56, la capa de adhesión/barrera 52 puede ser una capa que contiene titanio, tal como una capa única de titanio, aleación de titanio-volframio o nitruro de titanio, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales de las zanjas 60t en la capa de polímero 60b, sobre la superficie superior de la capa aislante 60a en las partes inferiores de las zanjas 60t, sobre las paredes laterales de las vías pasantes 170v, sobre las capas 18, 26 y 34 en las partes inferiores de las vías pasantes 170v, y sobre el conector o pista metálica 35a que está sobre el soporte 801. La capa germinal 54 puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene titanio, en las zanjas 60t, y en las vías pasantes 170v. La capa de conducción 56 puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjas 60t, y en las vías pasantes 170v. La capa de cobre electrochapado en las zanjas 60t tiene un grosor, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros.

[0672] En una segunda alternativa, después de que se rectifican o pulen las capas 52, 54 y 56, la capa de adhesión/barrera 52 puede ser una capa que contiene tántalo, tal como una capa única de tántalo o nitruro de tántalo,

con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales de las zanjás 60t en la capa de polímero 60b, sobre la superficie superior de la capa aislante 60a en las partes inferiores de las zanjás 60t, sobre las paredes laterales de las vías pasantes 170v, sobre las capas 18, 26 y 34 en las partes inferiores de las vías pasantes 170v, y sobre el conector o pista metálica 35a que está sobre el soporte 801. La capa germinal 54 puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene tántalo, en las zanjás 60t, y en las vías pasantes 170v. La capa de conducción 56 puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjás 60t, y en las vías pasantes 170v. La capa de cobre electrochapado en las zanjás 60t tiene un grosor, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros.

[0673] En una tercera alternativa, después de que se rectifican o pulen las capas 52, 54 y 56, la capa de adhesión/barrera 52 puede ser una capa que contiene cromo, tal como una capa única de cromo, con un grosor más pequeño que 1 micrómetro, tal como de entre 1 nanómetro y 0,5 micrómetros, y preferentemente de entre 0,1 y 0,2 micrómetros, sobre las paredes laterales de las zanjás 60t en la capa de polímero 60b, sobre la superficie superior de la capa aislante 60a en las partes inferiores de las zanjás 60t, sobre las paredes laterales de las vías pasantes 170v, sobre las capas 18, 26 y 34 en las partes inferiores de las vías pasantes 170v, y sobre el conector o pista metálica 35a que está sobre el soporte 801. La capa germinal 54 puede ser una capa única de cobre o una aleación de titanio-cobre con un grosor más pequeño que 1 micrómetro, tal como de entre 10 nanómetros y 0,8 micrómetros, y preferentemente de entre 80 nanómetros y 0,15 micrómetros, sobre la capa que contiene cromo, en las zanjás 60t, y en las vías pasantes 170v. La capa de conducción 56 puede ser una capa de cobre electrochapado sobre la capa única de cobre o una aleación de titanio-cobre, en las zanjás 60t, y en las vías pasantes 170v. La capa de cobre electrochapado en las zanjás 60t tiene un grosor, por ejemplo, de entre 1 y 50 micrómetros, y preferentemente de entre 2 y 30 micrómetros o de entre 5 y 25 micrómetros.

[0674] Después de que se rectifican o pulen las capas 52, 54 y 56, las capas 52, 54 y 56 en las zanjás 60t componen múltiples conectores metálicos (o pistas metálicas damasquinadas) 1, incluyendo los conectores metálicos (o pistas metálicas damasquinadas) 1a y 1b, en las zanjás 60t. Las capas 52, 54 y 56 en las vías pasantes 170v componen múltiples tapones metálicos (o vías metálicas) 5p en las vías pasantes 170v, incluyendo los tapones metálicos (o vías metálicas) 5a, 5b, 5c, 5d, 5e y 5f en las vías pasantes 170a, 170b, 170c, 170d, 170e y 170f, respectivamente. Cada uno de los tapones metálicos 5p en los chips 68 y en el/los sustrato(s) inactivo(s) 62 está rodeado por una de las capas dieléctricas de pared lateral 50 en las vías pasantes 170v. El tapón metálico 5a se forma en el sustrato inactivo 62, y los tapones metálicos 5b, 5c, 5d, 5e y 5f se forman en el mismo chip 68. El soporte 801 y el conector o pista metálica 35a, en la capa de interconexión 34, sobre el soporte 801 pueden estar entre dos partes, más bajas que un nivel horizontal, en el que se sitúa una superficie superior de la capa de interconexión 34, del tapón metálico 5e. Estos tapones metálicos 5p formados en los chips 68 y en el/los sustrato(s) inactivo(s) 62 pueden conectar los conectores metálicos 1 y los dispositivos semiconductores 36 en los chips 68 y conectar los conectores metálicos 1 y múltiples puntos de contacto de la capa conductora 18 en el portador 11. Los conectores metálicos 1, tales como 1a y 1b, en las zanjás 60t pueden tener un grosor, por ejemplo, de entre 0,1 y 5 micrómetros, y preferentemente de entre 1 y 3 micrómetros. Para obtener una descripción más detallada acerca de los tapones metálicos 5p (incluyendo los tapones metálicos 5a-5f) y los conectores metálicos 1 (incluyendo los conectores metálicos 1a y 1b) mostrados en la fig. 275L, consúltese la ilustración de la fig. 26.

[0675] De forma alternativa, el elemento 68 no solo puede indicar un chip, sino que también puede indicar una oblea. Cuando el elemento 68 es una oblea, el portador 11 puede ser otra oblea. De este modo, el procedimiento ilustrado en la invención se puede emplear para la unión de oblea a oblea.

[0676] Después de formar la estructura ilustrada en la fig. 275L, se pueden realizar las etapas ilustradas en las figs. 27-88 para formar el sistema en paquete o el módulo multichip 555, 555b o 555c.

[0677] En la fig. 82, 83, 84, 85, 87, 88, 103, 104, 105, 106, 108, 109, 128, 129, 130, 131, 132, 136, 137, 138, 139, 181, 140, 182, 183, 184, 185, 207, 208, 209, 250, 210, 211, 251, 252, 253, 254, 270, 271, 272, 273 o 274, uno cualquiera de los chips 68 puede tener un diseño de circuito diferente al de uno cualquiera de los chips 72 y 118 y puede tener un área (superficie superior) o tamaño diferente al de uno cualquiera de los chips 72 y 118, y uno cualquiera de los chips 72 puede tener un diseño de circuito diferente al de uno cualquiera de los chips 118 y puede tener un área (superficie superior) o tamaño diferente al de uno cualquiera de los chips 118. De forma alternativa, el chip 72 que incluye el tapón metálico 6d puede tener un diseño de circuito diferente o un área (superficie superior) o tamaño diferente al del chip 118 que incluye el tapón metálico 7e y puede tener un mismo diseño de circuito o una misma área (superficie superior) o tamaño que el del chip 118 que incluye el tapón metálico 7d, y el chip 72 que incluye el tapón metálico 6c puede tener un mismo diseño de circuito o una misma área (superficie superior) o tamaño que el del chip 72 que incluye el tapón metálico 6d o puede tener un diseño de circuito diferente o un área (superficie superior) o tamaño diferente al del chip 72 que incluye el tapón metálico 6d.

[0678] Con respecto al sistema en paquete o el módulo multichip descrito previamente 555, 555b, 555c, 555e, 555g, 555h, 555j, 555m, 555n, 555o, 555q, 555r, 555s, 555u, 555v, 555w, 555y, 555z, 556a, 556c, 556d, 556e, 556g o 556h,

sin importar dónde se proporcionan los chips 68, 72 y 118, cada uno de los chips 68, 72 y 118 puede ser un chip de unidad de procesamiento central (CPU) diseñado por arquitectura x86, un chip de unidad de procesamiento central (CPU) diseñado por arquitecturas distintas de x86, tales como ARM, StrongARM o MIPS, un chip de unidad de procesamiento gráfico (GPU), un chip de procesamiento de señales digitales (DSP), un chip de banda base, un chip de red inalámbrica de área local (WLAN), un chip de memoria, tal como chip de memoria flash, chip de memoria dinámica de acceso aleatorio (DRAM) o chip de memoria estática de acceso aleatorio (SRAM), un chip lógico, un chip analógico, un dispositivo de potencia, un regulador, un dispositivo de gestión de potencia, un chip de sistema de posicionamiento global (GPS), un chip de "Bluetooth", un sistema en chip (SOC) que incluye un bloque de circuito de unidad de procesamiento gráfico (GPU), un bloque de circuito de red inalámbrica de área local (WLAN) y un bloque de circuito de unidad de procesamiento central (CPU) diseñados por arquitectura x86 o por arquitecturas distintas de x86, un sistema en chip (SOC) que incluye un bloque de circuito de banda base, un bloque de circuito de red inalámbrica de área local (WLAN) y un bloque de circuito de unidad de procesamiento central (CPU) diseñados por arquitectura x86 o por arquitecturas distintas de x86, un sistema en chip (SOC) que incluye un bloque de circuito de banda base, un bloque de circuito de unidad de procesamiento gráfico (GPU) y un bloque de circuito de unidad de procesamiento central (CPU) diseñados por arquitectura x86 o por arquitecturas distintas de x86 o un sistema en chip (SOC) que incluye un bloque de circuito de unidad de procesamiento central (CPU), un bloque de circuito de unidad de procesamiento gráfico (GPU) y un bloque de circuito de memoria (tal como bloque de circuito de memoria flash, bloque de circuito de memoria dinámica de acceso aleatorio (DRAM) o bloque de circuito de memoria estática de acceso aleatorio (SRAM)). De forma alternativa, cada uno de los chips 68, 72 y 118 puede ser un chip que incluye uno o más de un bloque de circuito de unidad de procesamiento central (CPU), un bloque de circuito de unidad de procesamiento gráfico (GPU), un bloque de circuito de procesamiento de señales digitales (DSP), un bloque de circuito de memoria (tal como bloque de circuito de memoria dinámica de acceso aleatorio (DRAM), bloque de circuito de memoria estática de acceso aleatorio (SRAM) o bloque de circuito de memoria flash), un bloque de circuito de banda base, un bloque de circuito de Bluetooth, un bloque de circuito de sistema de posicionamiento global (GPS), un bloque de circuito de red inalámbrica de área local (WLAN) y un bloque de circuito de módem.

[0679] Con respecto al sistema en paquete o el módulo multichip descrito previamente 555, 555b, 555c, 555e, 555g, 555h, 555j, 555m, 555n, 555o, 555q, 555r, 555s, 555u, 555v, 555w, 555y, 555z, 556a, 556c, 556d, 556e, 556g o 556h, cada uno de los chips 68, 72 y 118 puede incluir circuitos de entrada/salida (E/S) de carga que sirven para pruebas de sondeo de chip (pruebas CP), para autocomprobación integrada o para transmisión de señales externas a través de las protuberancias o bolas de soldadura 126, a través de las protuberancias metálicas 668 o a través de los hilos unidos por hilo 184. Cada uno de los circuitos de entrada/salida (E/S) de carga puede tener una carga total (capacitancia total) mayor de 10 pF (picofaradios), tal como de entre 15 pF y 50 pF. Cada uno de los chips 68, 72 y 118 puede incluir además circuitos de entrada/salida (E/S) de carga pequeños, teniendo cada uno una carga total (capacitancia total) de entre 0,1 pF y 10 pF, y preferentemente de entre 0,1 pF y 2 pF.

[0680] Por ejemplo, cada uno de los chips 68 puede incluir algunos de los circuitos de entrada/salida (E/S) de carga pequeños que sirven para conexión de señales intrachip, teniendo un ancho de bits de datos de entre 32 y 2048, de entre 128 y 2048, de entre 256 y 1024, de entre 512 y 1024, o igual a o más de 128, para conectarse a otro de los chips 68 a través de los tapones metálicos 5p y a través de los conectores metálicos 1, puede incluir algunos de los circuitos de entrada/salida (E/S) de carga pequeños que sirven para conexión de señales entre chips, teniendo un ancho de bits de datos de entre 32 y 2048, de entre 128 y 2048, de entre 256 y 1024, de entre 512 y 1024, o igual a o más de 128, para conectarse a uno o más de los chips 72 a través de los tapones metálicos 5p y 6p y a través de los conectores metálicos 1 y 2, y puede incluir algunos de los circuitos de entrada/salida (E/S) de carga pequeños que sirven para conexión de señales entre chips, teniendo un ancho de bits de datos de entre 32 y 2048, de entre 128 y 2048, de entre 256 y 1024, de entre 512 y 1024, o igual a o más de 128, para conectarse a uno de los chips 118 a través de los tapones metálicos 5p, 6p y 7p y a través de los conectores metálicos 1, 2 y 3. Cada uno de los chips 72 puede incluir algunos de los circuitos de entrada/salida (E/S) de carga pequeños que sirven para conexión de señales intrachip, teniendo un ancho de bits de datos de entre 32 y 2048, de entre 128 y 2048, de entre 256 y 1024, de entre 512 y 1024, o igual a o más de 128, para conectarse a otro de los chips 72 a través de los tapones metálicos 6p y a través de los conectores metálicos 2, y puede incluir algunos de los circuitos de entrada/salida (E/S) de carga pequeños que sirven para conexión de señales entre chips, teniendo un ancho de bits de datos de entre 32 y 2048, de entre 128 y 2048, de entre 256 y 1024, de entre 512 y 1024, o igual a o más de 128, para conectarse a uno de los chips 118 a través de los tapones metálicos 6p y 7p y a través de los conectores metálicos 2 y 3. Cada uno de los chips 118 puede incluir algunos de los circuitos de entrada/salida (E/S) de carga pequeños que sirven para conexión de señales intrachip, teniendo un ancho de bits de datos de entre 32 y 2048, de entre 128 y 2048, de entre 256 y 1024, de entre 512 y 1024, o igual a o más de 128, para conectarse a otro de los chips 118 a través de los tapones metálicos 7p y a través de los conectores metálicos 3.

[0681] Con respecto al sistema en paquete incorporado o el módulo multichip descrito previamente 555, 555b, 555c, 555e, 555g, 555h, 555j, 555m, 555n, 555o, 555q, 555r, 555s, 555u, 555v, 555w, 555y, 555z, 556a, 556c, 556d, 556e, 556g o 556h, los chips 68 se pueden conectar a múltiples conectores metálicos de la capa conductora 18 del portador 11 a través de los conectores metálicos 1 (tales como los conectores metálicos 1a y 1b) y a través de los tapones metálicos 5p, se pueden conectar a los chips 72 a través de los tapones metálicos 5p y 6p, a través de los conectores metálicos 1 (tales como los conectores metálicos 1a y 1b), y a través de los conectores metálicos 2 (tales como los conectores metálicos 2a y 2b), y se pueden conectar a los chips 118 a través de los tapones metálicos 5p, 6p y 7p, a

través de los conectores metálicos 1 (tales como los conectores metálicos 1a y 1b), a través de los conectores metálicos 2 (tales como los conectores metálicos 2a y 2b) y a través de los conectores metálicos 3 (tales como los conectores metálicos 3a y 3c). Los chips 72 se pueden conectar a los conectores metálicos de la capa conductora 18 del portador 11 a través de los conectores metálicos 2 (tales como los conectores metálicos 2a y 2b), a través de los conectores metálicos 1 (tales como los conectores metálicos 1a y 1b) y a través de los tapones metálicos 5p y 6p, y se pueden conectar a los chips 118 a través de los tapones metálicos 6p y 7p, a través de los conectores metálicos 2 (tales como los conectores metálicos 2a y 2b) y a través de los conectores metálicos 3 (tales como los conectores metálicos 3a y 3c). Los chips 118 se pueden conectar a los conectores metálicos de la capa conductora 18 del portador 11 a través de los conectores metálicos 3 (tales como los conectores metálicos 3a y 3c), a través de los conectores metálicos 2 (tales como los conectores metálicos 2a y 2b), a través de los conectores metálicos 1 (tales como los conectores metálicos 1a y 1b) y a través de los tapones metálicos 5p, 6p y 7p.

[0682] La fig. 276 es un ejemplo de un diagrama de circuito que muestra circuitos de interfaz entre dos chips. Los circuitos 700 y 800 se pueden proporcionar en dos cualquiera de los chips 68, 72 y 118 descritos previamente del sistema en paquete o del módulo multichip descrito previamente ilustrado en la fig. 82, 83, 84, 85, 87, 88, 103, 104, 105, 106, 108, 109, 128, 129, 130, 131, 132, 136, 137, 138, 139, 181, 140, 182, 183, 184, 185, 207, 208, 209, 250, 210, 211, 251, 252, 253, 254, 270, 271, 272, 273 o 274. Los circuitos 700 incluyen puntos de contacto P1 y P2 conectados a puntos de contacto P3 y P4 de los circuitos 800 a través de conectores metálicos 350 que no se conectan a ningún circuito externo del sistema en paquete o del módulo multichip, tal como el portador 176 descrito previamente. Los circuitos 700 incluyen además puntos de contacto P5 y P6 que sirven para pruebas de sondeo de chip (pruebas CP), para autocomprobación integrada o para conexión de señales externas. Los circuitos 800 incluyen además puntos de contacto P7 y P8 que sirven para pruebas de sondeo de chip (pruebas CP), para autocomprobación integrada o para conexión de señales externas. De forma alternativa, los puntos de contacto P5 y P6 de los circuitos 700 y los puntos de contacto P7 y P8 de los circuitos 800 se pueden conectar a un circuito externo del sistema en paquete o del módulo multichip, tal como placa base, sustrato de metal, sustrato de vidrio, sustrato de cerámica o el portador 176 descrito previamente, a través de las protuberancias o bolas de soldadura 126 descritas previamente, a través de las protuberancias metálicas 672 descritas previamente o a través de los hilos unidos por hilo 184 descritos previamente.

[0683] En una primera alternativa, los circuitos 700 se pueden proporcionar en uno de los chips 68, y los circuitos 800 se pueden proporcionar en otro de los chips 68. En este caso, los dos puntos de contacto P1 y P2 de los circuitos 700 son dos puntos de contacto, en las partes inferiores de dos de las vías pasantes 170v en el uno de los chips 68, de las capas 26 y/o 34 del uno de los chips 68, en los que los dos puntos de contacto no se conectan a ningún circuito externo del sistema en paquete o del módulo multichip, y los dos puntos de contacto P3 y P4 de los circuitos 800 son dos puntos de contacto, en las partes inferiores de dos de las vías pasantes 170v en el otro de los chips 68, de las capas 26 y/o 34 del otro de los chips 68, en los que los dos puntos de contacto no se conectan a ningún circuito externo del sistema en paquete o del módulo multichip. El punto de contacto P5 de los circuitos 700, por ejemplo, puede ser un punto de contacto, en la parte inferior de la vía pasante 170c o 170d descrita previamente, del conector o pista metálica 35d o 35c, que se conecta al tapón metálico 5c o 5d descrito previamente, y el punto de contacto P6 de los circuitos 700 puede ser un punto de contacto, en la parte inferior de la vía pasante 170f descrita previamente, del conector o pista metálica 35b, que se conecta al tapón metálico 5f descrito previamente. De forma alternativa, el punto de contacto P5 de los circuitos 700 puede ser un punto de contacto, en la parte inferior de la vía pasante 170c o 170d descrita previamente, del conector o pista metálica 35d o 35c, que se conecta al tapón metálico 5c o 5d descrito previamente, y el punto de contacto P6 de los circuitos 700 puede ser un punto de contacto del conector o pista metálica 35a sobre el soporte 801 descrito previamente, que se conecta al tapón metálico 5e descrito previamente. De forma alternativa, el punto de contacto P5 de los circuitos 700 puede ser un punto de contacto del conector o pista metálica 35a sobre el soporte 801 descrito previamente, que se conecta al tapón metálico 5e descrito previamente, y el punto de contacto P6 de los circuitos 700 puede ser un punto de contacto, en la parte inferior de la vía pasante 170c o 170d descrita previamente, del conector o pista metálica 35d o 35c, que se conecta al tapón metálico 5c o 5d descrito previamente. El conector metálico 350 que conecta el punto de contacto P1 de los circuitos 700 y el punto de contacto P3 de los circuitos 800 incluye uno de los tapones metálicos 5p en el uno de los chips 68, uno de los tapones metálicos 5p en el otro de los chips 68, y uno de los conectores metálicos 1. El conector metálico 350 que conecta el punto de contacto P2 de los circuitos 700 y el punto de contacto P4 de los circuitos 800 incluye otro de los tapones metálicos 5p en el uno de los chips 68, otro de los tapones metálicos 5p en el otro de los chips 68, y otro de los conectores metálicos 1.

[0684] En una segunda alternativa, los circuitos 700 se pueden proporcionar en uno de los chips 68, y los circuitos 800 se pueden proporcionar en uno de los chips 72. En este caso, se puede suponer que los dos puntos de contacto P1 y P2 de los circuitos 700 son dos puntos de contacto, en las partes inferiores de dos de las vías pasantes 170v en el uno de los chips 68, de las capas 26 y/o 34 del uno de los chips 68, en los que los dos puntos de contacto no se conectan a ningún circuito externo del sistema en paquete o del módulo multichip, y se puede suponer que los dos puntos de contacto P3 y P4 de los circuitos 800 son dos puntos de contacto, en las partes inferiores de dos de las vías pasantes 164v en el uno de los chips 72, de las capas 106 y/o 114 del uno de los chips 72, en los que los dos puntos de contacto no se conectan a ningún circuito externo del sistema en paquete o del módulo multichip. En este caso, el conector metálico 350 que conecta el punto de contacto P1 o P2 de los circuitos 700 y el punto de contacto P3 o P4 de los circuitos 800 puede ser una ruta directa, como se indica por los círculos con líneas cruzadas mostrados en la siguiente fig. 297, que conecta el punto de contacto P3 o P4 directamente hacia abajo al punto de contacto P1 o P2

no a través de ninguno de los conectores metálicos 2, o una ruta indirecta, que conecta el punto de contacto P3 o P4 al punto de contacto P1 o P2 a través de uno de los conectores metálicos 2. La ruta directa puede incluir un conector como el tapón metálico 6e que pasa completamente a través del chip 72 que tiene los circuitos 800, que conecta el punto de contacto P3 o P4 encima del soporte 802 a uno de los conectores metálicos 1 conectados al punto de contacto P1 o P2 a través de uno de los tapones metálicos 5p, como el tapón metálico 5c, 5d o 5f, que pasa a ciegas a través del chip 68 que tiene los circuitos 700. La ruta indirecta puede incluir uno de los conectores 2 conectado al punto de contacto P3 o P4 a través de uno de los tapones metálicos 6p, como el tapón metálico 6c o 6d, que pasa a ciegas a través del chip 72 que tiene los circuitos 800, y uno de los conectores 1 conectado al uno de los conectores 2 a través de uno de los tapones metálicos 6p, como el tapón metálico 6a que pasa completamente a través del sustrato inactivo 165 o como el tapón metálico 6b que pasa completamente a través del chip 72 que tiene los circuitos 800 o bien no tiene los circuitos 800, y conectado al punto de contacto P1 o P2 a través de uno de los tapones metálicos 5p, como el tapón metálico 5c, 5d o 5f, que pasa a ciegas a través del chip 68 que tiene los circuitos 700.

[0685] Además, en este caso, se puede suponer que el punto de contacto P5 o P6 de los circuitos 700 proporcionados en el uno de los chips 68 es un punto de contacto, en la parte inferior de la vía pasante 170c, 170d o 170f descrita previamente, del conector o pista metálica 35d, 35c o 35b, conectado a un circuito externo del sistema en paquete o del módulo multichip a través de uno de los tapones metálicos 5p, como el tapón metálico 5c, 5d o 5f, que pasa a ciegas a través del chip 68 que tiene los circuitos 700, a través de uno de los conectores metálicos 1, a través de uno de los tapones metálicos 6p, como el tapón metálico 6a que pasa completamente a través del sustrato inactivo 165 o como el tapón metálico 6b que pasa completamente a través de uno de los chips 72, a través de uno de los conectores metálicos 2, a través de uno de los tapones metálicos 7p, como el tapón metálico 7a que pasa completamente a través del sustrato inactivo 158 o como el tapón metálico 7b que pasa completamente a través de uno de los chips 118, a través de uno de los conectores 3 y a través de una de las protuberancias o bolas de soldadura 126, las protuberancias metálicas 668 o los hilos unidos por hilo 184. Se puede suponer que el punto de contacto P7 o P8 de los circuitos 800 proporcionados en el uno de los chips 72 es un punto de contacto, en la parte inferior de la vía pasante 164c o 164d descrita previamente, del conector o pista metálica 55c o 55b, conectado a un circuito externo del sistema en paquete o del módulo multichip a través de uno de los tapones metálicos 6p, como el tapón metálico 6c o 6d, que pasa a ciegas a través del chip 72 que tiene los circuitos 800, a través de uno de los conectores metálicos 2, a través de uno de los tapones metálicos 7p, como el tapón metálico 7a que pasa completamente a través del sustrato inactivo 158 o como el tapón metálico 7b que pasa completamente a través de uno de los chips 118, a través de uno de los conectores 3 y a través de una de las protuberancias o bolas de soldadura 126, las protuberancias metálicas 668 o los hilos unidos por hilo 184.

[0686] En una tercera alternativa, los circuitos 700 se pueden proporcionar en uno de los chips 68, y los circuitos 800 se pueden proporcionar en uno de los chips 118. En este caso, los dos puntos de contacto P1 y P2 de los circuitos 700 son dos puntos de contacto, en las partes inferiores de dos de las vías pasantes 170v en el uno de los chips 68, de las capas 26 y/o 34 del uno de los chips 68, en los que los dos puntos de contacto no se conectan a ningún circuito externo del sistema en paquete o del módulo multichip, y los dos puntos de contacto P3 y P4 de los circuitos 800 son dos puntos de contacto, en las partes inferiores de dos de las vías pasantes 156v en el uno de los chips 118, de las capas 17 y/o 19 del uno de los chips 118, en los que los dos puntos de contacto no se conectan a ningún circuito externo del sistema en paquete o del módulo multichip. El punto de contacto P5 de los circuitos 700 puede ser un punto de contacto, en la parte inferior de la vía pasante 170c o 170d descrita previamente, del conector o pista metálica 35d o 35c, que se conecta al tapón metálico 5c o 5d descrito previamente, y el punto de contacto P7 de los circuitos 800 puede ser un punto de contacto del conector o pista metálica 75a sobre el soporte 803 descrito previamente, que se conecta al tapón metálico 7e descrito previamente. De forma alternativa, el punto de contacto P6 de los circuitos 700 puede ser un punto de contacto del conector o pista metálica 35a sobre el soporte 801 descrito previamente, que se conecta al tapón metálico 5e descrito previamente, y el punto de contacto P8 de los circuitos 800 puede ser un punto de contacto, en la parte inferior de la vía pasante 156c, 156d o 156f descrita previamente, del conector o pista metálica 75d, 75c o 75b, que se conecta al tapón metálico 7c, 7d o 7f descrito previamente. El conector metálico 350 que conecta el punto de contacto P1 de los circuitos 700 y el punto de contacto P3 de los circuitos 800 incluye uno de los tapones metálicos 6p que pasa a través de uno de los chips 72 o el sustrato inactivo 165 y además incluye uno de los tapones metálicos 7p que pasa a través del uno de los chips 118, el sustrato inactivo 158 u otro de los chips 118. El conector metálico 350 que conecta el punto de contacto P2 de los circuitos 700 y el punto de contacto P4 de los circuitos 800 incluye otro de los tapones metálicos 6p que pasa a través de uno de los chips 72 o el sustrato inactivo 165 y además incluye otro de los tapones metálicos 7p que pasa a través del uno de los chips 118, el sustrato inactivo 158 u otro de los chips 118.

[0687] En una cuarta alternativa, los circuitos 700 se pueden proporcionar en uno de los chips 72, y los circuitos 800 se pueden proporcionar en otro de los chips 72. En este caso, los dos puntos de contacto P1 y P2 de los circuitos 700 son dos puntos de contacto, en las partes inferiores de dos de las vías pasantes 164v en el uno de los chips 72, de las capas 106 y/o 114 del uno de los chips 72, en los que los dos puntos de contacto no se conectan a ningún circuito externo del sistema en paquete o del módulo multichip, y los dos puntos de contacto P3 y P4 de los circuitos 800 son dos puntos de contacto, en las partes inferiores de dos de las vías pasantes 164v en el otro de los chips 72, de las capas 106 y/o 114 del otro de los chips 72, en los que los dos puntos de contacto no se conectan a ningún circuito externo del sistema en paquete o del módulo multichip. El punto de contacto P5 de los circuitos 700 puede ser un punto de contacto del conector o pista metálica 55a sobre el soporte 802 descrito previamente, que se conecta al

tapón metálico 6e descrito previamente, y el punto de contacto P7 de los circuitos 800 puede ser un punto de contacto, en la parte inferior de la vía pasante 164c descrita previamente, del conector o pista metálica 55c, que se conecta al tapón metálico 6c descrito previamente. De forma alternativa, el punto de contacto P6 de los circuitos 700 puede ser un punto de contacto del conector o pista metálica 55a sobre el soporte 802 descrito previamente, que se conecta al tapón metálico 6e descrito previamente, y el punto de contacto P8 de los circuitos 800 puede ser un punto de contacto, en la parte inferior de la vía pasante 164c descrita previamente, del conector o pista metálica 55c, que se conecta al tapón metálico 6c descrito previamente. El conector metálico 350 que conecta el punto de contacto P1 de los circuitos 700 y el punto de contacto P3 de los circuitos 800 incluye uno de los tapones metálicos 6p en el uno de los chips 72, uno de los tapones metálicos 6p en el otro de los chips 72, y uno de los conectores metálicos 2. El conector metálico 350 que conecta el punto de contacto P2 de los circuitos 700 y el punto de contacto P4 de los circuitos 800 incluye otro de los tapones metálicos 6p en el uno de los chips 72, otro de los tapones metálicos 6p en el otro de los chips 72, y otro de los conectores metálicos 2.

[0688] En una quinta alternativa, los circuitos 700 se pueden proporcionar en uno de los chips 72, y los circuitos 800 se pueden proporcionar en uno de los chips 118. En este caso, los dos puntos de contacto P1 y P2 de los circuitos 700 son dos puntos de contacto, en las partes inferiores de dos de las vías pasantes 164v en el uno de los chips 72, de las capas 106 y/o 114 del uno de los chips 72, en los que los dos puntos de contacto no se conectan a ningún circuito externo del sistema en paquete o del módulo multichip, y los dos puntos de contacto P3 y P4 de los circuitos 800 son dos puntos de contacto, en las partes inferiores de dos de las vías pasantes 156v en el uno de los chips 118, de las capas 17 y/o 19 del uno de los chips 118, en los que los dos puntos de contacto no se conectan a ningún circuito externo del sistema en paquete o del módulo multichip. El punto de contacto P5 de los circuitos 700 puede ser un punto de contacto del conector o pista metálica 55a sobre el soporte 802 descrito previamente, que se conecta al tapón metálico 6e descrito previamente, y el punto de contacto P7 de los circuitos 800 puede ser un punto de contacto, en la parte inferior de la vía pasante 156c, 156d o 156f, del conector o pista metálica 75d, 75c o 75b, que se conecta al tapón metálico 7c, 7d o 7f descrito previamente. De forma alternativa, el punto de contacto P6 de los circuitos 700 puede ser un punto de contacto, en la parte inferior de la vía pasante 164c o 164d, del conector o pista metálica 55c o 55b, que se conecta al tapón metálico 6c o 6d descrito previamente, y el punto de contacto P8 de los circuitos 800 puede ser un punto de contacto del conector o pista metálica 75a sobre el soporte 803 descrito previamente, que se conecta al tapón metálico 7e descrito previamente. El conector metálico 350 que conecta el punto de contacto P1 de los circuitos 700 y el punto de contacto P3 de los circuitos 800 incluye uno de los tapones metálicos 7p que pasa a través del uno de los chips 118, el sustrato inactivo 158 u otro de los chips 118. El conector metálico 350 que conecta el punto de contacto P2 de los circuitos 700 y el punto de contacto P4 de los circuitos 800 incluye otro de los tapones metálicos 7p que pasa a través del uno de los chips 118, el sustrato inactivo 158 u otro de los chips 118.

[0689] En una sexta alternativa, los circuitos 700 se pueden proporcionar en uno de los chips 118, y los circuitos 800 se pueden proporcionar en otro de los chips 118. En este caso, los dos puntos de contacto P1 y P2 de los circuitos 700 son dos puntos de contacto, en las partes inferiores de dos de las vías pasantes 156v en el uno de los chips 118, de las capas 17 y/o 19 del uno de los chips 118, en los que los dos puntos de contacto no se conectan a ningún circuito externo del sistema en paquete o del módulo multichip, y los dos puntos de contacto P3 y P4 de los circuitos 800 son dos puntos de contacto, en las partes inferiores de dos de las vías pasantes 156v en el otro de los chips 118, de las capas 17 y/o 19 del otro de los chips 118, en los que los dos puntos de contacto no se conectan a ningún circuito externo del sistema en paquete o del módulo multichip. El punto de contacto P5 de los circuitos 700 puede ser un punto de contacto, en la parte inferior de la vía pasante 156c descrita previamente, del conector o pista metálica 75d, que se conecta al tapón metálico 7c descrito previamente, y el punto de contacto P7 de los circuitos 800 puede ser un punto de contacto del conector o pista metálica 75a sobre el soporte 803 descrito previamente, que se conecta al tapón metálico 7e descrito previamente. De forma alternativa, el punto de contacto P6 de los circuitos 700 puede ser un punto de contacto, en la parte inferior de la vía pasante 156c descrita previamente, del conector o pista metálica 75d, que se conecta al tapón metálico 7c descrito previamente, y el punto de contacto P8 de los circuitos 800 puede ser un punto de contacto, en la parte inferior de la vía pasante 156f descrita previamente, del conector o pista metálica 75b, que se conecta al tapón metálico 7f descrito previamente. El conector metálico 350 que conecta el punto de contacto P1 de los circuitos 700 y el punto de contacto P3 de los circuitos 800 incluye uno de los tapones metálicos 7p en el uno de los chips 118, uno de los tapones metálicos 7p en el otro de los chips 118, y uno de los conectores metálicos 3. El conector metálico 350 que conecta el punto de contacto P2 de los circuitos 700 y el punto de contacto P4 de los circuitos 800 incluye otro de los tapones metálicos 7p en el uno de los chips 118, otro de los tapones metálicos 7p en el otro de los chips 118, y otro de los conectores metálicos 3.

[0690] En referencia a la fig. 276, los circuitos 700 pueden incluir dos circuitos entre chips 200a y 200b, dos circuitos internos 200c y 200d, dos circuitos fuera de chip 57a y 57b, y dos circuitos de interfaz de pruebas 333a y 333b. Los circuitos 800 pueden incluir dos circuitos entre chips 200e y 200f, dos circuitos internos 200g y 200h, dos circuitos fuera de chip 57c y 57d, y dos circuitos de interfaz de pruebas 333c y 333d.

[0691] El circuito entre chips 200a de los circuitos 700 puede incluir un separador entre chips 701a y un circuito ESD (descarga electrostática) entre chips 701b. El separador entre chips 701a tiene un primer nodo FN1 y un segundo nodo SN1, y el circuito ESD entre chips 701b tiene un nodo FN1. El separador entre chips 701a puede ser un receptor entre chips que puede ser un inversor compuesto por un transistor NMOS 751a y un transistor PMOS 751b. Las compuertas del transistor NMOS 751a y el transistor PMOS 751b sirven como un nodo

de entrada que es el primer nodo FN1 del separador entre chips 701a. Los drenadores del transistor NMOS 751a y el transistor PMOS 751b sirven como un nodo de salida que es el segundo nodo SN1 del separador entre chips 701a.

[0692] De forma alternativa, el separador entre chips 701a puede ser un receptor entre chips en cascada de etapas múltiples que incluye varias etapas de inversores. Por ejemplo, en referencia a la fig. 277, el separador entre chips 701a puede ser un receptor entre chips en cascada de dos etapas. La primera etapa 584a del receptor entre chips en cascada de dos etapas es un inversor compuesto por el transistor NMOS 751a y el transistor PMOS 751b, y la segunda etapa 584b (la última etapa) del receptor entre chips en cascada de dos etapas es un inversor compuesto por un transistor NMOS 751c y un transistor PMOS 751d. El tamaño del transistor NMOS 751c es mayor que el del transistor NMOS 751a, y el tamaño del transistor PMOS 751d es mayor que el del transistor PMOS 751b. Las compuertas del transistor NMOS 751a y el transistor PMOS 751b sirven como un nodo de entrada que es el primer nodo FN1 del separador entre chips 701a. Los drenadores del transistor NMOS 751c y el transistor PMOS 751d sirven como un nodo de salida que es el segundo nodo SN1 del separador entre chips 701a. Los drenadores del transistor NMOS 751a y el transistor PMOS 751b se conectan a las compuertas del transistor NMOS 751c y el transistor PMOS 751d.

[0693] En referencia a la fig. 276, el circuito entre chips 200b de los circuitos 700 puede incluir un separador entre chips 702a y un circuito ESD (descarga electrostática) entre chips 702b. El separador entre chips 702a tiene un primer nodo FN2 y un segundo nodo SN2, y el circuito ESD entre chips 702b tiene un nodo En conectado al segundo nodo SN2. El separador entre chips 702a puede ser un controlador entre chips que puede ser un inversor compuesto por un transistor NMOS 752a y un transistor PMOS 752b. Las compuertas del transistor NMOS 752a y el transistor PMOS 752b sirven como un nodo de entrada que es el primer nodo FN2 del separador entre chips 702a. Los drenadores del transistor NMOS 752a y el transistor PMOS 752b sirven como un nodo de salida que es el segundo nodo SN2 del separador entre chips 702a.

[0694] De forma alternativa, el separador entre chips 702a puede ser un controlador entre chips en cascada de etapas múltiples que incluye varias etapas de inversores. Por ejemplo, en referencia a la fig. 278, el separador entre chips 702a puede ser un controlador entre chips en cascada de dos etapas. La primera etapa 585a del controlador entre chips en cascada de dos etapas es un inversor compuesto por un transistor NMOS 752c y un transistor PMOS 752d, y la segunda etapa 585b (la última etapa) del controlador entre chips en cascada de dos etapas es un inversor compuesto por el transistor NMOS 752a y el transistor PMOS 752b. El tamaño del transistor NMOS 752a es mayor que el del transistor NMOS 752c, y el tamaño del transistor PMOS 752b es mayor que el del transistor PMOS 752d. Las compuertas del transistor NMOS 752c y el transistor PMOS 752d sirven como un nodo de entrada que es el primer nodo FN2 del separador entre chips 702a. Los drenadores del transistor NMOS 752a y el transistor PMOS 752b sirven como un nodo de salida que es el segundo nodo SN2 del separador entre chips 702a. Los drenadores del transistor NMOS 752c y el transistor PMOS 752d se conectan a las compuertas del transistor NMOS 752a y el transistor PMOS 752b.

[0695] En referencia a la fig. 276, el circuito entre chips 200e de los circuitos 800 puede incluir un separador entre chips 703a y un circuito ESD (descarga electrostática) entre chips 703b. El separador entre chips 703a tiene un primer nodo FN3 y un segundo nodo SN3, y el circuito ESD entre chips 703b tiene un nodo En conectado al segundo nodo SN3. El separador entre chips 703a puede ser un controlador entre chips que puede ser un inversor compuesto por un transistor NMOS 753a y un transistor PMOS 753b. Las compuertas del transistor NMOS 753a y el transistor PMOS 753b sirven como un nodo de entrada que es el primer nodo FN3 del separador entre chips 703a. Los drenadores del transistor NMOS 753a y el transistor PMOS 753b sirven como un nodo de salida que es el segundo nodo SN3 del separador entre chips 703a.

[0696] De forma alternativa, el separador entre chips 703a puede ser un controlador entre chips en cascada de etapas múltiples que incluye varias etapas de inversores. Por ejemplo, en referencia a la fig. 279, el separador entre chips 703a puede ser un controlador entre chips en cascada de dos etapas. La primera etapa 586a del controlador entre chips en cascada de dos etapas es un inversor compuesto por un transistor NMOS 753c y un transistor PMOS 753d, y la segunda etapa 586b (la última etapa) del controlador entre chips en cascada de dos etapas es un inversor compuesto por el transistor NMOS 753a y el transistor PMOS 753b. El tamaño del transistor NMOS 753a es mayor que el del transistor NMOS 753c, y el tamaño del transistor PMOS 753b es mayor que el del transistor PMOS 753d. Las compuertas del transistor NMOS 753c y el transistor PMOS 753d sirven como un nodo de entrada que es el primer nodo FN3 del separador entre chips 703a. Los drenadores del transistor NMOS 753a y el transistor PMOS 753b sirven como un nodo de salida que es el segundo nodo SN3 del separador entre chips 703a. Los drenadores del transistor NMOS 753c y el transistor PMOS 753d se conectan a las compuertas del transistor NMOS 753a y el transistor PMOS 753b.

[0697] En referencia a la fig. 276, el circuito entre chips 200f de los circuitos 800 puede incluir un separador entre chips 704a y un circuito ESD (descarga electrostática) entre chips 704b. El separador entre chips 704a tiene un primer nodo FN4 y un segundo nodo SN4, y el circuito ESD entre chips 704b tiene un nodo En conectado al primer nodo FN4. El separador entre chips 704a puede ser un receptor entre chips que puede ser un inversor compuesto por un transistor NMOS 754a y un transistor PMOS 754b. Las compuertas del transistor NMOS 754a y el transistor PMOS 754b sirven como un nodo de entrada que es el primer nodo FN4 del separador entre chips 704a. Los drenadores del transistor

NMOS 754a y el transistor PMOS 754b sirven como un nodo de salida que es el segundo nodo SN4 del separador entre chips 704a.

[0698] De forma alternativa, el separador entre chips 704a puede ser un receptor entre chips en cascada de etapas múltiples que incluye varias etapas de inversores. Por ejemplo, en referencia a la fig. 280, el separador entre chips 704a puede ser un receptor entre chips en cascada de dos etapas. La primera etapa 587a del receptor entre chips en cascada de dos etapas es un inversor compuesto por el transistor NMOS 754a y el transistor PMOS 754b, y la segunda etapa 587b (la última etapa) del receptor entre chips en cascada de dos etapas es un inversor compuesto por un transistor NMOS 754c y un transistor PMOS 754d. El tamaño del transistor NMOS 754c es mayor que el del transistor NMOS 754a, y el tamaño del transistor PMOS 754d es mayor que el del transistor PMOS 754b. Las compuertas del transistor NMOS 754a y el transistor PMOS 754b sirven como un nodo de entrada que es el primer nodo FN4 del separador entre chips 704a. Los drenadores del transistor NMOS 754c y el transistor PMOS 754d sirven como un nodo de salida que es el segundo nodo SN4 del separador entre chips 704a. Los drenadores del transistor NMOS 754a y el transistor PMOS 754b se conectan a las compuertas del transistor NMOS 754c y el transistor PMOS 754d.

[0699] En referencia a la fig. 276, el circuito fuera de chip 57a de los circuitos 700 puede incluir una separador fuera de chip 61a y un circuito ESD (descarga electrostática) fuera de chip 59a. El separador fuera de chip 61a tiene un primer nodo FN5 y un segundo nodo SN5, y el circuito ESD fuera de chip 59a tiene un nodo En conectado al primer nodo FN5. El separador fuera de chip 61a puede ser un receptor fuera de chip que puede ser un inversor compuesto por un transistor NMOS 4205 y un transistor PMOS 4206. Las compuertas del transistor NMOS 4205 y el transistor PMOS 4206 sirven como un nodo de entrada que es el primer nodo FN5 del separador fuera de chip 61a. Los drenadores del transistor NMOS 4205 y el transistor PMOS 4206 sirven como un nodo de salida que es el segundo nodo SN5 del separador fuera de chip 61a.

[0700] De forma alternativa, el separador fuera de chip 61a puede ser un receptor fuera de chip en cascada de etapas múltiples que incluye varias etapas de inversores. Por ejemplo, en referencia a la fig. 281, el separador fuera de chip 61a puede ser un receptor fuera de chip en cascada de dos etapas. La primera etapa 425a del receptor fuera de chip en cascada de dos etapas es un inversor compuesto por el transistor NMOS 4205 y el transistor PMOS 4206, y la segunda etapa 425b (la última etapa) del receptor fuera de chip en cascada de dos etapas es un inversor compuesto por un transistor NMOS 4207 y un transistor PMOS 4208. El tamaño del transistor NMOS 4207 es mayor que el del transistor NMOS 4205, y el tamaño del transistor PMOS 4208 es mayor que el del transistor PMOS 4206. Las compuertas del transistor NMOS 4205 y el transistor PMOS 4206 sirven como un nodo de entrada que es el primer nodo FN5 del separador fuera de chip 61a. Los drenadores del transistor NMOS 4207 y el transistor PMOS 4208 sirven como un nodo de salida que es el segundo nodo SN5 del separador fuera de chip 61a. Los drenadores del transistor NMOS 4205 y el transistor PMOS 4206 se conectan a las compuertas del transistor NMOS 4207 y el transistor PMOS 4208.

[0701] En referencia a la fig. 276, el circuito fuera de chip 57b de los circuitos 700 puede incluir una separador fuera de chip 61b y un circuito ESD (descarga electrostática) fuera de chip 59b. El separador fuera de chip 61b tiene un primer nodo FN6 y un segundo nodo SN6, y el circuito ESD fuera de chip 59b tiene un nodo En conectado al segundo nodo SN6. El separador fuera de chip 61b puede ser un controlador fuera de chip que puede ser un inversor compuesto por un transistor NMOS 4203 y un transistor PMOS 4204. Las compuertas del transistor NMOS 4203 y el transistor PMOS 4204 sirven como un nodo de entrada que es el primer nodo FN6 del separador fuera de chip 61b, y los drenadores del transistor NMOS 4203 y el transistor PMOS 4204 sirven como un nodo de salida que es el segundo nodo SN6 del separador fuera de chip 61b.

[0702] De forma alternativa, el separador fuera de chip 61b puede ser un controlador fuera de chip en cascada de etapas múltiples que incluye varias etapas de inversores. Por ejemplo, en referencia a la fig. 282, el separador fuera de chip 61b puede ser un controlador fuera de chip en cascada de dos etapas. La primera etapa 426a del controlador fuera de chip en cascada de dos etapas es un inversor compuesto por un transistor NMOS 4201 y un transistor PMOS 4202, y la segunda etapa 426b (la última etapa) del controlador fuera de chip en cascada de dos etapas es un inversor compuesto por el transistor NMOS 4203 y el transistor PMOS 4204. El tamaño del transistor NMOS 4203 es mayor que el del transistor NMOS 4201, y el tamaño del transistor PMOS 4204 es mayor que el del transistor PMOS 4202. Las compuertas del transistor NMOS 4201 y el transistor PMOS 4202 sirven como un nodo de entrada que es el primer nodo FN6 del separador fuera de chip 61b. Los drenadores del transistor NMOS 4203 y el transistor PMOS 4204 sirven como un nodo de salida que es el segundo nodo SN6 del separador fuera de chip 61b. Los drenadores del transistor NMOS 4201 y el transistor PMOS 4202 se conectan a las compuertas del transistor NMOS 4203 y el transistor PMOS 4204.

[0703] En referencia a la fig. 276, el circuito fuera de chip 57c de los circuitos 800 puede incluir una separador fuera de chip 61c y un circuito ESD (descarga electrostática) fuera de chip 59c. El separador fuera de chip 61c tiene un primer nodo FN7 y un segundo nodo SN7, y el circuito ESD fuera de chip 59c tiene un nodo En conectado al segundo nodo SN7. El separador fuera de chip 61c puede ser un controlador fuera de chip que puede ser un inversor compuesto por un transistor NMOS 4303 y un transistor PMOS 4304. Las compuertas del transistor NMOS 4303 y el transistor PMOS 4304 sirven como un nodo de entrada que es el primer nodo FN7 del separador fuera de chip 61c. Los

drenadores del transistor NMOS 4303 y el transistor PMOS 4304 sirven como un nodo de salida que es el segundo nodo SN7 del separador fuera de chip 61c.

[0704] De forma alternativa, el separador fuera de chip 61c puede ser un controlador fuera de chip en cascada de etapas múltiples que incluye varias etapas de inversores. Por ejemplo, en referencia a la fig. 283, el separador fuera de chip 61c puede ser un controlador fuera de chip en cascada de dos etapas. La primera etapa 427a del controlador fuera de chip en cascada de dos etapas es un inversor compuesto por un transistor NMOS 4301 y un transistor PMOS 4302, y la segunda etapa 427b (la última etapa) del controlador fuera de chip en cascada de dos etapas es un inversor compuesto por el transistor NMOS 4303 y el transistor PMOS 4304. El tamaño del transistor NMOS 4303 es mayor que el del transistor NMOS 4301, y el tamaño del transistor PMOS 4304 es mayor que el del transistor PMOS 4302. Las compuertas del transistor NMOS 4301 y el transistor PMOS 4302 sirven como un nodo de entrada que es el primer nodo FN7 del separador fuera de chip 61c. Los drenadores del transistor NMOS 4303 y el transistor PMOS 4304 sirven como un nodo de salida que es el segundo nodo SN7 del separador fuera de chip 61c. Los drenadores del transistor NMOS 4301 y el transistor PMOS 4302 se conectan a las compuertas del transistor NMOS 4303 y el transistor PMOS 4304.

[0705] En referencia a la fig. 276, el circuito fuera de chip 57d de los circuitos 800 puede incluir un separador fuera de chip 61d y un circuito ESD (descarga electrostática) fuera de chip 59d. El separador fuera de chip 61d tiene un primer nodo FN8 y un segundo nodo SN8, y el circuito ESD fuera de chip 59d tiene un nodo En conectado al primer nodo FN8. El separador fuera de chip 61d puede ser un receptor fuera de chip que puede ser un inversor compuesto por un transistor NMOS 4305 y un transistor PMOS 4306. Las compuertas del transistor NMOS 4305 y el transistor PMOS 4306 sirven como un nodo de entrada que es el primer nodo FN8 del separador fuera de chip 61d. Los drenadores del transistor NMOS 4305 y el transistor PMOS 4306 sirven como un nodo de salida que es el segundo nodo SN8 del separador fuera de chip 61d.

[0706] De forma alternativa, el separador fuera de chip 61d puede ser un receptor fuera de chip en cascada de etapas múltiples que incluye varias etapas de inversores. Por ejemplo, en referencia a la fig. 284, el separador fuera de chip 61d puede ser un receptor fuera de chip en cascada de dos etapas. La primera etapa 428a del receptor fuera de chip en cascada de dos etapas es un inversor compuesto por el transistor NMOS 4305 y el transistor PMOS 4306, y la segunda etapa 428b (la última etapa) del receptor fuera de chip en cascada de dos etapas es un inversor compuesto por un transistor NMOS 4307 y un transistor PMOS 4308. El tamaño del transistor NMOS 4307 es mayor que el del transistor NMOS 4305, y el tamaño del transistor PMOS 4308 es mayor que el del transistor PMOS 4306. Las compuertas del transistor NMOS 4305 y el transistor PMOS 4306 sirven como un nodo de entrada que es el primer nodo FN8 del separador fuera de chip 61d. Los drenadores del transistor NMOS 4307 y el transistor PMOS 4308 sirven como un nodo de salida que es el segundo nodo SN8 del separador fuera de chip 61d. Los drenadores del transistor NMOS 4305 y el transistor PMOS 4306 se conectan a las compuertas del transistor NMOS 4307 y el transistor PMOS 4308.

[0707] La fig. 285 es otro ejemplo de un diagrama de circuito. El diagrama del circuito mostrado en la fig. 285 es similar al mostrado en la fig. 276, excepto que los separadores entre chips 701a, 702a, 703a y 704a mostrados en la fig. 285 se diseñan con separadores de tres estados entre chips, incluyendo cada uno un controlador de tres estados y un receptor de tres estados, en lugar de los receptores y controladores entre chips, y los separadores fuera de chip 61a, 61b, 61c y 61d mostrados en la fig. 285 se diseñan con separadores de tres estados fuera de chip, incluyendo cada uno un controlador de tres estados y un receptor de tres estados, en lugar de los receptores y controladores fuera de chip. En la fig. 285, el separador entre chips 701a de los circuitos 700 puede ser un separador de tres estados entre chips que tiene un primer nodo de E/S (entrada/salida) que sirve como el primer nodo FN1 del separador entre chips 701a, y que tiene un segundo nodo de E/S que sirve como el segundo nodo SN1 del separador entre chips 701a. El separador entre chips 702a de los circuitos 700 puede ser un separador de tres estados entre chips que tiene un primer nodo de E/S que sirve como el primer nodo FN2 del separador entre chips 702a, y que tiene un segundo nodo de E/S que sirve como el segundo nodo SN2 del separador entre chips 702a. El separador entre chips 703a de los circuitos 800 puede ser un separador de tres estados entre chips que tiene un primer nodo de E/S que sirve como el primer nodo FN3 del separador entre chips 703a, y que tiene un segundo nodo de E/S que sirve como el segundo nodo SN3 del separador entre chips 703a. El separador entre chips 704a de los circuitos 800 puede ser un separador de tres estados entre chips que tiene un primer nodo de E/S que sirve como el primer nodo FN4 del separador entre chips 704a, y que tiene un segundo nodo de E/S que sirve como el segundo nodo SN4 del separador entre chips 704a. El separador fuera de chip 61a de los circuitos 700 puede ser un separador de tres estados fuera de chip que tiene un primer nodo de E/S que sirve como el primer nodo FN5 del separador fuera de chip 61a, y que tiene un segundo nodo de E/S que sirve como el segundo nodo SN5 del separador fuera de chip 61a. El separador fuera de chip 61b de los circuitos 700 puede ser un separador de tres estados fuera de chip que tiene un primer nodo de E/S que sirve como el primer nodo FN6 del separador fuera de chip 61b, y que tiene un segundo nodo de E/S que sirve como el segundo nodo SN6 del separador fuera de chip 61b. El separador fuera de chip 61c de los circuitos 800 puede ser un separador de tres estados fuera de chip que tiene un primer nodo de E/S que sirve como el primer nodo FN7 del separador fuera de chip 61c, y que tiene un segundo nodo de E/S que sirve como el segundo nodo SN7 del separador fuera de chip 61c. El separador fuera de chip 61d de los circuitos 800 puede ser un separador de tres estados fuera de chip que tiene un primer nodo de E/S que sirve como el primer nodo FN8 del separador fuera de chip 61d, y que tiene un segundo nodo de E/S que sirve como el segundo nodo SN8 del separador fuera de chip 61d.

[0708] En referencia a las fig. 276 o 285, cada uno de los circuitos internos 200c, 200d, 200g y 200h puede ser una compuerta NOR, una compuerta NAND, una compuerta AND, una compuerta OR, un amplificador operacional, una celda de memoria flash, una celda de memoria dinámica de acceso aleatorio (DRAM), una celda de memoria estática de acceso aleatorio (SRAM), una celda de memoria no volátil, una celda de memoria de solo lectura programable borrrable (EPROM), una celda de memoria de solo lectura (ROM), una celda de memoria de acceso aleatorio magnética (MRAM), un amplificador de detección, un convertidor de analógico a digital (A/D), un convertidor de digital a analógico (D/A), un inversor, un sumador, un multiplexor, un diplexor, un multiplicador, un dispositivo semiconductor complementario de óxido metálico (CMOS), un dispositivo CMOS bipolar, un circuito bipolar o un circuito analógico.

Cada uno de los circuitos internos 200c, 200d, 200g y 200h puede incluir un transistor NMOS (transistor de semiconductor de óxido metálico de tipo n) que tiene una proporción de un ancho de canal físico del mismo con respecto a una longitud de canal físico del mismo que varía, por ejemplo, de aproximadamente 0,1 y 20, que varía, por ejemplo, de aproximadamente 0,1 y 10, o que varía, por ejemplo, de aproximadamente 0,2 y 2. De forma alternativa, cada uno de los circuitos internos 200c, 200d, 200g y 200h puede incluir un transistor PMOS (transistor de semiconductor de óxido metálico de tipo p) que tiene una proporción de un ancho de canal físico del mismo con respecto a una longitud de canal físico del mismo que varía, por ejemplo, de aproximadamente 0,2 y 40, que varía, por ejemplo, de aproximadamente 0,2 y 20, o que varía, por ejemplo, de aproximadamente 0,4 y 4. Cada uno de los circuitos ESD entre chips 701b, 702b, 703b y 704b y cada uno de los circuitos ESD fuera de chip 59a, 59b, 59c y 59d puede incluir una o más unidades ESD (descarga electrostática) compuesta cada una por dos diodos de polarización inversa o por un transistor PMOS y un transistor NMOS.

[0709] El primer nodo FN1 del separador entre chips 701a se puede conectar al nodo En del circuito ESD entre chips 701b, a un primer terminal F1 del circuito de interfaz de pruebas 333a a través de un conector metálico 740b de los circuitos 700, y al punto de contacto P1 de los circuitos 700 a través del conector metálico 740b. El segundo nodo SN1 del separador entre chips 701a se puede conectar al circuito interno 200c a través de un conector metálico 740a de los circuitos 700.

[0710] El primer nodo FN2 del separador entre chips 702a se puede conectar al circuito interno 200d a través de un conector metálico 740c de los circuitos 700. El segundo nodo SN2 del separador entre chips 702a se puede conectar al nodo En del circuito ESD entre chips 702b, a un primer terminal F2 del circuito de interfaz de pruebas 333b a través de un conector metálico 740d de los circuitos 700, y al punto de contacto P2 de los circuitos 700 a través del conector metálico 740d.

[0711] El primer nodo FN3 del separador entre chips 703a se puede conectar al circuito interno 200g a través de un conector metálico 740e de los circuitos 800. El segundo nodo SN3 del separador entre chips 703a se puede conectar al nodo En del circuito ESD entre chips 703b, a un primer terminal F3 del circuito de interfaz de pruebas 333c a través de un conector metálico 740f de los circuitos 800, y al punto de contacto P3 de los circuitos 800 a través del conector metálico 740f.

[0712] El primer nodo FN4 del separador entre chips 704a se puede conectar al nodo En del circuito ESD entre chips 704b, a un primer terminal F4 del circuito de interfaz de pruebas 333d a través de un conector metálico 740h de los circuitos 800, y al punto de contacto P4 de los circuitos 800 a través del conector metálico 740h. El segundo nodo SN4 del separador entre chips 704a se puede conectar al circuito interno 200h a través de una línea de interconexión metálica 740g de los circuitos 800.

[0713] El primer nodo FN5 del separador fuera de chip 61a se puede conectar al nodo En del circuito ESD fuera de chip 59a, y al punto de contacto P5 de los circuitos 700 a través de un conector metálico 740j de los circuitos 700. El segundo nodo SN5 del separador fuera de chip 61a se puede conectar a un segundo terminal S1 del circuito de interfaz de pruebas 333a a través de un conector metálico 740i de los circuitos 700.

[0714] El primer nodo FN6 del separador fuera de chip 61b se puede conectar a un segundo terminal S2 del circuito de interfaz de pruebas 333b a través de un conector metálico 740k de los circuitos 700. El segundo nodo SN6 del separador fuera de chip 61b se puede conectar al nodo En del circuito ESD fuera de chip 59b y al punto de contacto P6 de los circuitos 700 a través de un conector metálico 740m de los circuitos 700.

[0715] El primer nodo FN7 del separador fuera de chip 61c se puede conectar a un segundo terminal S3 del circuito de interfaz de pruebas 333c a través de un conector metálico 740n de los circuitos 800. El segundo nodo SN7 del separador fuera de chip 61c se puede conectar al nodo En del circuito ESD fuera de chip 59c y al punto de contacto P7 de los circuitos 800 a través de un conector metálico 740p de los circuitos 800.

[0716] El primer nodo FN8 del separador fuera de chip 61d se puede conectar al nodo En del circuito ESD fuera de chip 59d y al punto de contacto P8 de los circuitos 800 a través de un conector metálico 740r de los circuitos 800. El segundo nodo SN8 del separador fuera de chip 61d se puede conectar a un segundo terminal S4 del circuito de interfaz de pruebas 333d a través de un conector metálico 740q de los circuitos 800.

[0717] Los conectores metálicos 740a, 740b, 740c, 740d, 740i, 740j, 740k y 740m de los circuitos 700 se pueden proporcionar por las capas 26 y 34 y los tapones de vía 26a y 34a del chip 68 mientras que los circuitos 700 se proporcionan en el chip 68; de forma alternativa, los conectores metálicos 740a, 740b, 740c, 740d, 740i, 740j, 740k y 740m de los circuitos 700 se pueden proporcionar por las capas 106 y 114 y los tapones de vía 106a y 114a del chip 72 mientras que los circuitos 700 se proporcionan en el chip 72; de forma alternativa, los conectores metálicos 740a, 740b, 740c, 740d, 740i, 740j, 740k y 740m de los circuitos 700 se pueden proporcionar por las capas 17 y 19 y los tapones de vía 17a y 19a del chip 118 mientras que los circuitos 700 se proporcionan en el chip 118.

[0718] Los conectores metálicos 740e, 740f, 740g, 740h, 740n, 740p, 740q y 740r de los circuitos 800 se pueden proporcionar por las capas 26 y 34 y los tapones de vía 26a y 34a del chip 68 mientras que los circuitos 800 se proporcionan en el chip 68; de forma alternativa, los conectores metálicos 740e, 740f, 740g, 740h, 740n, 740p, 740q y 740r de los circuitos 800 se pueden proporcionar por las capas 106 y 114 y los tapones de vía 106a y 114a del chip 72 mientras que los circuitos 800 se proporcionan en el chip 72; de forma alternativa, los conectores metálicos 740e, 740f, 740g, 740h, 740n, 740p, 740q y 740r de los circuitos 800 se pueden proporcionar por las capas 17 y 19 y los tapones de vía 17a y 19a del chip 118 mientras que los circuitos 800 se proporcionan en el chip 118.

[0719] Los separadores entre chips pequeños 701a, 702a, 703a y 704a se diseñan en los circuitos 700 y 800 para la transmisión de señales, reloj o datos entre los circuitos 700 y 800. El número total de separadores entre chips que incluyen los separadores entre chips 701a y 702a sobre el chip que tiene los circuitos 700 puede ser igual a o más de, por ejemplo, 512, y preferentemente igual a o más de, por ejemplo, 1024. El número total de separadores entre chips que incluyen los separadores entre chips 703a y 704a sobre el chip que tiene los circuitos 800 puede ser igual a o más de, por ejemplo, 512, y preferentemente igual a o más de, por ejemplo, 1024.

[0720] Los separadores grandes fuera de chip 61a, 61b, 61c y 61d, tales como controladores fuera de chip, receptores fuera de chip o separadores de tres estados fuera de chip, se diseñan en los circuitos 700 y 800 para pruebas de circuito y/o para la transmisión de señales, reloj o datos desde/hasta un circuito externo del sistema en paquete o del módulo multichip, tal como placa base, sustrato de metal, sustrato de vidrio, sustrato de cerámica o el portador 176 descrito previamente, a través de las protuberancias o bolas de soldadura 126 descritas previamente, a través de las protuberancias metálicas 672 descritas previamente o a través de los hilos unidos por hilo 184 descritos previamente. El circuito de pruebas es (i) las pruebas a nivel de oblea realizadas antes de que el chip que tiene los circuitos 700 u 800 se corte o se separe de una oblea, o bien (ii) las pruebas a nivel de paquete (las pruebas finales) después de que el chip que tiene los circuitos 700 y el chip que tiene los circuitos 800 se conecten entre sí.

[0721] Los circuitos de interfaz de pruebas 333a y 333b se diseñan en los circuitos 700, y los circuitos de interfaz de pruebas 333c y 333d se diseñan en los circuitos 800. La capacitancia de salida en el primer terminal F1 o F4 del circuito de interfaz de pruebas 333a o 333d mostrado en la fig. 276 como se observa desde el separador entre chips 701a o 704a es de menos de 2 pF, por ejemplo de menos de 1 pF o de menos de 0,2 pF. La capacitancia de carga de salida del primer terminal F1 o F4 del circuito de interfaz de pruebas 333a o 333d mostrado en la fig. 276 es de menos de 2 pF, por ejemplo de menos de 1 pF o de menos de 0,2 pF. La capacitancia de entrada en el primer terminal F2 o F3 del circuito de interfaz de pruebas 333b o 333c mostrado en la fig. 276 como se ve desde el separador entre chips 702a o 703a es de menos de 2 pF, por ejemplo de menos de 1 pF o de menos de 0,2 pF. La capacitancia de carga de entrada del primer terminal F2 o F3 del circuito de interfaz de pruebas 333b o 333c mostrado en la fig. 276 es de menos de 2 pF, por ejemplo de menos de 1 pF o de menos de 0,2 pF. La capacitancia de entrada o salida en el primer terminal F1, F2, F3 o F4 del circuito de interfaz de pruebas 333a, 333b, 333c o 333d mostrado en la fig. 285 como se observa desde el separador entre chips 701a, 702a, 703a o 704a es de menos de 2 pF, por ejemplo de menos de 1 pF o de menos de 0,2 pF. La capacitancia de carga de entrada o salida del primer terminal F1, F2, F3 o F4 del circuito de interfaz de pruebas 333a, 333b, 333c o 333d mostrado en la fig. 285 es de menos de 2 pF, por ejemplo de menos de 1 pF o de menos de 0,2 pF. Cada uno de los circuitos de interfaz de pruebas 333a, 333b, 333c y 333d mostrados en las fig. 276 o 285 puede ser un circuito de prueba de exploración, y el circuito de prueba de exploración se puede usar para pruebas de exploración realizadas en las pruebas a nivel de oblea, por medio del punto de contacto P5, P6, P7 o P8 que se conecta a una sonda de pruebas, antes de que el chip que tiene los circuitos 700 u 800 se corte o se separe de una oblea o en las pruebas a nivel de paquete (las pruebas finales) después de que el chip que tiene los circuitos 700 y el chip que tiene los circuitos 800 se conecten entre sí usando el procedimiento descrito previamente. El circuito de prueba de exploración se usa para someter a prueba biestables por la introducción de la señal de entrada de exploración o la emisión de la señal de salida de exploración.

[0722] En referencia a las fig. 276 o 285, los conectores metálicos 350 se pueden usar para líneas o conectores de reloj, o para líneas o conectores de señal, tales como líneas de bits, conectores de bits, líneas de direcciones o conectores de direcciones.

[0723] El número total de líneas de bits o conectores de bits, proporcionados por los dos conectores metálicos 350, en comunicación de datos paralela entre el chip que tiene los circuitos 700 y el chip que tiene el circuito 800 puede ser de dos, por ejemplo, como se muestra en la fig. 276 o 285. En este caso, el ancho de bits de la comunicación de datos paralela entre el chip que tiene los circuitos 700 y el chip que tiene los circuitos 800 es de dos. De forma alternativa, el número total de líneas de bits o conectores de bits en comunicación de datos paralela entre el chip que tiene los circuitos 700 y el chip que tiene el circuito 800 puede ser igual a o más de 4, 8, 16, 32, 64, 128, 256, 512 o 1024; eso

significa que el ancho de bits de la comunicación de datos paralela puede ser igual a o más de 4, 8, 16, 32, 64, 128, 256, 512 o 1024. Téngase en cuenta que, en estas alternativas, solo se muestran dos líneas de bits o conectores de bits 350 (y sus correspondientes separadores entre chips 701a, 702a, 703a y 704a) en la fig. 276 o 285, y no se muestran otras líneas de bits o conectores de bits (y sus correspondientes separadores entre chips) en la fig. 276 o 285, pero ellos (y sus correspondientes separadores entre chips) se diseñan de la misma manera que las dos líneas de bits o conectores de bits 350 (y sus correspondientes separadores 701a, 702a, 703a y 704a) mostrados en la fig. 276 o 285. Cada uno de los conectores metálicos 350 usados para las líneas de bits o conectores de bits conecta el separador entre chips 701a o 702a de los circuitos 700 al separador entre chips 703a o 704a de los circuitos 800. Como un ejemplo de un caso de ancho de bits de 1024, hay 1024 separadores entre chips, tal como 701a o 702a, del chip que tiene los circuitos 700, conectados a 1024 líneas de bits o conectores de bits, tal como 350, y a continuación conectados a 1024 separadores entre chips, tal como 703a o 704a, del chip que tiene los circuitos 800. En consecuencia, el número total de los separadores entre chips 701a y 702a conectados con las líneas de bits o conectores de bits en comunicación de datos paralela entre el chip que tiene los circuitos 700 y el chip que tiene los circuitos 800 es igual al número total de las líneas de bits o conectores de bits, y también es igual al número total de los separadores entre chips 703a y 704a conectados con las líneas de bits o conectores de bits. La comunicación de datos de las líneas de bits o conectores de bits, como los conectores metálicos 350, entre el chip que tiene los circuitos 700 y el chip que tiene los circuitos 800 puede tener un ancho de bits de datos igual a o más de, por ejemplo, 2, 4, 8, 16, 32, 64, 128, 256, 512 o 1024, y preferentemente igual a o más de 512 o 1024.

[0724] En referencia a las fig. 276 o 285, los circuitos ESD entre chips pequeños 701b, 702b, 703b y 704b se usan para los separadores entre chips pequeños 701a, 702a, 703a y 704a entre el chip que tiene los circuitos 700 y el chip que tiene los circuitos 800 para protección de carga electrostática durante el procedimiento de fabricación del empaque o ensamblaje del chip. De forma alternativa, no se puede requerir ningún circuito ESD para los separadores entre chips pequeños 701a, 702a, 703a y 704a entre el chip que tiene los circuitos 700 y el chip que tiene los circuitos 800, es decir, los circuitos ESD entre chips 701b, 702b, 703b y 704b se pueden omitir. En otras palabras, no hay ningún circuito ESD conectado a los conectores metálicos 740b, 740d, 740f y 740h.

[0725] Los circuitos ESD fuera de chip grandes 59a, 59b, 59c y 59d requeridos para los separadores fuera de chip grandes 61a, 61b, 61c y 61d se diseñan en ambos circuitos 700 y 800 para las pruebas de circuito y/o para transmisión de señales, reloj o datos desde/hasta un circuito externo del sistema en paquete o del módulo multichip, tal como placa base, sustrato de metal, sustrato de vidrio, sustrato de cerámica o el portador 176 descrito previamente, a través de las protuberancias o bolas de soldadura 126 descritas previamente, a través de las protuberancias metálicas 672 descritas previamente, o a través de los hilos unidos por hilo 184 descritos previamente. Las pruebas de circuito son (i) las pruebas a nivel de oblea realizadas antes de que el chip que tiene los circuitos 700 u 800 se corte o se separe de una oblea, o bien (ii) las pruebas a nivel de paquete (las pruebas finales) después de que el chip que tiene los circuitos 700 y el chip que tiene los circuitos 800 se conecten entre sí. Los circuitos ESD fuera de chip grandes 59a, 59b, 59c y 59d se usan para la protección de carga electrostática durante las pruebas de circuito, tales como las pruebas a nivel de oblea o las pruebas a nivel de paquete (las pruebas finales).

[0726] El tamaño del circuito ESD entre chips pequeño 701b, 702b, 703b o 704b puede ser menor que el tamaño del circuito ESD fuera de chip grande 59a, 59b, 59c o 59d, respectivamente. Por ejemplo, el tamaño del circuito ESD entre chips 701b, 702b, 703b o 704b se puede definir como la carga o capacitancia del circuito ESD entre chips 701b, 702b, 703b o 704b, y el tamaño del circuito ESD fuera de chip 59a, 59b, 59c o 59d se puede definir como la carga o capacitancia del circuito ESD fuera de chip 59a, 59b, 59c o 59d. En un caso, cada uno de los circuitos ESD entre chips pequeños 701b, 702b, 703b y 704b tiene un tamaño (carga o capacitancia) de menos de 2 pF (picofaradios), tal como de entre 0,01 y 2 pF, por ejemplo de menos de 0,5 pF, tal como de entre 0,01 y 0,5 pF, y cada uno de los circuitos ESD fuera de chip grandes 59a, 59b, 59c y 59d tiene un tamaño (carga o capacitancia) mayor que 2 pF, tal como de entre 2 y 100 pF, por ejemplo mayor que 5 pF, tal como de entre 5 y 100 pF. En otro caso, cada uno de los circuitos ESD entre chips pequeños 701b, 702b, 703b y 704b tiene un tamaño (carga o capacitancia) de menos de 1 pF, tal como de entre 0,01 y 1 pF, y cada uno de los circuitos ESD fuera de chip grandes 59a, 59b, 59c y 59d tiene un tamaño (carga o capacitancia) mayor que 1 pF, tal como de entre 1 y 100 pF.

[0727] De forma alternativa, el tamaño del circuito ESD entre chips pequeño 701b, 702b, 703b o 704b o el tamaño del circuito ESD fuera de chip grande 59a, 59b, 59c o 59d se puede definir como a continuación. Un circuito ESD (descarga electrostática), tal como el circuito ESD entre chips 701b, 702b, 703b o 704b o el circuito ESD fuera de chip 59a, 59b, 59c o 59d, puede incluir una o más unidades ESD, y cada una de las unidades ESD puede incluir una región activa P⁺ y una región activa N⁺ conectada a la región activa P⁺ y a un punto de contacto de E/S (entrada/salida) o punto de contacto de pruebas, tal como el punto de contacto P1, P2, P3, P4, P5, P6, P7 o P8 mostrado en la fig. 276 o 285, de un chip. El área de la región activa P⁺ más el área de la región activa N⁺ es igual al área activa de cada una de las unidades ESD. El total de las áreas activas de las unidades ESD es igual al área activa del circuito ESD. Si el circuito ESD está compuesto por solo una unidad ESD, el área activa del circuito ESD es igual al área activa de la sola una unidad ESD. Si el circuito ESD está compuesto por múltiples unidades ESD, el área activa del circuito ESD es igual al total de las áreas activas de las unidades ESD conectadas en paralelo. El área activa del circuito ESD se puede usar para definir el tamaño del circuito ESD. Las figs. 286-291 muestran cómo calcular el área activa de una unidad ESD de un chip y definen el tamaño de un circuito ESD compuesto por una o más unidades ESD.

[0728] En referencia a la fig. 286, una unidad de descarga electrostática (ESD) 759 de un chip puede estar compuesta por dos diodos de polarización inversa 5931 y 5932. La fig. 288 muestra una vista en sección transversal de la unidad ESD 759 mostrada en la fig. 286, y la fig. 289 es una vista en perspectiva superior que muestra la topografía de la unidad ESD 759 derivada de la superficie superior Z-Z' de un sustrato de silicio de tipo p 401 mostrado en la fig. 288.

[0729] En referencia a las figs. 286, 288 y 289, la unidad ESD 759 incluye dos regiones activas P⁺ 757a y 757b y dos regiones activas N⁺ 758a y 758b. La región activa P⁺ 757a está en un pozo N 755 en el sustrato de silicio de tipo p 401, y la región activa N⁺ 758a está en el sustrato de silicio de tipo p 401. La región activa P⁺ 757a está conectada a un punto de contacto de E/S o un punto de contacto de pruebas, tal como el punto de contacto P1, P2, P3 o P4 de los circuitos 700 mostrados en la fig. 276 o 285 o el punto de contacto P5, P6, P7 o P8 de los circuitos 800 mostrados en la fig. 276 o 285, del chip a través de un conector metálico 763a del chip. La región activa N⁺ 758a está conectada a la región activa P⁺ 757a y al punto de contacto de E/S o al punto de contacto de pruebas del chip a través del conector metálico 763a. El conector metálico 763a incluye una capa metálica de línea fina 660a formada sobre una capa dieléctrica 330 encima del sustrato de silicio de tipo p 401, un primer tapón de vía 661 formado sobre una región de contacto 764a de la región activa P⁺ 757a y en la capa dieléctrica 330, y un segundo tapón de vía 661 formado sobre una región de contacto 764b de la región activa N⁺ 758a y en la capa dieléctrica 330. La región activa P⁺ 757b está en el sustrato de silicio de tipo p 401, y la región activa N⁺ 758b está en el pozo N 755 en el sustrato de silicio de tipo p 401. La región activa P⁺ 757b está conectada a un bus de tierra a través de un conector metálico 763b, y la región activa N⁺ 758b está conectada a un bus de potencia a través de un conector metálico 763c. El conector metálico 763b contiene una capa metálica de línea fina 660b formada sobre la capa dieléctrica 330 encima del sustrato de silicio de tipo p 401, y un tercer tapón de vía 661 formado sobre una región de contacto 764c de la región activa P⁺ 757b y en la capa dieléctrica 330. El conector metálico 763c contiene una capa metálica de línea fina 660c formada sobre la capa dieléctrica 330 encima del sustrato de silicio de tipo p 401, y un cuarto tapón de vía 661 formado sobre una región de contacto 764d de la región activa N⁺ 758b y en la capa dieléctrica 330.

[0730] En referencia a la fig. 289, la región activa P⁺ 757a, conectada al punto de contacto de E/S o al punto de contacto de pruebas del chip, tiene un área AR1, desde una vista superior, rodeada por un óxido de campo 762 en el sustrato de silicio de tipo p 401. La región activa N⁺ 758a, conectada al punto de contacto de E/S o al punto de contacto de pruebas del chip, tiene un área AR2, desde una vista superior, rodeada por el óxido de campo 762 en el sustrato de silicio de tipo p 401. El área activa de la unidad ESD 759 es igual al área AR1 más el área AR2.

[0731] De forma alternativa, en referencia a la fig. 287, la unidad ESD 759 del chip puede estar compuesta por un transistor PMOS 681 y un transistor NMOS 682. La fig. 290 muestra una vista en sección transversal de la unidad ESD 759 mostrada en la fig. 287, y la fig. 291 es una vista en perspectiva superior que muestra la topografía de la unidad ESD 759 derivada de la superficie superior Z-Z' del sustrato de silicio de tipo p 401 mostrado en la fig. 290.

[0732] En referencia a las figs. 287, 290 y 291, el transistor PMOS 681 de la unidad ESD 759 incluye una compuerta 761a y dos regiones activas P⁺ 757a y 757c en dos lados opuestos de la compuerta 761a, y el transistor NMOS 682 de la unidad ESD 759 incluye una compuerta 761b y dos regiones activas N⁺ 758a y 758c en dos lados opuestos de la compuerta 761b. La región activa P⁺ 757a está en un pozo N 755 en el sustrato de silicio de tipo p 401, y la región activa N⁺ 758a está en el sustrato de silicio de tipo p 401. La región activa P⁺ 757a está conectada a un punto de contacto de E/S o un punto de contacto de pruebas, tal como el punto de contacto P1, P2, P3 o P4 de los circuitos 700 mostrados en la fig. 276 o 285 o el punto de contacto P5, P6, P7 o P8 de los circuitos 800 mostrados en la fig. 276 o 285, del chip a través de un conector metálico 763a del chip. La región activa N⁺ 758a está conectada a la región activa P⁺ 757a y al punto de contacto de E/S o al punto de contacto de pruebas del chip a través del conector metálico 763a. El conector metálico 763a contiene una capa metálica de línea fina 660a formada sobre una capa dieléctrica 330 encima del sustrato de silicio de tipo p 401, un primer tapón de vía 661 formado sobre una región de contacto 764a de la región activa P⁺ 757a y en la capa dieléctrica 330, y un segundo tapón de vía 661 formado sobre una región de contacto 764b de la región activa N⁺ 758a y en la capa dieléctrica 330. La región activa P⁺ 757b está en el sustrato de silicio de tipo p 401, y la región activa N⁺ 758b está en el pozo N 755 en el sustrato de silicio de tipo p 401. La región activa P⁺ 757c está en el pozo N 755 en el sustrato de silicio de tipo p 401, y la región activa N⁺ 758c está en el sustrato de silicio de tipo p 401. La región activa N⁺ 758c está conectada a un bus de tierra del chip a través de un conector metálico 763b del chip y a la región activa P⁺ 757b a través del conector metálico 763b, y la región activa P⁺ 757b está conectada al bus de tierra a través del conector metálico 763b. La región activa P⁺ 757c está conectada a un bus de potencia del chip a través de un conector metálico 763c del chip y a la región activa N⁺ 758b a través del conector metálico 763c, y la región activa N⁺ 758b está conectada al bus de potencia a través del conector metálico 763c. El conector metálico 763b contiene una capa metálica de línea fina 660b formada sobre la capa dieléctrica 330 encima del sustrato de silicio de tipo p 401, un tercer tapón de vía 661 formado sobre una región de contacto 764c de la región activa P⁺ 757b y en la capa dieléctrica 330, y un cuarto tapón de vía 661 formado sobre una región de contacto 764e de la región activa N⁺ 758c y en la capa dieléctrica 330. El conector metálico 763c contiene una capa metálica de línea fina 660c formada sobre la capa dieléctrica 330 encima del sustrato de silicio de tipo p 401, un quinto tapón de vía 661 formado sobre una región de contacto 764d de la región activa N⁺ 758b, y un sexto tapón de vía 661 formado sobre una región de contacto 764f de la región activa P⁺ 757c. La compuerta 761a tiene una región de contacto 764g conectada al bus de potencia del chip y a las regiones de contacto 764d y 764f a través del conector metálico 763c. La compuerta 761b tiene una región de contacto 764h conectada al bus de tierra del chip y a las regiones de contacto 764c y 764e a través del conector metálico 763b.

[0733] En referencia a la fig. 291, la región activa P⁺ 757a, conectada al punto de contacto de E/S o al punto de contacto de pruebas del chip, tiene un área AR3, desde una vista superior, rodeada por la frontera definida por una pared lateral 748 de la compuerta 761a y el límite entre un óxido de campo 762 y la región activa P⁺ 757a. La región activa N⁺ 758a, conectada al punto de contacto de E/S o al punto de contacto de pruebas del chip, tiene un área AR4, desde una vista superior, rodeada por la frontera definida por una pared lateral 749 de la compuerta 761b y el límite entre el óxido de campo 762 y la región activa N⁺ 758a. El área activa de la unidad ESD 759 es igual al área AR3 más el área AR4.

[0734] Basado en la definición o cálculo previamente descrito ilustrado en las figs. 286-291, se puede calcular el área activa de cada una de las unidades ESD de un circuito ESD, y el total de áreas activas de las unidades ESD es igual al área activa del circuito ESD. Si el circuito ESD está compuesto por solo una unidad ESD, el área activa del circuito ESD es igual al área activa de la sola una unidad ESD. Si el circuito ESD está compuesto por múltiples unidades ESD, el área activa del circuito ESD es igual al total de las áreas activas de las unidades ESD conectadas en paralelo.

[0735] En consecuencia, se puede calcular el área activa de cada uno de los circuitos ESD entre chips 701b, 702b, 703b y 704b y el área activa de cada uno de los circuitos ESD fuera de chip 59a, 59b, 59c y 59d. Por ejemplo, el circuito ESD entre chips pequeño 701b, 702b, 703b o 704b puede tener un área activa de menos de 1300 milímetros cuadrados, tal como de entre 6,5 y 1300 milímetros cuadrados, por ejemplo de menos de 325 milímetros cuadrados, tal como de entre 6,5 y 325 milímetros cuadrados, y el circuito ESD fuera de chip grande 59a, 59b, 59c o 59d puede tener un área activa mayor que 1300 milímetros cuadrados, tal como de entre 1300 y 65.000 milímetros cuadrados, por ejemplo mayor que 3250 milímetros cuadrados, tal como de entre 3250 y 65.000 milímetros cuadrados. De forma alternativa, el circuito ESD entre chips pequeño 701b, 702b, 703b o 704b puede tener un área activa de menos de 650 milímetros cuadrados, y el circuito ESD fuera de chip grande 59a, 59b, 59c o 59d puede tener un área activa mayor que 650 milímetros cuadrados.

[0736] El tamaño del circuito ESD fuera de chip grande 59a de los circuitos 700, definido como el total de las áreas activas de la una o más unidades ESD en el circuito ESD fuera de chip grande 59a o la carga o capacitancia del circuito ESD fuera de chip grande 59a, puede ser mayor que el tamaño del circuito ESD entre chips pequeño 701b de los circuitos 700, definido como el total de las áreas activas de la una o más unidades ESD en el circuito ESD entre chips pequeño 701b o la carga o capacitancia del circuito ESD entre chips pequeño 701b, en más de 3 veces, 10 veces, 25 veces o 50 veces, tal como de entre 3 y 50 veces.

[0737] El tamaño del circuito ESD fuera de chip grande 59b de los circuitos 700, definido como el total de las regiones activas de la una o más unidades ESD en el circuito ESD fuera de chip grande 59b o la carga o capacitancia del circuito ESD fuera de chip grande 59b, puede ser mayor que el tamaño del circuito ESD entre chips pequeño 702b de los circuitos 700, definido como el total de las regiones activas de la una o más unidades ESD en el circuito ESD entre chips pequeño 702b o la carga o capacitancia del circuito ESD entre chips pequeño 702b, en más de 3 veces, 10 veces, 25 veces o 50 veces, tal como de entre 3 y 50 veces.

[0738] El tamaño del circuito ESD fuera de chip grande 59c de los circuitos 800, definido como el total de las regiones activas de la una o más unidades ESD en el circuito ESD fuera de chip grande 59c o la carga o capacitancia del circuito ESD fuera de chip grande 59c, puede ser mayor que el tamaño del circuito ESD entre chips pequeño 703b de los circuitos 800, definido como el total de las regiones activas de la una o más unidades ESD en el circuito ESD entre chips pequeño 703b o la carga o capacitancia del circuito ESD entre chips pequeño 703b, en más de 3 veces, 10 veces, 25 veces o 50 veces, tal como de entre 3 y 50 veces.

[0739] El tamaño del circuito ESD fuera de chip grande 59d de los circuitos 800, definido como el total de las regiones activas de la una o más unidades ESD en el circuito ESD fuera de chip grande 59d o la carga o capacitancia del circuito ESD fuera de chip grande 59d, puede ser mayor que el tamaño del circuito ESD entre chips pequeño 704b de los circuitos 800, definido como el total de las regiones activas de la una o más unidades ESD en el circuito ESD entre chips pequeño 704b o la carga o capacitancia del circuito ESD entre chips pequeño 704b, en más de 3 veces, 10 veces, 25 veces o 50 veces, tal como de entre 3 y 50 veces.

[0740] En referencia a la fig. 276, el tamaño del separador entre chips 702a o 703a se puede caracterizar por la carga del separador entre chips 702a o 703a. La carga del separador entre chips 702a o 703a es la carga de capacitancia equivalente total del separador entre chips 702a o 703a. La carga (capacitancia) del separador entre chips 702a o 703a, tal como la carga (capacitancia) del inversor de última etapa 585b o 586b, con los drenadores del transistor NMOS 752a o 753a y el transistor PMOS 752b o 753b conectados al punto de contacto P2 o P3, del controlador entre chips en cascada de dos etapas mostrado en la fig. 278 o 279, puede ser de menos de 10 pF, tal como de entre 0,01 pF y 10 pF o de entre 0,1 pF y 5 pF, de menos de 2 pF, tal como de entre 0,001 pF y 2 pF, o de menos de 1 pF, tal como de entre 0,01 pF y 1 pF. El tamaño del separador entre chips 701a o 704a se puede caracterizar por una capacitancia (carga) de entrada del separador entre chips 701a o 704a, y la capacitancia (carga) de entrada del separador entre chips 701a o 704a puede ser de menos de 10 pF, tal como de entre 0,01 pF y 10 pF o de entre 0,1 pF y 5 pF, de menos de 2 pF, tal como de entre 0,001 pF y 2 pF, o de menos de 1 pF, tal como de entre 0,01 pF y 1 pF.

[0741] En referencia a la fig. 285, el tamaño del separador entre chips 701a, 702a, 703a o 704a se puede caracterizar por la carga del separador entre chips 701a, 702a, 703a o 704a. La carga del separador entre chips 701a, 702a, 703a o 704a es la carga de capacitancia equivalente total del separador entre chips 701a, 702a, 703a o 704a. La carga (capacitancia) del separador entre chips 701a, 702a, 703a o 704a, tal como la carga (capacitancia) de un controlador de tres estados de última etapa, con los drenadores de un transistor NMOS y un transistor PMOS conectados al punto de contacto P1, P2, P3 o P4, de un separador de tres estados en cascada de etapas múltiples, puede ser de menos de 10 pF, tal como de entre 0,01 pF y 10 pF o de entre 0,1 pF y 5 pF, de menos de 2 pF, tal como de entre 0,001 pF y 2 pF, o de menos de 1 pF, tal como de entre 0,01 pF y 1 pF.

[0742] En referencia a la fig. 276, el tamaño del separador fuera de chip 61b o 61c se puede caracterizar por la carga del separador fuera de chip 61b o 61c. La carga del separador fuera de chip 61b o 61c es la carga de capacitancia equivalente total del separador fuera de chip 61b o 61c. La carga (capacitancia) del separador fuera de chip 61b o 61c, tal como la carga (capacitancia) del controlador de última etapa 426b o 427b, con los drenadores del transistor NMOS 4203 o 4303 y el transistor PMOS 4204 o 4304 conectados al punto de contacto P6 o P7, del controlador fuera de chip en cascada de etapas múltiples mostrado en la fig. 282 o 283, puede ser mayor que 10 pF, tal como de entre 10 pF y 100 pF, mayor que 2 pF, tal como de entre 2 y 100 pF, o mayor que 1 pF, tal como de entre 1 pF y 100 pF. El tamaño del separador fuera de chip 61a o 61d se puede caracterizar por una capacitancia (carga) de entrada del separador fuera de chip 61a o 61d, y la capacidad (carga) de entrada del separador fuera de chip 61a o 61d puede ser mayor que 10 pF, tal como de entre 10 pF y 100 pF, mayor que 2 pF, tal como de entre 2 y 100 pF, o mayor que 1 pF, tal como de entre 1 pF y 100 pF.

[0743] En referencia a la fig. 285, el tamaño del separador fuera de chip 61a, 61b, 61c o 61d se puede caracterizar por la carga del separador fuera de chip 61a, 61b, 61c o 61d. La carga del separador fuera de chip 61a, 61b, 61c o 61d es la carga de capacitancia equivalente total del separador fuera de chip 61a, 61b, 61c o 61d. La carga (capacitancia) del separador fuera de chip 61a, 61b, 61c o 61d, tal como la carga (capacitancia) de un controlador de tres estados de última etapa, con los drenadores de un transistor NMOS y un transistor PMOS conectados al punto de contacto P5, P6, P7 o P8, de una separador de tres estados en cascada de etapas múltiples, puede ser mayor que 10 pF, tal como de entre 10 pF y 100 pF, mayor que 2 pF, tal como de entre 2 y 100 pF, o mayor que 1 pF, tal como de entre 1 pF y 100 pF.

[0744] La carga (capacitancia) del separador fuera de chip 61b mostrado en la fig. 276 o 285 es mayor que la carga (capacitancia) del separador entre chips 702a mostrado en la fig. 276 o 285 en más de 3 veces, 10 veces, 25 veces o 50 veces, tal como de entre 3 y 100 veces. La carga (capacitancia) del separador fuera de chip 61c mostrado en la fig. 276 o 285 es mayor que la carga (capacitancia) del separador entre chips 703a mostrado en la fig. 276 o 285 en más de 3 veces, 10 veces, 25 veces o 50 veces, tal como de entre 3 y 100 veces.

[0745] En referencia a la fig. 276 o 285, el tamaño del separador entre chips 702a o 703a se puede caracterizar por una corriente de control de cresta del separador entre chips 702a o 703a, y el tamaño del separador fuera de chip 61b o 61c se puede caracterizar por una corriente de control de cresta del separador fuera de chip 61b o 61c. La corriente de control de cresta del separador fuera de chip 61b o 61c es mayor que la corriente de control de cresta del separador entre chips 702a o 703a en más de 3 veces, 10 veces, 25 veces o 50 veces, tal como de entre 3 y 100 veces.

[0746] Por ejemplo, con respecto al separador entre chips 702a mostrado en la fig. 276, cuando el transistor PMOS 752b está encendido y el transistor NMOS 752a está apagado, la carga descrita previamente controlada por el separador entre chips 702a se carga con una corriente de carga. Cuando el transistor NMOS 752a está encendido y el transistor PMOS 752b está apagado, la carga de la carga descrita previamente controlada por el separador entre chips 702a se descarga con una corriente de descarga. La corriente de carga o descarga de cresta (una función de las tensiones de polarización) del transistor NMOS 752a o el transistor PMOS 752b se puede usar para definir la corriente de control de cresta del separador entre chips 702a. Con respecto al separador fuera de chip 61b mostrado en la fig. 276, cuando el transistor PMOS 4204 está encendido y el transistor NMOS 4203 está apagado, la carga descrita previamente controlada por el separador fuera de chip 61b se carga con una corriente de carga. Cuando el transistor NMOS 4203 está encendido y el transistor PMOS 4204 está apagado, la carga descrita previamente controlada por el separador fuera de chip 61b se descarga con una corriente de descarga. La corriente de carga o descarga de cresta (una función de las tensiones de polarización) del transistor NMOS 4203 o el transistor PMOS 4204 se puede usar para definir la corriente de control de cresta del separador fuera de chip 61b. La corriente de control de cresta del separador fuera de chip 61b es mayor que la corriente de control de cresta del separador entre chips 702a en más de 3 veces, 10 veces, 25 veces o 50 veces, tal como de entre 3 y 100 veces.

[0747] En referencia a la fig. 276 o 285, el tamaño del separador entre chips 702a o 703a se puede caracterizar por una resistencia en conducción de un transistor en el controlador de última etapa del separador entre chips 702a o 703a, y el tamaño del separador fuera de chip 61b o 61c se puede caracterizar por una resistencia en conducción de un transistor en el controlador de última etapa del separador fuera de chip 61b o 61c. La resistencia en conducción del separador fuera de chip 61b o 61c es mayor que la resistencia en conducción del separador entre chips 702a o 703a en más de 3 veces, 10 veces, 25 veces o 50 veces, tal como de entre 3 y 100 veces.

[0748] Por ejemplo, con respecto al separador entre chips 702a mostrado en la fig. 276, cuando el transistor PMOS 752b está encendido y el transistor NMOS 752a está apagado, la carga descrita previamente controlada por el separador entre chips 702a se carga, y el transistor PMOS 752b es equivalente a un resistor con una resistencia en conducción. Cuando el transistor NMOS 752a está encendido y el transistor PMOS 752b está apagado, la carga descrita previamente controlada por el separador entre chips 702a se descarga, y el transistor NMOS 752a es equivalente a un resistor con resistencia de una resistencia en conducción. La resistencia en conducción (una función de las tensiones de polarización) del transistor NMOS 752a o del transistor PMOS 752b se puede usar para caracterizar el tamaño del separador entre chips 702a. Con respecto al separador fuera de chip 61b mostrado en la fig. 276, cuando el transistor PMOS 4204 está encendido y el transistor NMOS 4203 está apagado, la carga descrita previamente controlada por el separador fuera de chip 61b se carga y el transistor PMOS 4204 es equivalente a un resistor con una resistencia en conducción. Cuando el transistor NMOS 4203 está encendido y el transistor PMOS 4204 está apagado, la carga descrita previamente controlada por el separador fuera de chip 61b se descarga, y el transistor NMOS 4203 es equivalente a un resistor con una resistencia en conducción. La resistencia en conducción (una función de las tensiones de polarización) del transistor NMOS 4203 o del transistor PMOS 4204 se puede usar para caracterizar el tamaño del separador fuera de chip 61b.

[0749] En referencia a la fig. 276 o 285, el tamaño del separador entre chips 701a, 702a, 703a o 704a o el tamaño del separador fuera de chip 61a, 61b, 61c o 61d se puede caracterizar por una proporción de un ancho de canal físico con respecto a una longitud de canal físico de un transistor NMOS o un transistor PMOS. La fig. 292 o 293 muestra cómo definir o calcular un ancho de canal físico y una longitud de canal físico de un transistor NMOS o un transistor PMOS.

[0750] La fig. 292 o 293 muestra una vista superior de un transistor MOS (transistor de semiconductor de óxido metálico) que puede ser un transistor PMOS o un transistor NMOS. En referencia a la fig. 292, un transistor MOS de un chip incluye una región activa 600, región de difusión, en un sustrato semiconductor del chip, una región de óxido de campo 602 en el sustrato semiconductor y alrededor de la región activa 600, una compuerta 604 en la región de óxido de campo 602 y a través de la región activa 600, y un óxido de compuerta (no mostrado) entre la región activa 600 y la compuerta 604. La región activa 600 se puede definir como una fuente 606 en un lado de la compuerta 604, y un drenador 608 en el otro lado de la compuerta 604. El material de la compuerta 604 puede ser polisilicio, siliciuro metálico o capa compuesta por los materiales anteriores, y el siliciuro metálico puede ser NiSi, CoS, TiSi₂ o WSi. De forma alternativa, el material de la compuerta 604 puede ser un metal, tal como W, WN, TiN, Ta, TaN, Mo, o una aleación o una capa compuesta por los materiales anteriores. El material del óxido de la compuerta puede ser óxido de silicio u óxido de alta k, tal como óxido que contiene Hf. El óxido que contiene Hf puede ser HfO₂, HfSiON o HfSiO. La marca de referencia de W se define como el ancho de canal físico del transistor MOS, la longitud de la compuerta 604 que cruza encima de la región de difusión 600; la marca de referencia de L se define como la longitud de canal físico del transistor MOS, el ancho de la compuerta 604 encima de la región de difusión 600.

[0751] En referencia a la fig. 293, de forma alternativa, un transistor MOS puede incluir una compuerta 604 con múltiples partes 604₁-604_n encima de una o más regiones de difusión 600. Las marcas de referencia de W₁-W_n se definen como el ancho de canal físico de cada parte 604₁-604_n de la compuerta 604, la longitud de cada parte 604₁-604_n de la compuerta 604 que cruza encima de la(s) región/regiones de difusión 600; la marca de referencia de L se define como la longitud de canal físico de una de las partes 604₁-604_n de la compuerta 604, el ancho de una de las partes 604₁-604_n de la compuerta 604 encima de la(s) región/regiones de difusión 600. En este caso, el ancho de canal físico del transistor MOS es la suma de los anchos de canal físico W₁-W_n de cada parte 604₁-604_n de la compuerta 604, y la longitud de canal físico del transistor MOS es la longitud de canal físico L de una de las partes 604₁-604_n de la compuerta 604.

[0752] En consecuencia, la definición del ancho de canal físico y la longitud de canal físico del transistor MOS como se ilustra en la fig. 292 o 293 puede ser aplicable a diversas características/estructuras descritas en el presente documento.

[0753] El tamaño del separador entre chips 702a mostrado en la fig. 276 se puede caracterizar por una proporción de un ancho de canal físico con respecto a una longitud de canal físico del transistor NMOS 752a o el transistor PMOS 752b. Como se muestra, los drenadores del transistor NMOS 752a y el transistor PMOS 752b se pueden conectar al punto de contacto P2 de los circuitos 700 a través de la línea de interconexión metálica 740d. Si el separador entre chips 702a es el controlador entre chips en cascada de dos etapas mostrado en la fig. 278, el tamaño del separador entre chips 702a se puede caracterizar por la proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor NMOS 752a o el transistor PMOS 752b en el controlador de última etapa 585b, y los drenadores del transistor NMOS 752a y el transistor PMOS 752b se conectan al punto de contacto P2 de los circuitos 700 a través del conector metálico 740d. La proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor NMOS 752a puede ser, por ejemplo, de entre 1 y 50, y en modos de realización ejemplares, la proporción puede ser de entre 1 y 20. La proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor PMOS 752b puede ser un valor adecuado, por ejemplo, de entre 1 y 100; en modos de realización ejemplares, la proporción puede ser de entre 1 y 40.

[0754] El tamaño del separador entre chips 703a mostrado en la fig. 276 se puede caracterizar por una proporción de un ancho de canal físico con respecto a una longitud de canal físico del transistor NMOS 753a o el transistor PMOS

753b. Como se muestra, los drenadores del transistor NMOS 753a y el transistor PMOS 753b se pueden conectar al punto de contacto P3 de los circuitos 800 a través del conector metálico 740f. Si el separador entre chips 703a es el controlador entre chips en cascada de dos etapas mostrado en la fig. 279, el tamaño del separador entre chips 703a se puede caracterizar por la proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor NMOS 753a o el transistor PMOS 753b en el controlador de última etapa 586b, y los drenadores del transistor NMOS 753a y el transistor PMOS 753b se conectan al punto de contacto P3 de los circuitos 800 a través del conector metálico 740f. La proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor NMOS 753a puede ser, por ejemplo, de entre 1 y 50, y en modos de realización ejemplares, la proporción puede ser de entre 1 y 20. La proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor PMOS 753b puede ser, por ejemplo, de entre 1 y 100, y en modos de realización ejemplares, la proporción puede ser de entre 1 y 40.

[0755] El tamaño del separador fuera de chip 61b mostrado en la fig. 276 se puede caracterizar por una proporción de un ancho de canal físico con respecto a una longitud de canal físico del transistor NMOS 4203 o el transistor PMOS 4204. Como se muestra, los drenadores del transistor NMOS 4203 y el transistor PMOS 4204 se pueden conectar al punto de contacto P6 de los circuitos 700 a través del conector metálico 740m. Si el separador fuera de chip 61b es el controlador fuera de chip en cascada de dos etapas mostrado en la fig. 282, el tamaño del separador fuera de chip 61b se puede caracterizar por la proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor NMOS 4203 o el transistor PMOS 4204 en el controlador de última etapa 426b, y los drenadores del transistor NMOS 4203 y el transistor PMOS 4204 se conectan al punto de contacto P6 de los circuitos 700 a través del conector metálico 740m. La proporción del ancho de canal físico con respecto a la longitud del canal físico del transistor NMOS 4203 puede ser, por ejemplo, mayor que 30, tal como de entre 30 y 20.000, y en modos de realización ejemplares la proporción puede ser mayor que 50, tal como de entre 50 y 300. La proporción entre el ancho del canal físico y la longitud del canal físico del transistor PMOS 4204 puede ser, por ejemplo, mayor que 60, tal como entre 60 y 40.000, y en modos de realización ejemplares, la proporción puede ser mayor que 100, tal como de entre 100 y 600. Para modos de realización ejemplares, la proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor NMOS 4203 puede ser mayor que la proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor NMOS 752a, por ejemplo, en más de 3 veces, 10 veces, 25 veces o 50 veces, tal como de entre 3 y 100 veces. Además, para modos de realización ejemplares, la proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor PMOS 4204 puede ser mayor que la proporción del ancho de canal físico con respecto a la longitud del canal físico del transistor PMOS 752b, por ejemplo, en más de 3 veces, 10 veces, 25 veces o 50 veces, tal como de entre 3 y 100 veces.

[0756] El tamaño del separador fuera de chip 61c mostrado en la fig. 276 se puede caracterizar por una proporción de un ancho de canal físico con respecto a una longitud de canal físico del transistor NMOS 4303 o el transistor PMOS 4304. Como se muestra, los drenadores del transistor NMOS 4303 y el transistor PMOS 4304 se pueden conectar al punto de contacto P7 de los circuitos 800 a través del conector metálico 740p. Si el separador fuera de chip 61c es el controlador fuera de chip en cascada de dos etapas mostrado en la fig. 283, el tamaño del separador fuera de chip 61c se puede caracterizar por la proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor NMOS 4303 o el transistor PMOS 4304 en el controlador de última etapa 427b, y los drenadores del transistor NMOS 4303 y el transistor PMOS 4304 se conectan al punto de contacto P7 de los circuitos 800 a través del conector metálico 740p. La proporción del ancho de canal físico con respecto a la longitud del canal físico del transistor NMOS 4303 puede ser, por ejemplo, mayor que 30, tal como de entre 30 y 20.000, y en modos de realización ejemplares la proporción puede ser mayor que 50, tal como de entre 50 y 300. La proporción entre el ancho del canal físico y la longitud del canal físico del transistor PMOS 4304 puede ser, por ejemplo, mayor que 60, tal como entre 60 y 40.000, y en modos de realización ejemplares, la proporción puede ser mayor que 100, tal como de entre 100 y 600. La proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor NMOS 4303 puede ser mayor que la proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor NMOS 753a, por ejemplo, en más de 3 veces, 10 veces, 25 veces o 50 veces, tal como de entre 3 y 100 veces. La proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor PMOS 4304 puede ser mayor que la proporción del ancho de canal físico con respecto a la longitud del canal físico del transistor PMOS 753b, por ejemplo, en más de 3 veces, 10 veces, 25 veces o 50 veces, tal como de entre 3 y 100 veces.

[0757] El tamaño del separador entre chips 701a o 702a mostrado en la fig. 285 se puede caracterizar por una proporción de un ancho de canal físico con respecto a una longitud de canal físico de un transistor NMOS o transistor PMOS del controlador de tres estados del separador de tres estados entre chips. Como se muestra, el controlador de tres estados se puede conectar al punto de contacto P1 o P2 de los circuitos 700 a través del conector metálico 740b o 740d. La proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor NMOS del controlador de tres estados puede ser, por ejemplo, de entre 1 y 50, y en modos de realización ejemplares de entre 1 y 20. La proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor PMOS del controlador de tres estados puede ser, por ejemplo, de entre 1 y 100, y en modos de realización ejemplares de entre 1 y 40.

[0758] Si el separador entre chips 701a o 702a mostrado en la fig. 285 es un separador de tres estados de etapas múltiples, el tamaño del separador entre chips 701a o 702a se puede caracterizar por una proporción de un ancho de canal físico con respecto a una longitud de canal físico de un transistor NMOS o un transistor PMOS en el controlador de tres estados de última etapa del separador de tres estados de etapas múltiples. Como se muestra, el controlador

de tres estados de última etapa se puede conectar al punto de contacto P1 o P2 de los circuitos 700 a través del conector metálico 740b o 740d. La proporción del ancho de canal físico y la longitud de canal físico del transistor NMOS del controlador de tres estados de última etapa puede ser, por ejemplo, de entre 1 y 50, y en modos de realización ejemplares, la proporción puede ser de entre 1 y 20. La proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor PMOS del controlador de tres estados de última etapa puede ser de entre 1 y 100, y en modos de realización ejemplares, la proporción puede ser de entre 1 y 40.

[0759] El tamaño del separador entre chips 703a o 704a mostrado en la fig. 285 se puede caracterizar por una proporción de un ancho de canal físico con respecto a una longitud de canal físico de un transistor NMOS o transistor PMOS del controlador de tres estados del separador de tres estados entre chips. Como se muestra, el controlador de tres estados se puede conectar al punto de contacto P3 o P4 de los circuitos 800 a través del conector metálico 740f o 740h. La proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor NMOS del controlador de tres estados es de entre 1 y 50, y en modos de realización ejemplares de entre 1 y 20. La proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor PMOS del controlador de tres estados es de entre 1 y 100, y en modos de realización ejemplares puede ser de entre 1 y 40.

[0760] Si el separador entre chips 703a o 704a mostrado en la fig. 285 es un separador de tres estados de etapas múltiples, el tamaño del separador entre chips 703a o 704a se puede caracterizar por una proporción de un ancho de canal físico con respecto a una longitud de canal físico de un transistor NMOS o un transistor PMOS en el controlador de tres estados de última etapa del separador de tres estados de etapas múltiples. Como se muestra, el controlador de tres estados de última etapa se puede conectar al punto de contacto P3 o P4 de los circuitos 800 a través del conector metálico 740f o 740h. La proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor NMOS del controlador de tres estados de última etapa puede ser, por ejemplo, de entre 1 y 50, y en modos de realización ejemplares puede ser de entre 1 y 20. La proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor PMOS del controlador de tres estados de última etapa puede ser, por ejemplo, de entre 1 y 100, y en modos de realización ejemplares puede ser de entre 1 y 40.

[0761] El tamaño del separador fuera de chip 61a o 61b mostrado en la fig. 285 se puede caracterizar por una proporción de un ancho de canal físico con respecto a una longitud de canal físico de un transistor NMOS o un transistor PMOS de un controlador de tres estados del separador de tres estados fuera de chip. Como se muestra, el controlador de tres estados se puede conectar al punto de contacto P5 o P6 de los circuitos 700 a través del conector metálico 740j o 740m. La proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor NMOS del controlador de tres estados puede ser, por ejemplo, mayor que 30, tal como de entre 30 y 20.000, y en modos de realización ejemplares, la proporción puede ser mayor que 50, tal como de entre 50 y 300. La proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor PMOS del controlador de tres estados puede ser, por ejemplo, mayor que 60, tal como de entre 60 y 40.000, y en modos de realización ejemplares puede ser mayor que 100, tal como de entre 100 y 600.

[0762] Si el separador fuera de chip 61a o 61b mostrado en la fig. 285 es un separador de tres estados de etapas múltiples, el tamaño del separador fuera de chip 61a o 61b se puede caracterizar por una proporción de un ancho de canal físico con respecto a una longitud de canal físico de un transistor NMOS o un transistor PMOS en el controlador de tres estados de última etapa del separador de tres estados de etapas múltiples. Como se muestra, el controlador de tres estados de última etapa se puede conectar al punto de contacto P5 o P6 de los circuitos 700 a través del conector metálico 740j o 740m. La proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor NMOS del controlador de tres estados de última etapa puede ser, por ejemplo, mayor que 30, tal como de entre 30 y 20.000, y en modos de realización ejemplares, la proporción puede ser mayor que 50, tal como de entre 50 y 300. La proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor PMOS del controlador de tres estados de última etapa puede ser mayor que 60, tal como de entre 60 y 40.000, y en modos de realización ejemplares puede ser mayor que 100, tal como de entre 100 y 600.

[0763] La proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor NMOS del controlador de tres estados (en la última etapa) del separador de tres estados fuera de chip 61a o 61b mostrado en la fig. 285 puede ser mayor que la proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor NMOS del controlador de tres estados (en la última etapa) del separador de tres estados entre chips 701a o 702a mostrado en la fig. 285, por ejemplo, en más de 3 veces, 10 veces, 25 veces o 50 veces, tal como de entre 3 y 100 veces. La proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor PMOS del controlador de tres estados (en la última etapa) del separador de tres estados fuera de chip 61a o 61b mostrado en la fig. 285 puede ser mayor que la proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor PMOS del controlador de tres estados (en la última etapa) del separador de tres estados entre chips 701a o 702a mostrado en la fig. 285, por ejemplo, en más de 3 veces, 10 veces, 25 veces o 50 veces, tal como de entre 3 y 100 veces.

[0764] El tamaño del separador fuera de chip 61c o 61d mostrado en la fig. 285 se puede caracterizar por una proporción de un ancho de canal físico con respecto a una longitud de canal físico de un transistor NMOS o un transistor PMOS de un controlador de tres estados del separador de tres estados fuera de chip. Como se muestra, el controlador de tres estados se puede conectar al punto de contacto P7 o P8 de los circuitos 800 a través del conector

metálico 740p o 740r. La proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor NMOS del controlador de tres estados puede ser, por ejemplo, mayor que 30, tal como de entre 30 y 20.000, y en modos de realización ejemplares puede ser mayor que 50, tal como de entre 50 y 300. La proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor PMOS del controlador de tres estados puede ser, por ejemplo, mayor que 60, tal como de entre 60 y 40.000, y en modos de realización ejemplares, la proporción puede ser mayor que 100, tal como de entre 100 y 600.

[0765] Si el separador fuera de chip 61c o 61d mostrado en la fig. 285 es un separador de tres estados de etapas múltiples, el tamaño del separador fuera de chip 61c o 61d se puede caracterizar por una proporción de un ancho de canal físico con respecto a una longitud de canal físico de un transistor NMOS o un transistor PMOS en el controlador de tres estados de última etapa del separador de tres estados de etapas múltiples. Como se muestra, el controlador de tres estados de última etapa se puede conectar al punto de contacto P7 o P8 de los circuitos 800 a través del conector metálico 740p o 740r. La proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor NMOS del controlador de tres estados de última etapa puede ser, por ejemplo, mayor que 30, tal como de entre 30 y 20.000, y en modos de realización ejemplares, la proporción puede ser mayor que 50, tal como de entre 50 y 300. La proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor PMOS del controlador de tres estados de última etapa puede ser, por ejemplo, mayor que 60, tal como de entre 60 y 40.000, y en modos de realización ejemplares puede ser mayor que 100, tal como de entre 100 y 600.

[0766] La proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor NMOS del controlador de tres estados (en la última etapa) del separador de tres estados fuera de chip 61c o 61d mostrado en la fig. 285 puede ser mayor que la proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor NMOS del controlador de tres estados (en la última etapa) del separador de tres estados entre chips 703a o 704a mostrado en la fig. 285, por ejemplo, en más de 3 veces, 10 veces, 25 veces o 50 veces, tal como de entre 3 y 100 veces. La proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor PMOS del controlador de tres estados (en la última etapa) del separador de tres estados fuera de chip 61c o 61d mostrado en la fig. 285 puede ser mayor que la proporción del ancho de canal físico con respecto a la longitud de canal físico del transistor PMOS del controlador de tres estados (en la última etapa) del separador de tres estados entre chips 703a o 704a mostrado en la fig. 285, por ejemplo, en más de 3 veces, 10 veces, 25 veces o 50 veces, tal como de entre 3 y 100 veces.

[0767] En referencia a la fig. 294, de forma alternativa, el circuito interno 200c de los circuitos 700 se puede conectar al segundo nodo SN5 del separador fuera de chip 61a a través del conector metálico 740a de los circuitos 700 sin pasar a través de ningún circuito entre chips y ningún circuito de interfaz de pruebas de los circuitos 700. El circuito interno 200g de los circuitos 800 se puede conectar al primer nodo FN7 del separador fuera de chip 61c a través del conector metálico 740e de los circuitos 800 sin pasar a través de ningún circuito entre chips y ningún circuito de interfaz de pruebas de los circuitos 800. En comparación con el diagrama de circuito de la fig. 276, se pueden omitir los circuitos entre chips 200a y 200e y los circuitos de interfaz de pruebas 333a y 333c. El elemento en la fig. 294 indicado por un mismo número de referencia indica que el elemento en la fig. 276 tiene un mismo material y especificación que el elemento ilustrado en la fig. 276.

[0768] En referencia a la fig. 295, de forma alternativa, el circuito interno 200c de los circuitos 700 se puede conectar al segundo nodo SN5 del separador fuera de chip 61a a través del conector metálico 740a de los circuitos 700 sin pasar a través de ningún circuito entre chips y ningún circuito de interfaz de pruebas de los circuitos 700. El circuito interno 200g de los circuitos 800 se puede conectar al primer nodo FN7 del separador fuera de chip 61c a través del conector metálico 740e de los circuitos 800 sin pasar a través de ningún circuito entre chips y ningún circuito de interfaz de pruebas de los circuitos 800. En comparación con el diagrama de circuito de la fig. 285, se pueden omitir los circuitos entre chips 200a y 200e y los circuitos de interfaz de pruebas 333a y 333c. El elemento en la fig. 295 indicado por un mismo número de referencia indica que el elemento en las figs. 276 y 285 tiene un mismo material y especificación que el elemento ilustrado en las figs. 276 y 285.

[0769] La fig. 296 es un ejemplo de una vista en perspectiva superior esquemática que muestra la disposición de los chips 68, el sustrato inactivo 62, los tapones metálicos 5p (incluyendo los tapones metálicos 5a-5f) y los conectores metálicos 1 (incluyendo los conectores metálicos 1a y 1b) del sistema en paquete o del módulo multichip 555, 555b, 555c, 555e, 555g, 555h, 555s, 555u, 555v, 555w, 555y, 555z, 556a, 556c, 556d, 556e, 556g, o 556h descrito previamente que se muestra con una vista en sección transversal cortada a lo largo de la línea Q-Q en la fig. 296. En referencia a la fig. 296, los chips 68 se colocan en las aberturas 62a que se forman en el sustrato inactivo 62, y el material de encapsulación/relleno de huecos 64 se forma en los huecos 4, teniendo cada uno la distancia transversal o espaciado D1 y en los huecos 8 teniendo cada uno la distancia transversal o espaciado D2. Los círculos huecos que no rodean líneas oblicuas indican los tapones metálicos 5p, como el tapón metálico 5a descrito previamente, formados en y a través del sustrato inactivo 62 y conectados a los conectores metálicos suprayacentes 1, como el conector metálico 1a descrito previamente, que se ponen en contacto con los puntos de contacto subyacentes de la capa conductora 18 del portador 11. Los círculos que rodean triángulos indican los tapones metálicos 5p, como el tapón metálico 5b descrito previamente, formados en y a través de los chips 68 y conectados a los conectores metálicos suprayacentes 1, como el conector metálico 1a descrito previamente, que se ponen en contacto con los puntos de contacto subyacentes de la capa conductora 18 del portador 11. Los círculos que rodean líneas oblicuas indican los

tapones metálicos 5p, como el tapón metálico 5c, 5d o 5f descrito previamente, formados en los chips 68 y conectados a los conectores metálicos suprayacentes 1, como el conector metálico 1a o 1b descrito previamente, que se ponen en contacto con los conectores o pistas metálicas subyacentes, como el conector o pista metálica 35d, 35c o 35b descrito previamente, en los chips 68. Los círculos que rodean líneas transversales indican los tapones metálicos 5p, como el tapón metálico 5e descrito previamente, formados en y a través de los chips 68 y conectados a los conectores metálicos suprayacentes 1, como el conector metálico 1b descrito previamente, que conectan los conectores o pistas metálicas, como el conector o pista metálica 35a descrito previamente, sobre los soportes, como el soporte 801 descrito previamente, en los chips 68 en descenso hasta los puntos de contacto subyacentes de la capa conductora 18 del portador 11.

[0770] La fig. 297 es un ejemplo de una vista en perspectiva superior esquemática que muestra la disposición de los chips 72, el sustrato inactivo 165, los tapones metálicos 6p (incluyendo los tapones metálicos 6a-6e) y los conectores metálicos 2 (incluyendo los conectores metálicos 2a y 2b) del sistema en paquete o del módulo multichip descrito previamente 555, 555b, 555c, 555e, 555g, 555h, 555j, 555m, 555n, 555o, 555q, 555r, 555s, 555u, 555v, 555w, 555y, 555z, 556a, 556c, 556d, 556e, 556g o 556h que se muestra con una vista en sección transversal cortada a lo largo de la línea Q-Q en la fig. 297. En referencia a la fig. 297, los chips 72 se colocan en las aberturas 165a que se forman en el sustrato inactivo 165, y el material 98 de encapsulación/relleno de huecos se forma en los huecos 4a teniendo cada uno la distancia transversal o espaciado D4 y en los huecos 8a teniendo cada uno la distancia transversal o espaciado D5. Los círculos huecos que no rodean líneas oblicuas indican los tapones metálicos 6p, como el tapón metálico 6a descrito previamente, formados en y a través del sustrato inactivo 165 y conectados a los conectores metálicos suprayacentes 2, que se ponen en contacto con los conectores metálicos subyacentes 1, como el conector metálico 1b descrito previamente. Los círculos que rodean triángulos indican los tapones metálicos 6p, como el tapón metálico 6b descrito previamente, formados en y a través de los chips 72 y conectados a los conectores metálicos suprayacentes 2, como el conector metálico 2a descrito previamente, que se ponen en contacto con los conectores metálicos subyacentes 1, como el conector metálico 1a descrito previamente. Los círculos que rodean líneas oblicuas indican los tapones metálicos 6p, como el tapón metálico 6c o 6d descrito previamente, formados en los chips 72 y conectados a los conectores metálicos suprayacentes 2, como el conector metálico 2a descrito previamente, que se ponen en contacto con los conectores o pistas metálicas subyacentes, como el conector o pista metálica 55c o 55b descrito previamente, en los chips 72. Los círculos que rodean líneas transversales indican los tapones metálicos 6p, como el tapón metálico 6e descrito previamente, formados en y a través de los chips 72 y conectados a los conectores metálicos suprayacentes 2, como el conector metálico 2b descrito previamente, que conectan los conectores o pistas metálicas, como el conector o pista metálica 55a descrito previamente, en los soportes, como el soporte 802 descrito previamente, en los chips 72 en descenso hasta los conectores metálicos subyacentes 1, como el conector metálico 1b descrito previamente.

[0771] La fig. 298 es un ejemplo de una vista en perspectiva superior esquemática que muestra la disposición de los chips 118, el sustrato inactivo 165, los tapones metálicos 7p (incluyendo los tapones metálicos 7a-7f) y los conectores metálicos 3 (incluyendo los conectores metálicos 3a, 3b y 3c) del sistema en paquete o del módulo multichip descrito previamente 555, 555b, 555c, 555e, 555g, 555h, 555j, 555m, 555n, 555o, 555q, 555r, 555s, 555u, 555v, 555w, 555y, 555z, 556a, 556c, 556d, 556e, 556g o 556h que se muestra con una vista en sección transversal cortada a lo largo de la línea Q-Q en la fig. 298. En referencia a la fig. 298, los chips 118 se colocan en las aberturas 158a que se forman en el sustrato inactivo 158, y el material de encapsulación/relleno de huecos 138 se forma en los huecos 4b, teniendo cada uno la distancia transversal o espaciado D7 y en los huecos 8b teniendo cada uno la distancia transversal o espaciado D8. Los círculos huecos que no rodean líneas oblicuas indican los tapones metálicos 7p, como el tapón metálico 7a descrito previamente, formados en y a través del sustrato inactivo 158 y conectados a los conectores metálicos suprayacentes 3, como el conector metálico 3c descrito previamente, que se ponen en contacto con los conectores metálicos subyacentes 2. Los círculos que rodean triángulos indican los tapones metálicos 7p, como el tapón metálico 7b descrito previamente, formados en y a través de los chips 118 y conectados a los conectores metálicos suprayacentes 3, como el conector metálico 3a descrito previamente, que se ponen en contacto con los conectores metálicos subyacentes 2, como el conector metálico 2a descrito previamente. Los círculos que rodean líneas oblicuas indican los tapones metálicos 7p, como el tapón metálico 7c, 7d o 7f descrito previamente, formados en los chips 118 y conectados a los conectores metálicos suprayacentes 3, como el conector metálico 3a o 3b descrito previamente, que se ponen en contacto con los conectores o pistas metálicas subyacentes, como el conector o pista metálica 75d, 75c o 75b descrito previamente, en los chips 118. Los círculos que rodean líneas transversales indican los tapones metálicos 7p, como el tapón metálico 7e descrito previamente, formados en y a través de los chips 118 y conectados a los conectores metálicos suprayacentes 3, como el conector metálico 3c descrito previamente, que conectan los conectores o pistas metálicas, como el conector o pista metálica 75a descrito previamente, en los soportes, como el soporte 803 descrito previamente, en los chips 118 en descenso hasta los conectores metálicos subyacentes 2, como el conector metálico 2b descrito previamente.

[0772] El sistema en paquete incorporado o el módulo multichip mostrado en la fig. 82, 84, 103, 105, 128, 130, 136, 138, 181, 183, 207, 209, 250, 252, 270 o 272, o el paquete multichip mostrado en la fig. 83, 85, 88, 104, 106, 109, 129, 131, 132, 137, 139, 140, 182, 184, 185, 208, 210, 211, 251, 253, 254, 271, 273 o 274 se puede usar en una amplia variedad de dispositivos electrónicos, incluyendo, pero sin limitarse a, un teléfono, un teléfono inalámbrico, un teléfono móvil, un teléfono inteligente, un ordenador plegable, un ordenador portátil, una cámara digital, una cámara de vídeo digital, un marco de fotos digital, asistente digital personal (PDA), un ordenador personal de bolsillo, un ordenador

personal portátil, un libro electrónico, un libro digital, un ordenador de sobremesa, un ordenador de tableta o tableta gráfica, un producto electrónico de automóvil, un dispositivo de internet móvil (MID), un televisor móvil, un proyector, un proyector móvil, un picoprojector, un proyector inteligente, una pantalla de vídeo tridimensional (3D), un televisor 3D (TV 3D), un reproductor de videojuegos 3D, un dispositivo de ordenador móvil, un ordenador-teléfono móvil (también llamado teléfono-ordenador móvil o teléfono de ordenador personal móvil) que es un dispositivo o un sistema que combina y proporciona funciones de ordenadores y teléfonos, o un ordenador o servidor de alto rendimiento y/o baja potencia, por ejemplo, usado para informática en la nube.

[0773] Los componentes, etapas, características, beneficios y ventajas que se han analizado son meramente ilustrativos. Ninguno de ellos, ni los análisis relacionados con ellos, tienen la intención de limitar el alcance de protección de ninguna manera. También se contemplan otros numerosos modos de realización. Estos incluyen modos de realización que tienen menos, adicionales y/o diferentes componentes, etapas, características, beneficios y ventajas. Estos también incluyen modos de realización en los que los componentes y/o etapas están dispuestos y/o ordenados de manera diferente.

[0774] Al leer la presente divulgación, un experto en la técnica apreciará que los modos de realización de la presente divulgación, por ejemplo, diseño de estructura y/o control de procedimientos descritos en el presente documento, se pueden implementar en hardware, software, firmware o cualquier combinación de los dichos, y sobre una o más redes. El software adecuado puede incluir instrucciones legibles por ordenador o legibles por máquina para realizar procedimientos y técnicas (y partes de los mismos) de diseño y/o control de la implementación de trenes de pulsos de RF personalizados. Se puede utilizar cualquier lenguaje de software adecuado (dependiente de máquina o independiente de máquina). Además, los modos de realización de la presente divulgación se pueden incluir o transportar por diversas señales, por ejemplo, como se transmiten sobre un enlace de comunicaciones inalámbricas de RF o de IR o se descargan de Internet.

[0775] A menos que se establezca de otro modo, todas las mediciones, valores, clasificaciones, posiciones, magnitudes, tamaños y otras especificaciones que se exponen en la presente memoria descriptiva, incluyendo en las reivindicaciones que siguen, son aproximadas, no exactas. Estos tienen la intención de tener un intervalo razonable que sea consecuente con las funciones con las que se relacionan y con lo que es habitual en la técnica a la que pertenecen. Además, a menos que se establezca de otro modo, los intervalos numéricos proporcionados tienen la intención de incluir los valores inferiores y superiores establecidos. Además, a menos que se establezca de otro modo, todas las selecciones de materiales y valores numéricos son representativos de los modos de realización preferentes y se pueden usar otros intervalos y/o materiales.

[0776] El alcance de protección está limitado únicamente por las reivindicaciones, y dicho alcance tiene la intención y se debe interpretar para ser tan amplio como sea consecuente con el significado habitual del lenguaje que se usa en las reivindicaciones cuando se interpreta a la luz de la presente memoria descriptiva y el historial de prosecución que sigue, y para englobar todos los equivalentes estructurales y funcionales del mismo.

REIVINDICACIONES

1. Un sistema en paquete que comprende:

- 5 un portador (11);
un primer chip (68) encima de dicho portador (11), en el que dicho primer chip (68) comprende un primer sustrato semiconductor (58) que tiene un grosor de entre 1 y 50 micrómetros, una primera capa metálica (34 o 26) debajo de una superficie inferior de dicho primer sustrato semiconductor (58), y una primera capa dieléctrica (48) debajo de dicha superficie inferior de dicho primer sustrato semiconductor (58) y encima de dicha primera capa metálica (34 o 26);
un segundo chip (68) encima de dicho portador (11), en el que dicho segundo chip (68) comprende un segundo sustrato semiconductor (58) que tiene una superficie superior (58s) sustancialmente coplanaria con una superficie superior (58s) de dicho primer sustrato semiconductor (58), en el que dicho segundo chip (68) está separado de dicho primer chip (68);
un material de relleno de huecos (64) en un hueco entre dicho primer chip (68) y dicho segundo chip (68);
un primer tapón metálico (5p) en dicho primer chip (68), en el que dicho primer tapón metálico (5p) pasa verticalmente a través de dicho primer sustrato semiconductor (58) y dicha primera capa dieléctrica (48) y se pone en contacto con dicha primera capa metálica (34 o 26);
un primer material aislante (50 o 500a) que rodea dicho primer tapón metálico (5p), en el que dicho primer material aislante (50 o 500a) está rodeado por dicho primer sustrato semiconductor (58);
una primera estructura dieléctrica (60 o 66) encima de dicha superficie superior (58s) de dicho primer sustrato semiconductor (58), encima de dicha superficie superior (58s) de dicho segundo sustrato semiconductor (58), y encima de dicho material de relleno de huecos (64);
un primer conector metálico (1) en dicha primera estructura dieléctrica (60 o 66) y encima de dicho primer chip (68), en el que dicho primer conector metálico (1) se conecta a dicho primer tapón metálico (5p);
un tercer chip (72) encima de dicha primera estructura dieléctrica (60 o 66) y encima de dicho primer conector metálico (1);
un segundo tapón metálico (6p) en dicho tercer chip (72), en el que dicho segundo tapón metálico (6p) pasa verticalmente a través de un tercer sustrato semiconductor (96) de dicho tercer chip (72), teniendo el tercer sustrato semiconductor un grosor de entre 1 y 50 micrómetros, y se pone en contacto con dicho primer conector metálico (1);
un segundo material aislante (90 o 500a) que rodea dicho segundo tapón metálico (6p), en el que dicho segundo material aislante (90 o 500a) está rodeado por dicho tercer sustrato semiconductor (96);
una segunda estructura dieléctrica (88 o 120) encima de una superficie superior (96s) de dicho tercer sustrato semiconductor (96); y
un segundo conector metálico (2) en dicha segunda estructura dieléctrica (88 o 120) y encima de dicho tercer chip (72), en el que dicho segundo conector metálico (2) se conecta a dicho segundo tapón metálico (6p).

2. El sistema en paquete de la reivindicación 1, en el que dicho portador (11) comprende un sustrato de silicio, un sustrato de vidrio, un sustrato de cerámica, un sustrato de metal o un sustrato de polímero orgánico; y/o

- en el que dicho primer chip (68) comprende un chip de unidad de procesamiento central (CPU), un chip de unidad de procesamiento gráfico (GPU), un chip de procesamiento de señales digitales (DSP), un chip de memoria flash, un chip de memoria dinámica de acceso aleatorio (DRAM), un chip de memoria estática de acceso aleatorio (SRAM), un chip de red inalámbrica de área local (WLAN), un chip de banda base, un chip lógico, un chip analógico, un dispositivo de potencia, un regulador, un dispositivo de gestión de potencia, un chip de sistema de posicionamiento global (GPS), un chip de Bluetooth o un sistema en chip (SOC) que comprende uno o más de un bloque de circuito de unidad de procesamiento central (CPU), un bloque de circuito de unidad de procesamiento gráfico (GPU), un bloque de circuito de procesamiento de señales digitales (DSP), un bloque de circuito de memoria, un bloque de circuito de banda base, un bloque de circuito de Bluetooth, un bloque de circuito de sistema de posicionamiento global (GPS), un bloque de circuito de red inalámbrica de área local (WLAN) y un bloque de circuito de módem.

3. El sistema en paquete de la reivindicación 1, en el que dicho primer sustrato semiconductor (58) tiene un grosor de entre 2 y 20 micrómetros.
- 5 4. El sistema en paquete de la reivindicación 1, en el que dicho segundo tapón metálico (6p) además se pone en contacto con una segunda capa metálica (106 o 114) de dicho tercer chip (72), en el que dicha segunda capa metálica (106 o 114) está debajo de dicho tercer sustrato semiconductor (96).
- 10 5. El sistema en paquete de la reivindicación 1 que comprende además un tercer tapón metálico (5p) en dicho segundo chip (68), en el que dicho tercer tapón metálico (5p) pasa verticalmente a través de dicho segundo sustrato semiconductor (58) y se pone en contacto con una segunda capa metálica (34 o 26) de dicho segundo chip (68), en el que dicha segunda capa metálica (34 o 26) está debajo de una superficie inferior de dicho segundo sustrato semiconductor (58), en el que dicho primer conector metálico (1) está además encima de dicho segundo chip (68) y conectado a dicho tercer tapón metálico (5p).
- 15 6. El sistema en paquete de la reivindicación 1, en el que dicho primer tapón metálico (5p) se pone en contacto con un punto de contacto (18) de dicho portador (11).
- 20 7. El sistema en paquete de la reivindicación 1 que comprende además un tercer tapón metálico (5p) en dicho primer chip (68), un cuarto tapón metálico (5p) en dicho segundo chip (68), y un tercer conector metálico (1) en dicha primera estructura dieléctrica (60 o 66) y encima de dichos primer y segundo chips (68), en el que dicho tercer tapón metálico (5p) pasa verticalmente a través de dicho primer sustrato semiconductor (58) y se pone en contacto con una segunda capa metálica (34 o 26) de dicho primer chip (68), en el que dicha segunda capa metálica (34 o 26) está debajo de dicha superficie inferior de dicho primer sustrato semiconductor (58), en el que dicho cuarto tapón metálico (5p) pasa verticalmente a través de dicho segundo sustrato semiconductor (58) y se pone en contacto con una tercera capa metálica (34 o 26) de dicho segundo chip (68), en el que dicha tercera capa metálica (34 o 26) está debajo de una superficie inferior de dicho segundo sustrato semiconductor (58), en el que dicho tercer conector metálico (1) conecta dicho tercer tapón metálico (5p) y dicho cuarto tapón metálico (5p).
- 25 8. El sistema en paquete de la reivindicación 1, en el que dicho primer chip (68) tiene un diseño de circuito diferente del diseño de circuito de dicho segundo chip (68).
- 30 9. El sistema en paquete de la reivindicación 1, en el que dicho primer conector metálico (1) comprende una pista de señal, una pista de potencia o una pista de tierra.
- 35 10. El sistema en paquete de la reivindicación 1, en el que dicho primer conector metálico (1) tiene una superficie superior sustancialmente coplanaria con una superficie superior de dicha primera estructura dieléctrica (60).
- 40 11. El sistema en paquete de la reivindicación 1 que comprende además un sustrato inactivo (62) encima de dicho portador (11) y en dicho hueco, en el que dicho sustrato inactivo (62) tiene una superficie superior (62s) sustancialmente coplanaria con dicha superficie superior (58s) de dicho primer sustrato semiconductor (58), en el que dicha primera estructura dieléctrica (60 o 66) está además encima de dicha superficie superior (62s) de dicho sustrato inactivo (62).
- 45 12. El sistema en paquete de la reivindicación 1 que comprende además una protuberancia metálica (126 o 666) conectada a dicho segundo conector metálico, en el que dicha protuberancia metálica comprende estaño, cobre, níquel u oro.
- 50 13. El sistema en paquete de la reivindicación 1, en el que dicho segundo tapón metálico (6p) comprende cobre electrochapado (86) en dicho segundo material aislante (90 o 500a) y una capa que contiene titanio o que contiene tántalo (92) en un límite de dicho segundo tapón metálico (6p).
- 55 14. El sistema en paquete de la reivindicación 1, en el que dicho primer conector metálico (1) comprende una capa de cobre electrochapado (56) y una capa que contiene titanio o que contiene tántalo (52) en múltiples paredes laterales y la parte inferior de dicha capa de cobre electrochapado (56); o en el que dicho primer conector metálico (1) comprende una capa que contiene titanio o que contiene tántalo (52) y una capa de cobre electrochapado (56) encima de dicha capa que contiene titanio o que contiene tántalo (52), en el que dicha capa de cobre electrochapado (56) tiene una pared lateral no cubierta por dicha capa que contiene titanio o que contiene tántalo (52).
- 60 15. El sistema en paquete de la reivindicación 1 que comprende además un tercer tapón metálico (6p) en dicho tercer chip (72), en el que dicho tercer tapón metálico (6p) pasa verticalmente a través de dicho tercer sustrato semiconductor (96) y se pone en contacto con una segunda capa metálica (106 o 114) de dicho tercer chip (6p), en el que dicha segunda capa metálica (106 o 114) está debajo de una superficie inferior de dicho tercer sustrato semiconductor (96), en el que dicho segundo conector metálico (2) se conecta además a dicho tercer tapón metálico (6p); y
- 65

en el que un número total de líneas de bits en comunicación de datos paralela entre dichos primer y tercer chips (68 y 72) es más de 128, y se proporciona una de dichas líneas de bits por dichos primer, segundo y tercer tapones metálicos (5p y 6p) y dichos primer y segundo conectores metálicos (1 y 2).

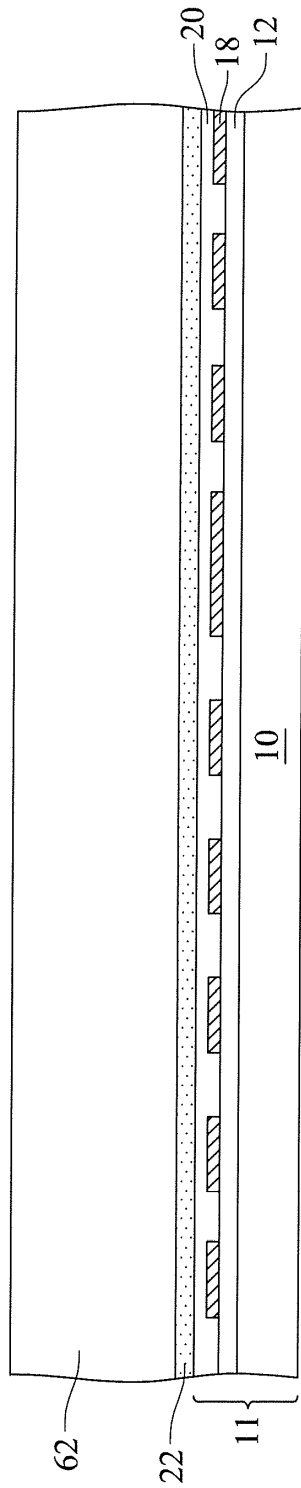


Fig. 1

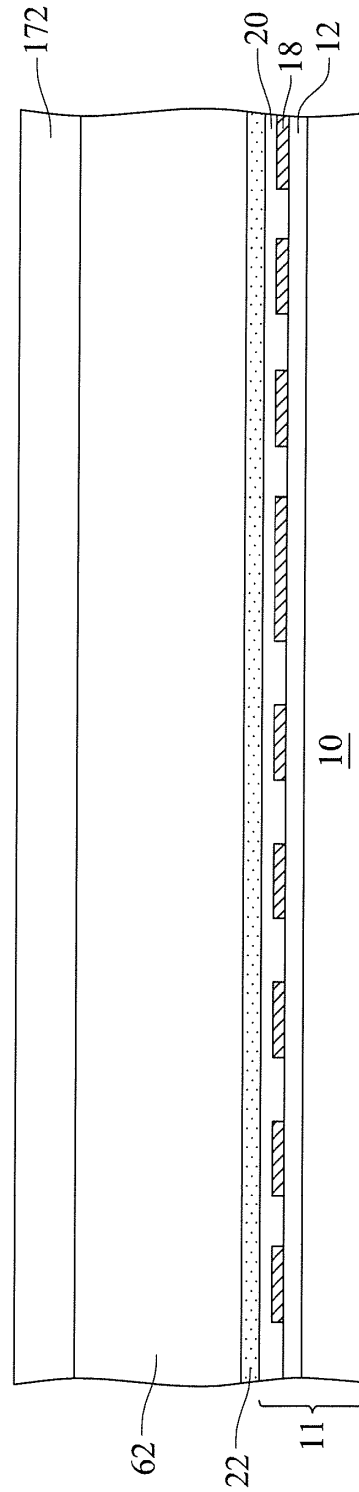


Fig. 2

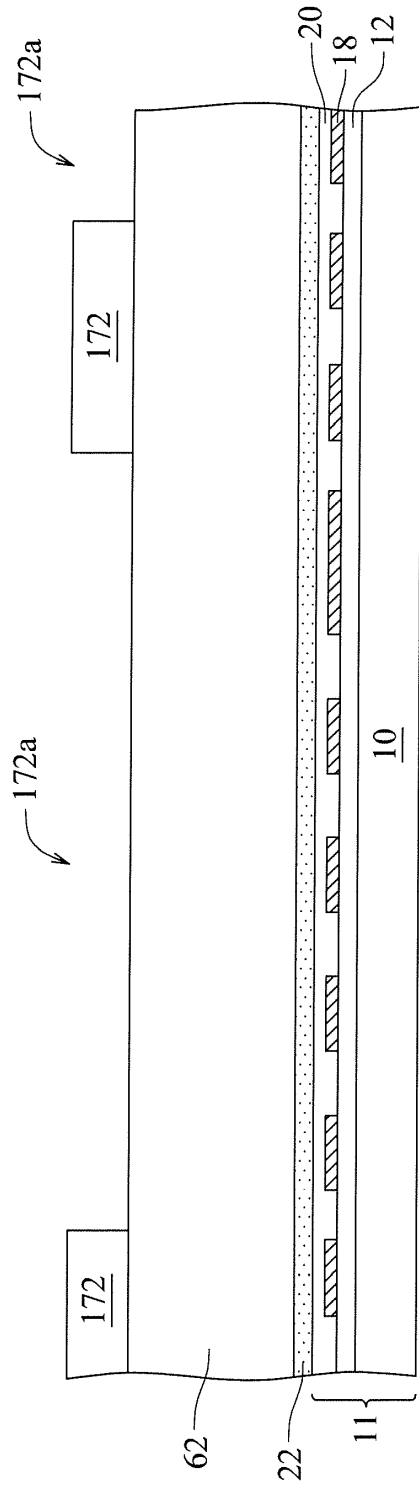


Fig. 3

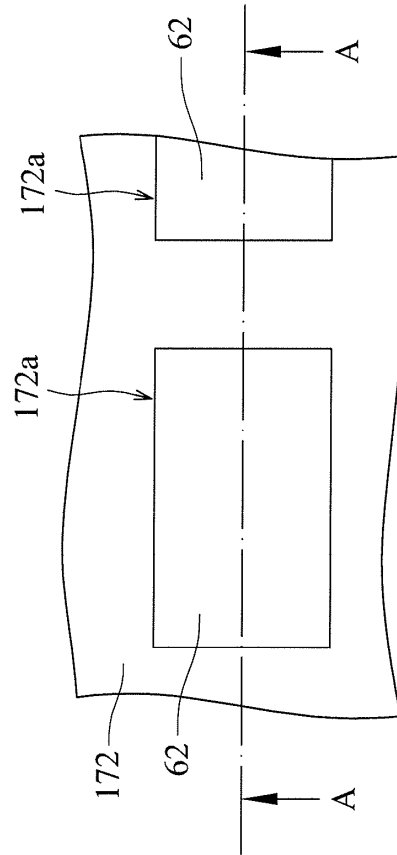


Fig. 4

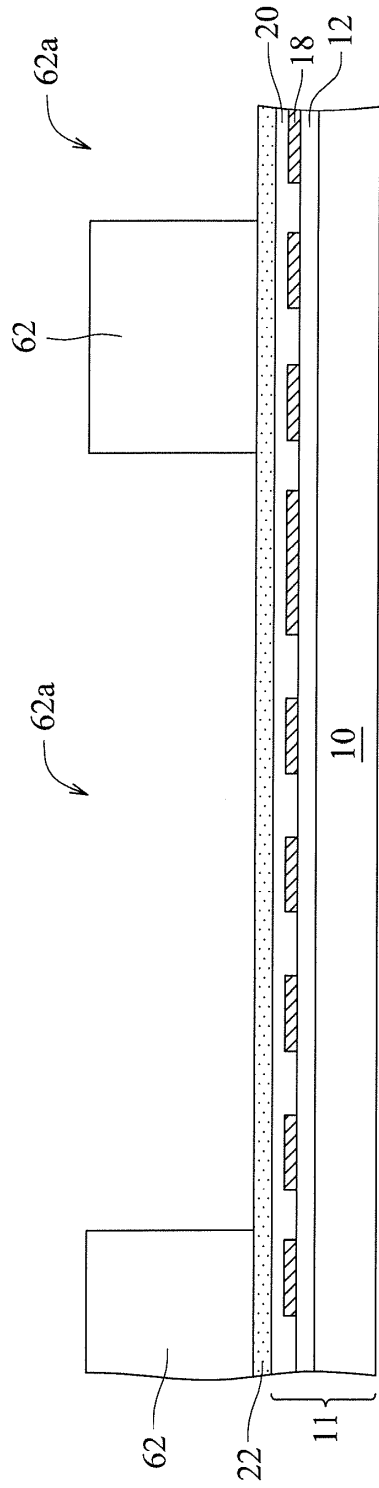


Fig. 5

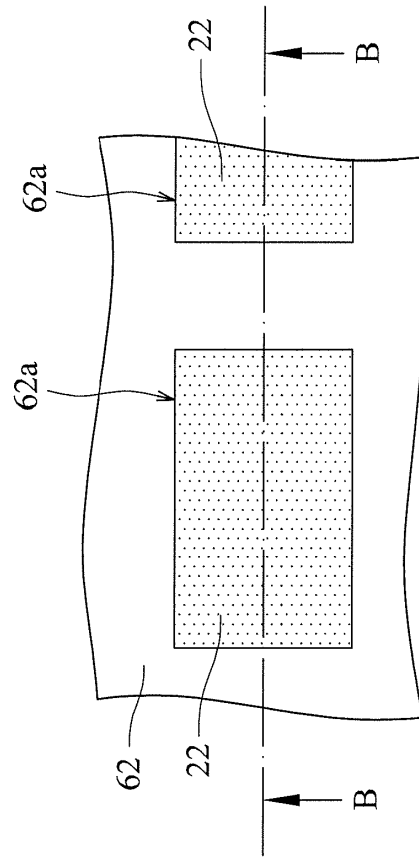


Fig. 6

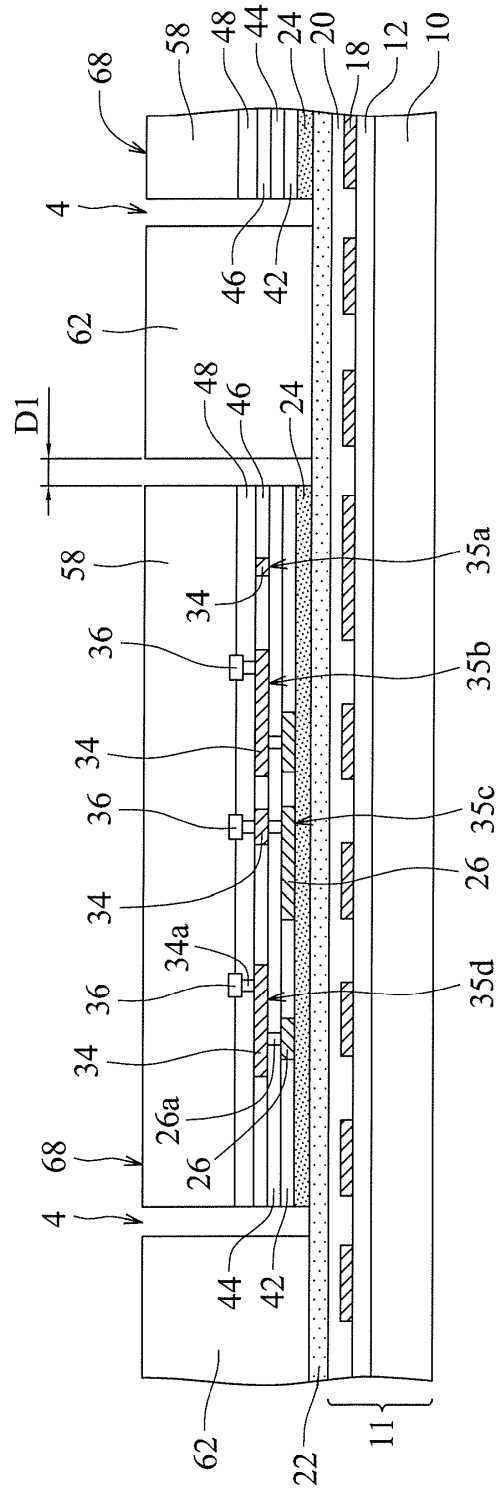


Fig. 7

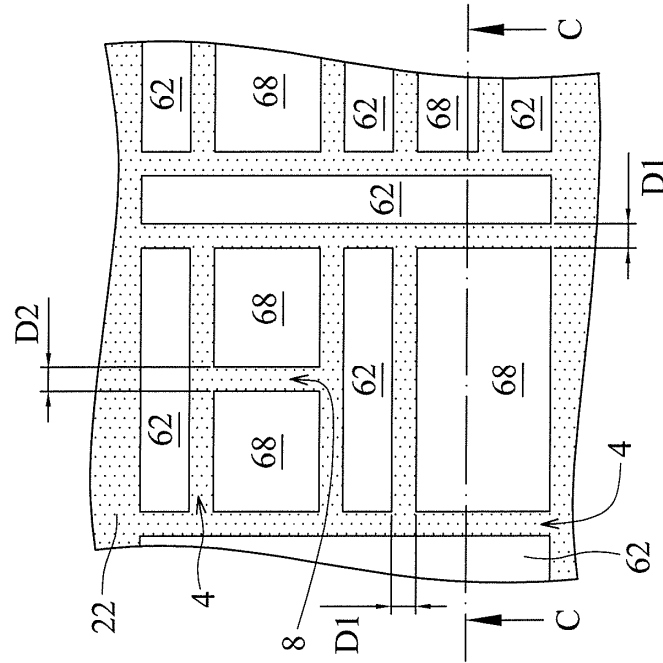


Fig. 8

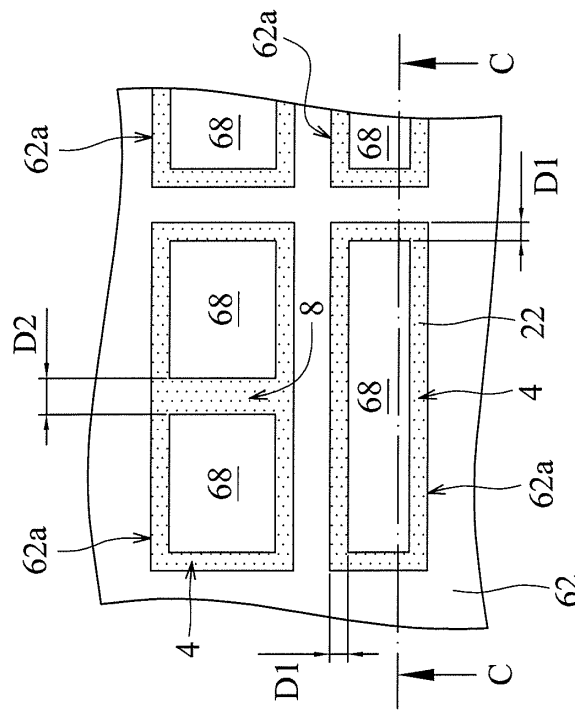


Fig. 9

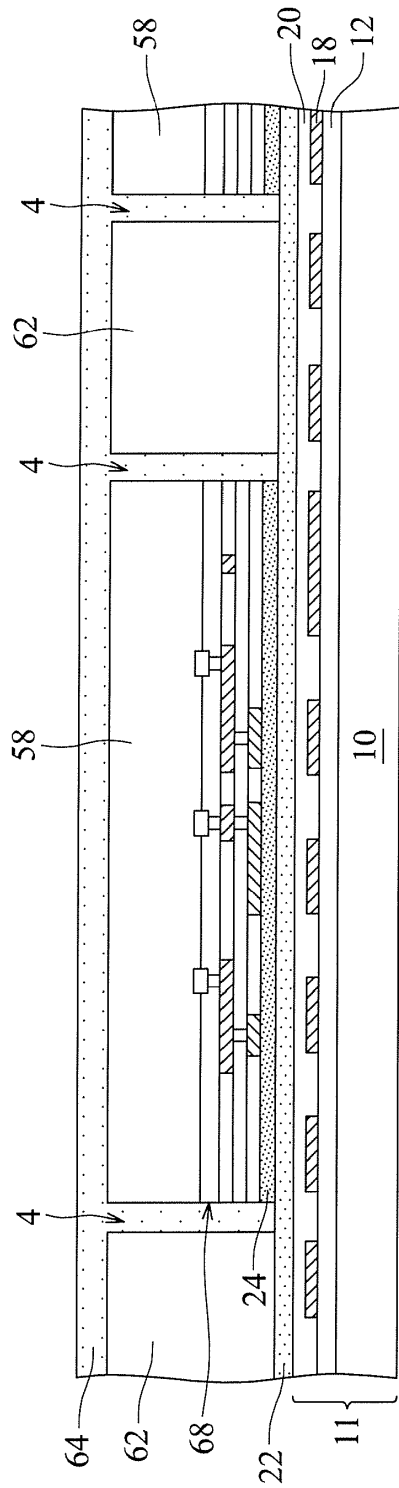


Fig. 10

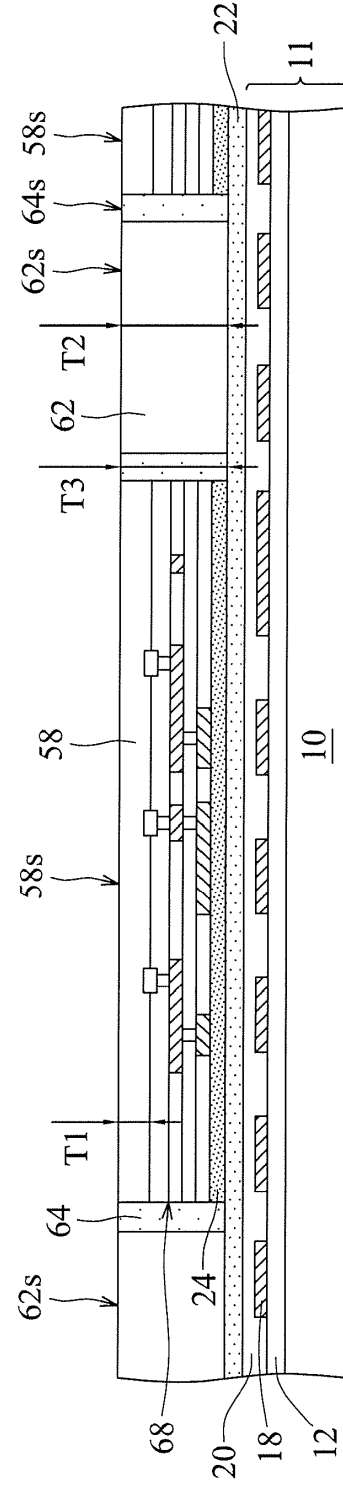


Fig. 11

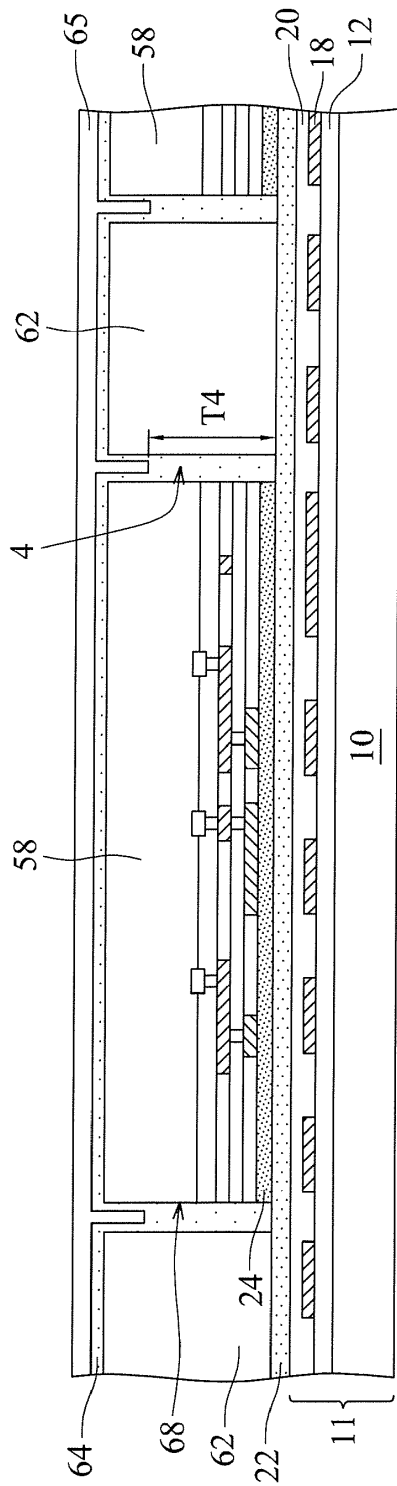


Fig. 12

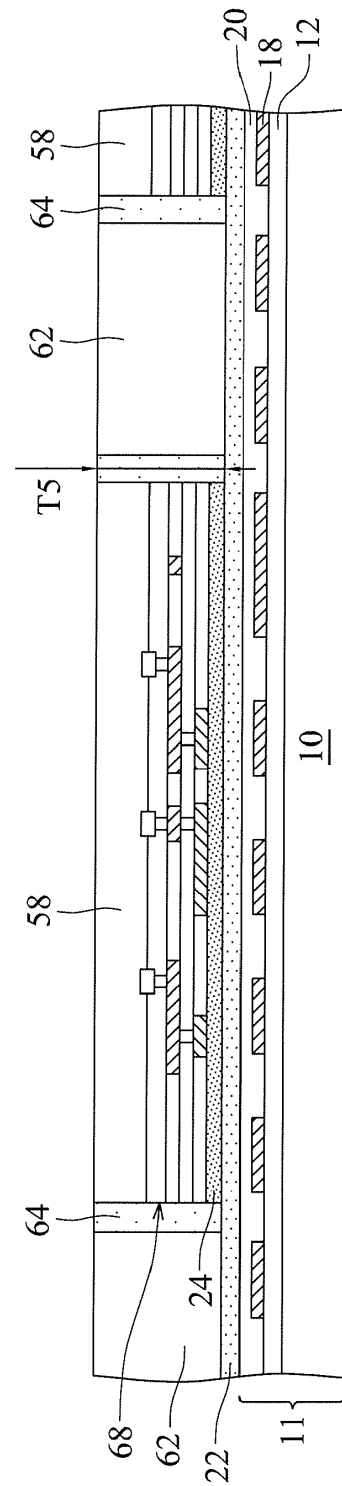


Fig. 13

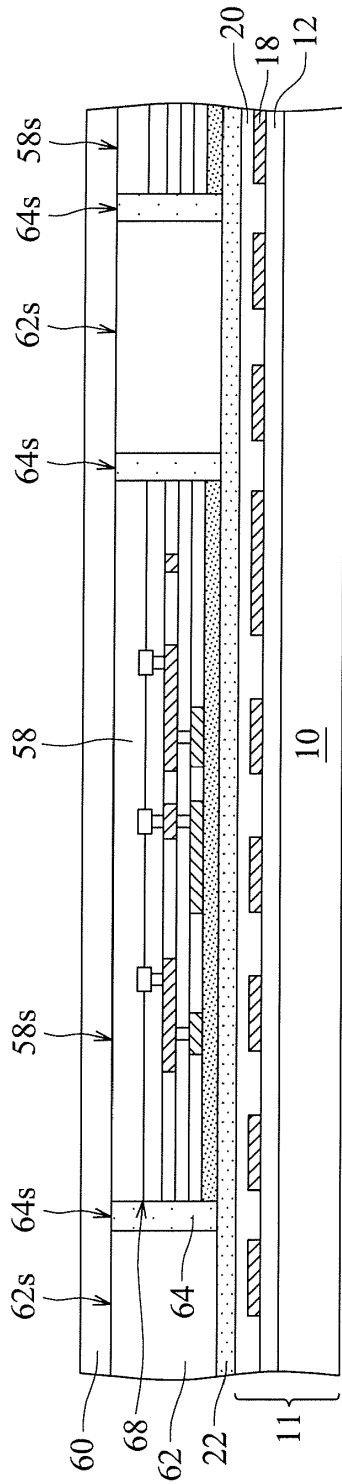


Fig. 14

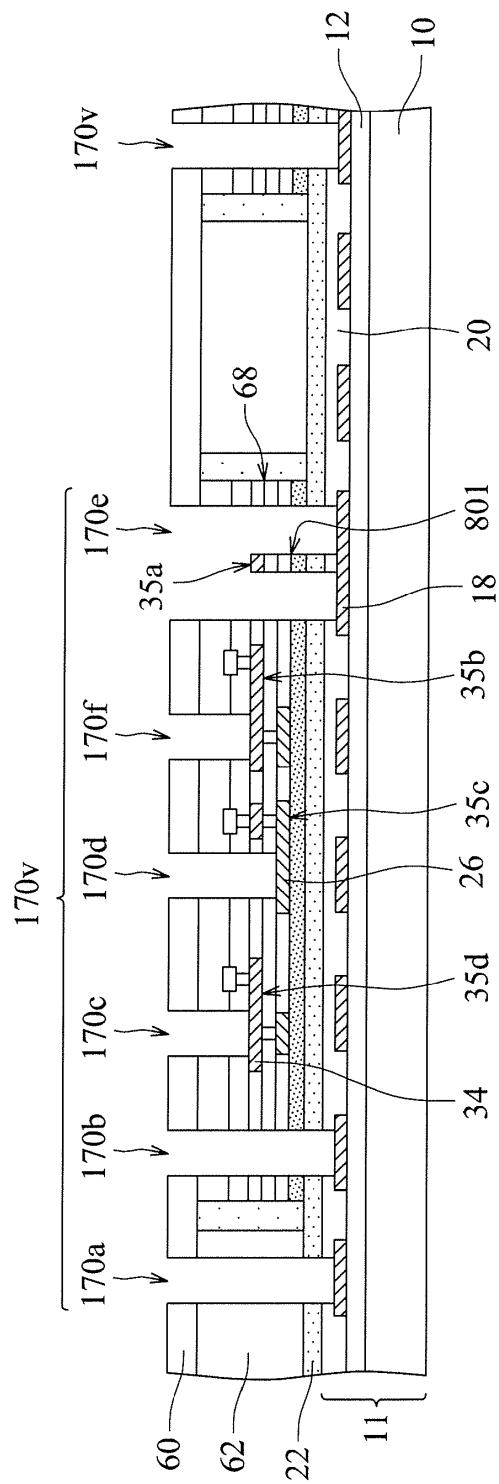


Fig. 15

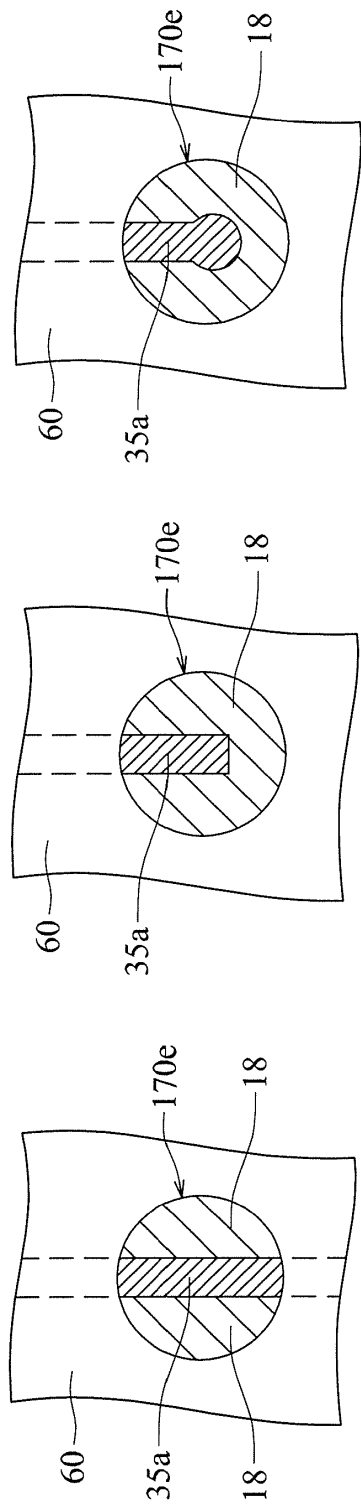


Fig. 16

Fig. 17

Fig. 18

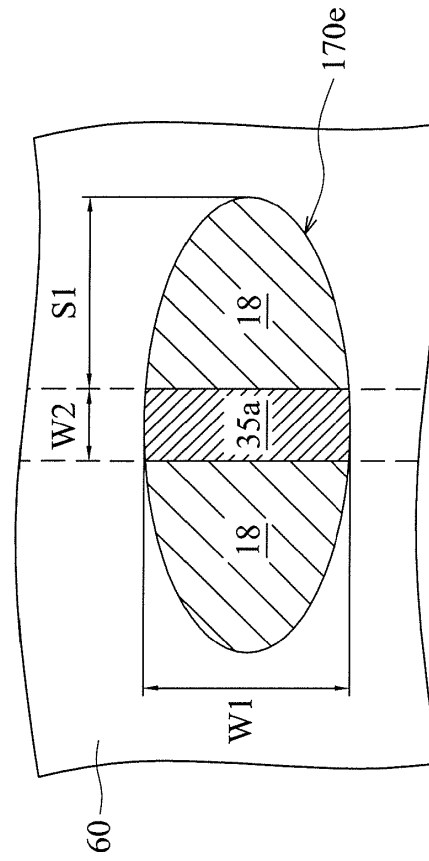


Fig. 16A

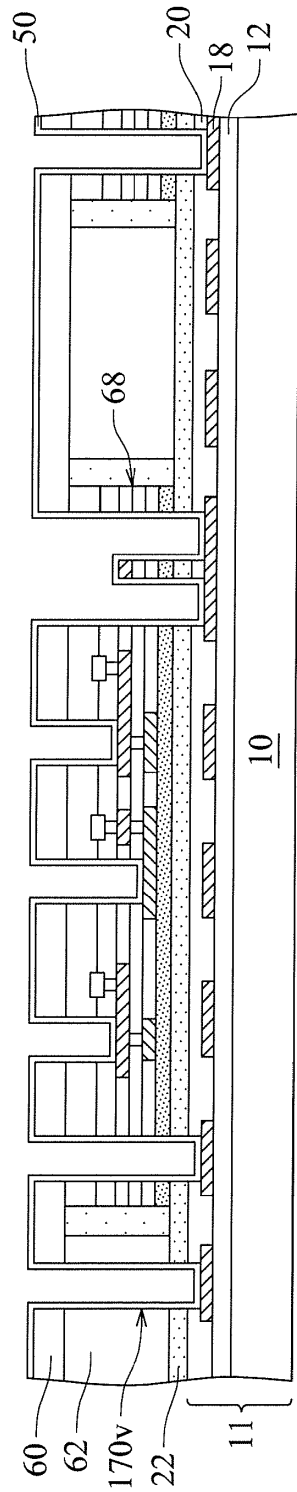


Fig. 19

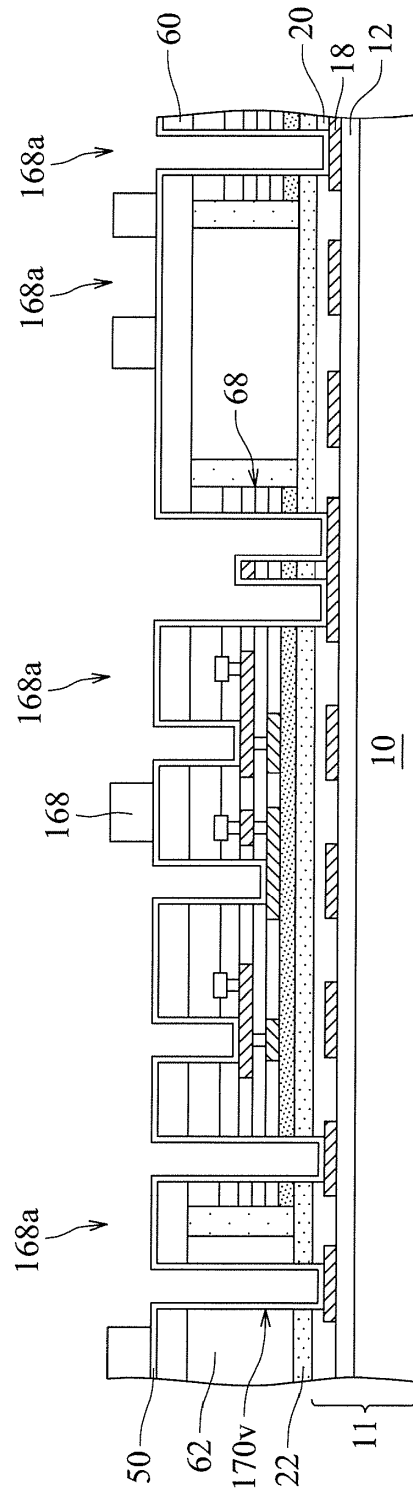


Fig. 20

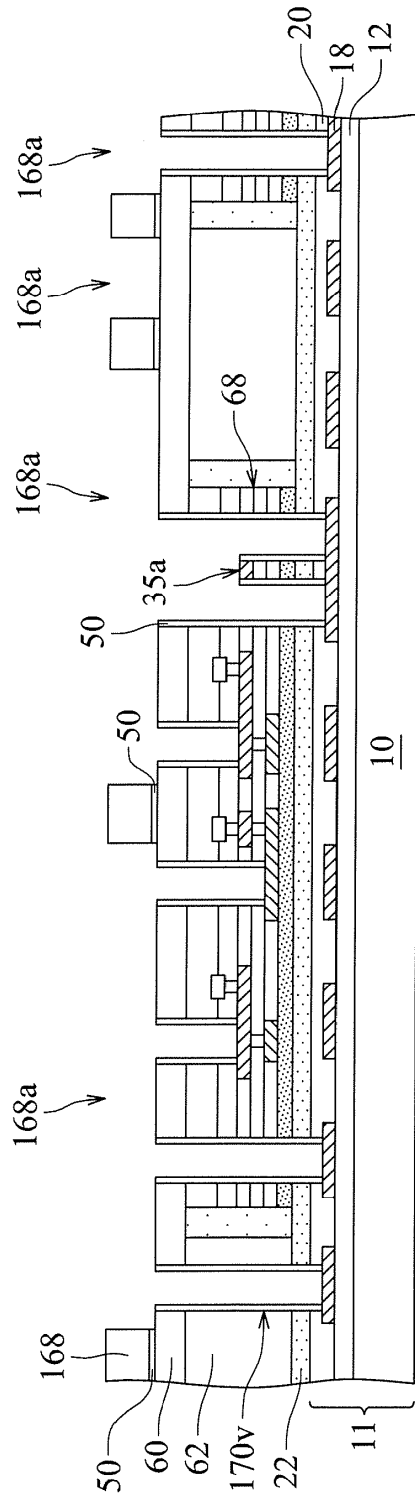


Fig. 21

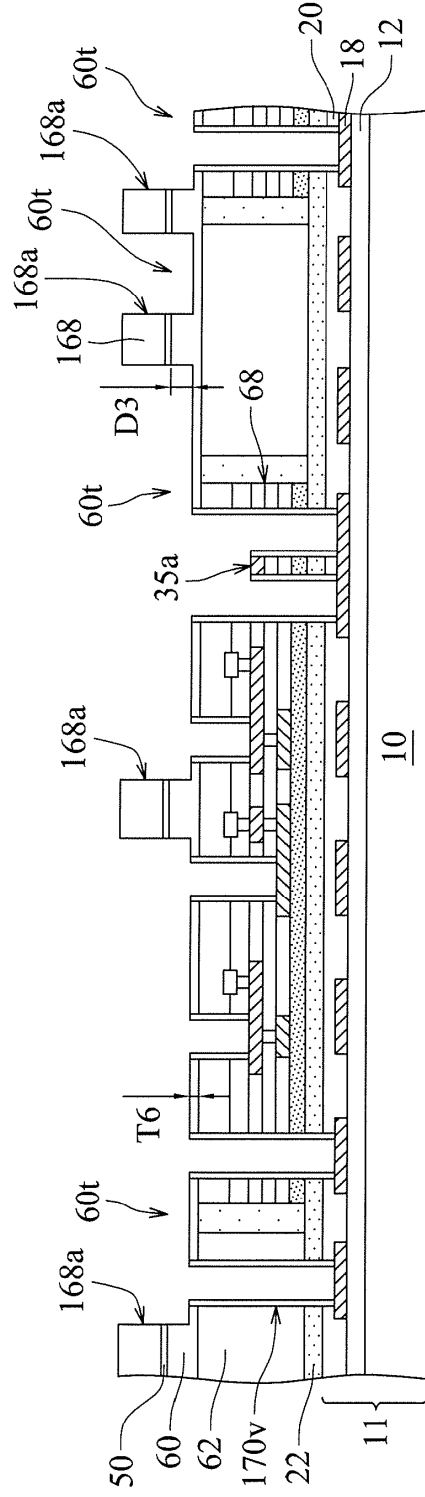


Fig. 22

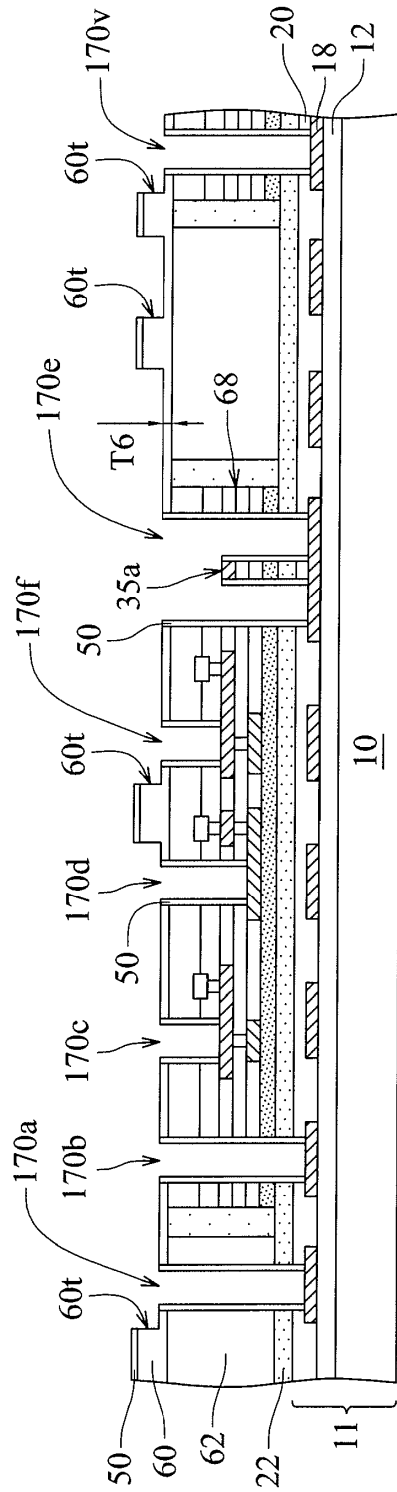


Fig. 23

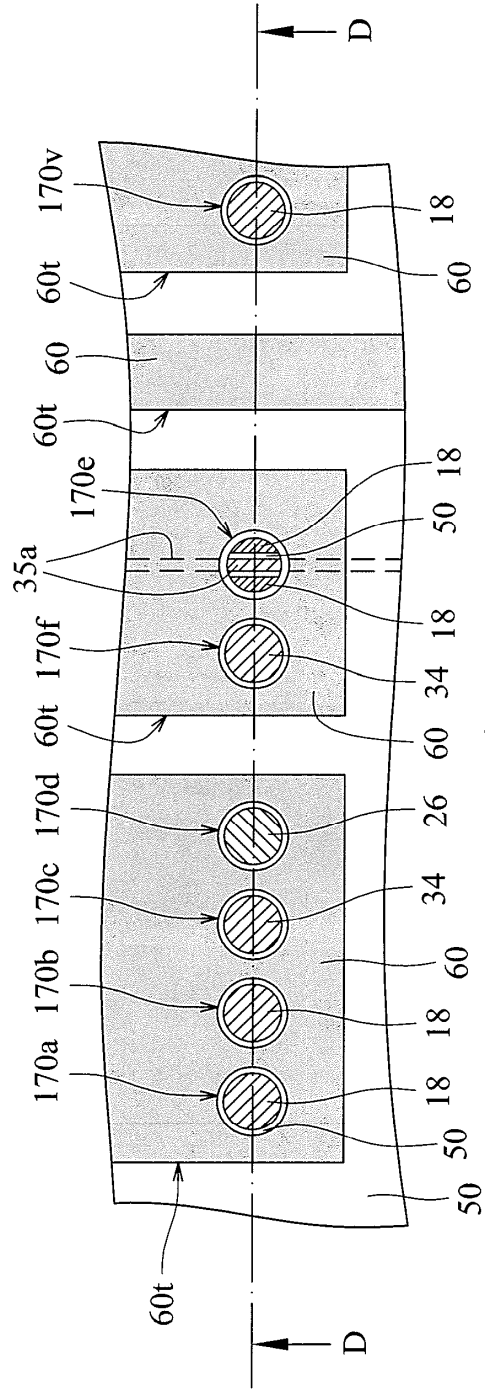


Fig. 24

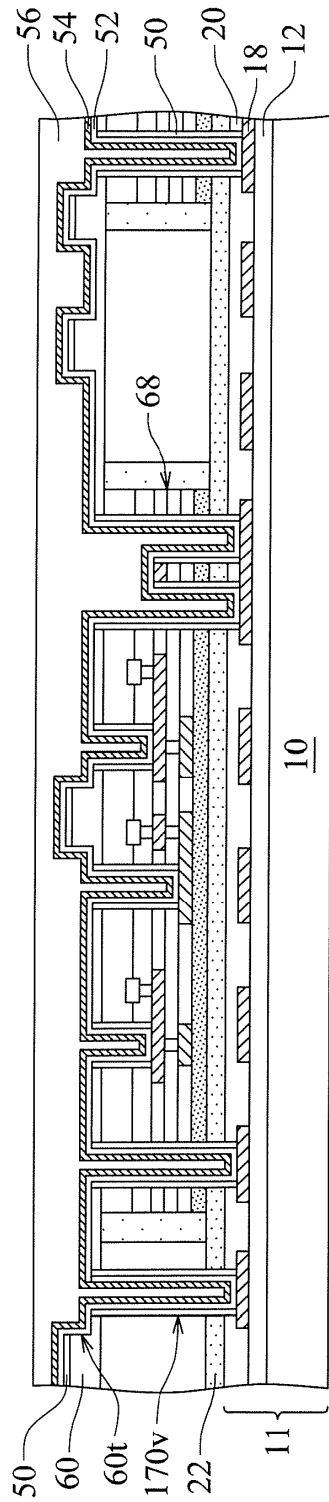


Fig. 25

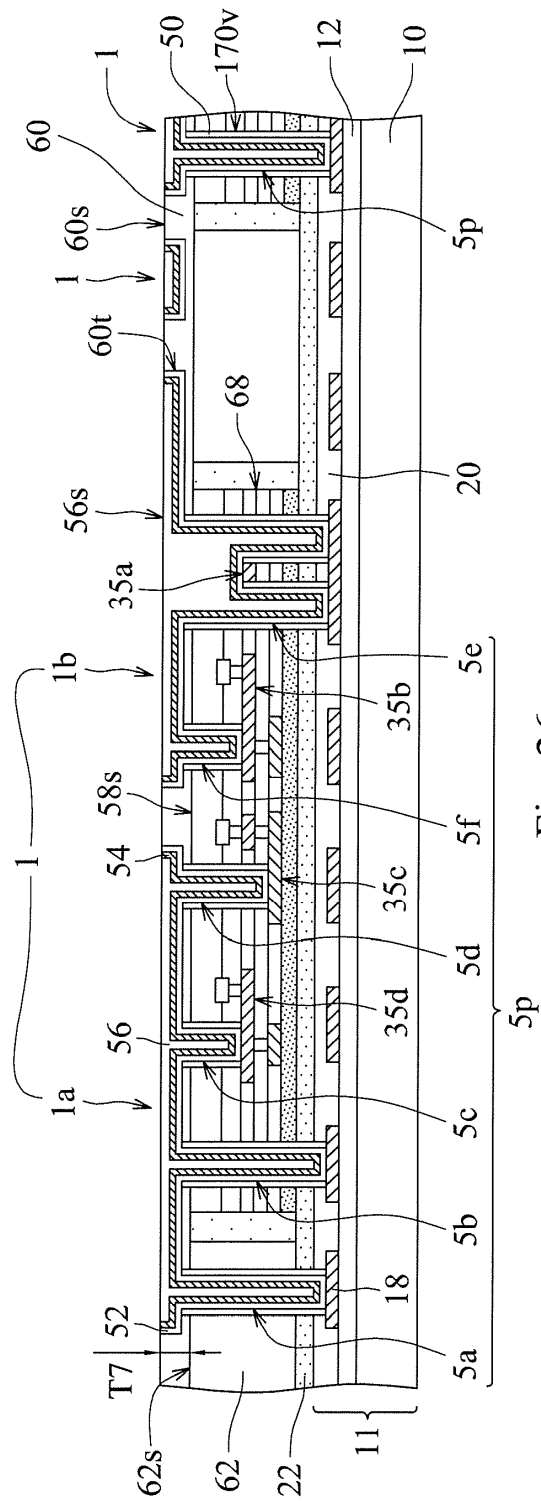


Fig. 26

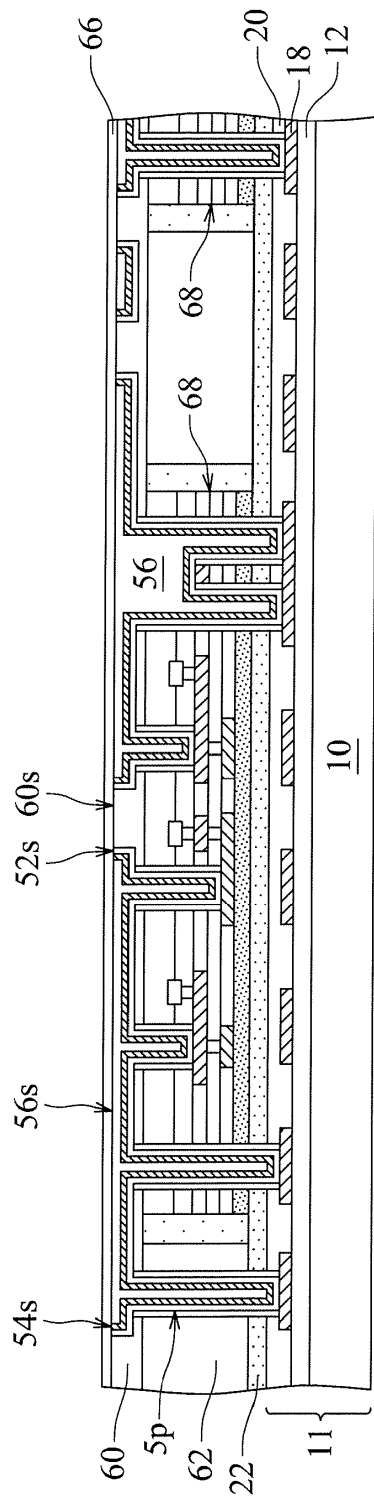


Fig. 27

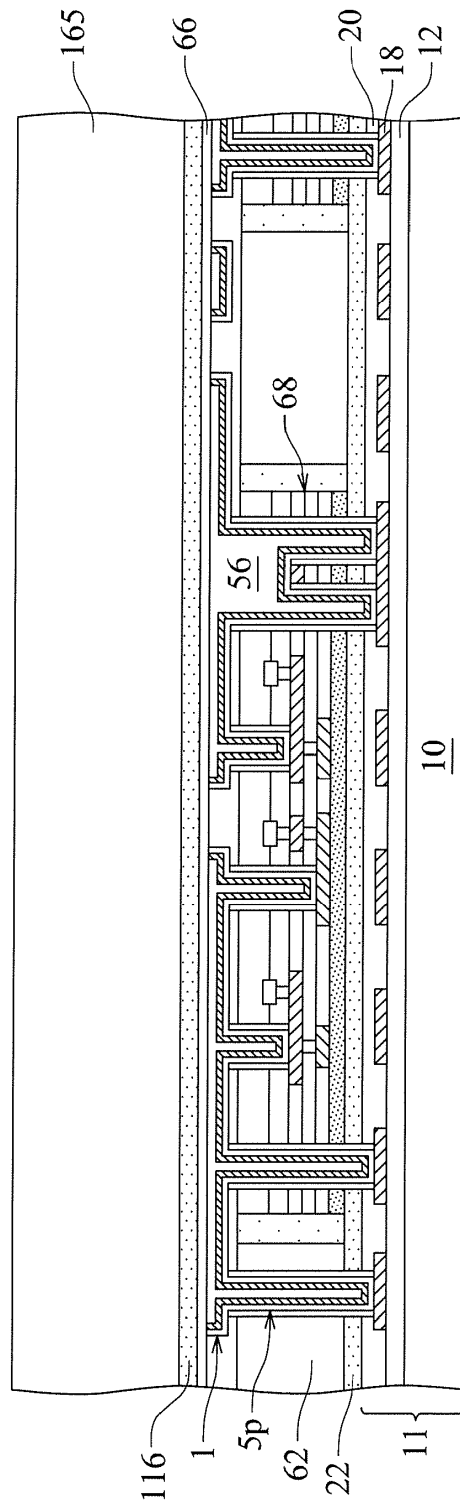


Fig. 28

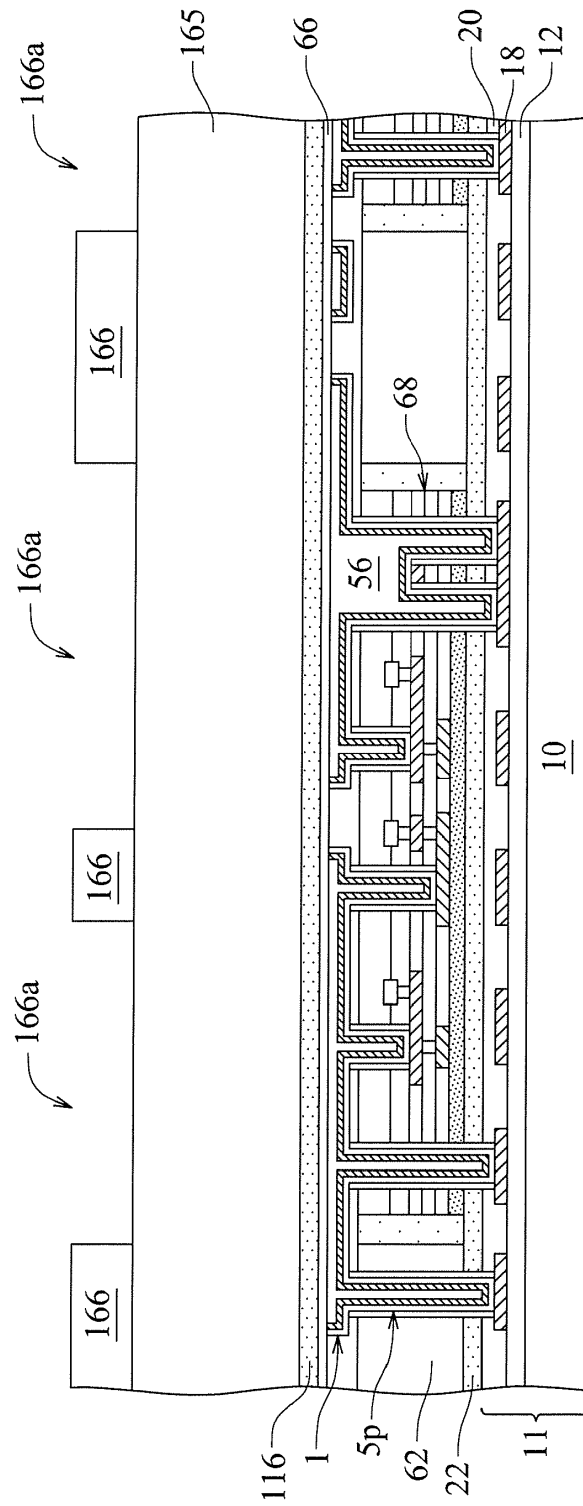


Fig. 29

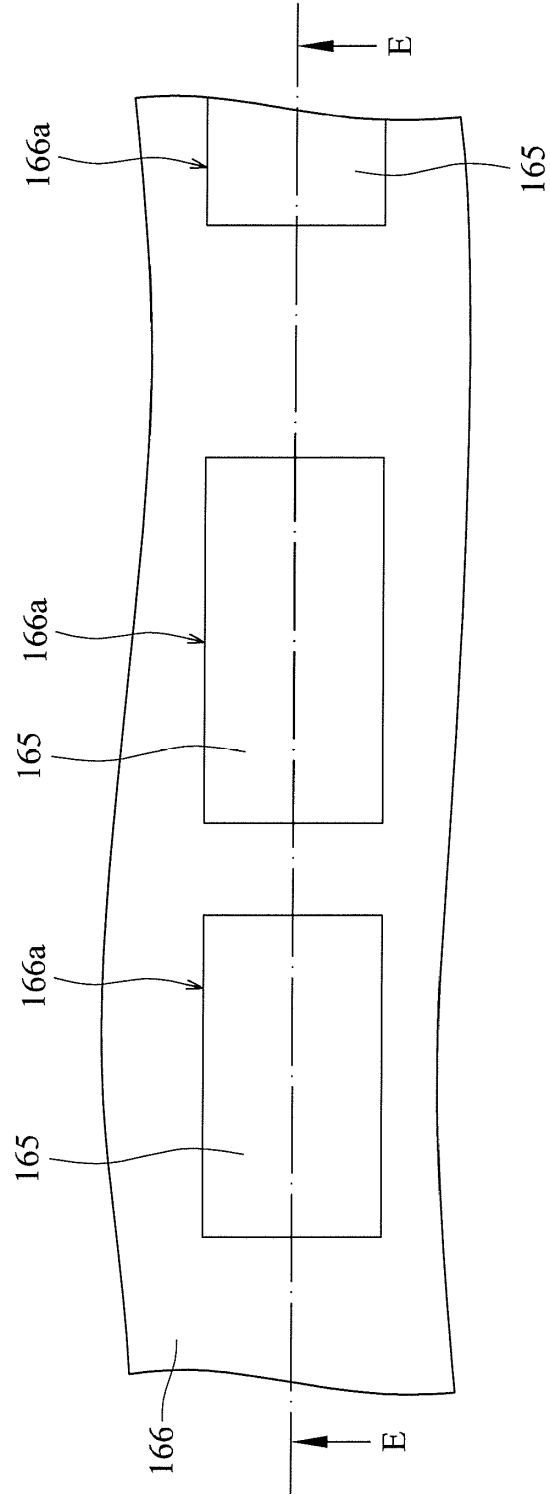


Fig. 30

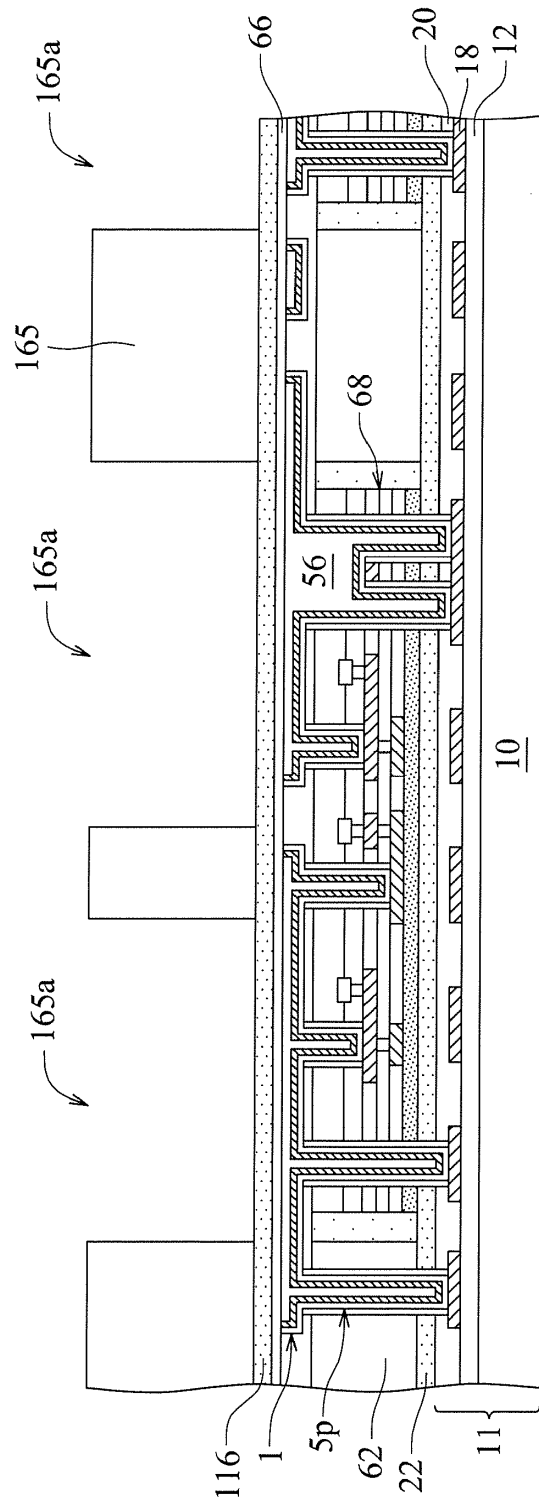


Fig. 31

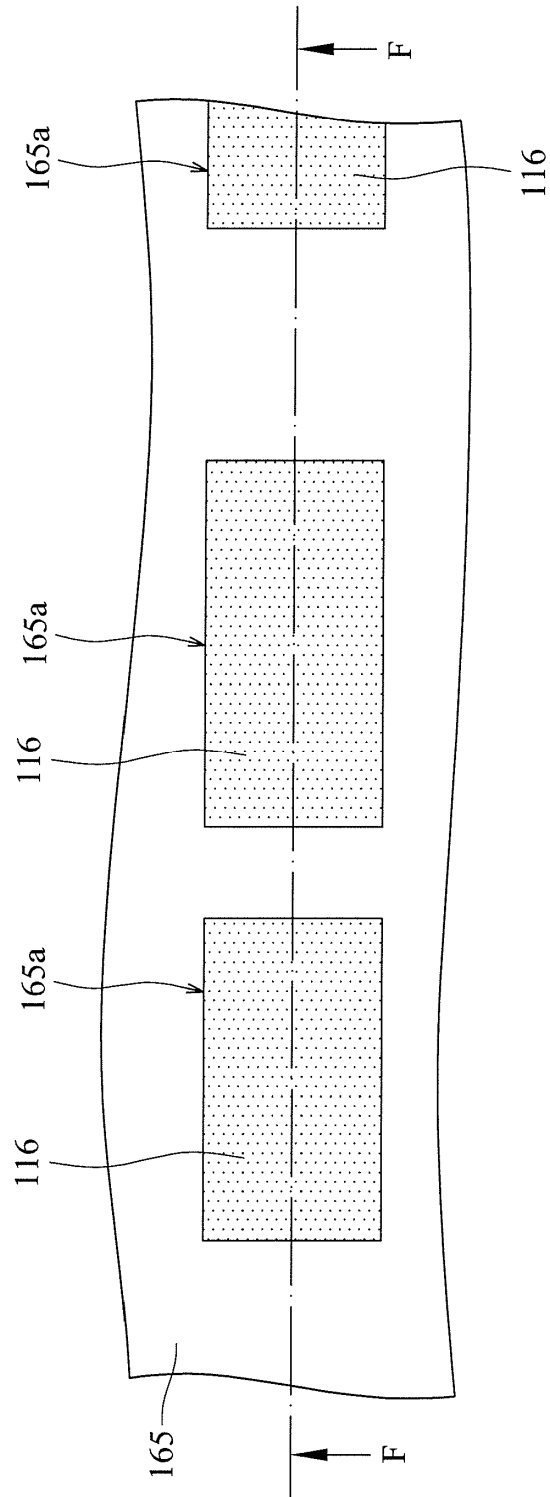


Fig. 32

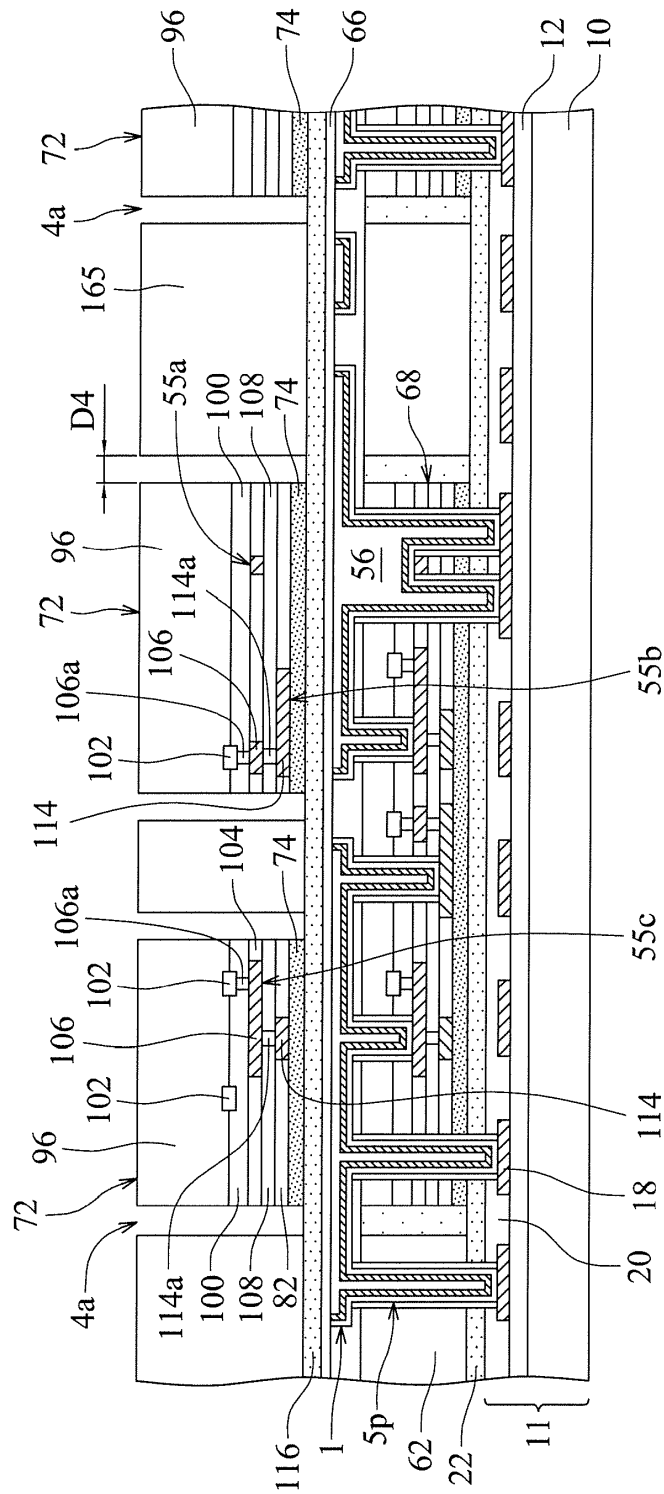
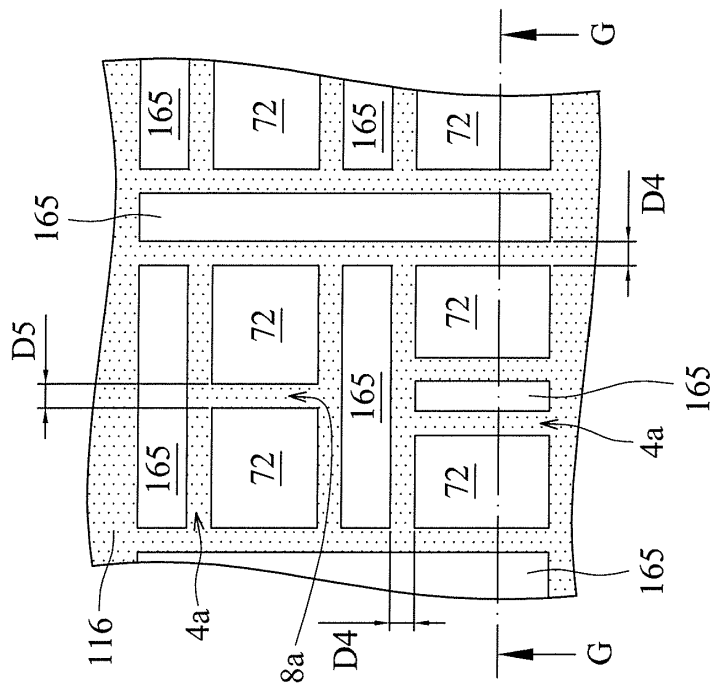
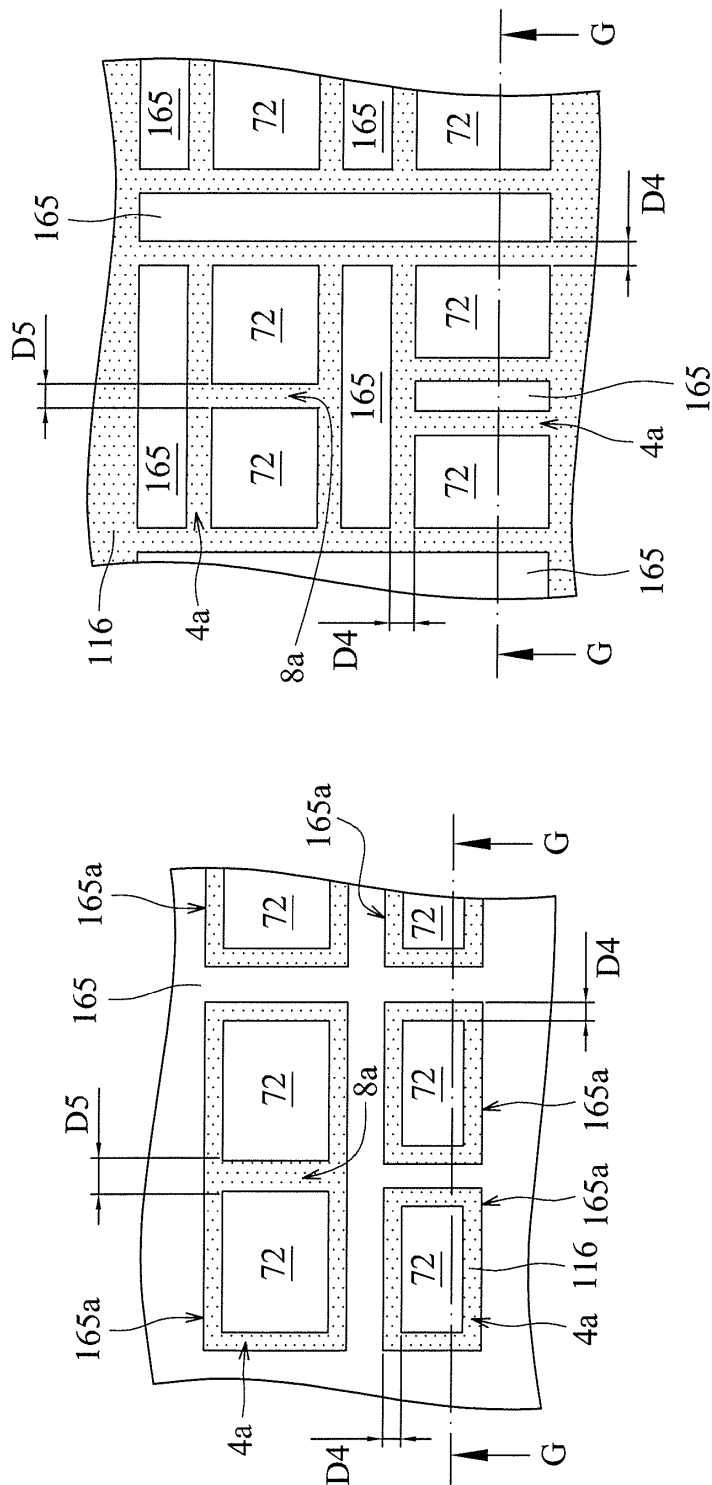


Fig. 33



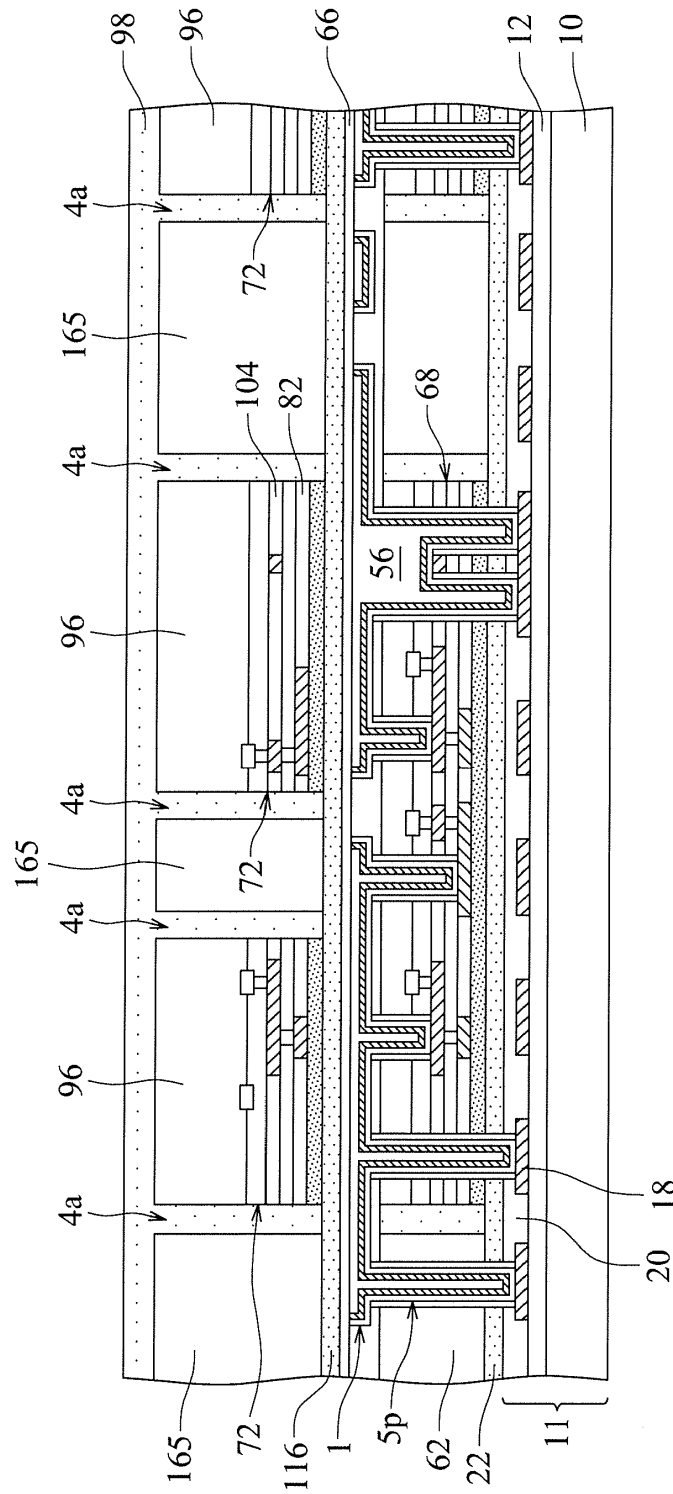


Fig. 36

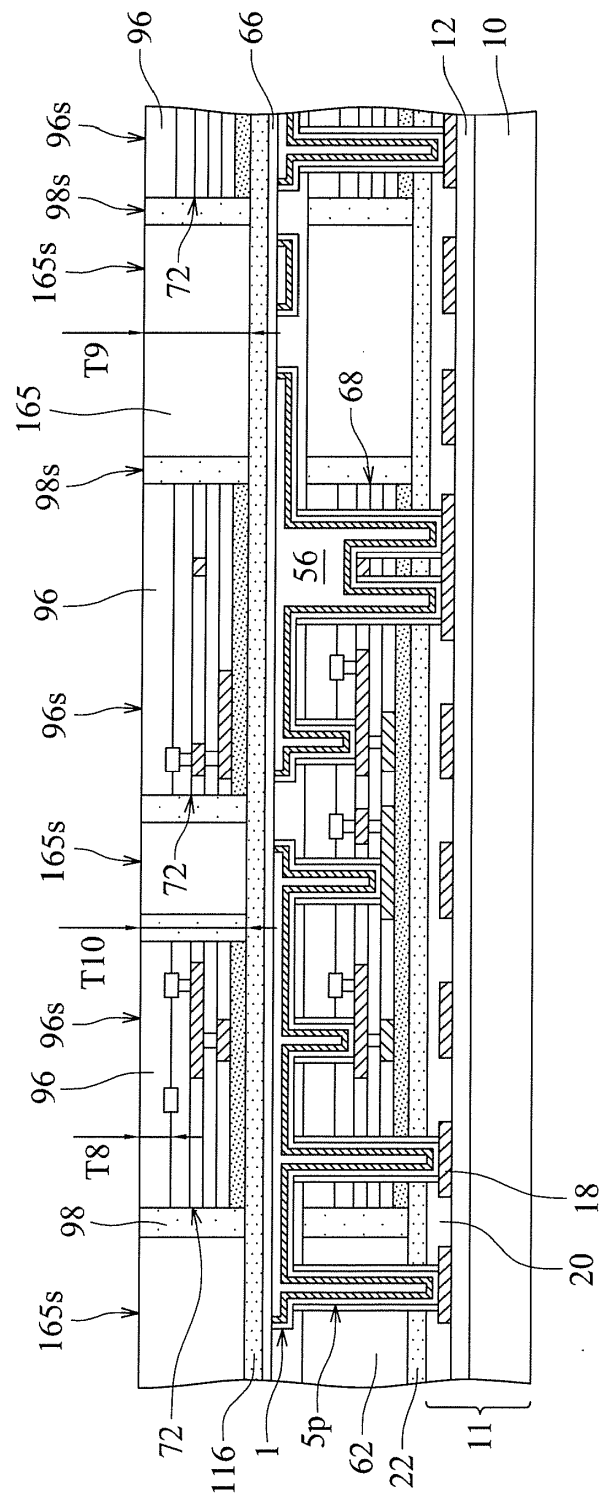


Fig. 37

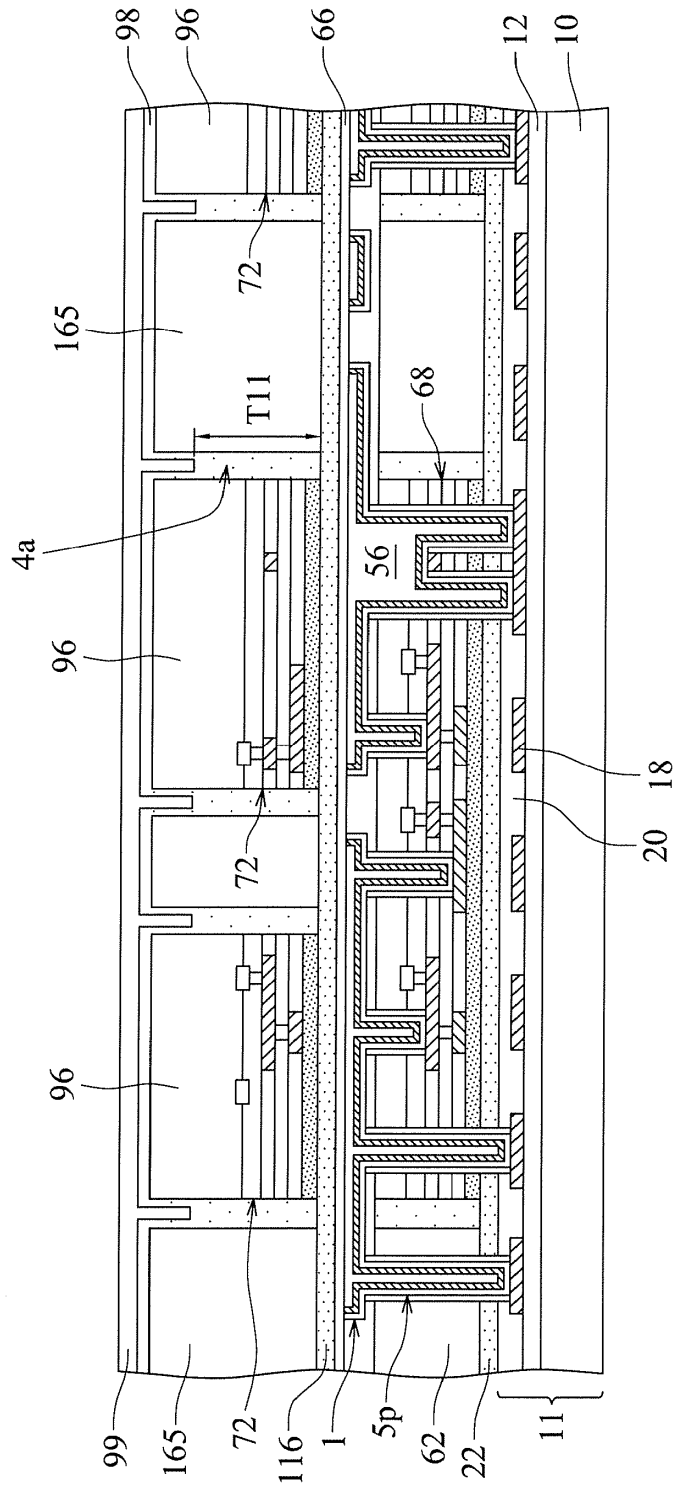


Fig. 38

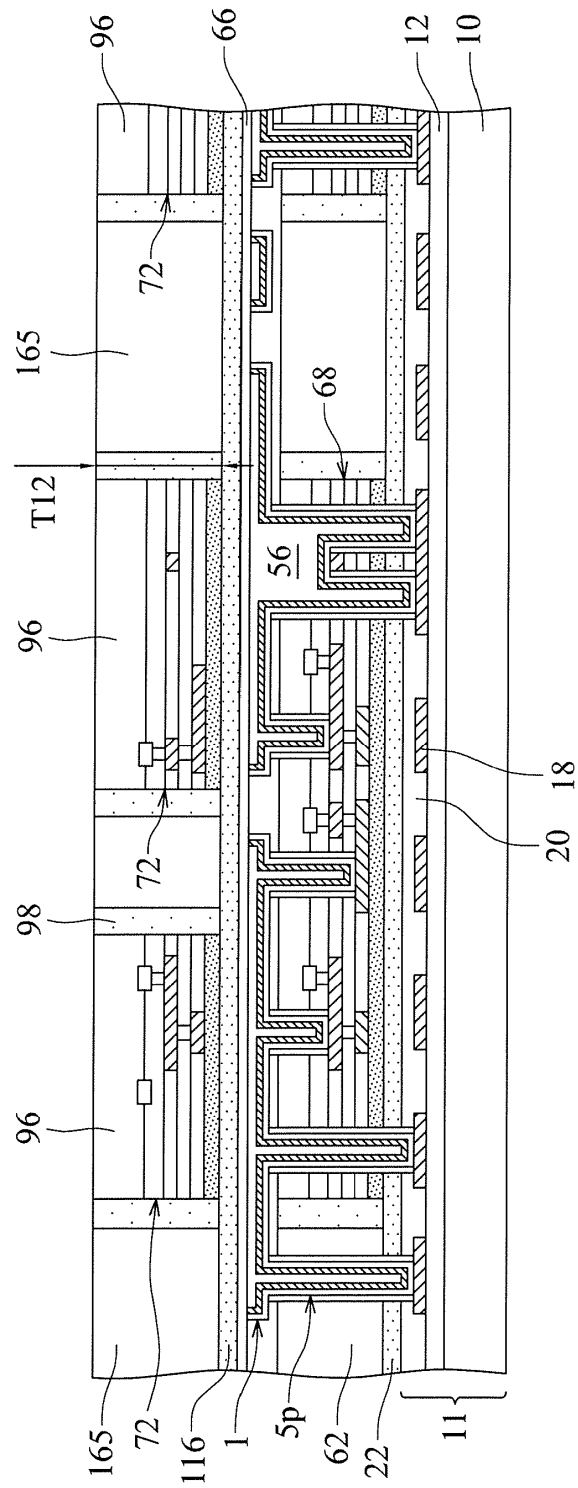


Fig. 39

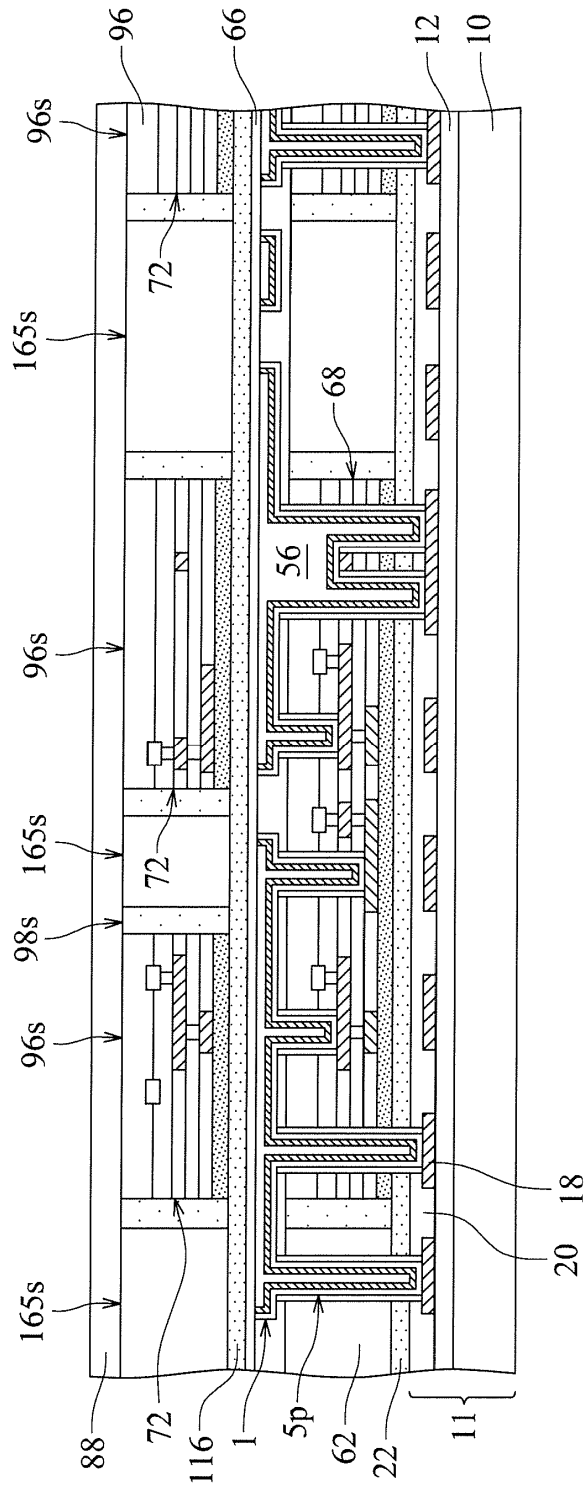


Fig. 40

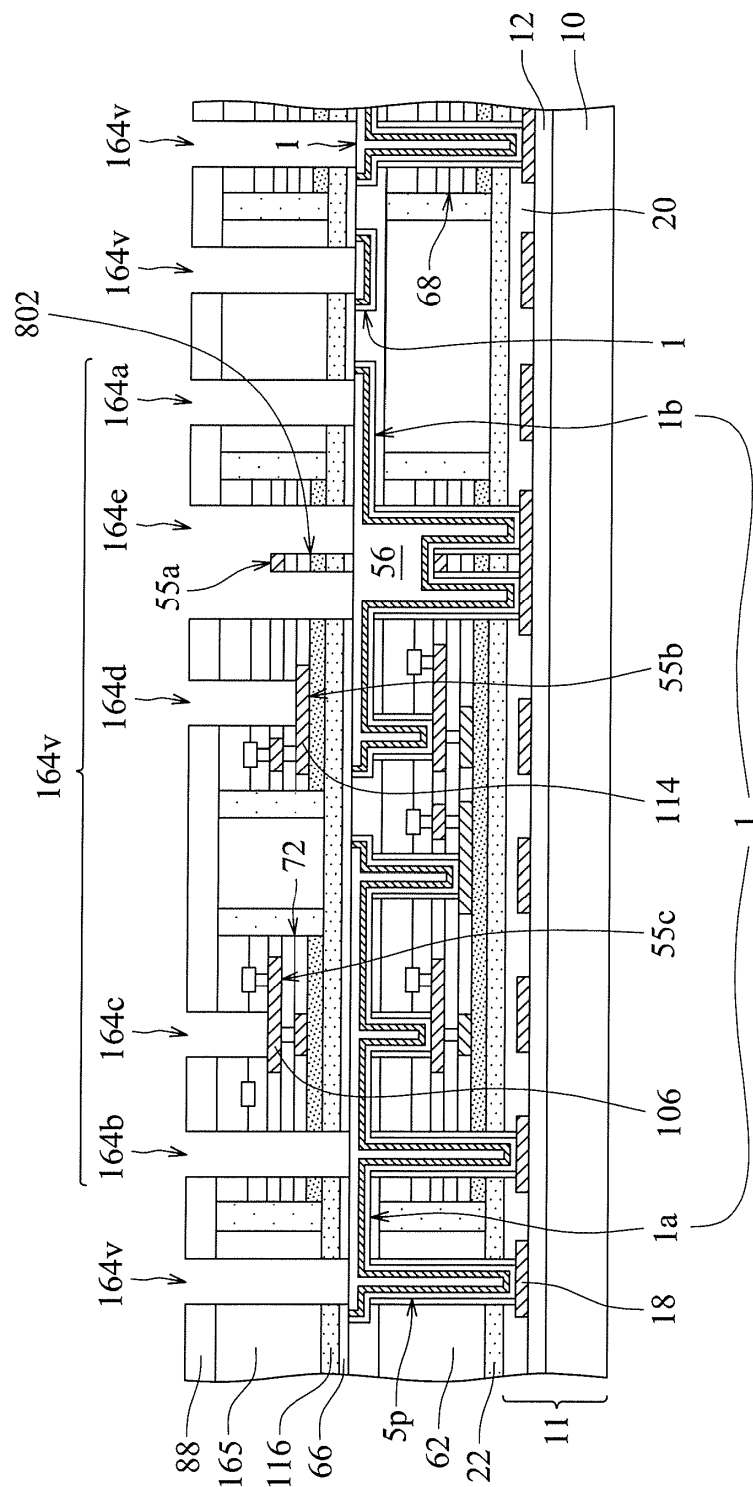


Fig. 41

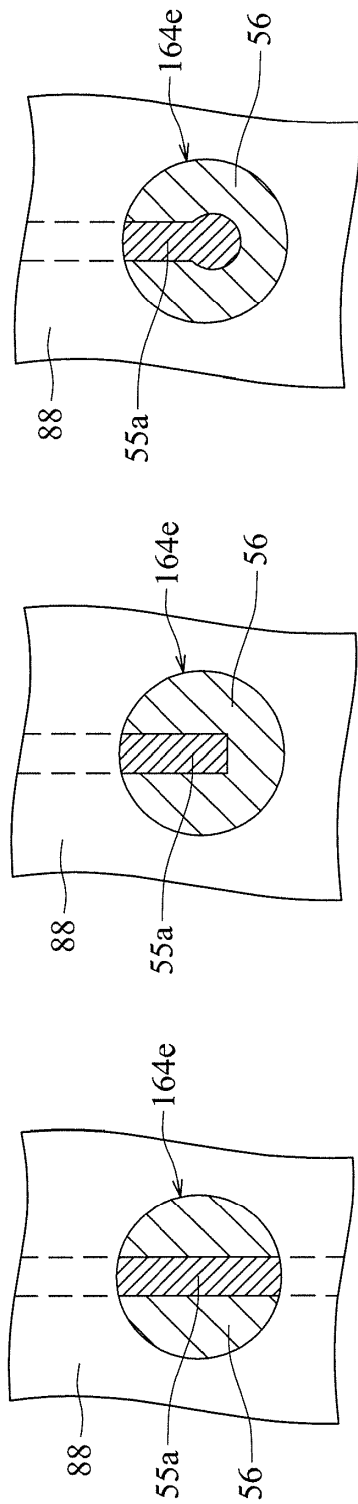


Fig. 44

Fig. 43

Fig. 42

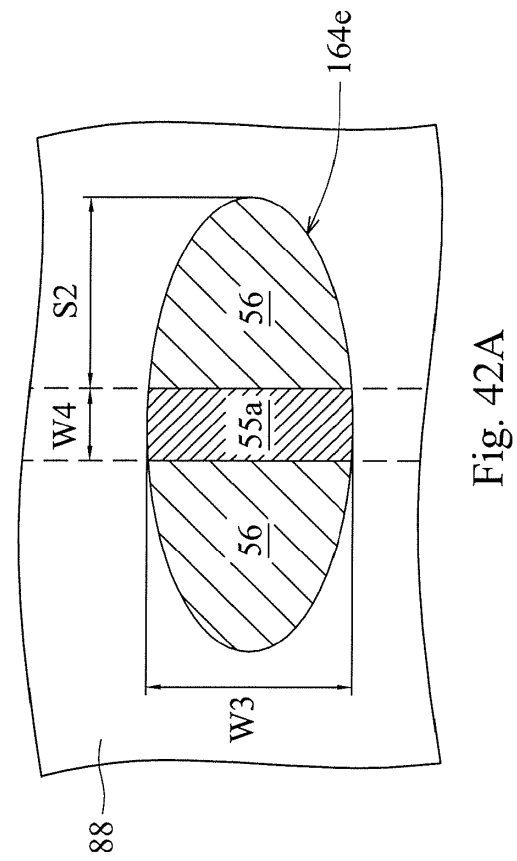


Fig. 42A

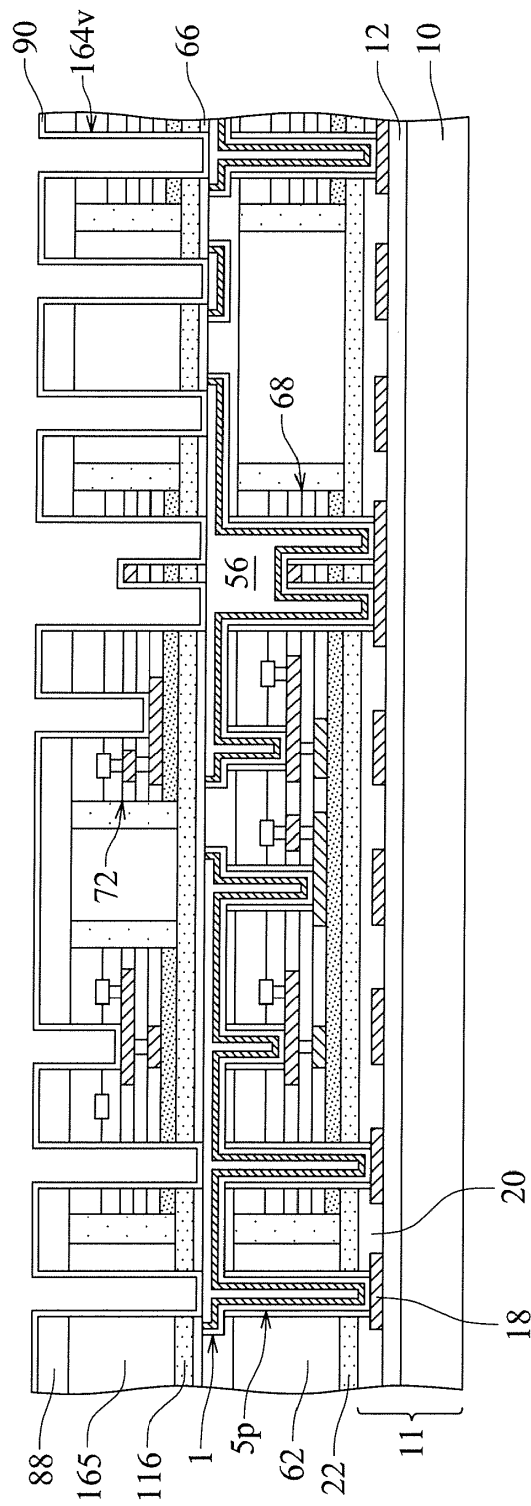


Fig. 45

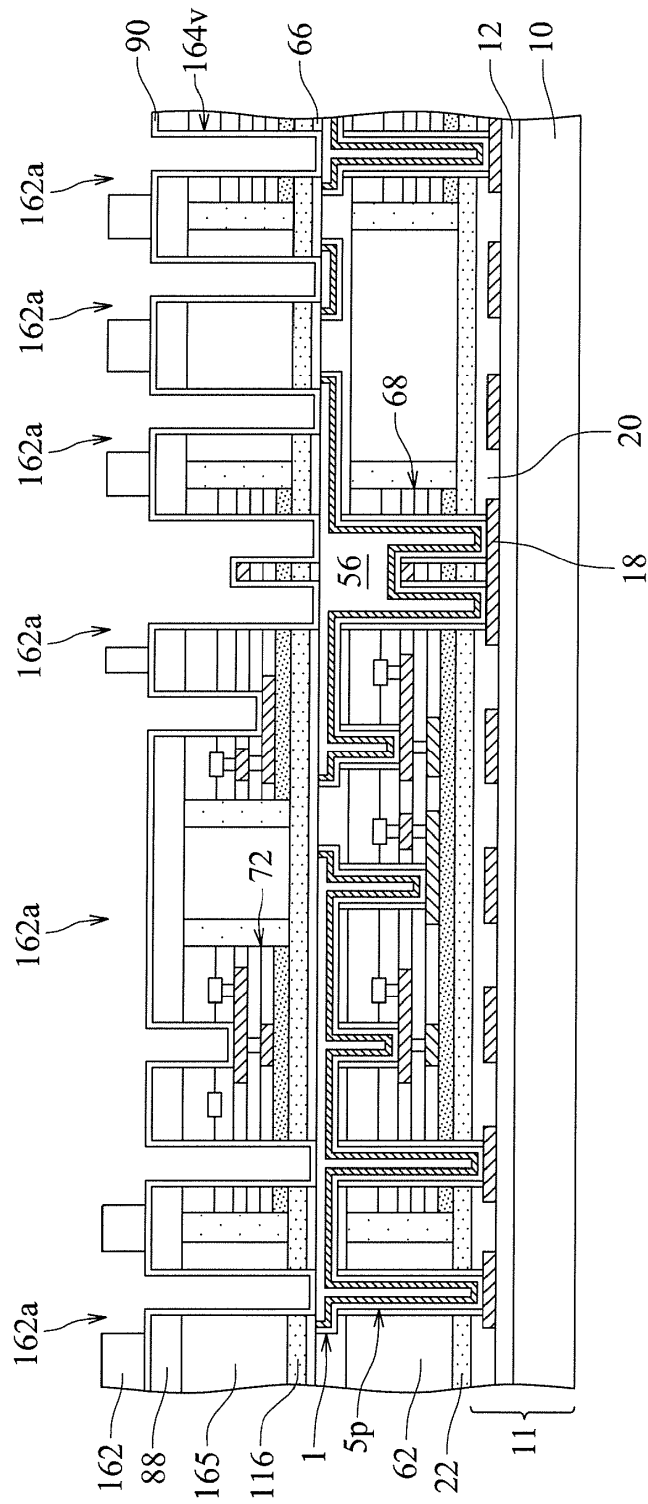


Fig. 46

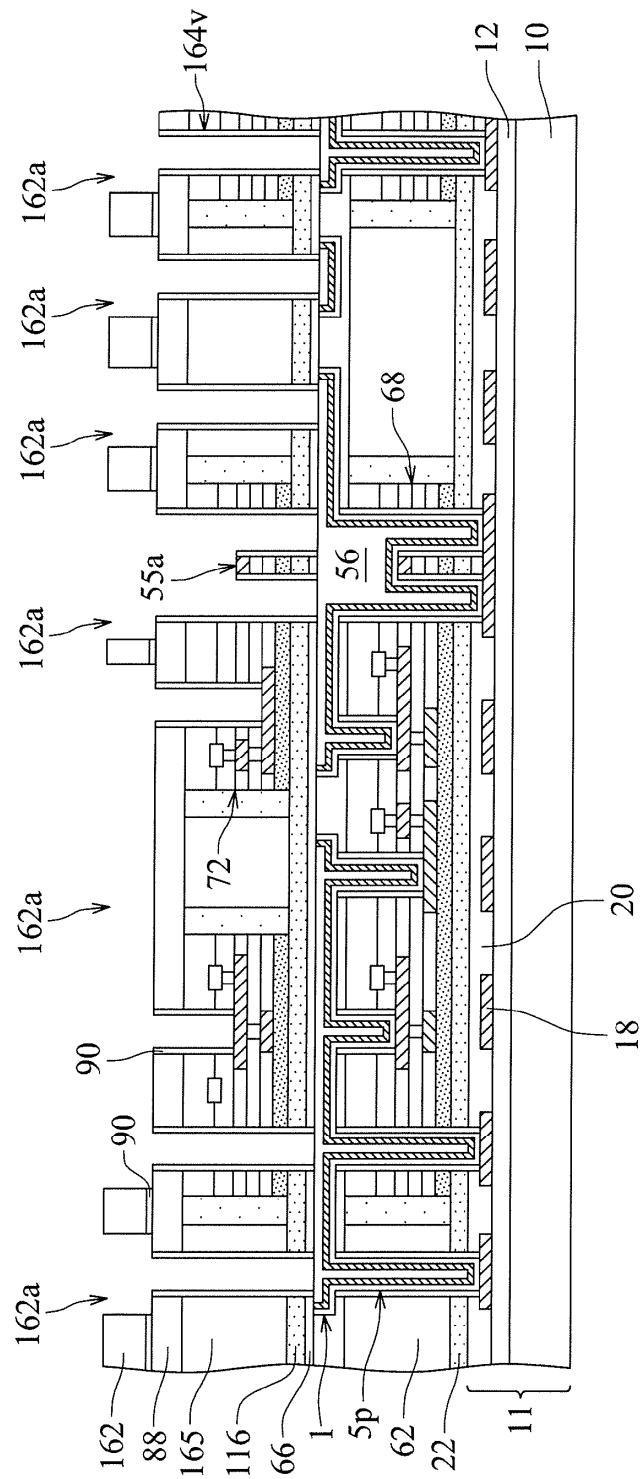


Fig. 47

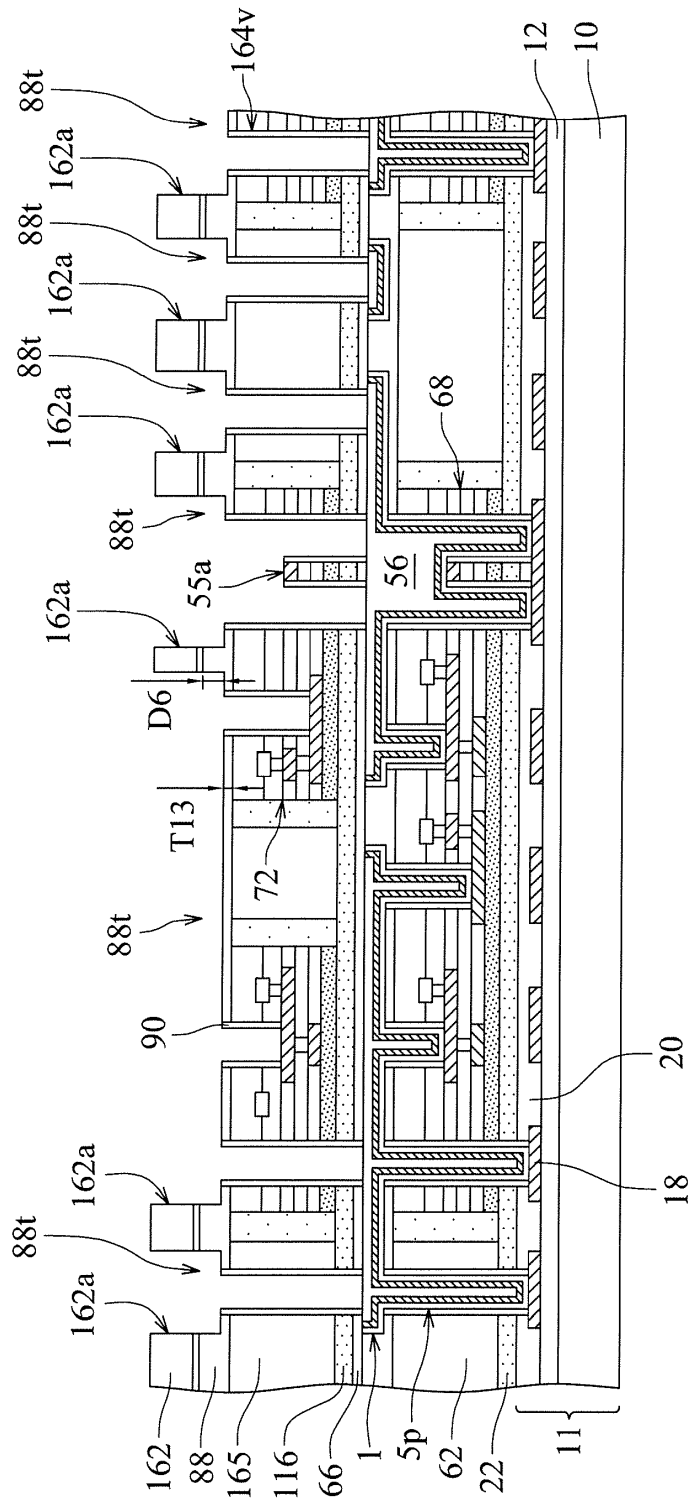


Fig. 48

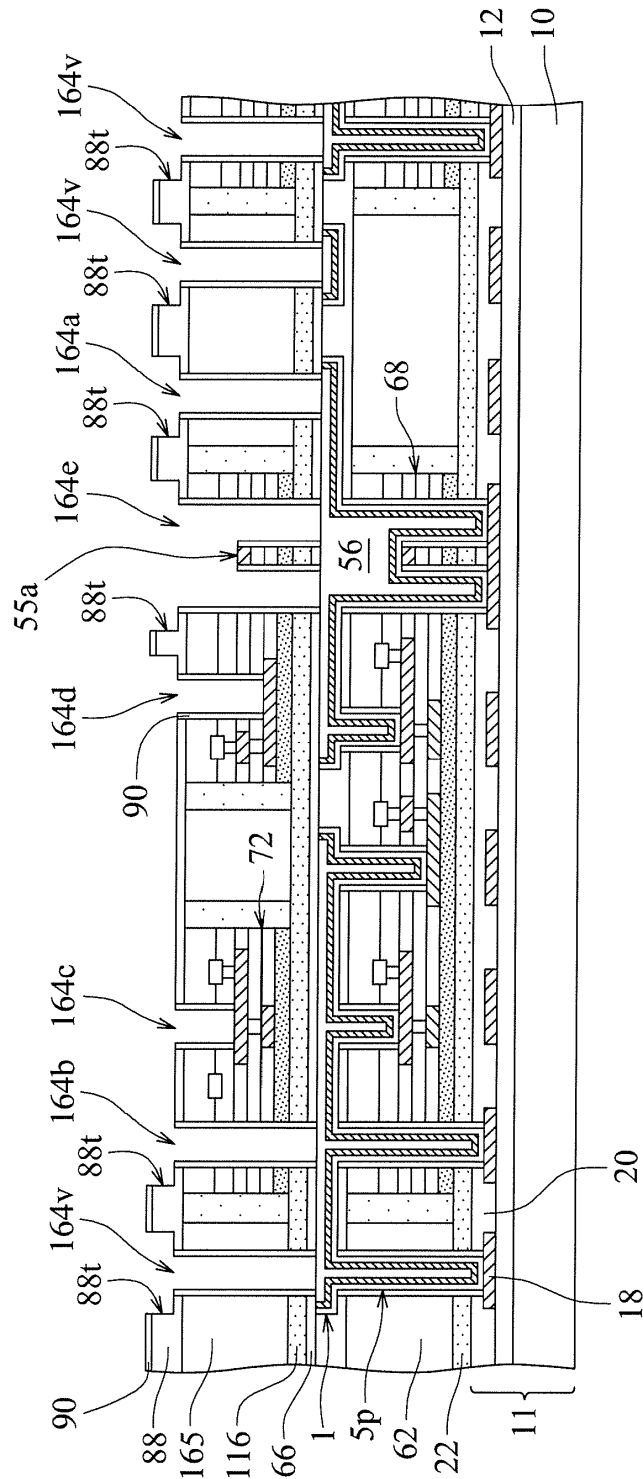


Fig. 49

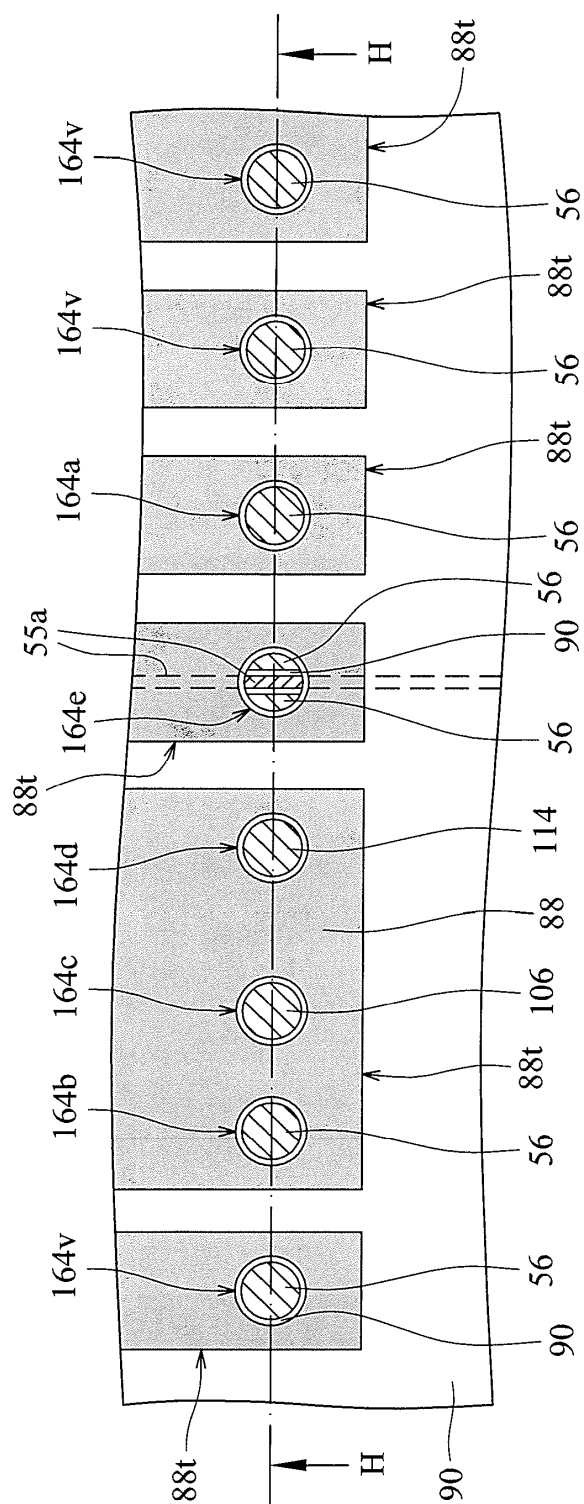


Fig. 50

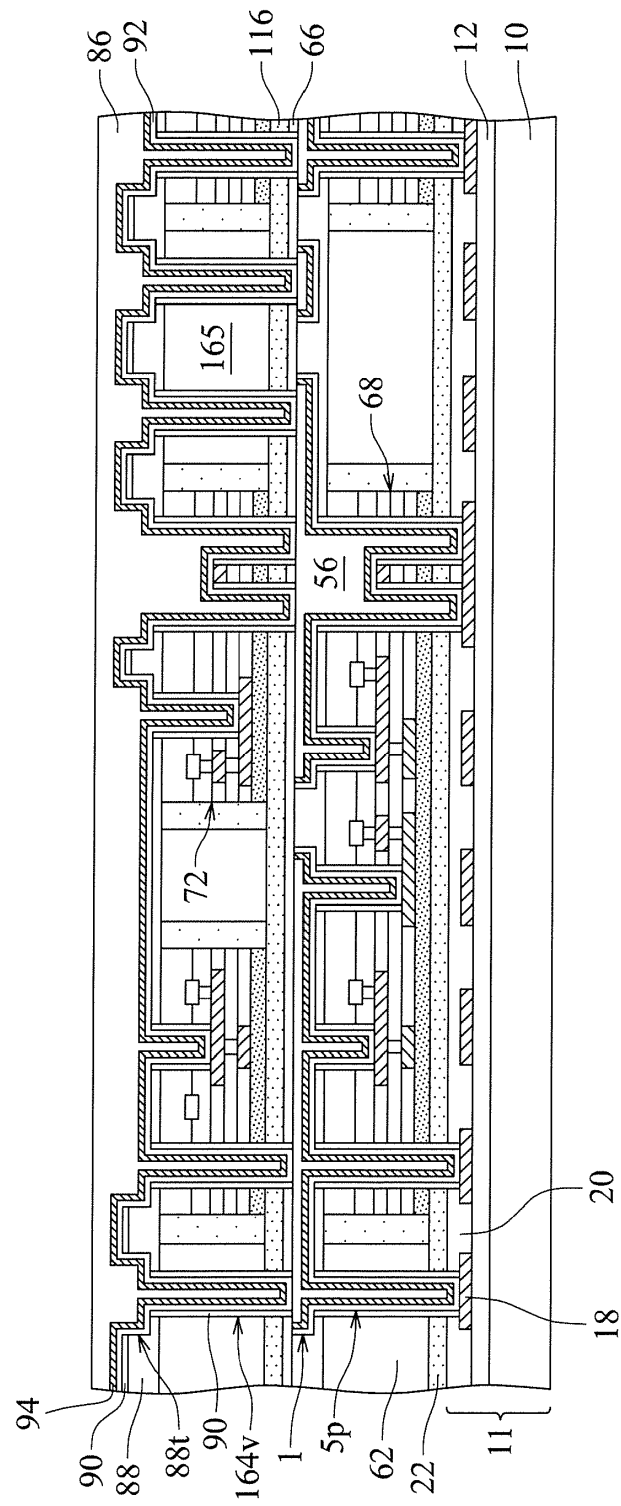


Fig. 51

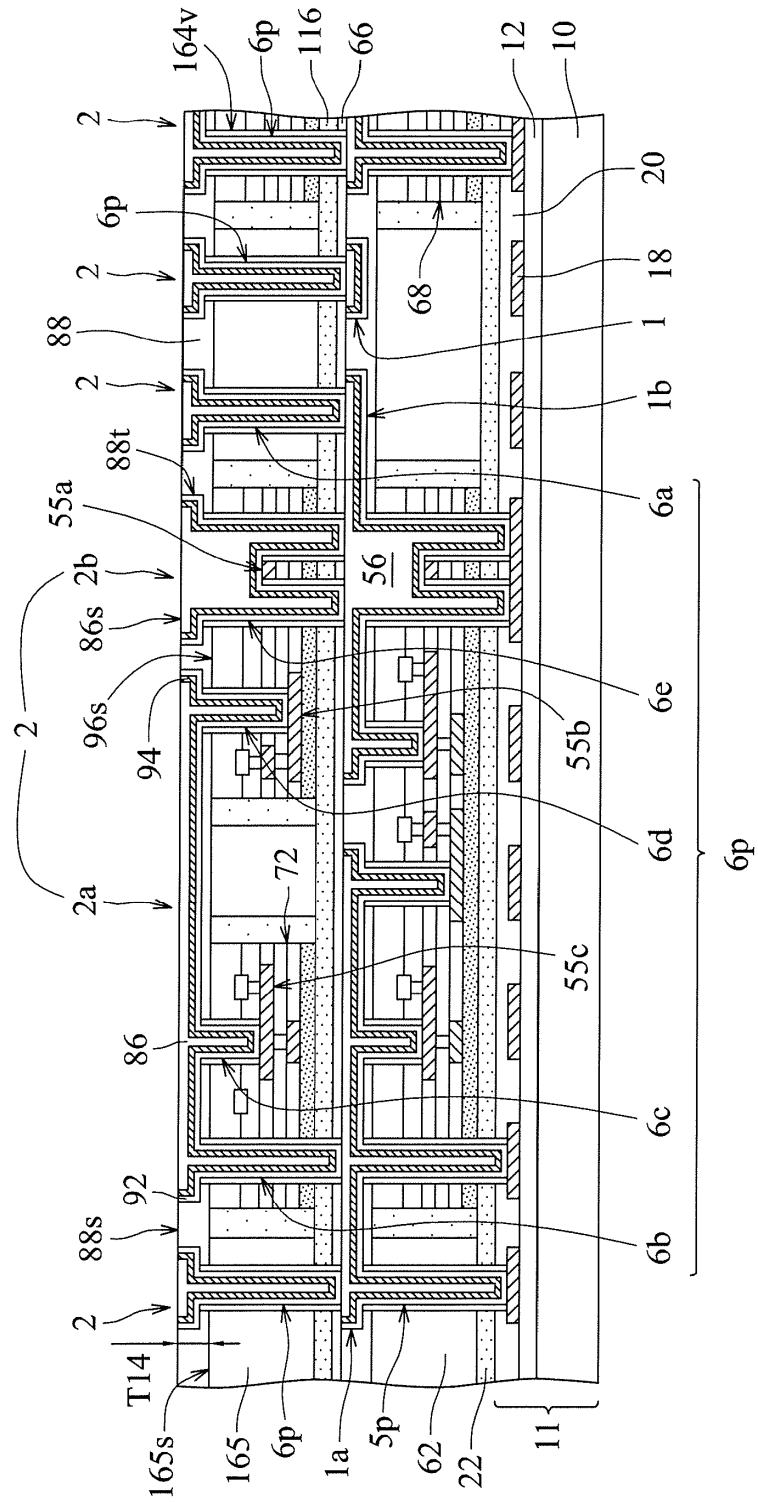


Fig. 52

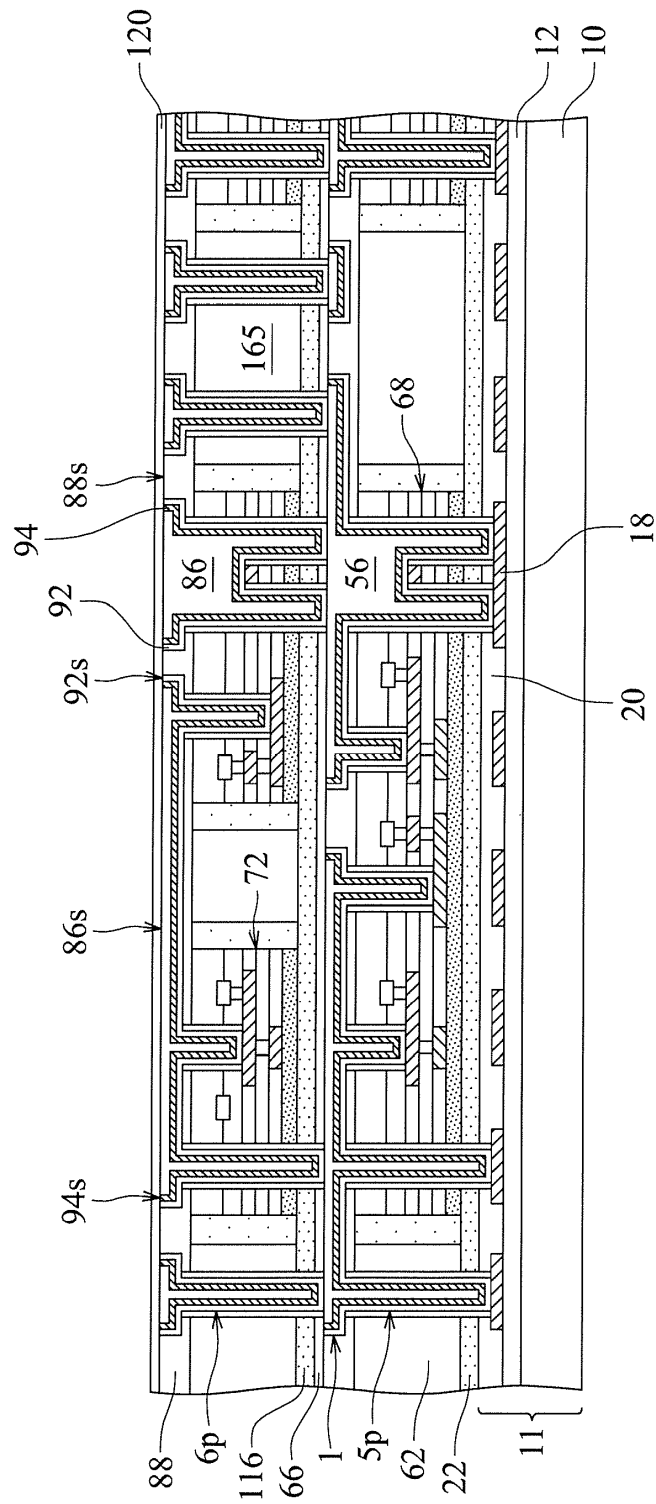


Fig. 53

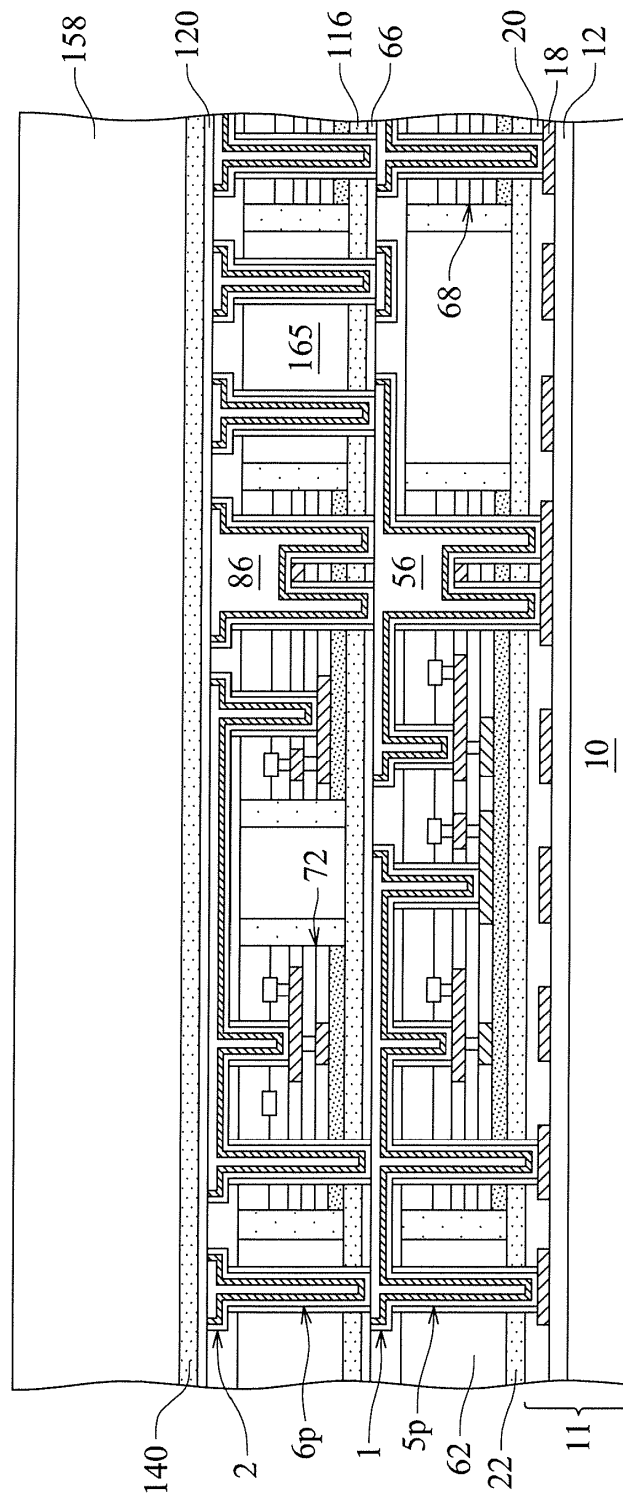


Fig. 54

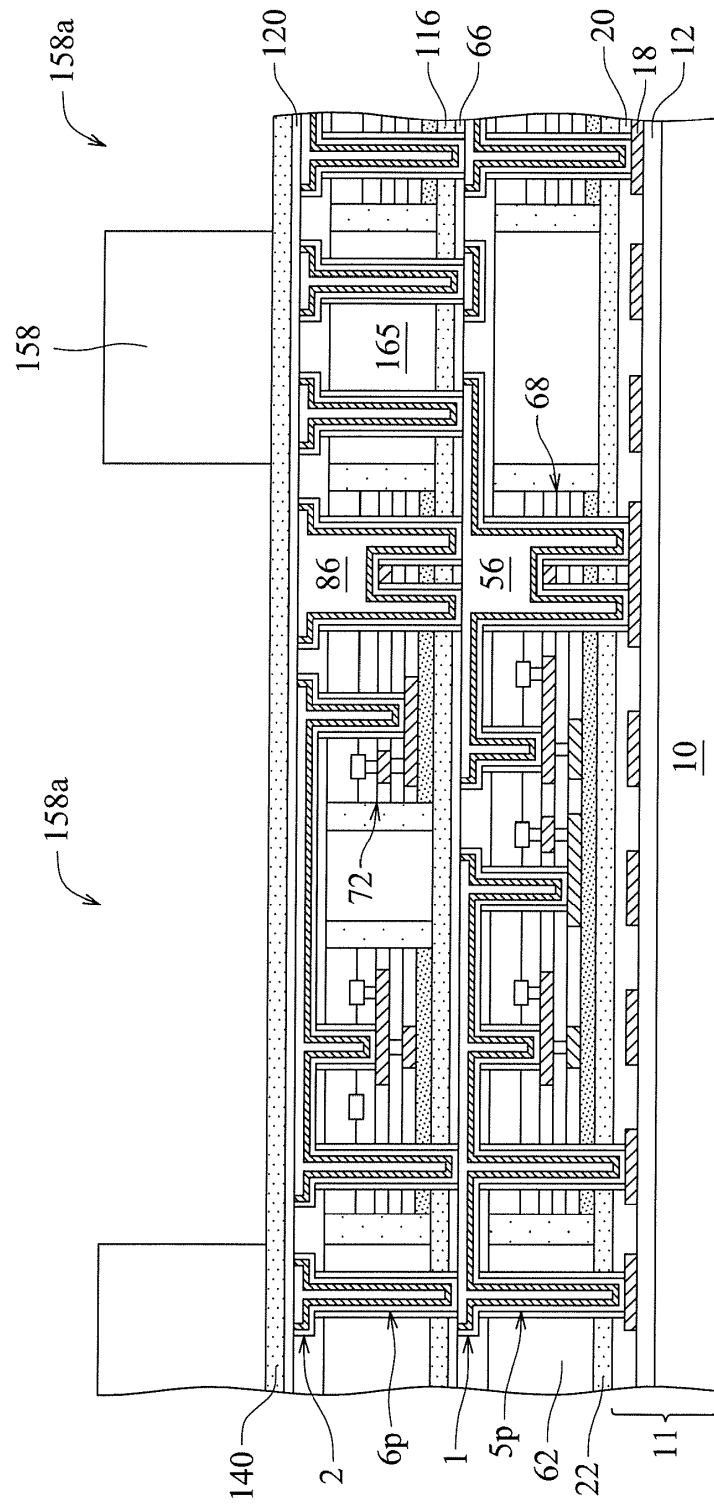


Fig. 55

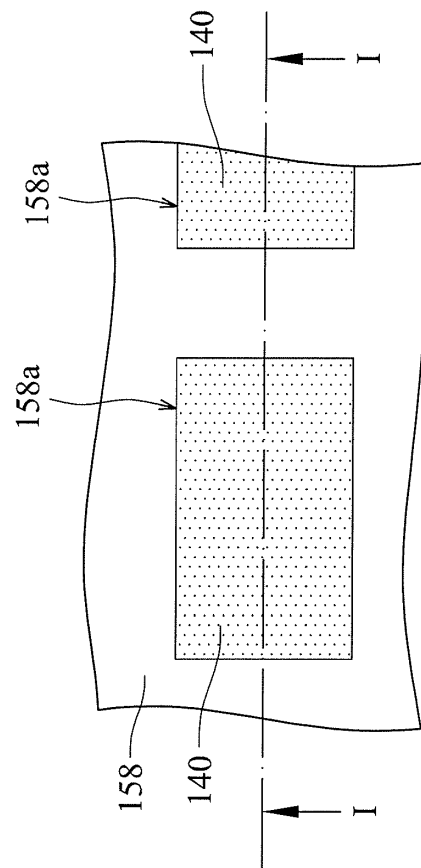


Fig. 56

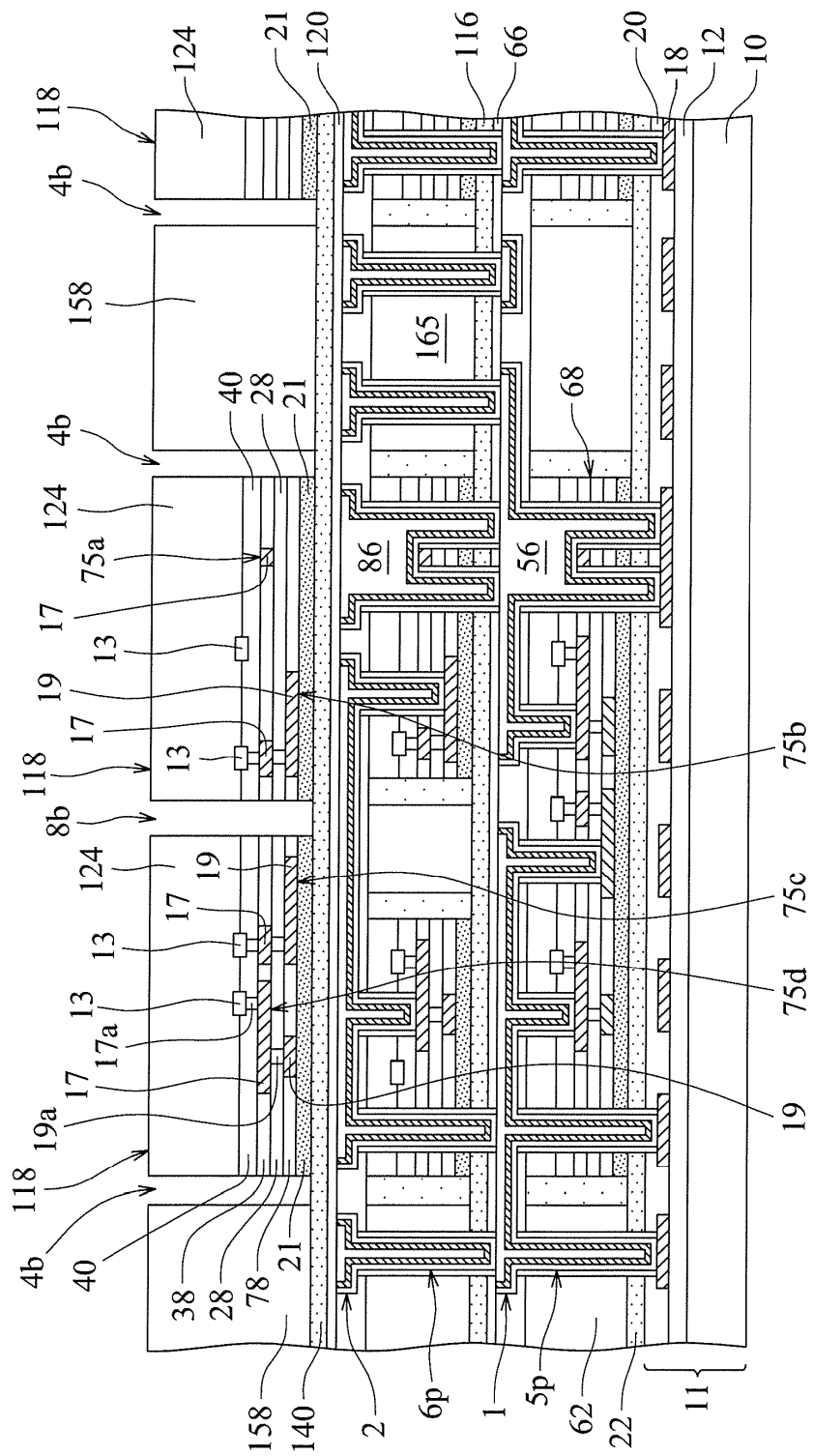


Fig. 57

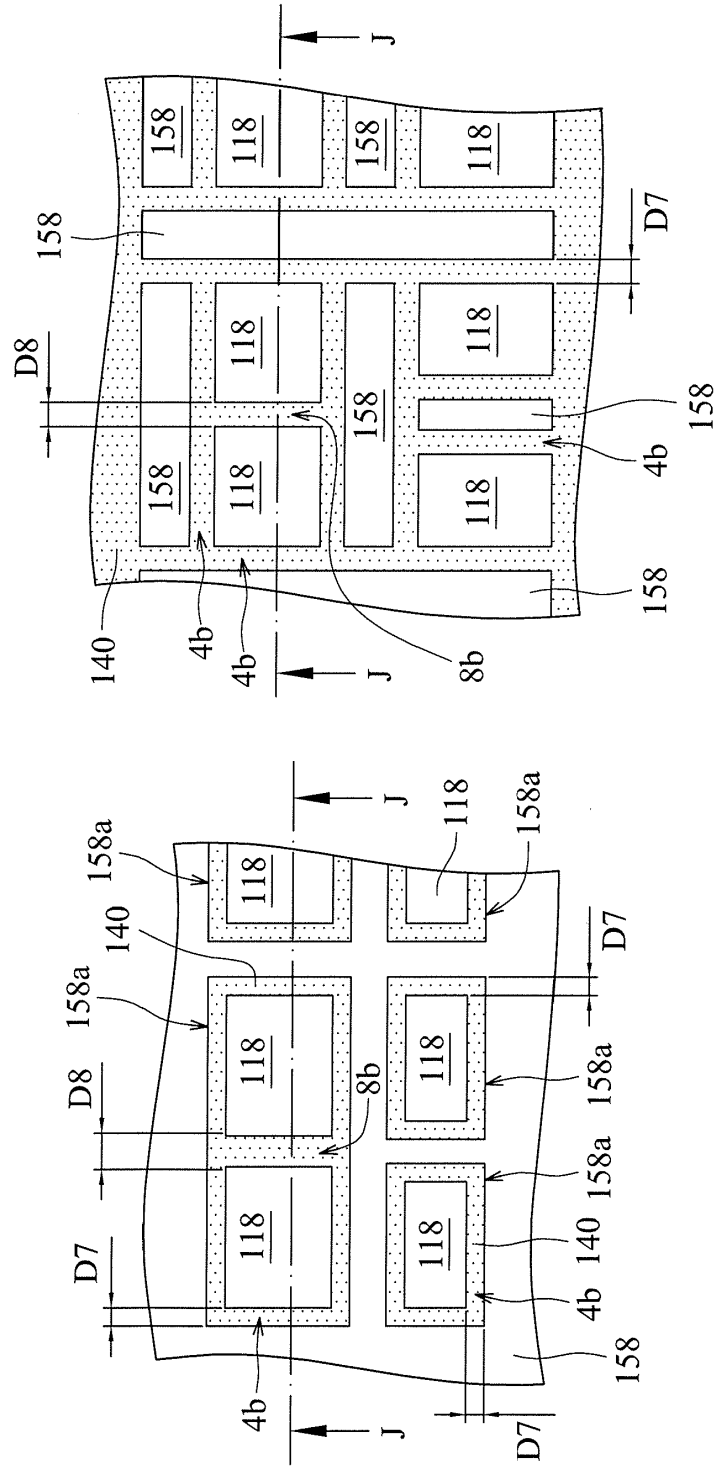


Fig. 59

Fig. 58

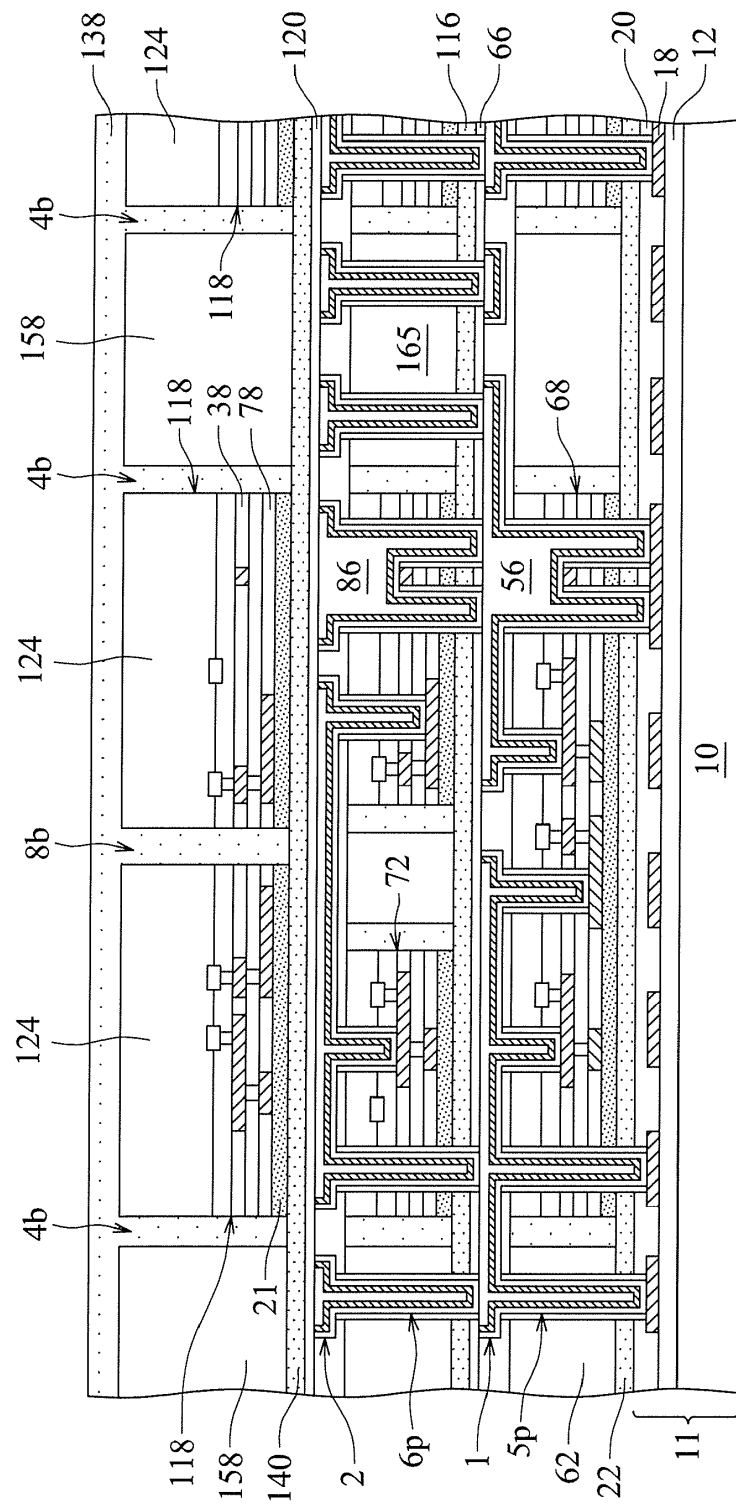


Fig. 60

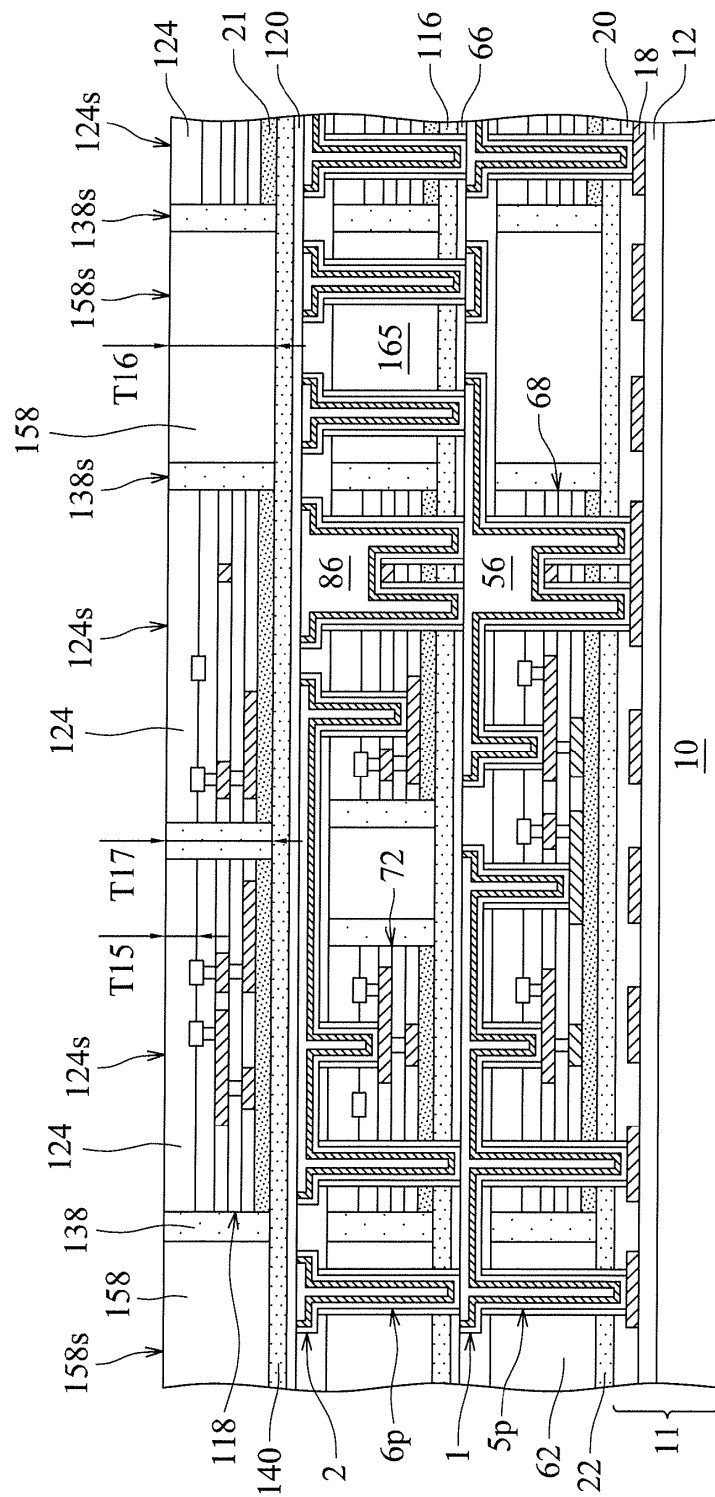


Fig. 61

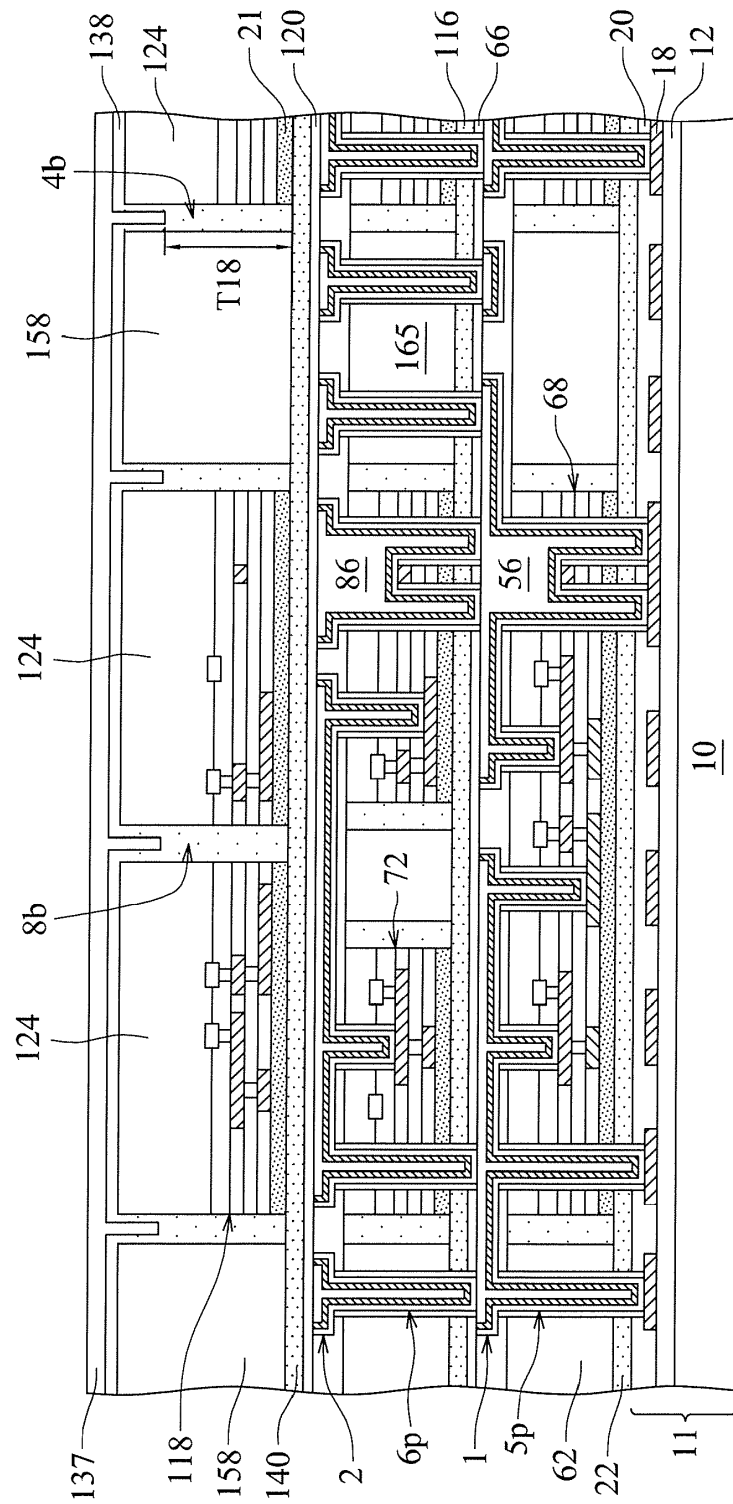


Fig. 62

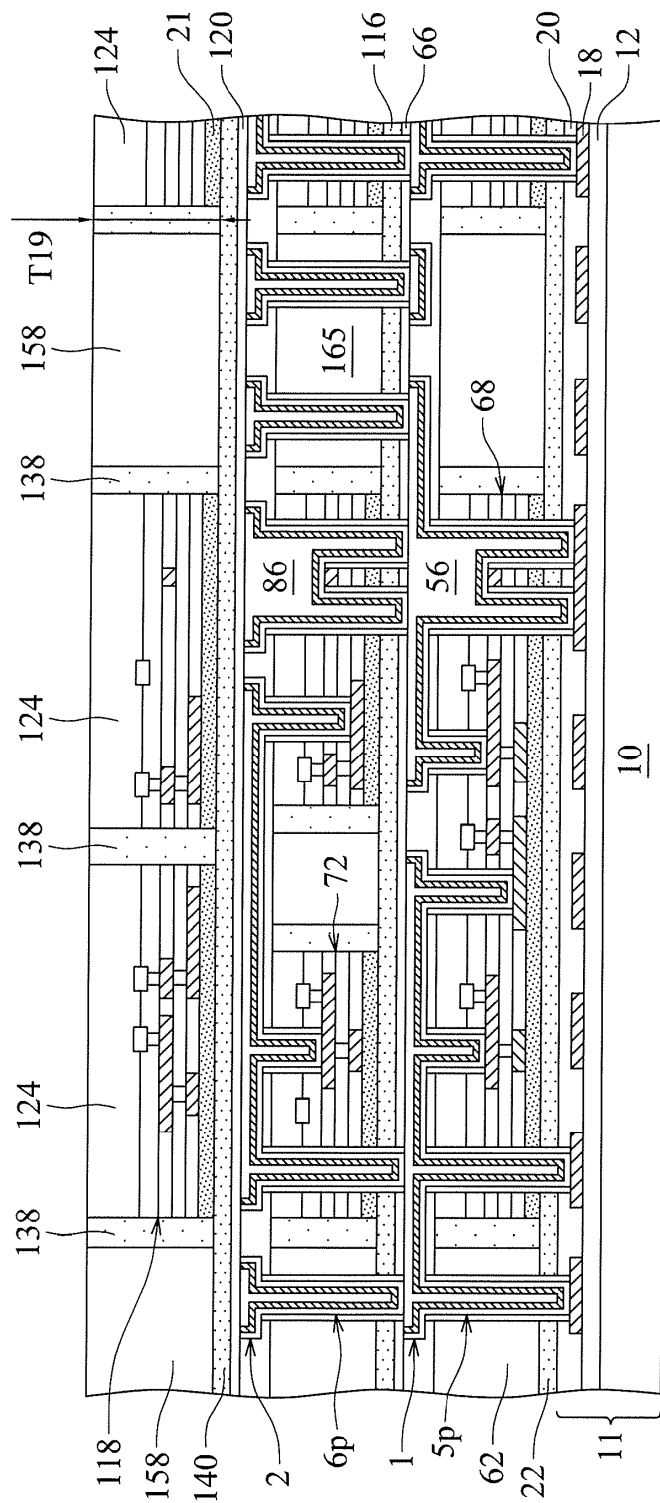


Fig. 63

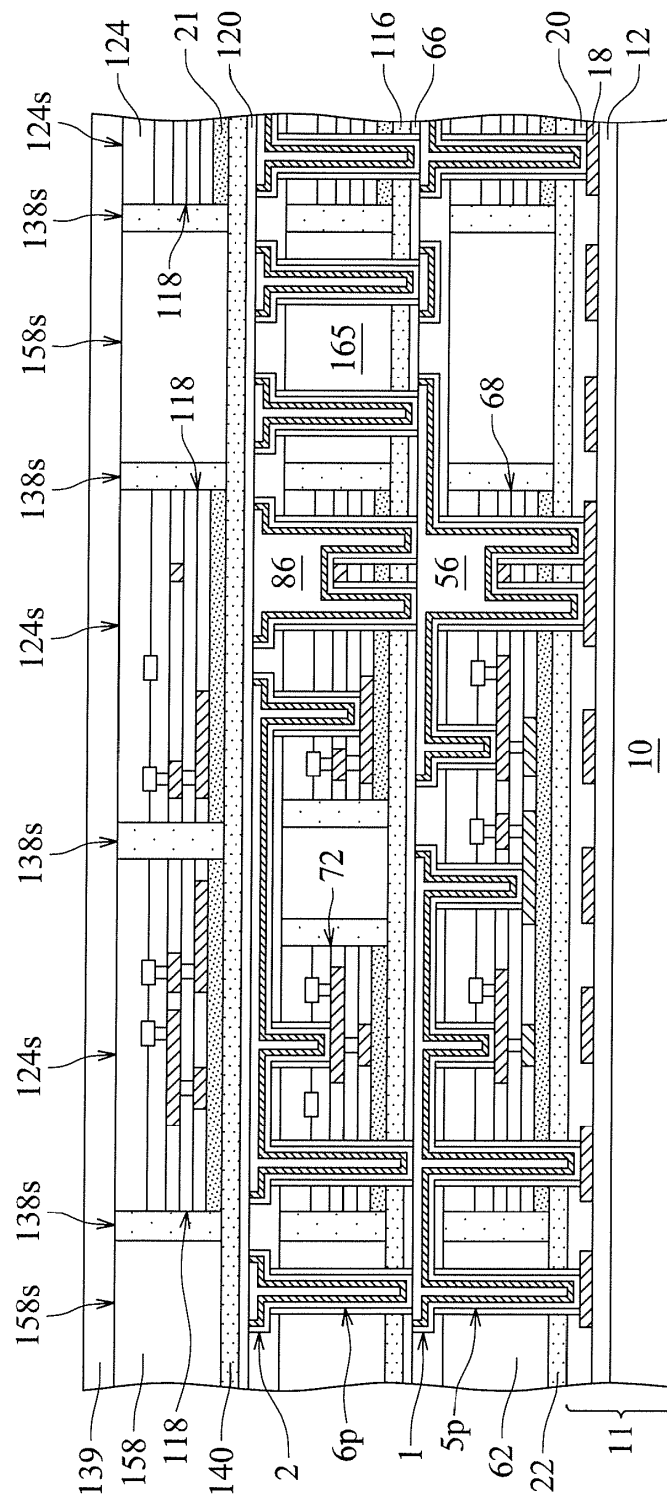


Fig. 64

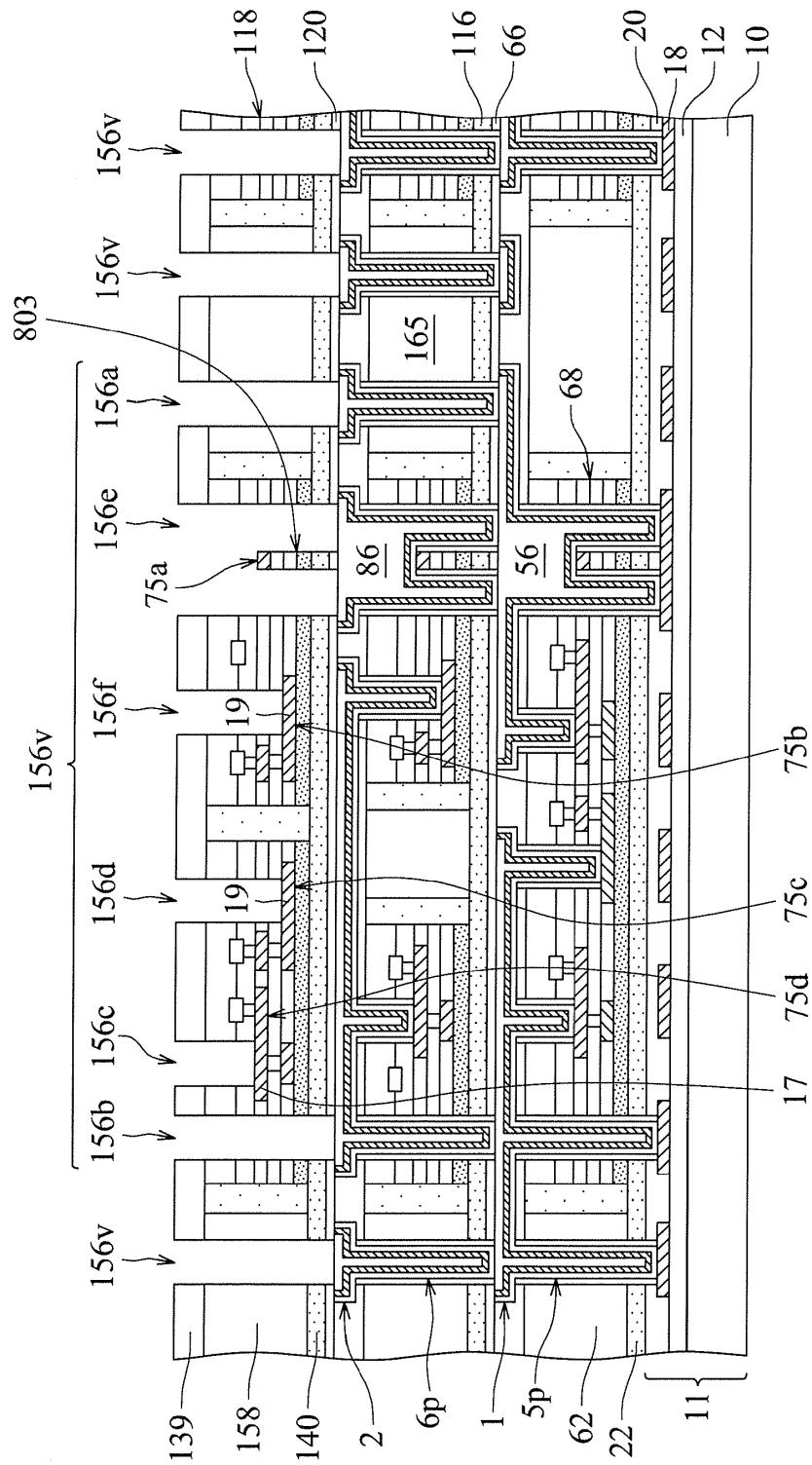


Fig. 65

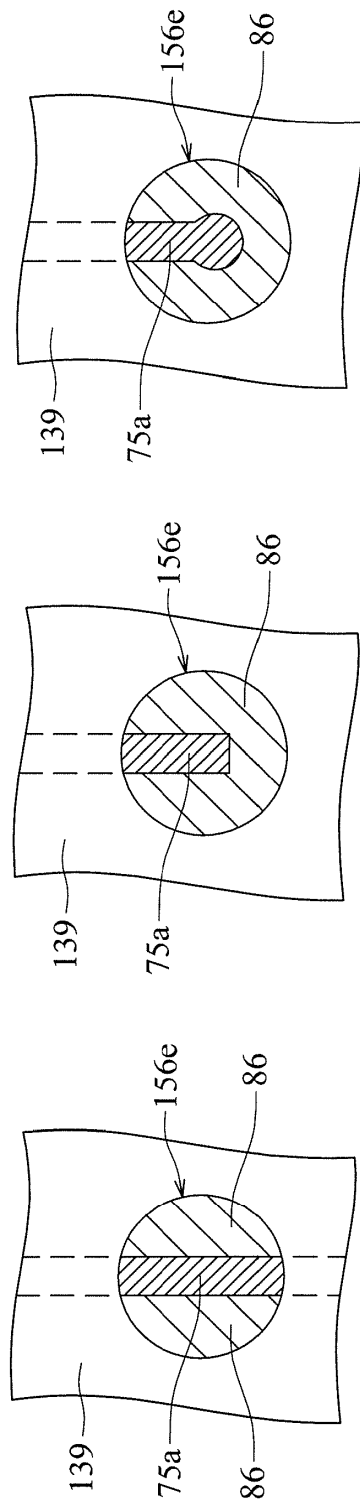


Fig. 68

Fig. 67

Fig. 66

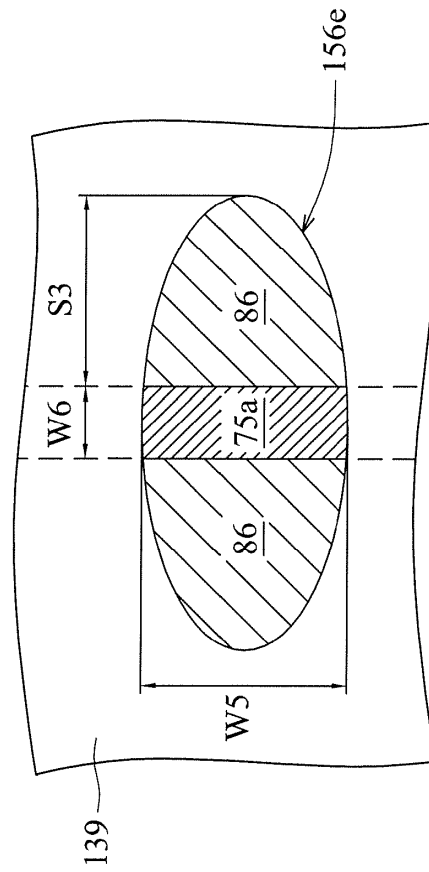


Fig. 66A

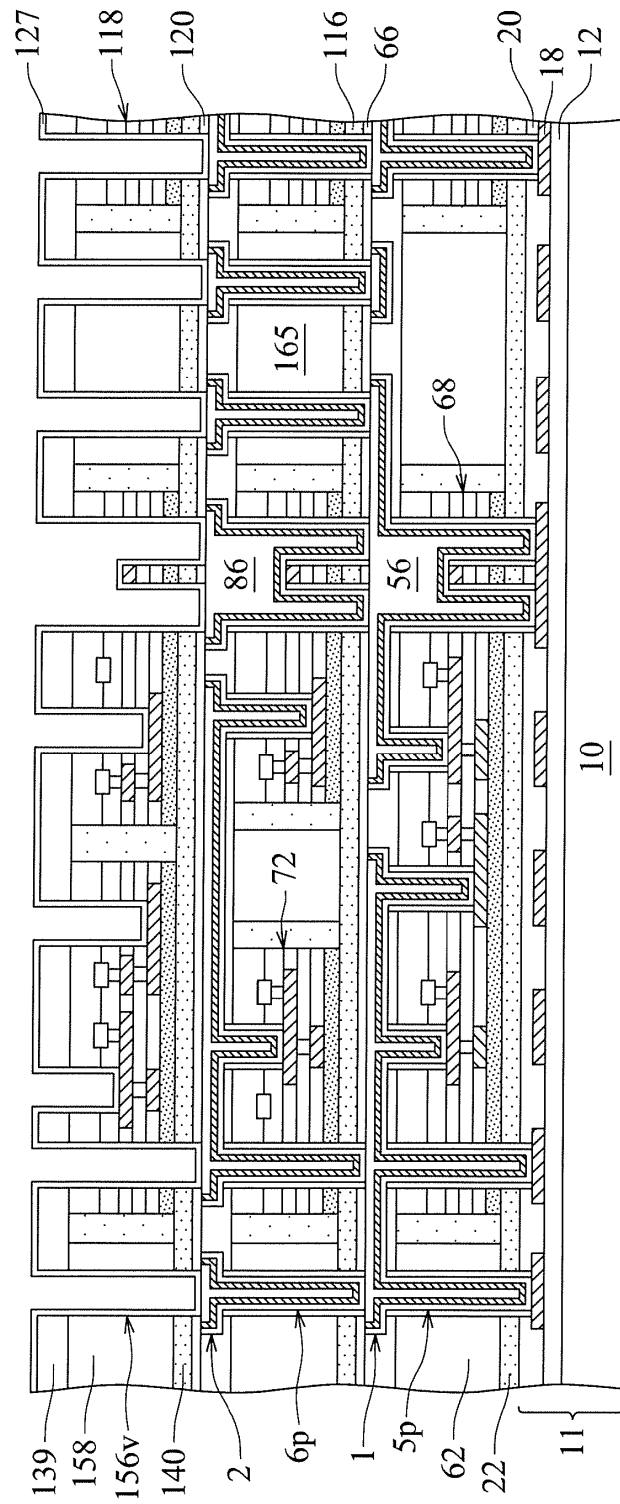


Fig. 69

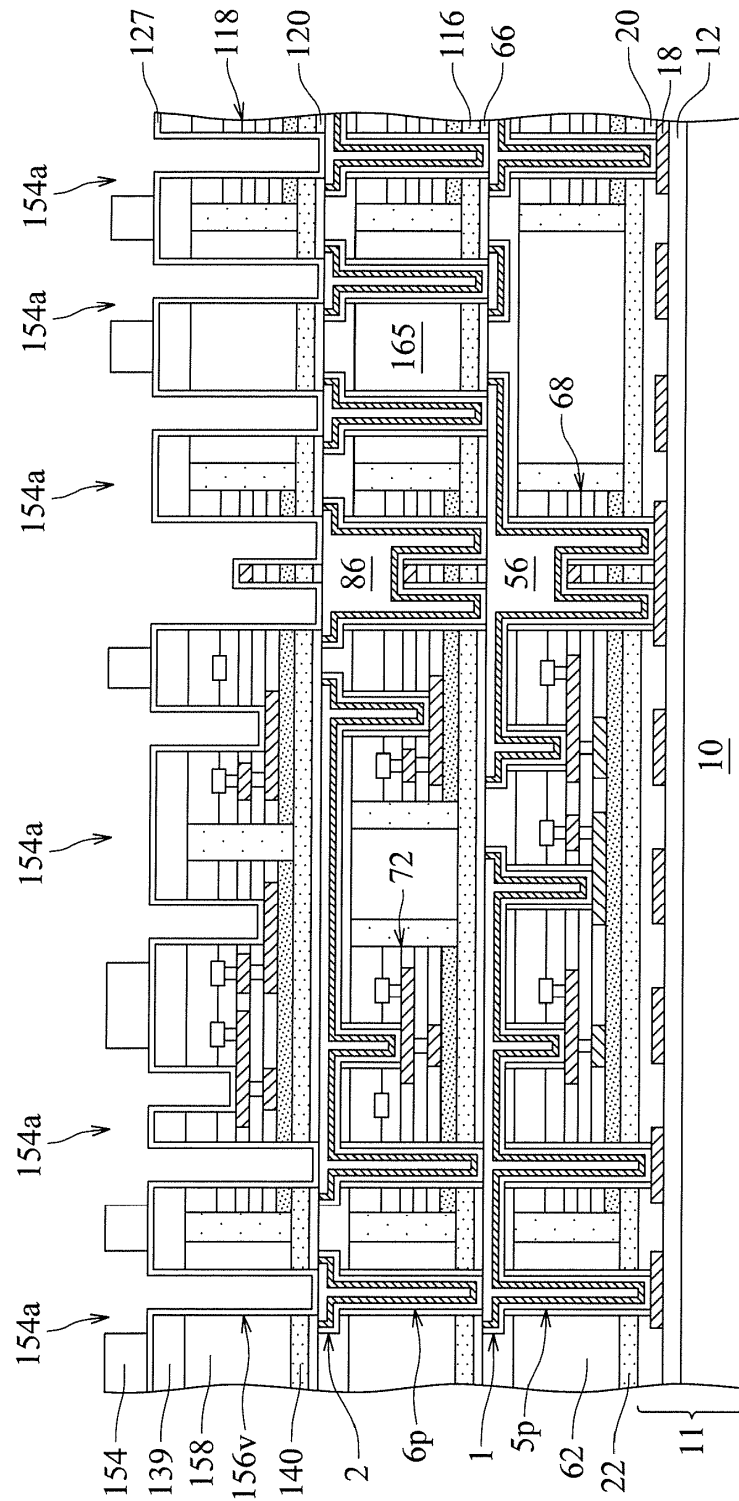


Fig. 70

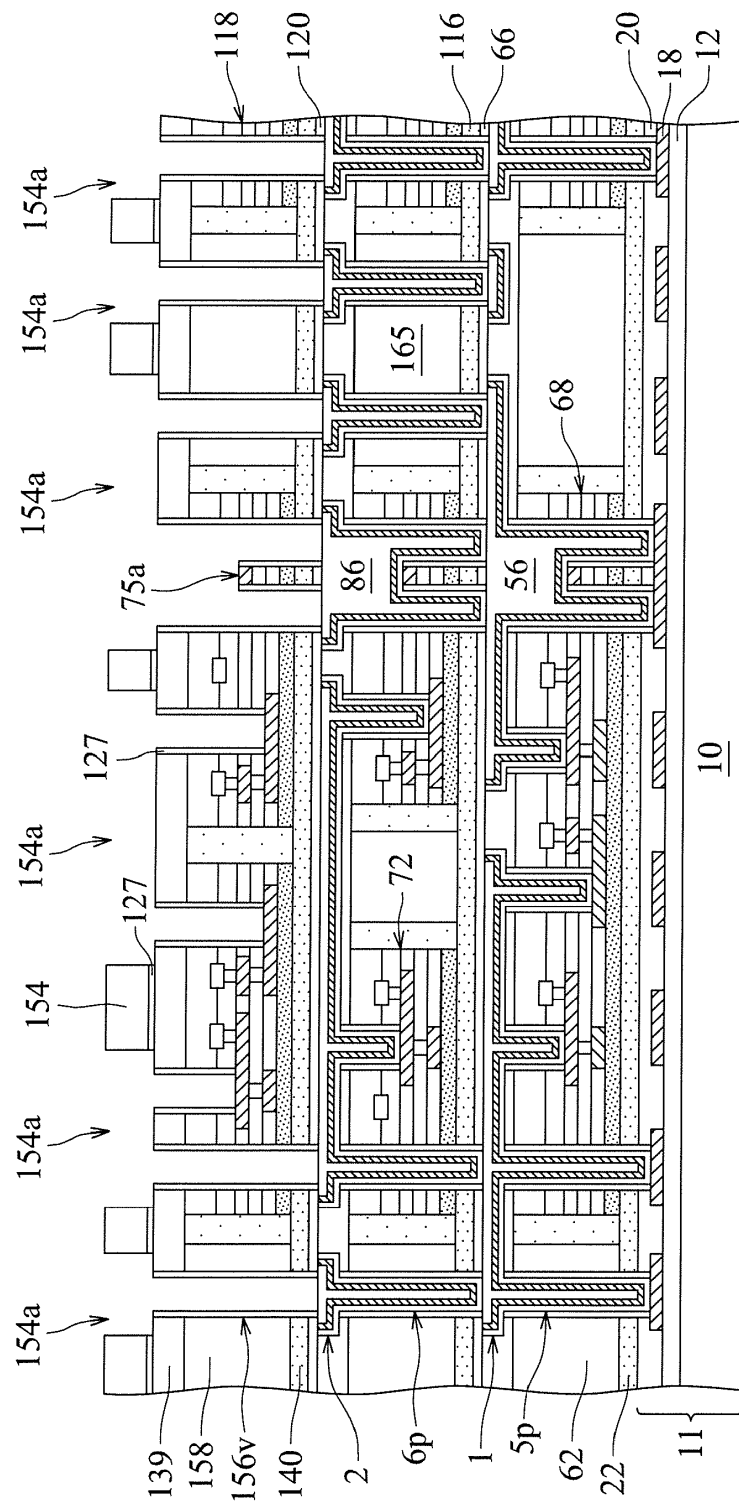


Fig. 71

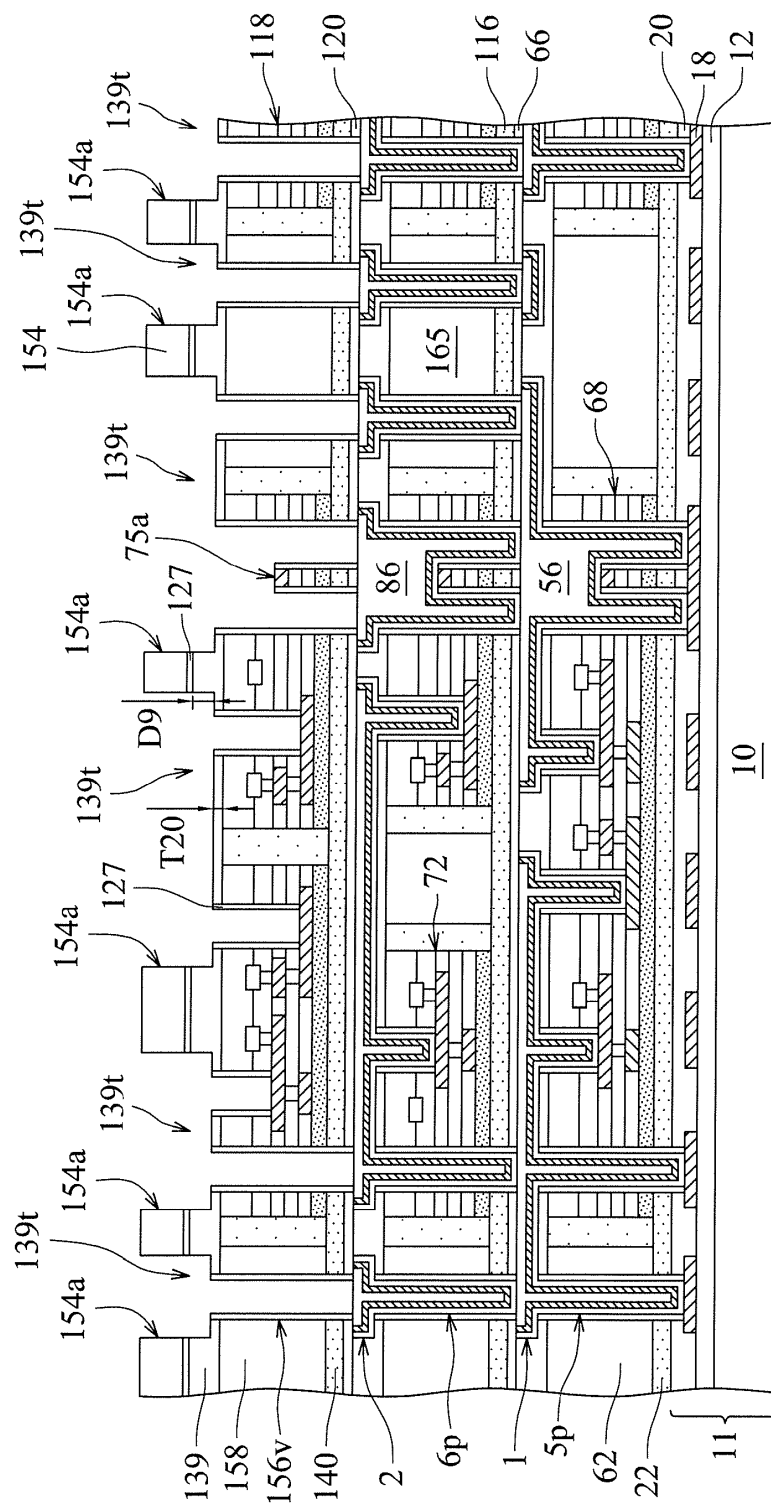


Fig. 72

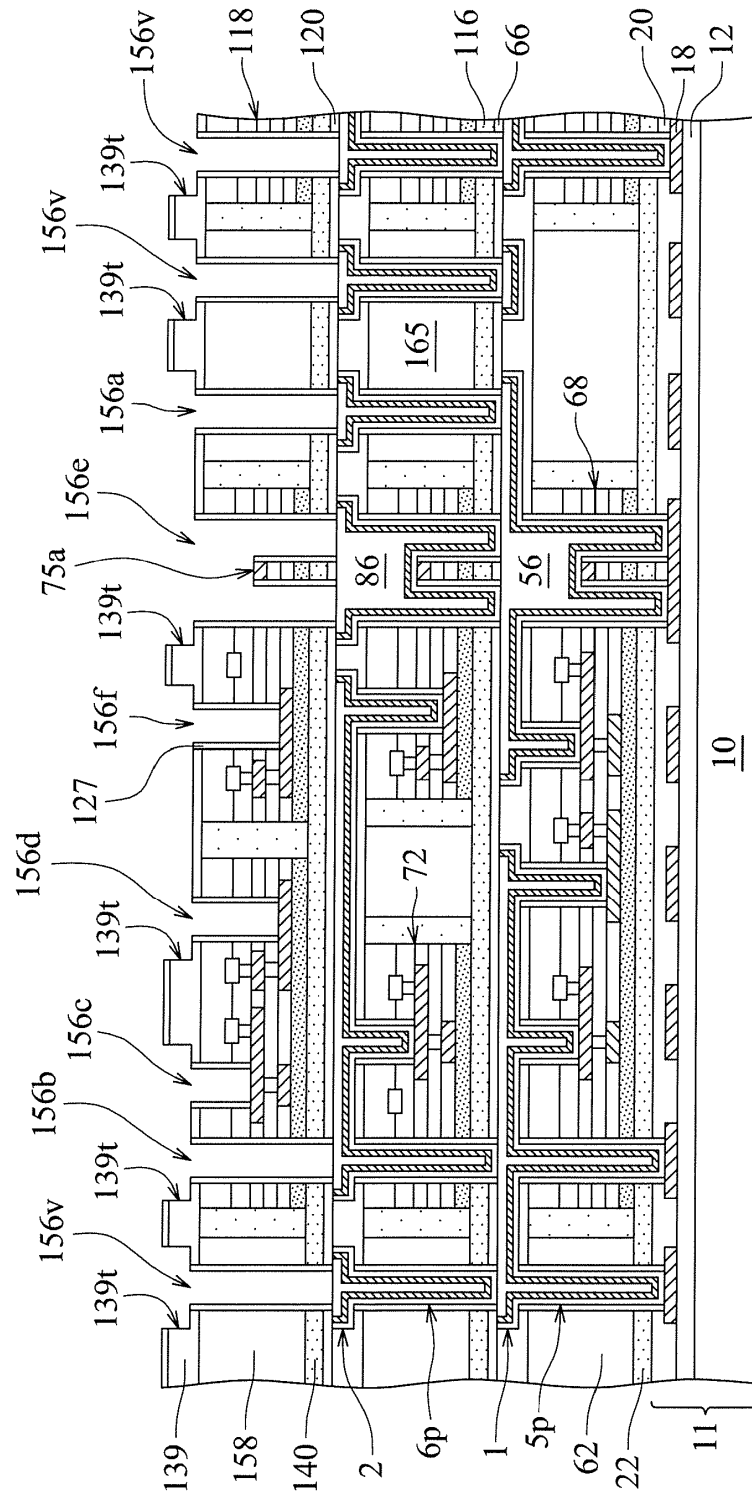


Fig. 73

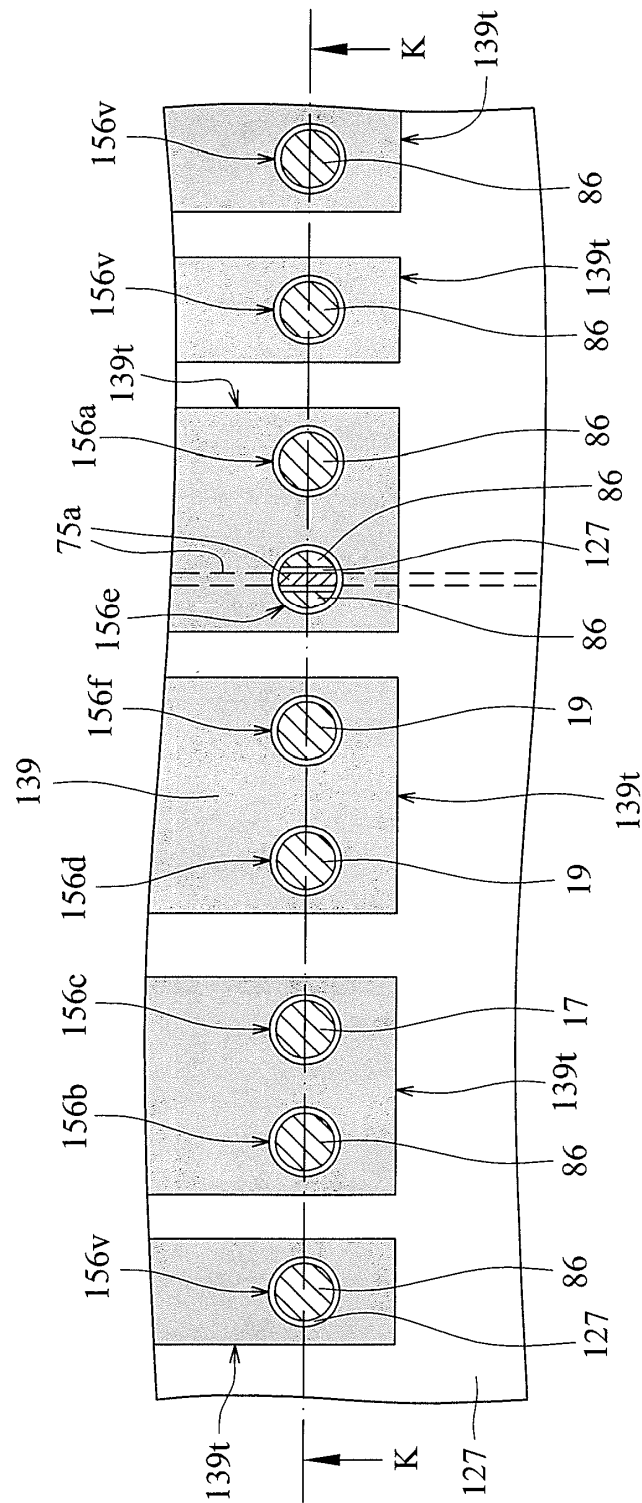


Fig. 74

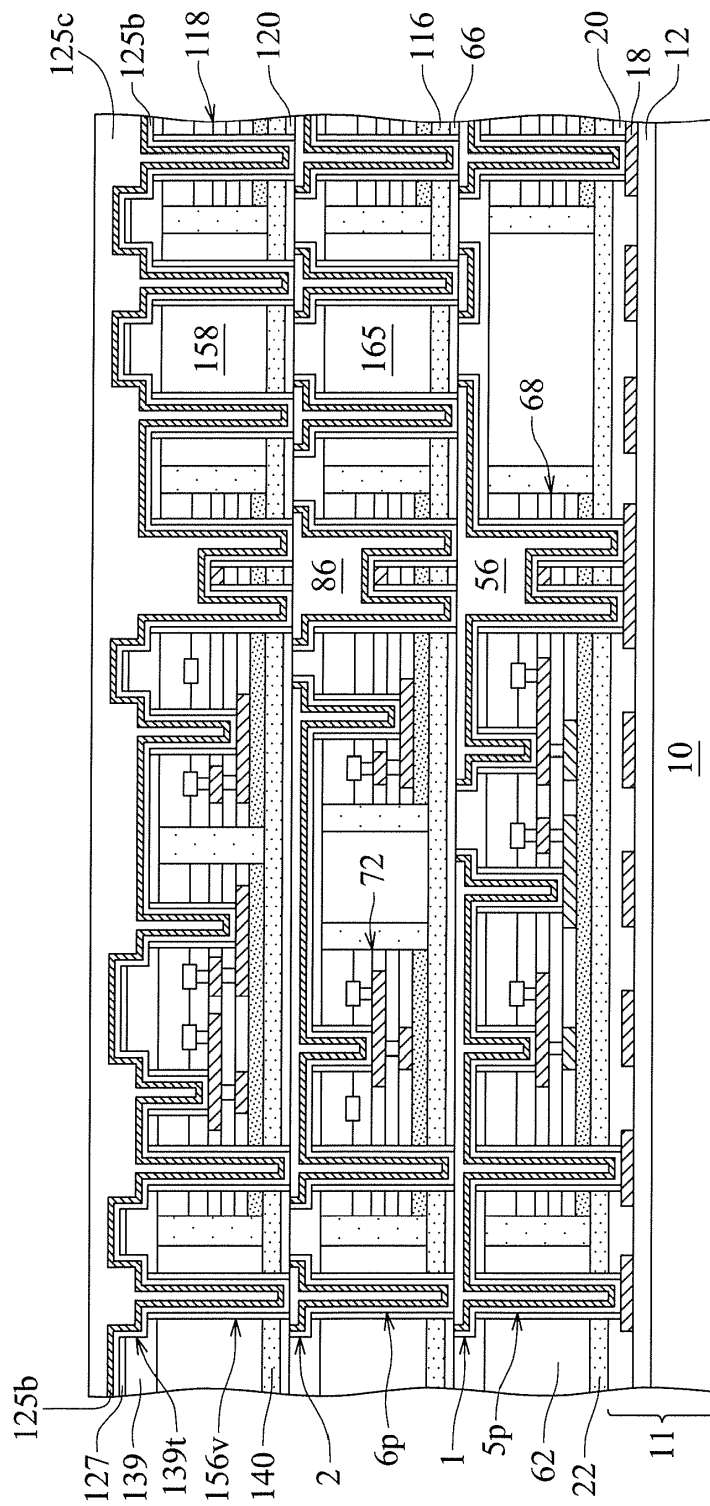


Fig. 75

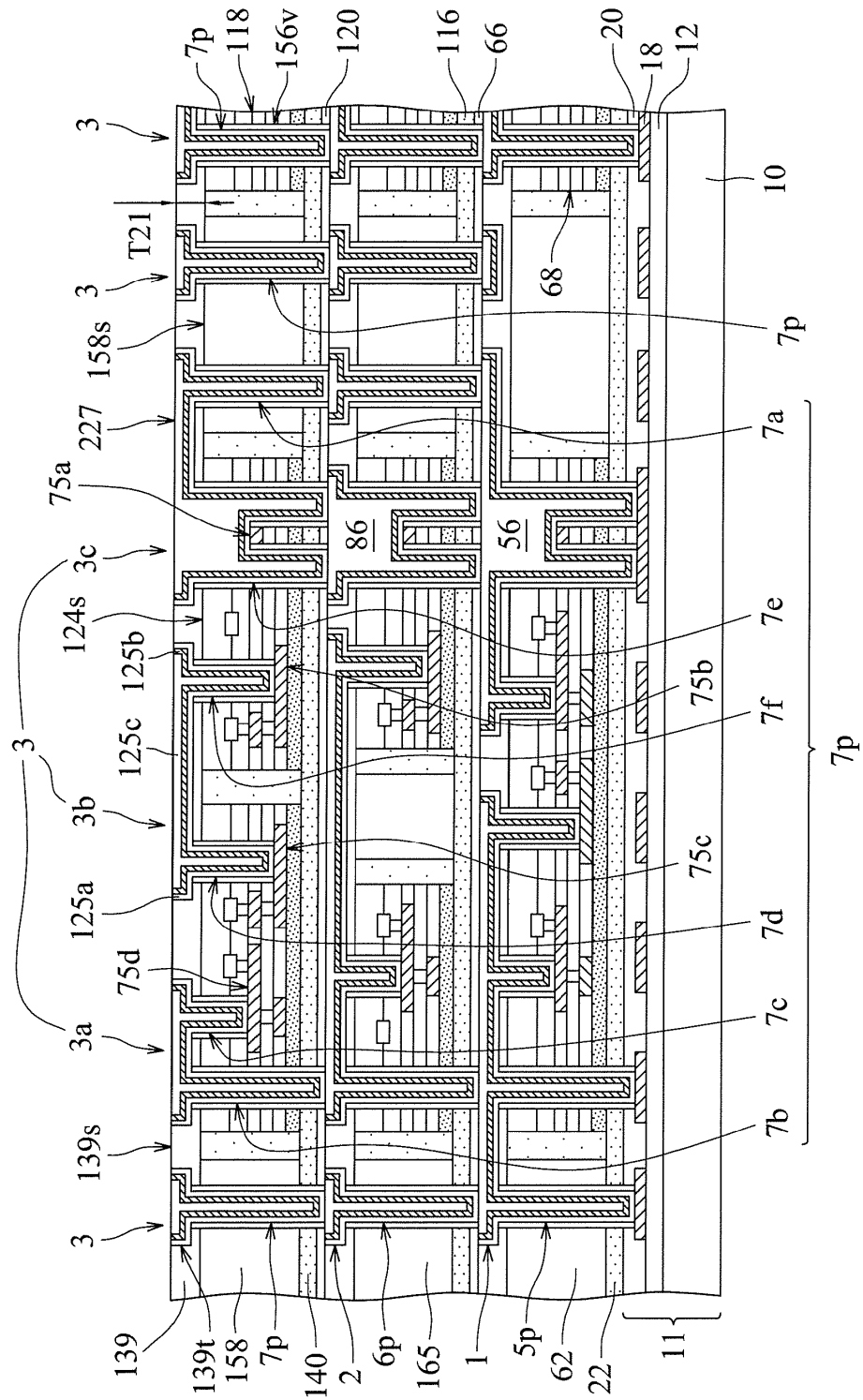


Fig. 76

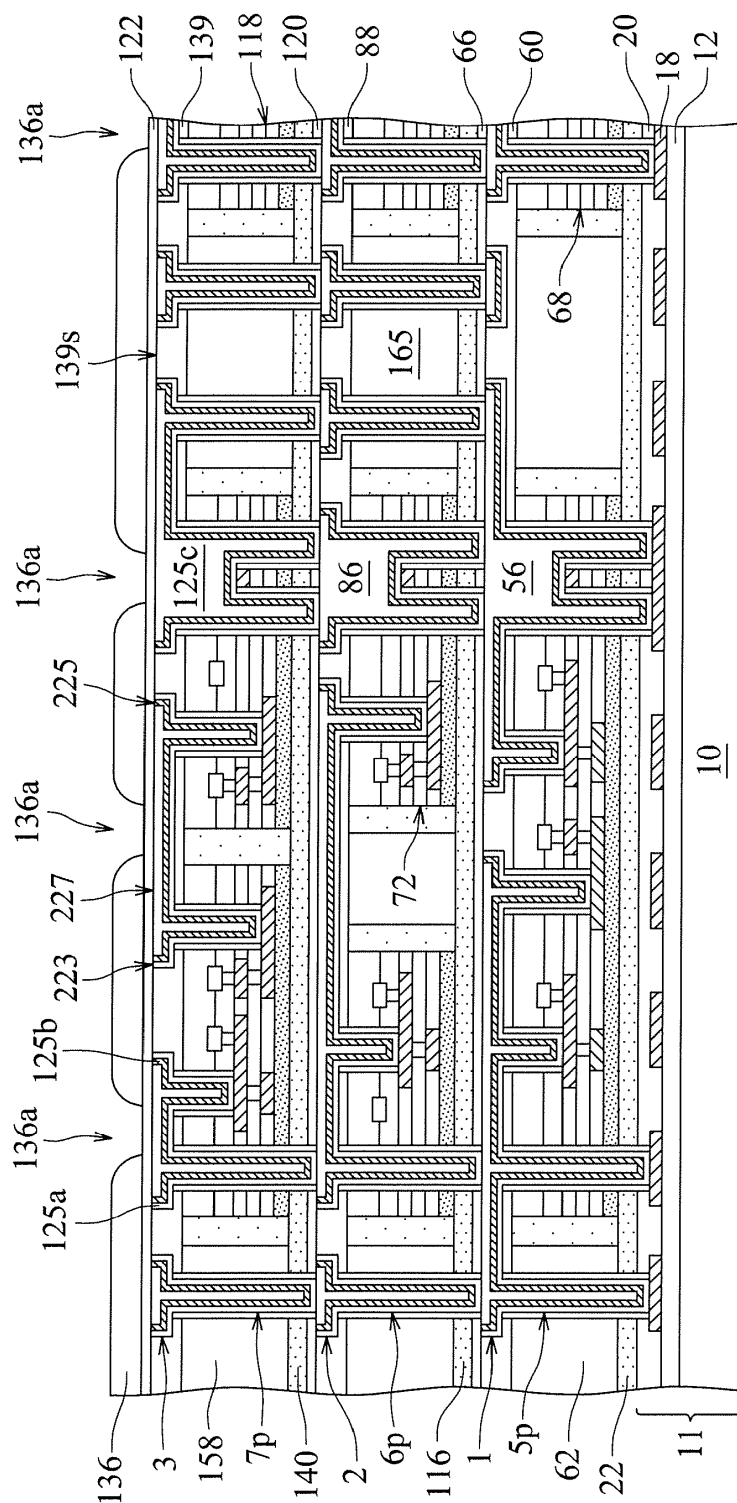


Fig. 77

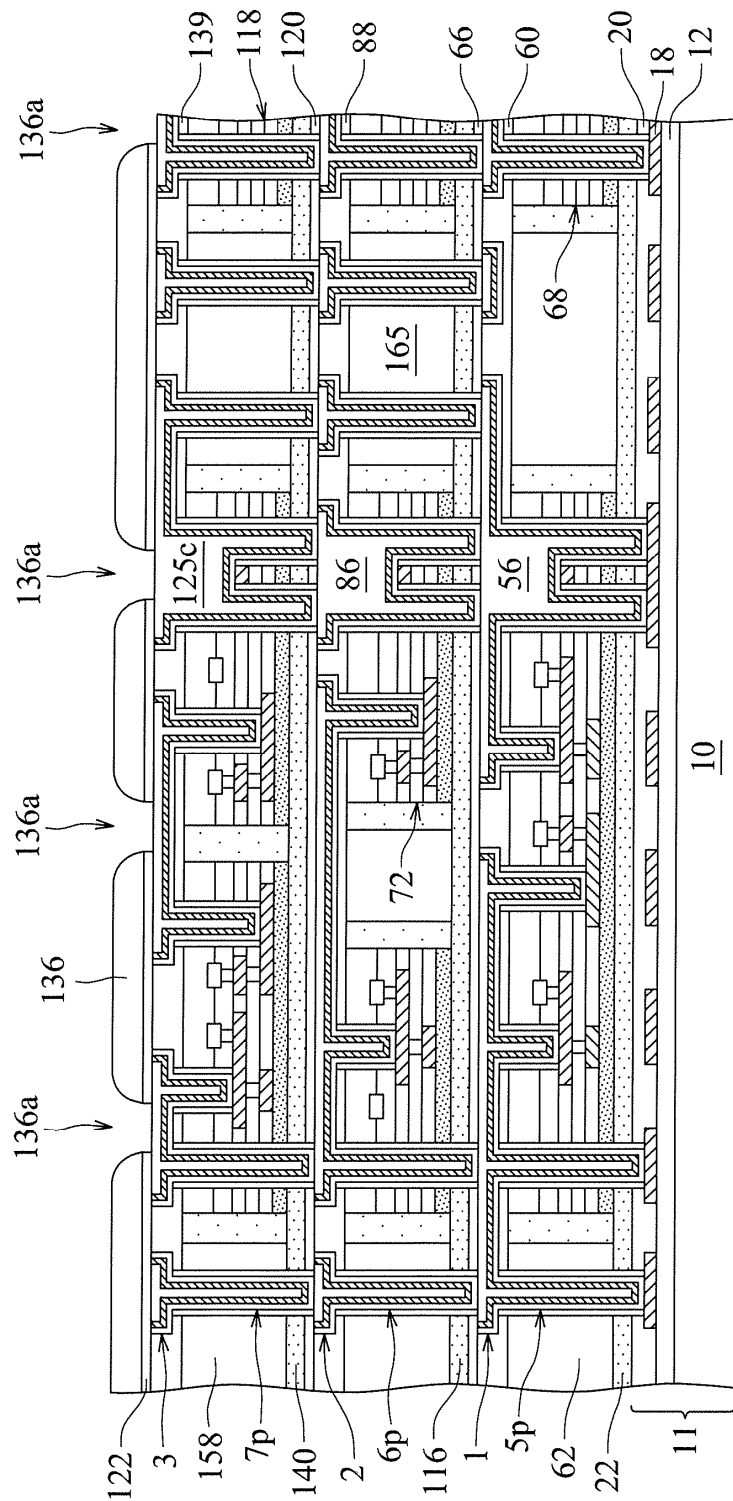


Fig. 78

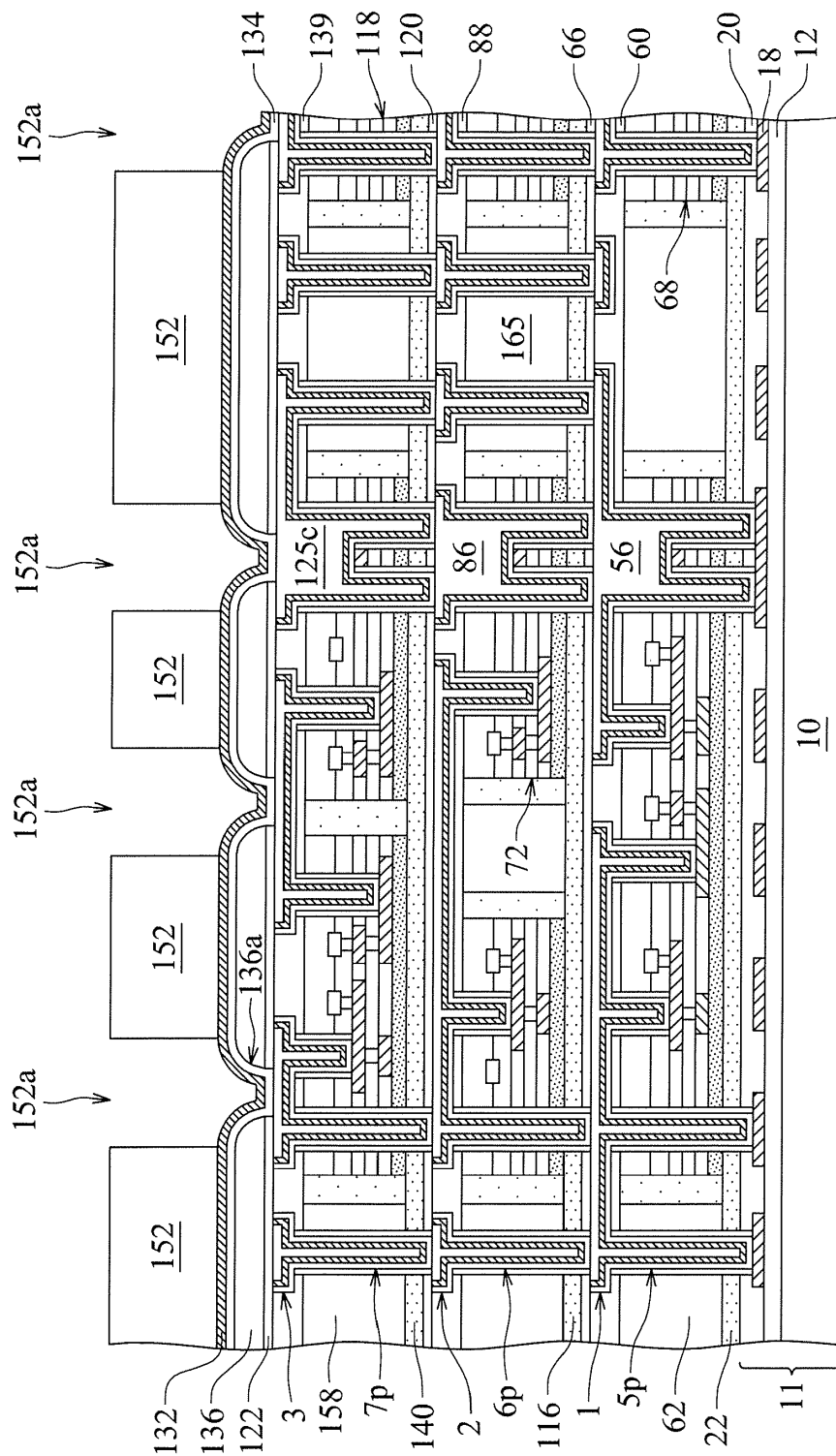


Fig. 79

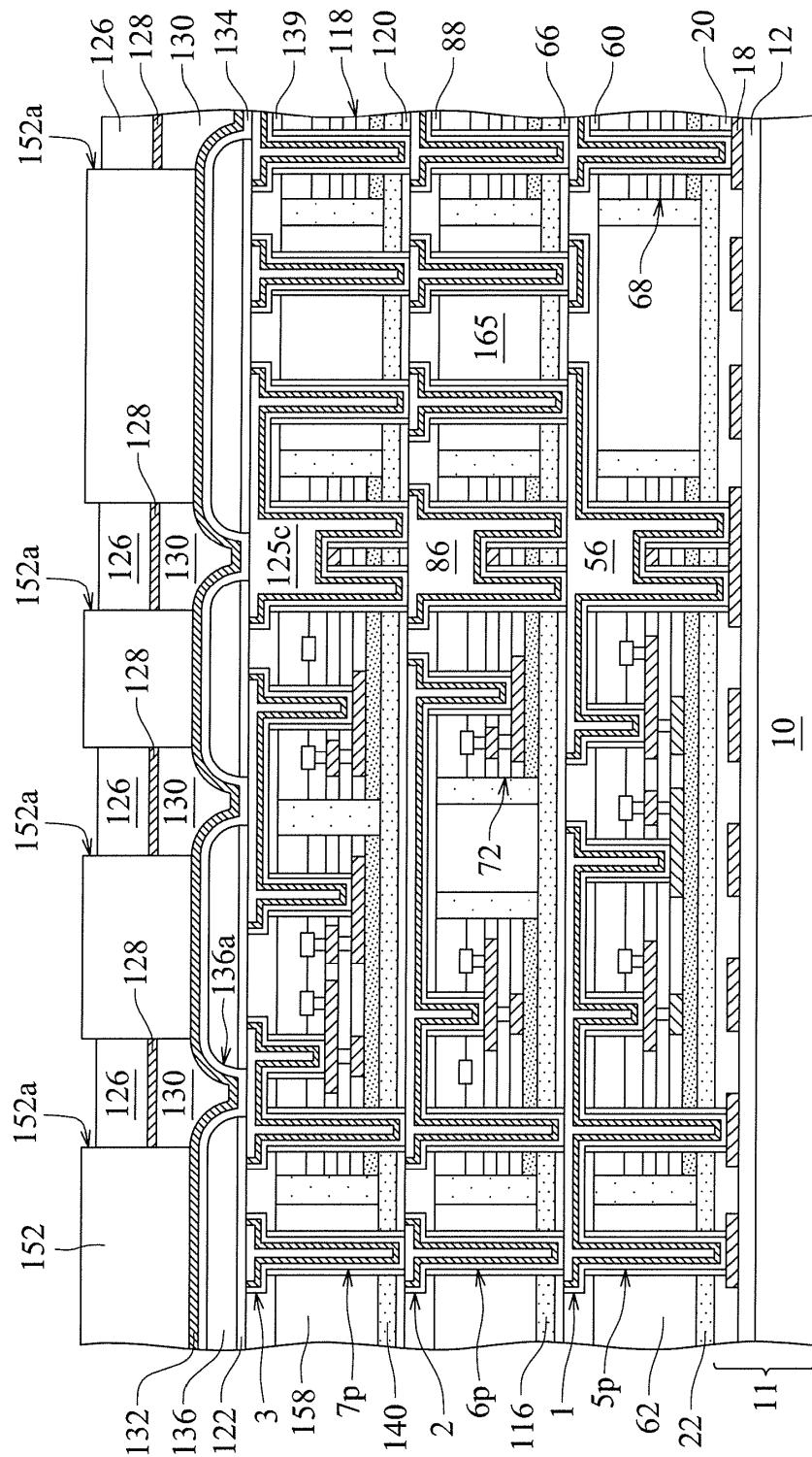


Fig. 80

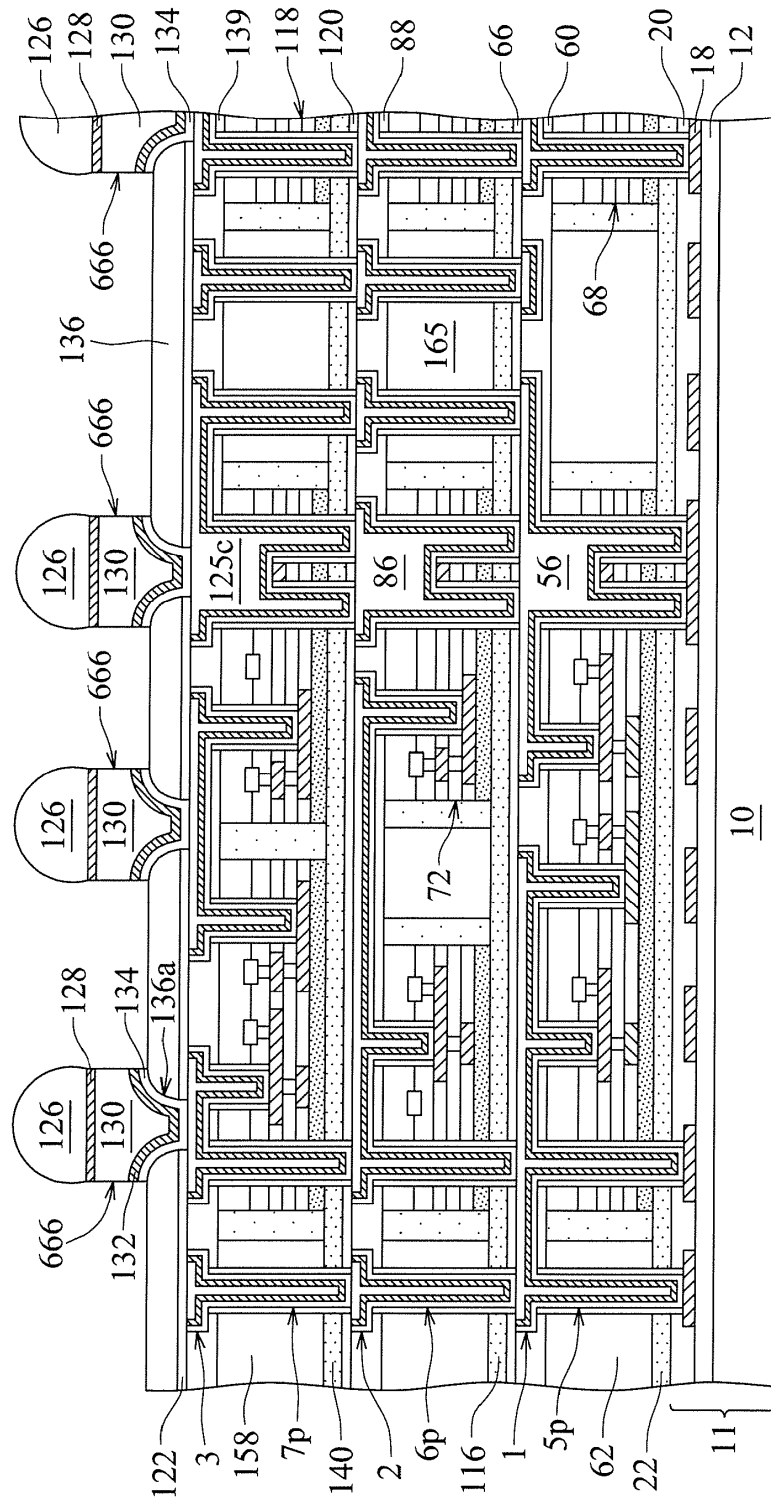


Fig. 81

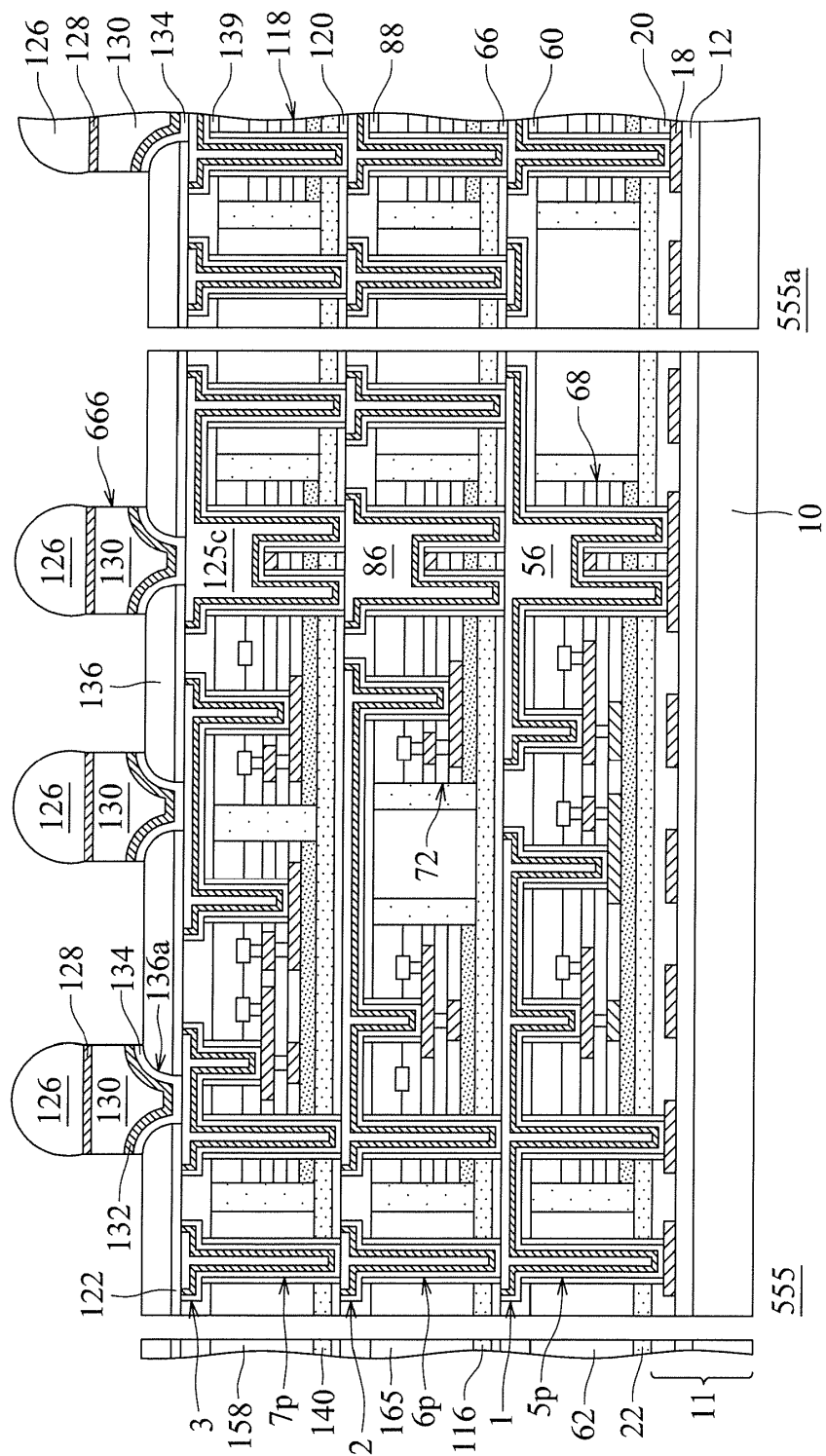


Fig. 82

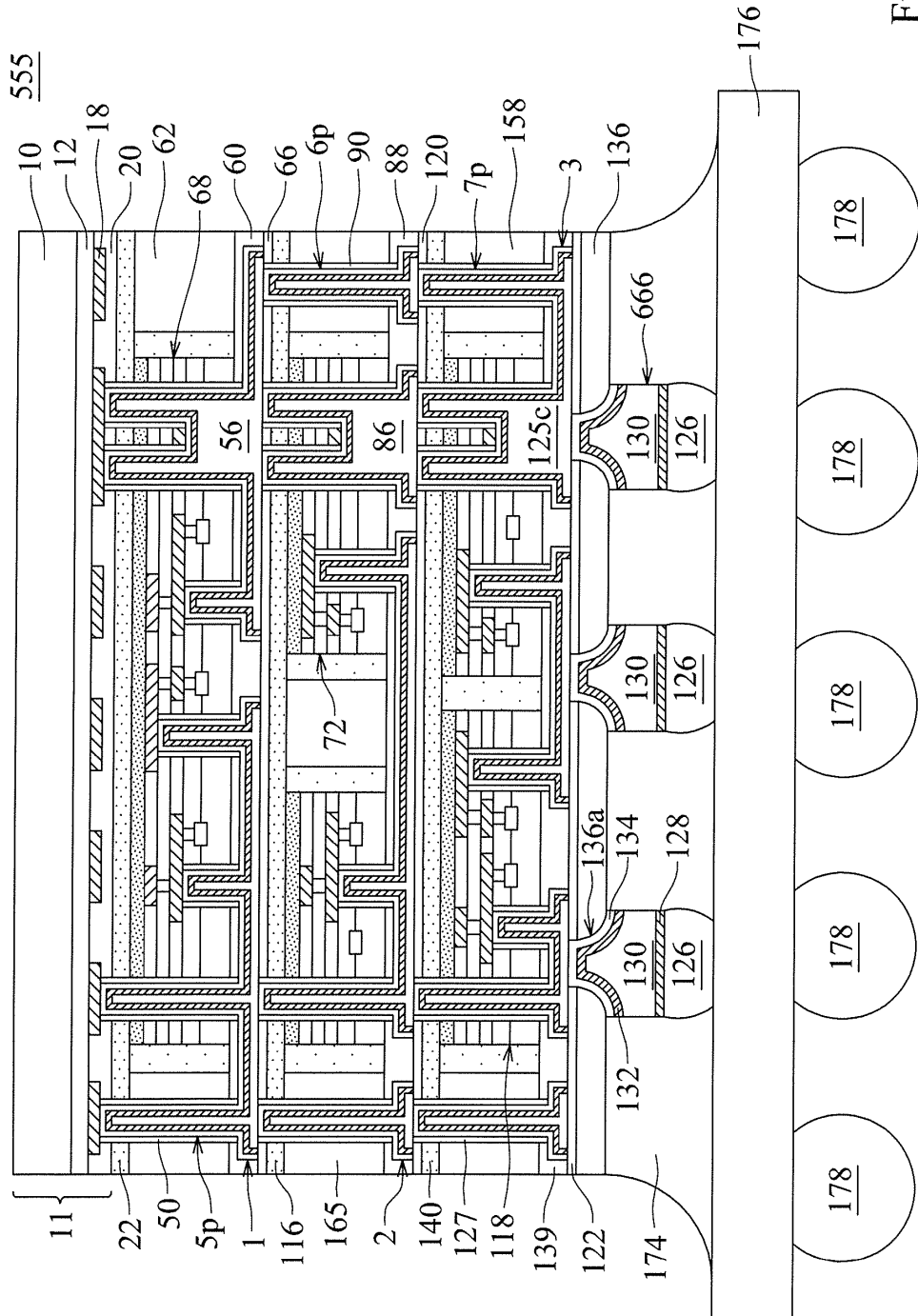


Fig. 83

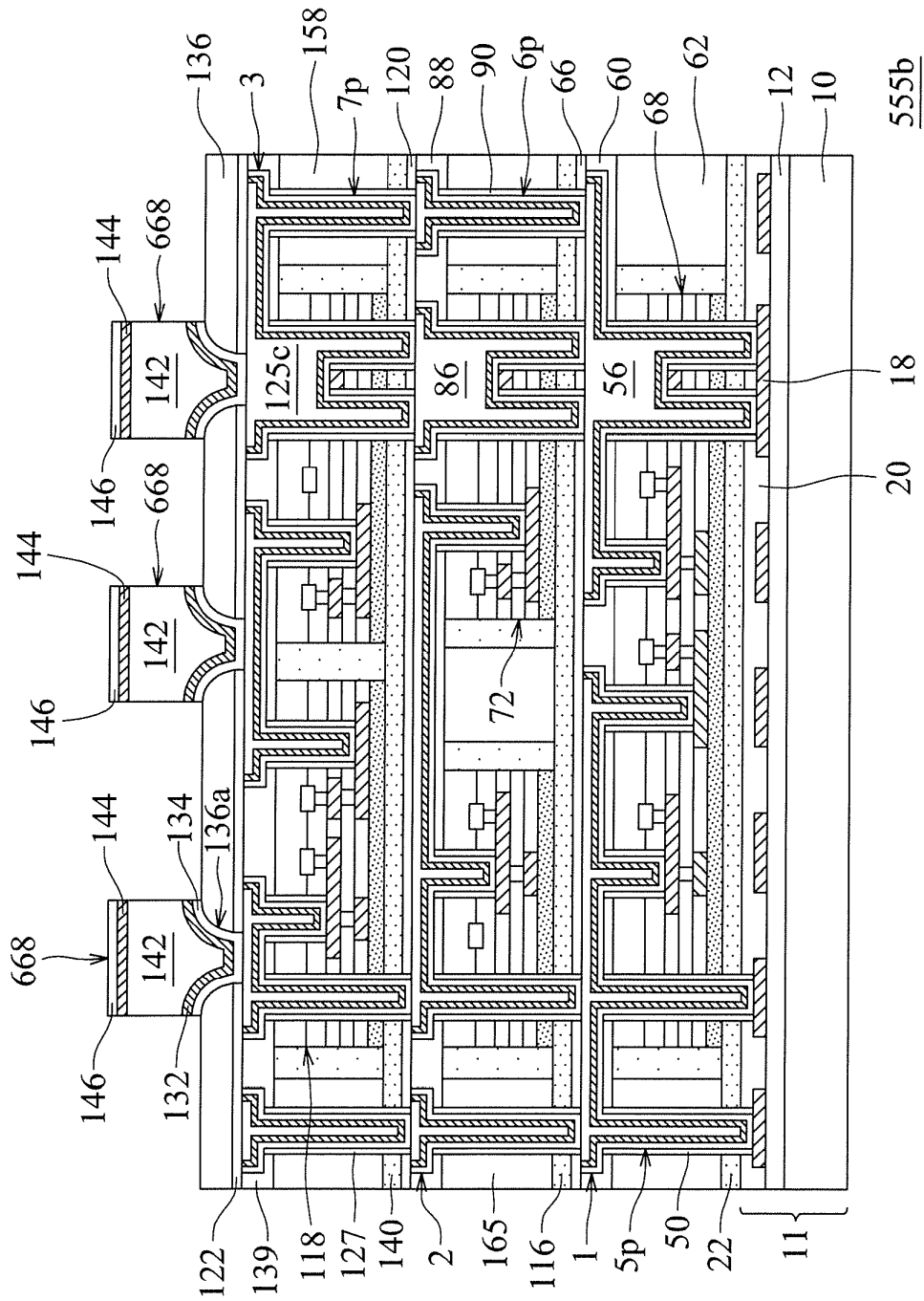


Fig. 84

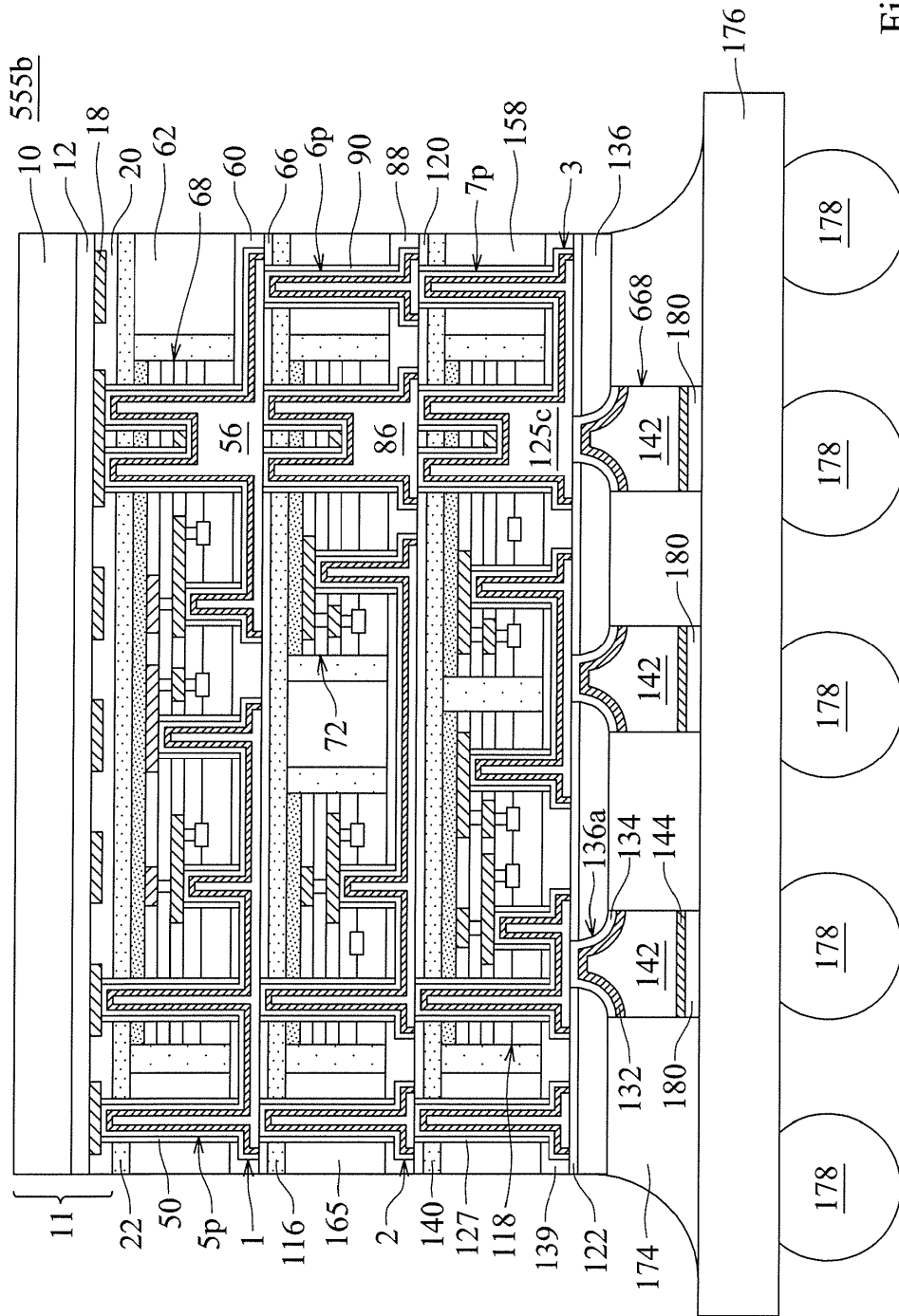


Fig. 85

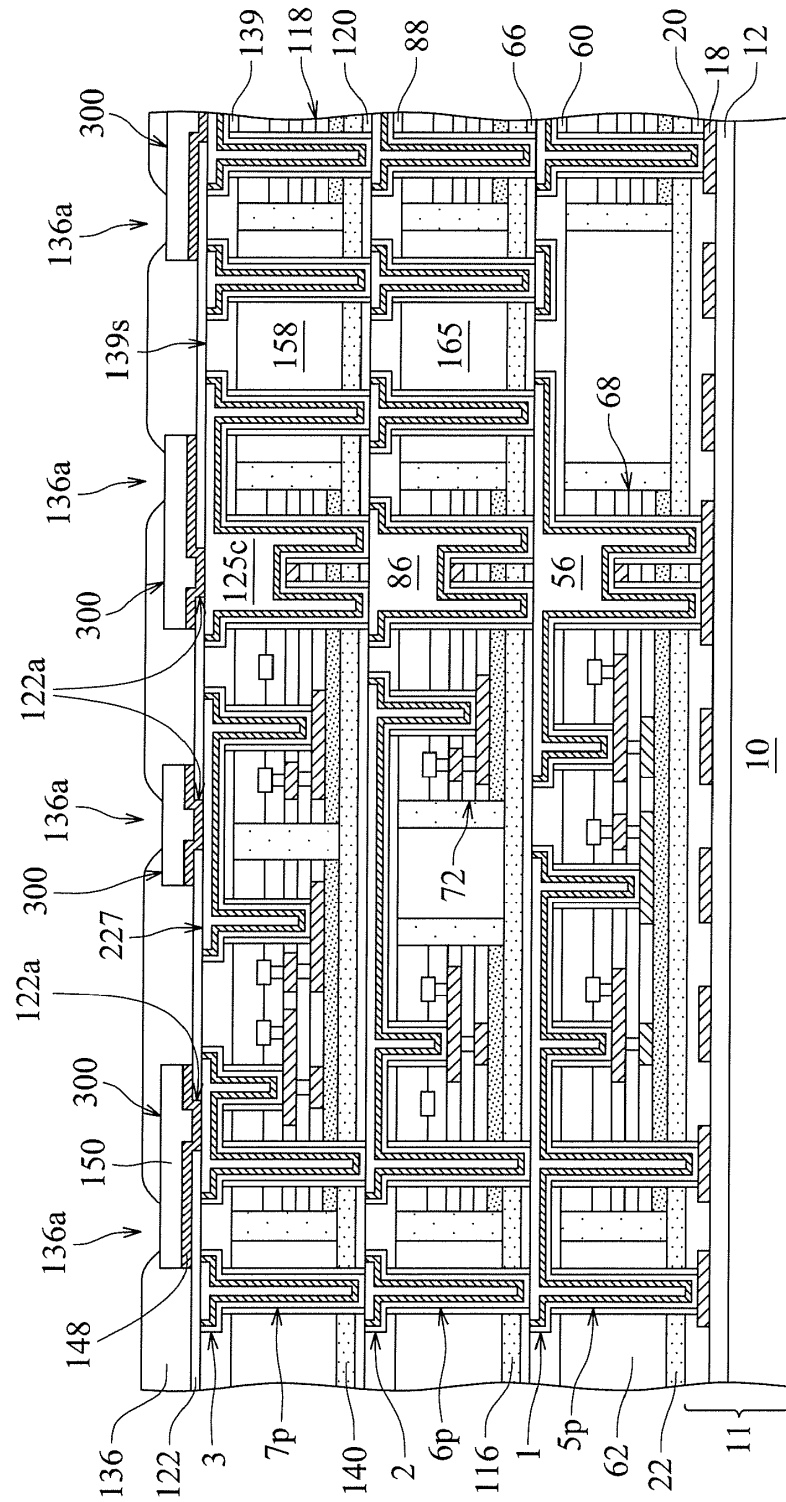


Fig. 86

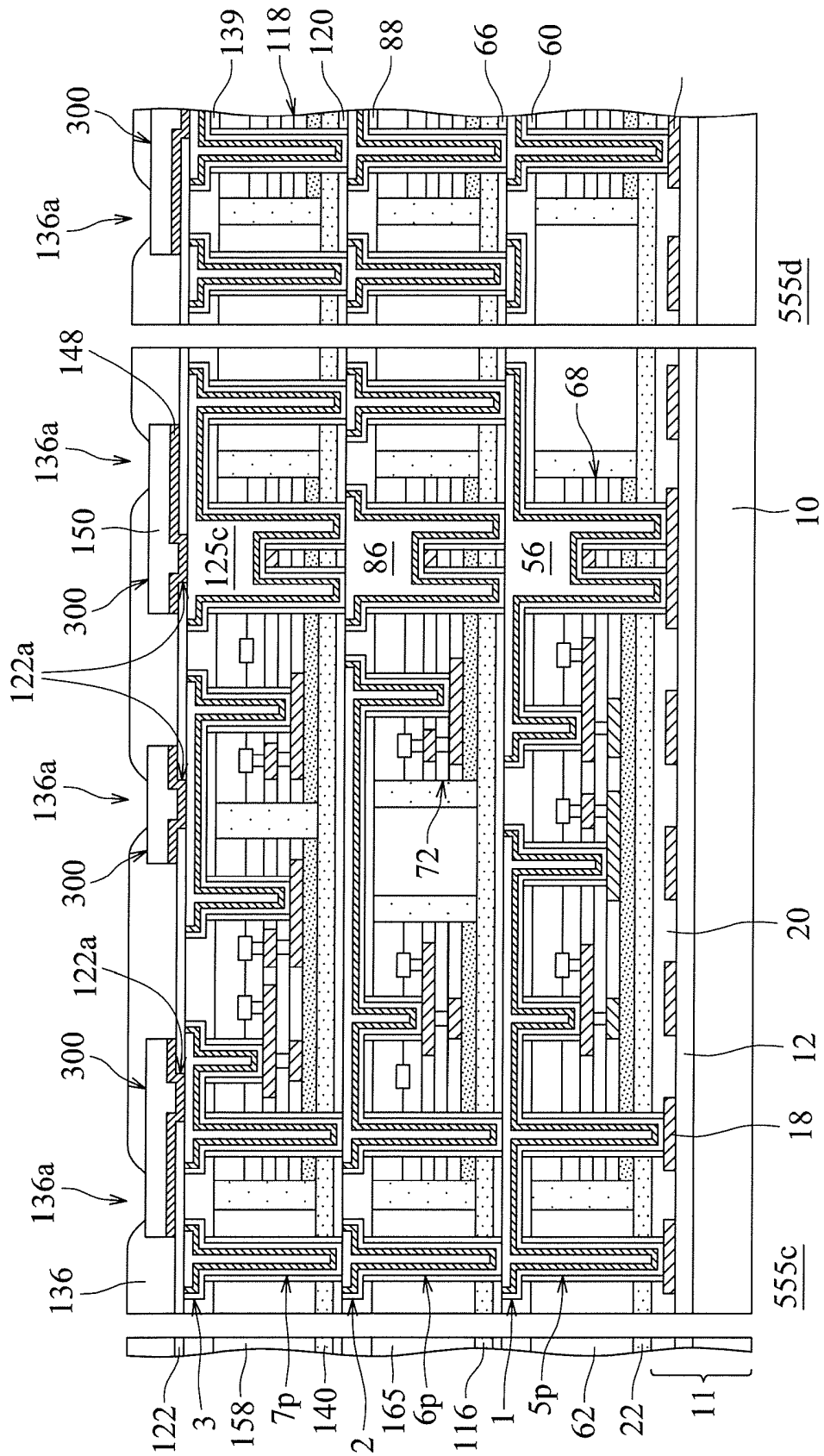


Fig. 87

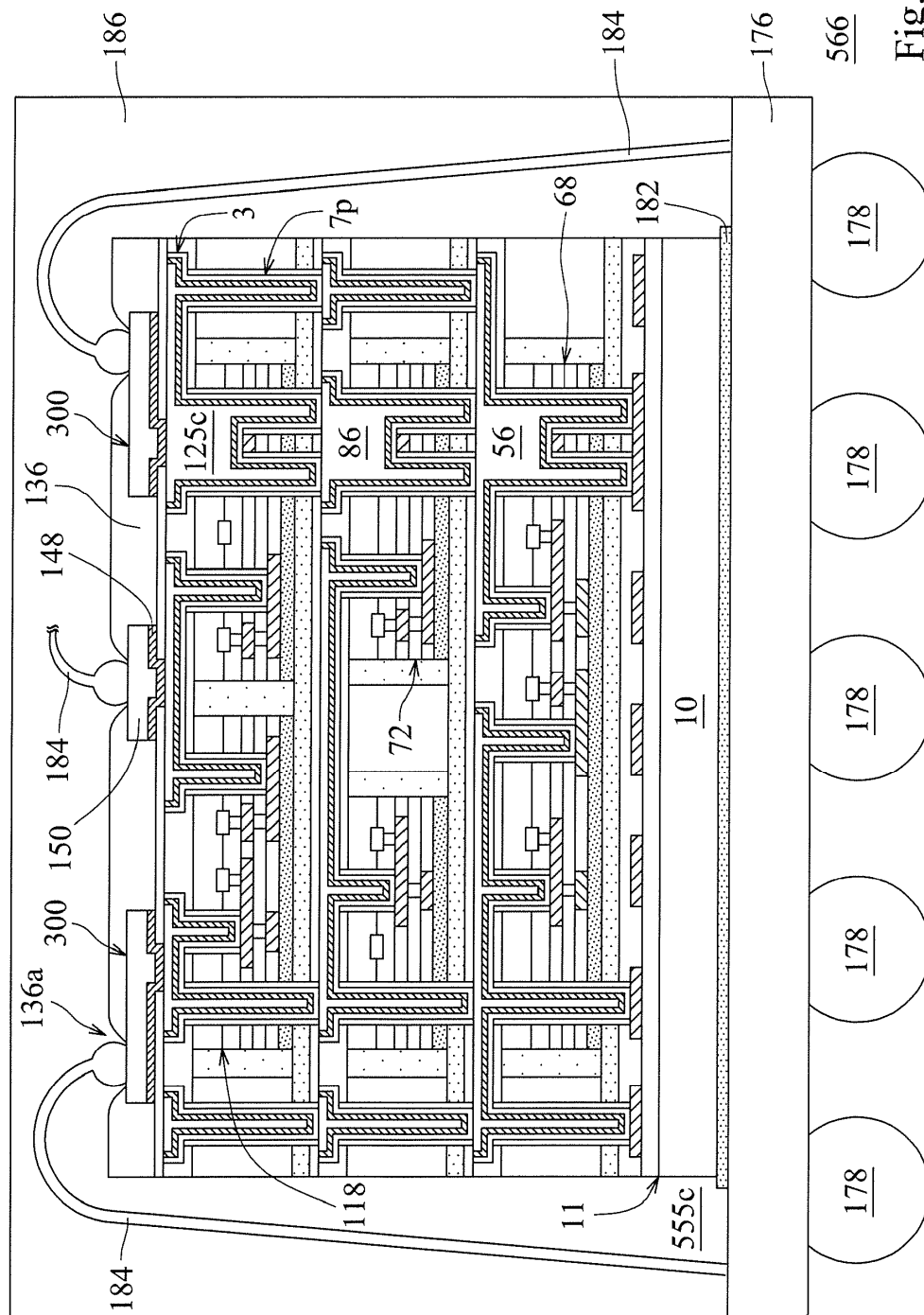


Fig. 88

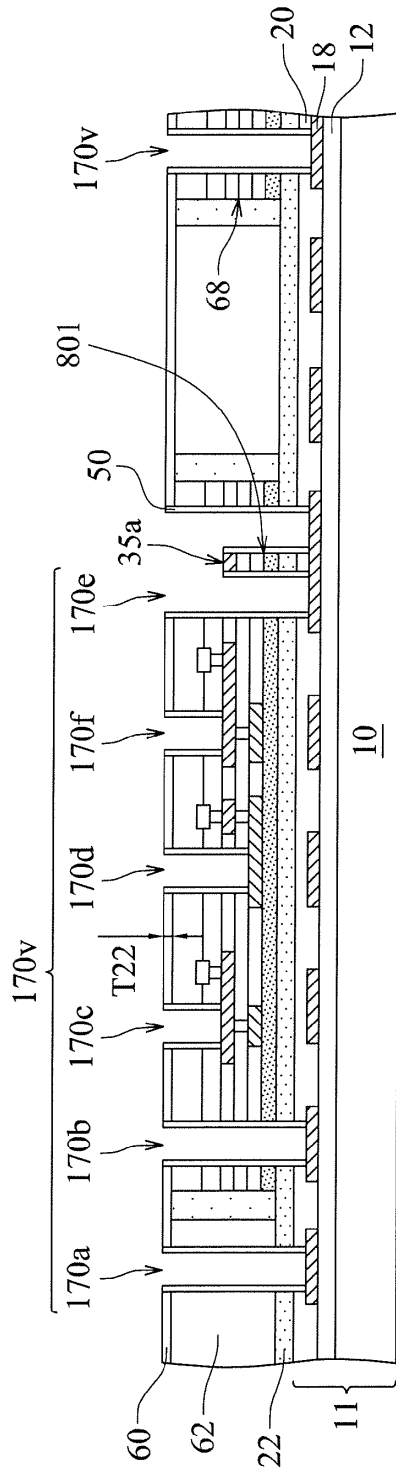


Fig. 89

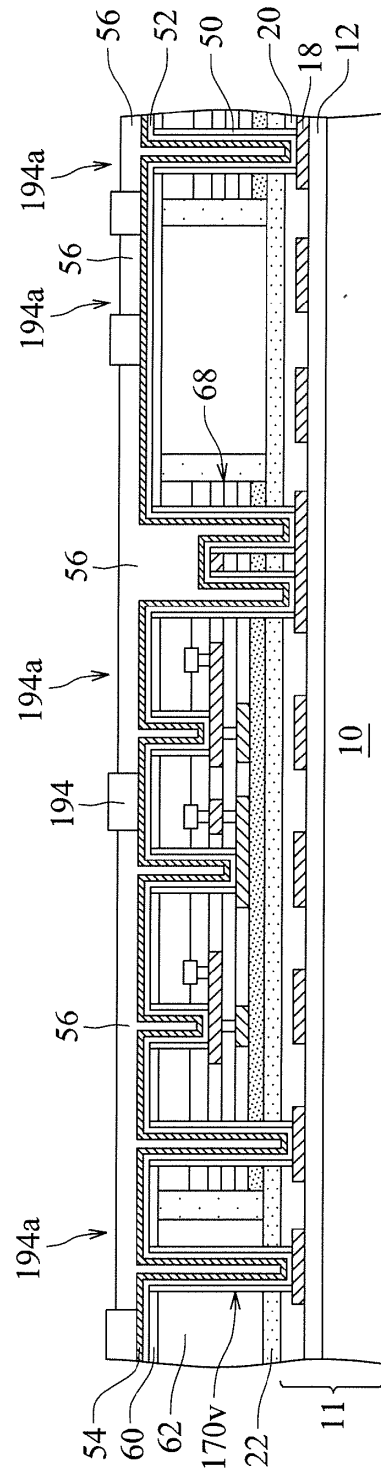


Fig. 90

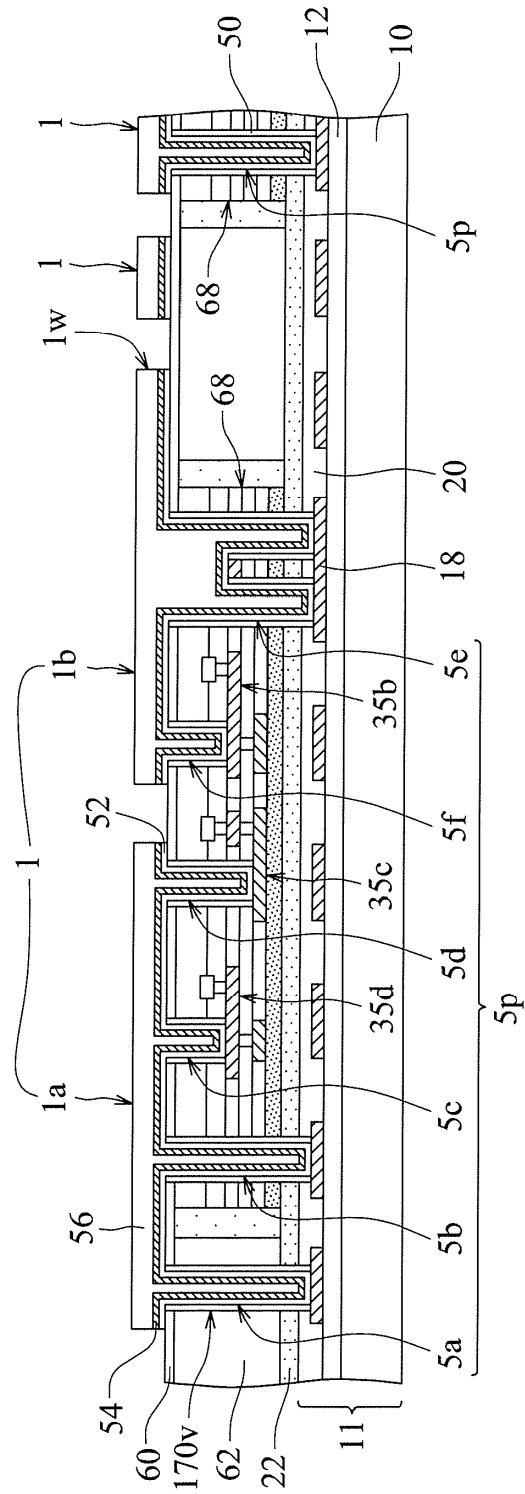


Fig. 91

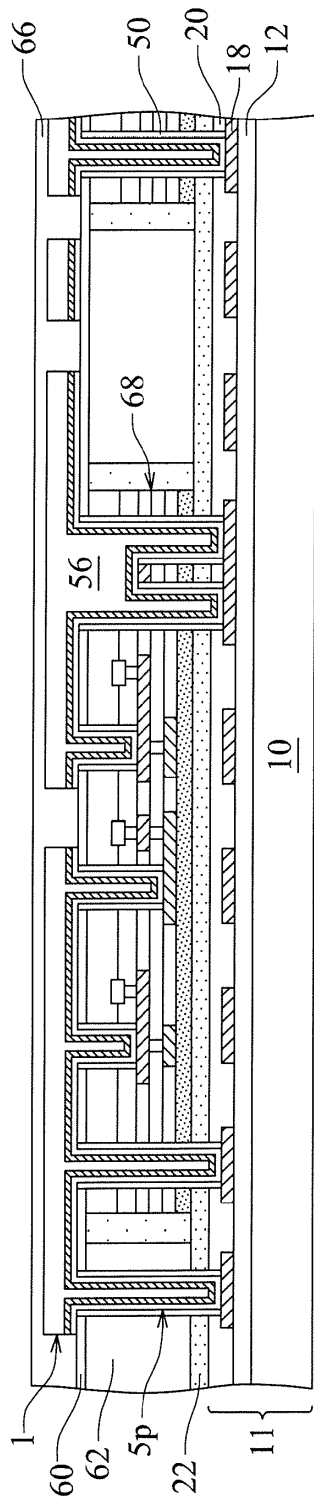


Fig. 92

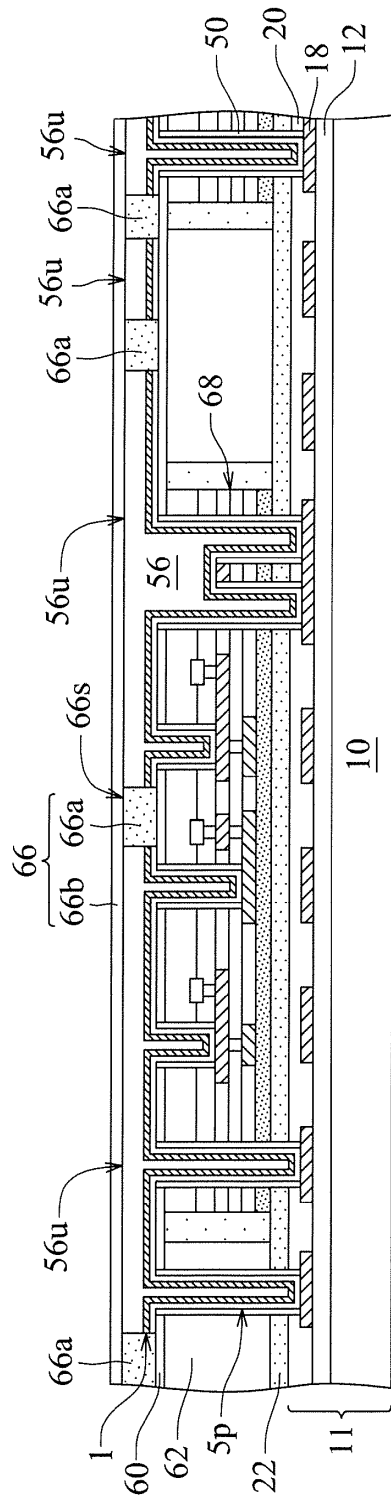


Fig. 93

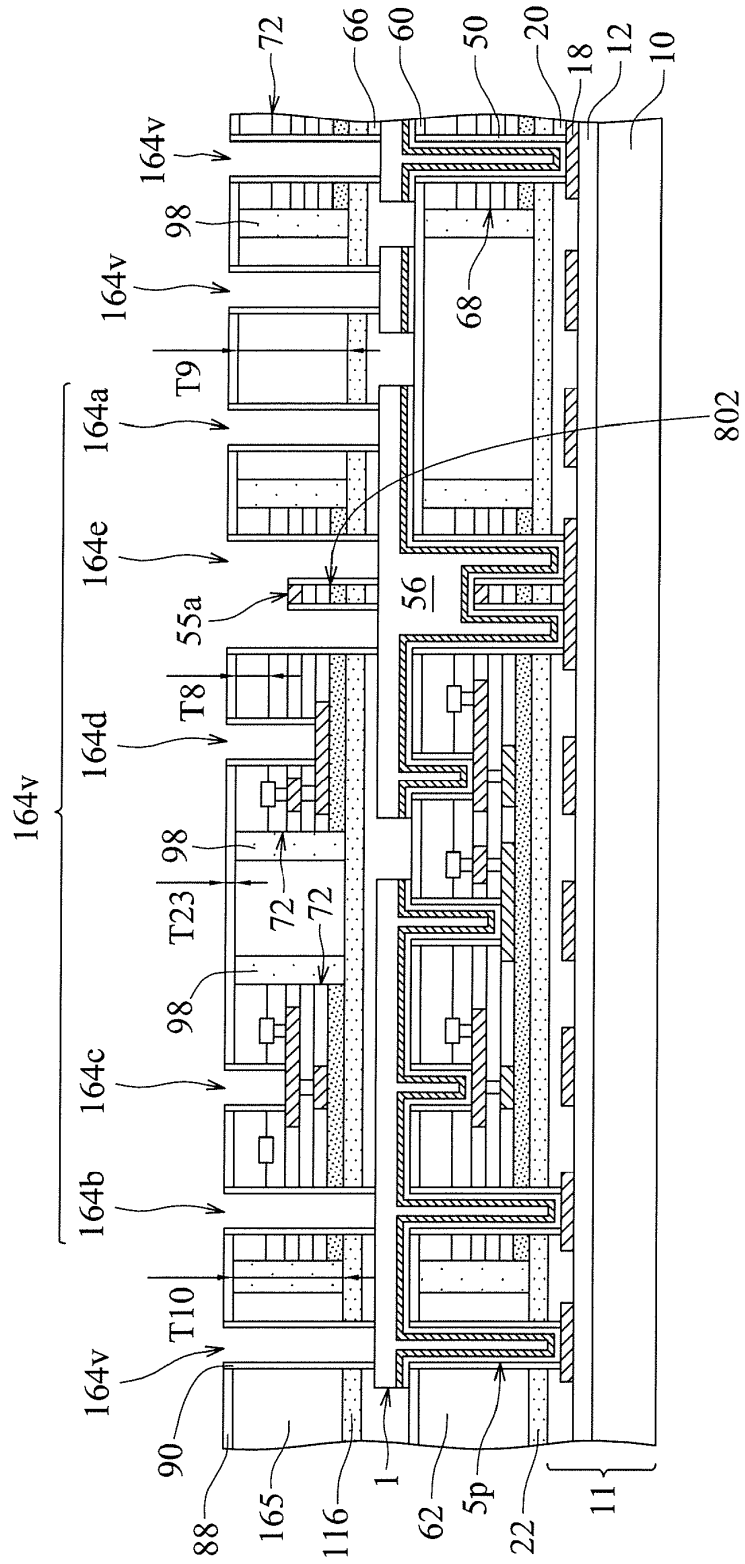


Fig. 94

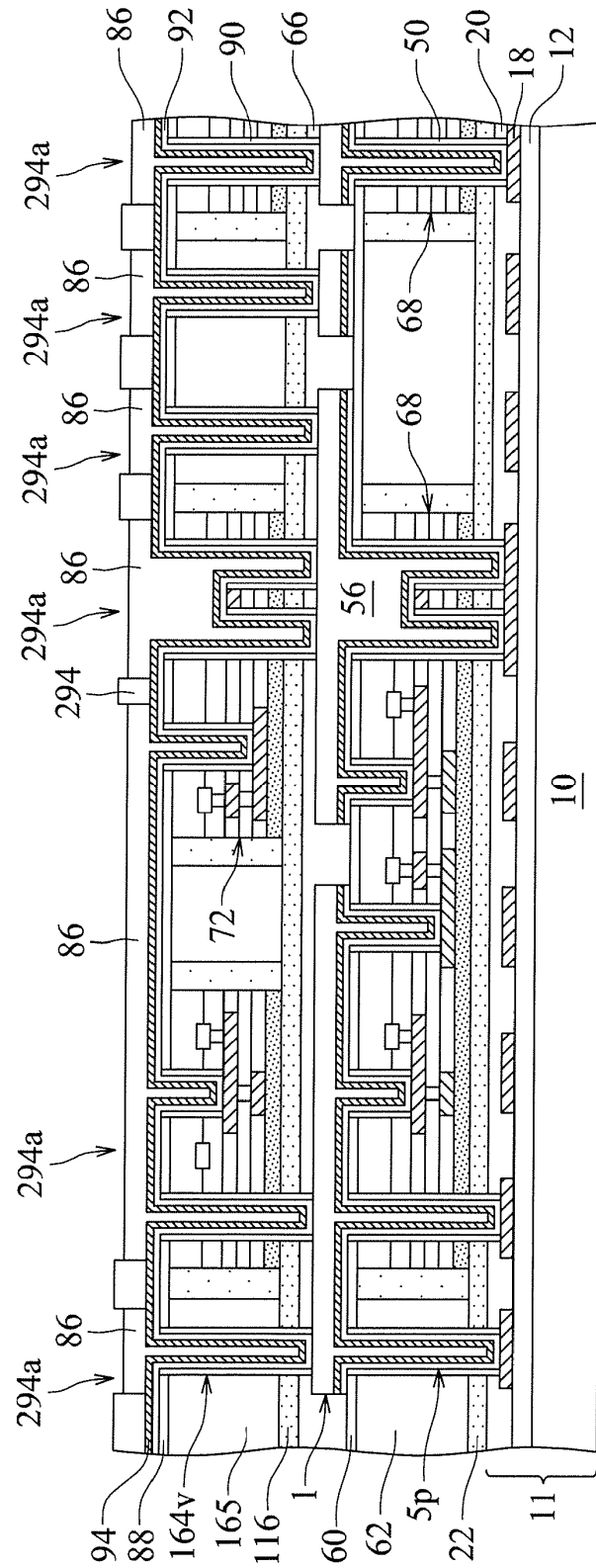


Fig. 95

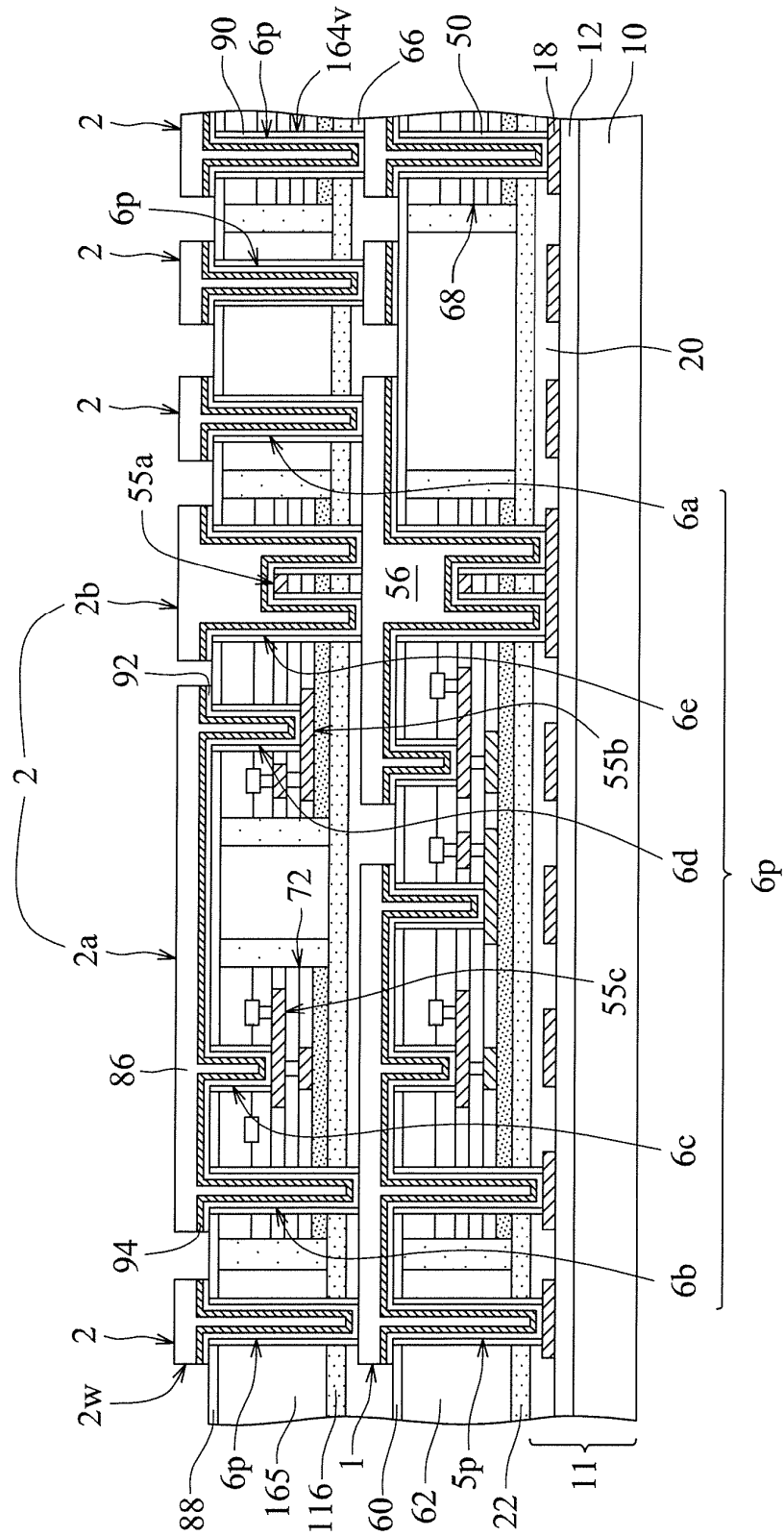


Fig. 96

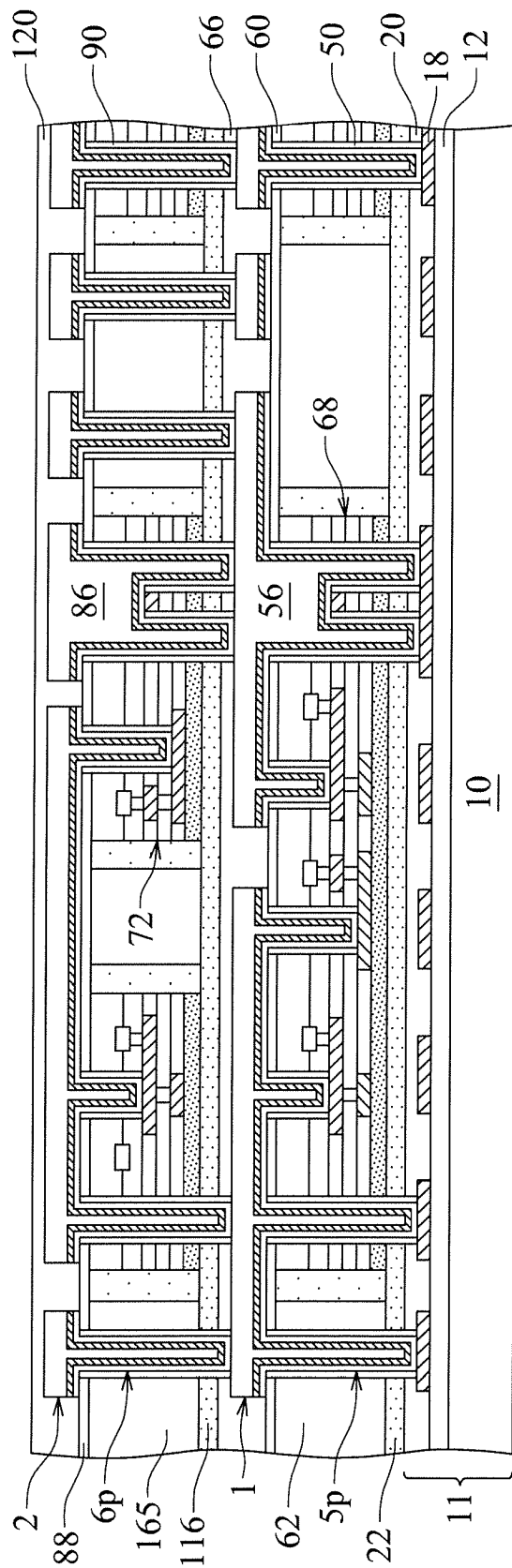


Fig. 97

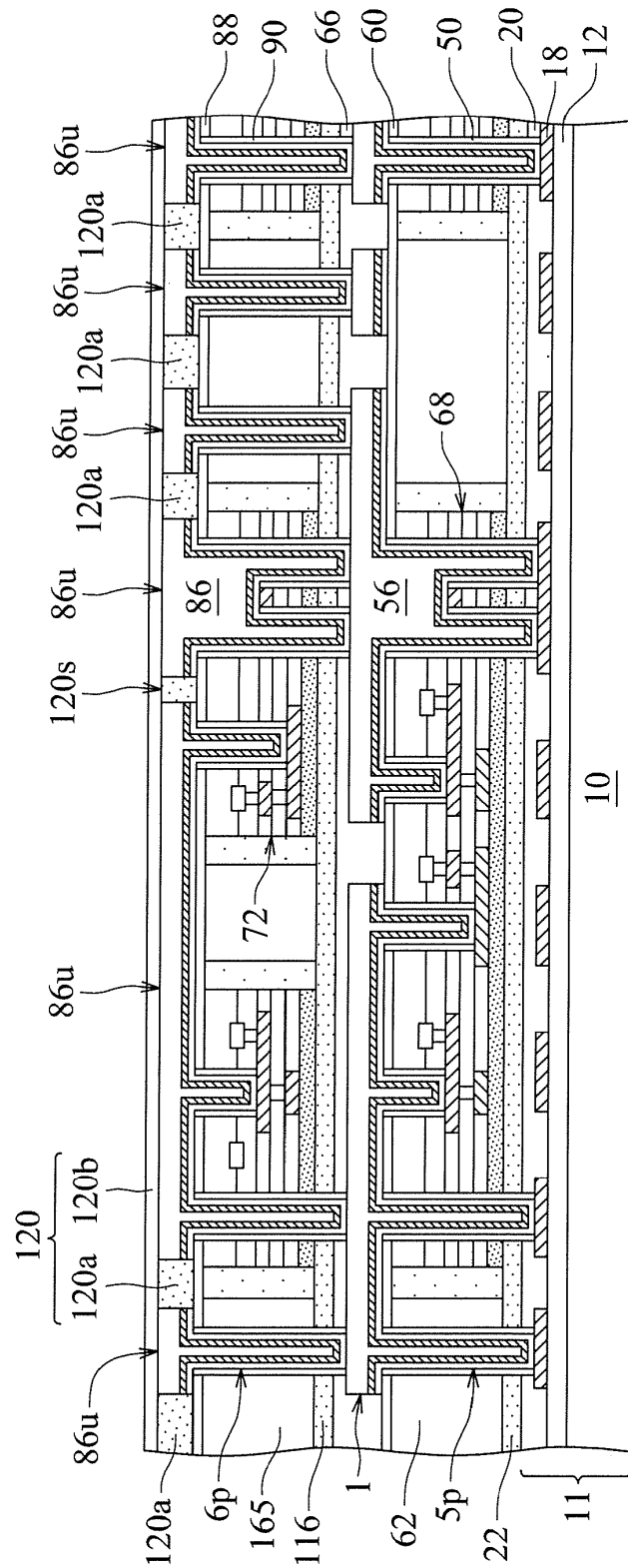


Fig. 98

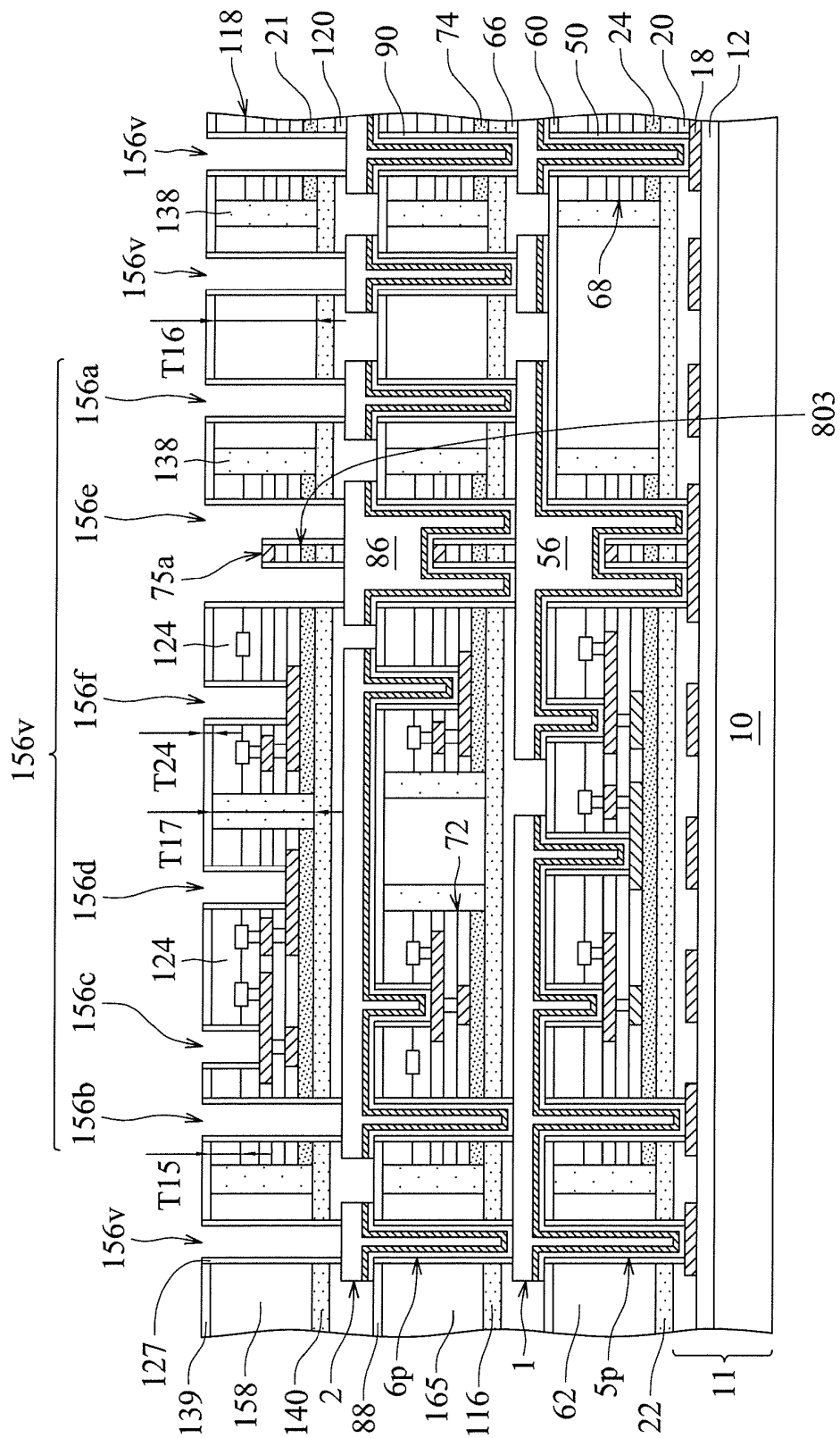


Fig. 99

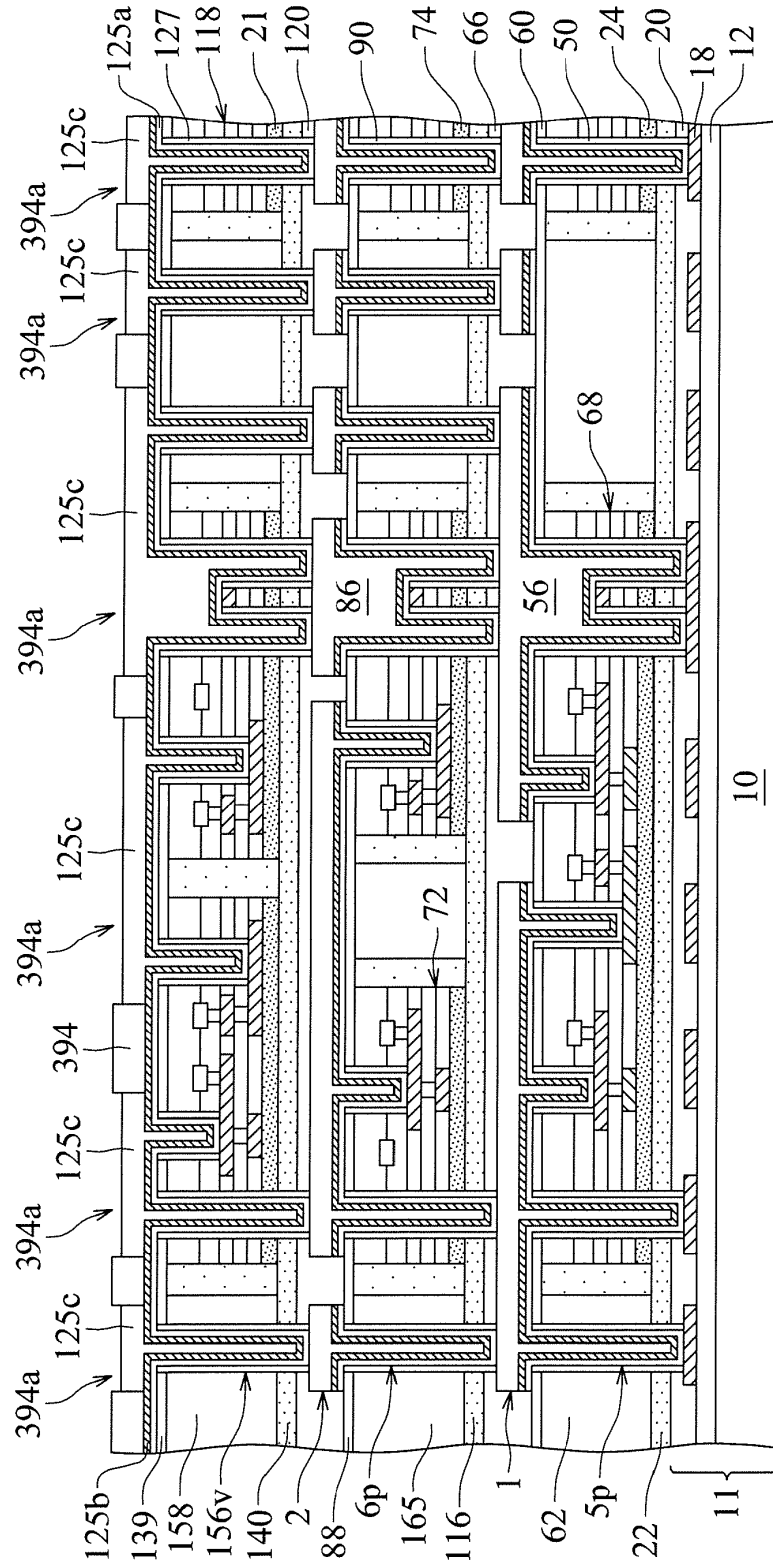


Fig. 100

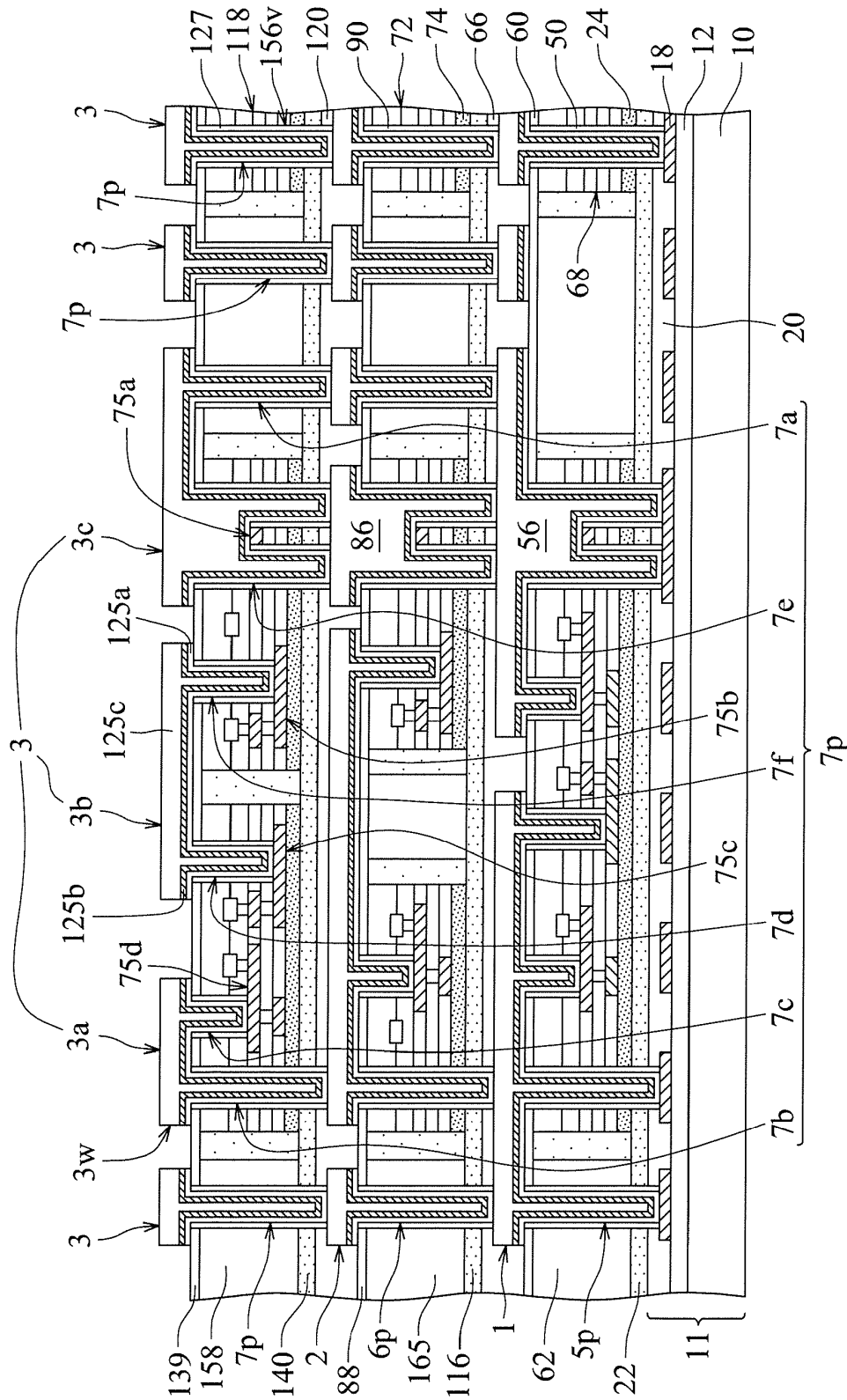


Fig. 101

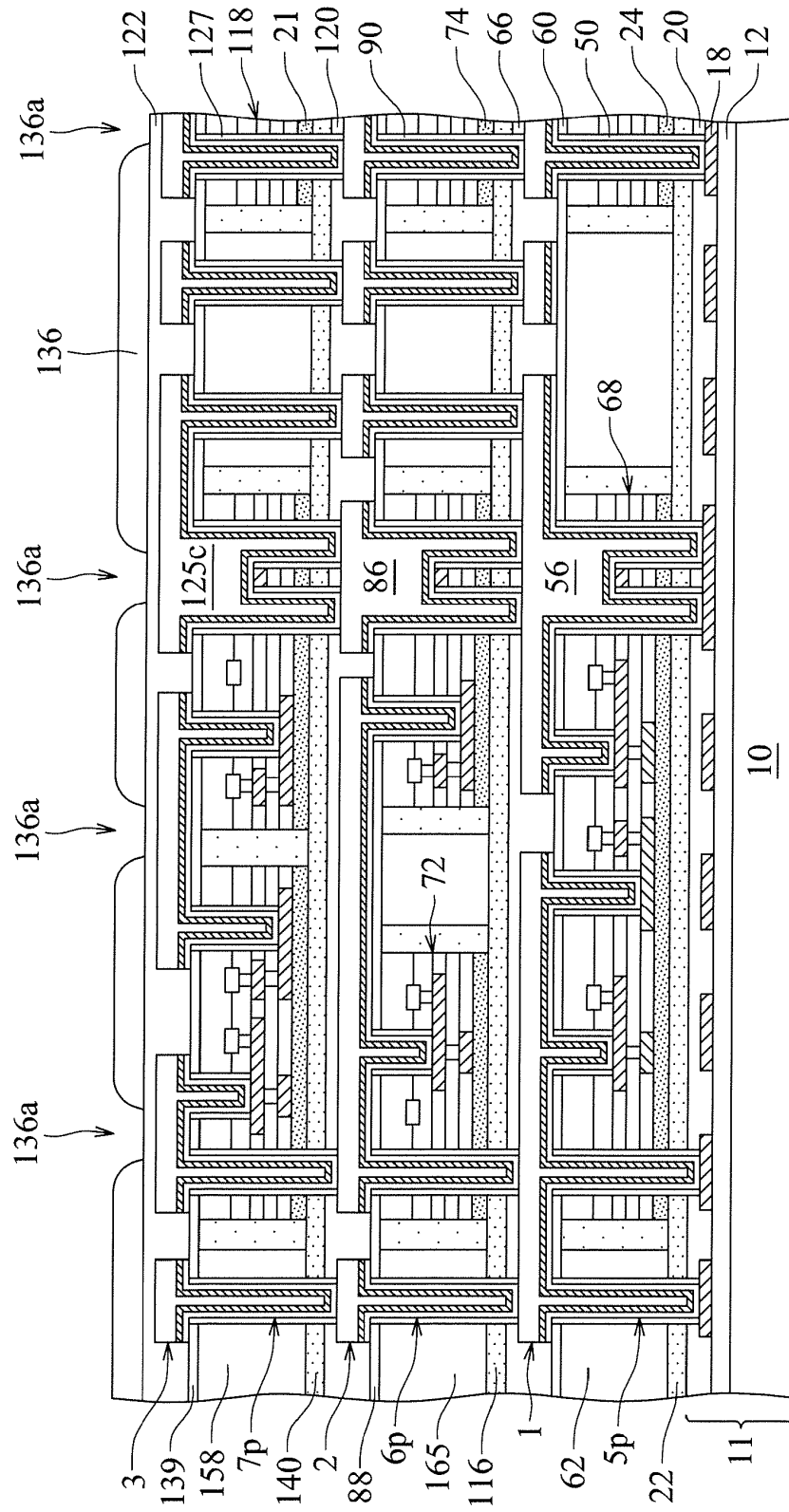


Fig. 102

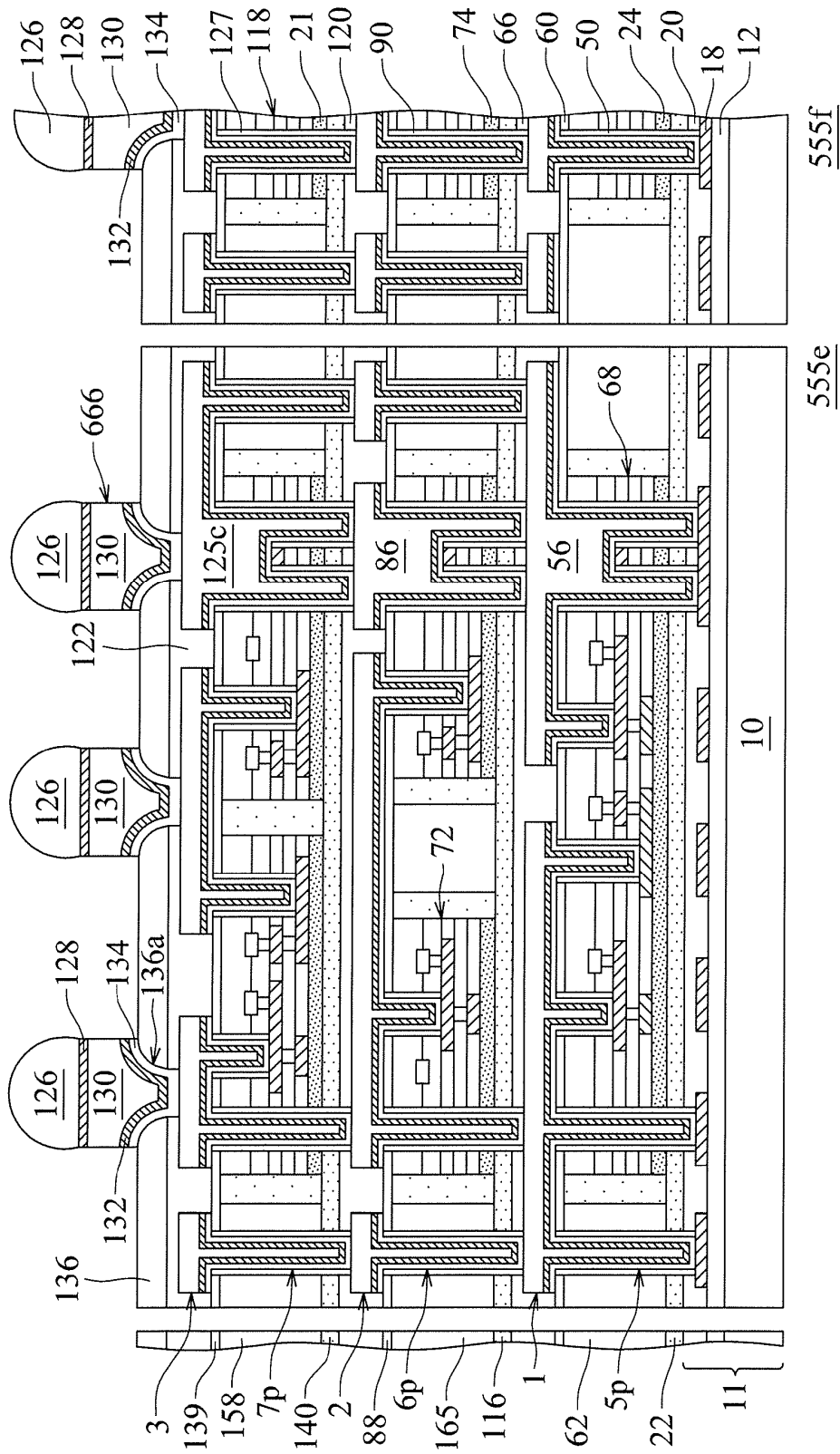


Fig. 103

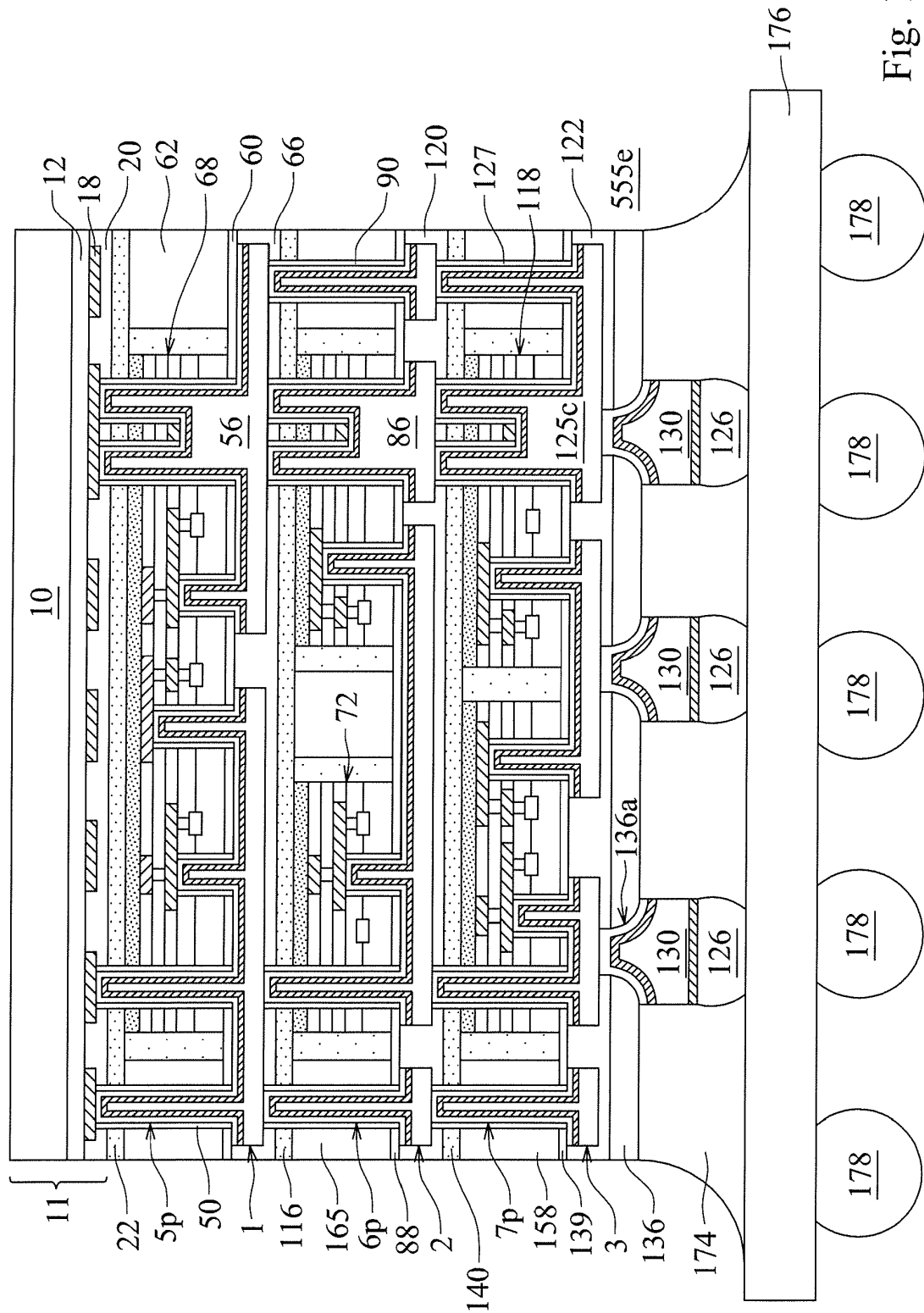


Fig. 104

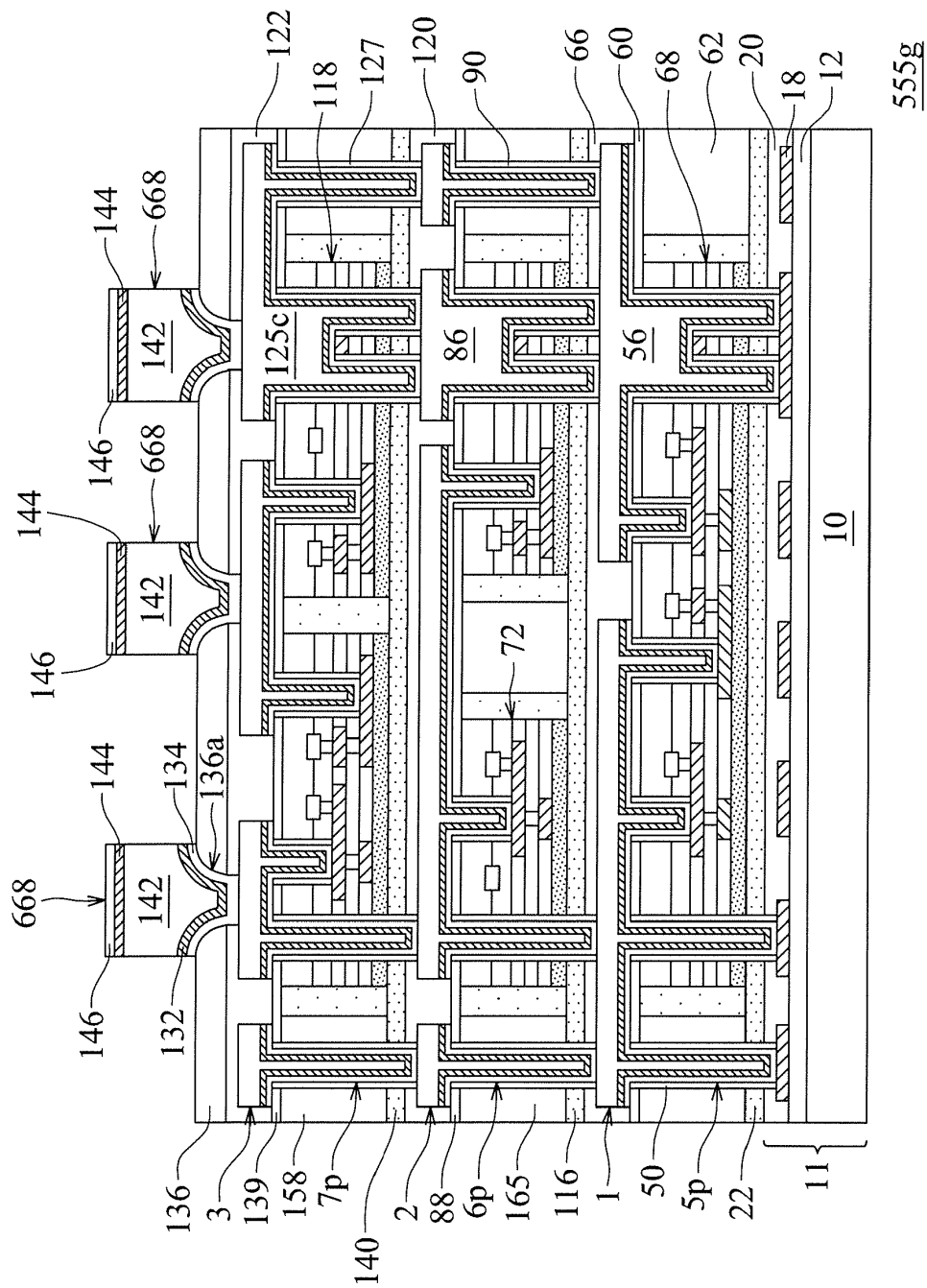


Fig. 105

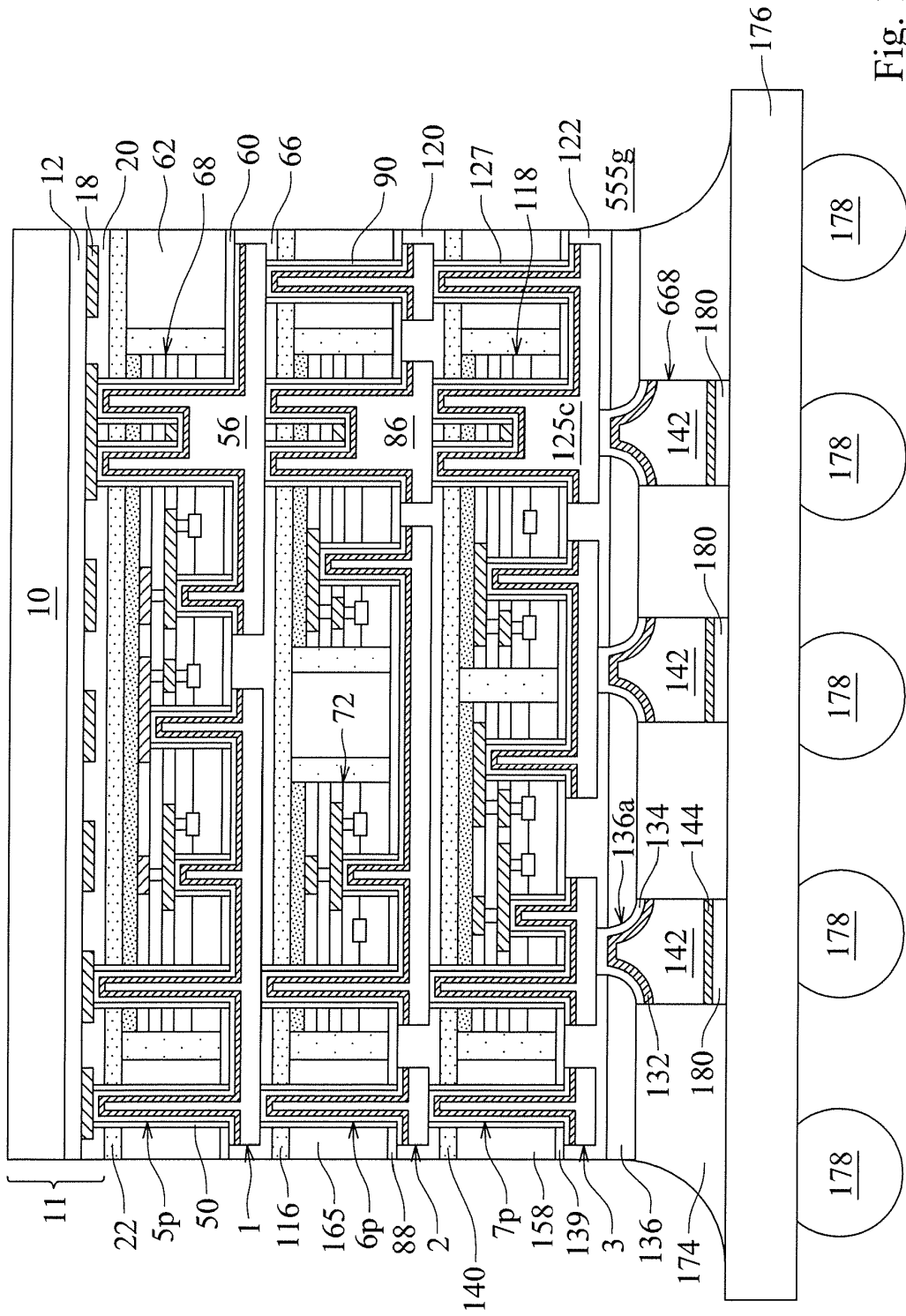


Fig. 106

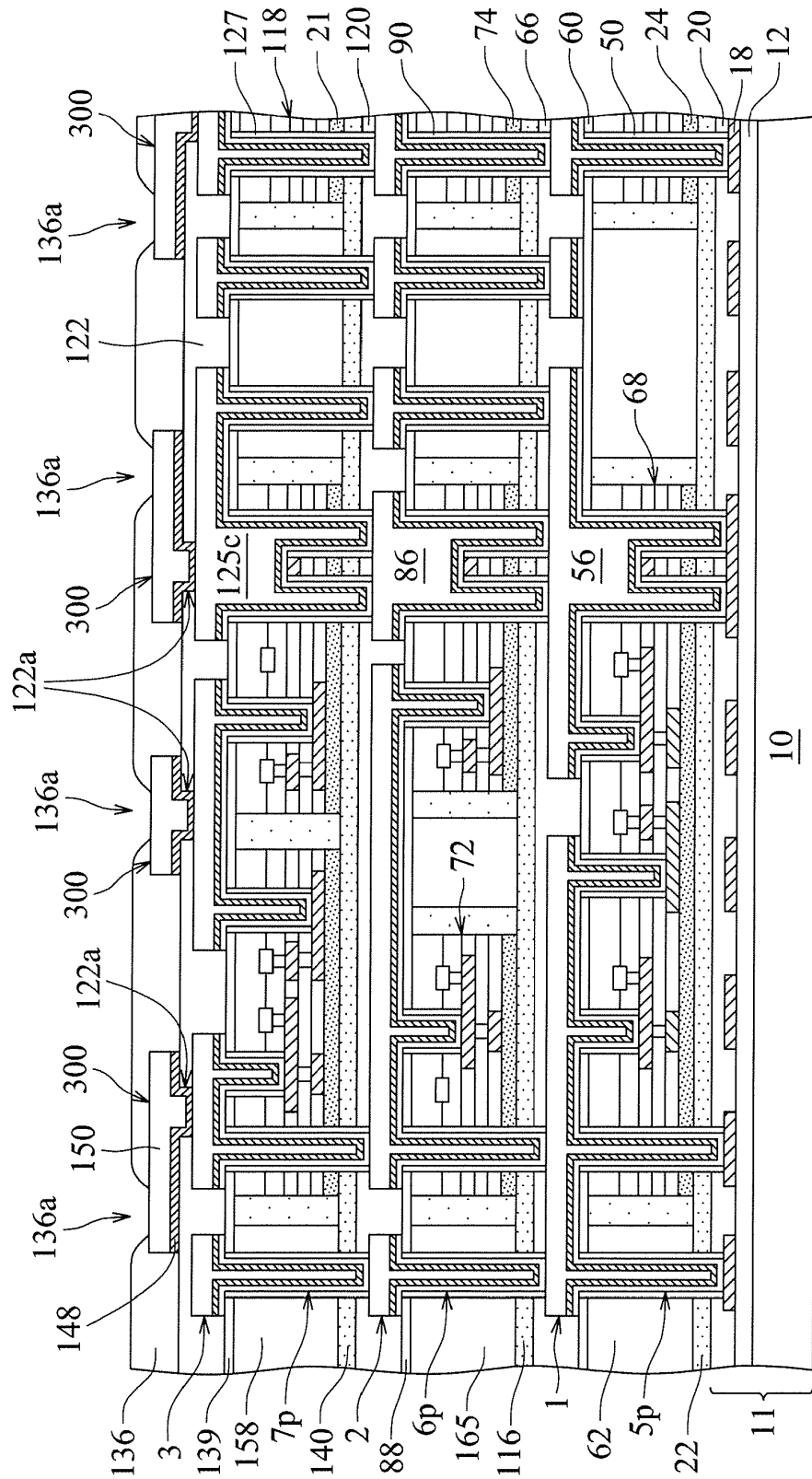


Fig. 107

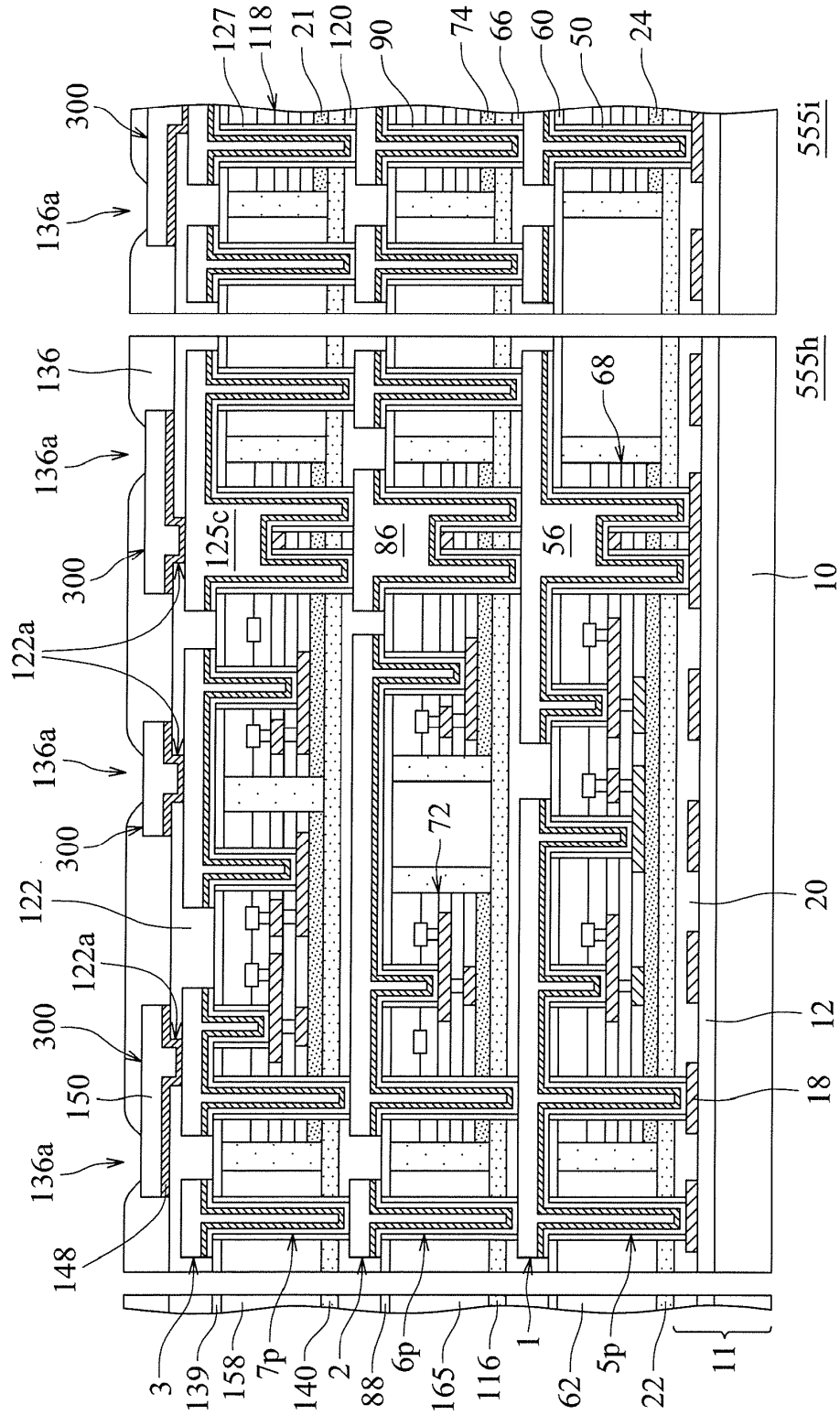
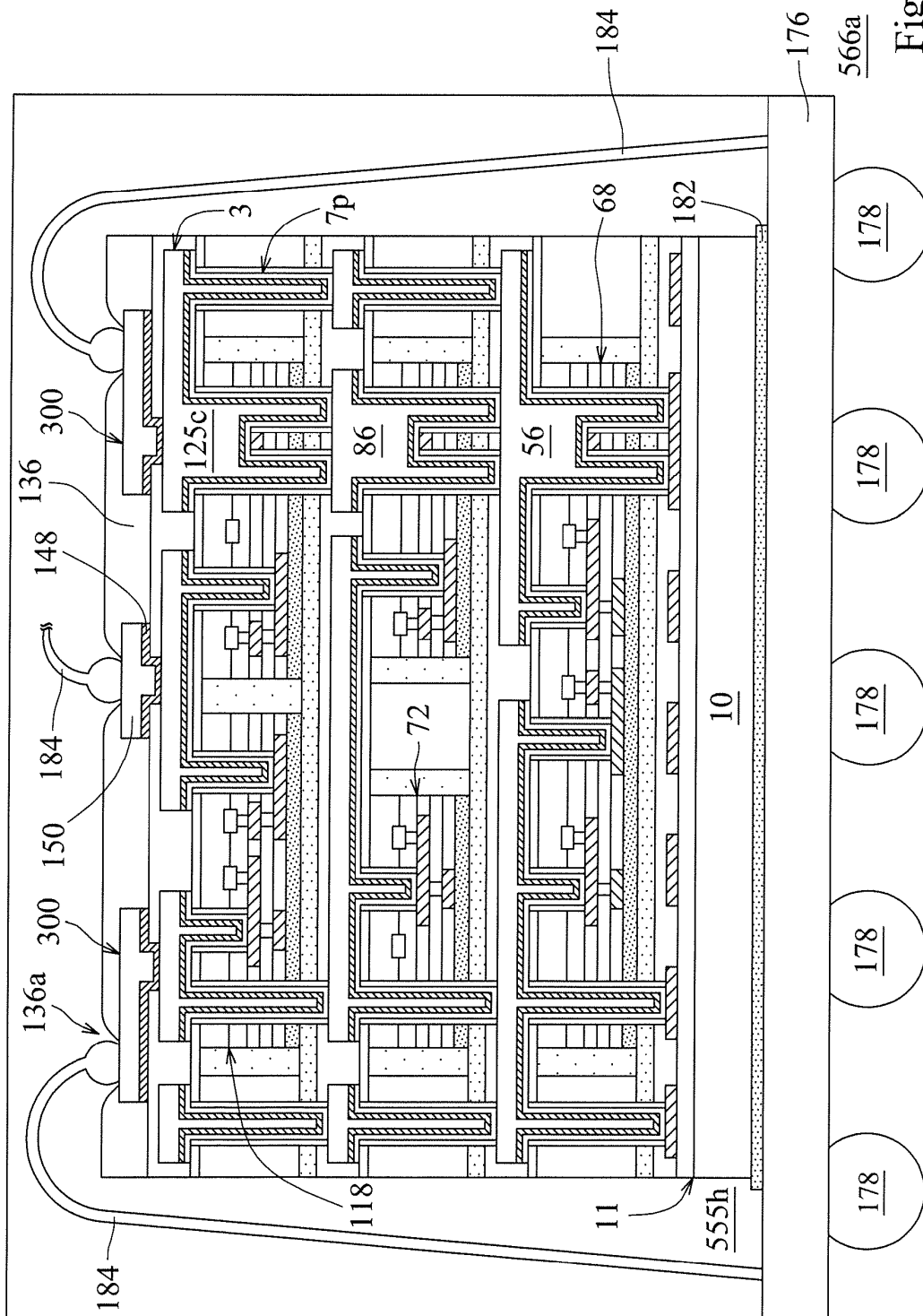


Fig. 108



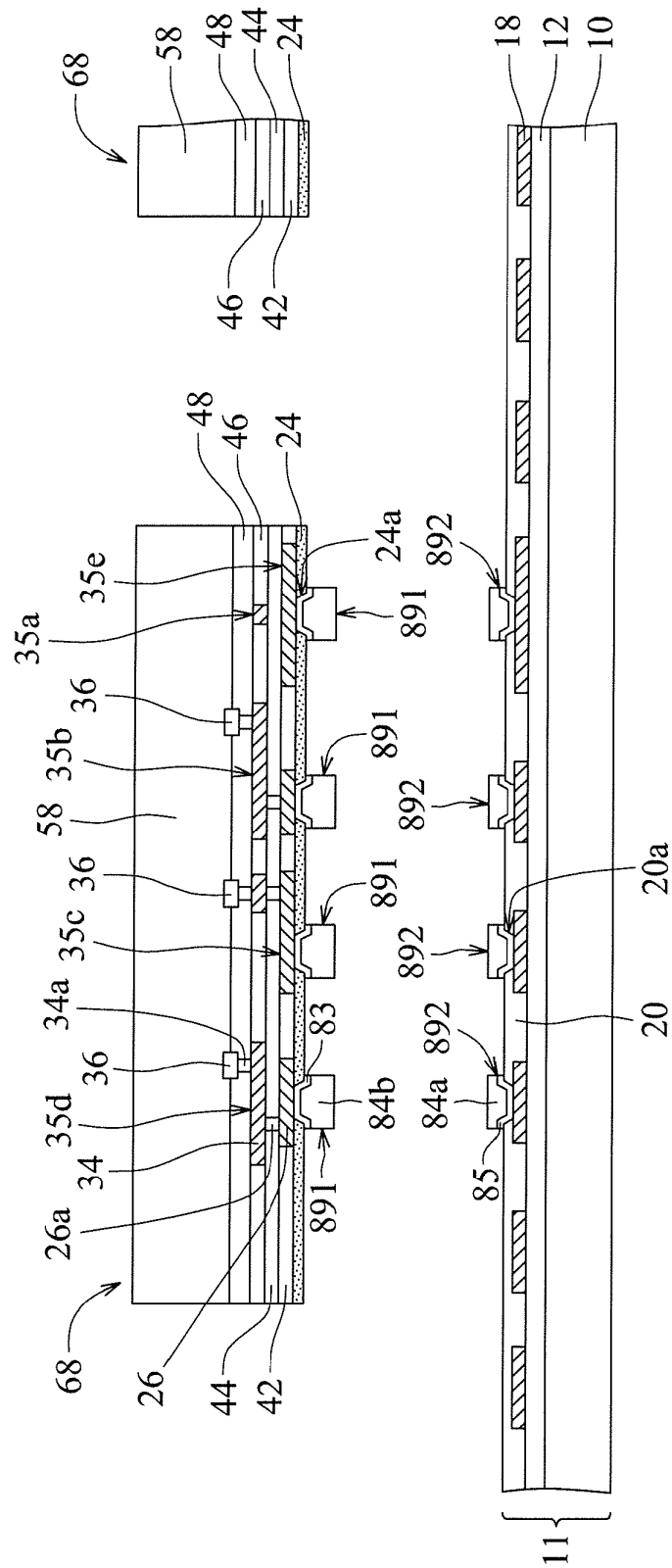


Fig. 110

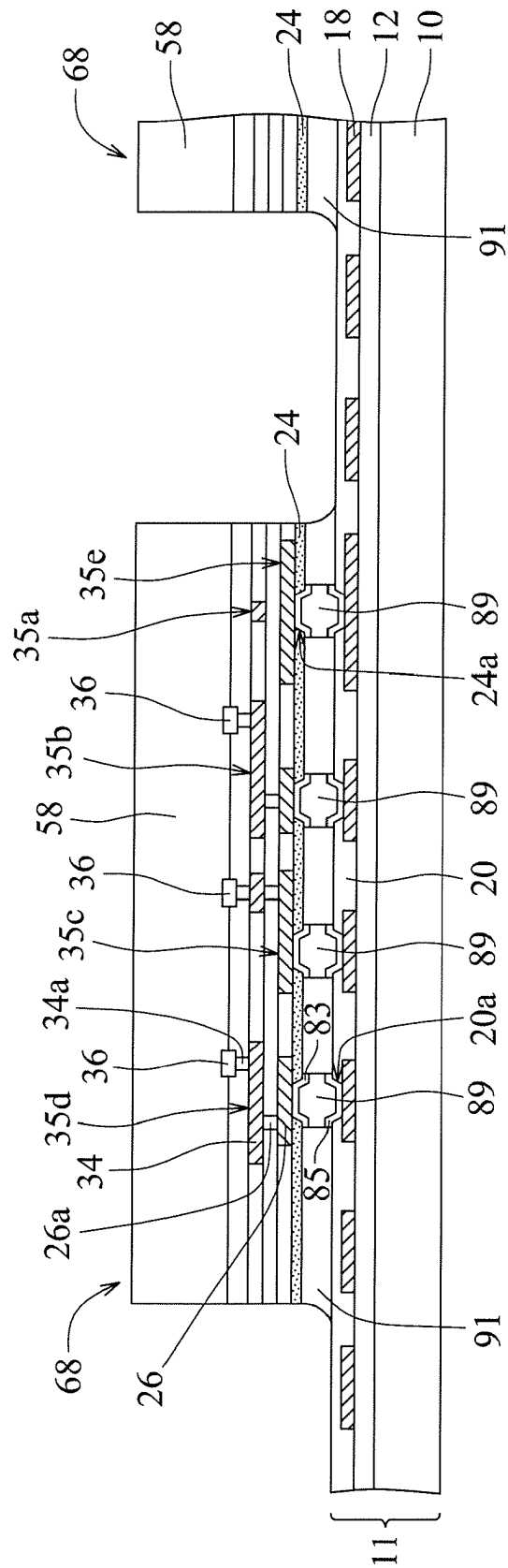


Fig. 111

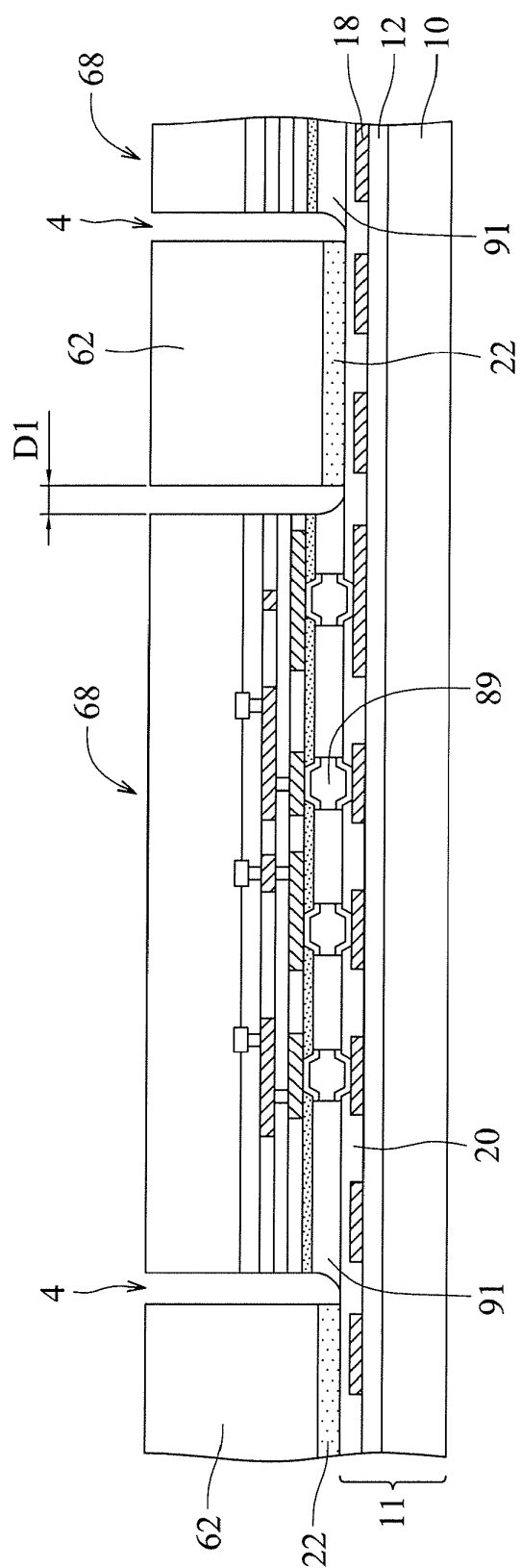


Fig. 112

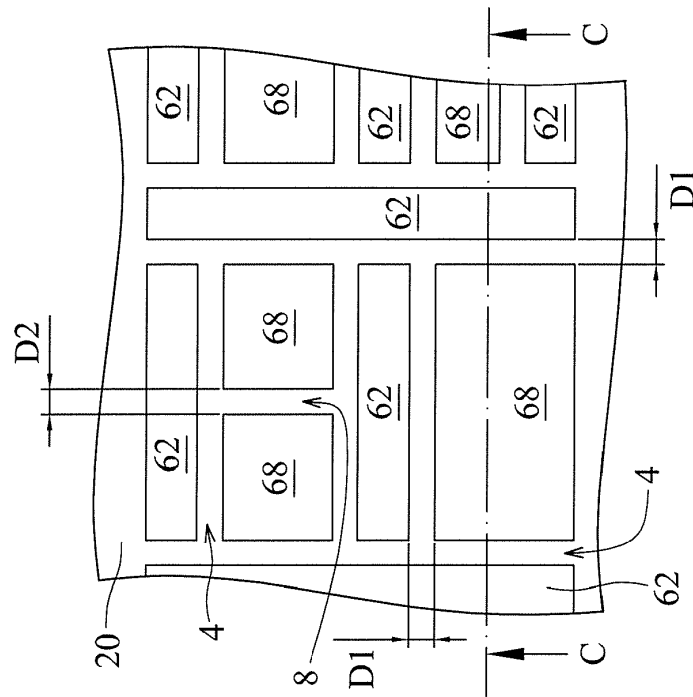


Fig. 113

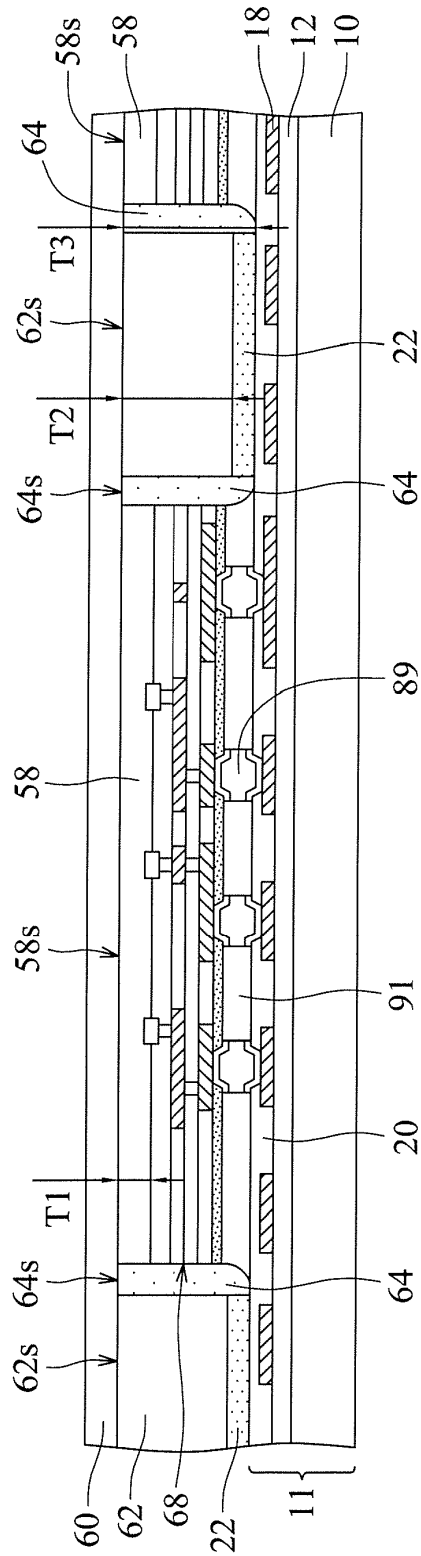


Fig. 114

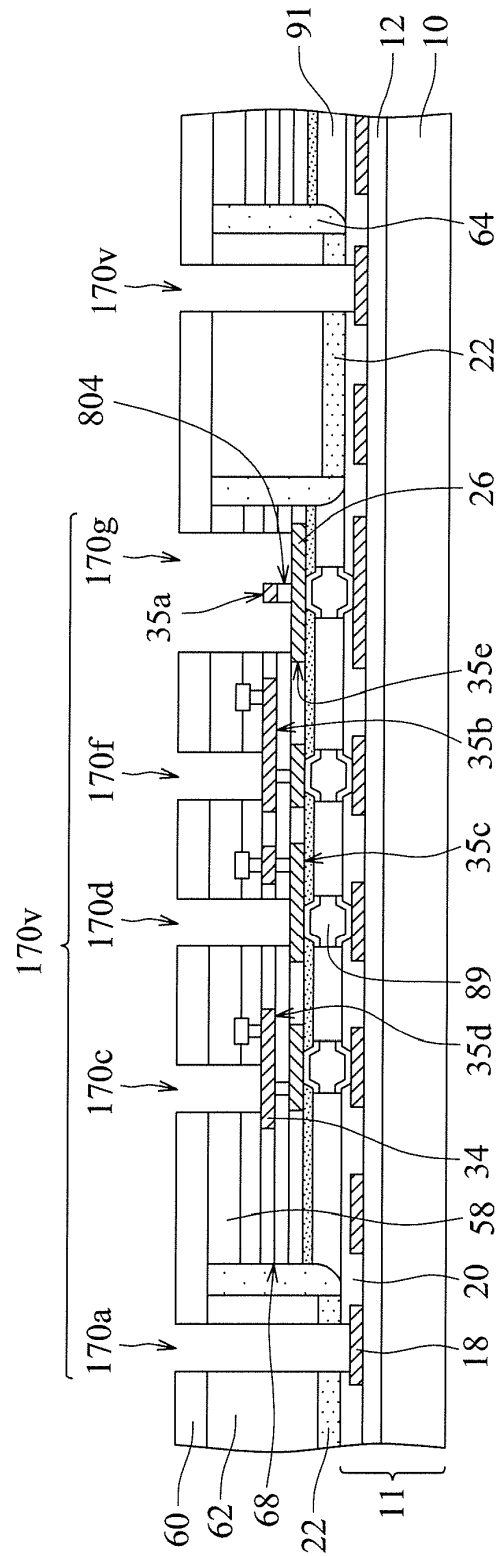


Fig. 115

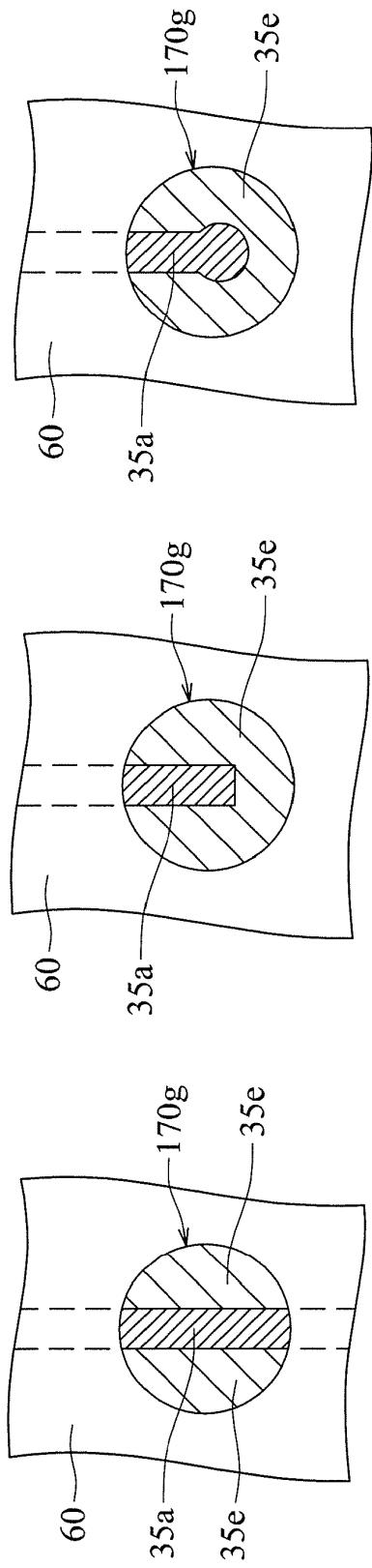


Fig. 118

Fig. 117

Fig. 116

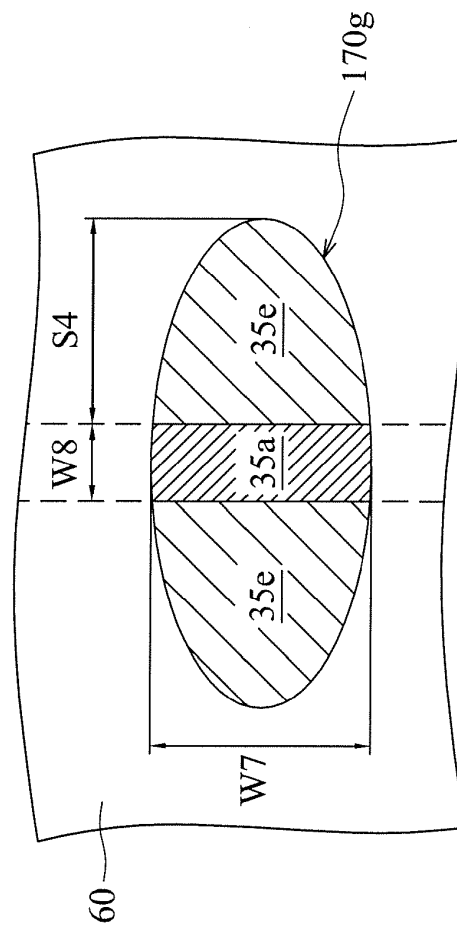
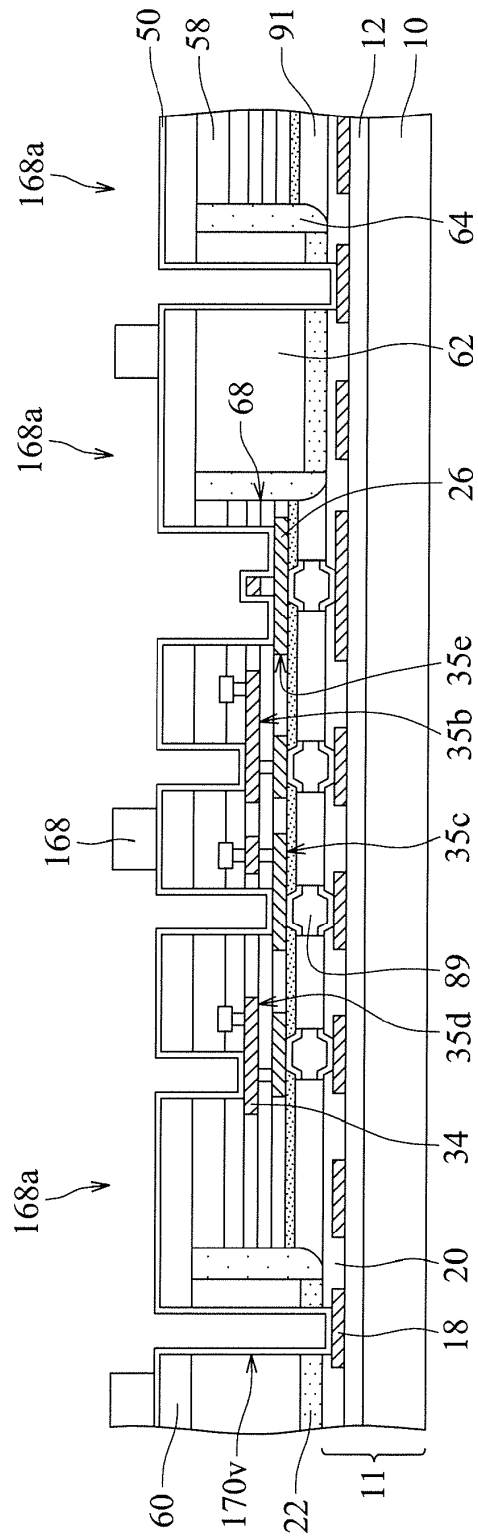
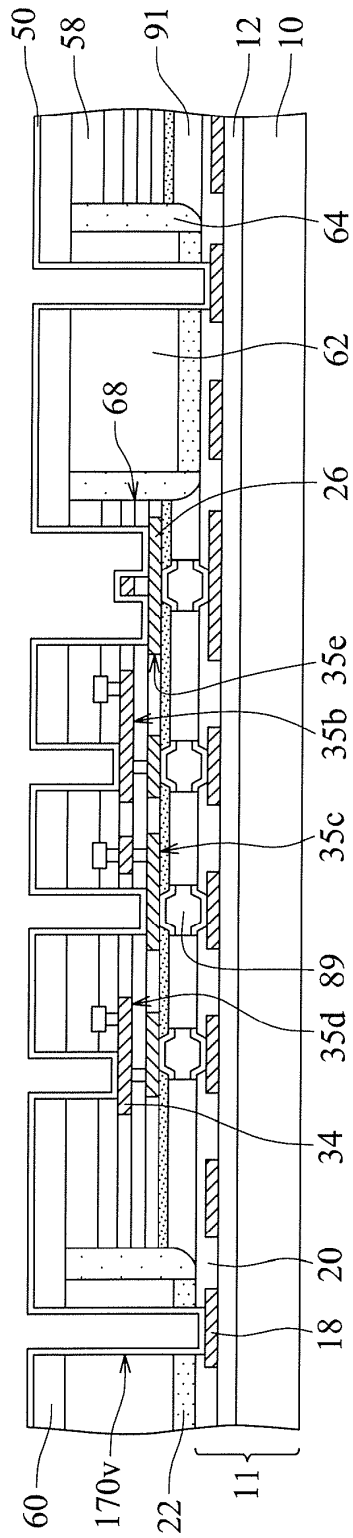
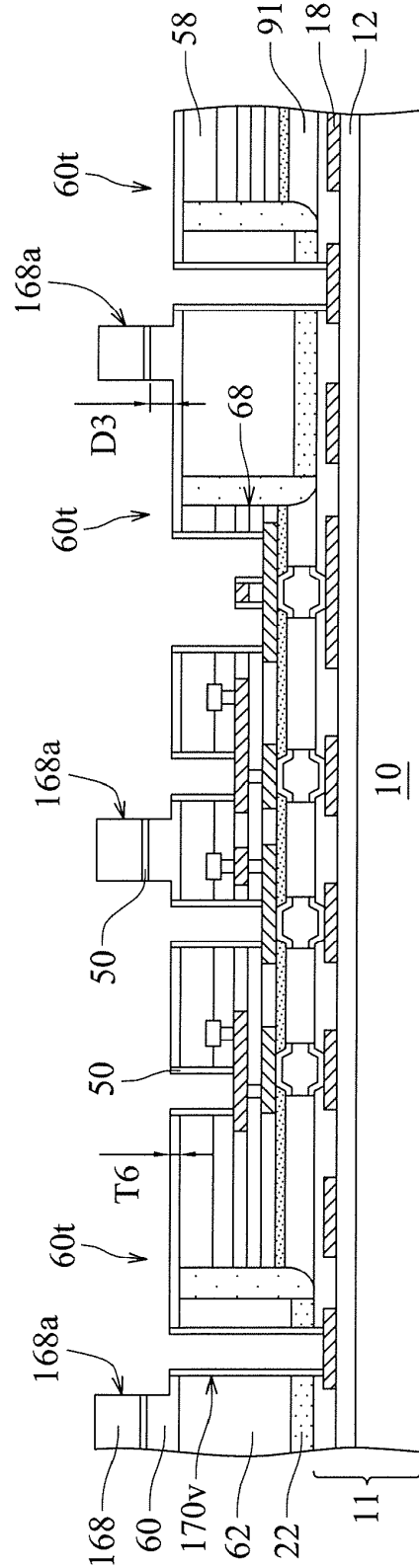
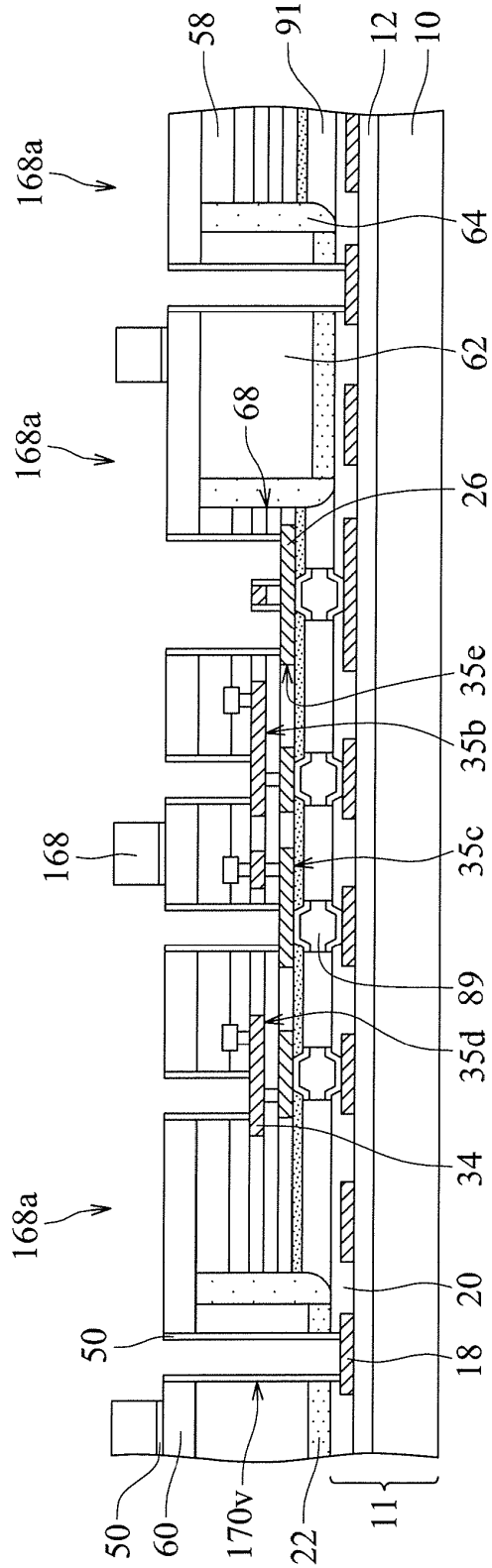
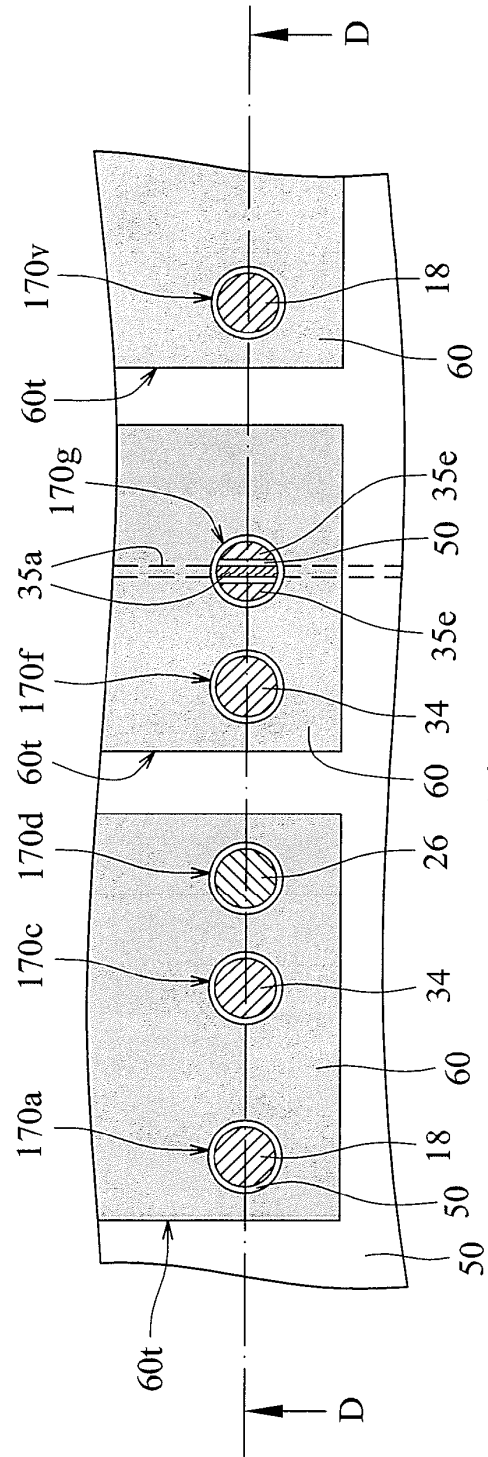
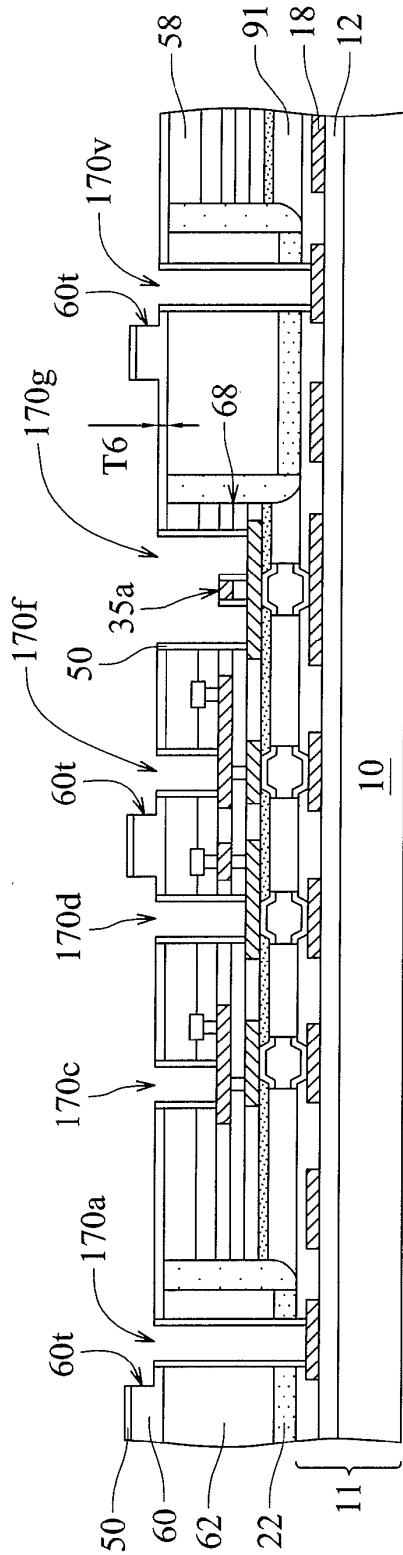


Fig. 119







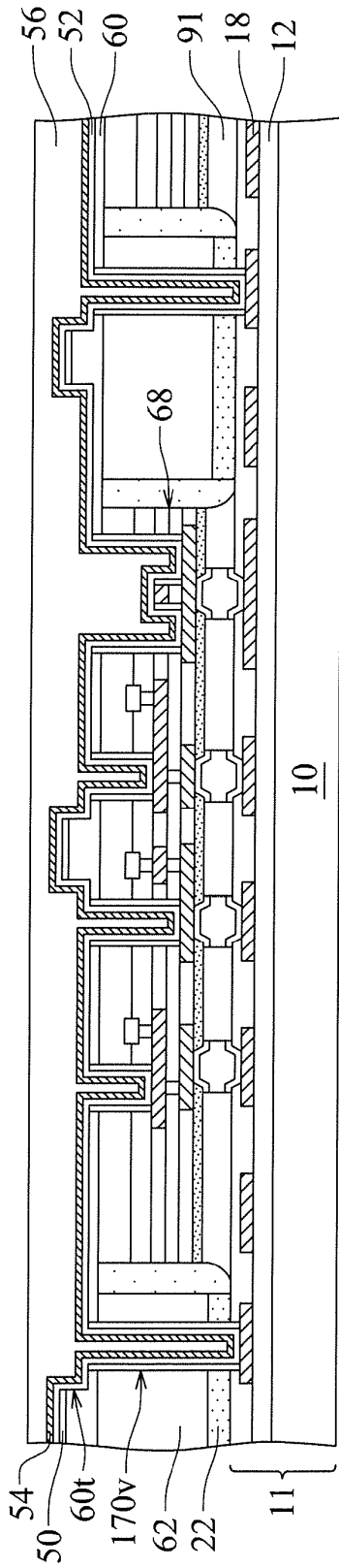


Fig. 126

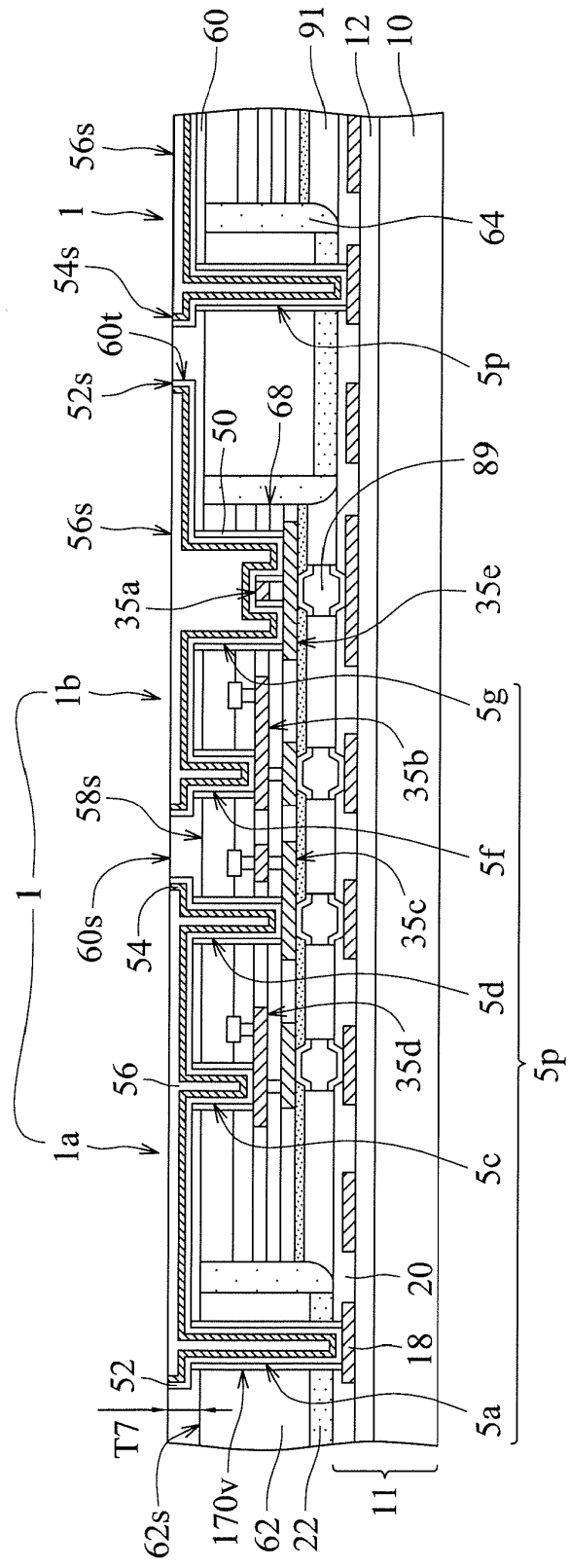


Fig. 127

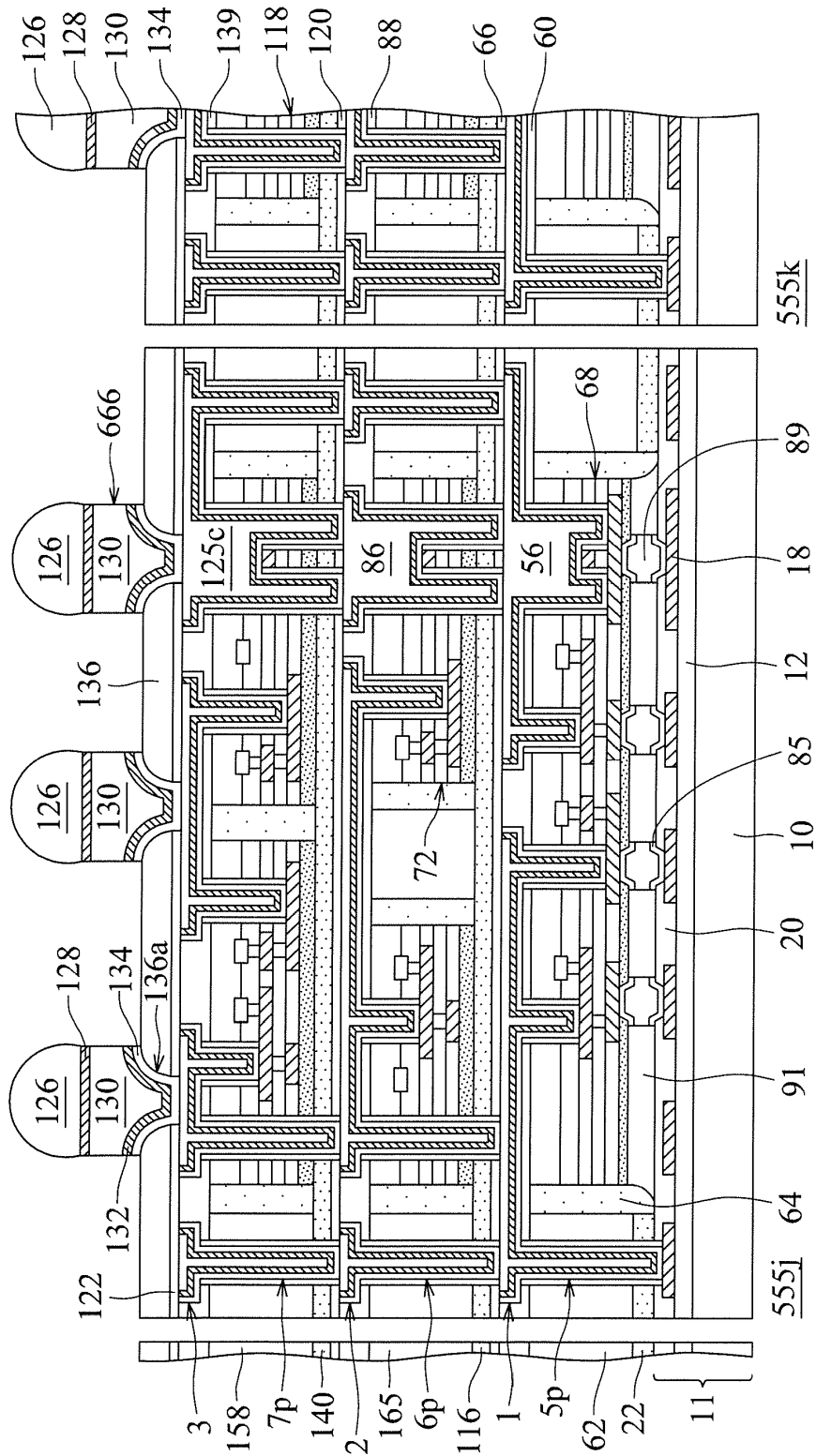


Fig. 128

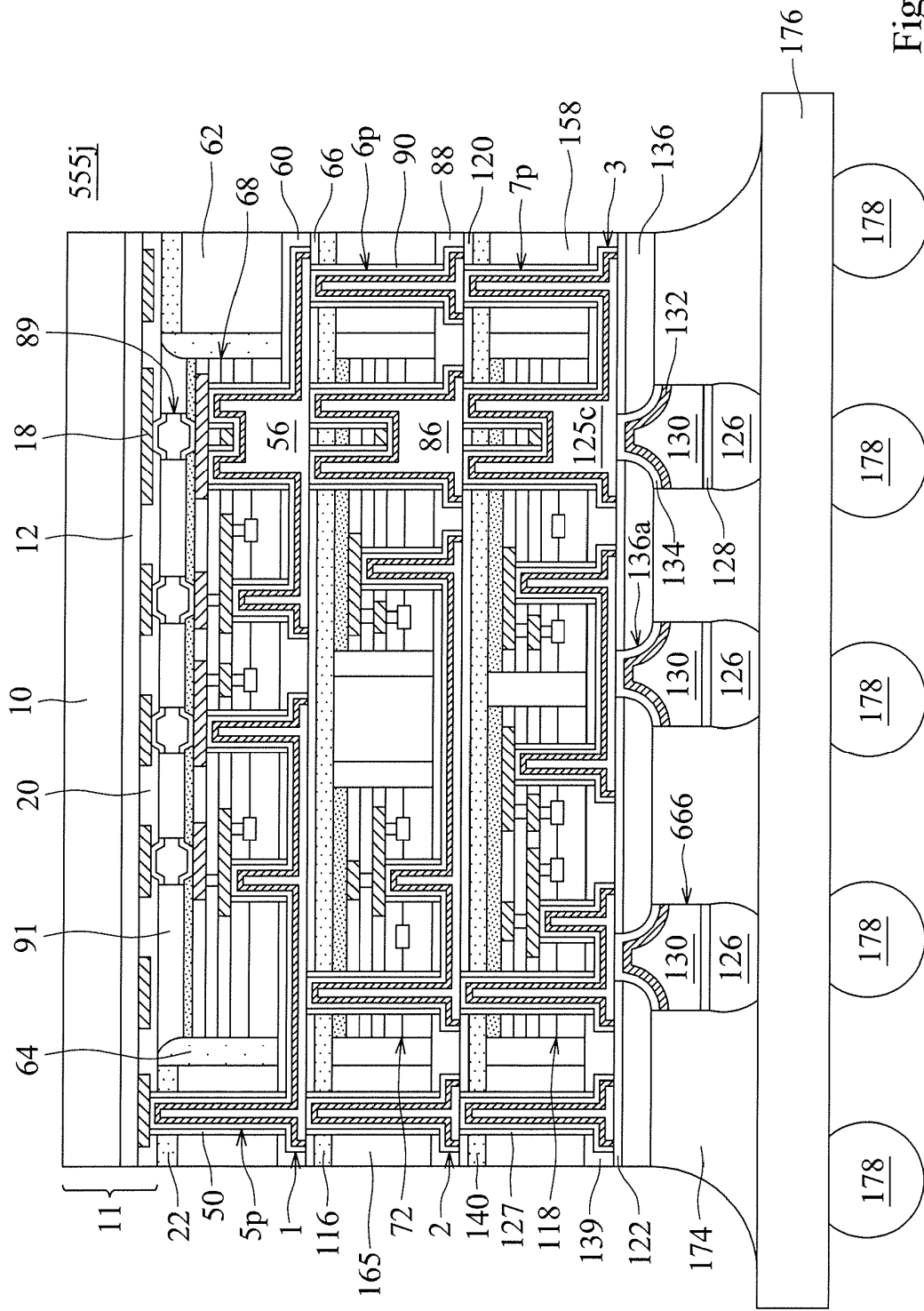


Fig. 129

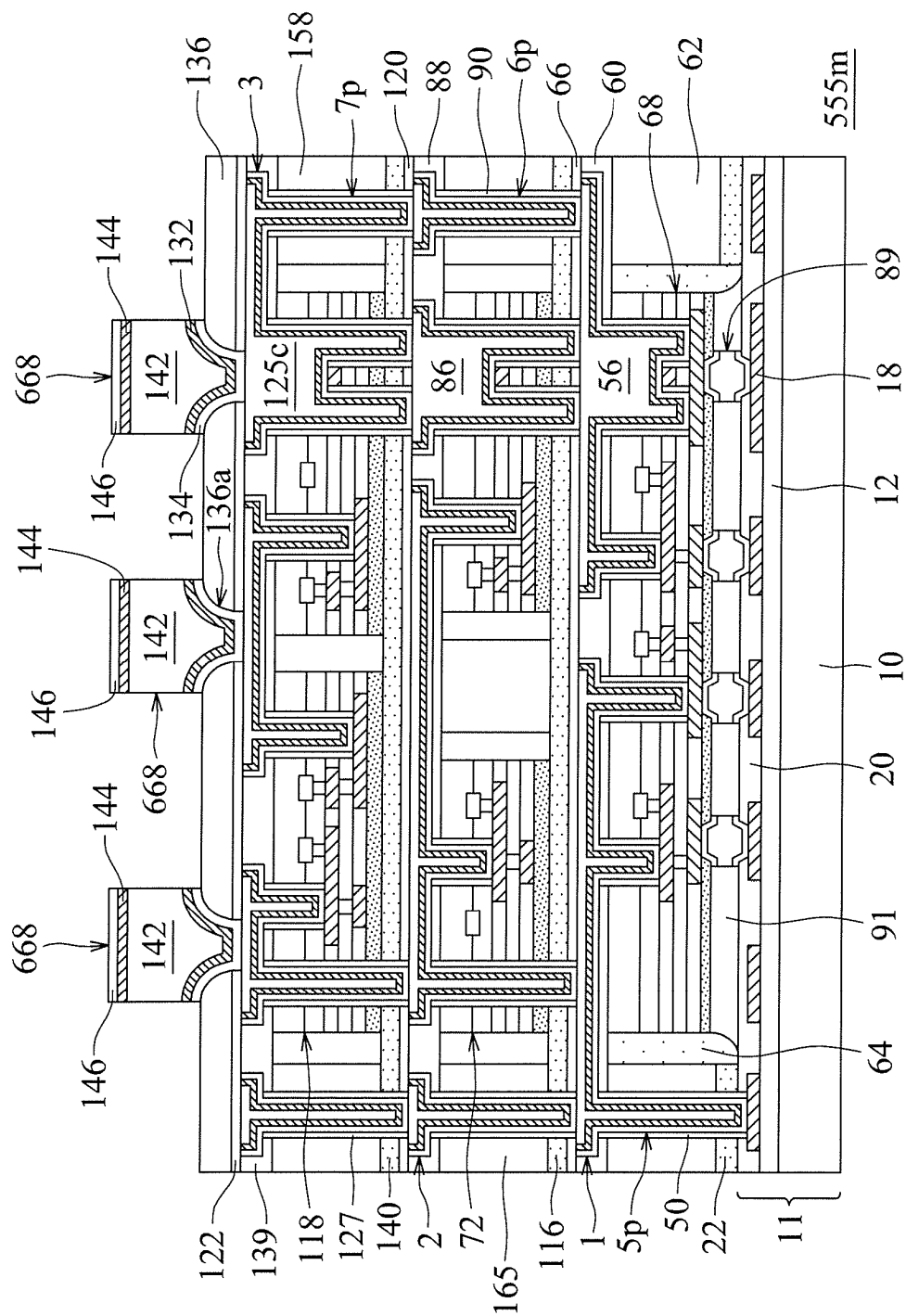


Fig. 130

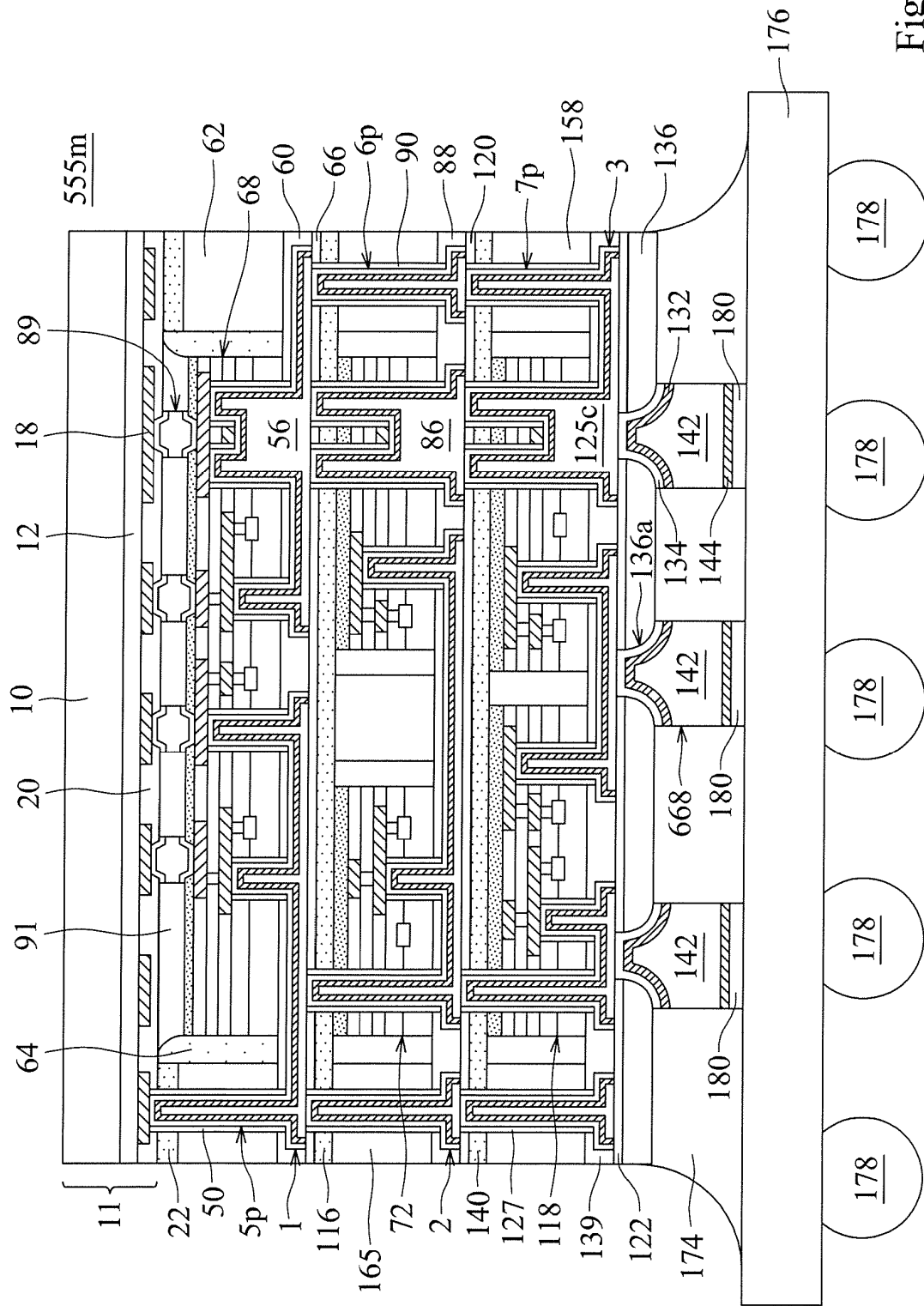


Fig. 131

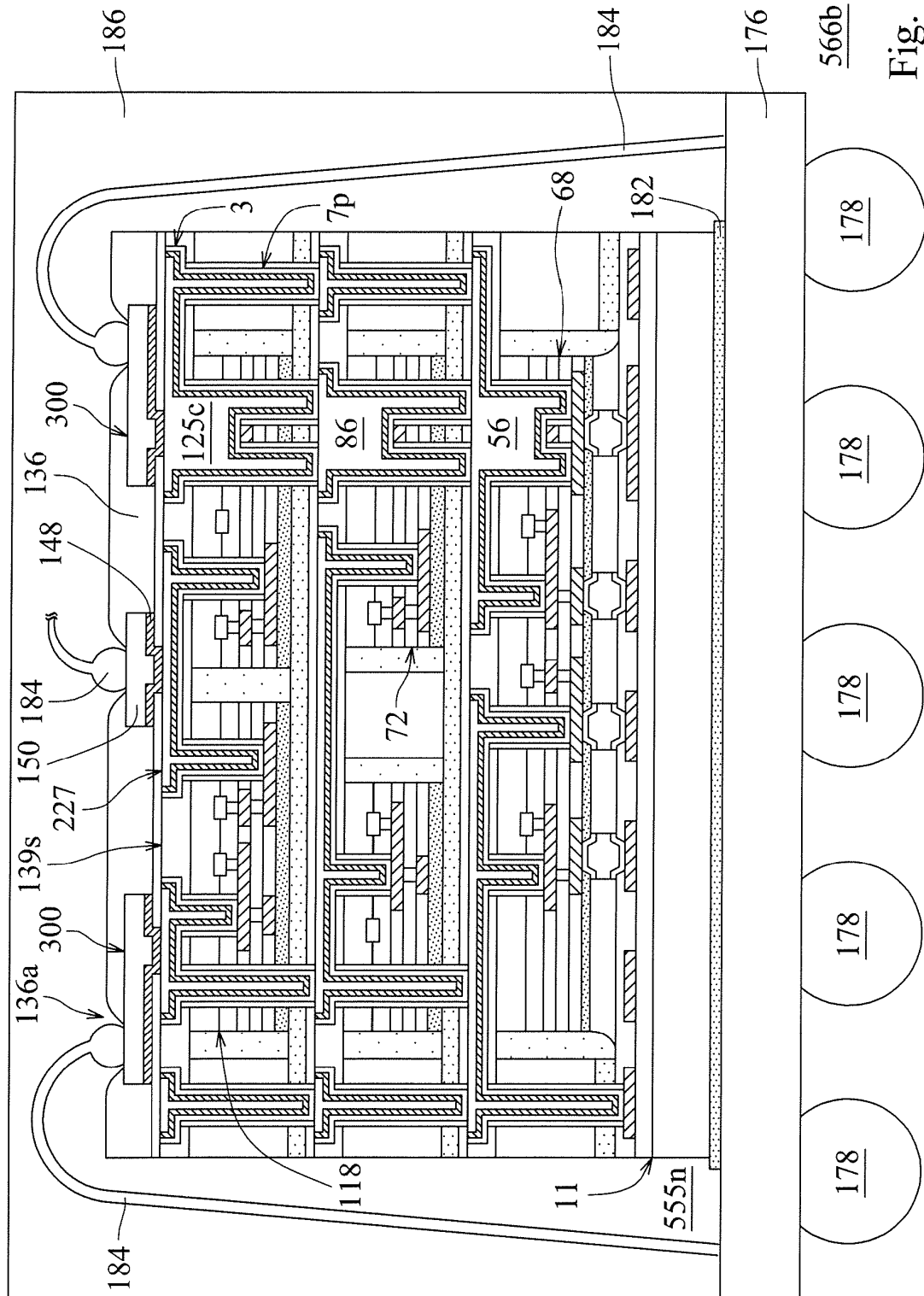


Fig. 132

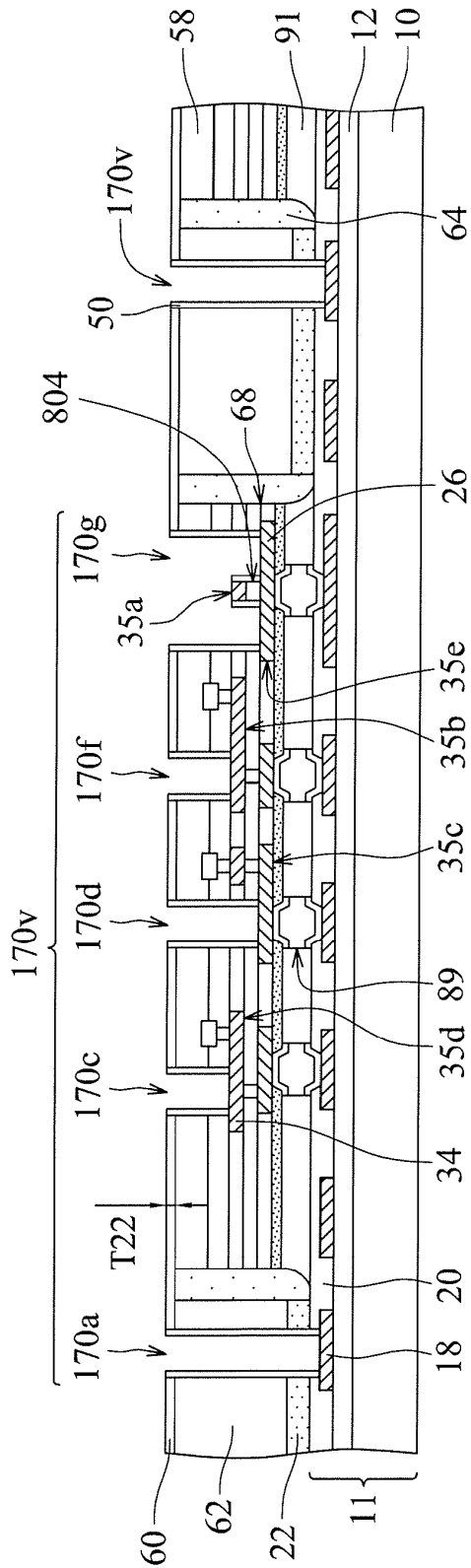


Fig. 133

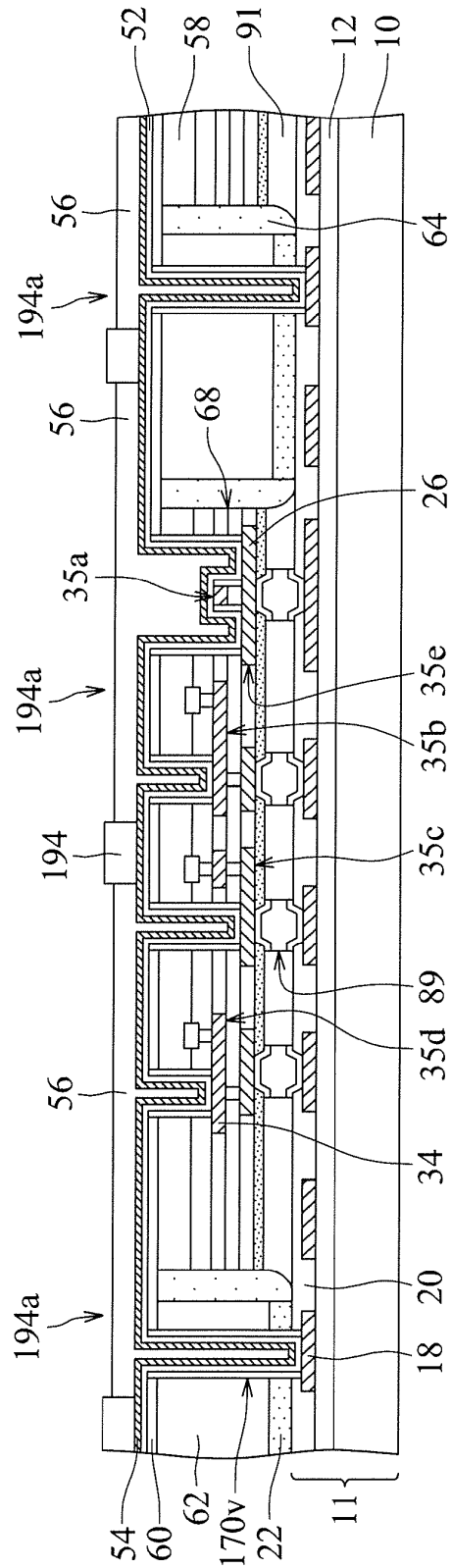


Fig. 134

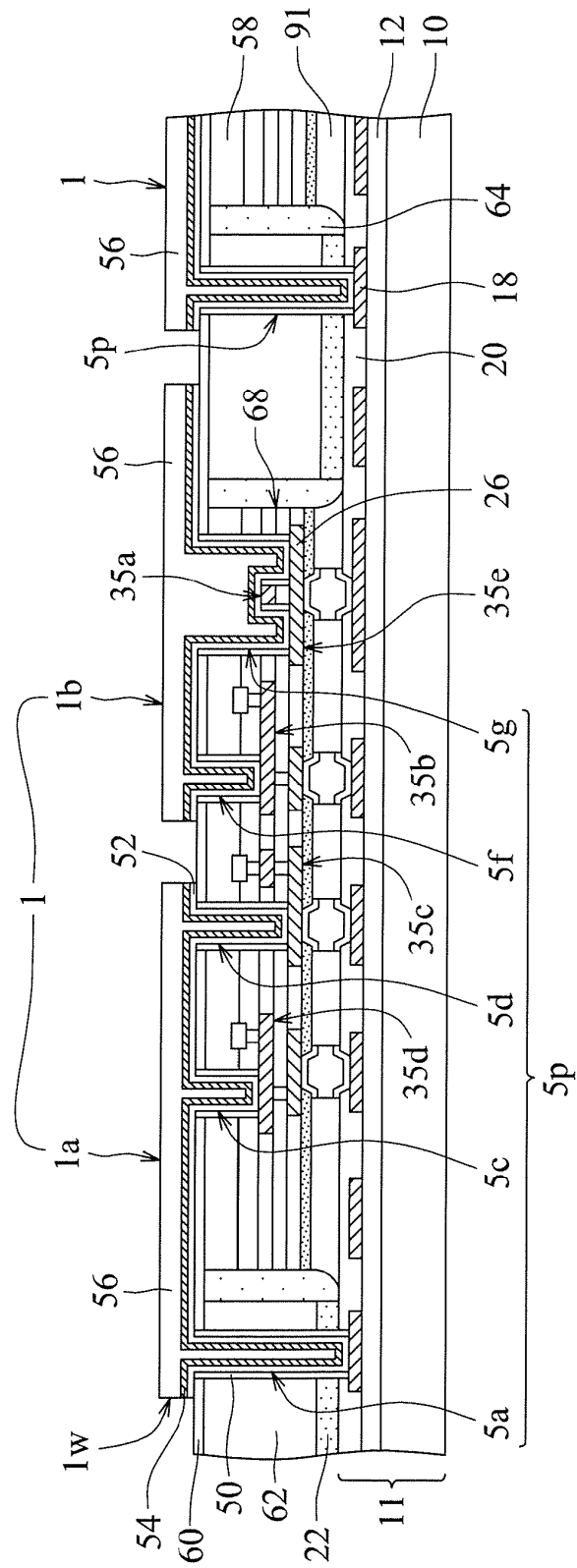


Fig. 135

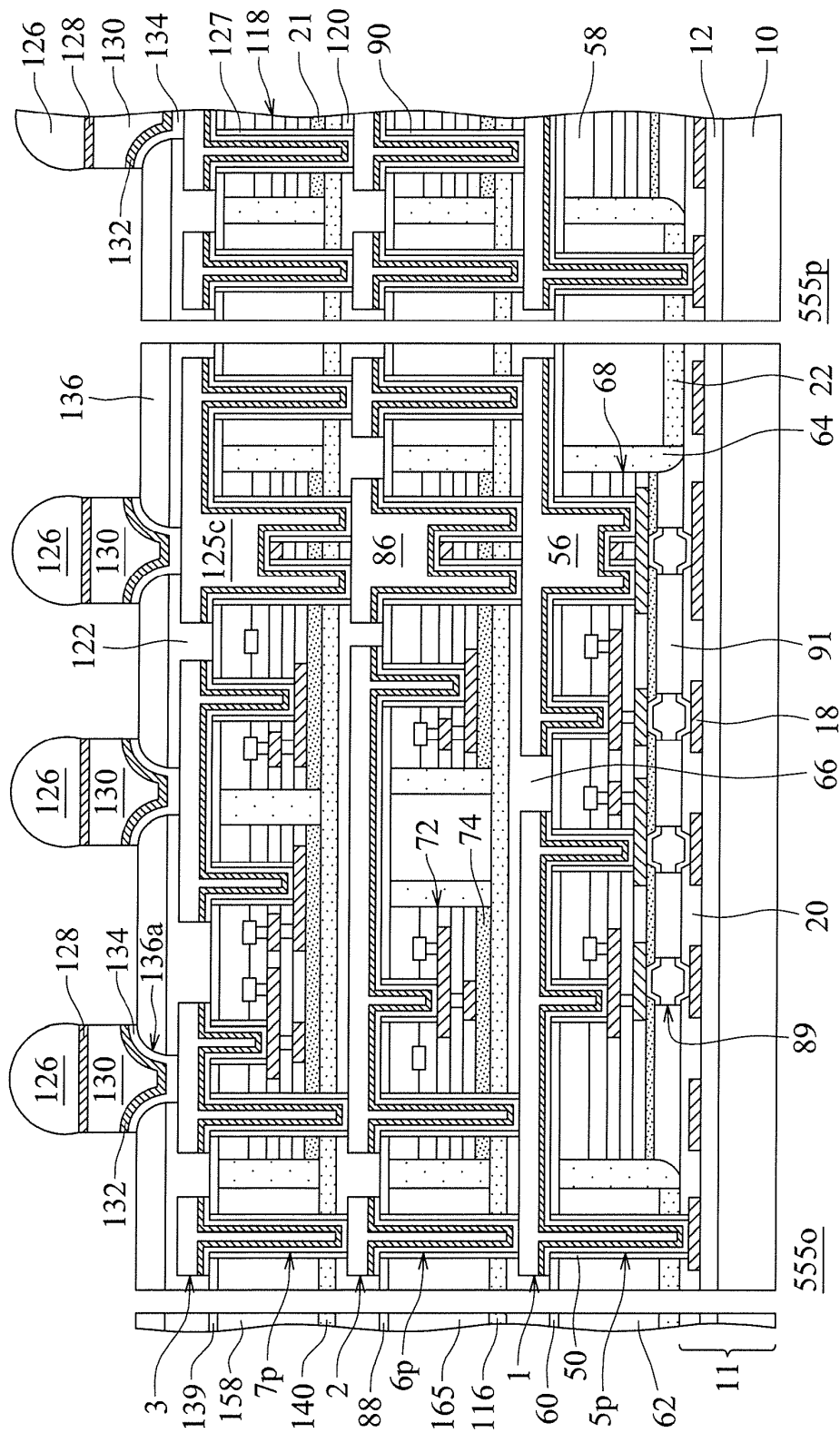


Fig. 136

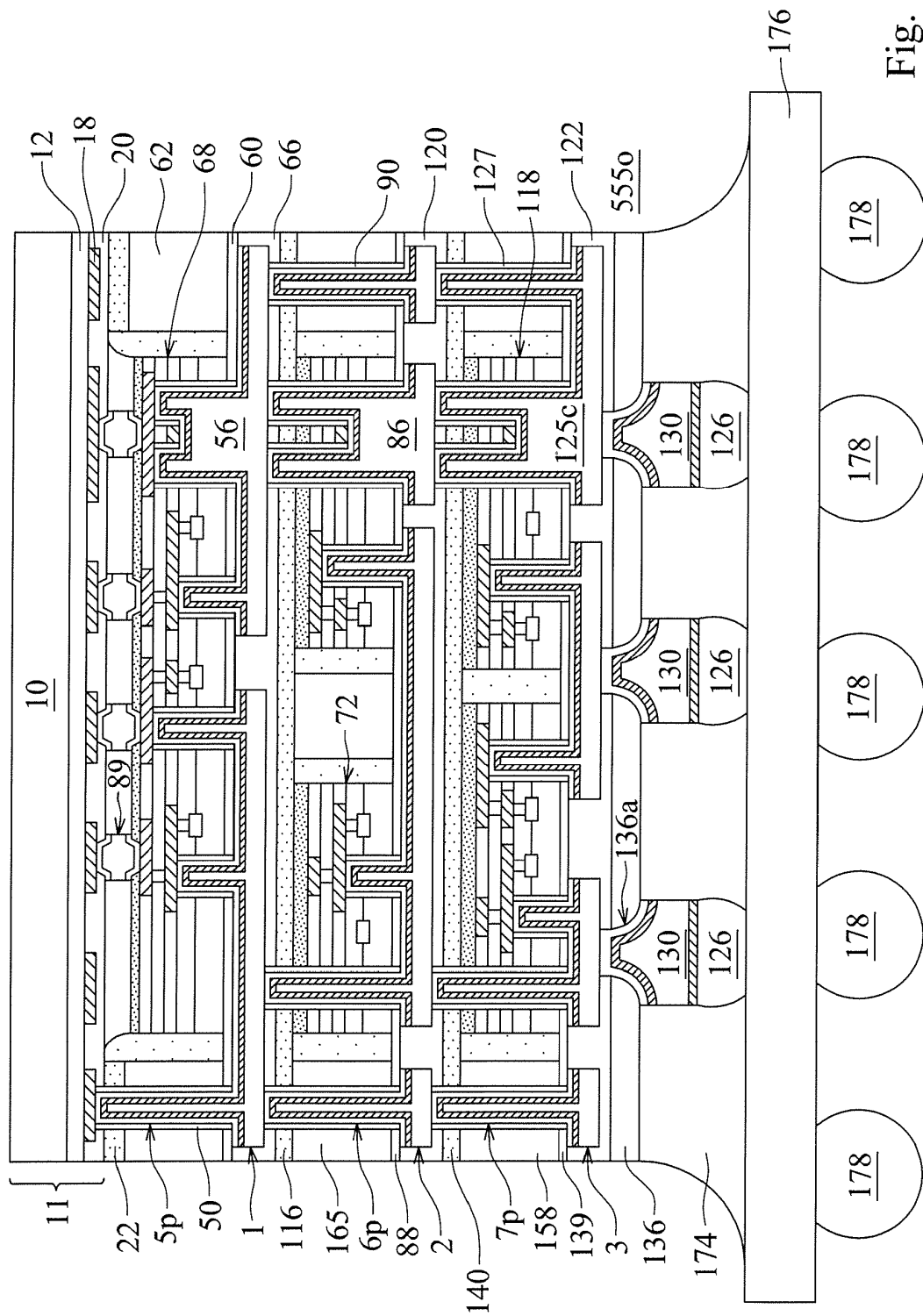


Fig. 137

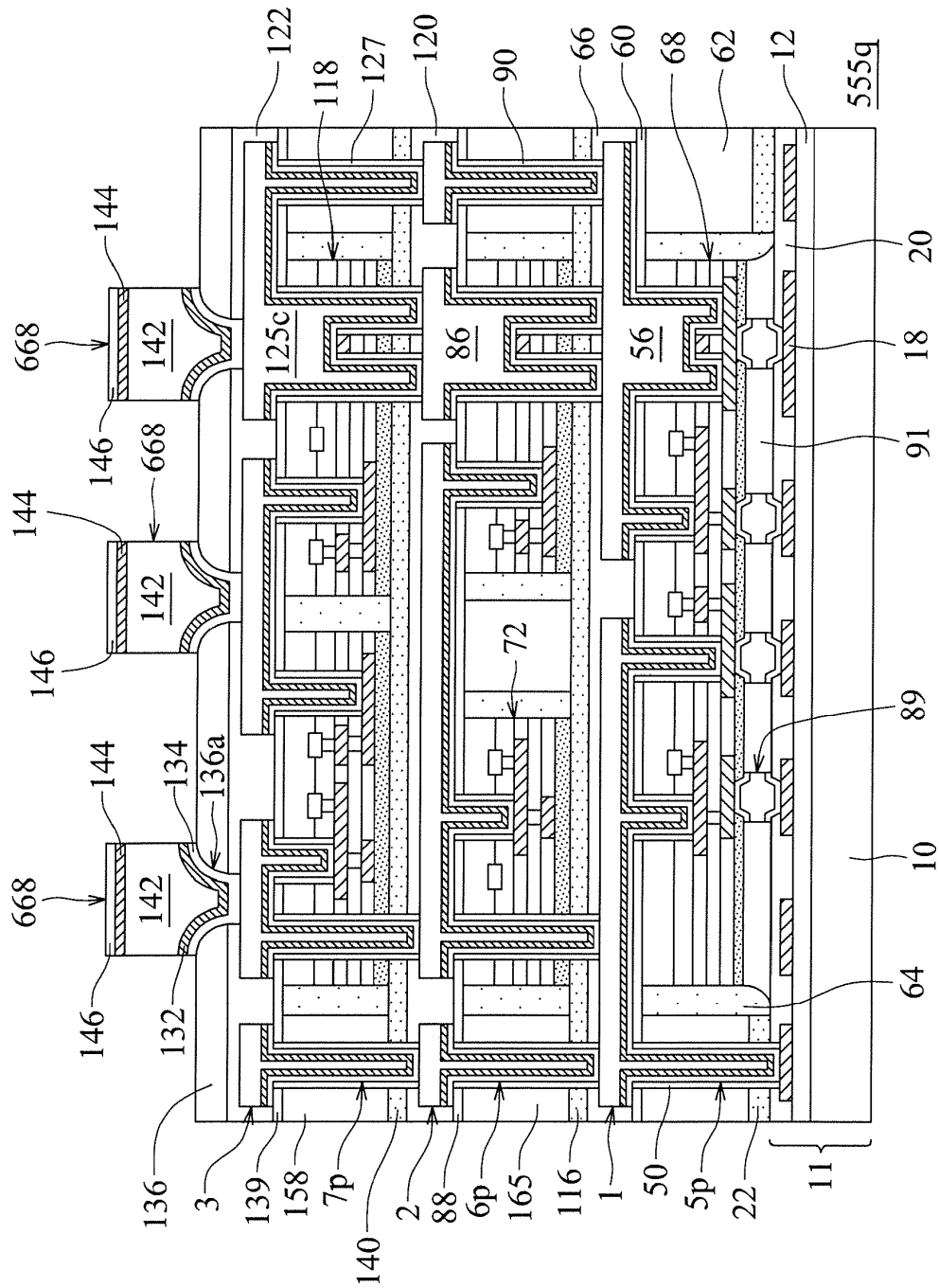


Fig. 138

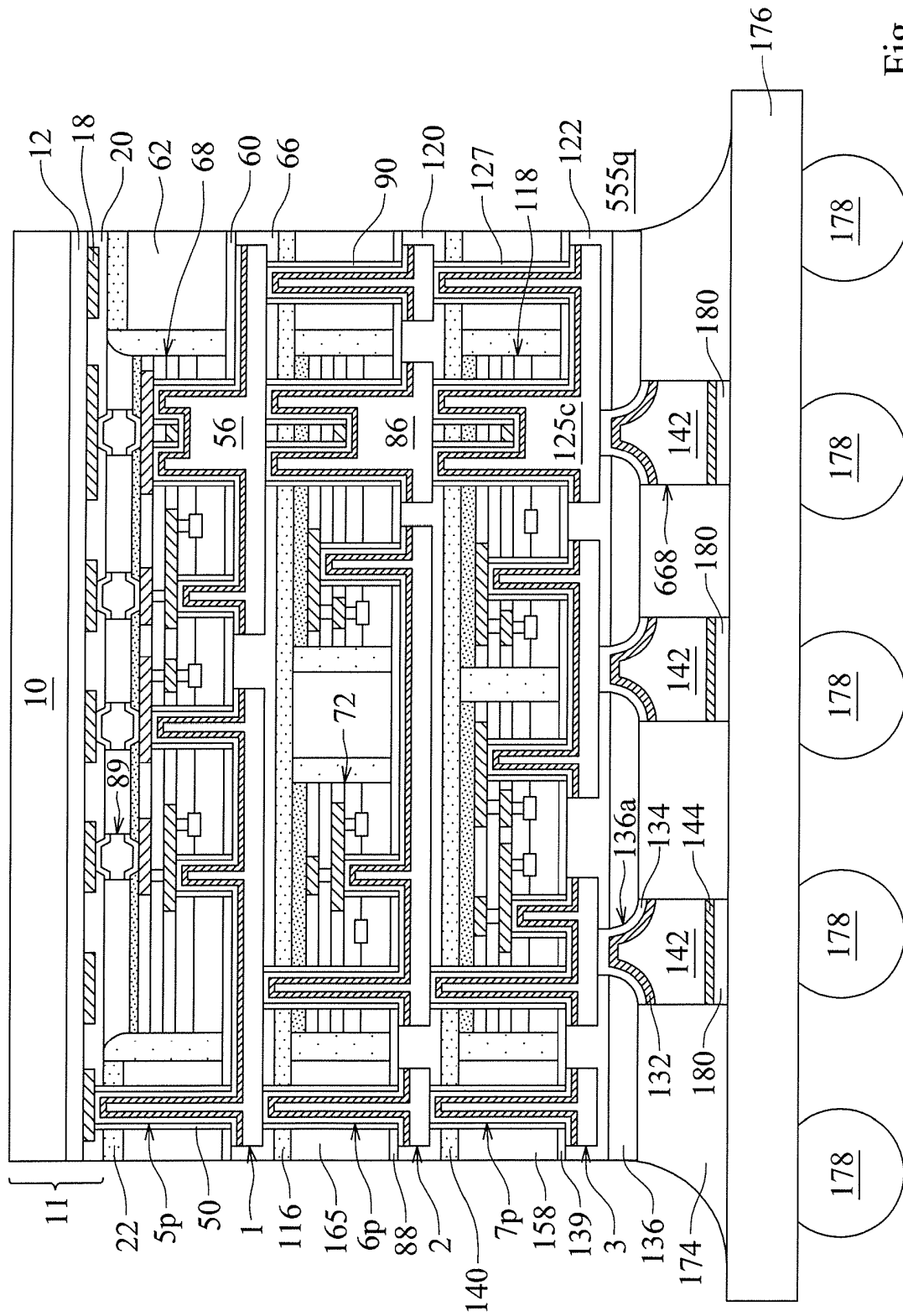


Fig. 139

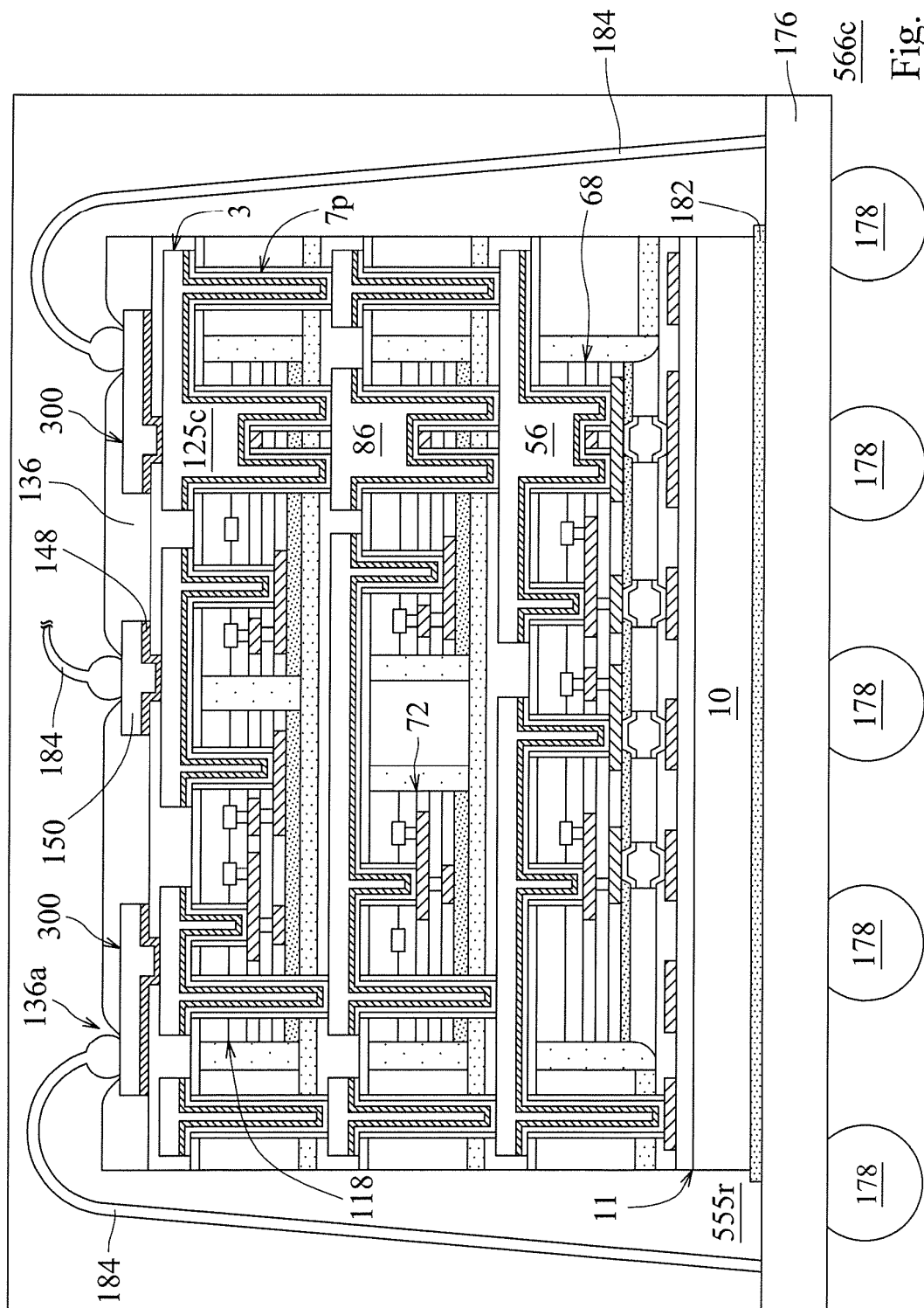
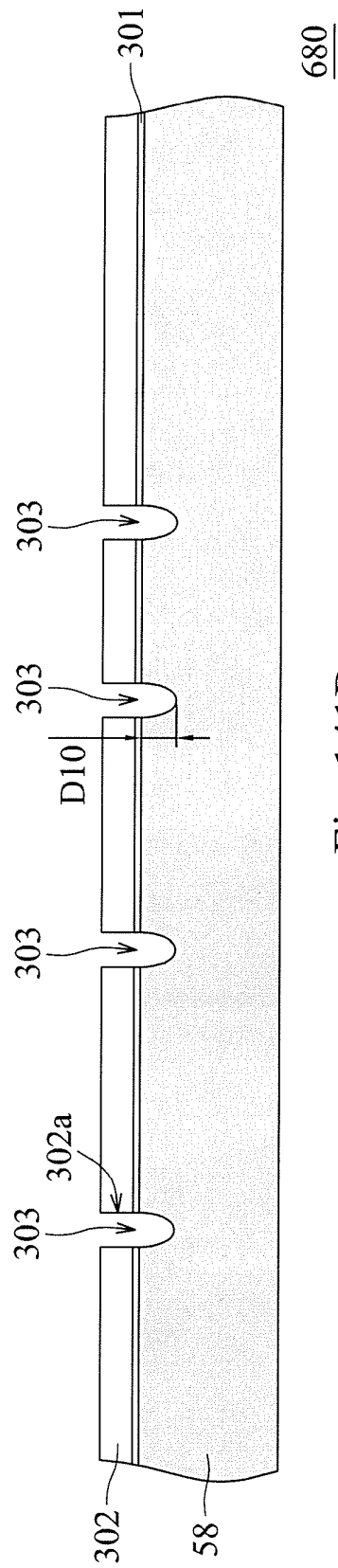
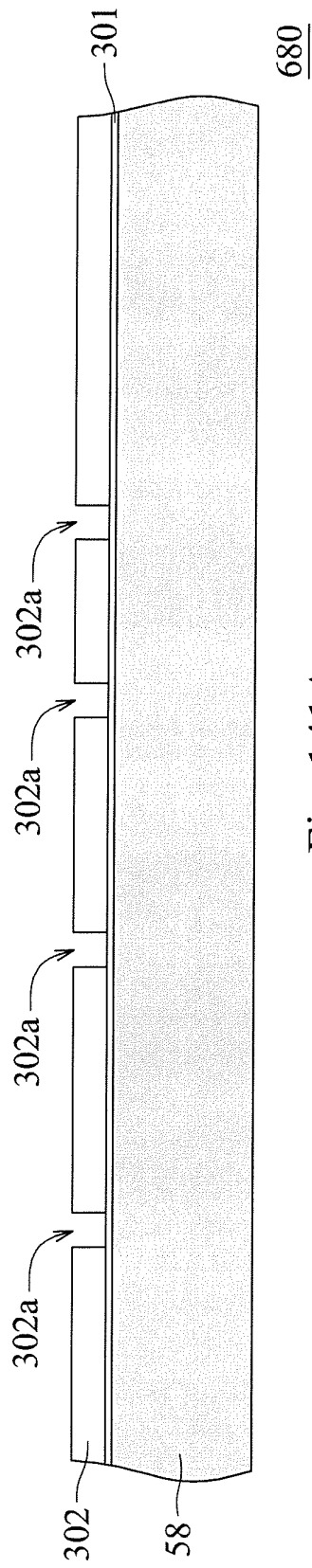


Fig. 140



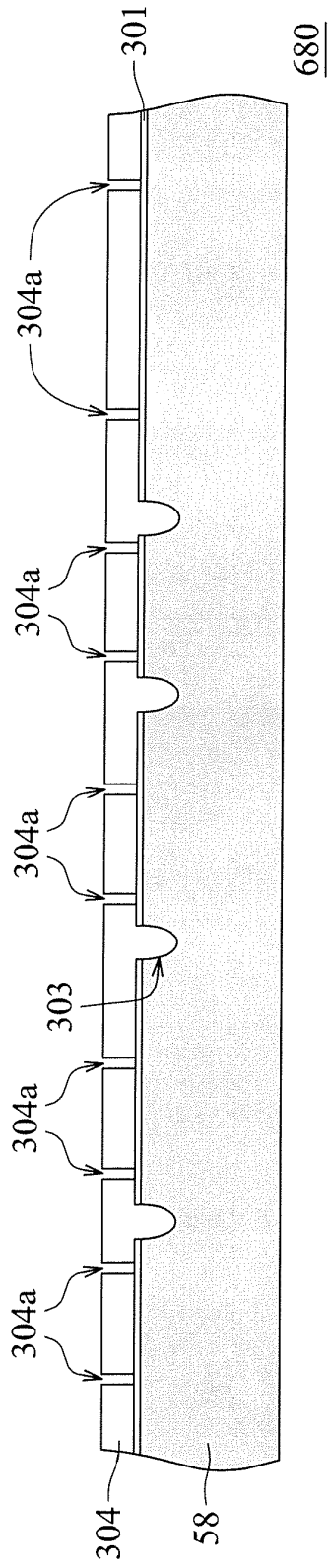


Fig. 141C

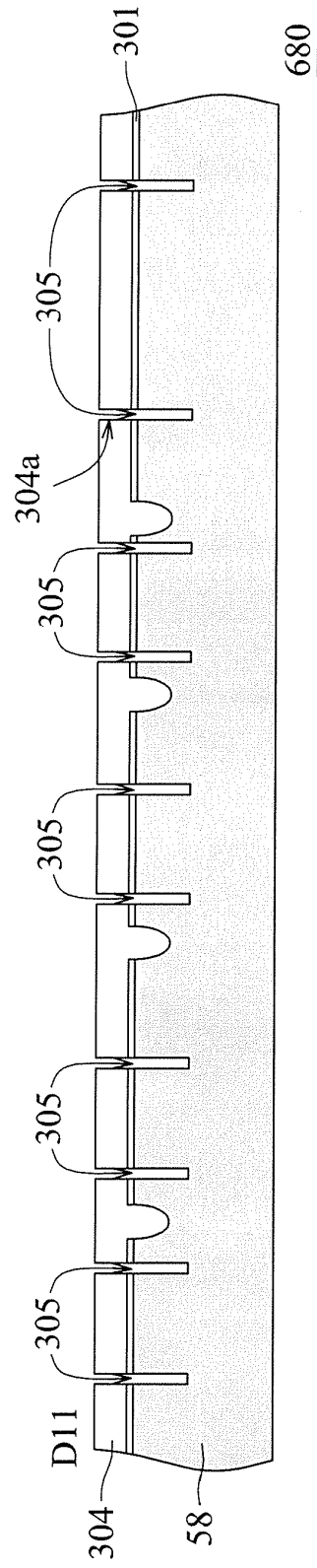


Fig. 141D

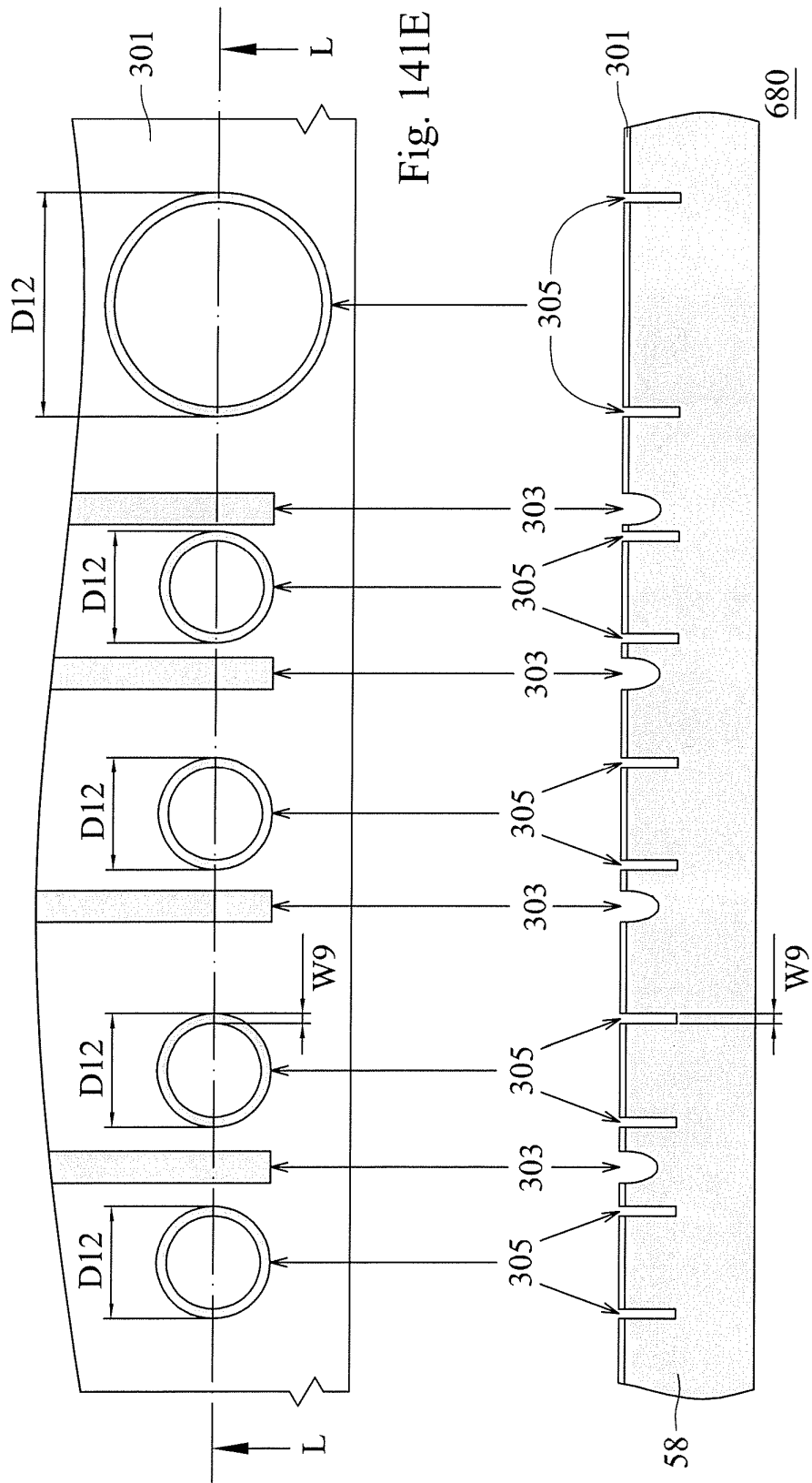


Fig. 141F

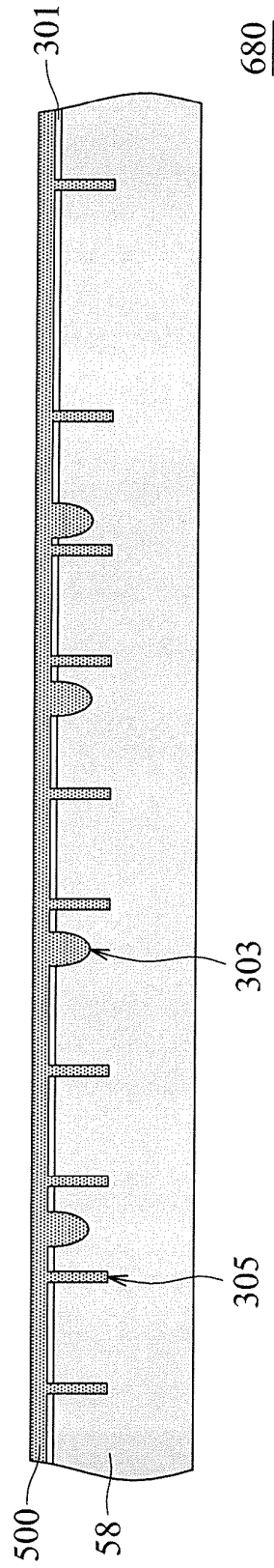


Fig. 141G

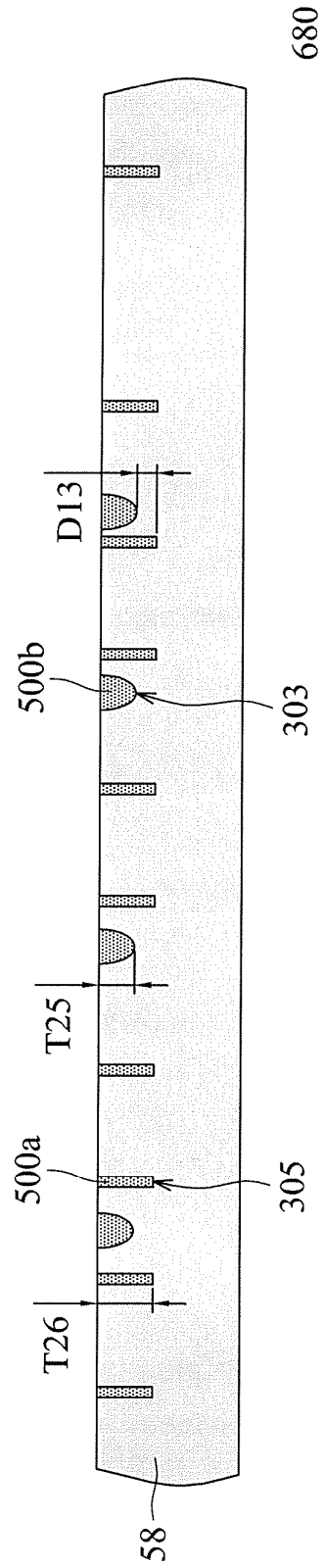


Fig. 141H

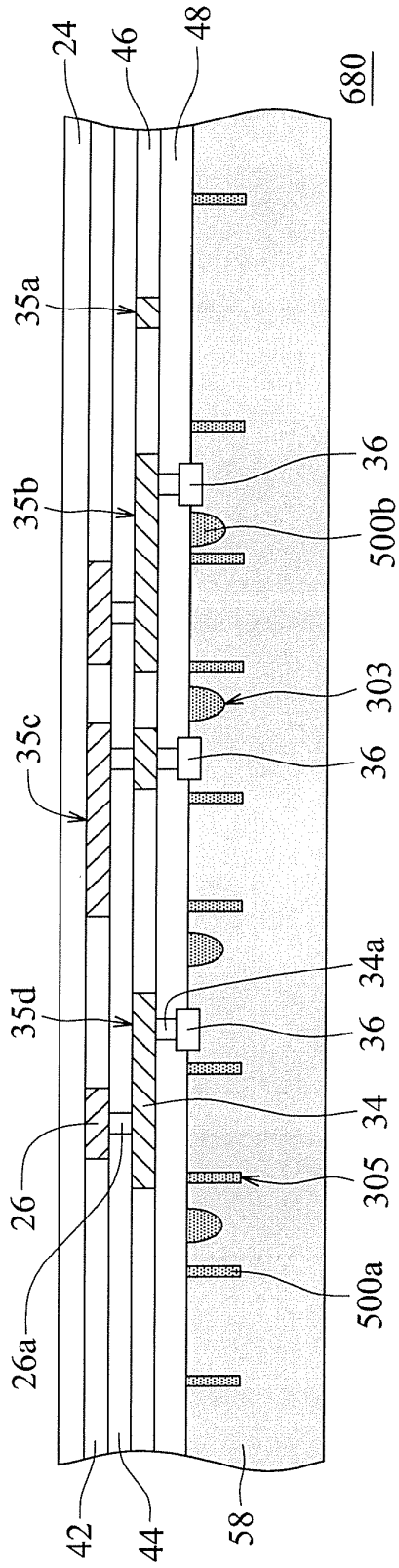


Fig. 141I

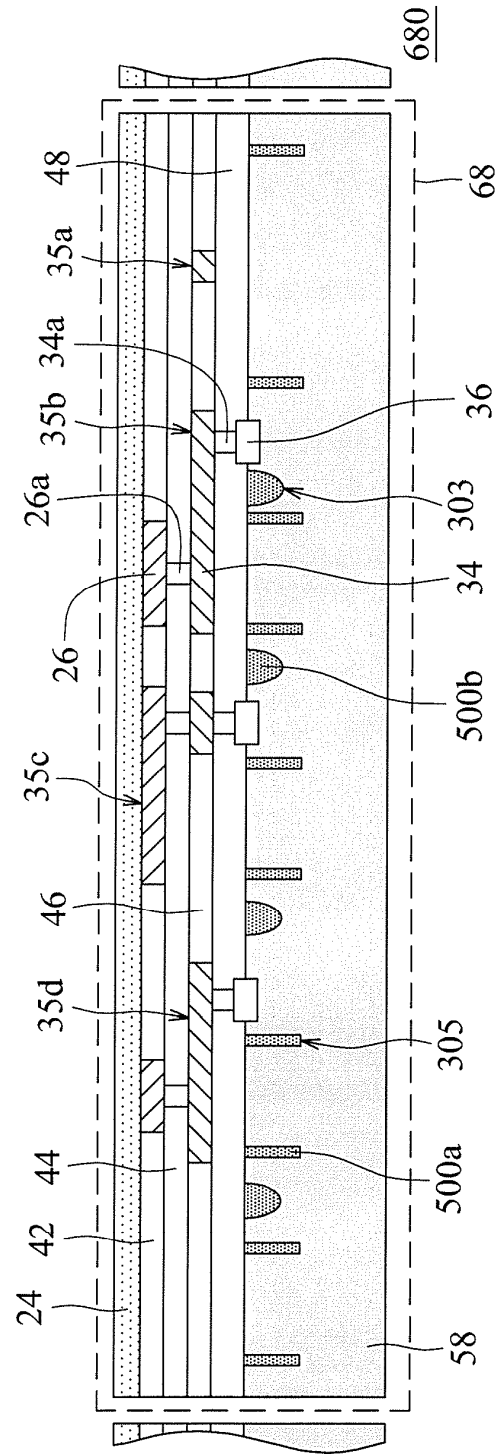


Fig. 141J

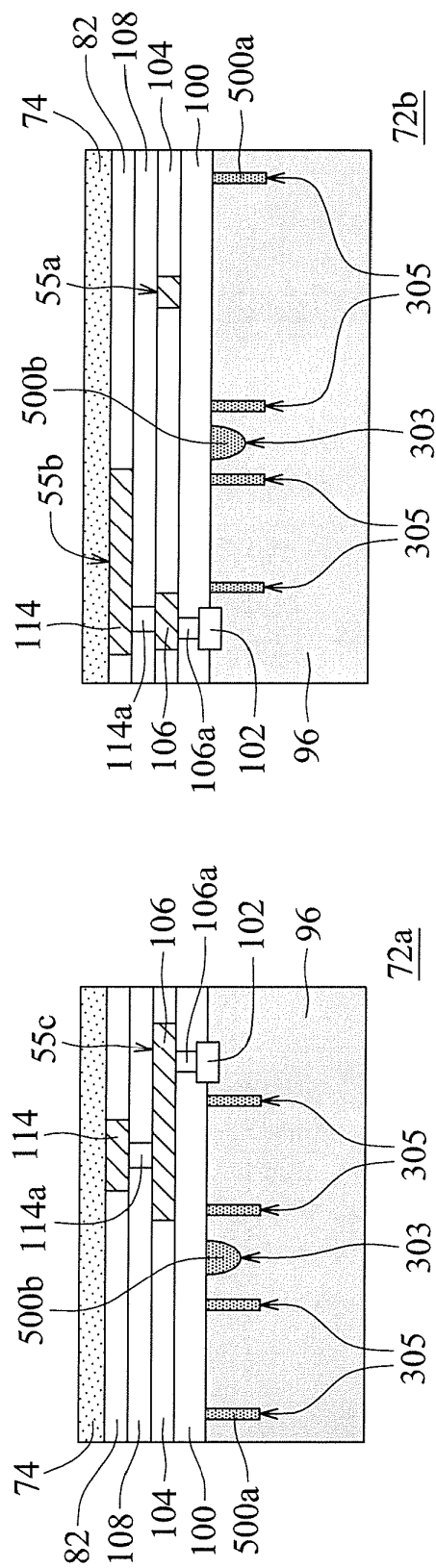


Fig. 141K

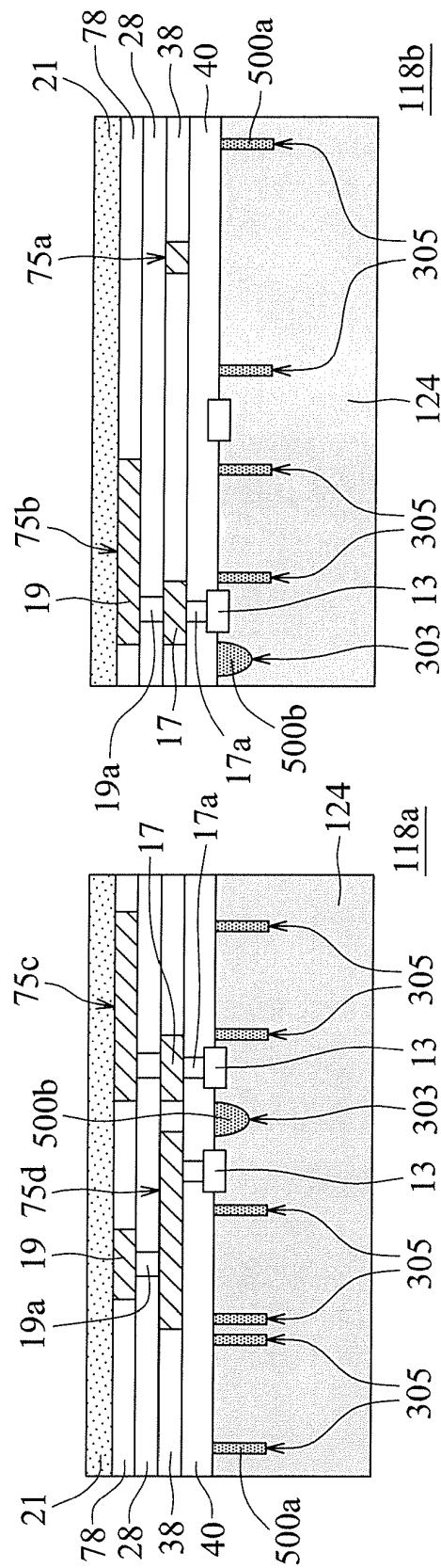


Fig. 141L

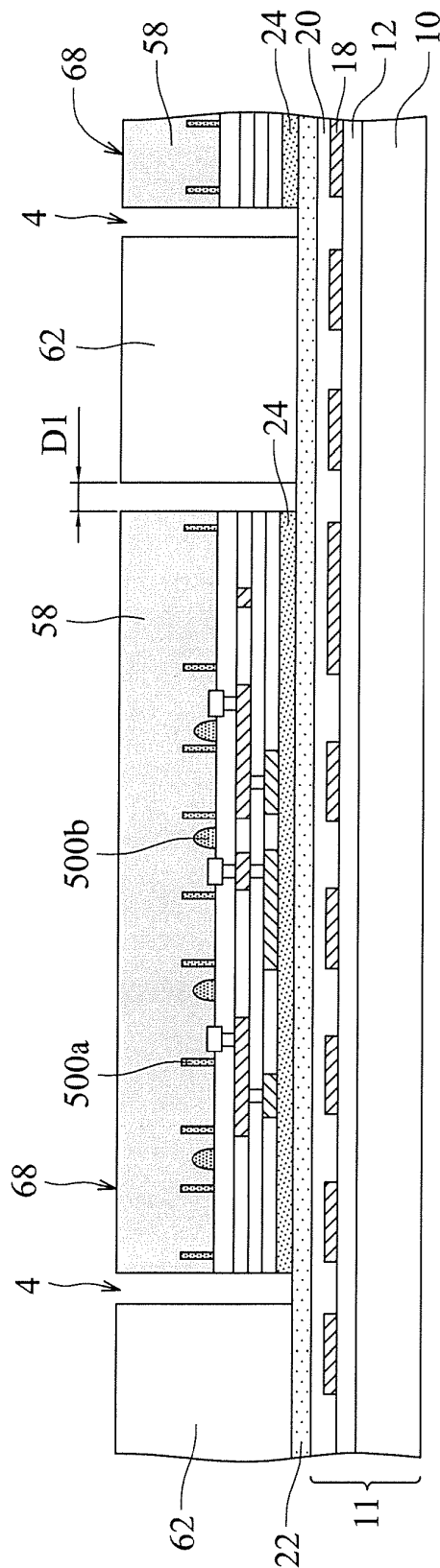


Fig. 142

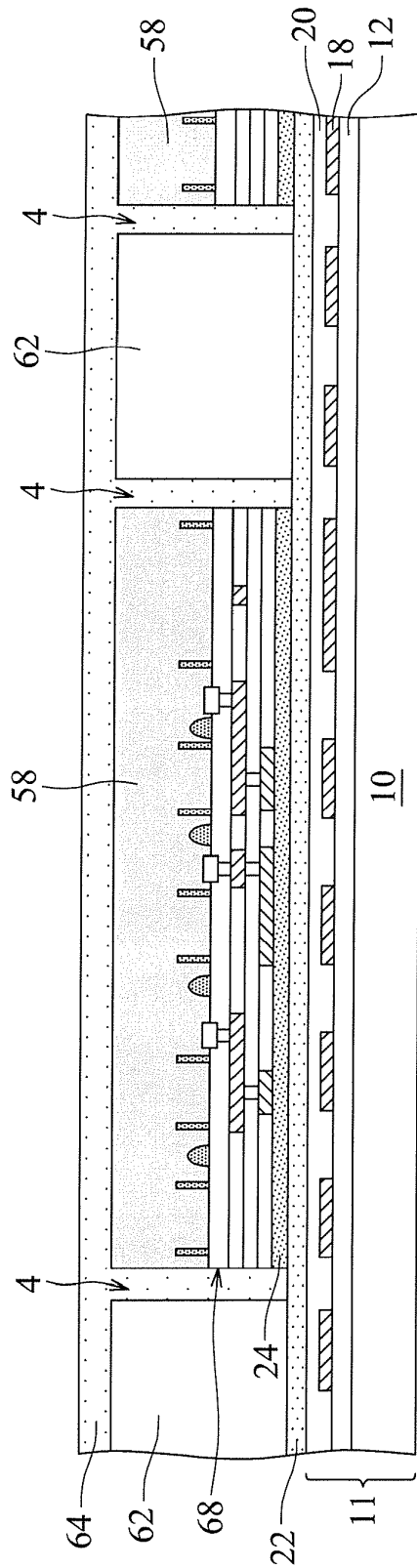


Fig. 143

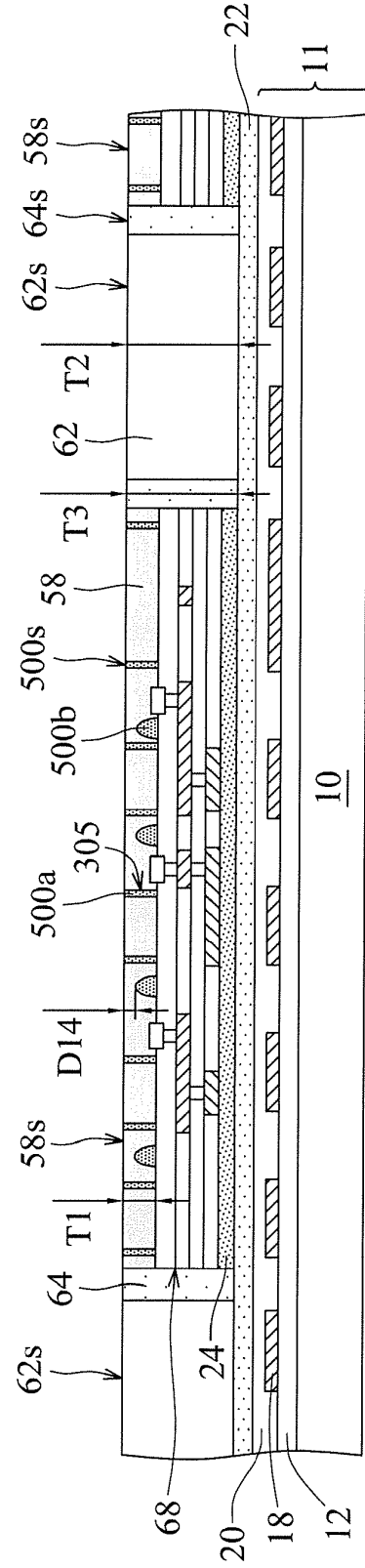


Fig. 144

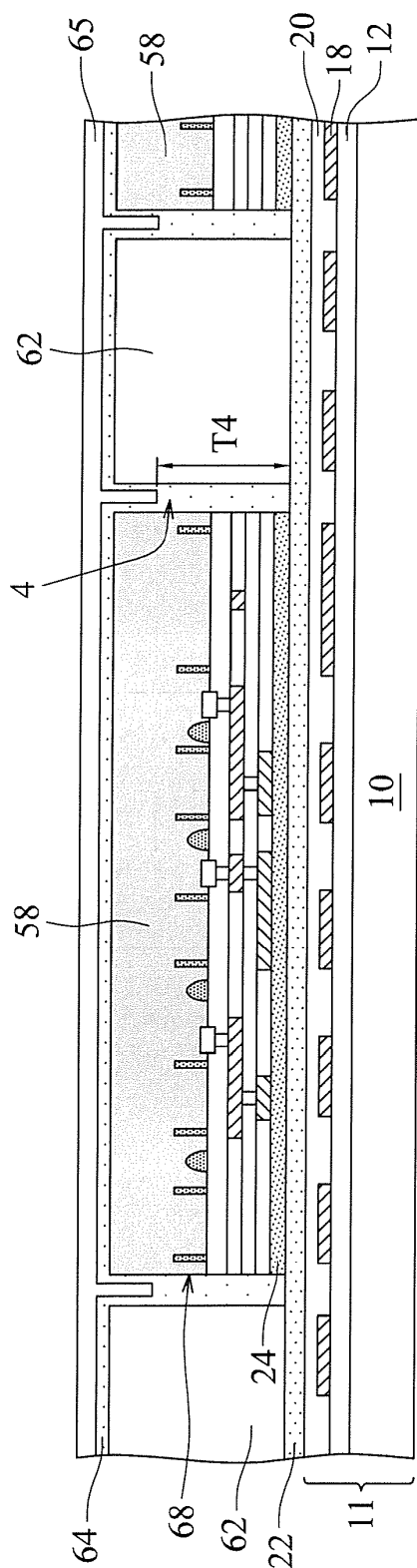


Fig. 145

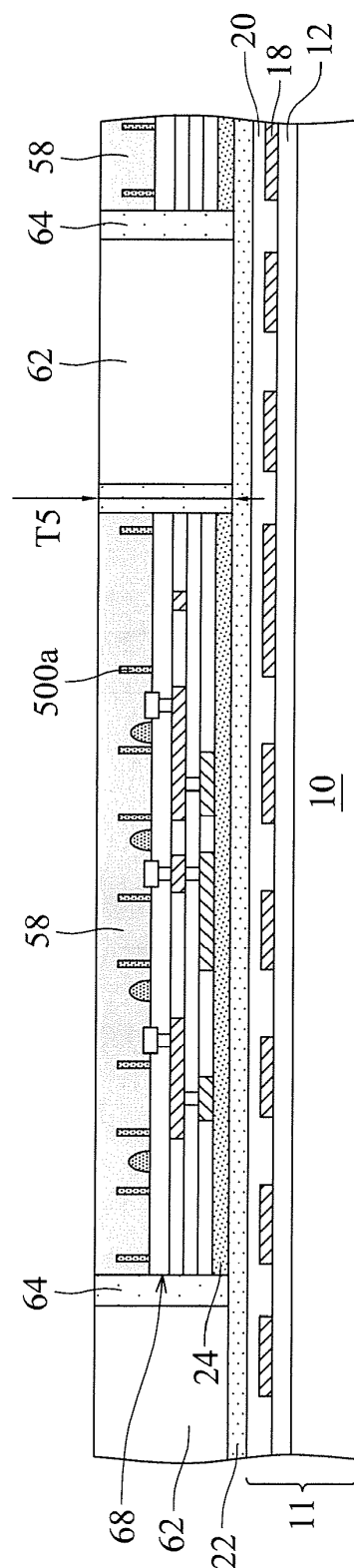


Fig. 146

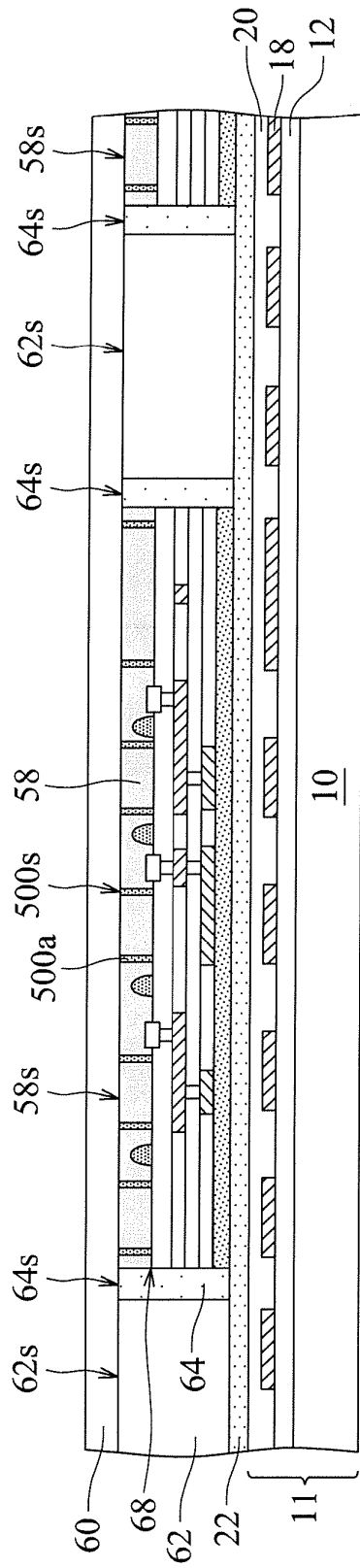


Fig. 147

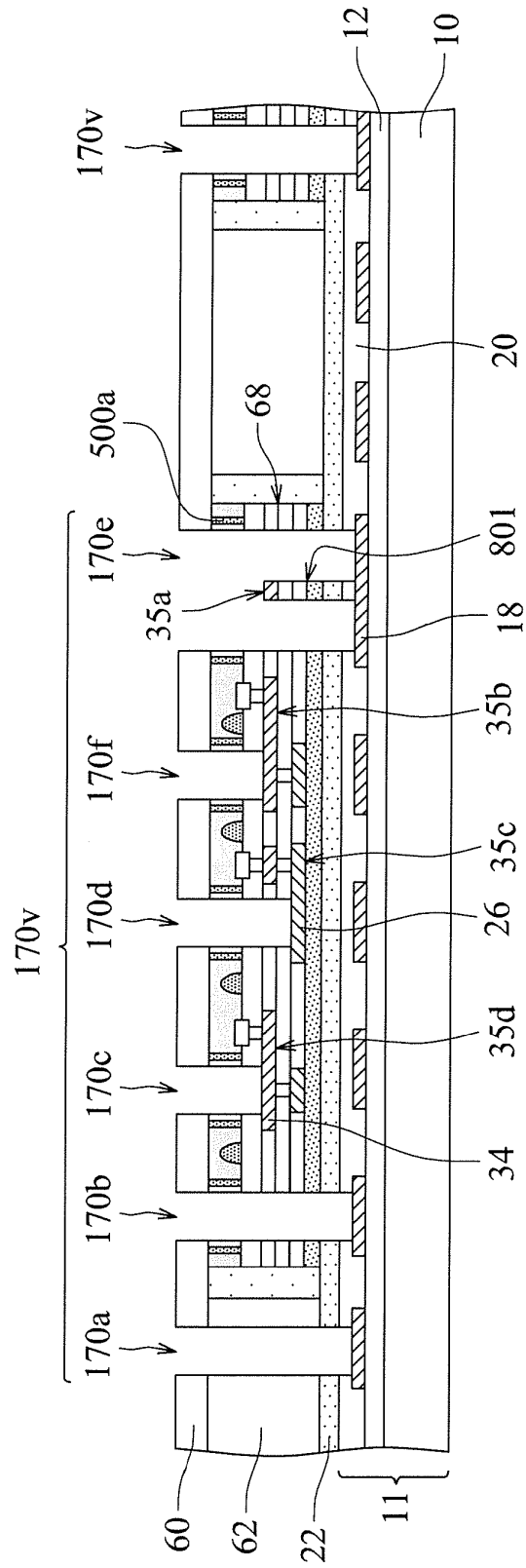


Fig. 148

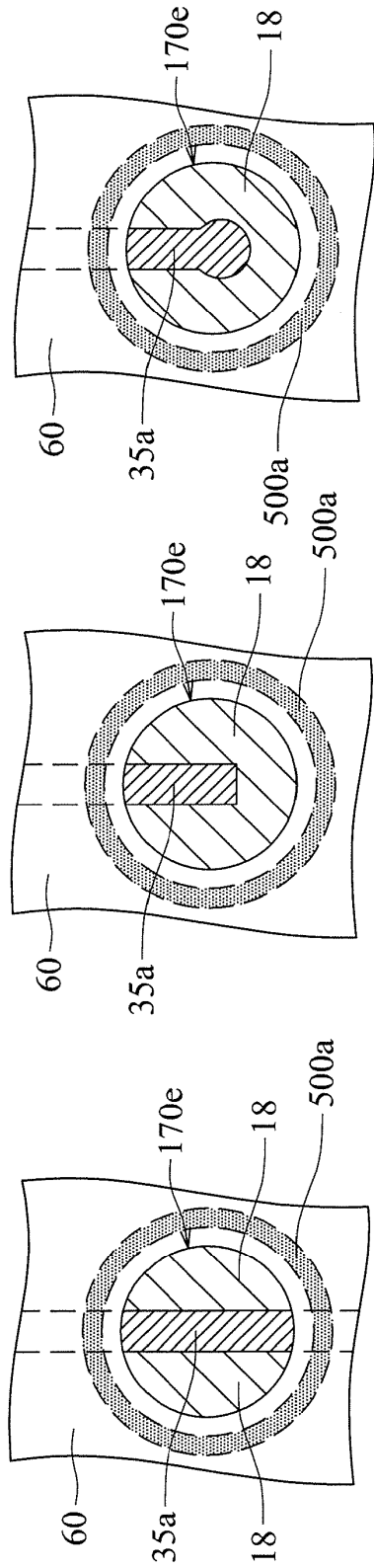


Fig. 151

Fig. 150

Fig. 149

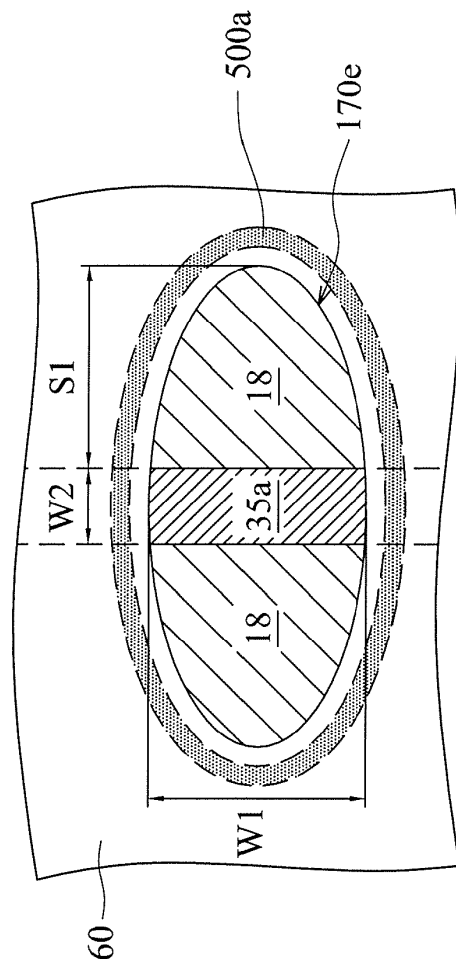


Fig. 152

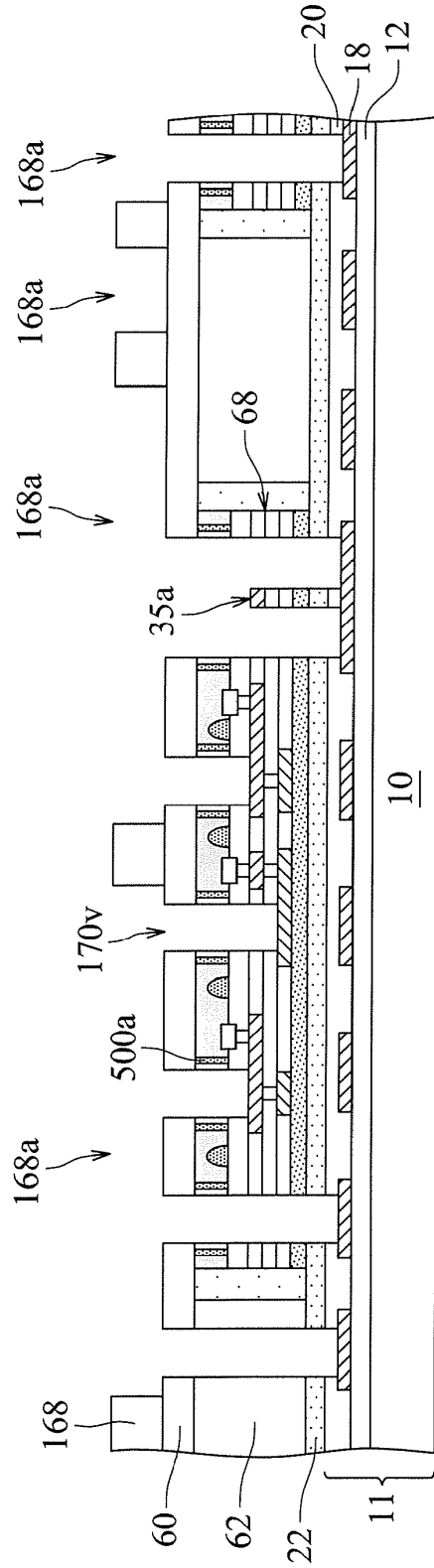


Fig. 153

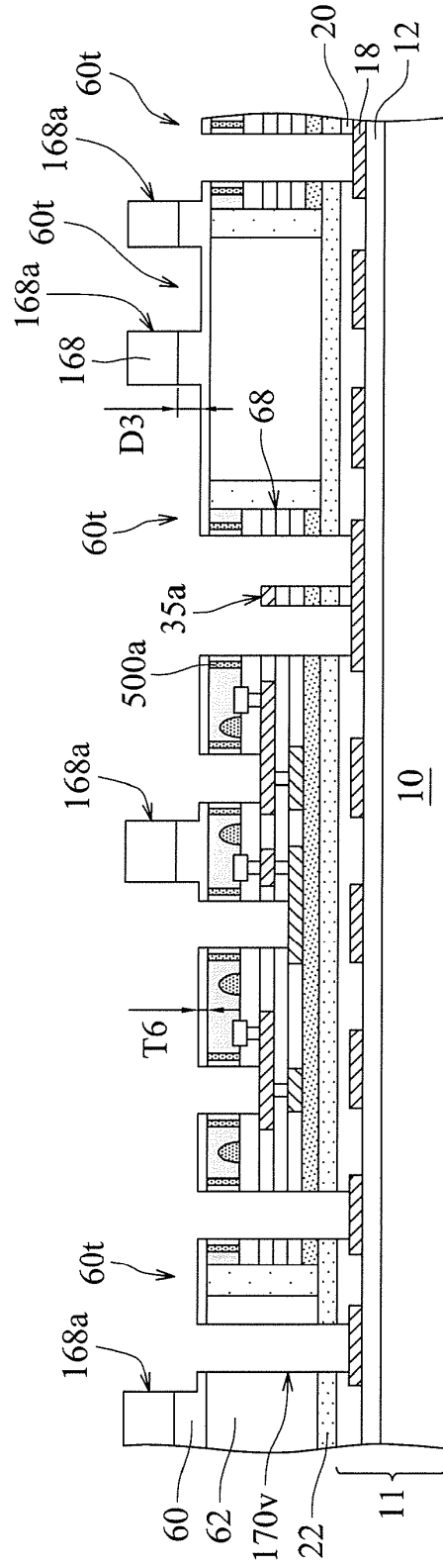


Fig. 154

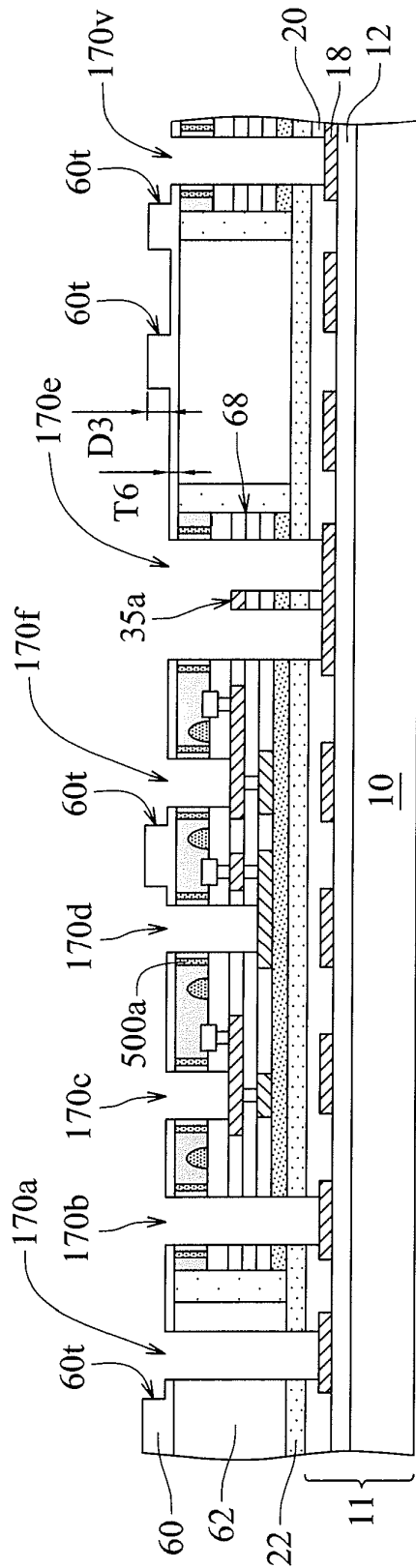


Fig. 155

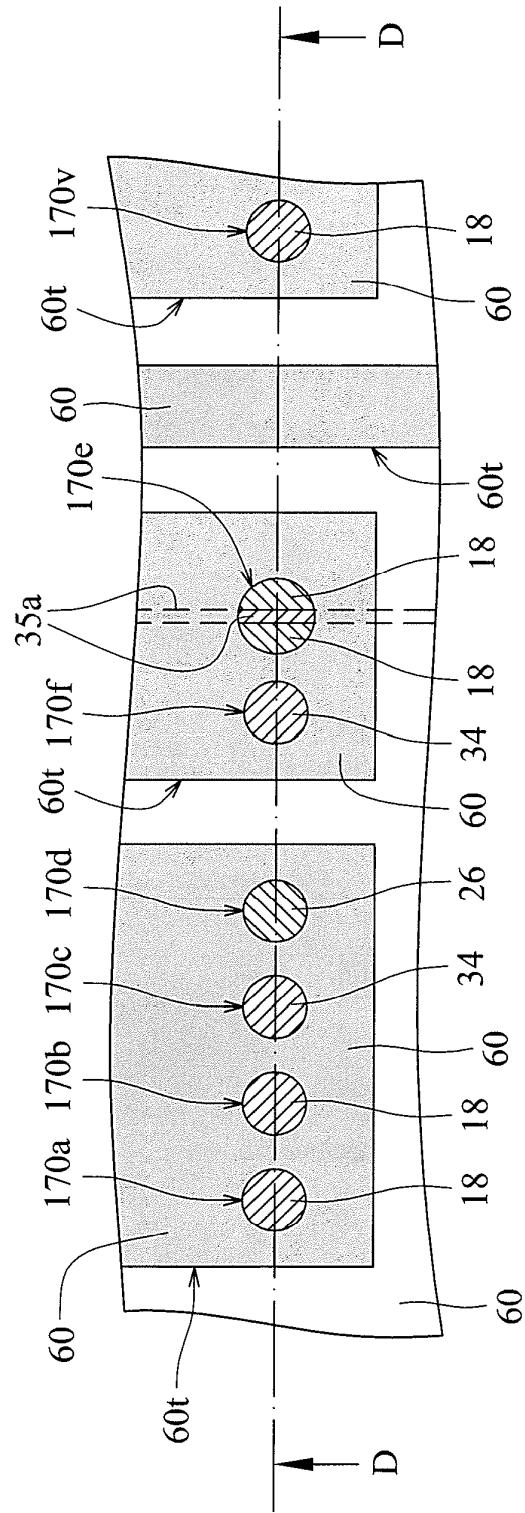


Fig. 156

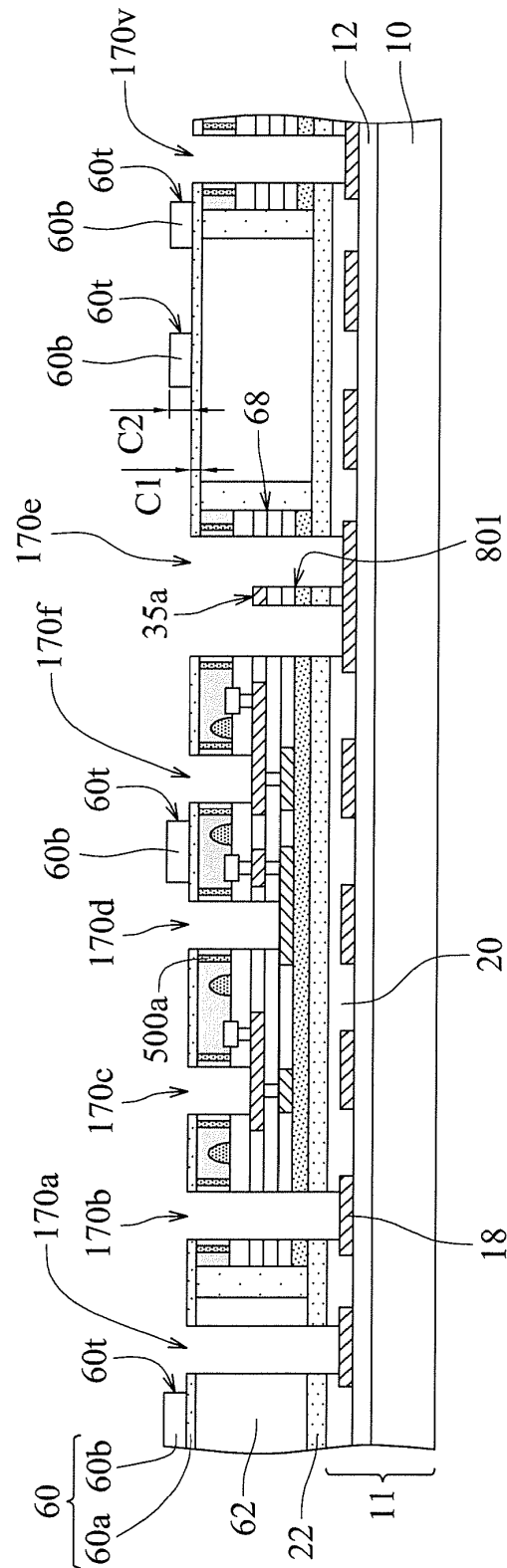


Fig. 155A

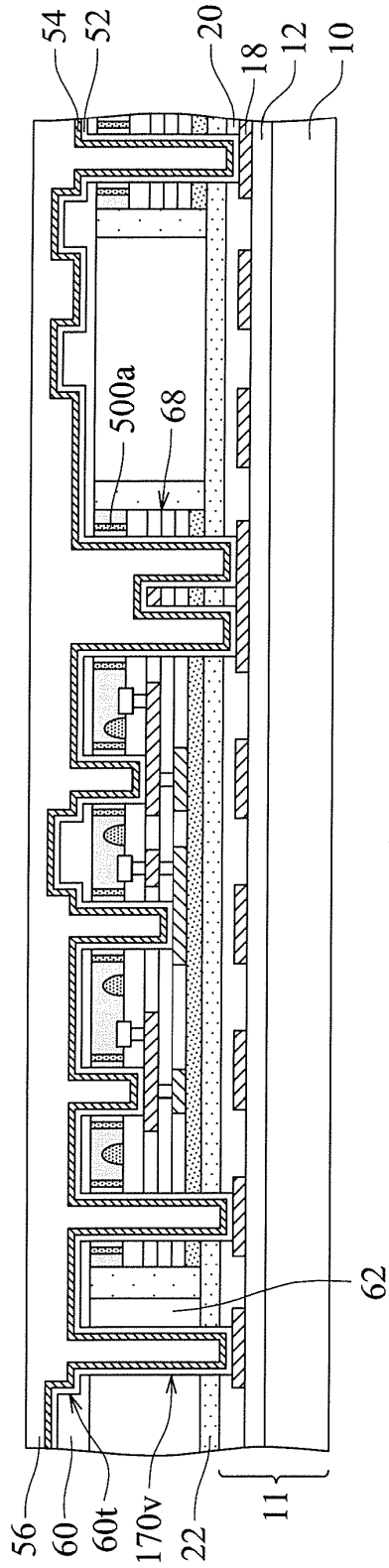


Fig. 157

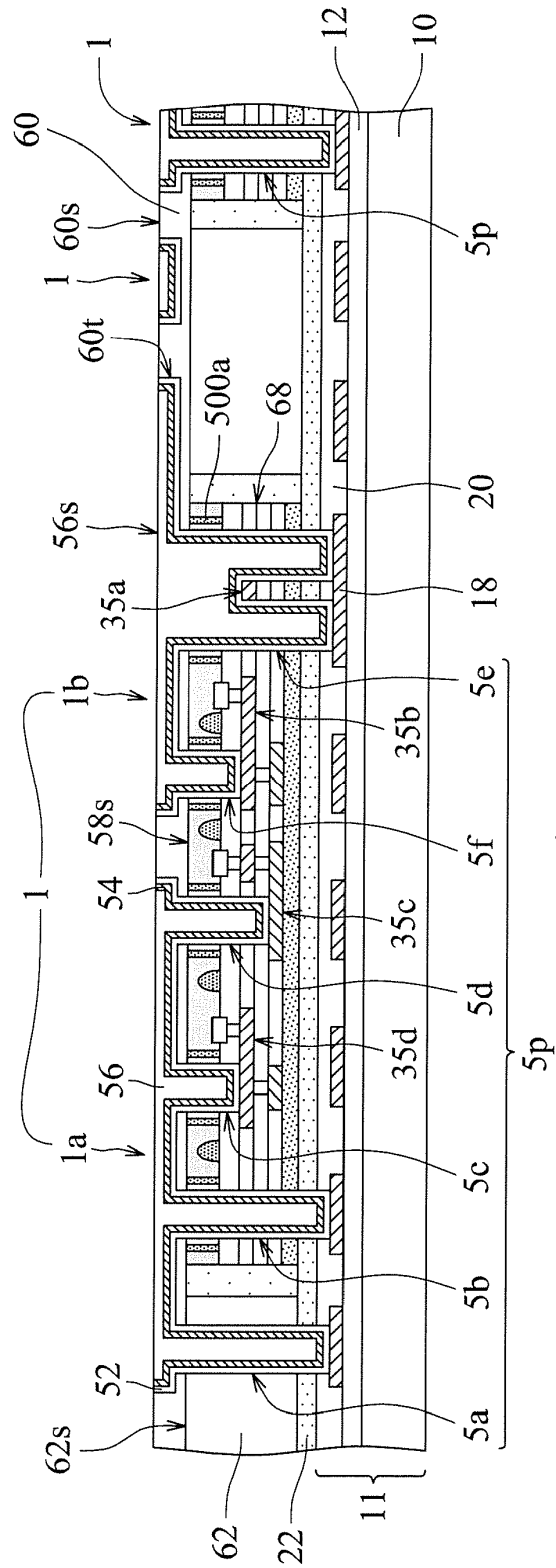


Fig. 158

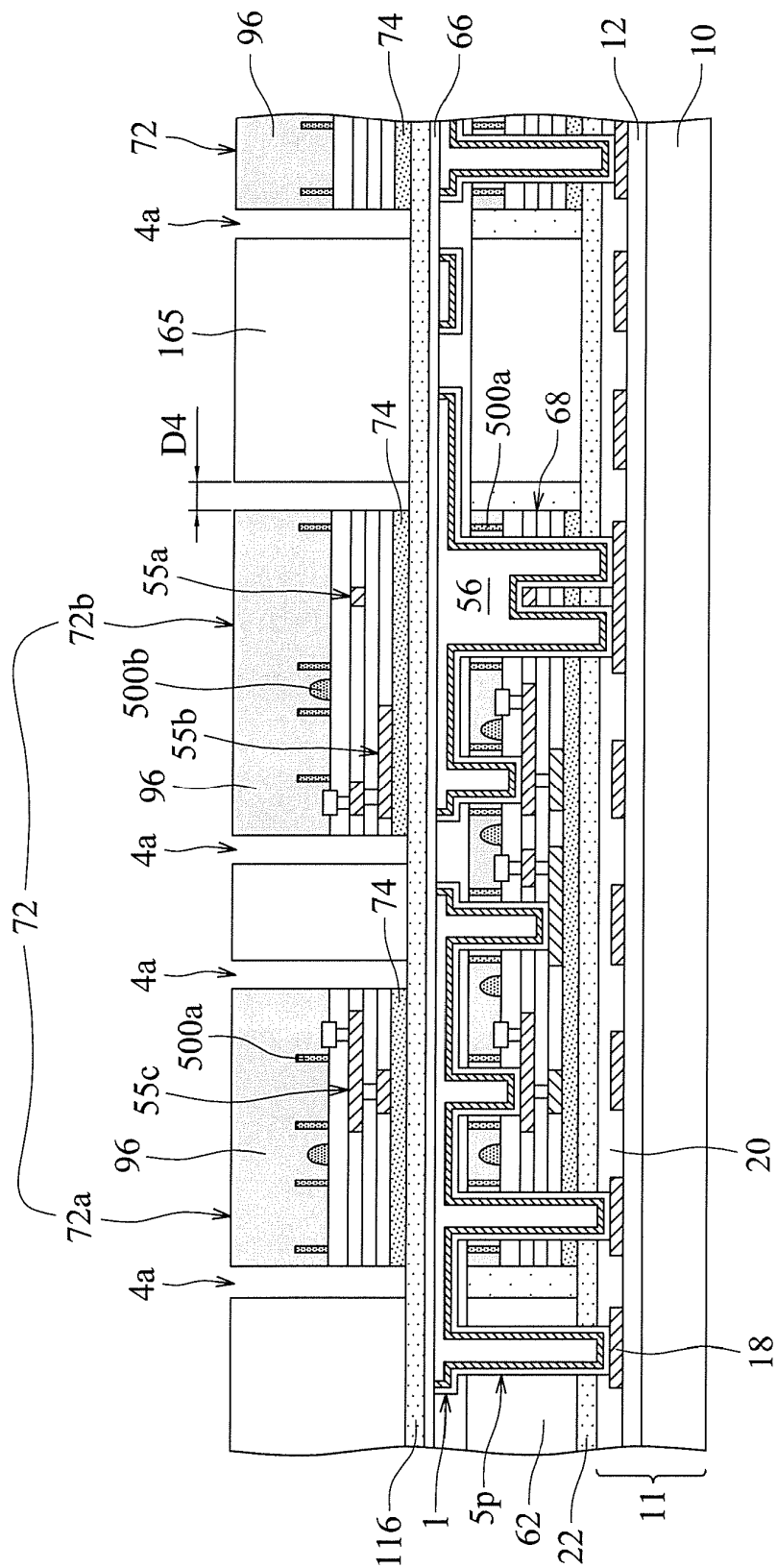


Fig. 159

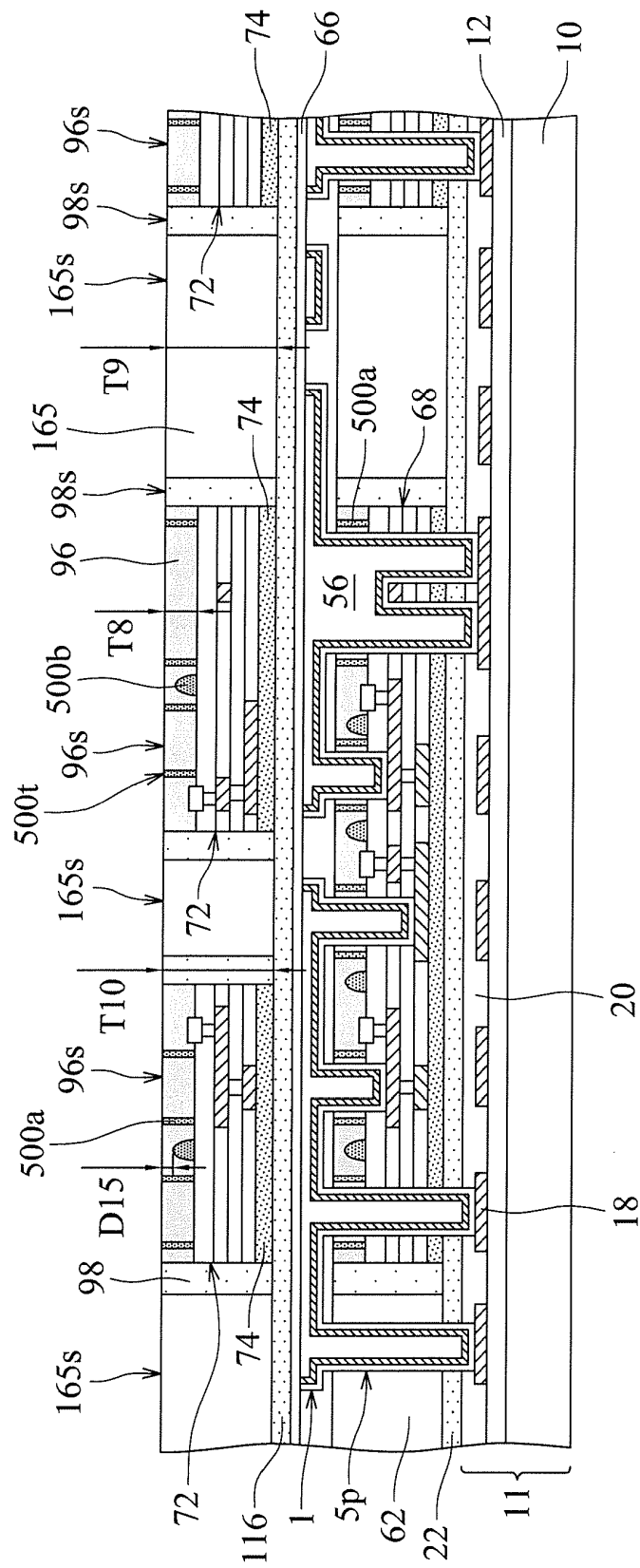


Fig. 160

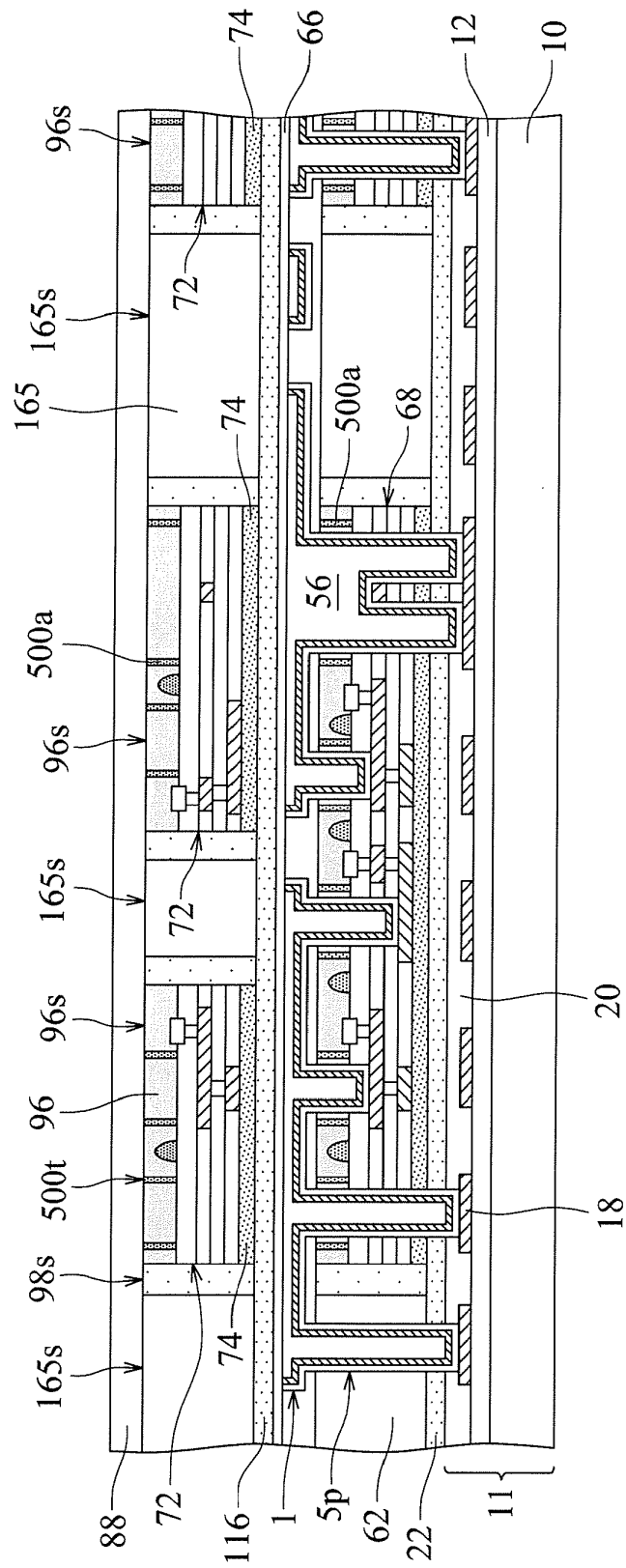


Fig. 161

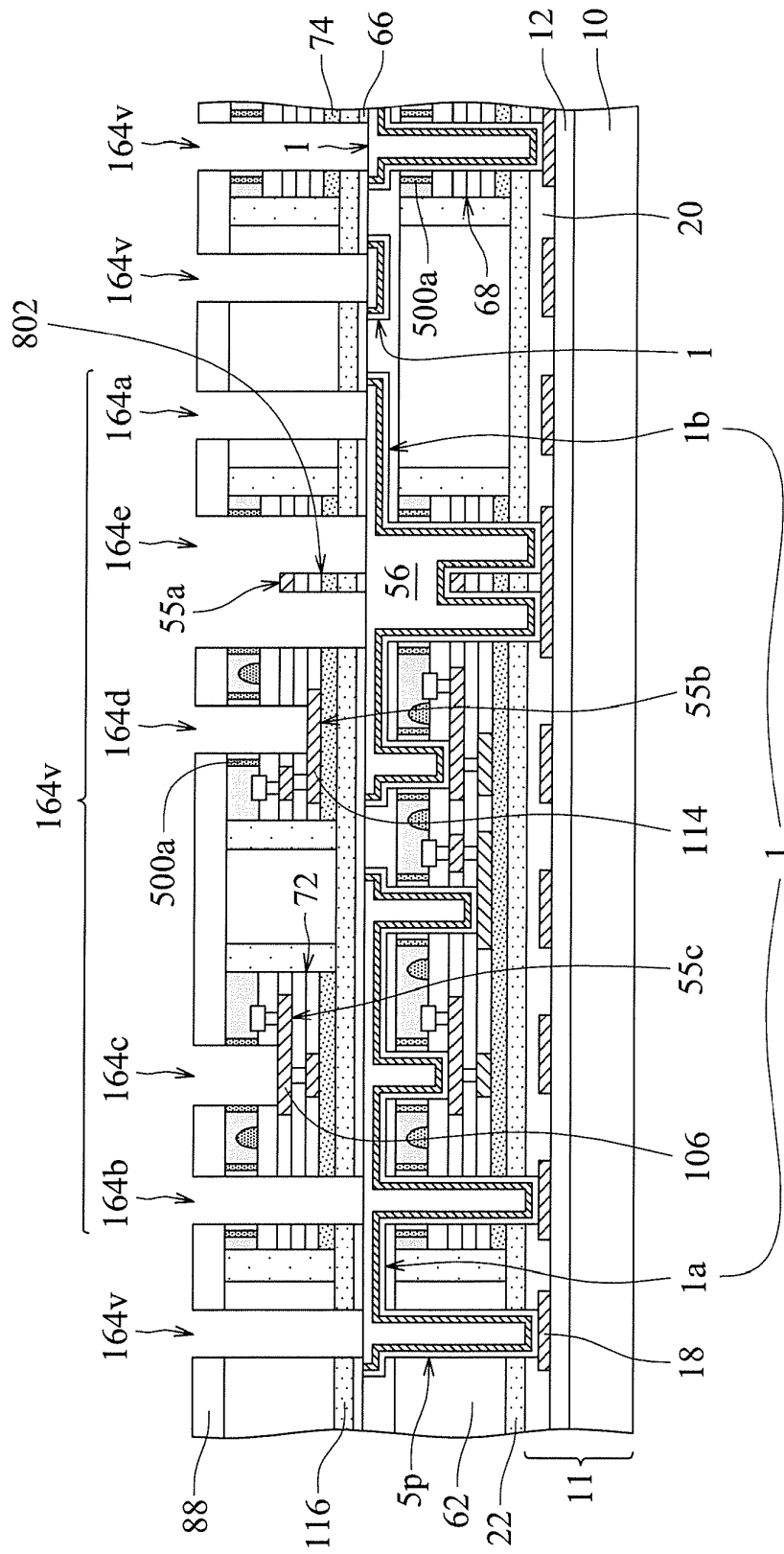


Fig. 162

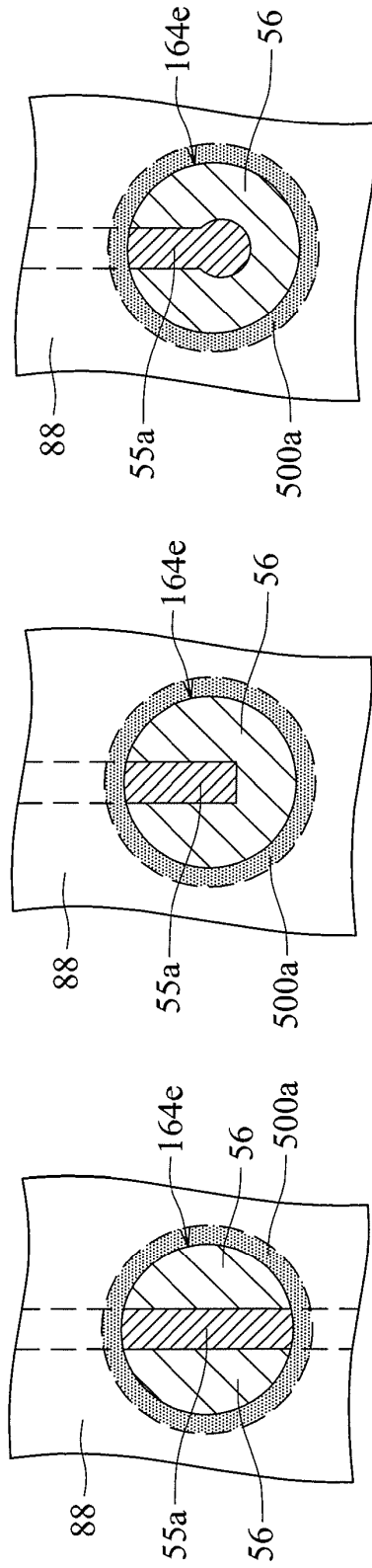


Fig. 165

Fig. 164

Fig. 163

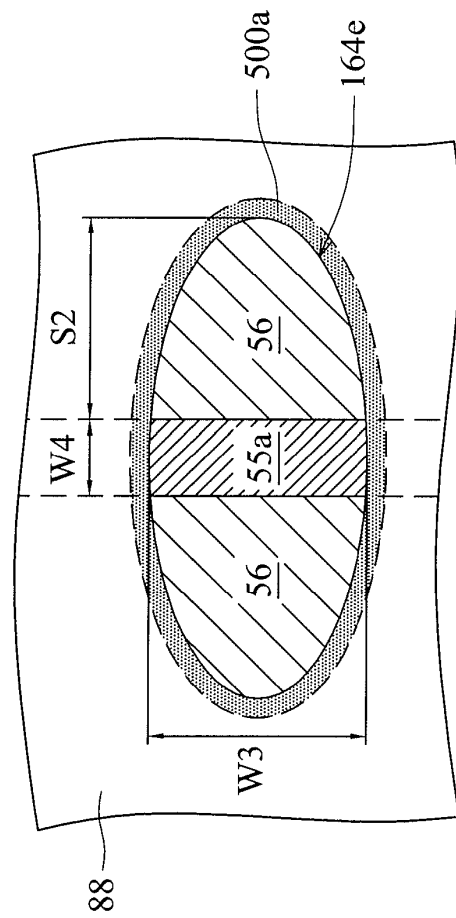


Fig. 166

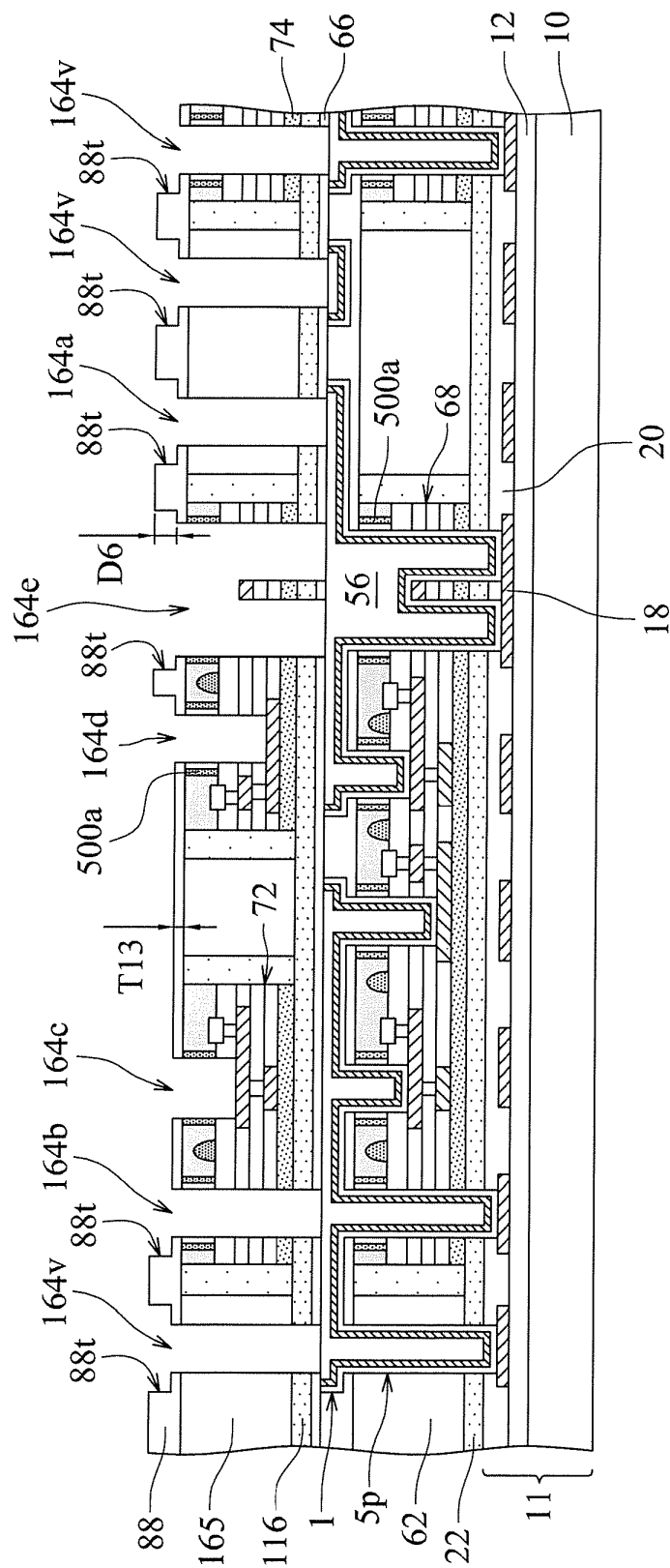


Fig. 167

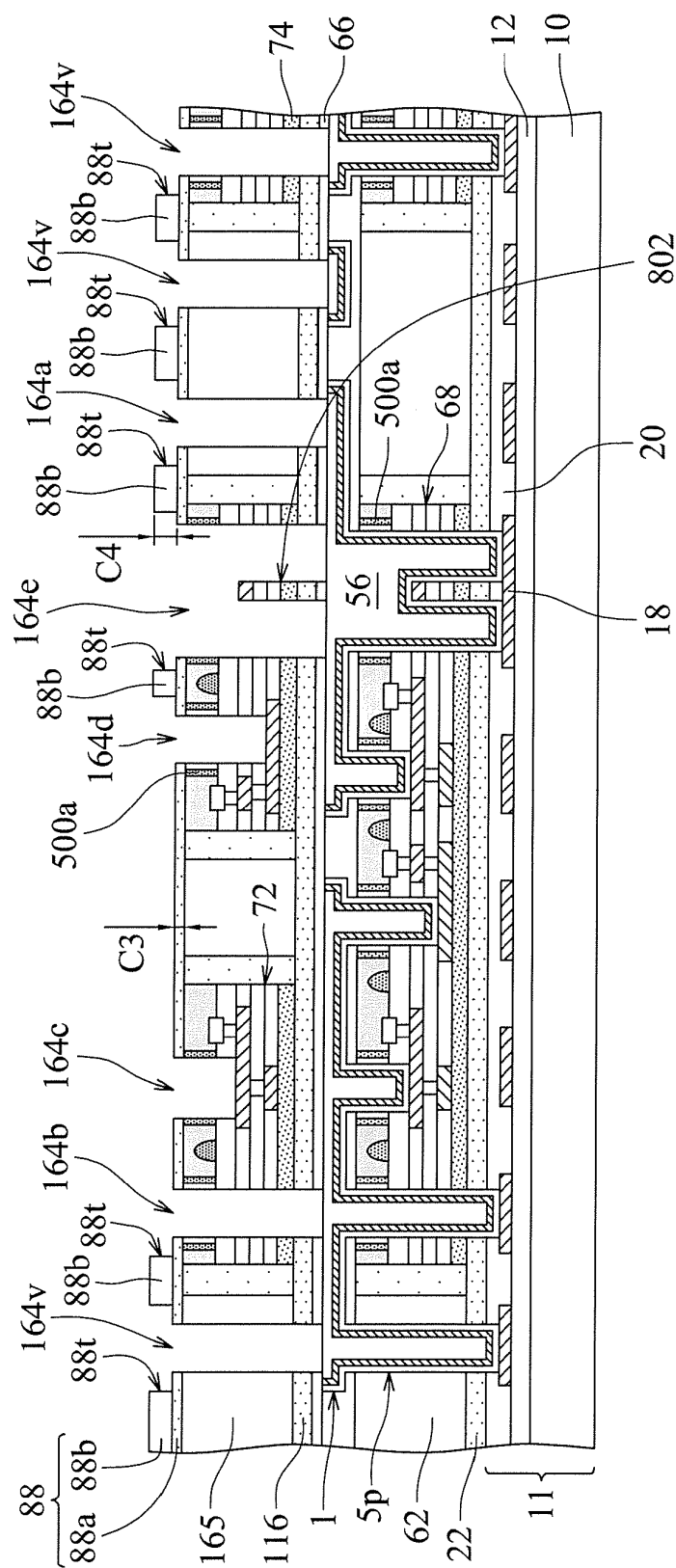


Fig. 167A

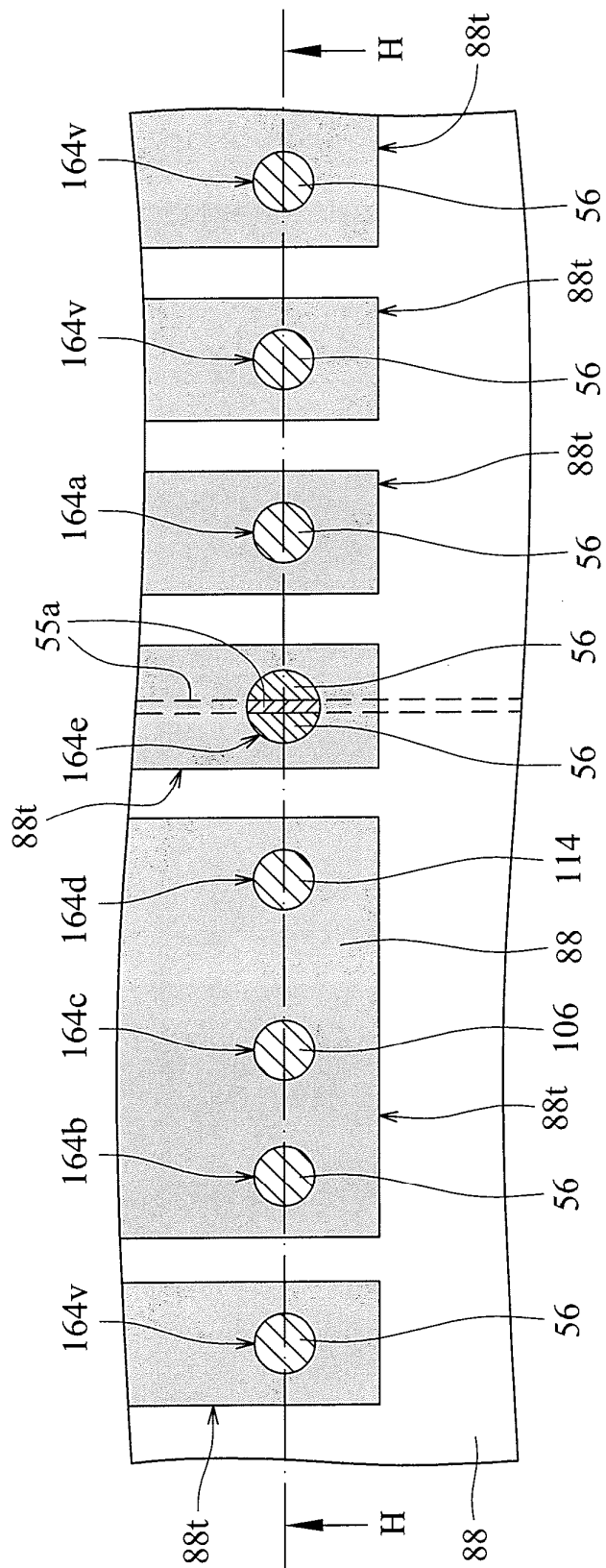


Fig. 168

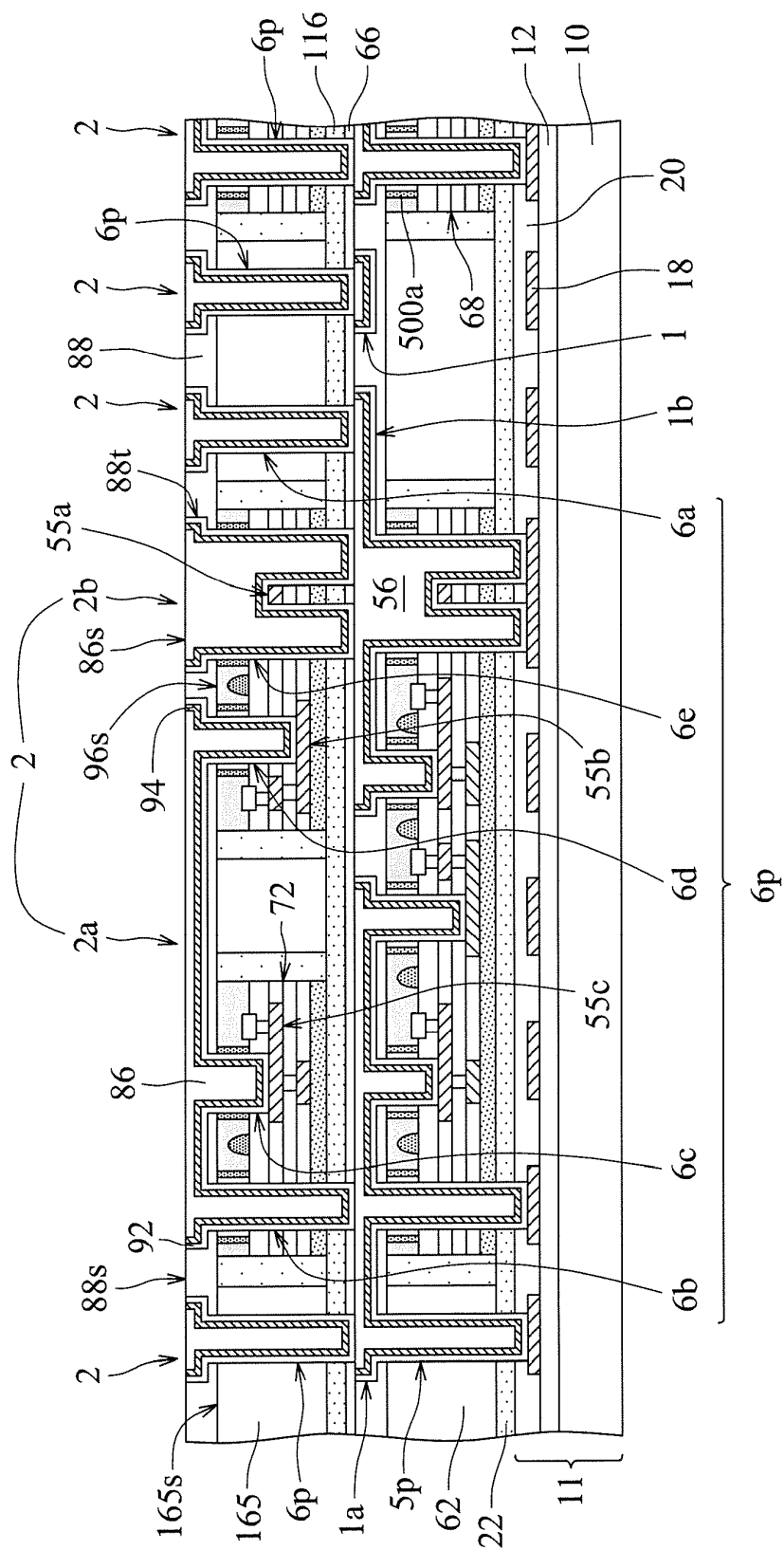


Fig. 169

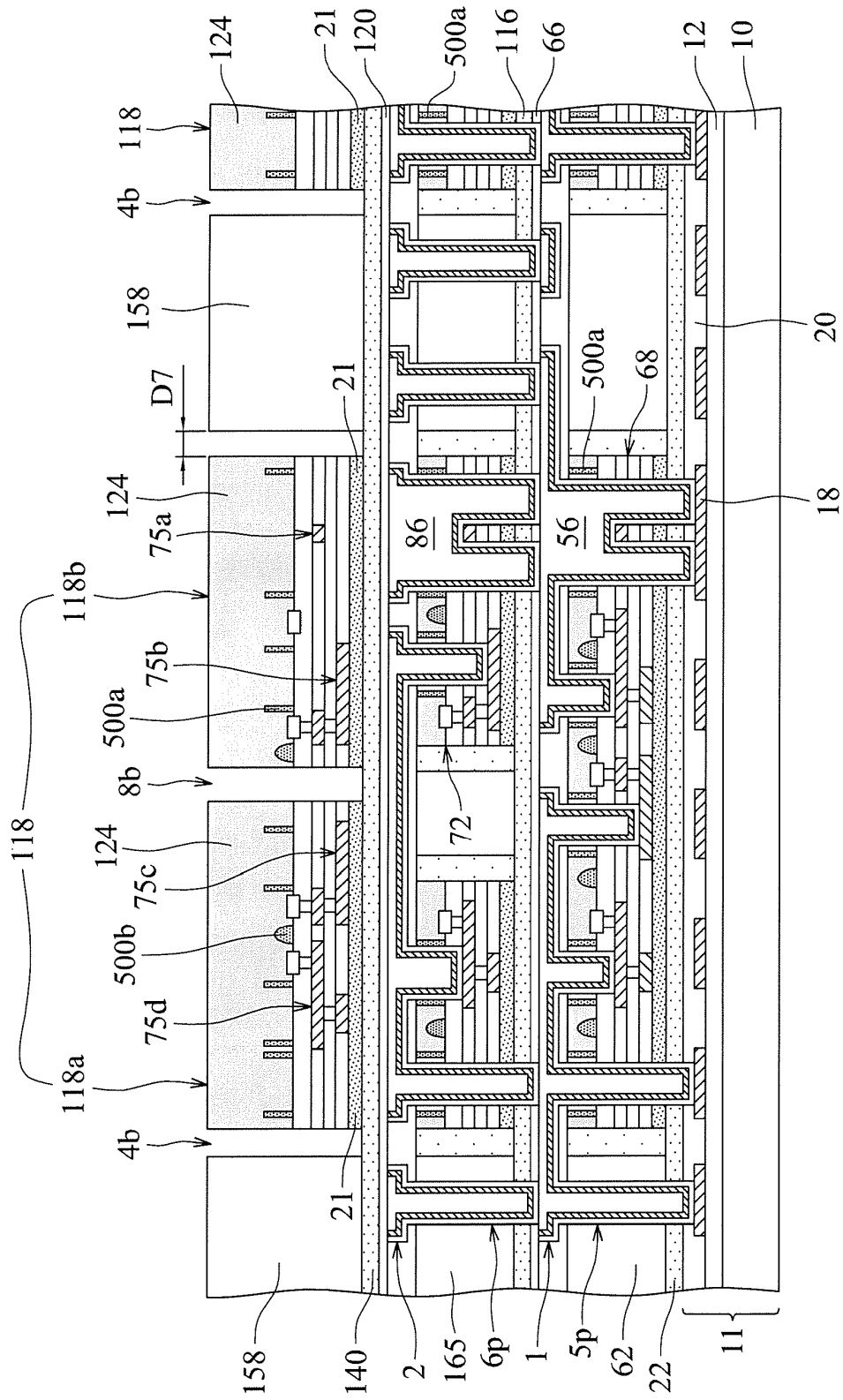


Fig. 170

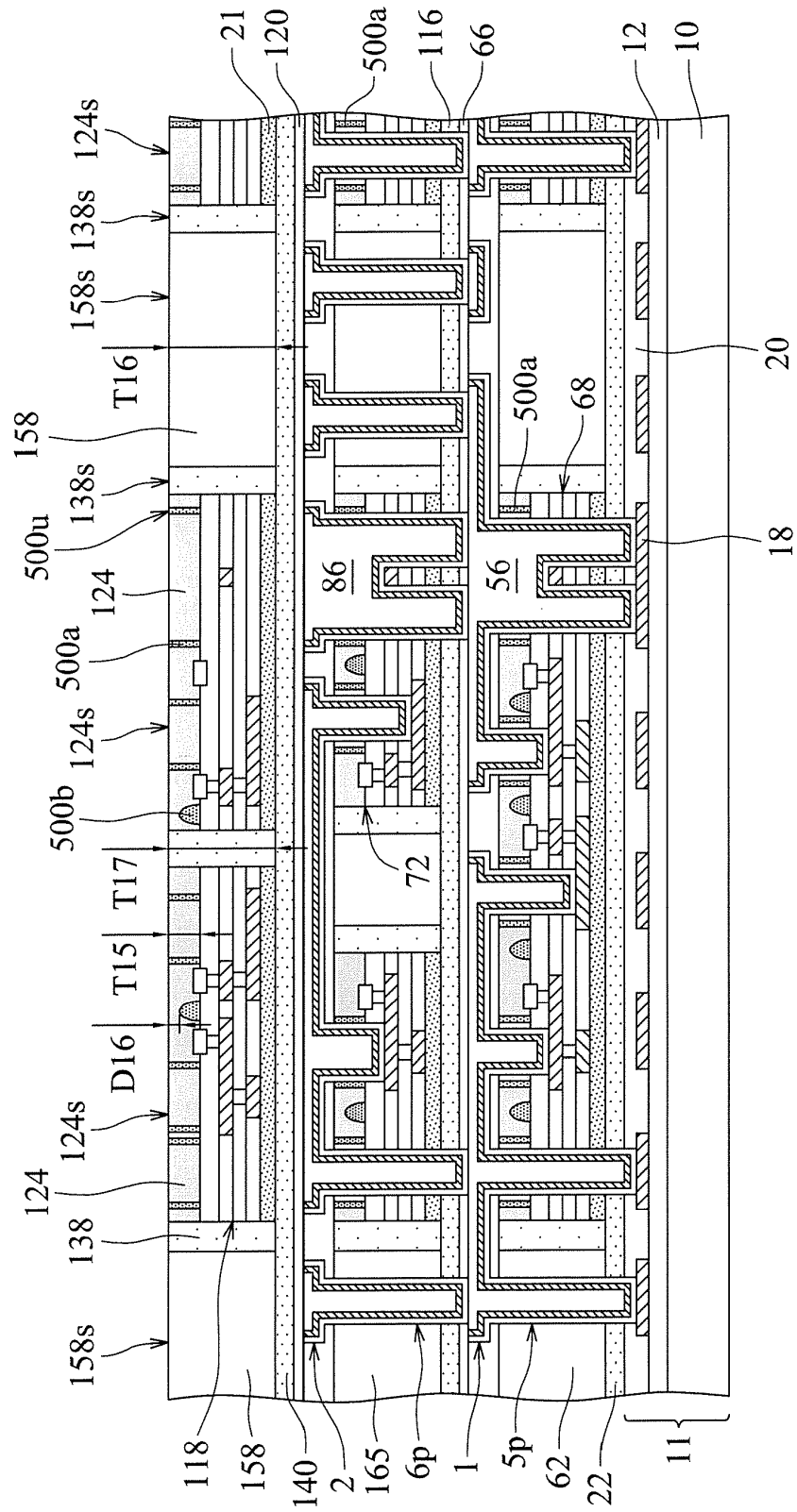


Fig. 171

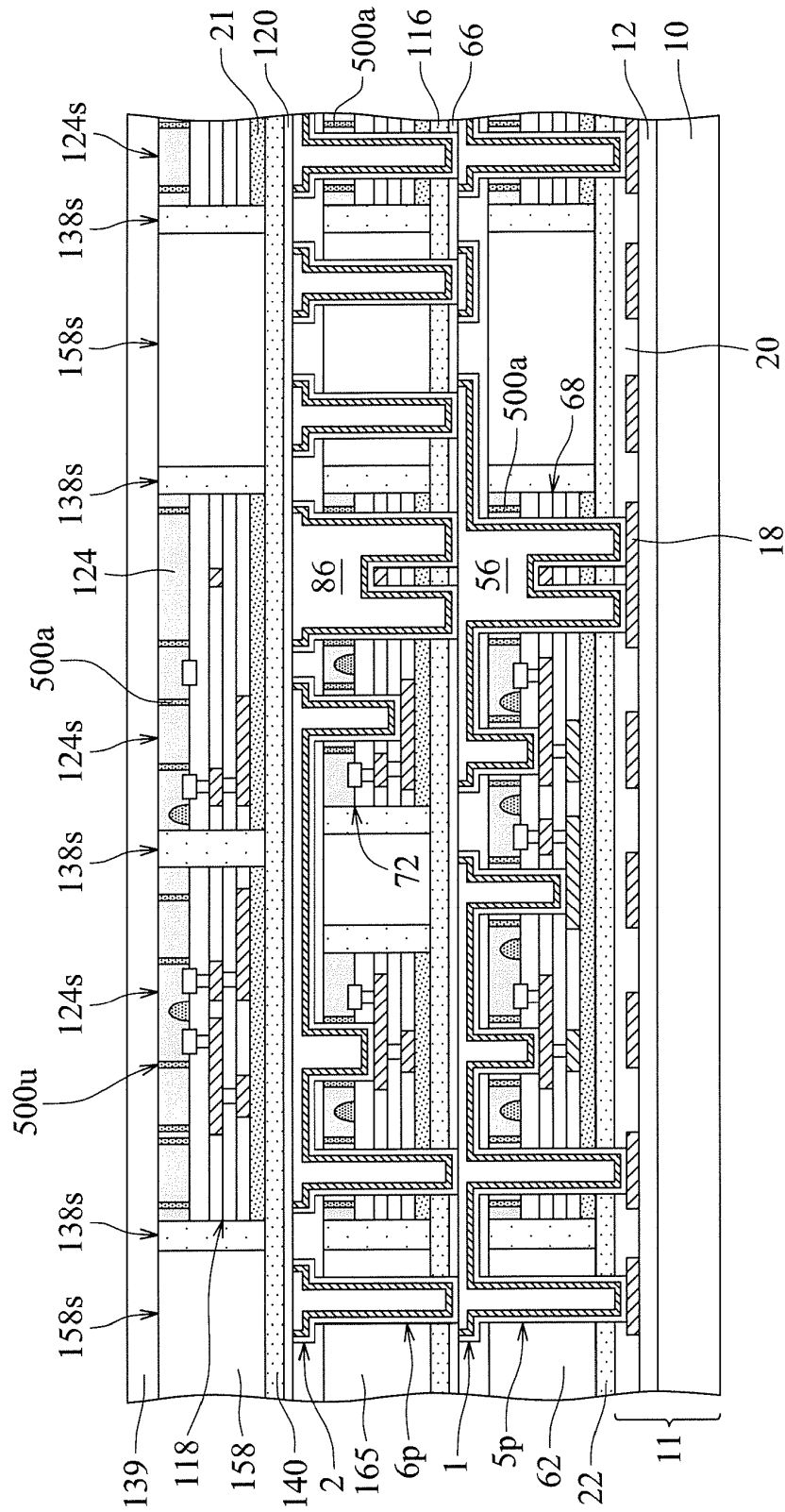


Fig. 172

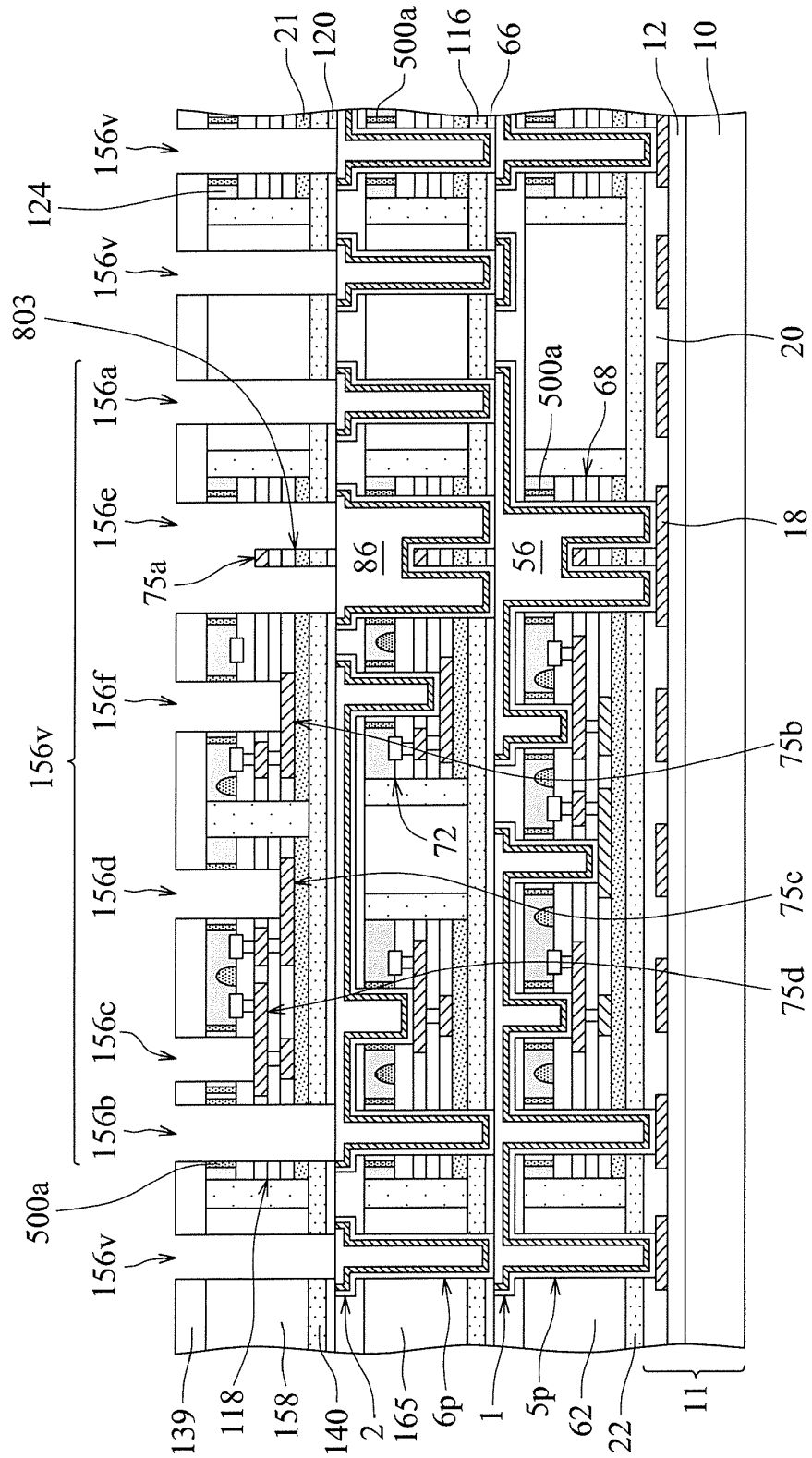


Fig. 173

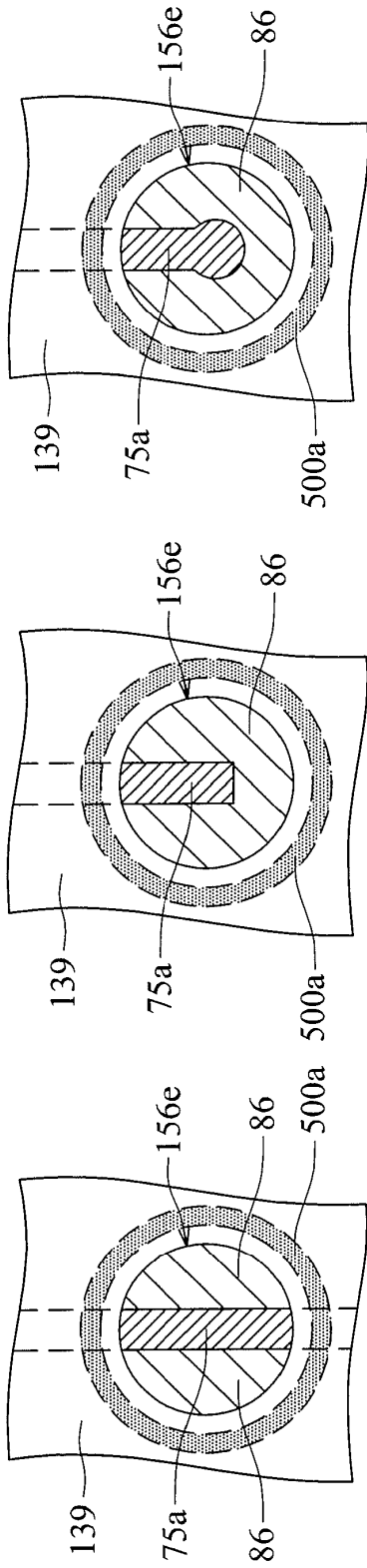


Fig. 176

Fig. 175

Fig. 174

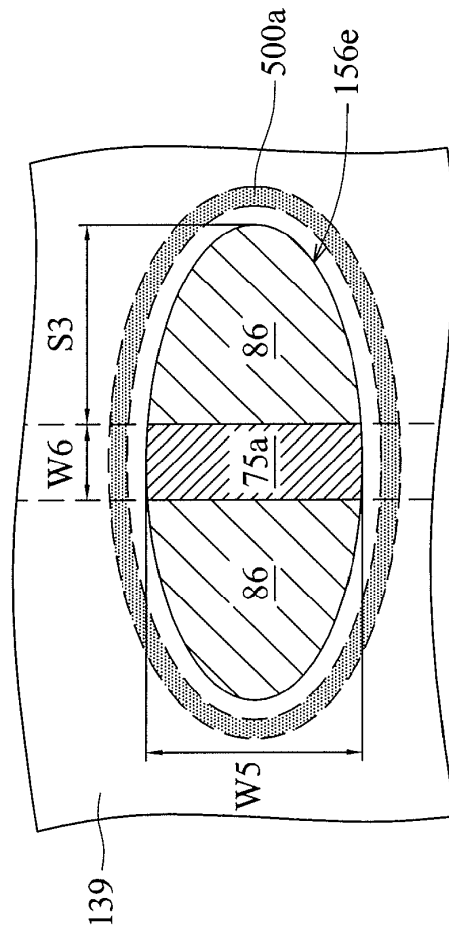


Fig. 177

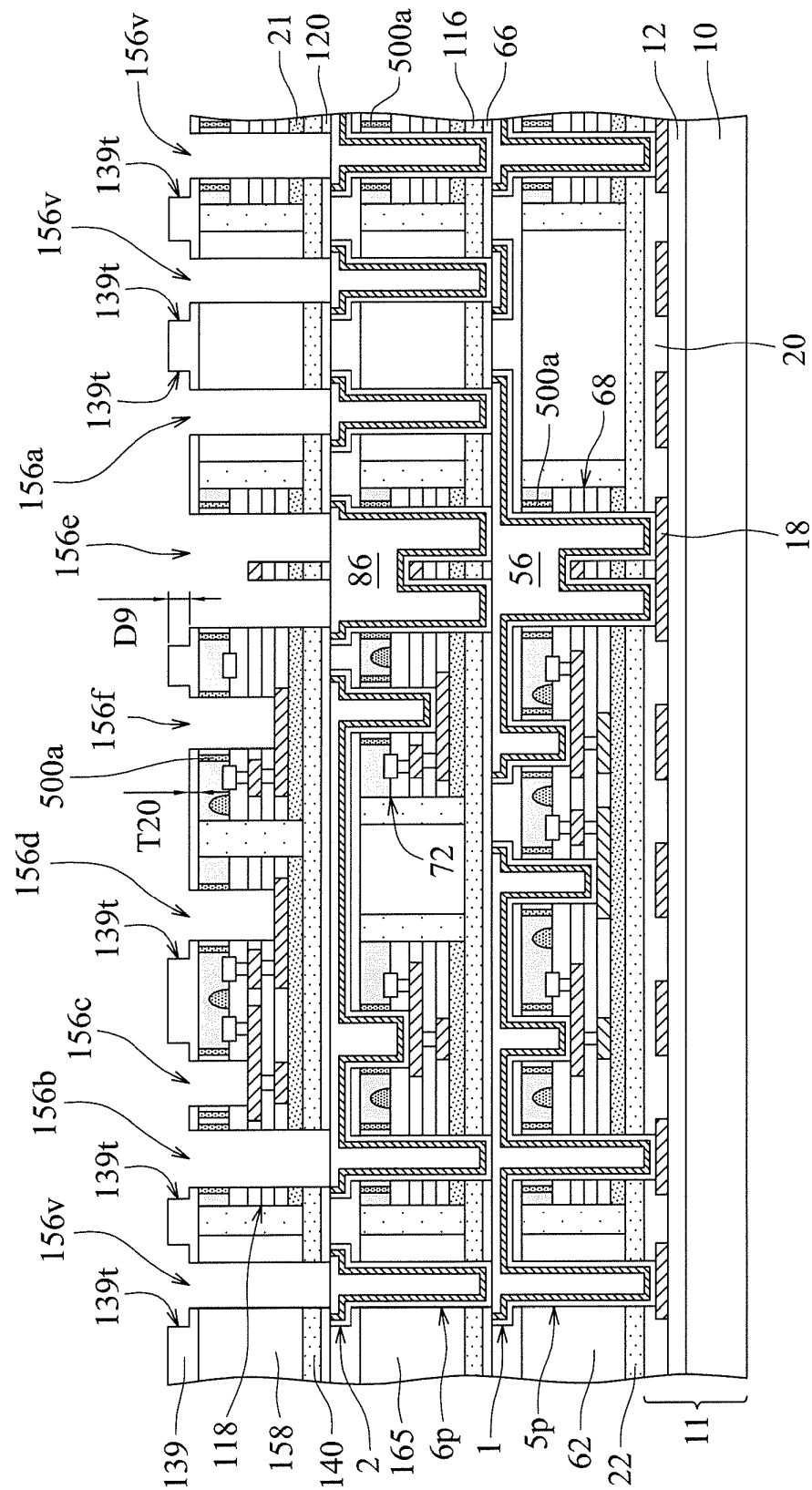


Fig. 178

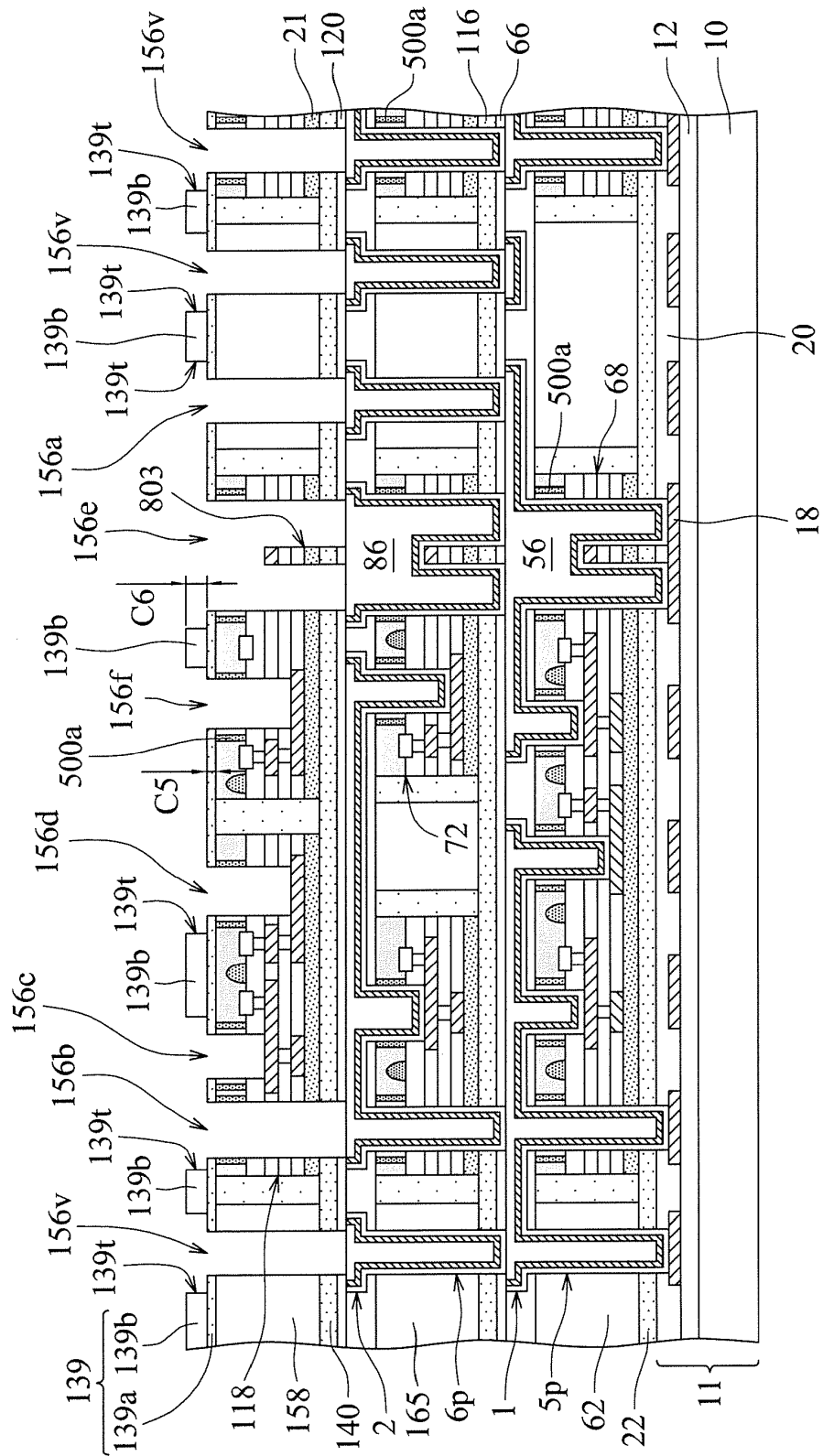


Fig. 178A

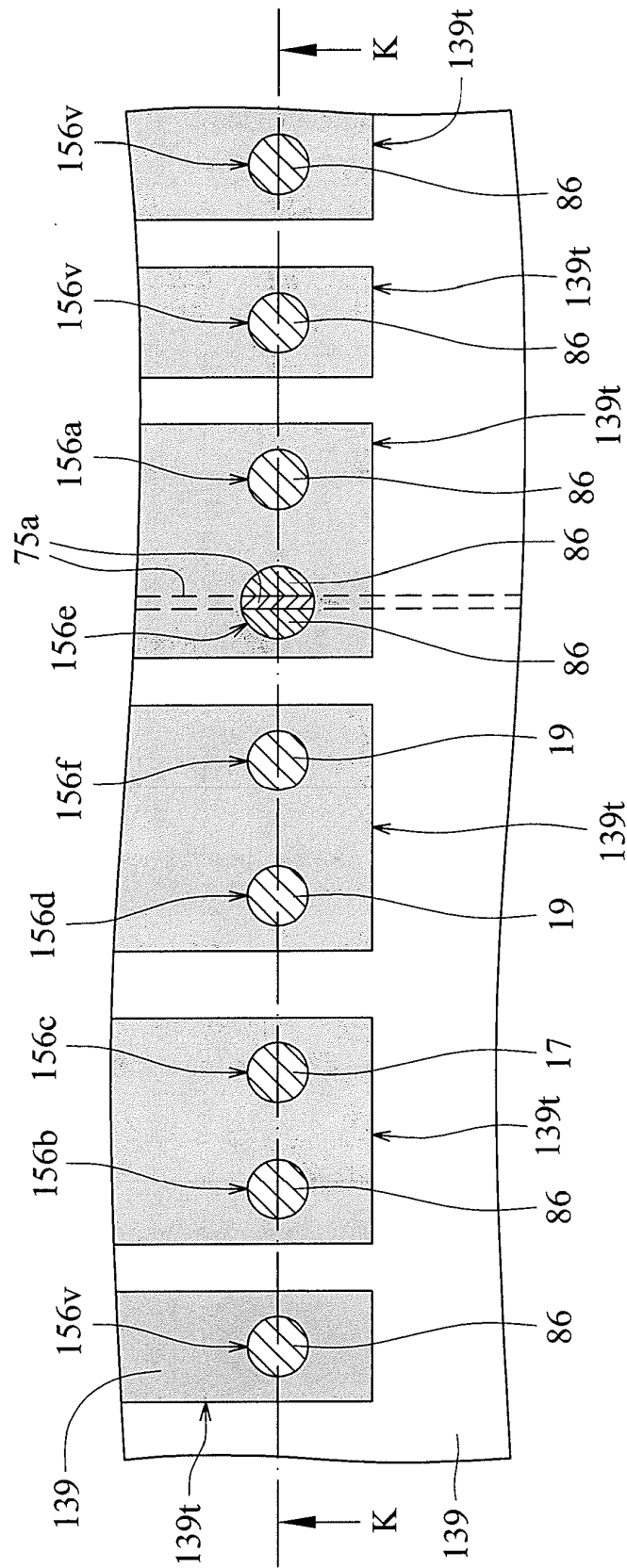


Fig. 179

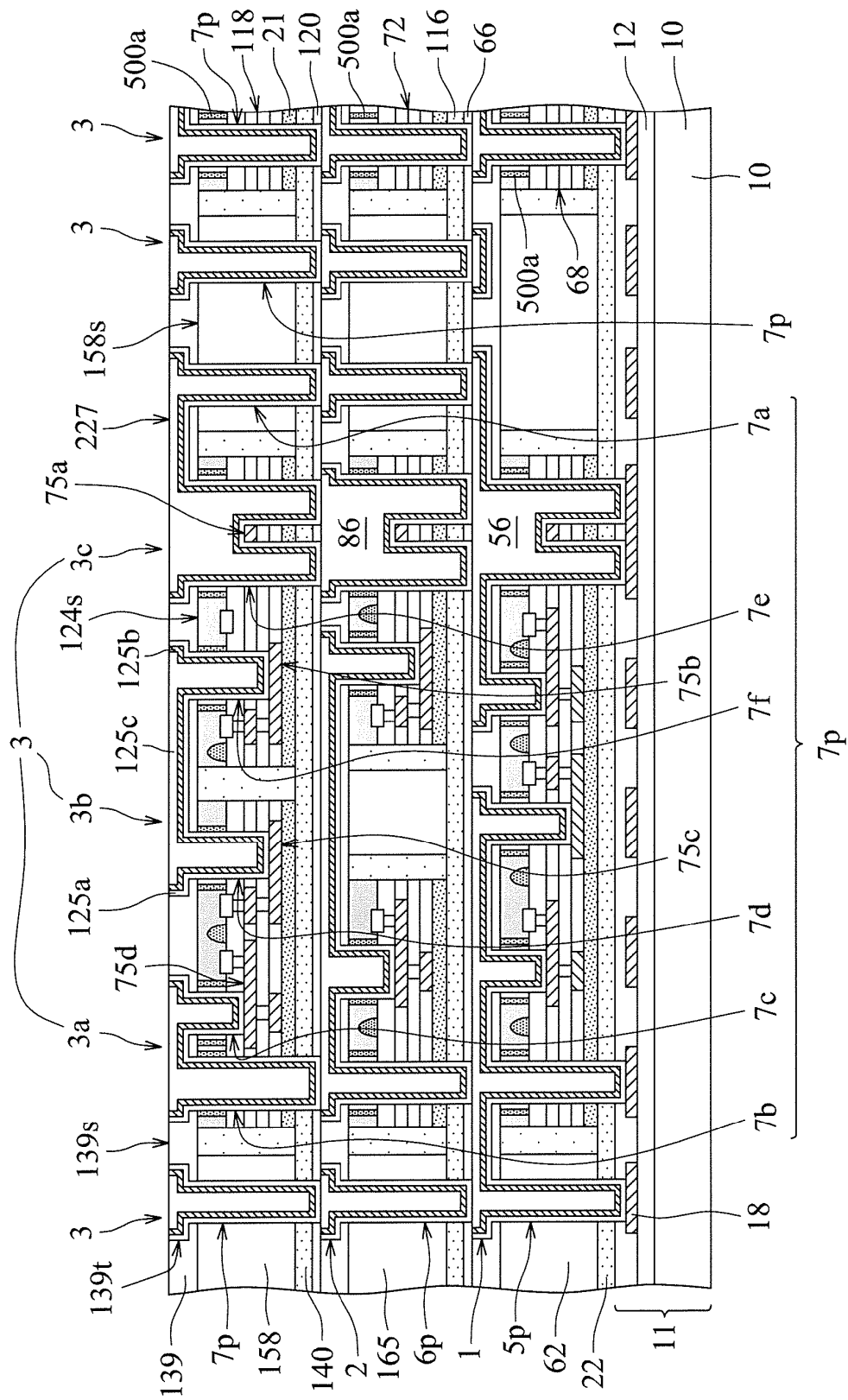


Fig. 180

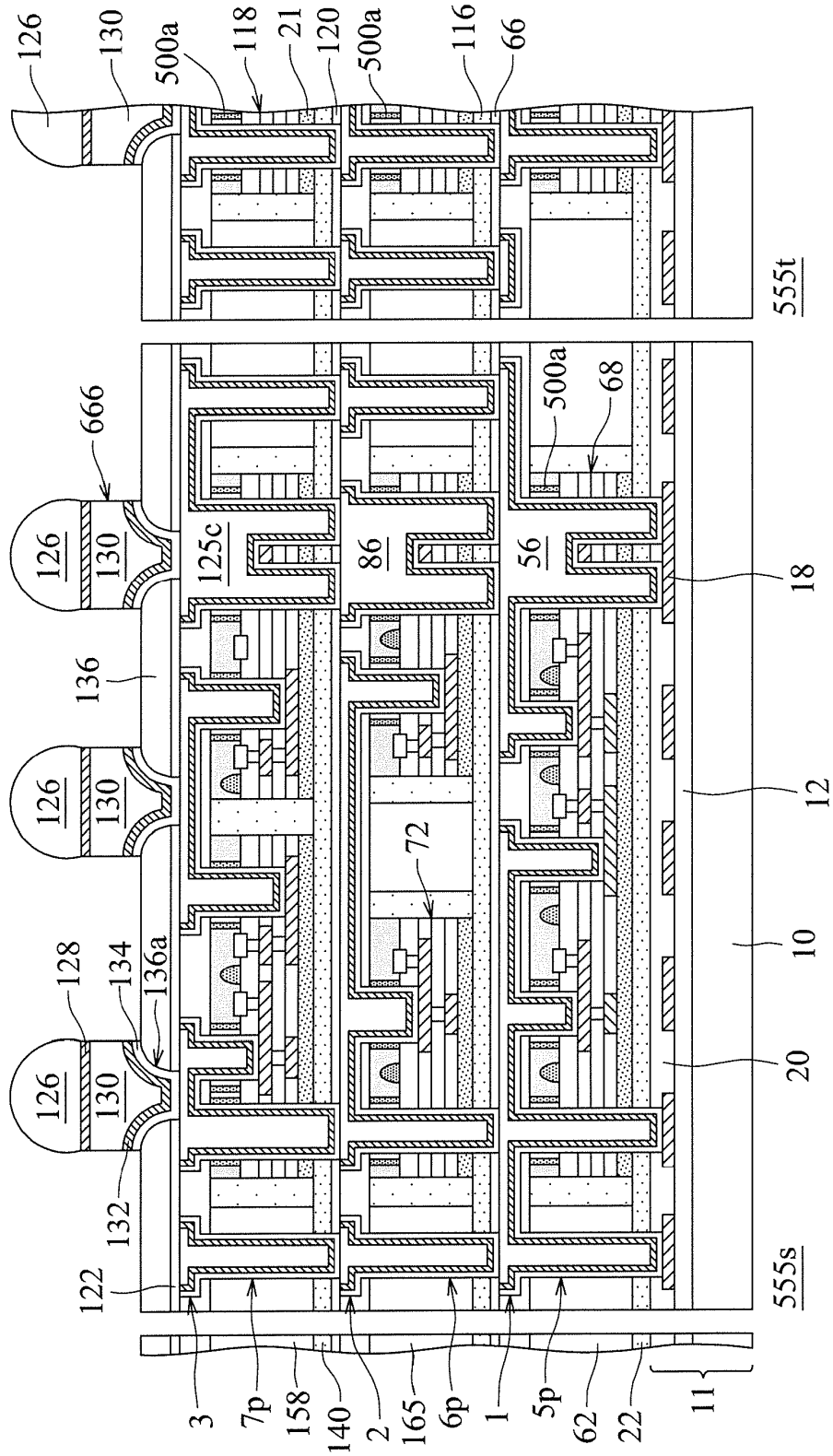


Fig. 181

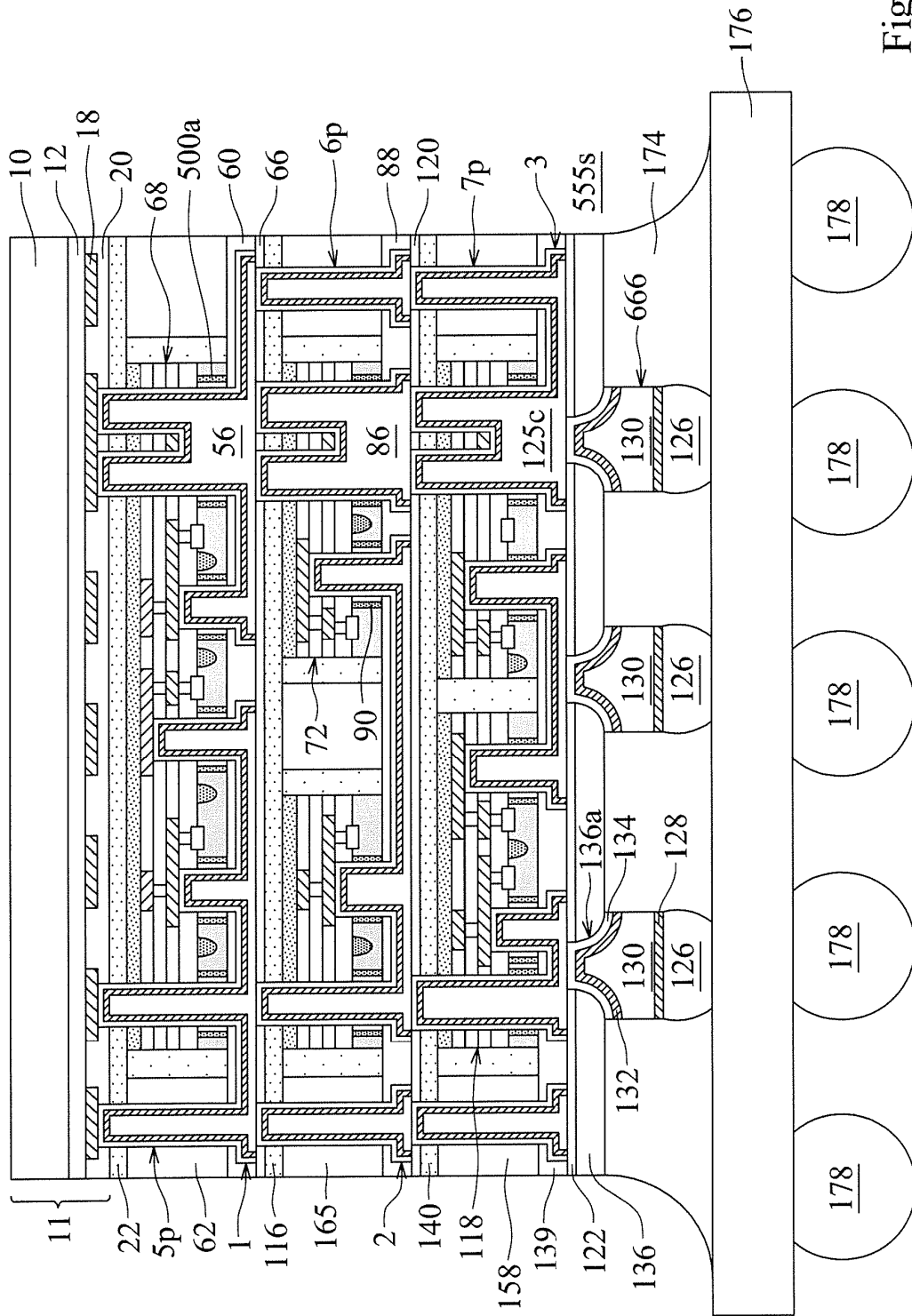


Fig. 182

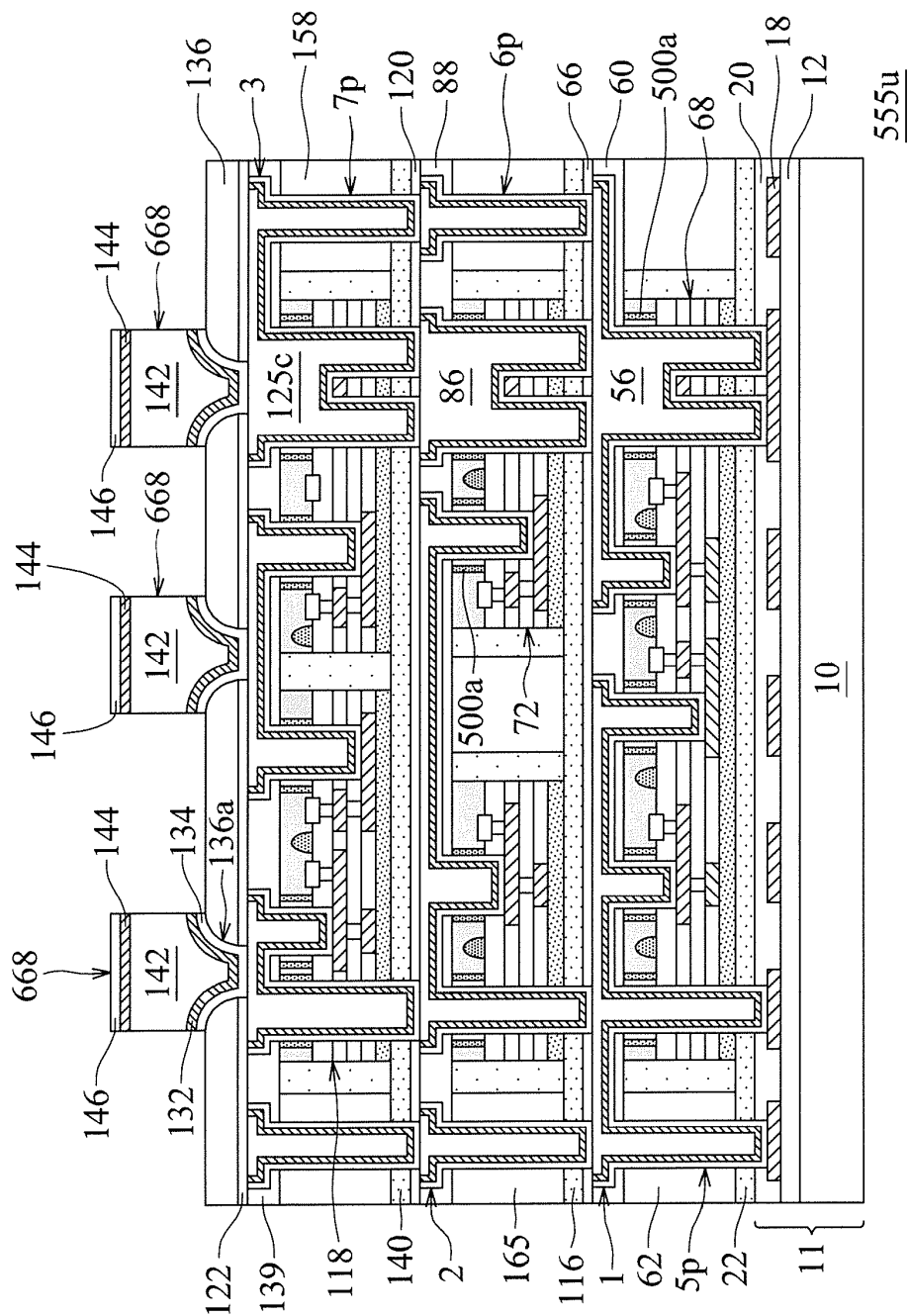


Fig. 183

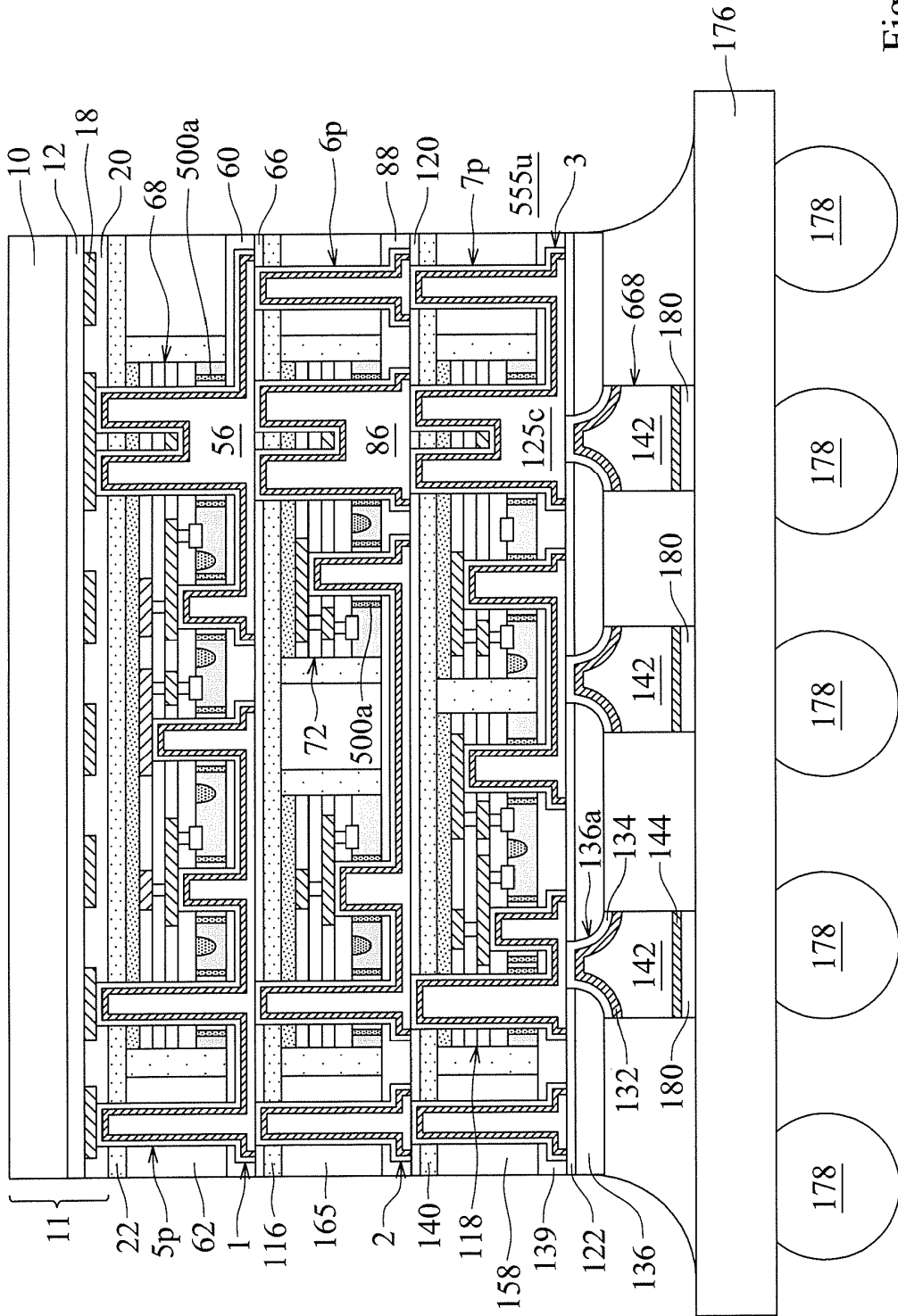


Fig. 184

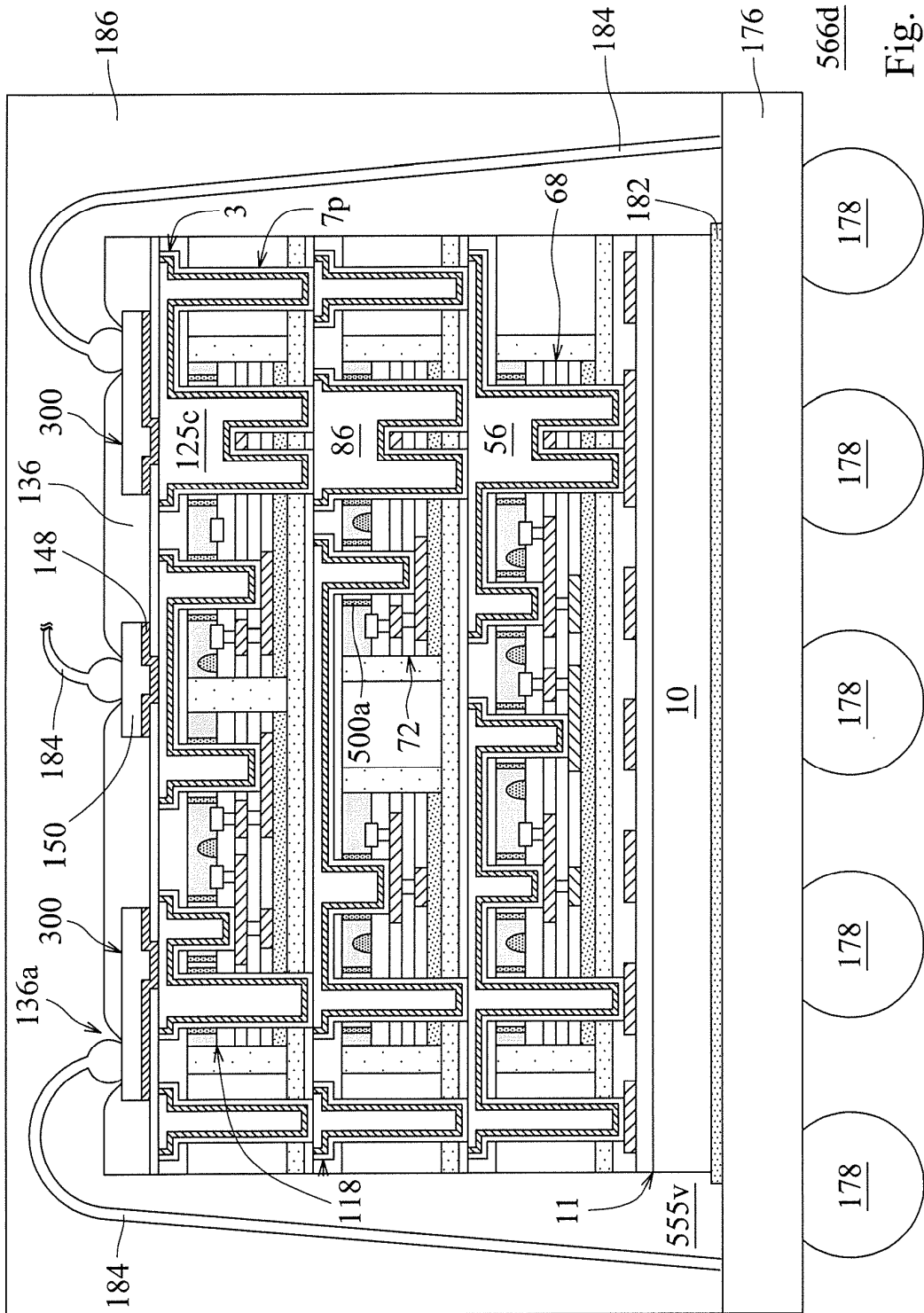


Fig. 185

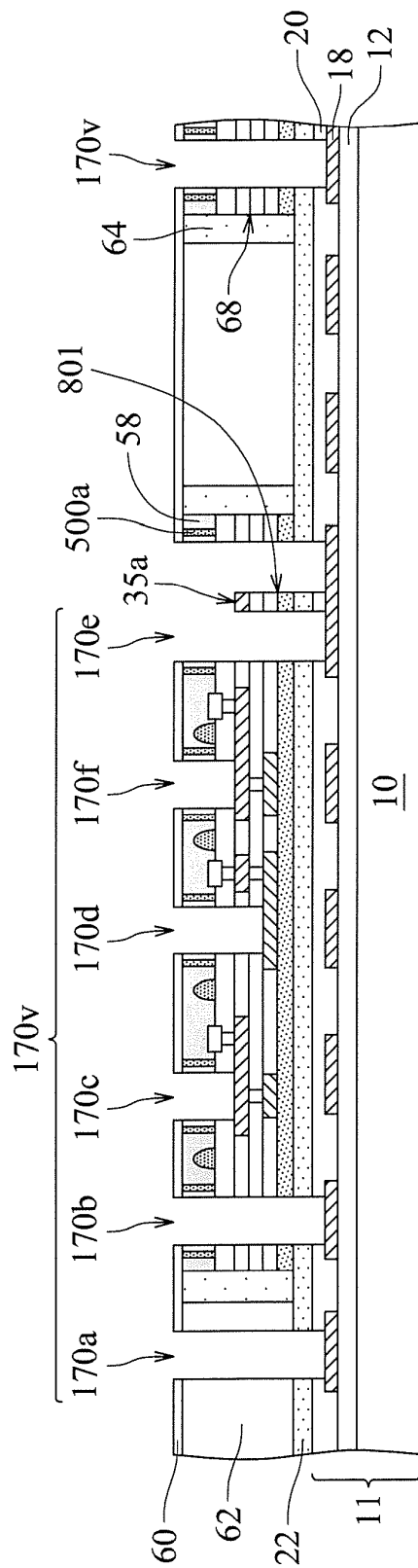


Fig. 186

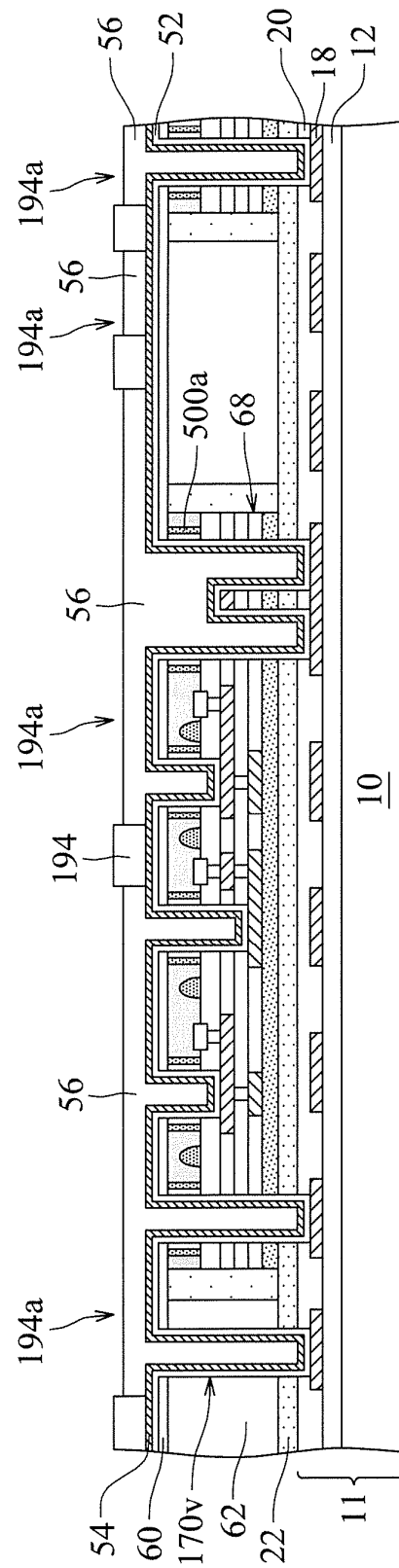


Fig. 187

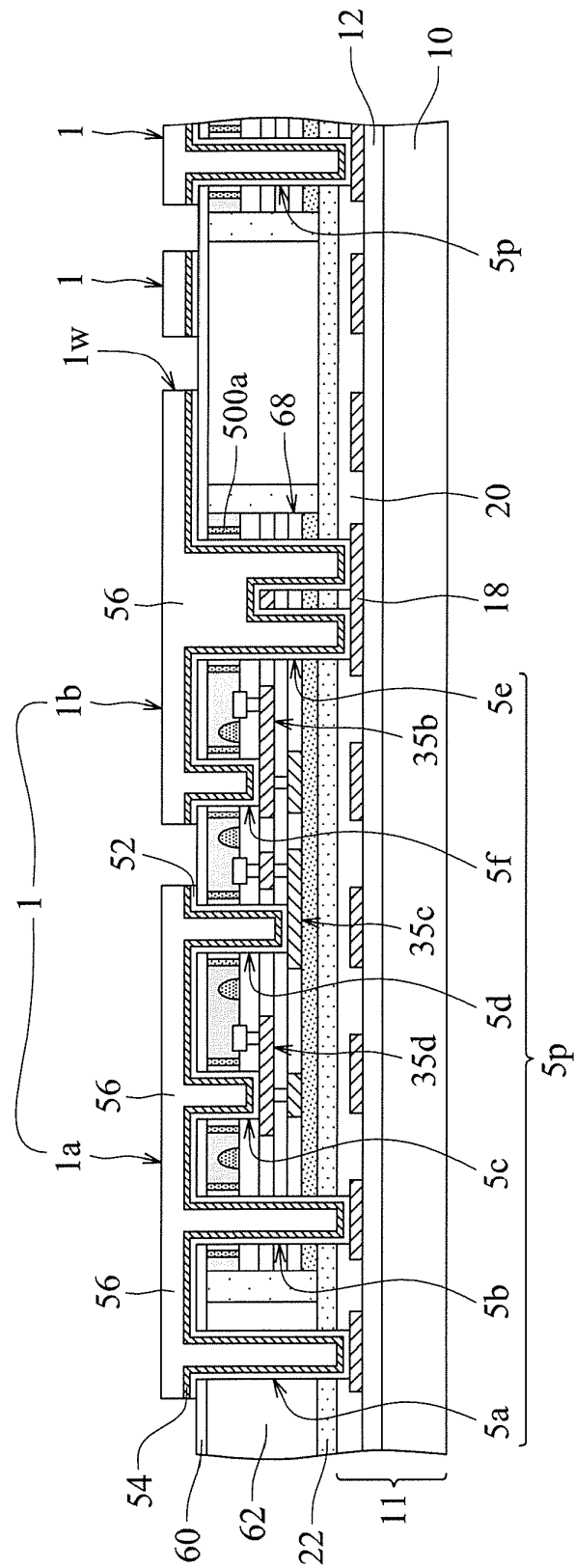


Fig. 188

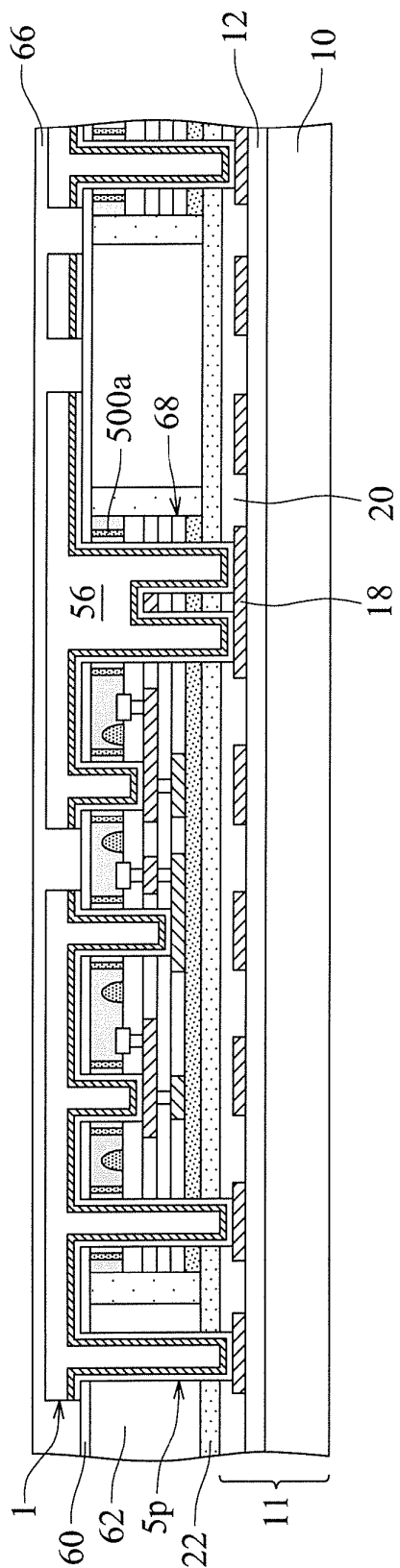


Fig. 189

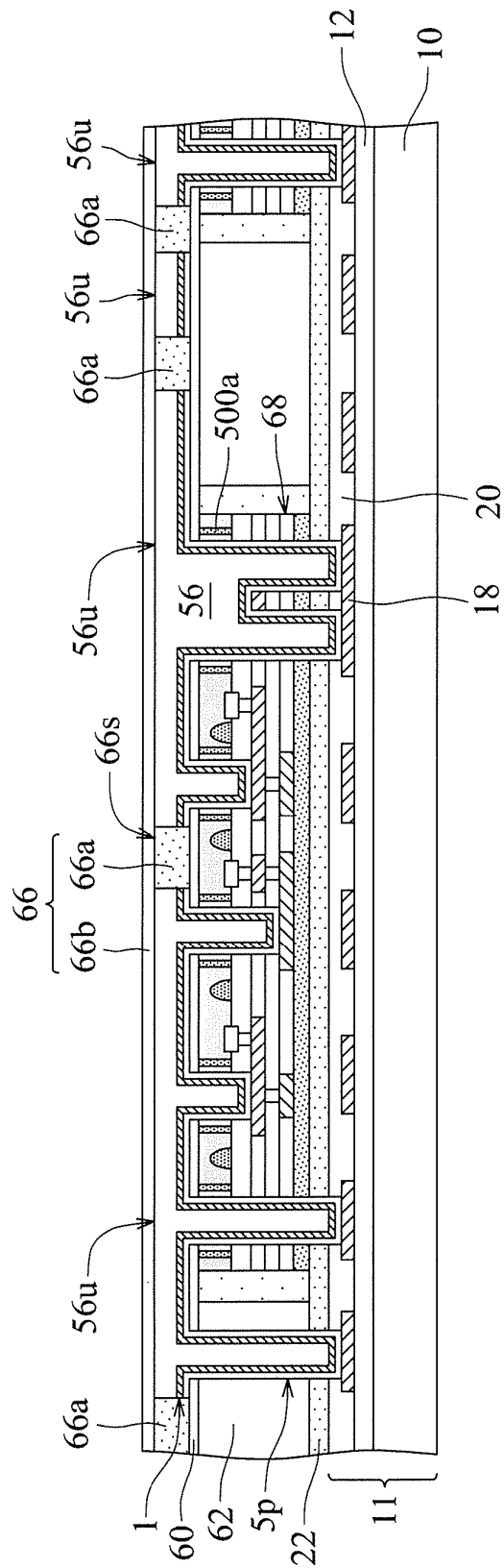


Fig. 190

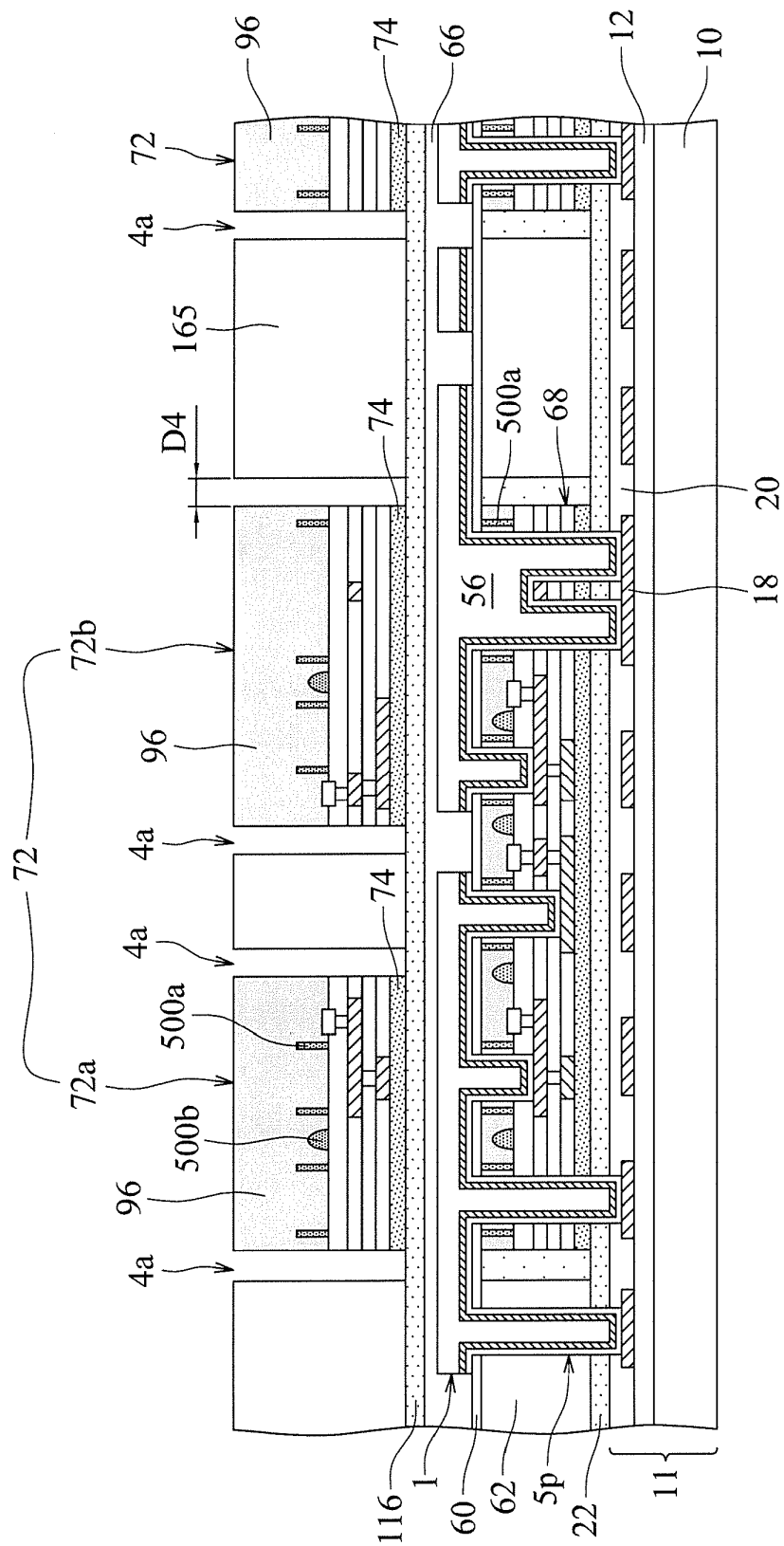
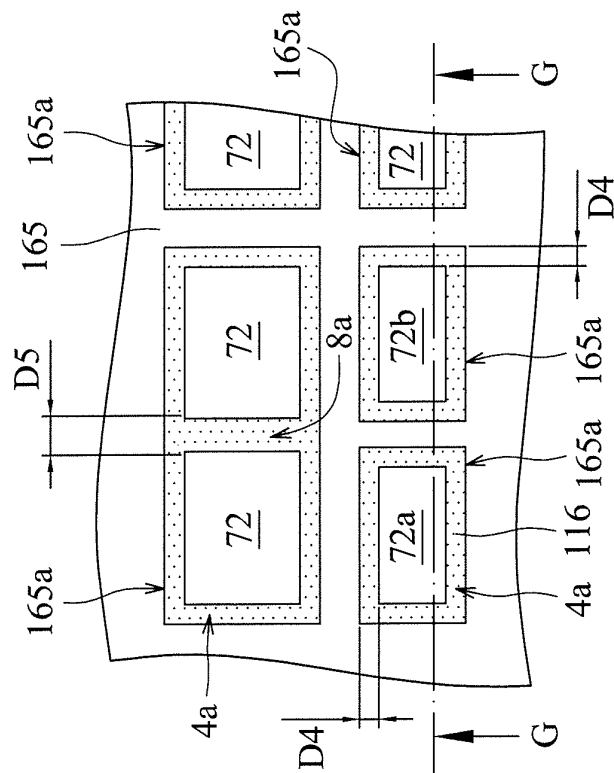
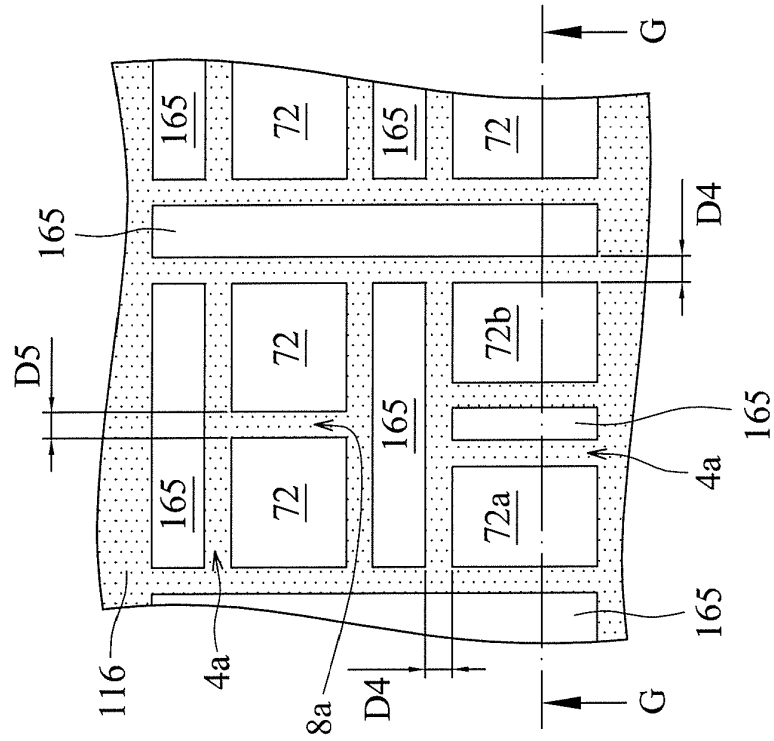


Fig. 191



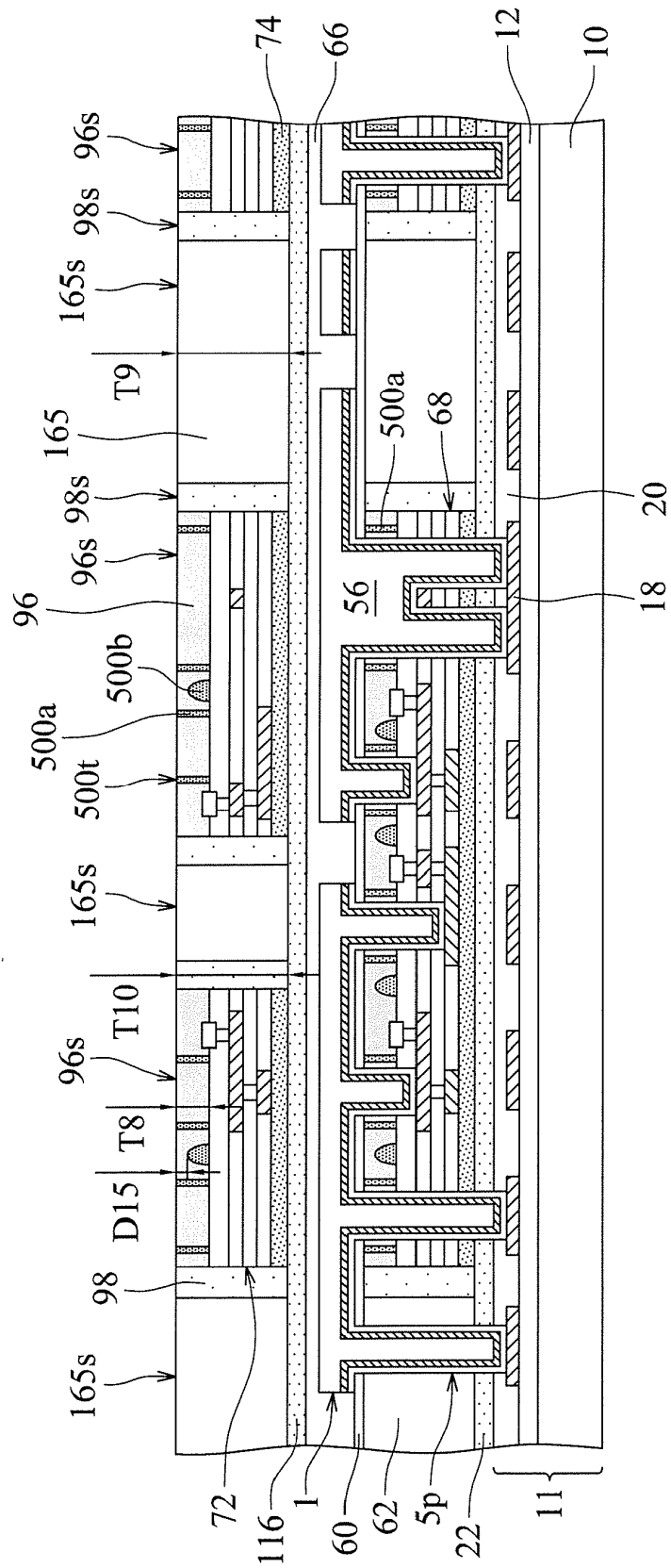


Fig. 194

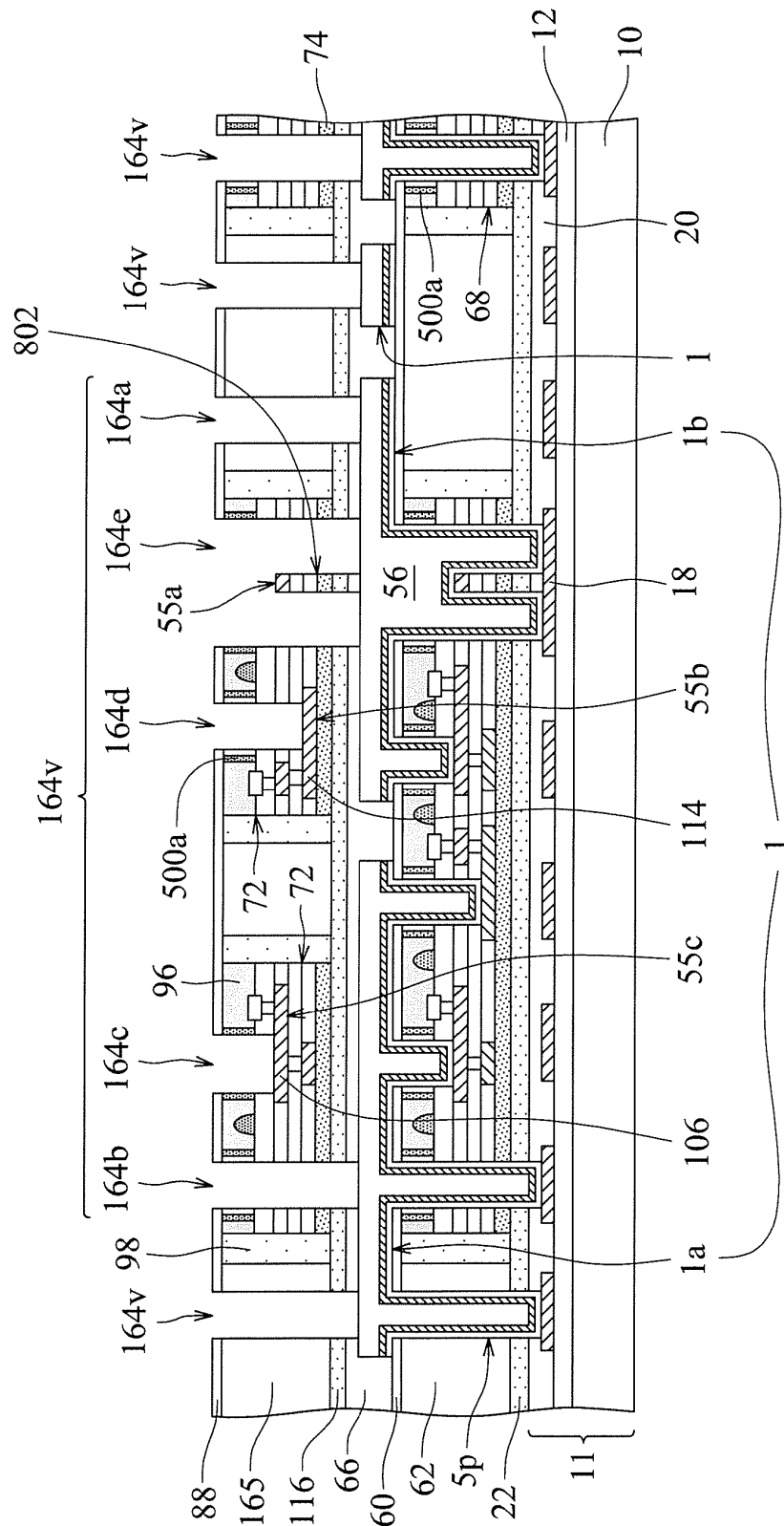


Fig. 195

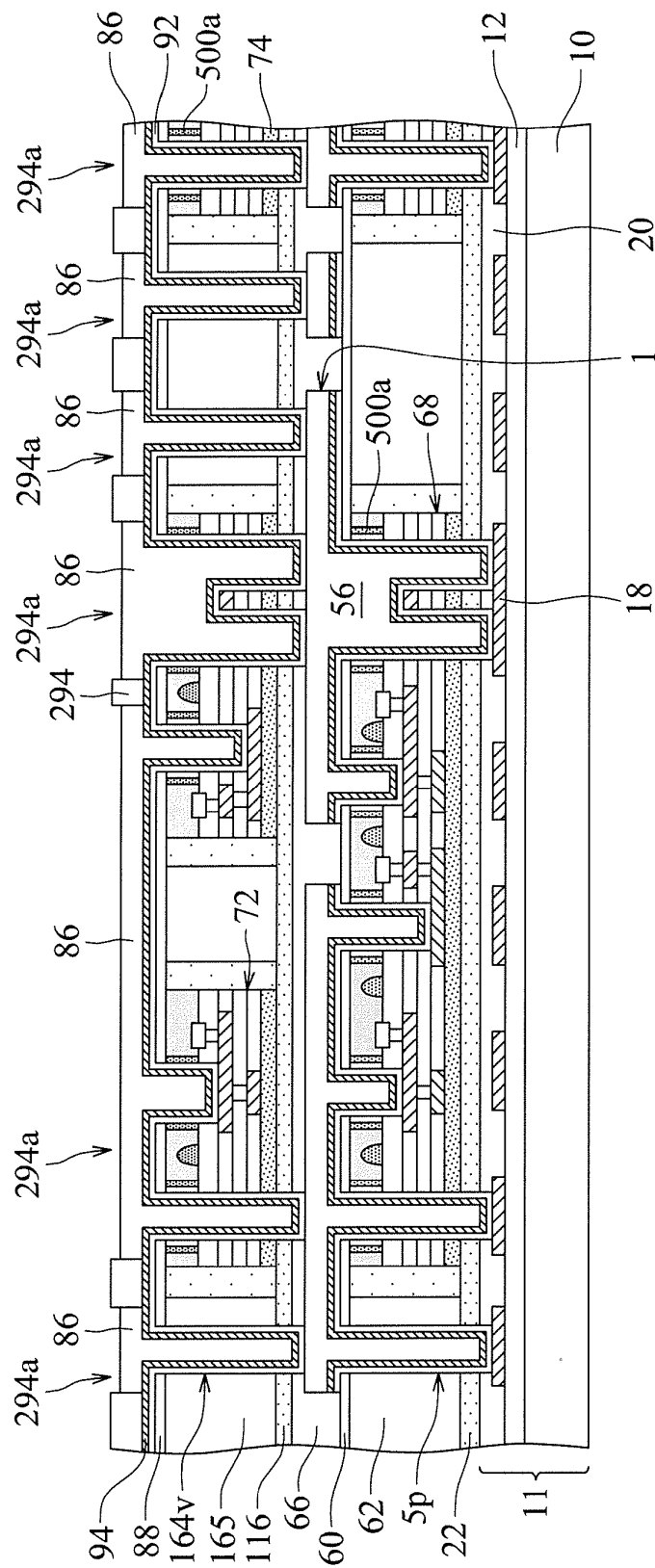


Fig. 196

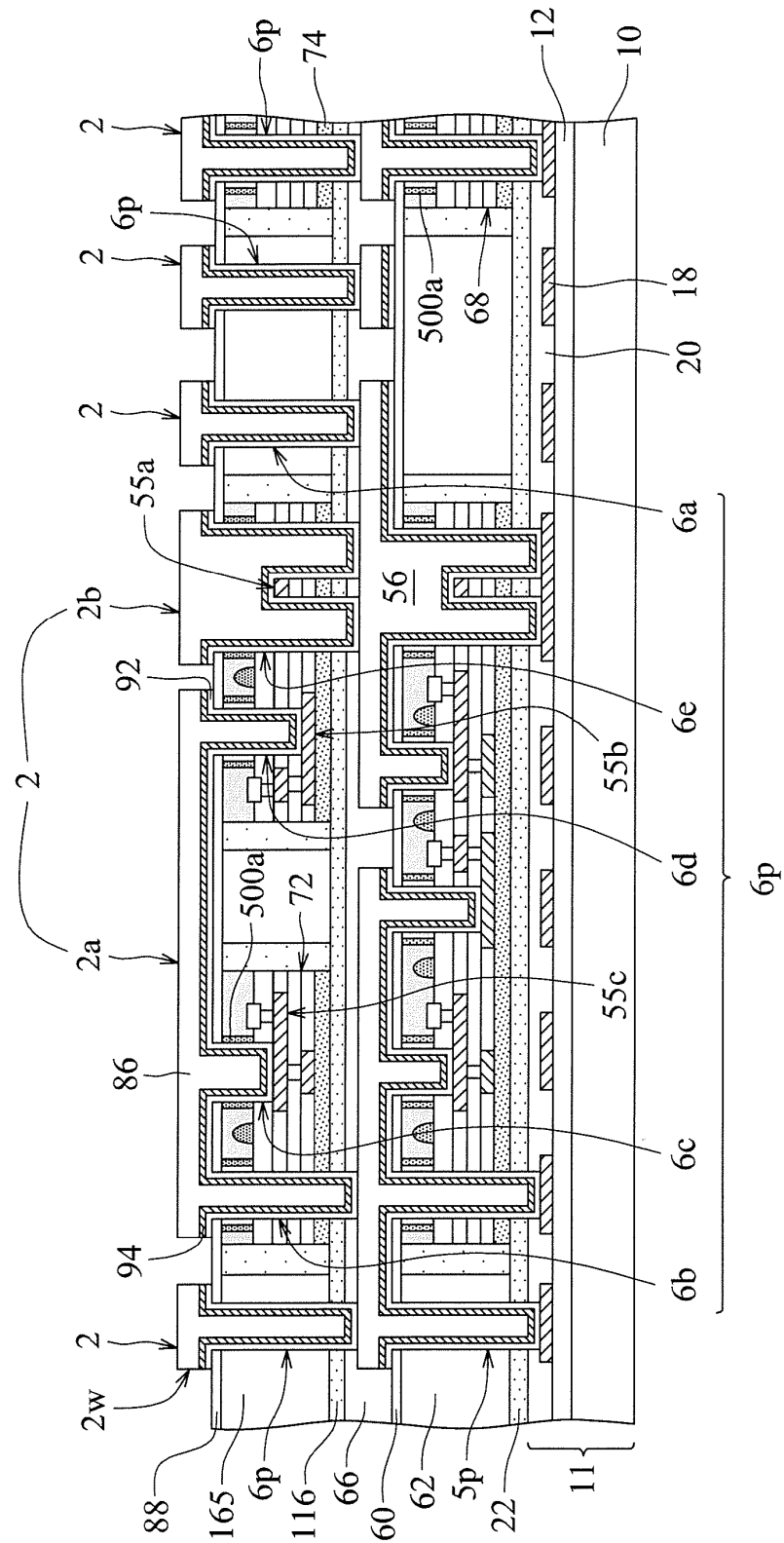


Fig. 197

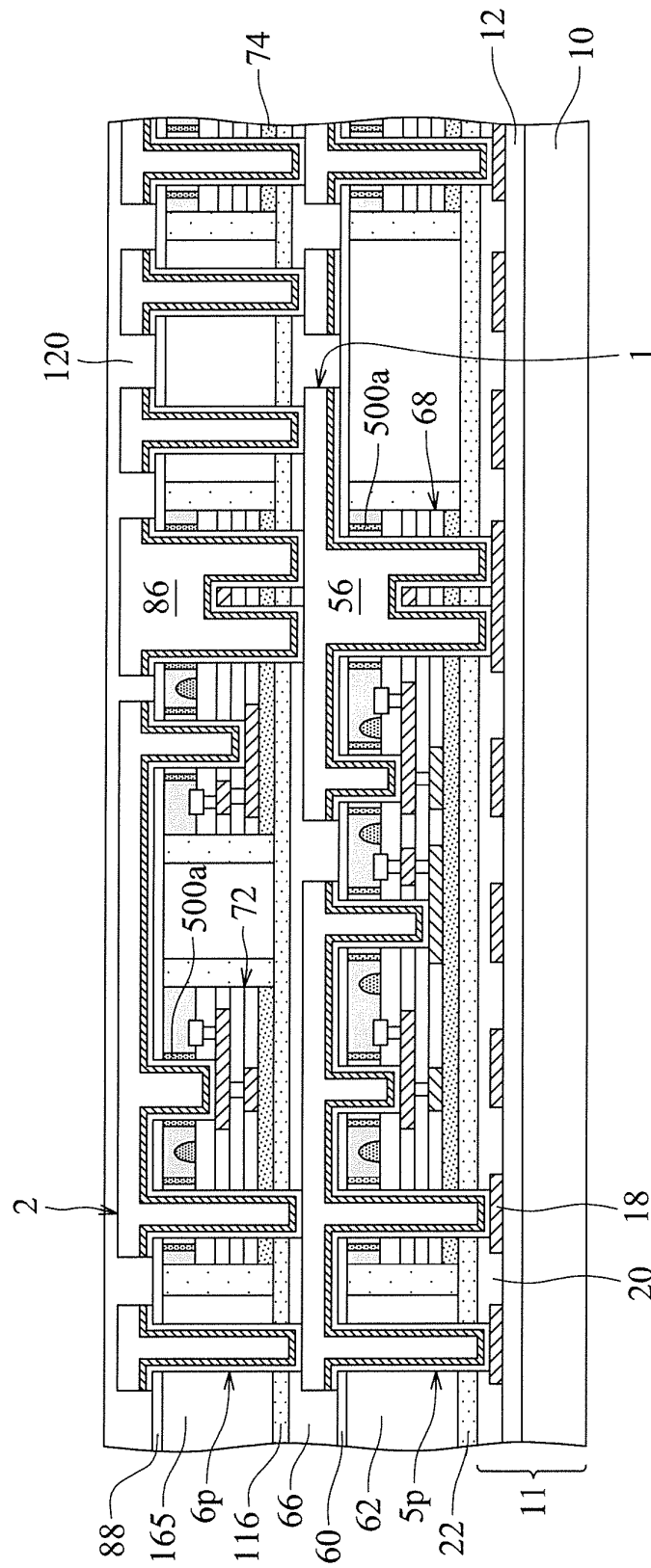


Fig. 198

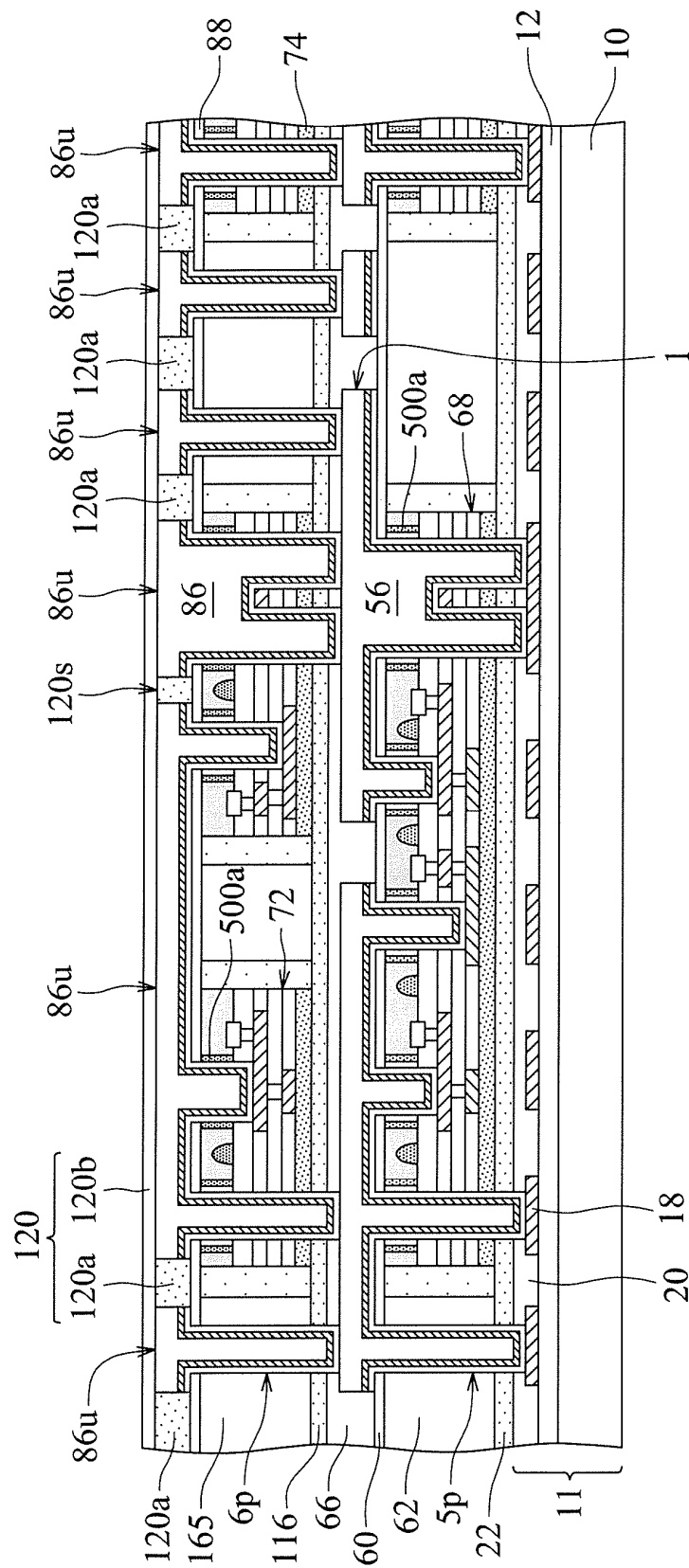


Fig. 199

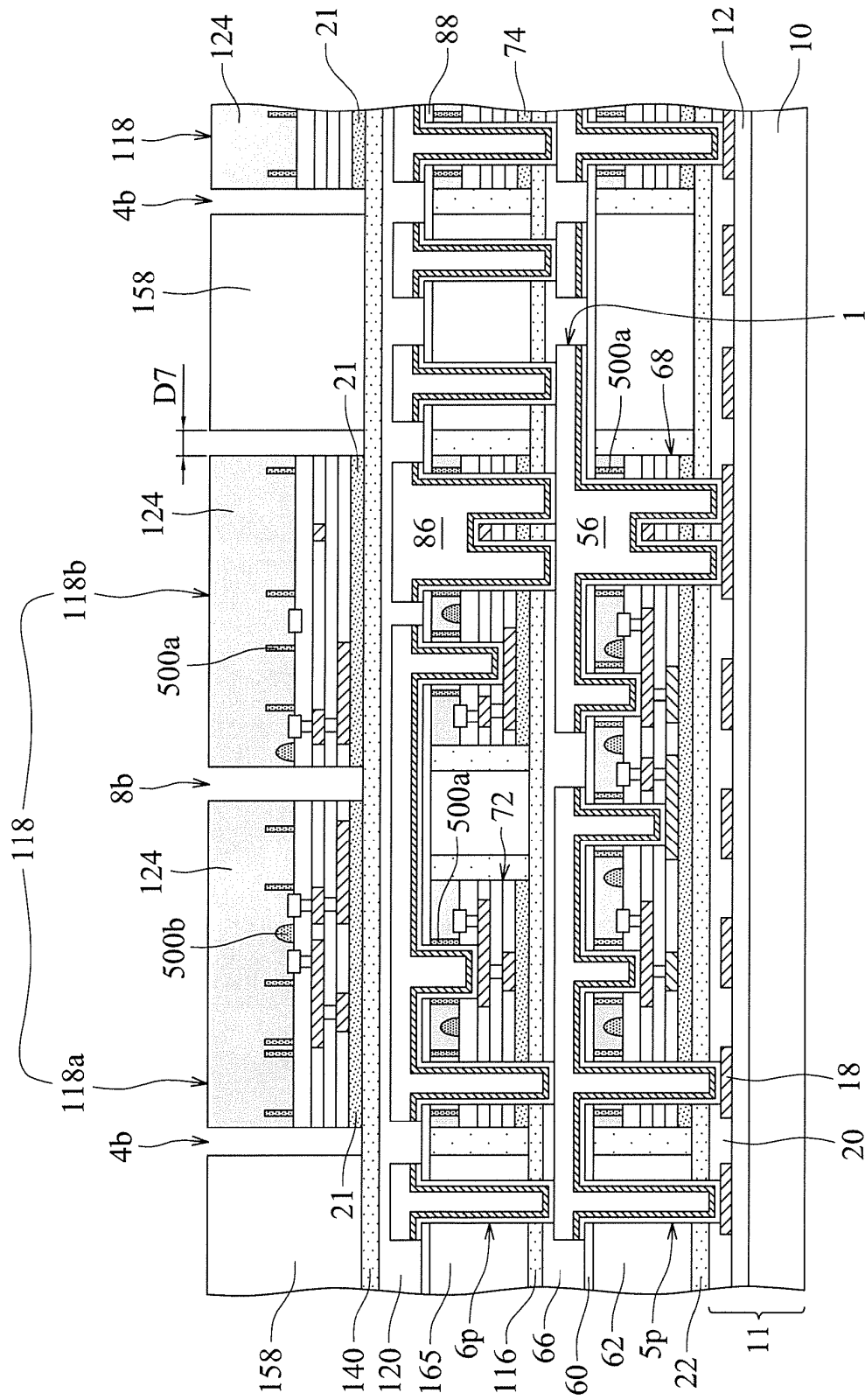


Fig. 200

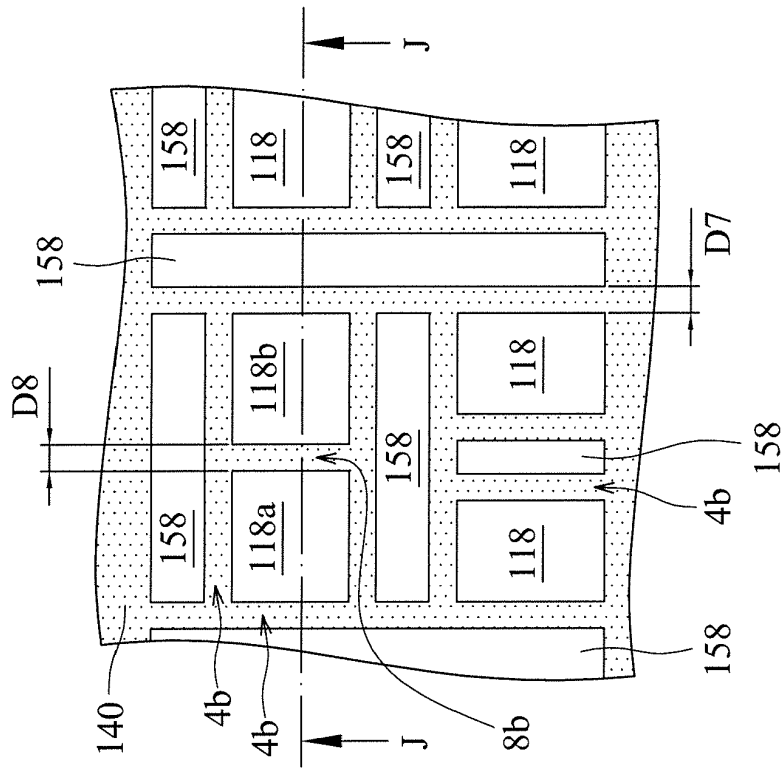


Fig. 201

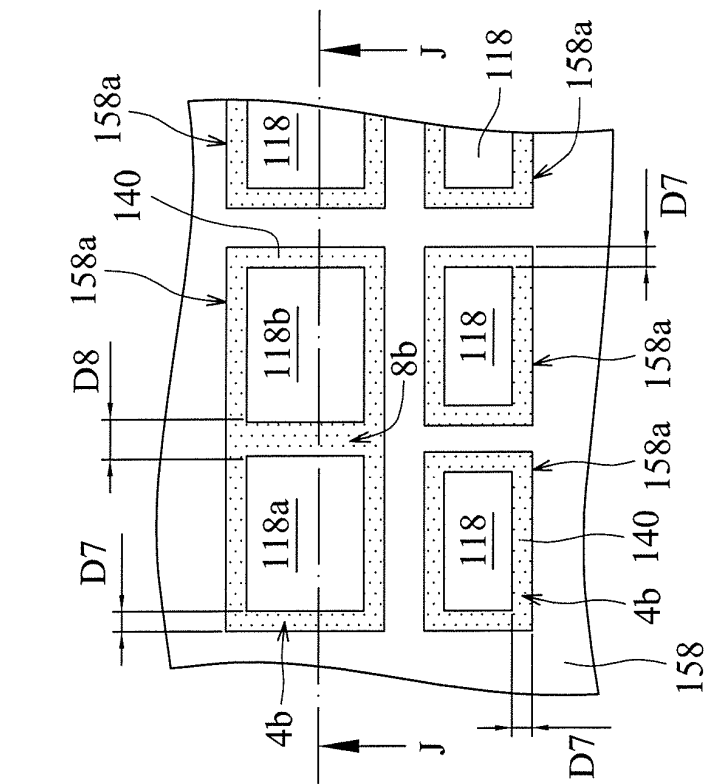


Fig. 202

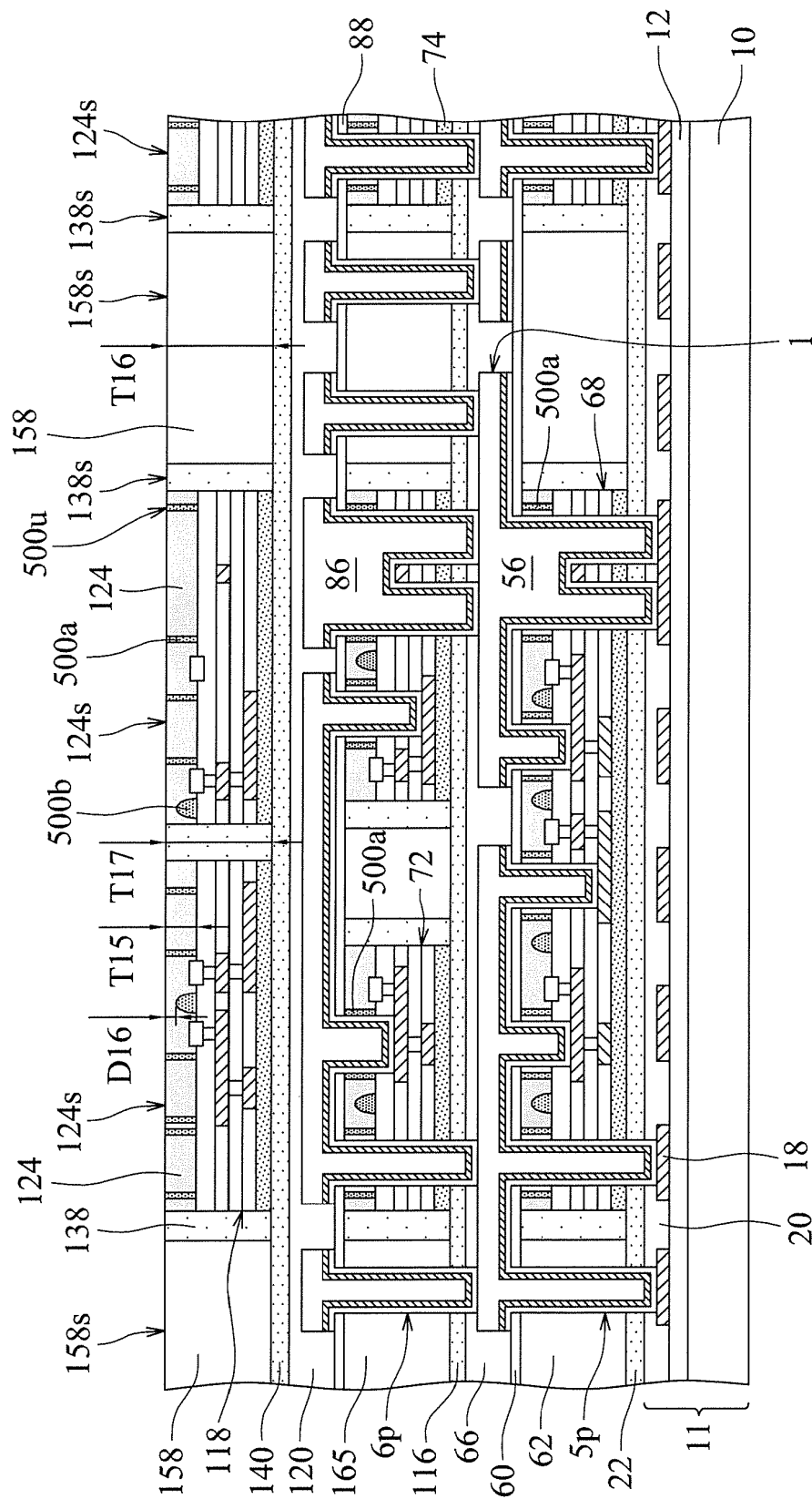


Fig. 203

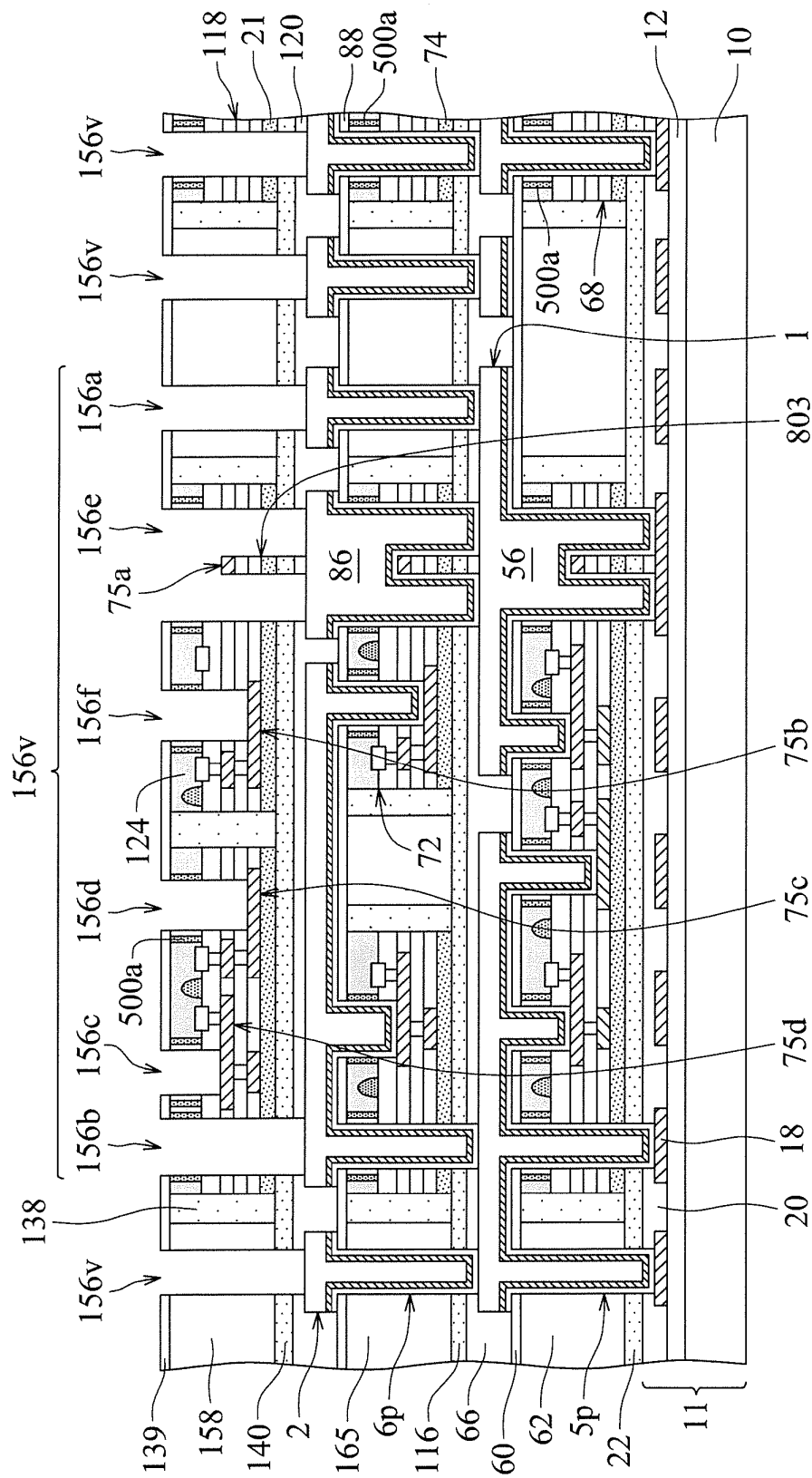


Fig. 204

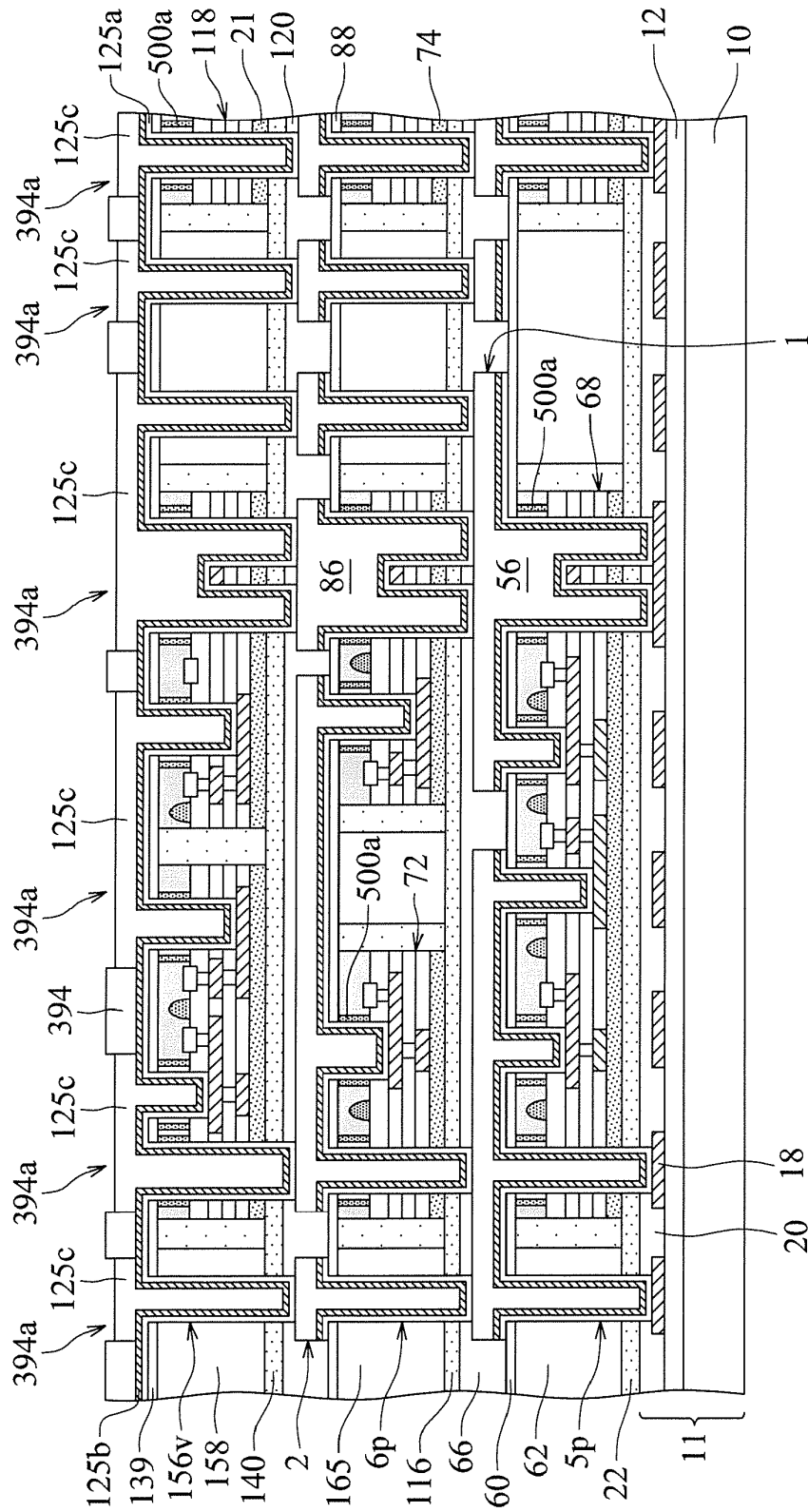


Fig. 205

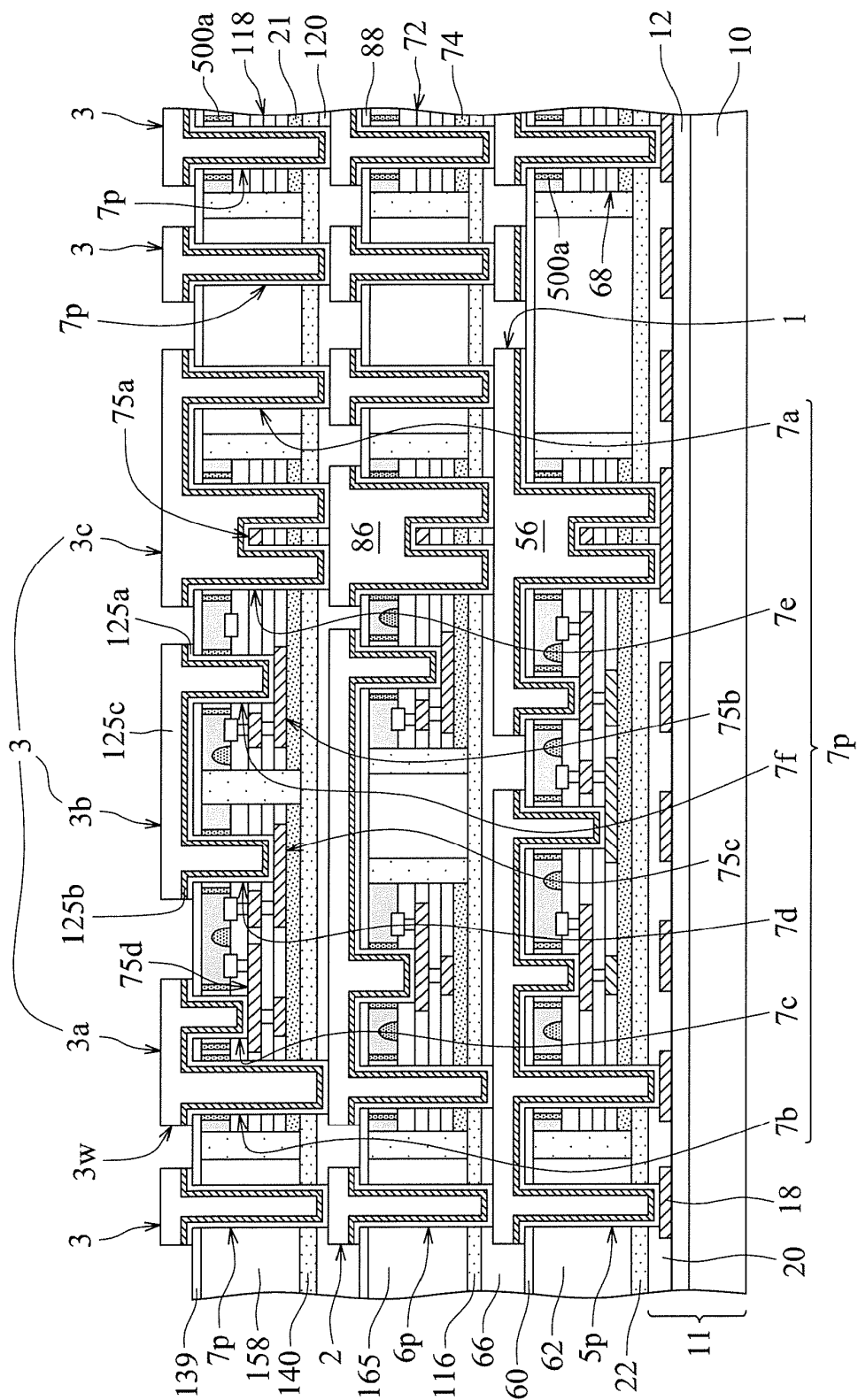


Fig. 206

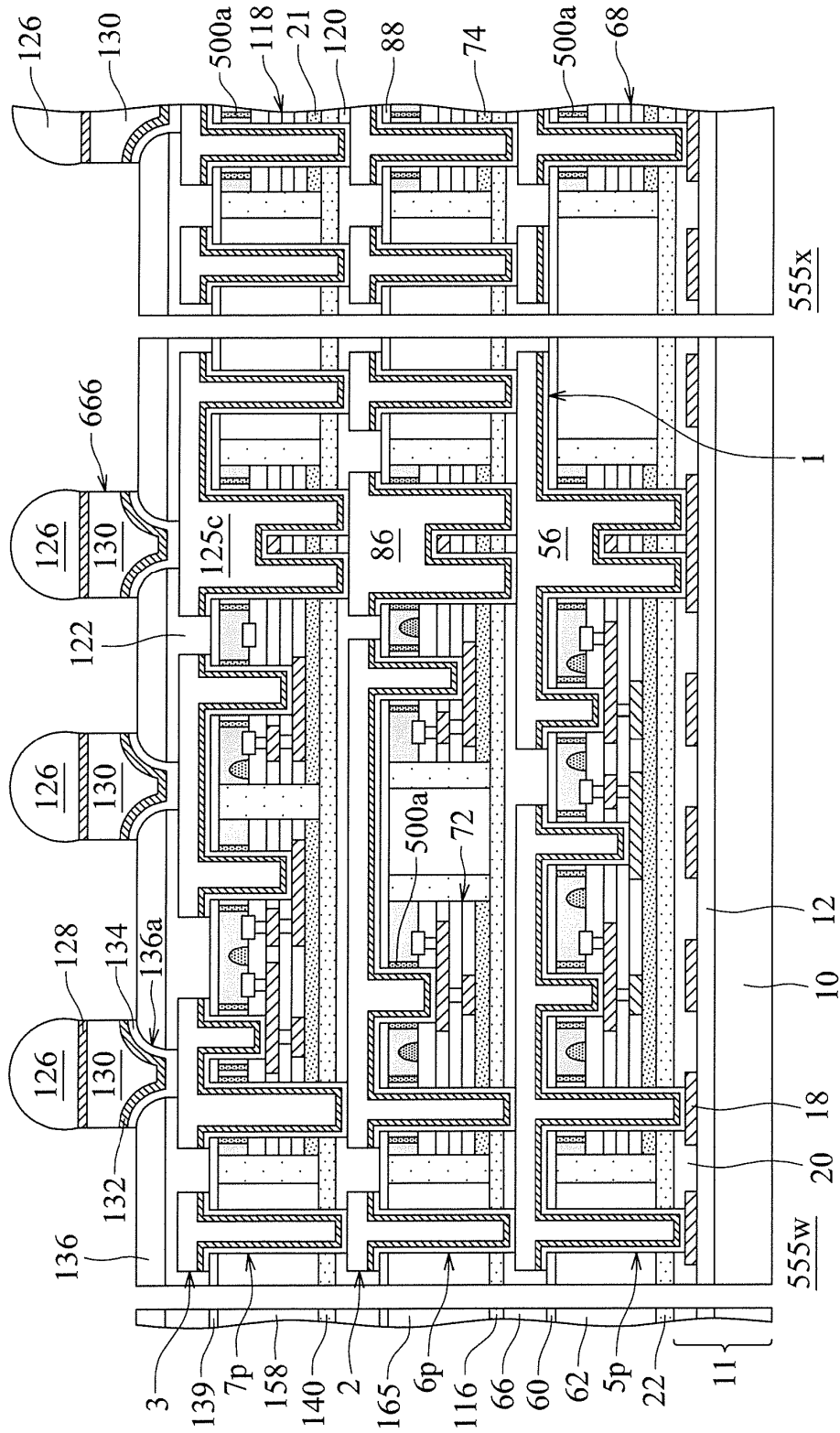
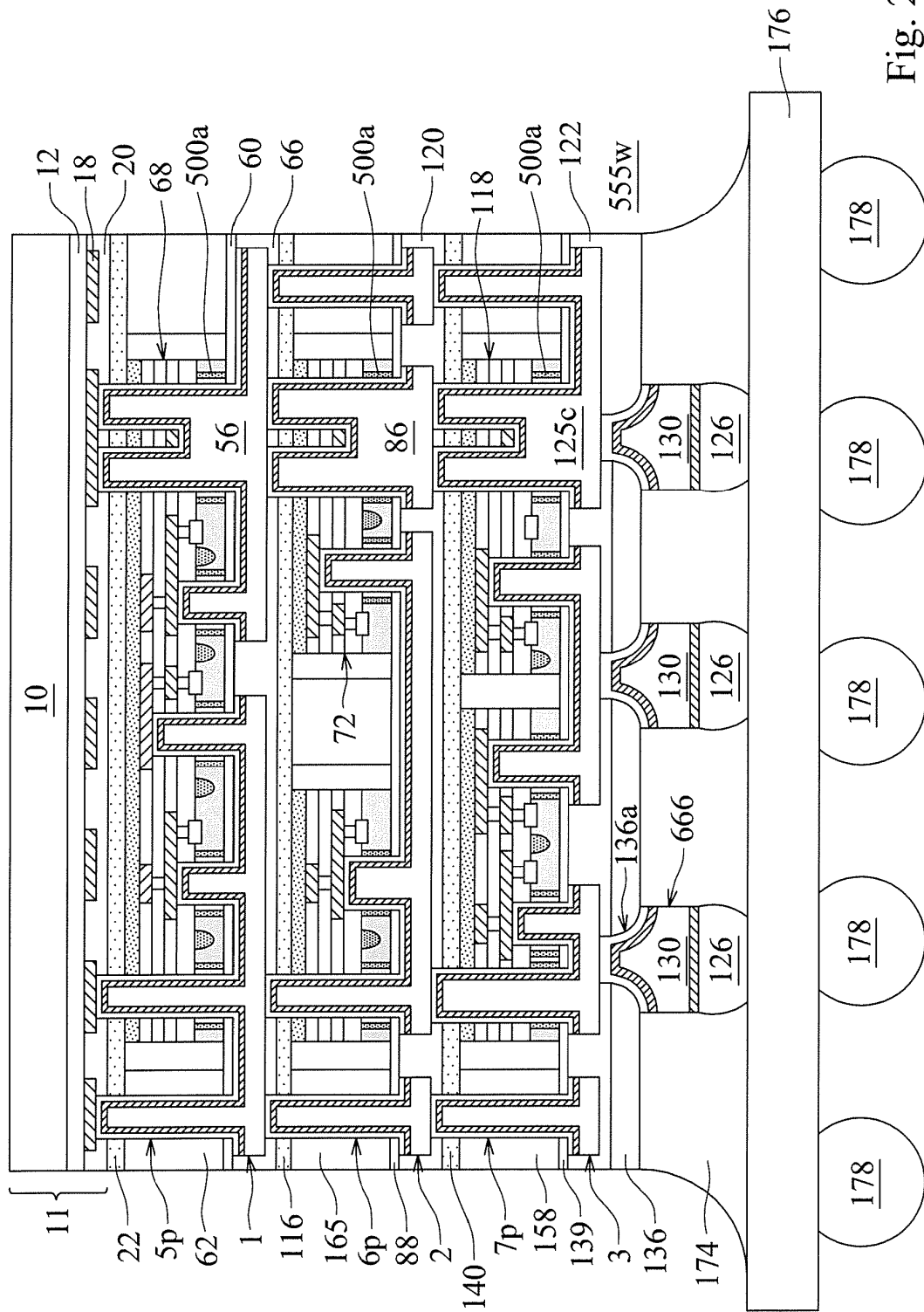


Fig. 207



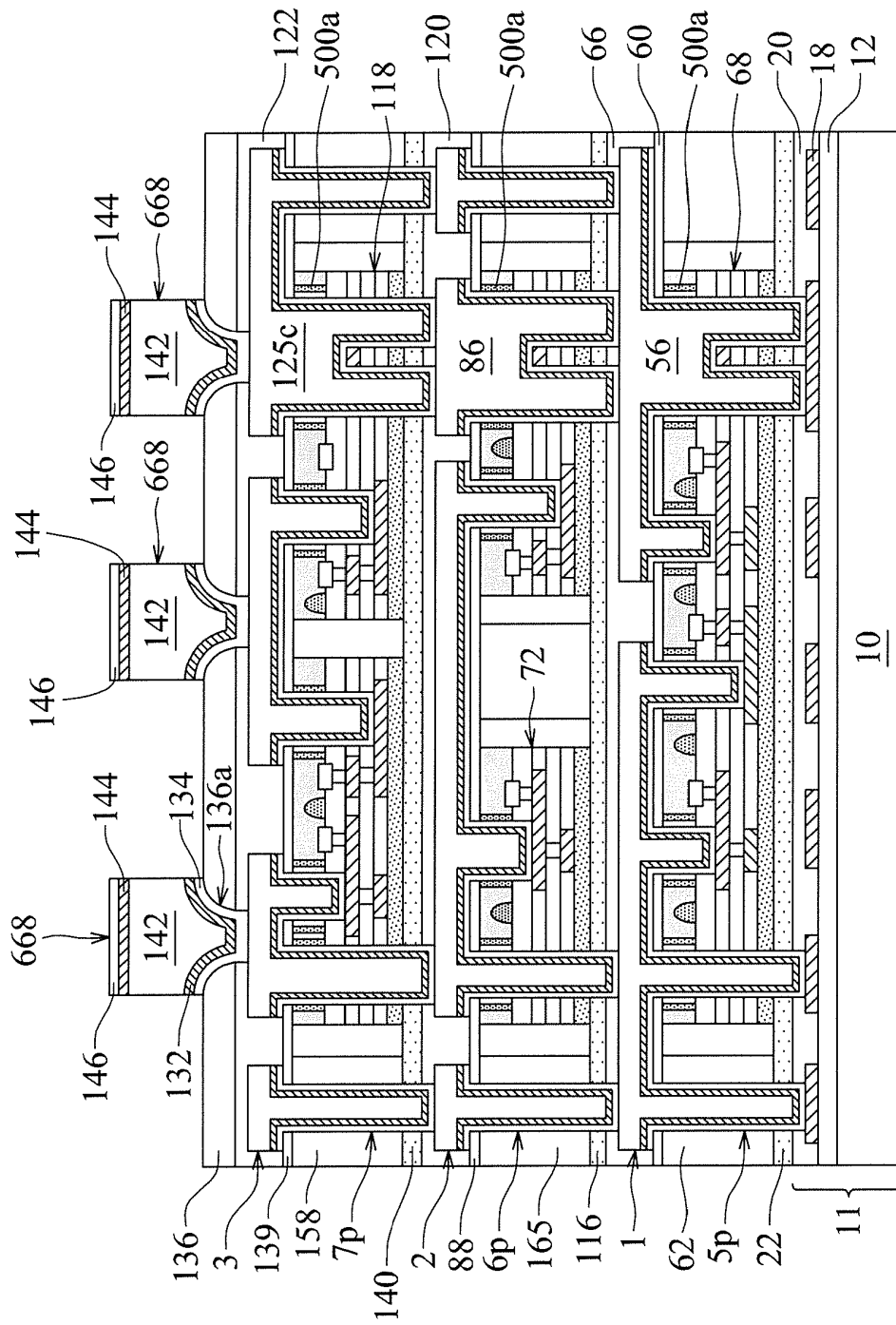
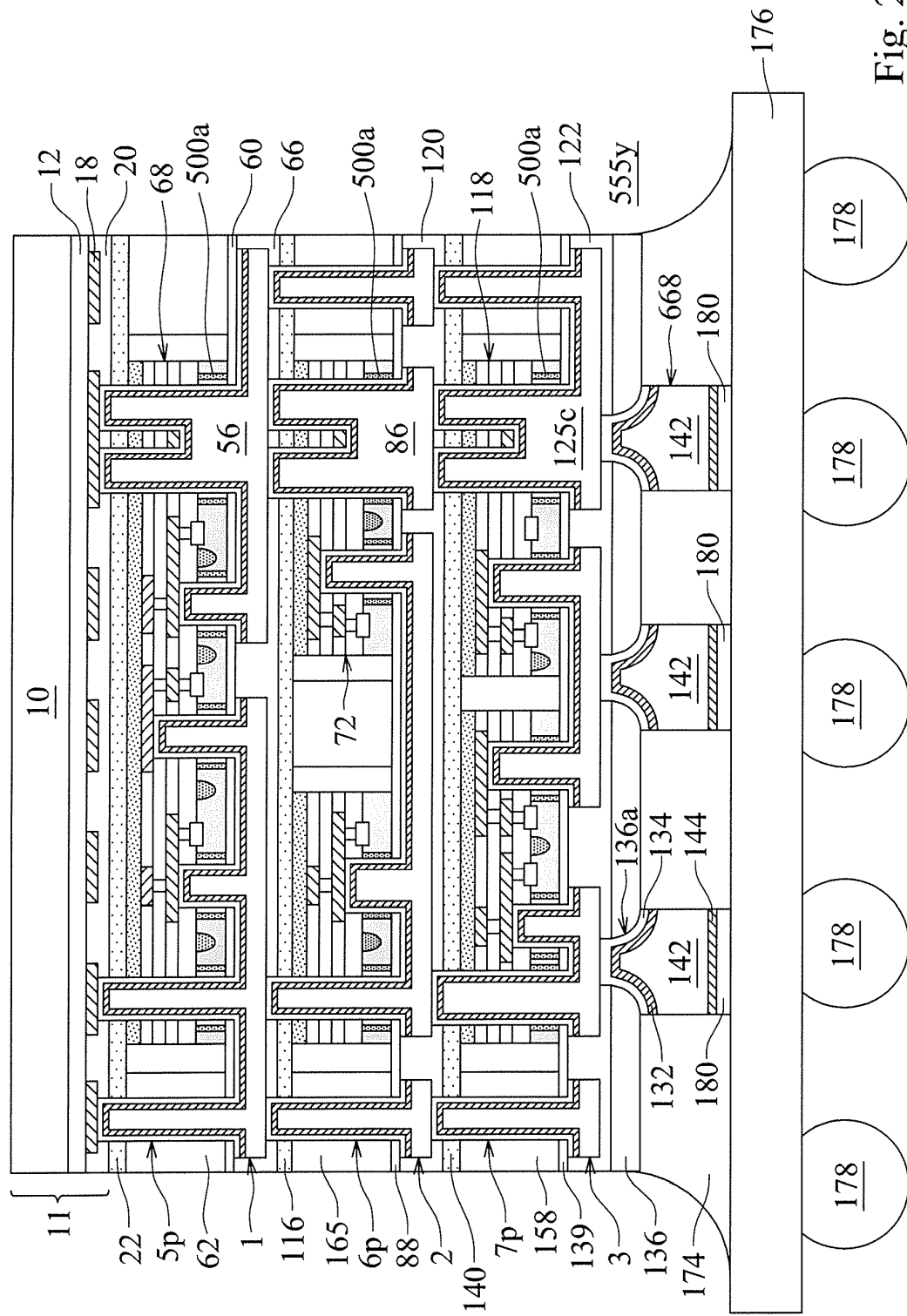


Fig. 209



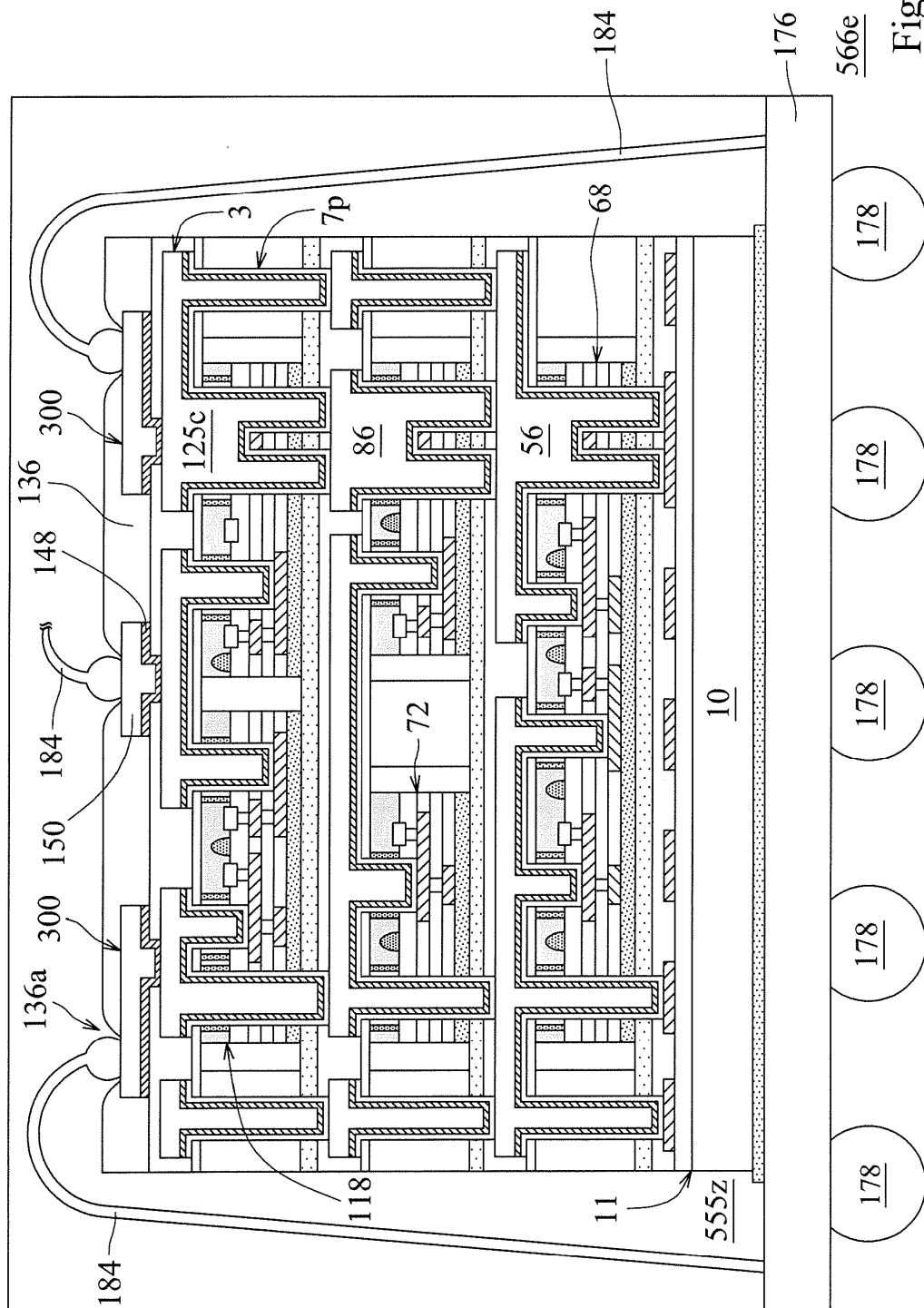


Fig. 211

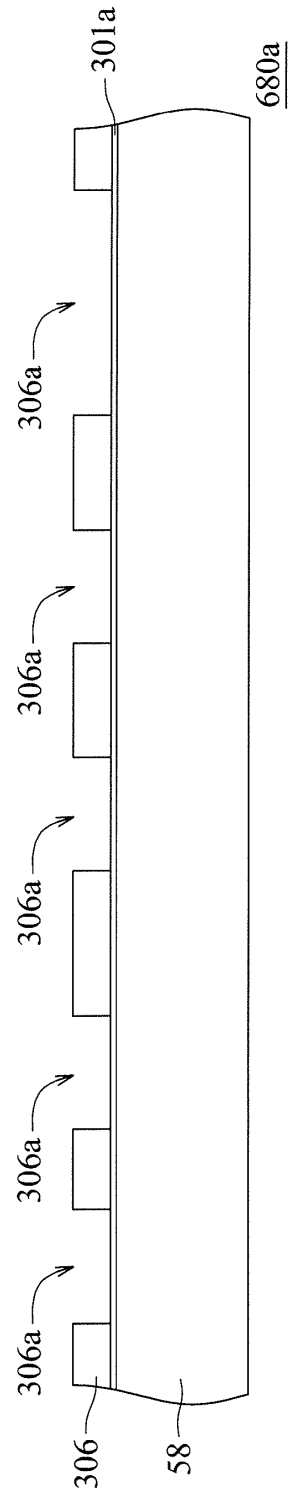


Fig. 212A

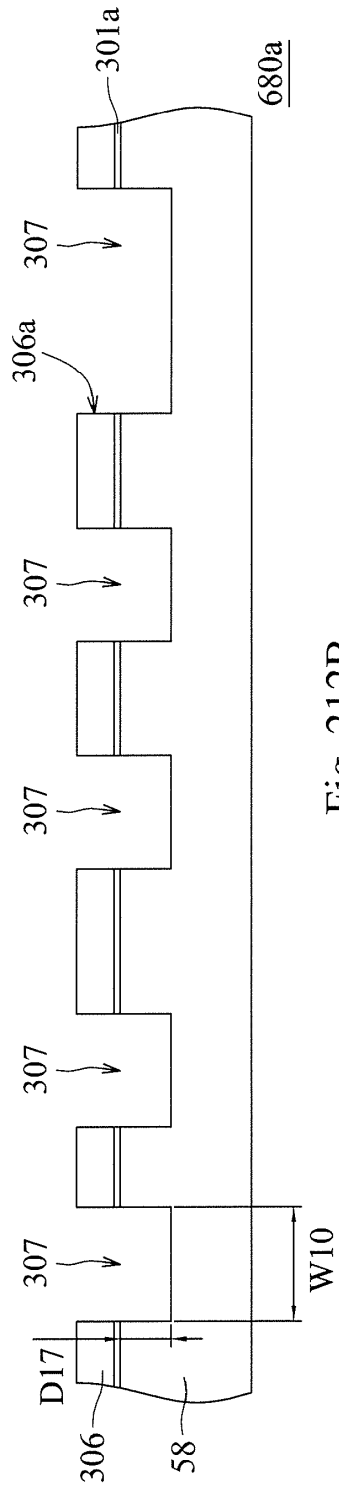
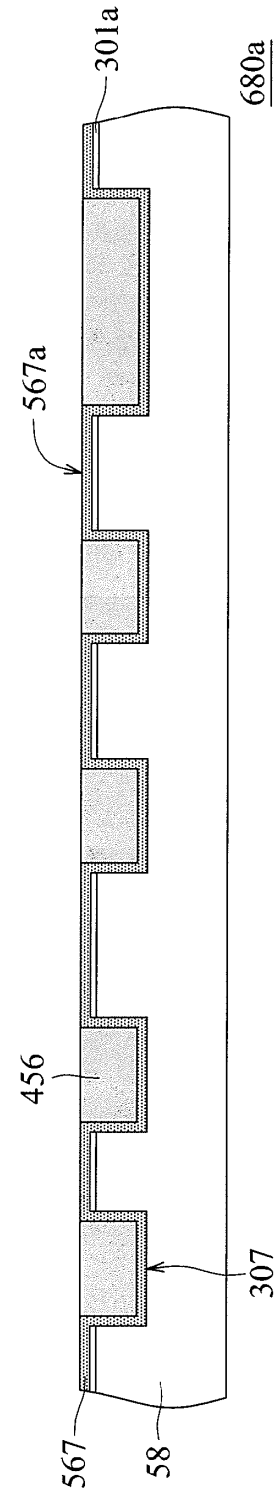
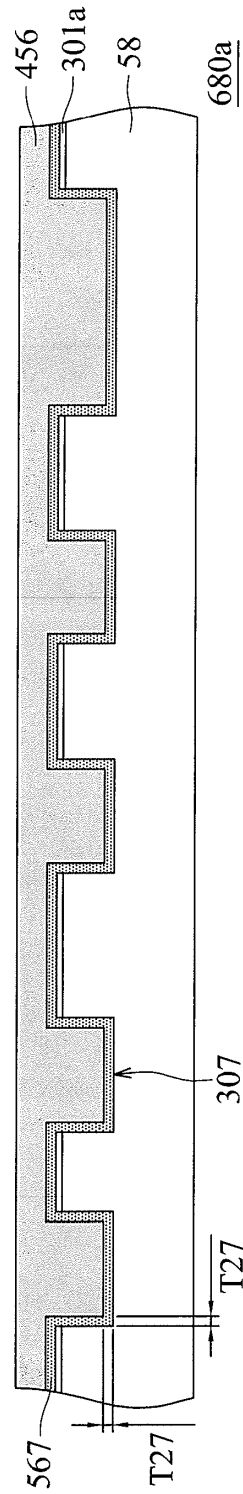
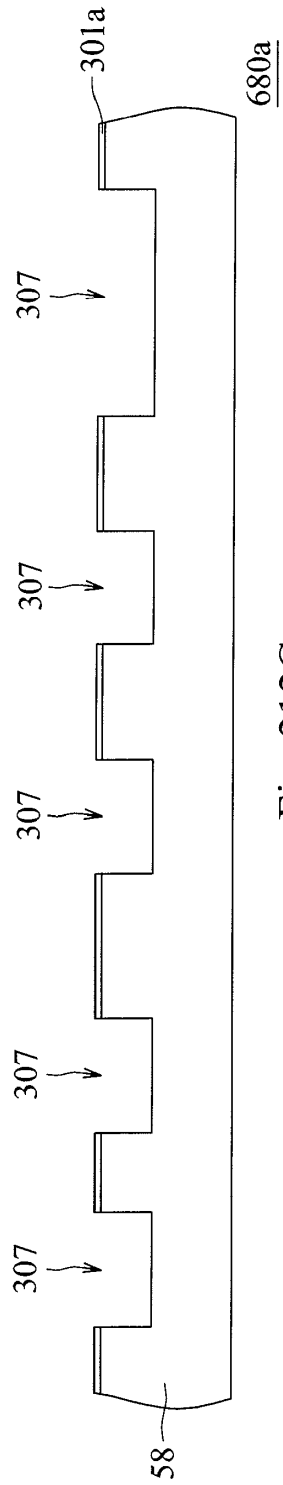


Fig. 212B



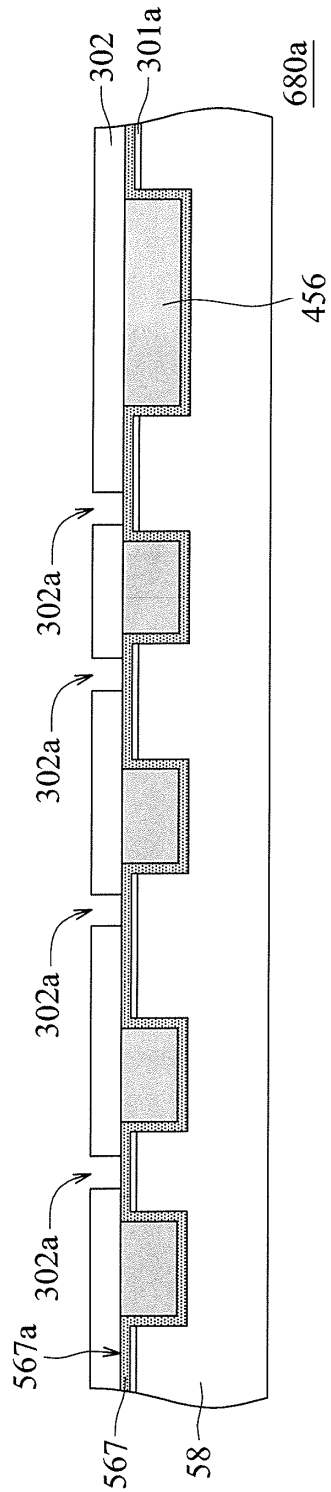


Fig. 212F

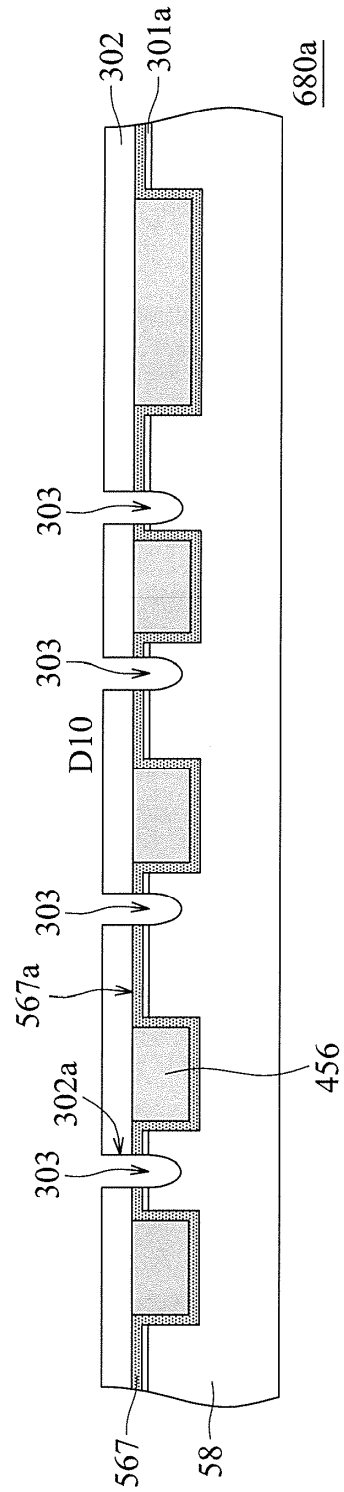


Fig. 212G

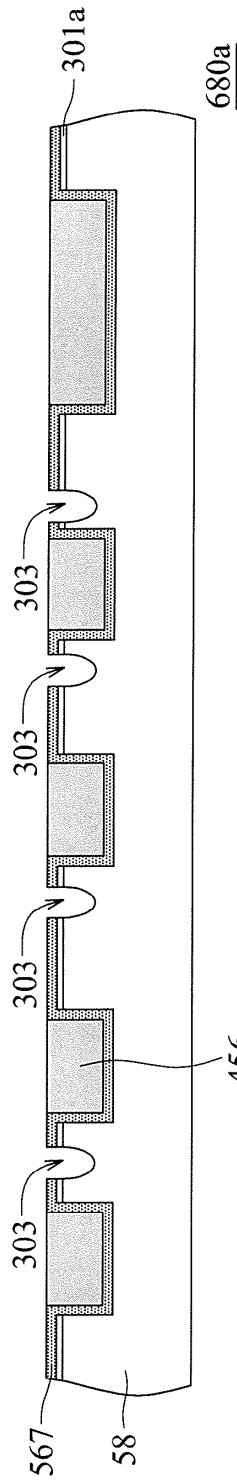


Fig. 212H

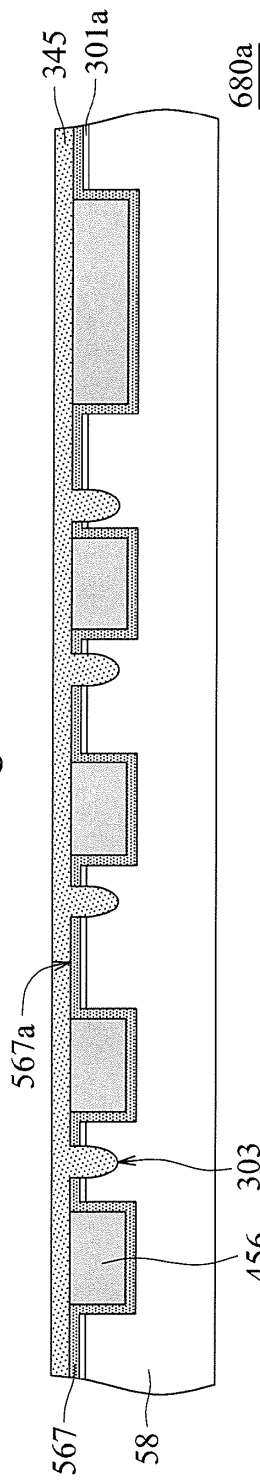


Fig. 212I

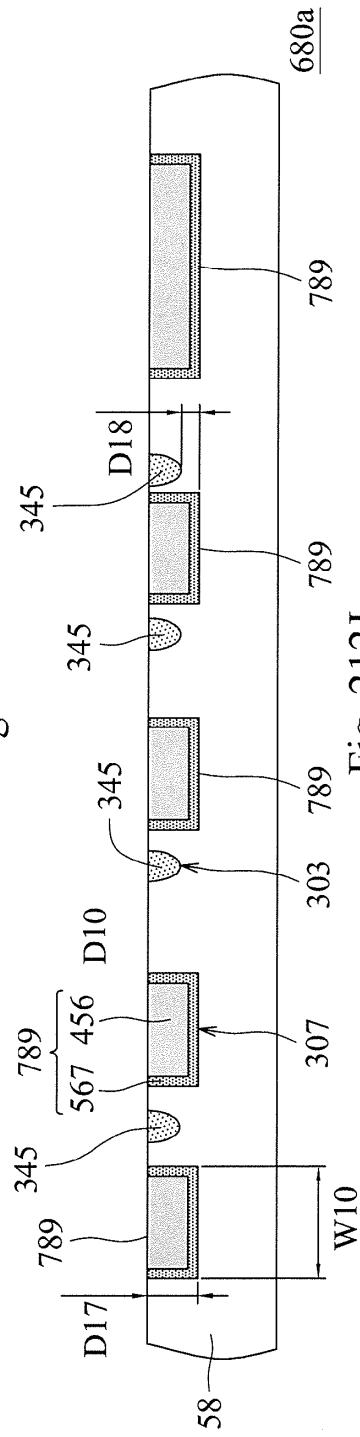


Fig. 212J

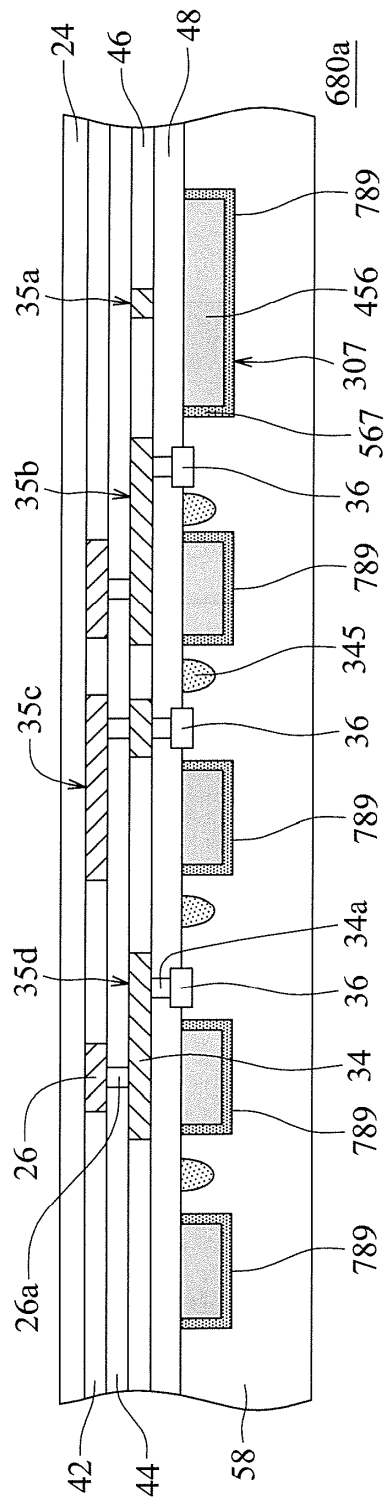


Fig. 212K

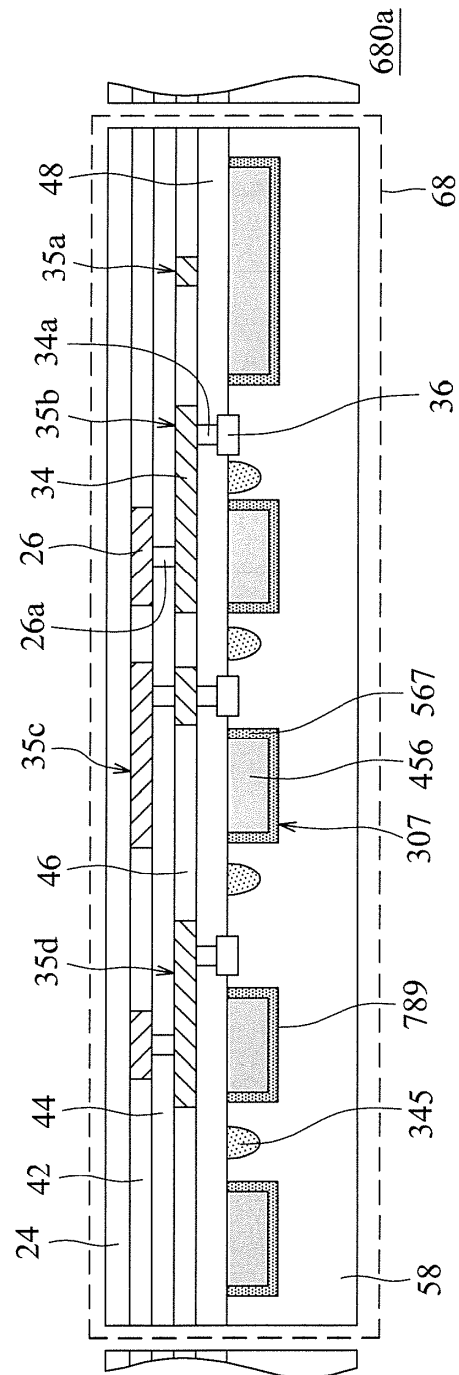


Fig. 212L

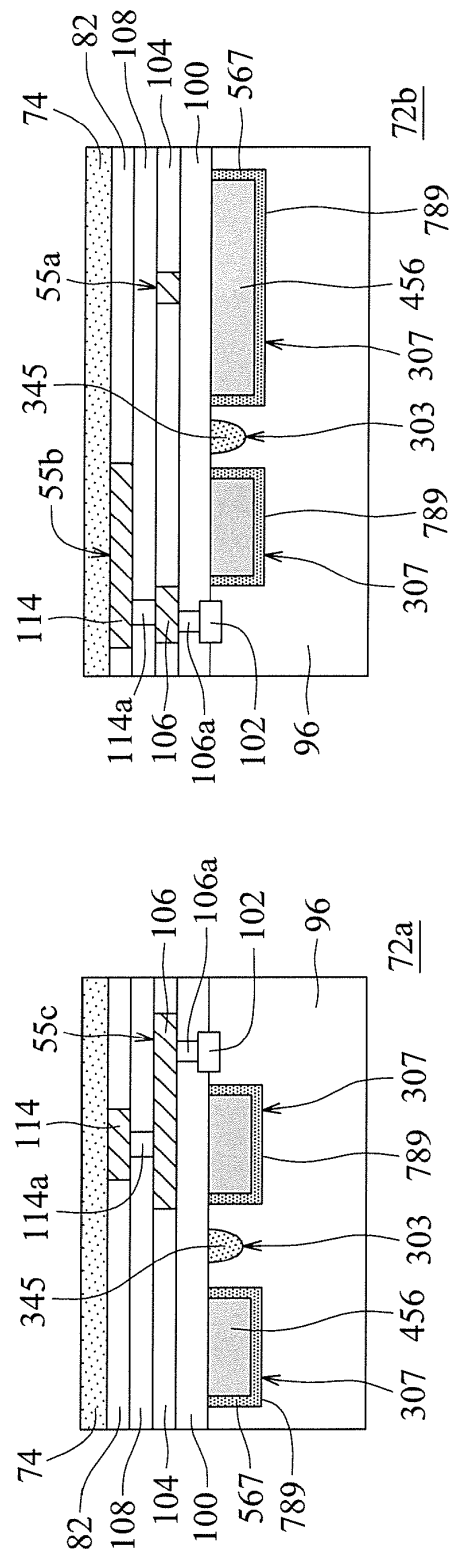


Fig. 212M

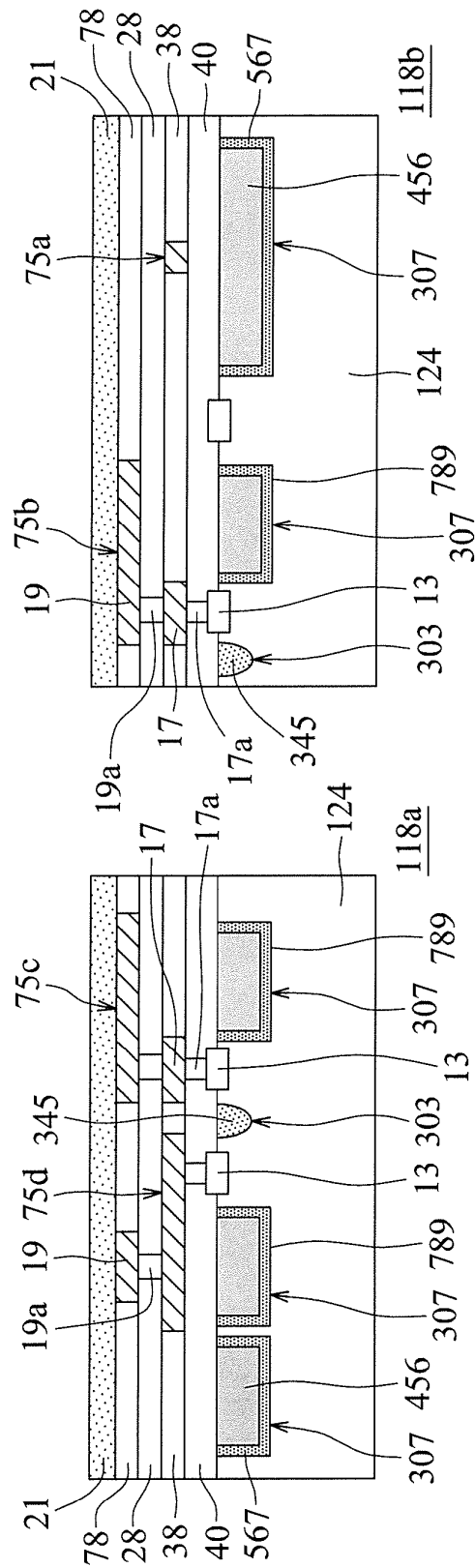


Fig. 212N

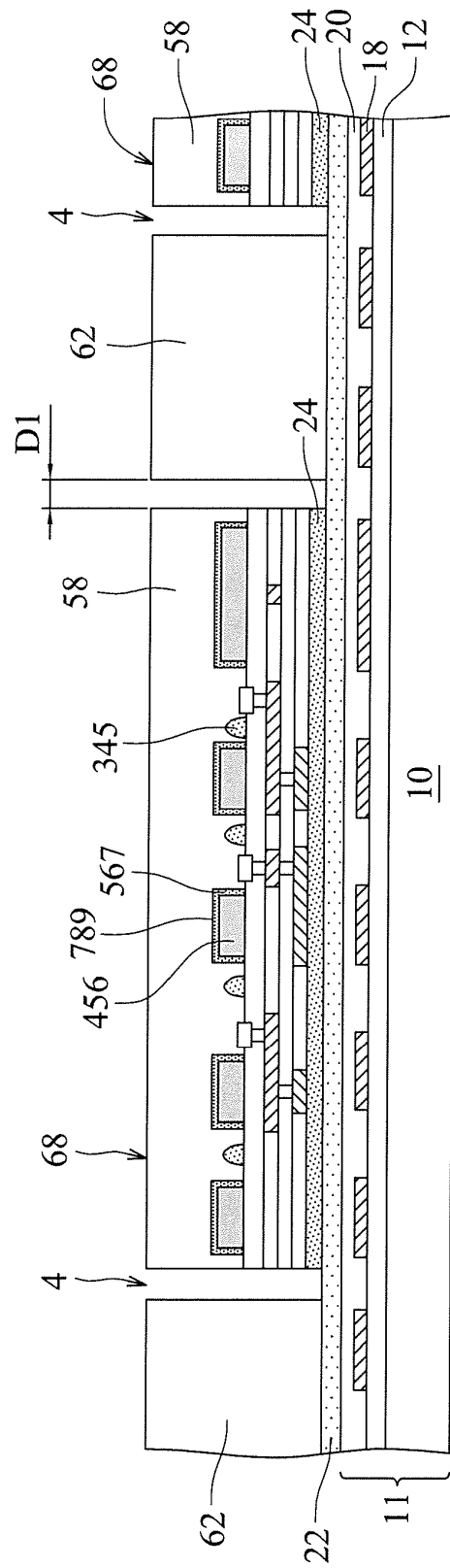


Fig. 213

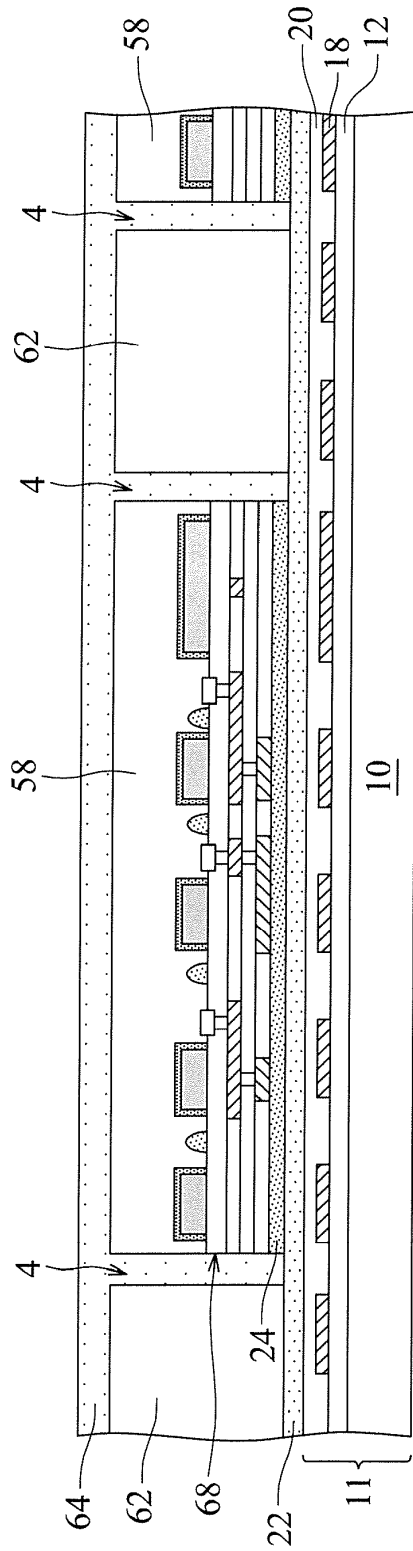


Fig. 214

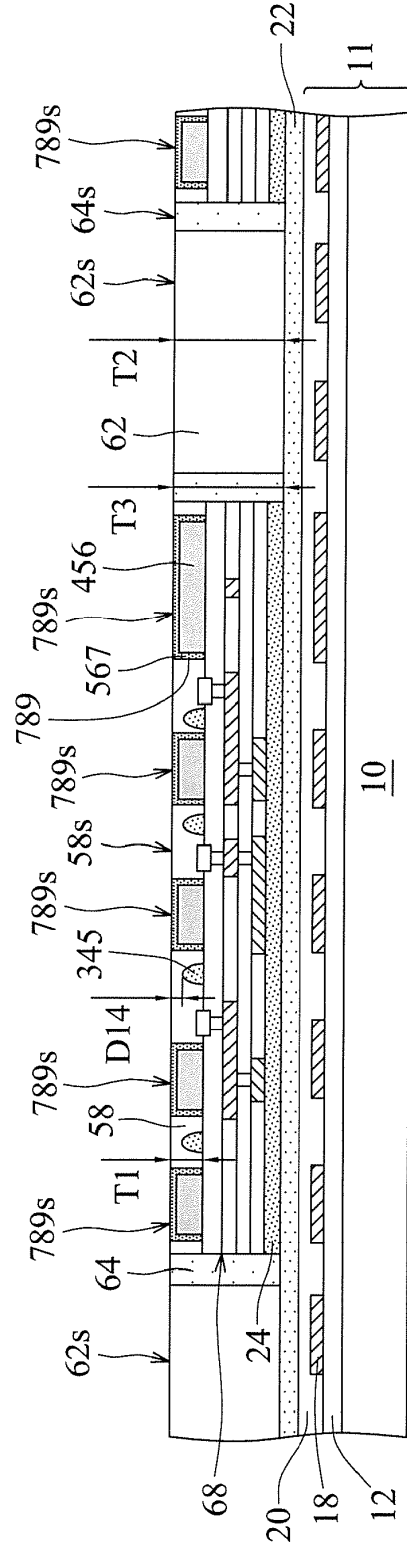


Fig. 215

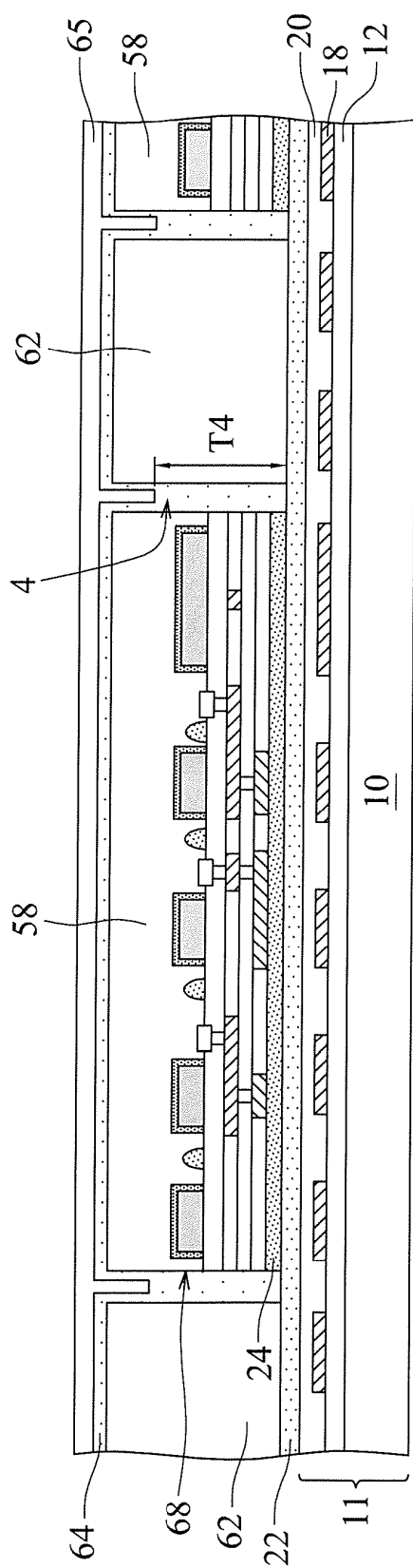


Fig. 216

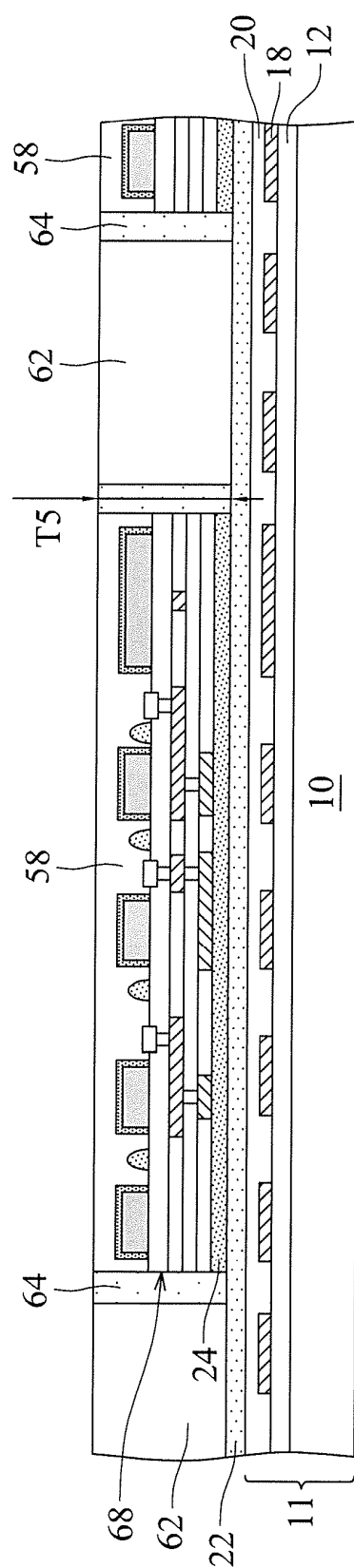


Fig. 217

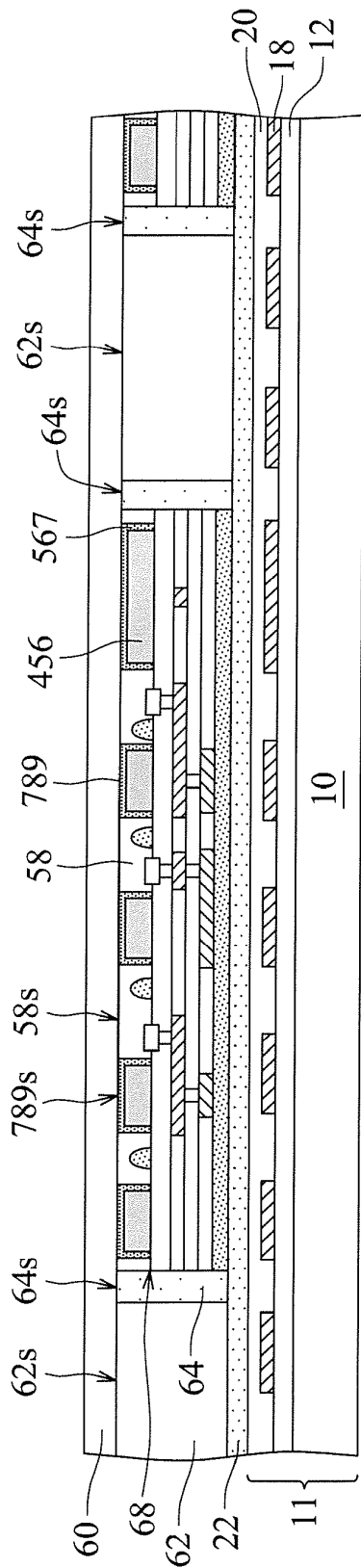


Fig. 218

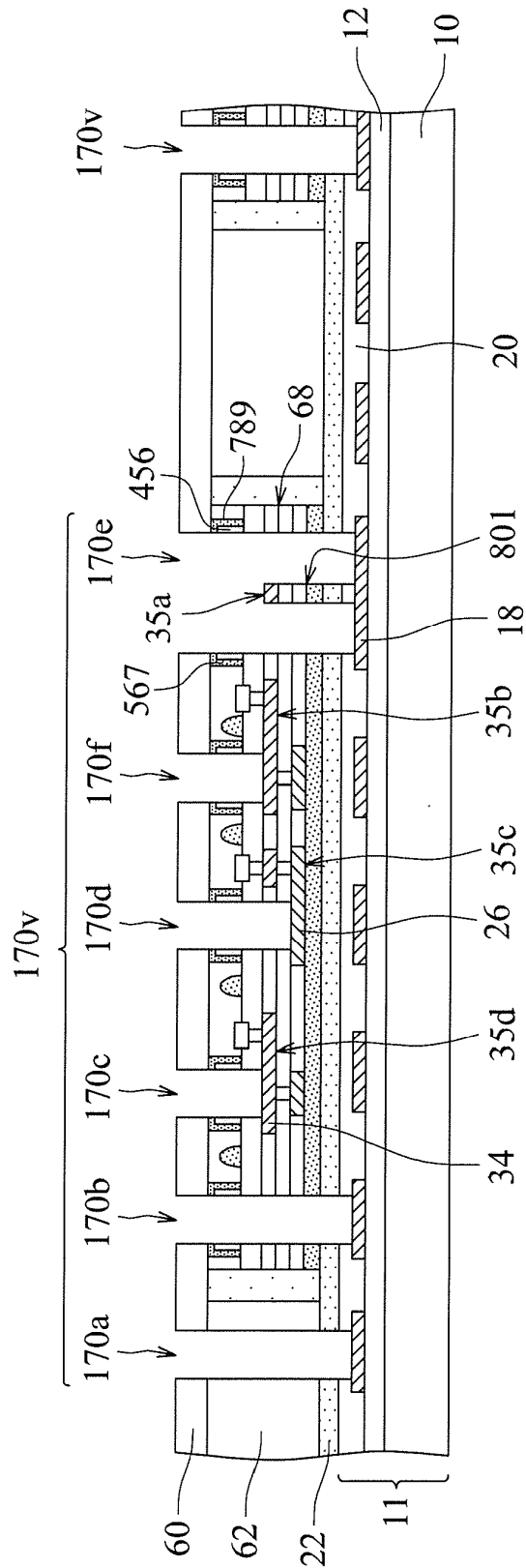


Fig. 219

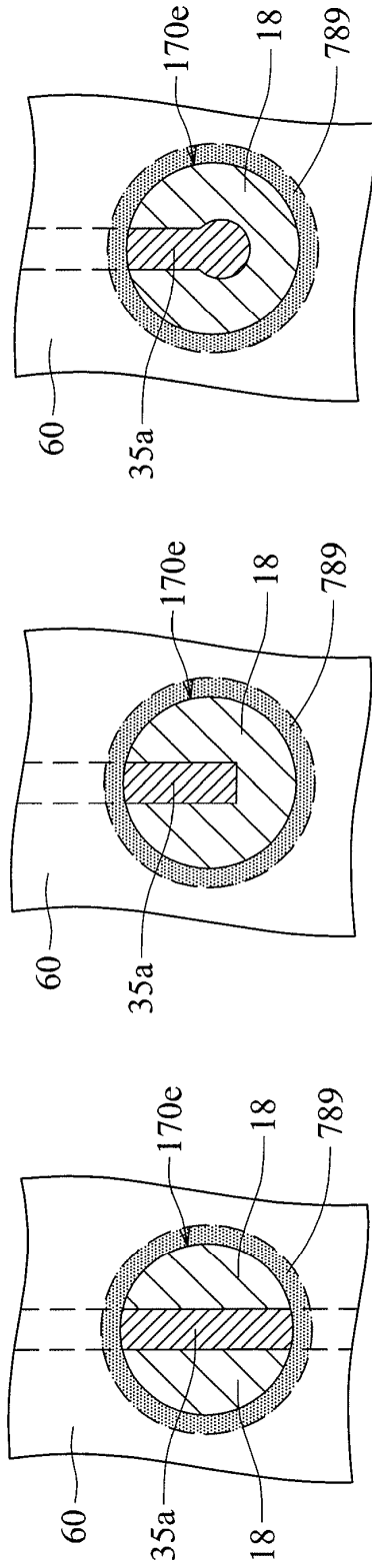


Fig. 222

Fig. 221

Fig. 220

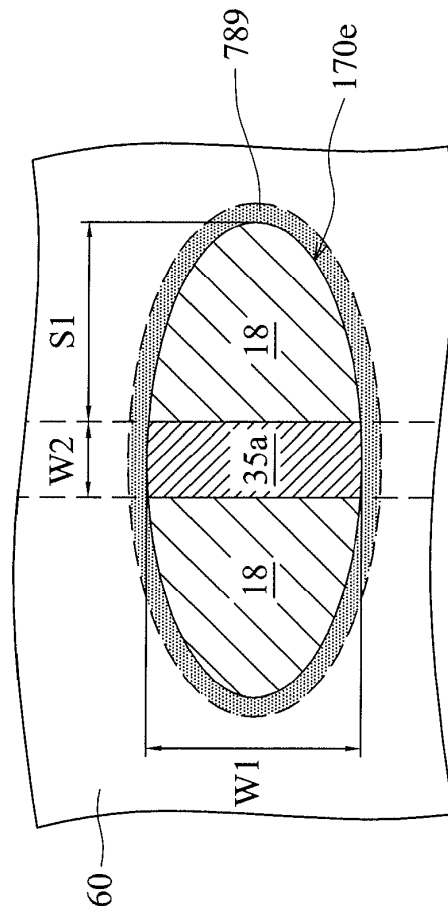


Fig. 223

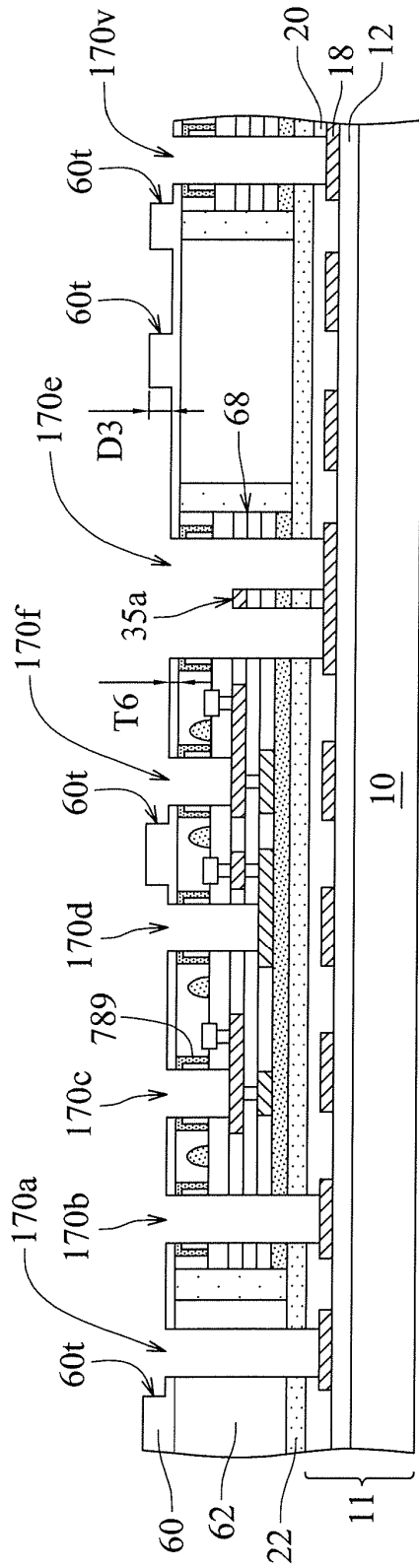


Fig. 224

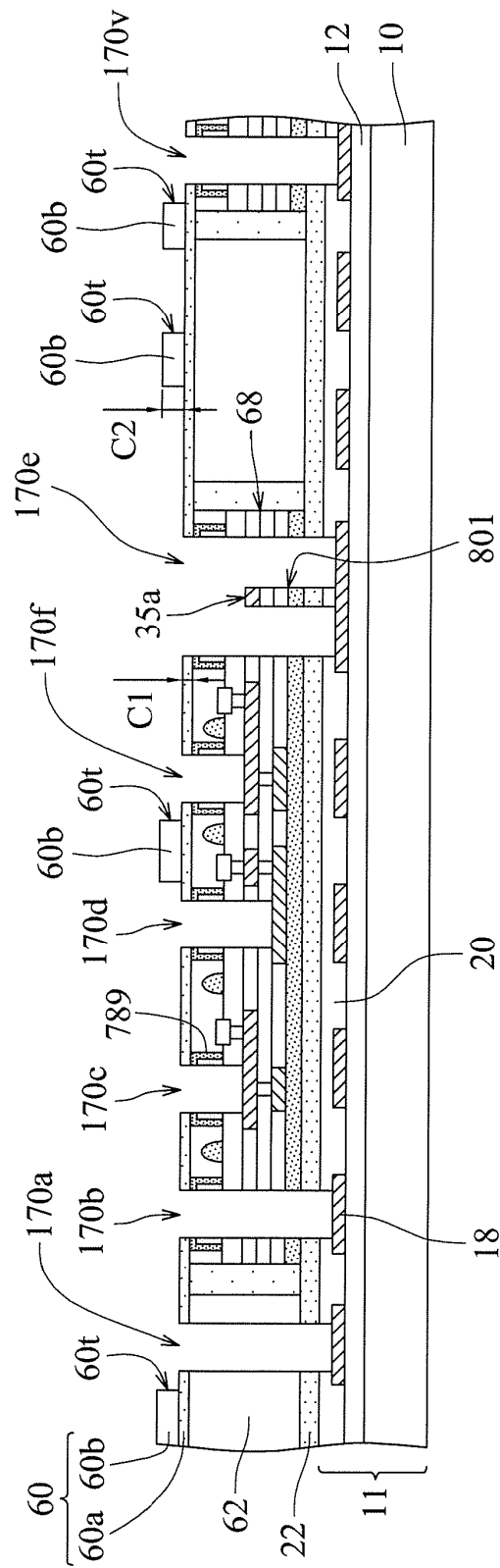


Fig. 225

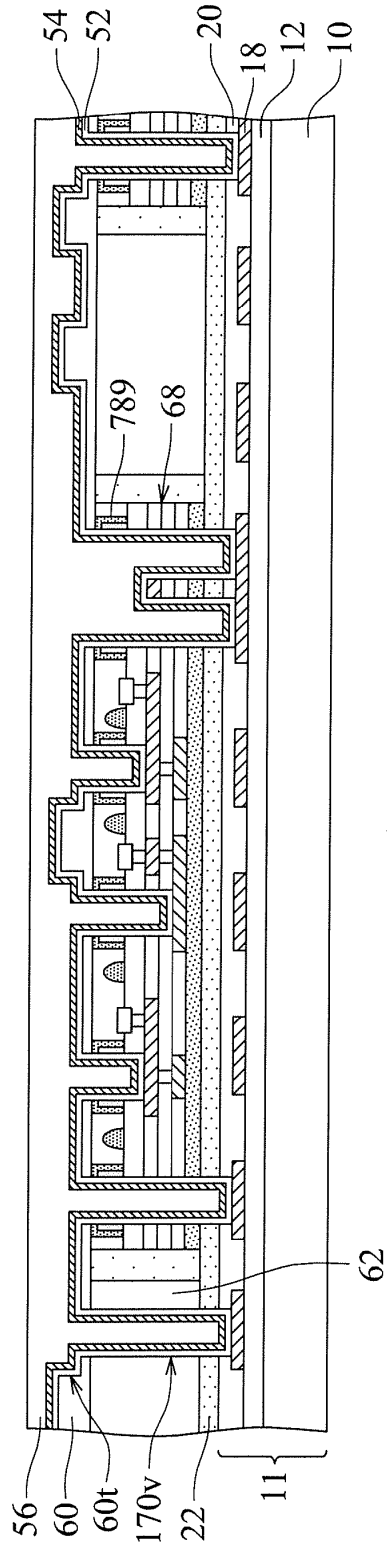


Fig. 226

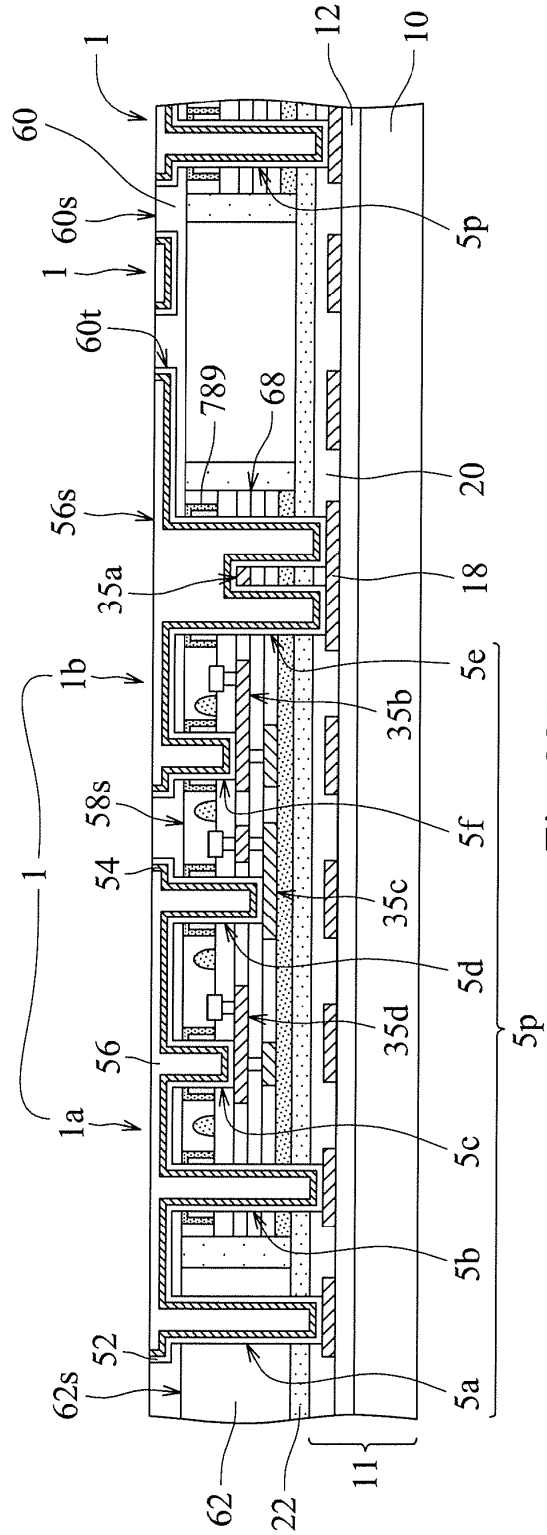


Fig. 227

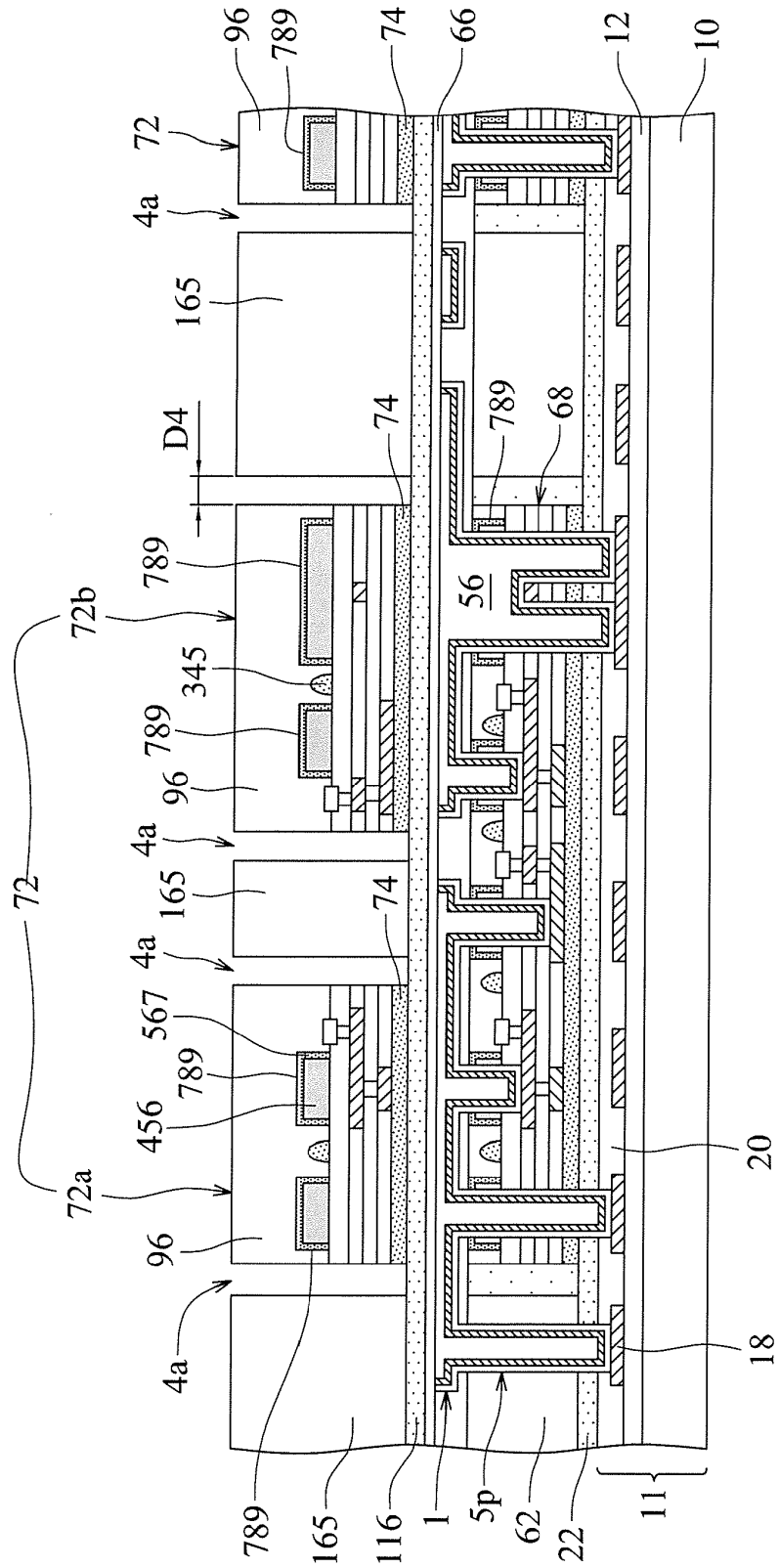


Fig. 228

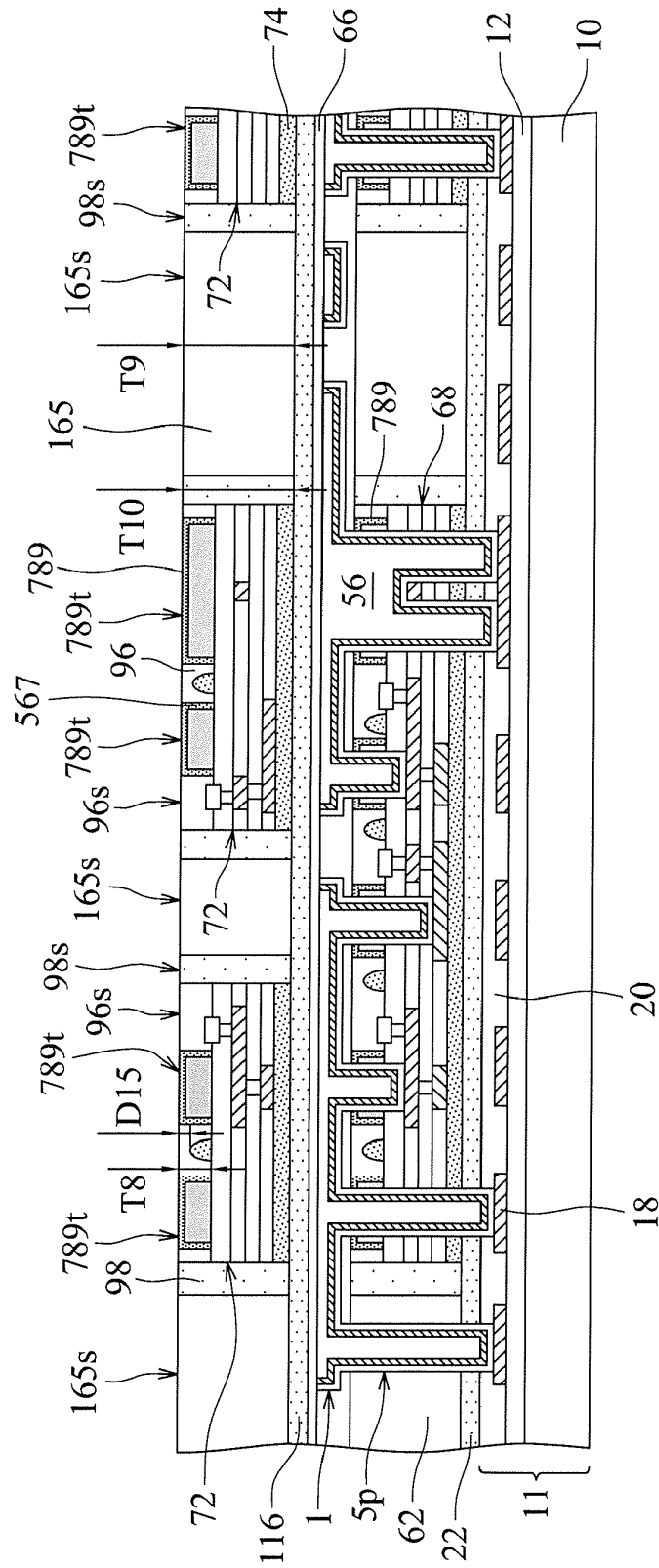


Fig. 229

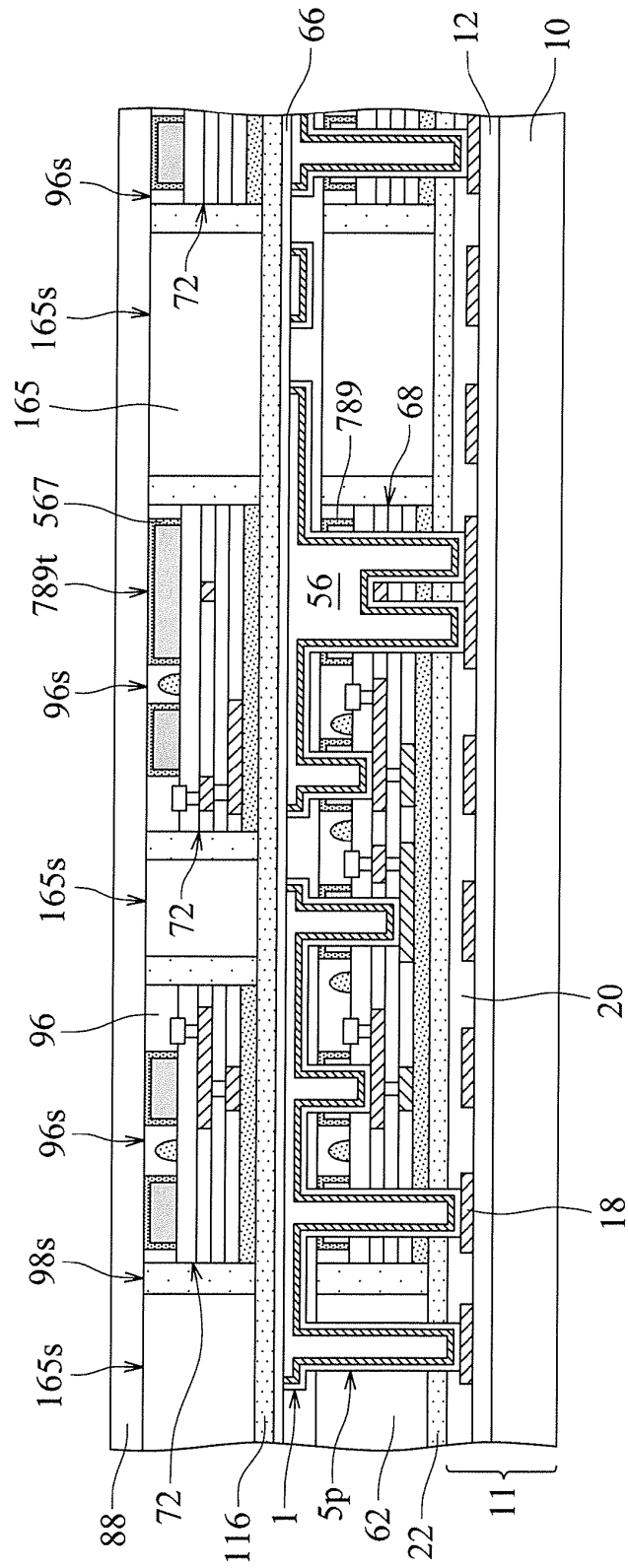


Fig. 230

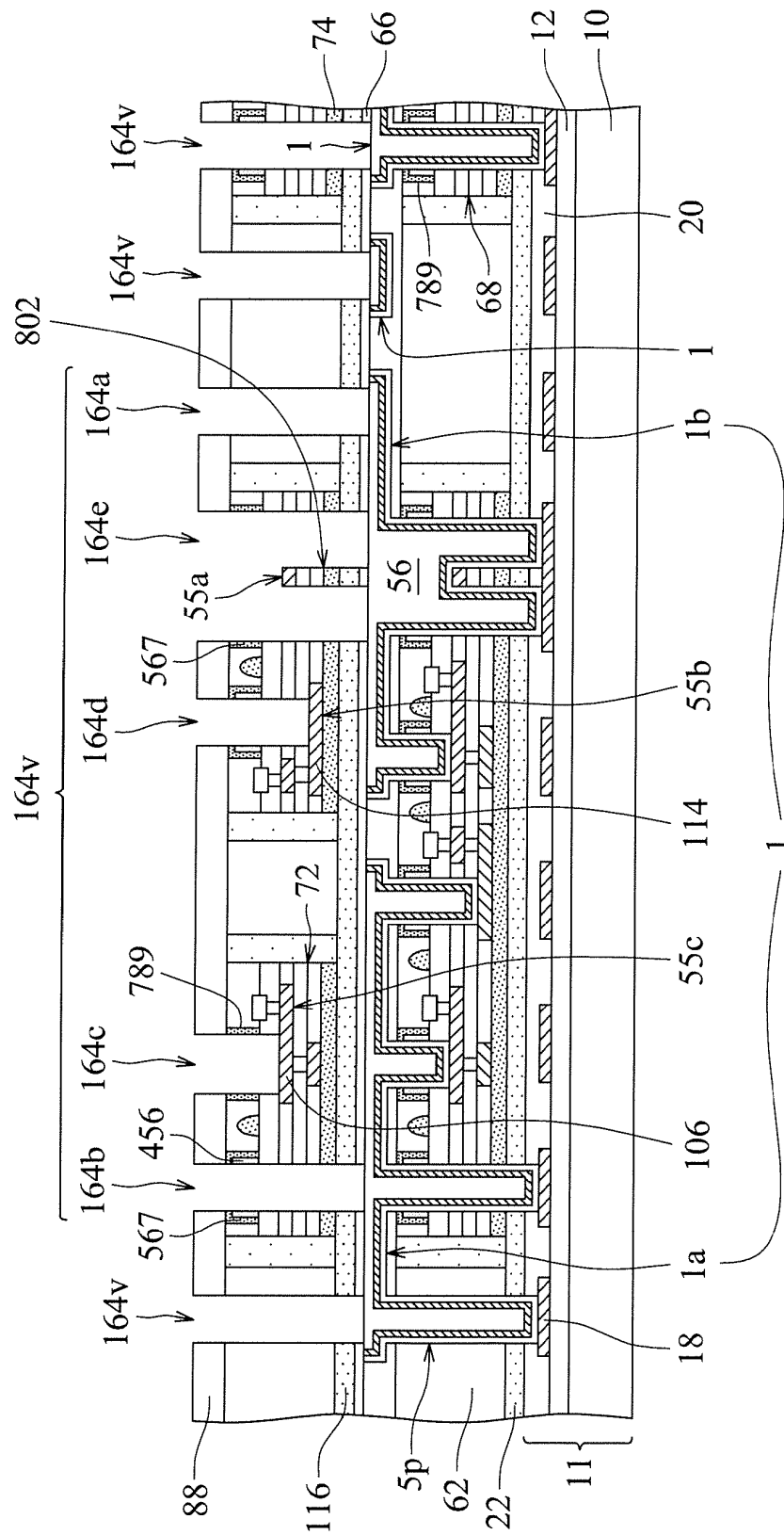


Fig. 231

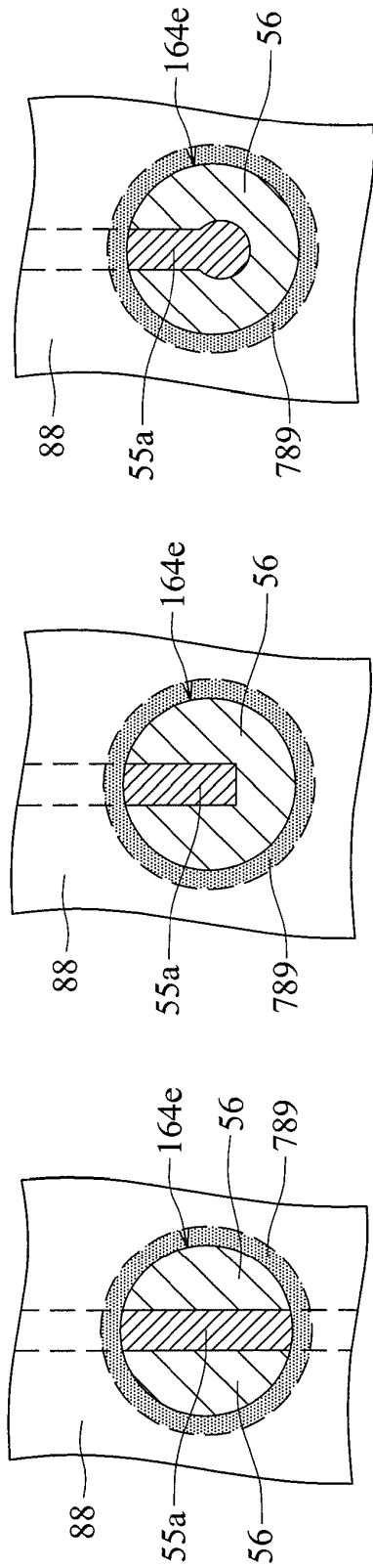


Fig. 232

Fig. 233

Fig. 234

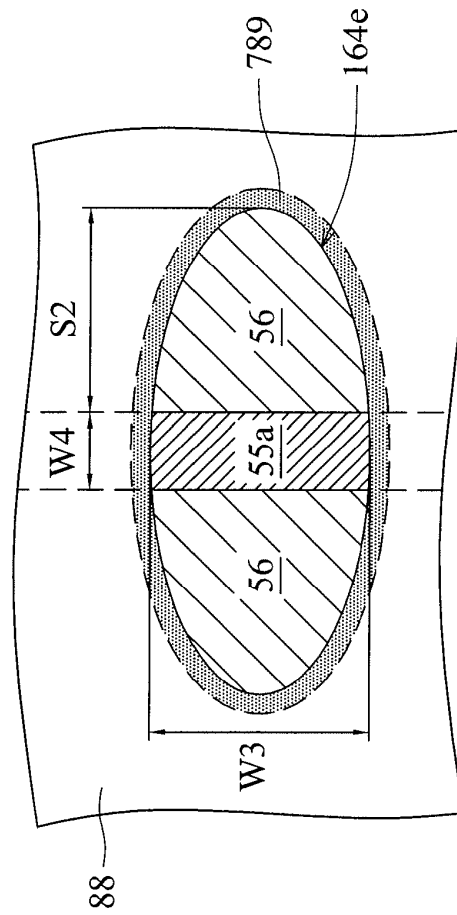


Fig. 235

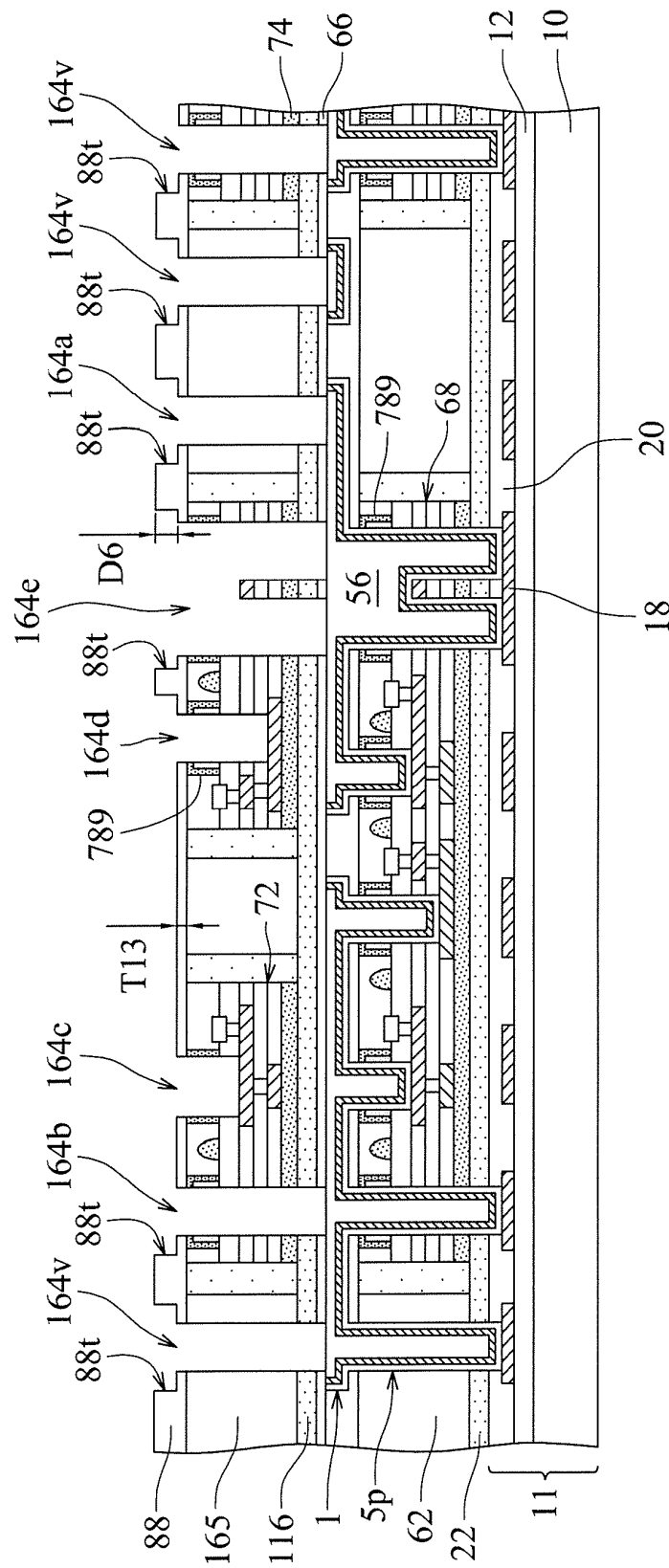


Fig. 236

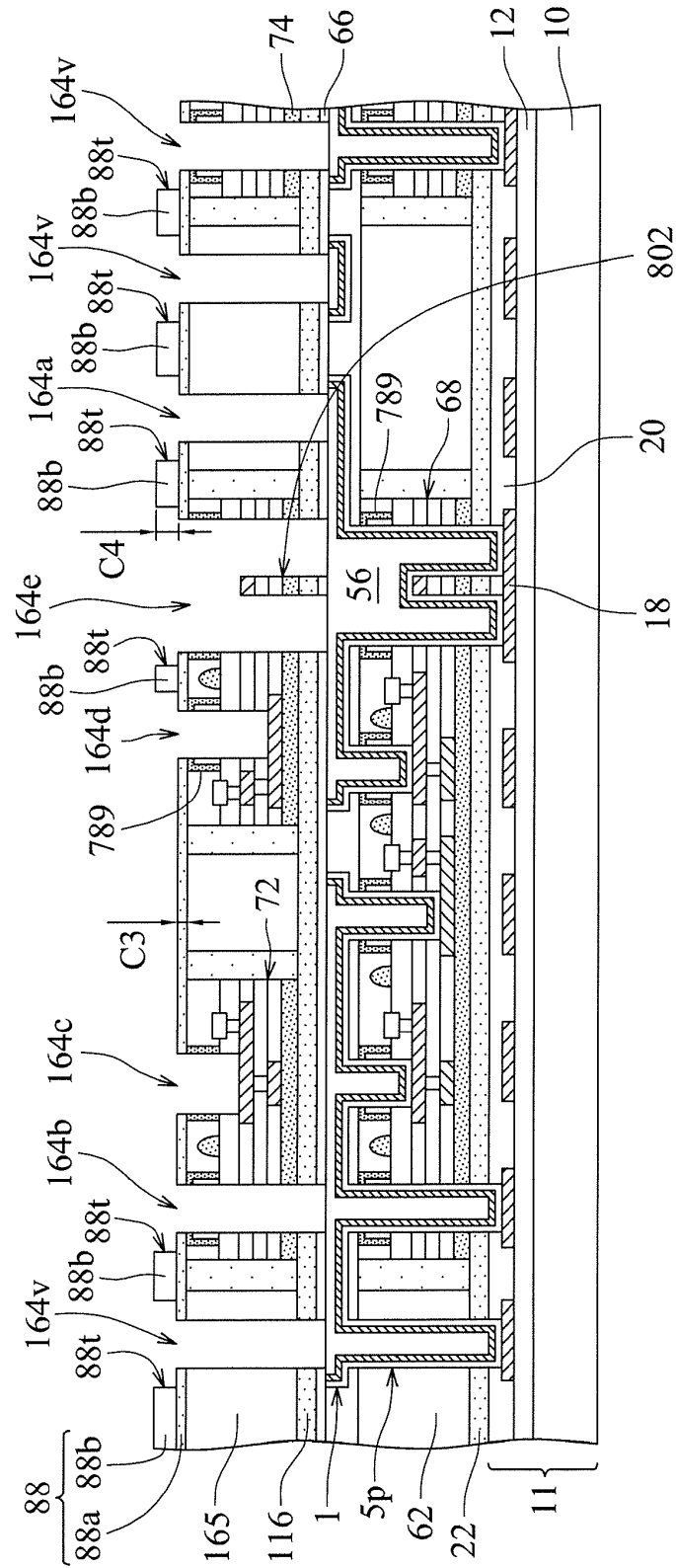


Fig. 237

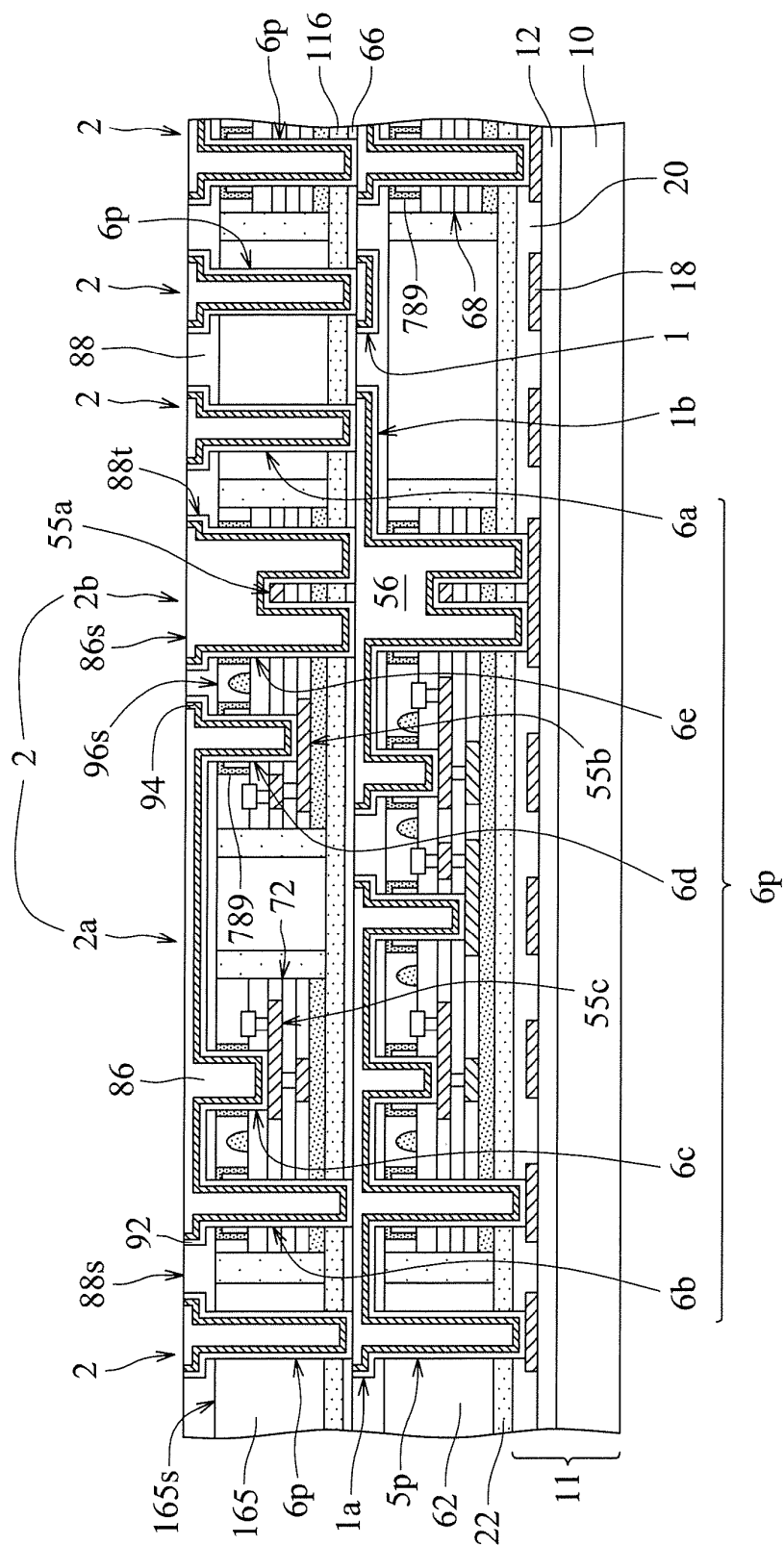


Fig. 238

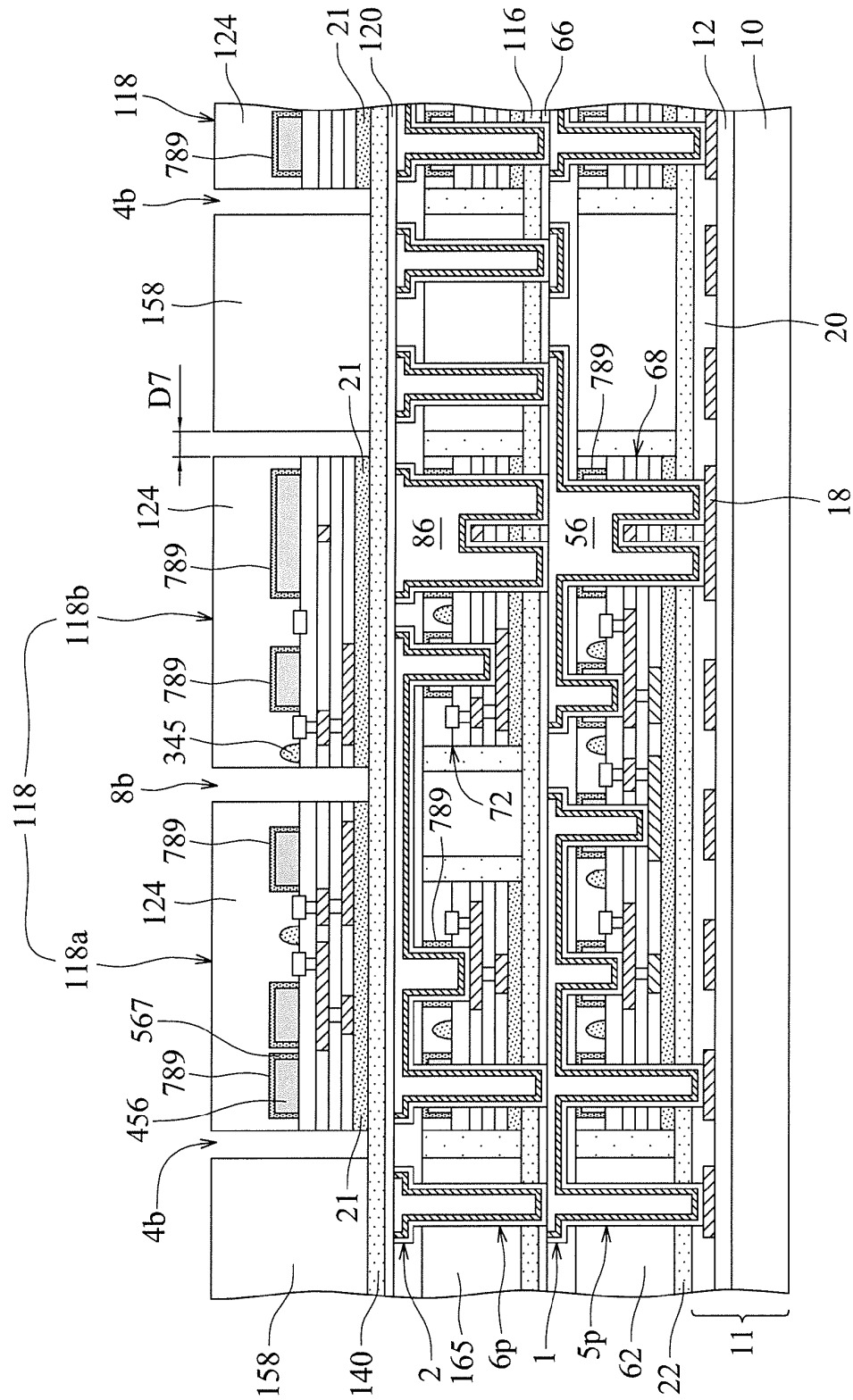


Fig. 239

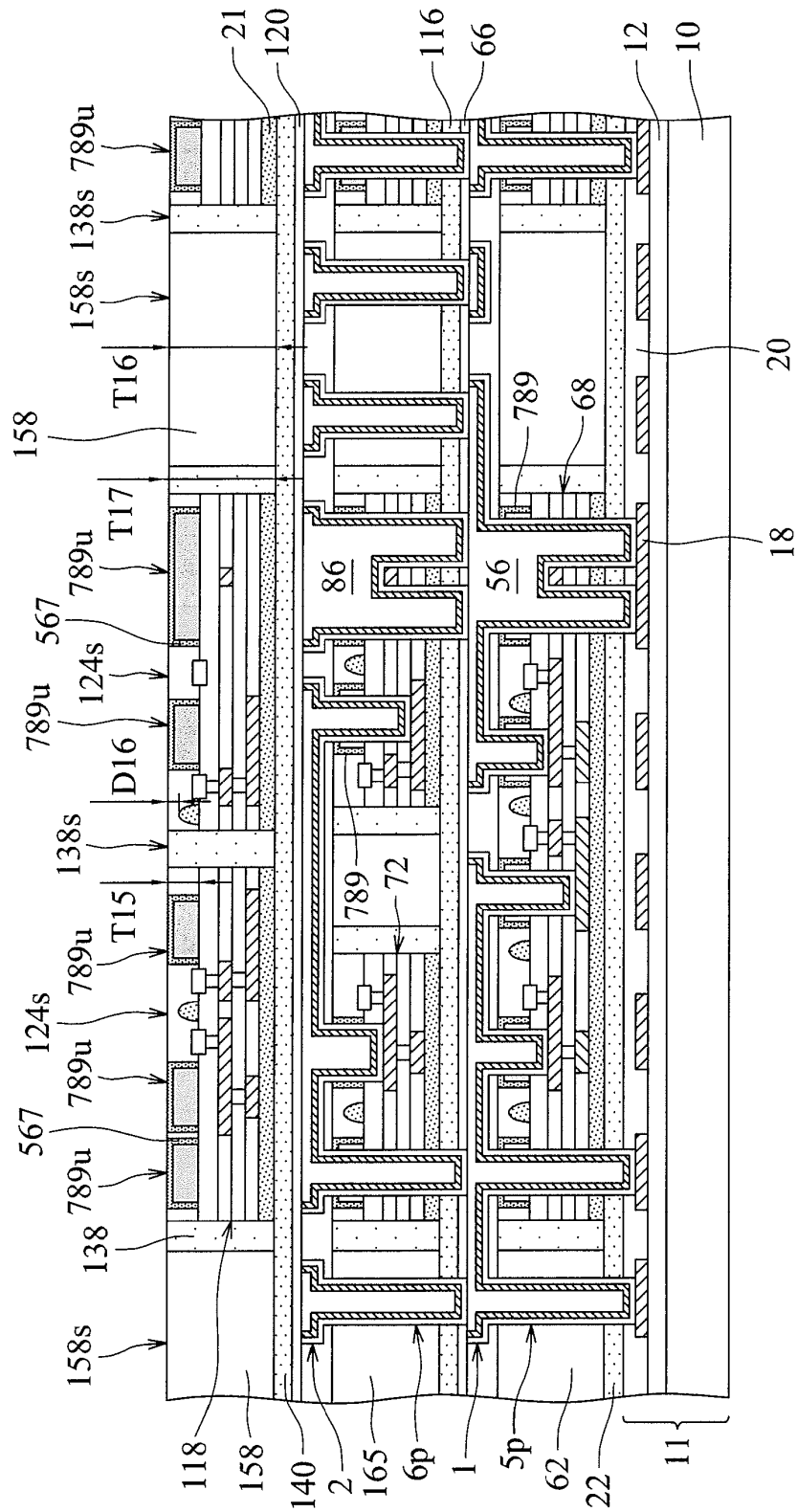


Fig. 240

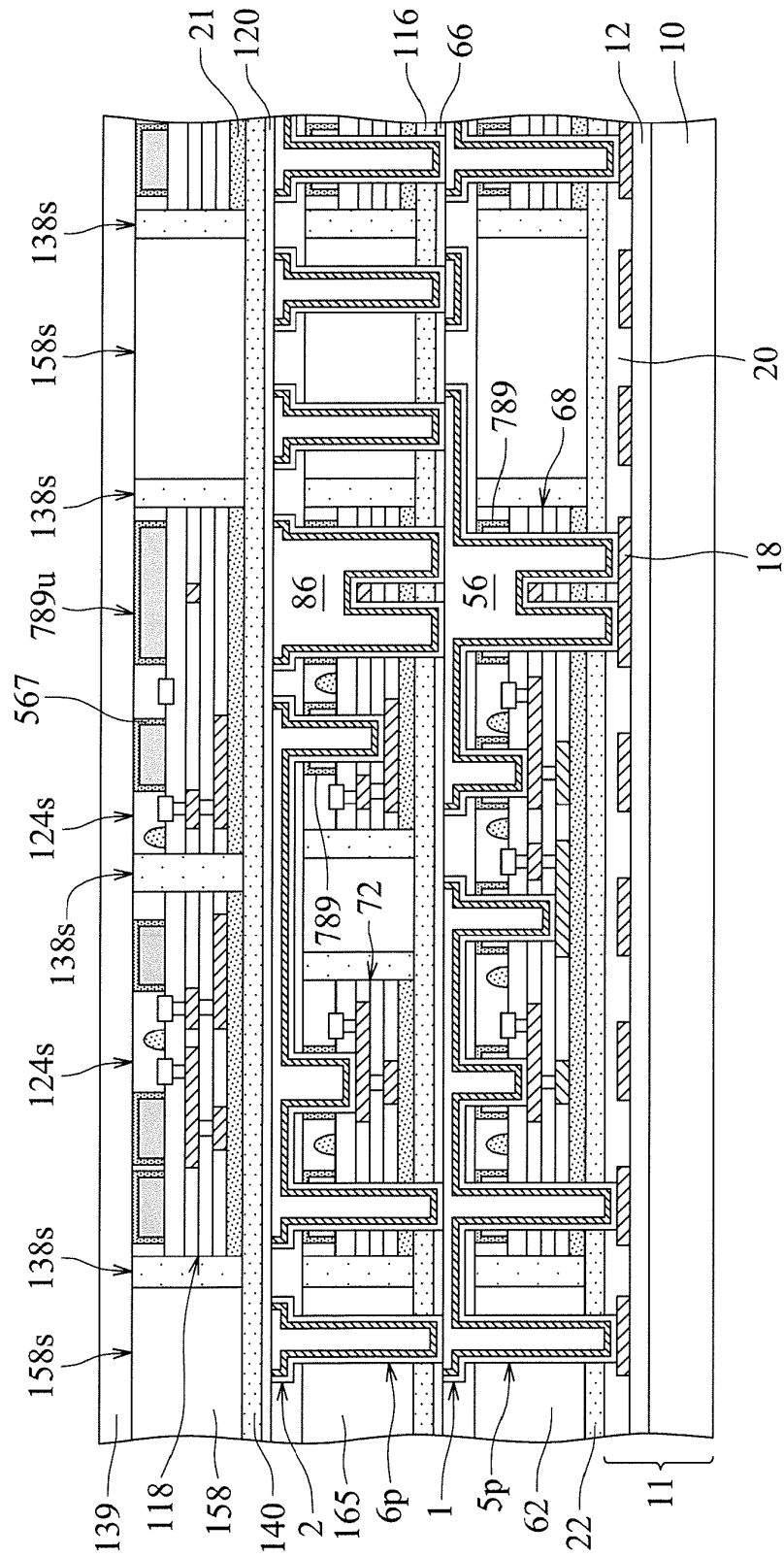


Fig. 241

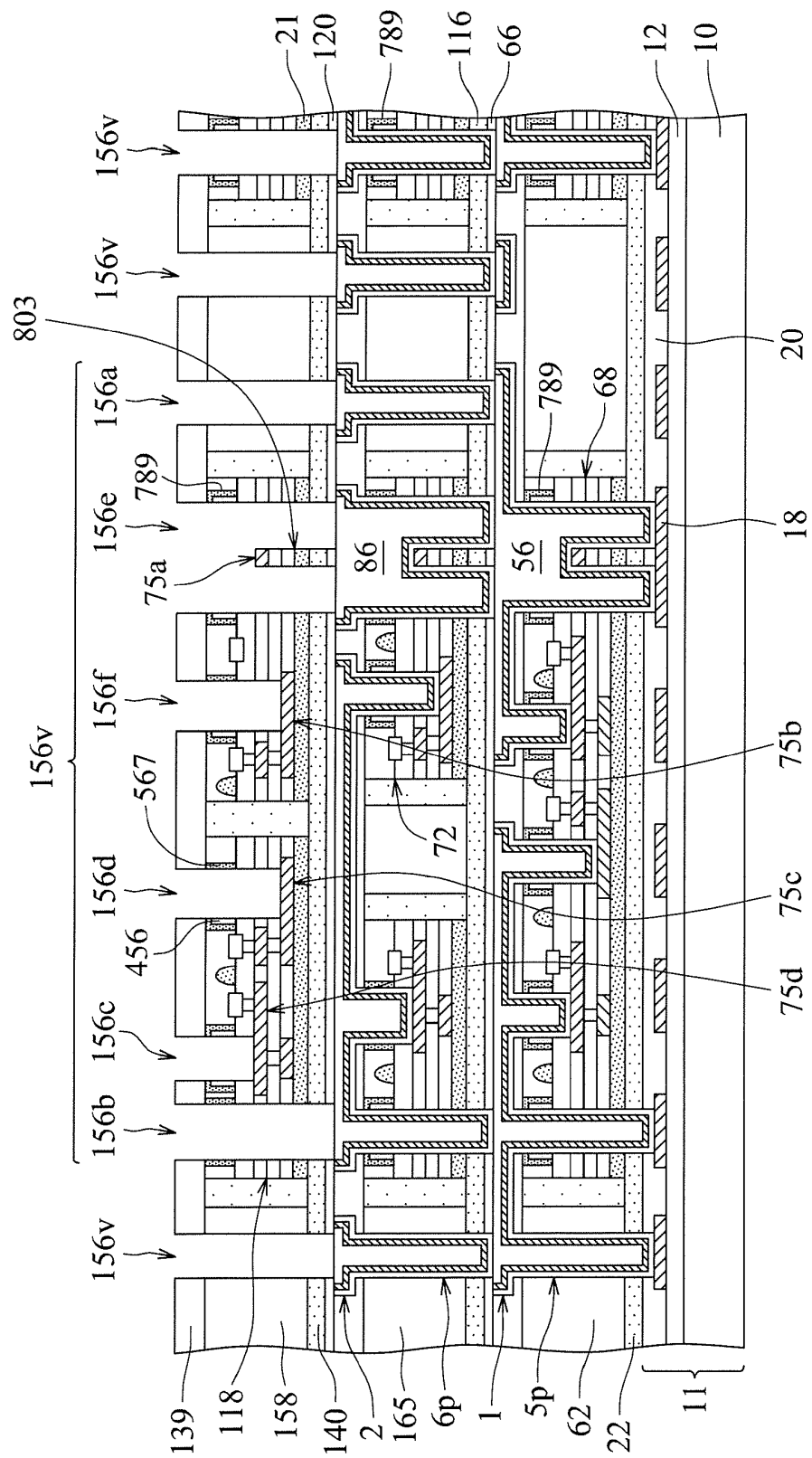


Fig. 242

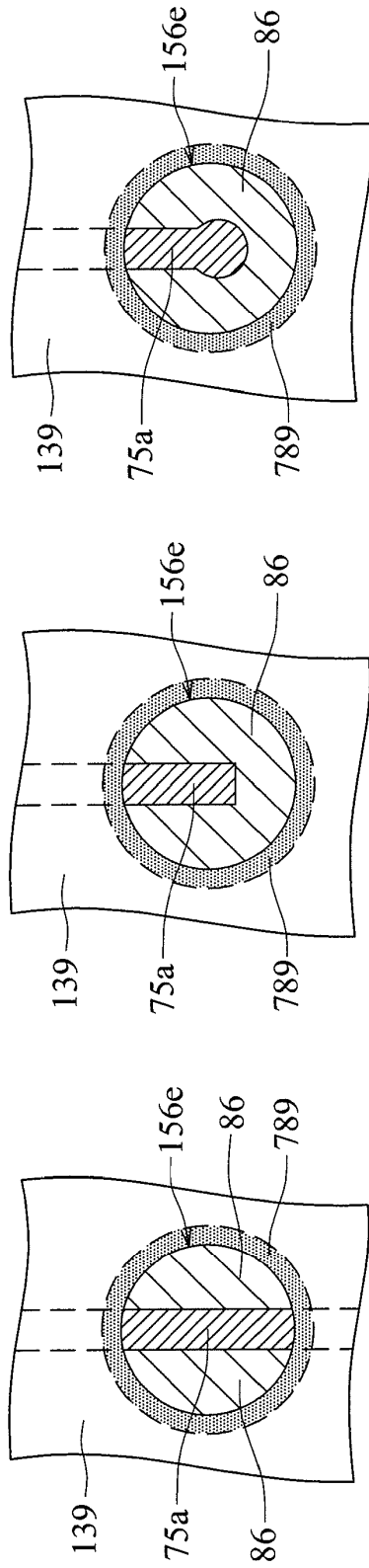


Fig. 243

Fig. 244

Fig. 245

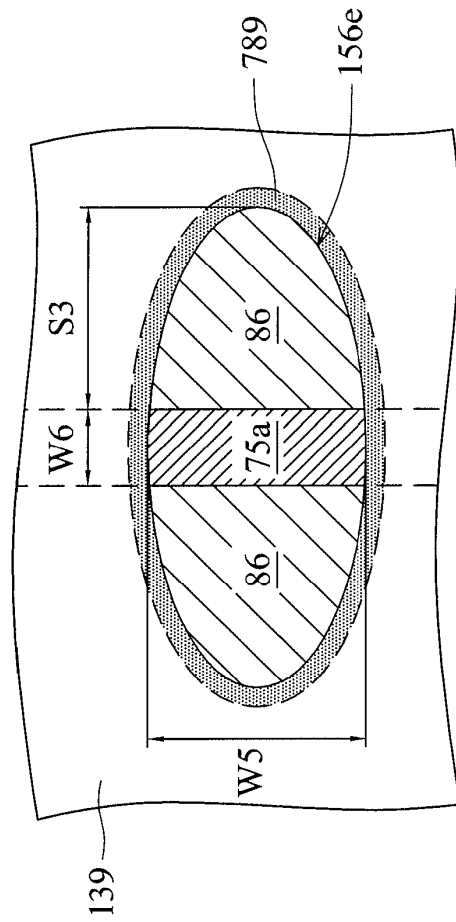


Fig. 246

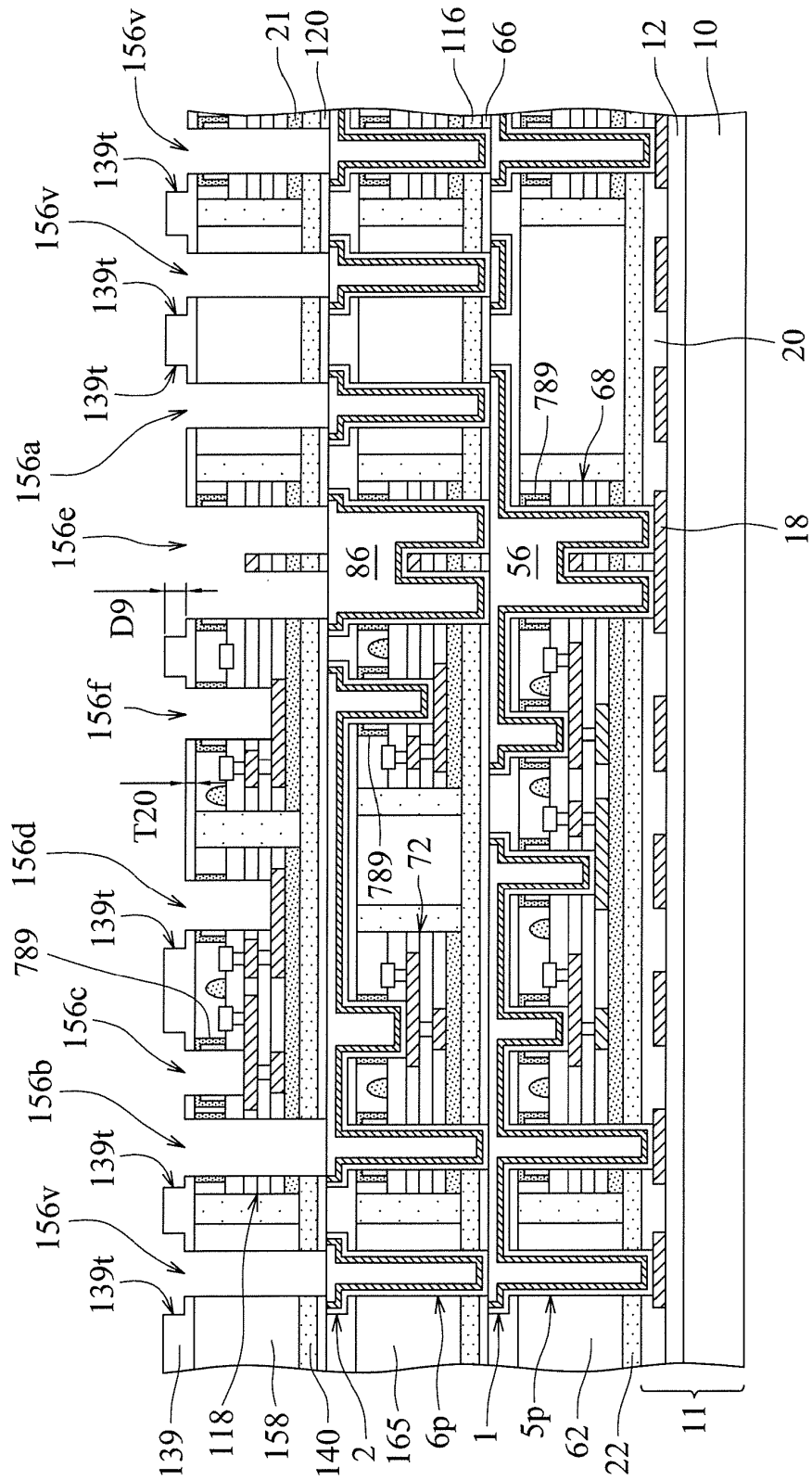


Fig. 247

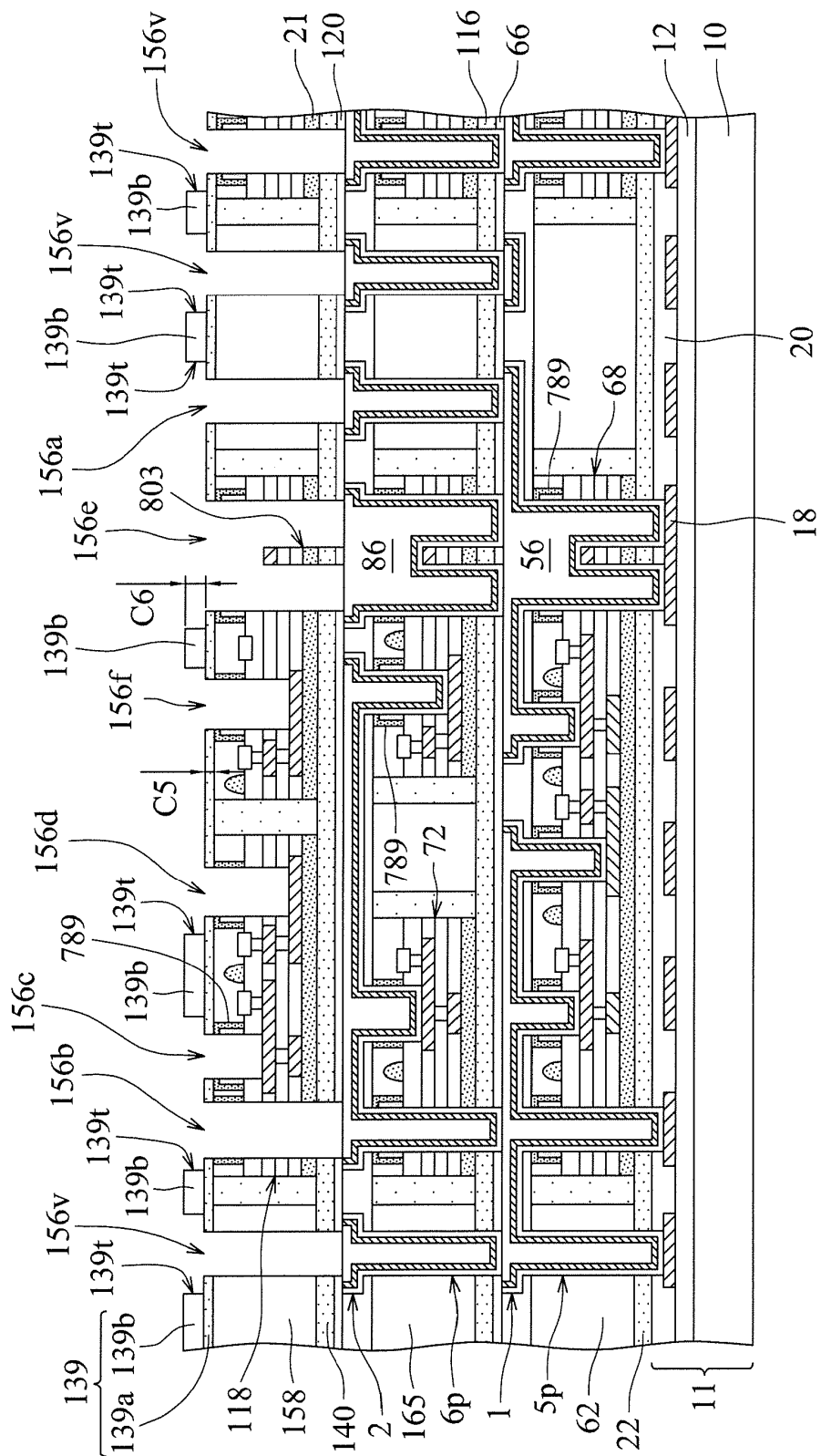


Fig. 248

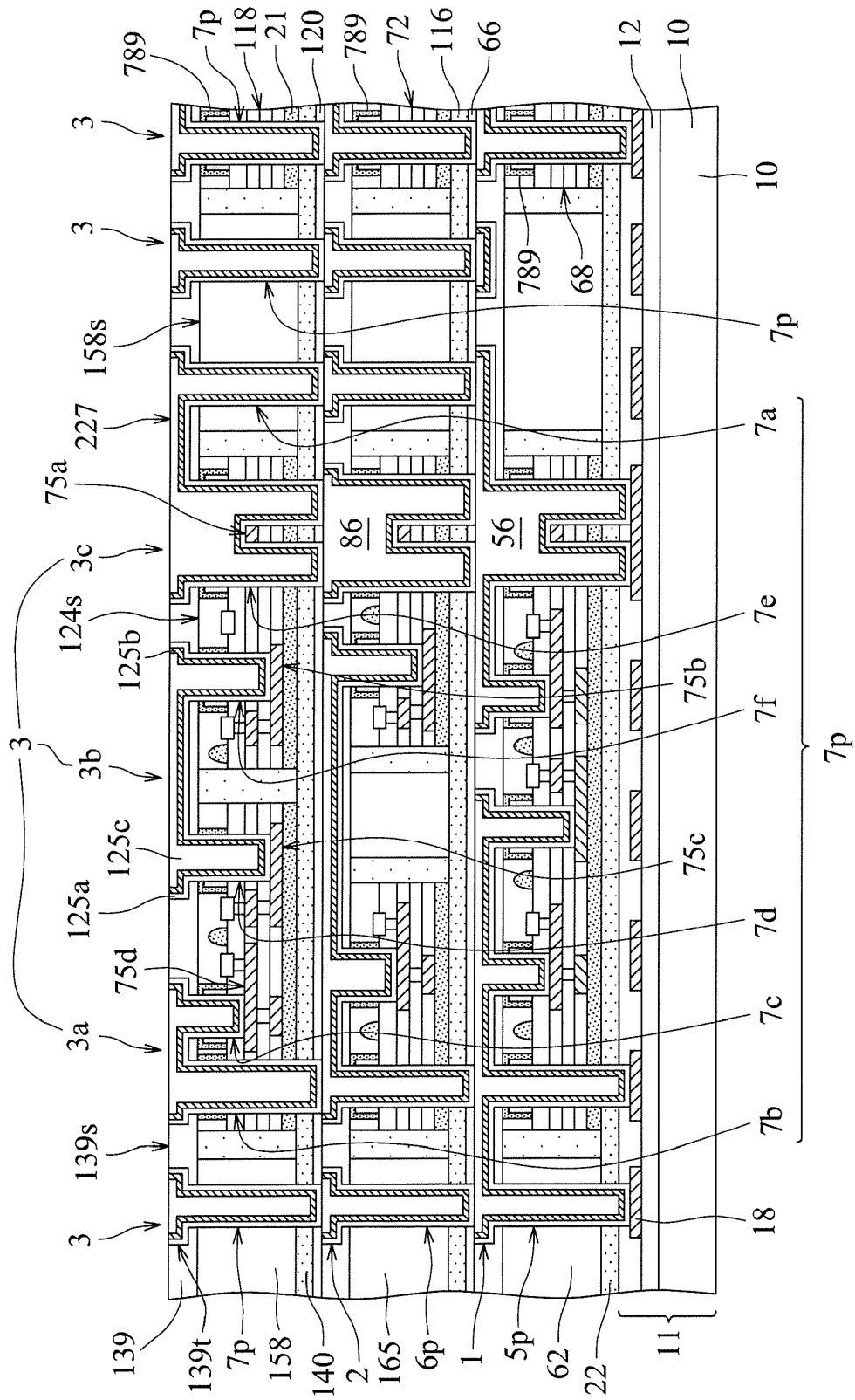


Fig. 249

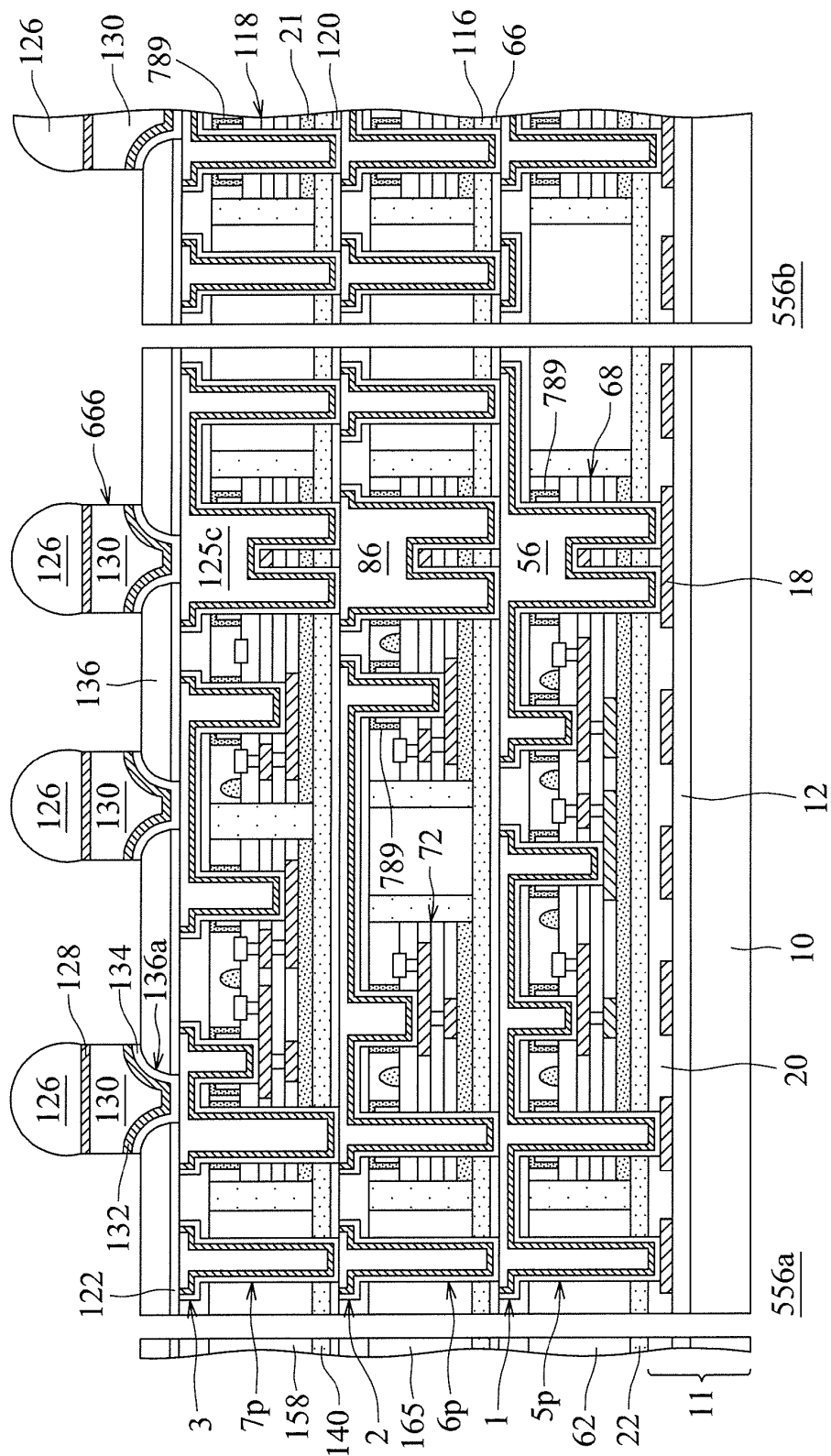


Fig. 250

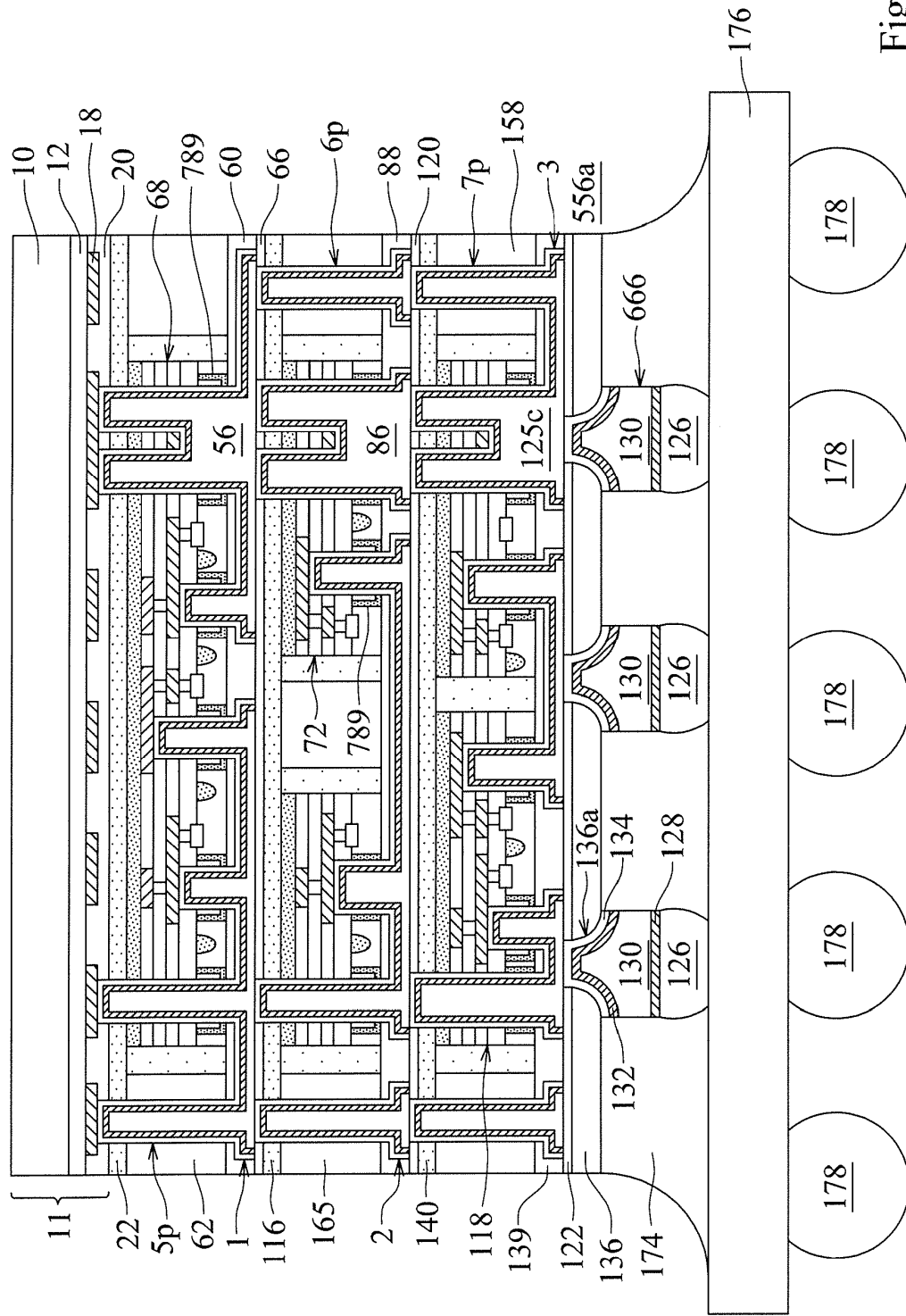


Fig. 251

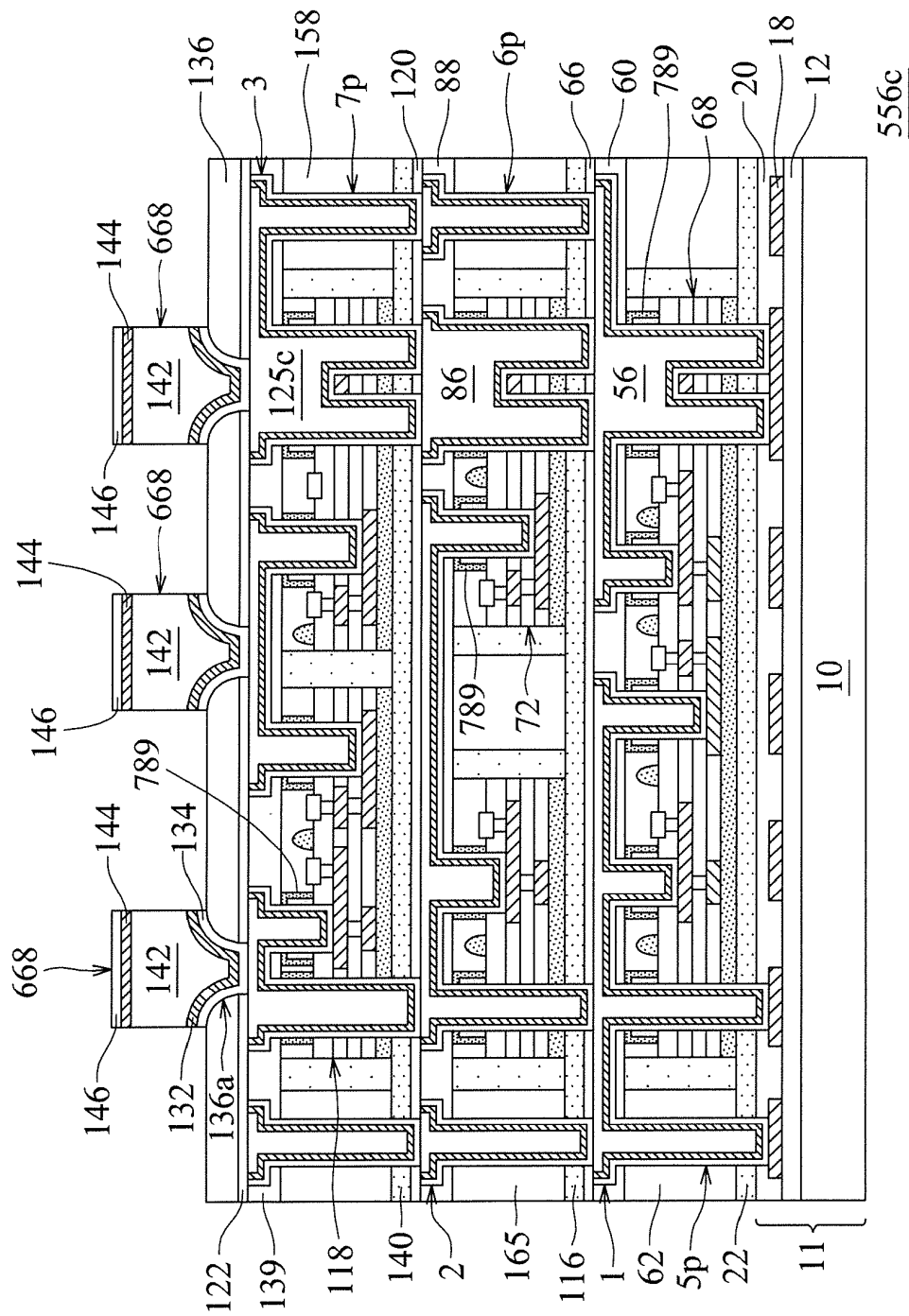


Fig. 252

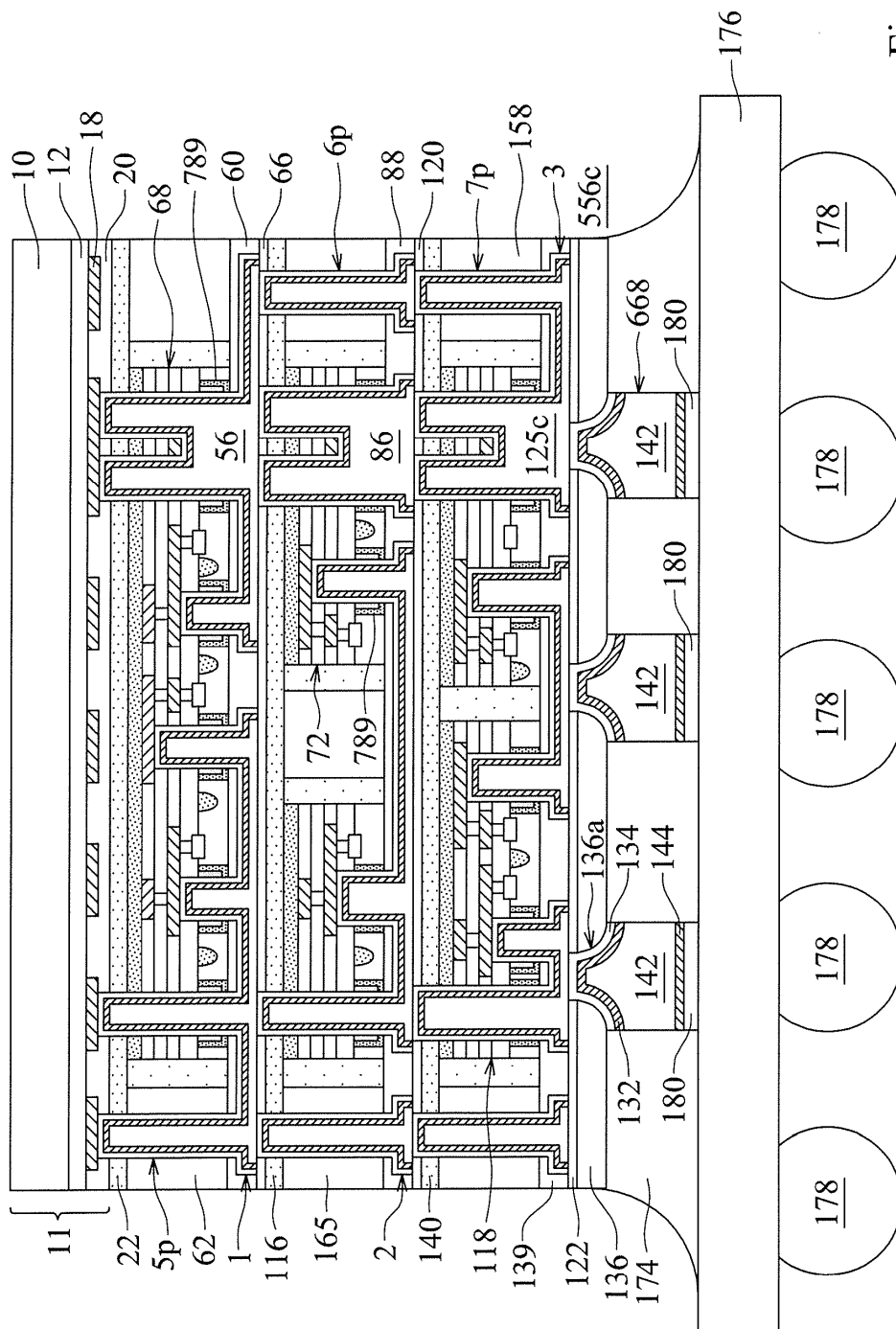
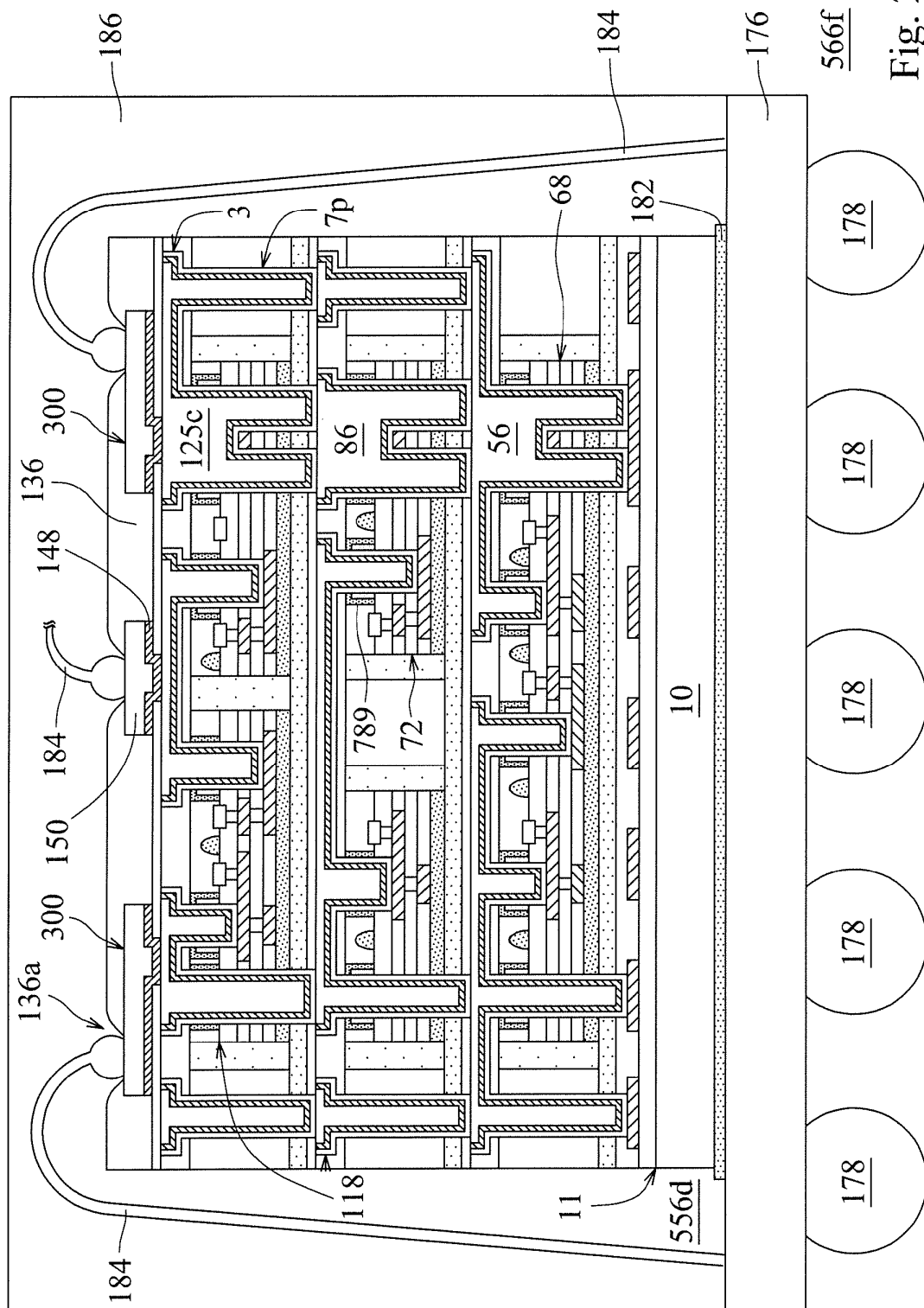


Fig. 253



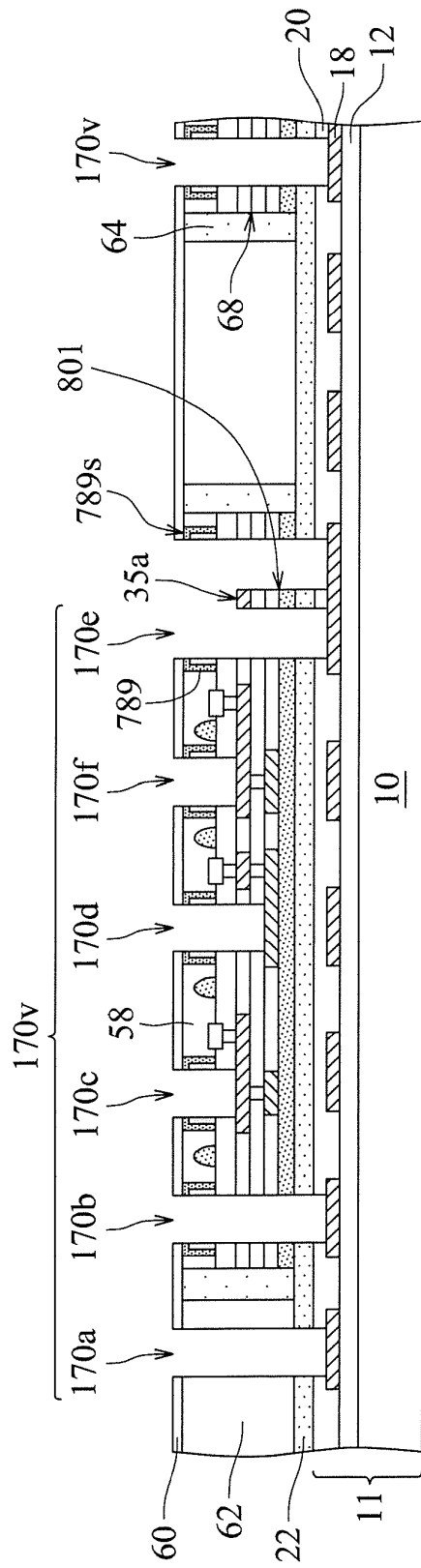


Fig. 255

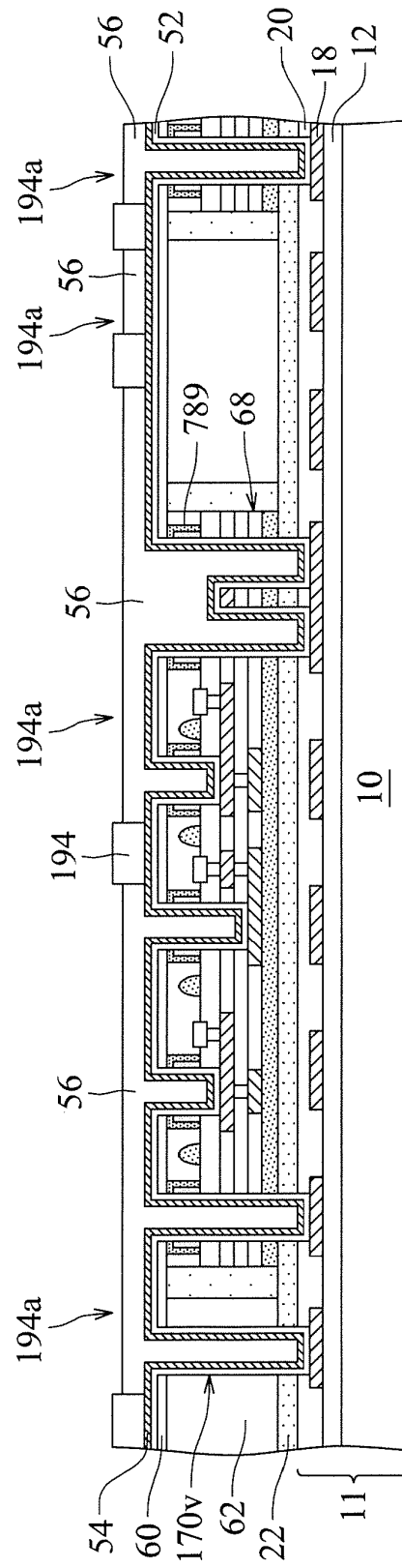


Fig. 256

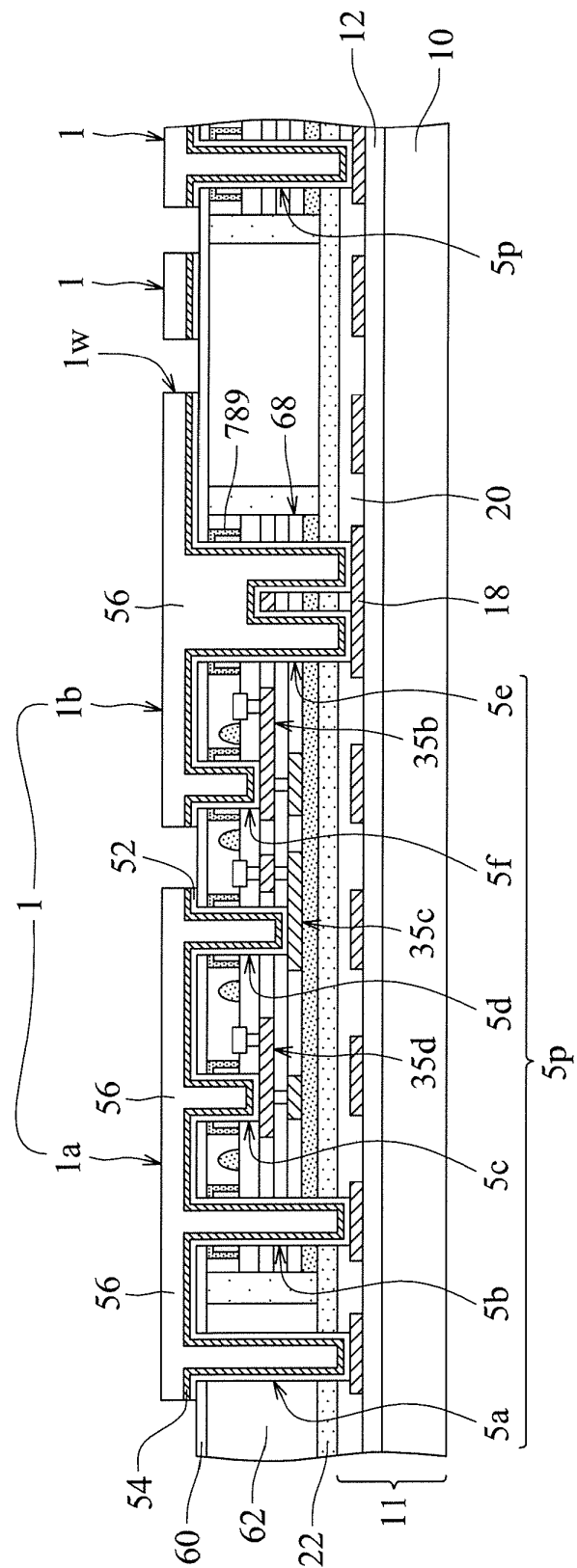


Fig. 257

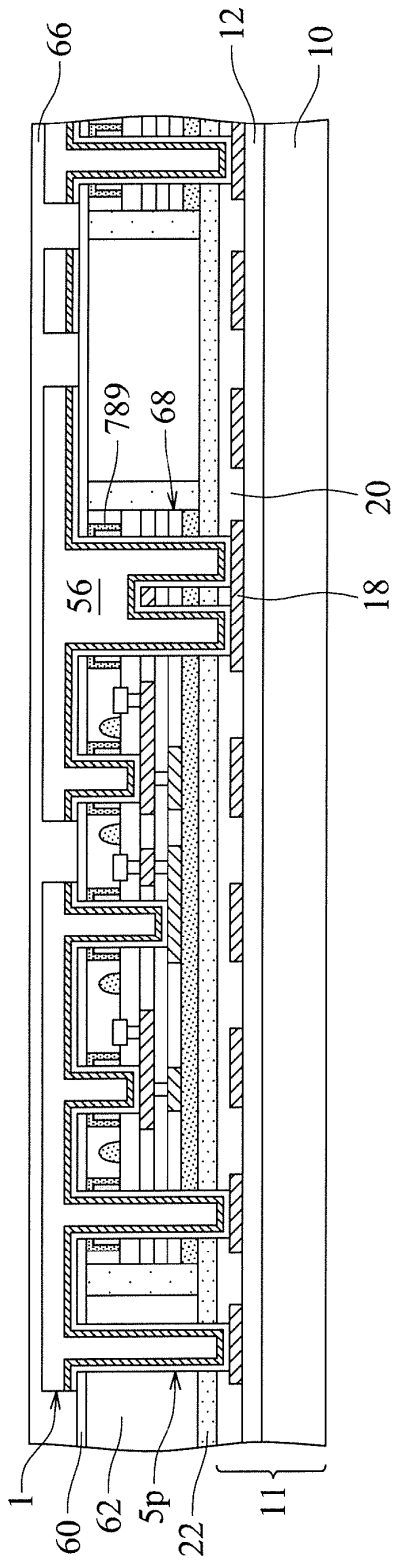


Fig. 258

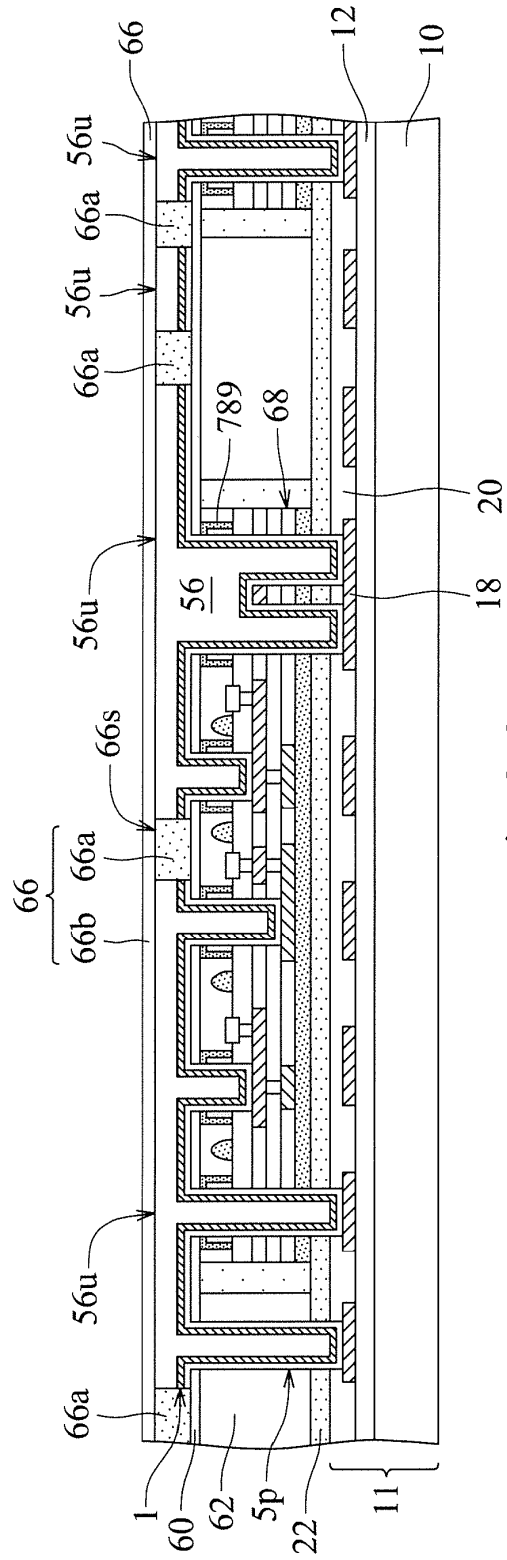


Fig. 259

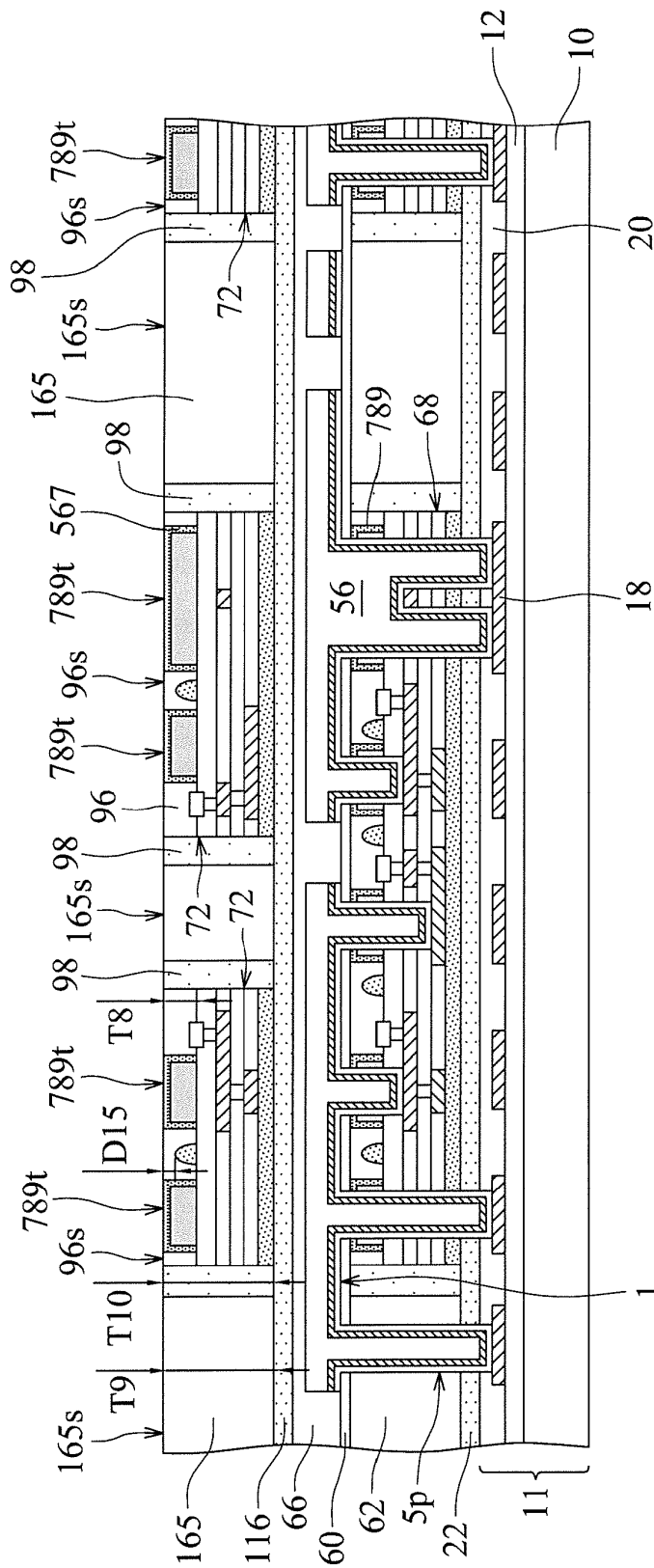


Fig. 260

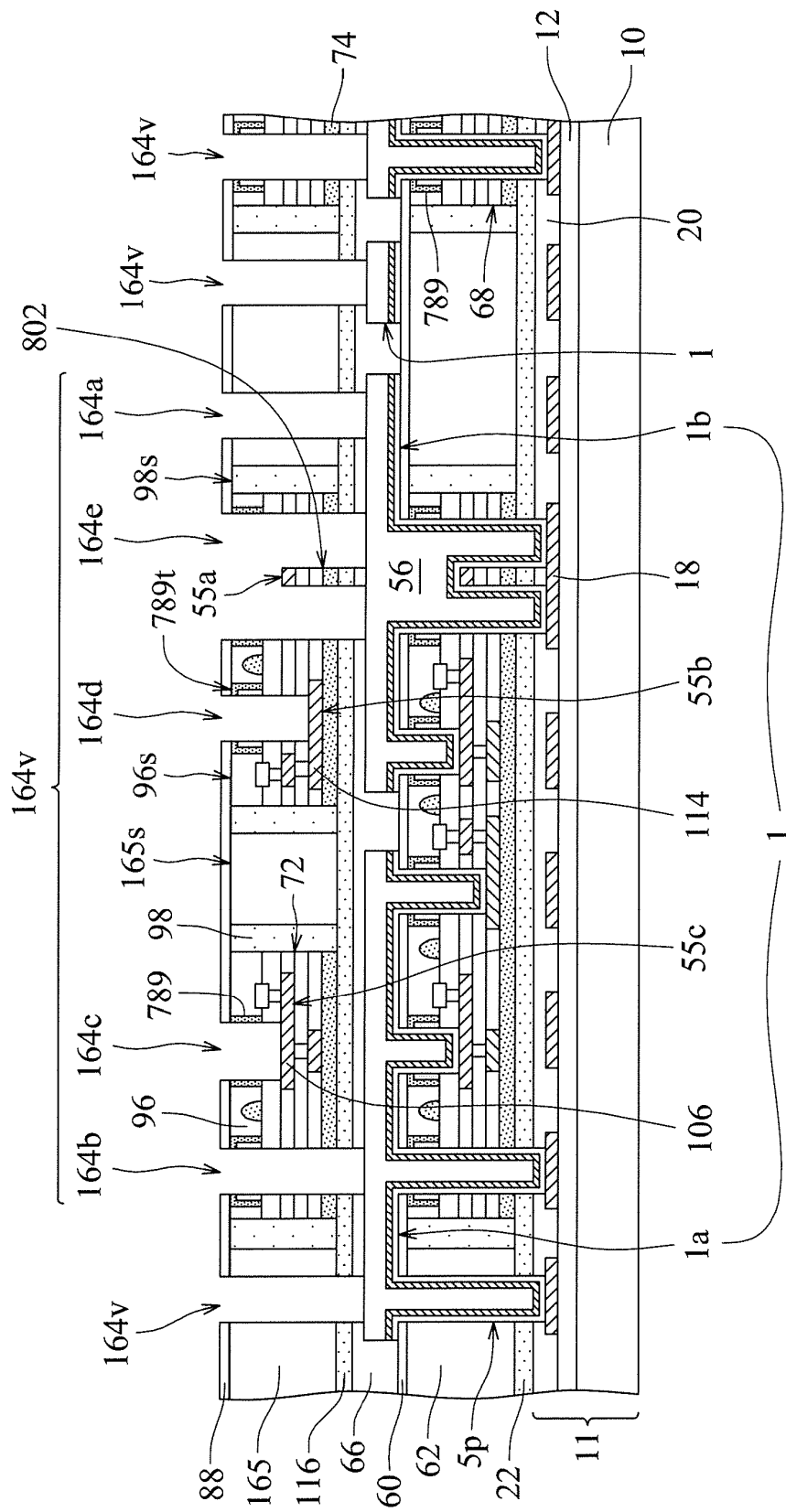


Fig. 261

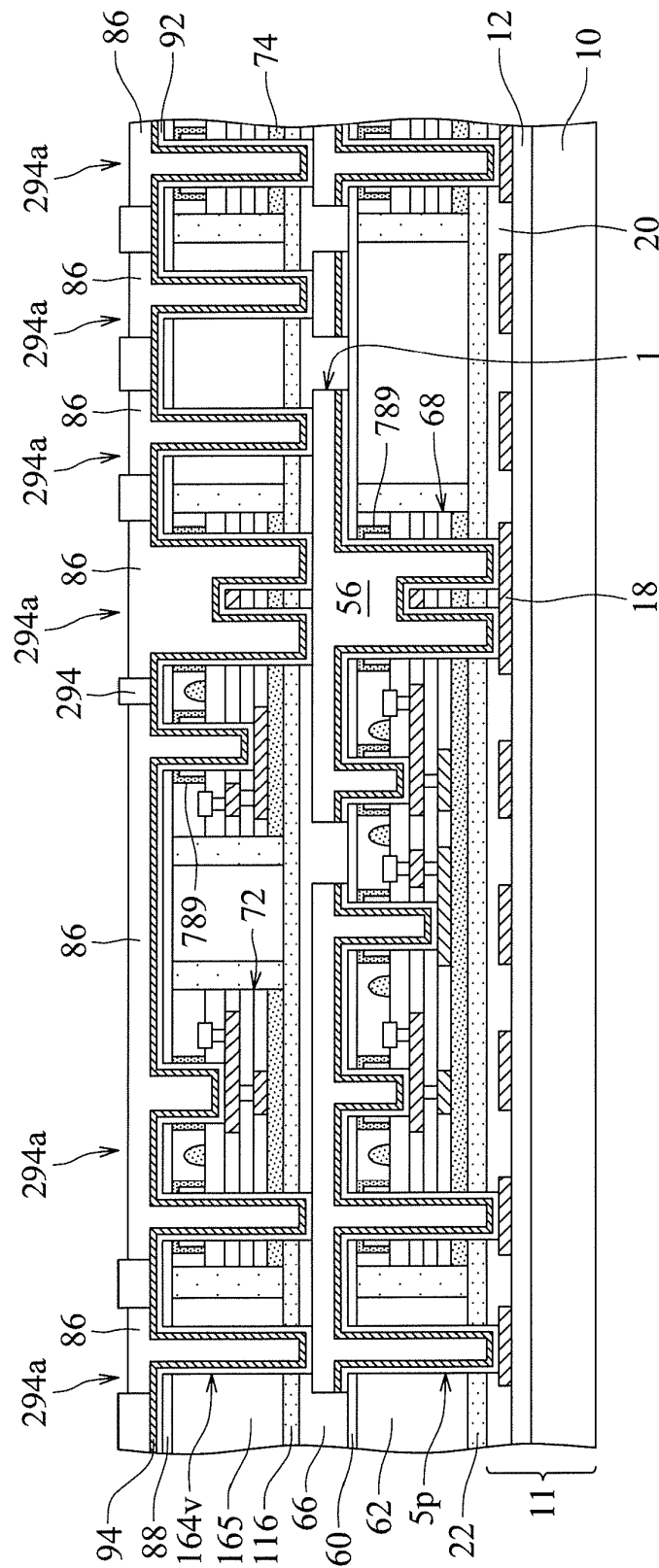


Fig. 262

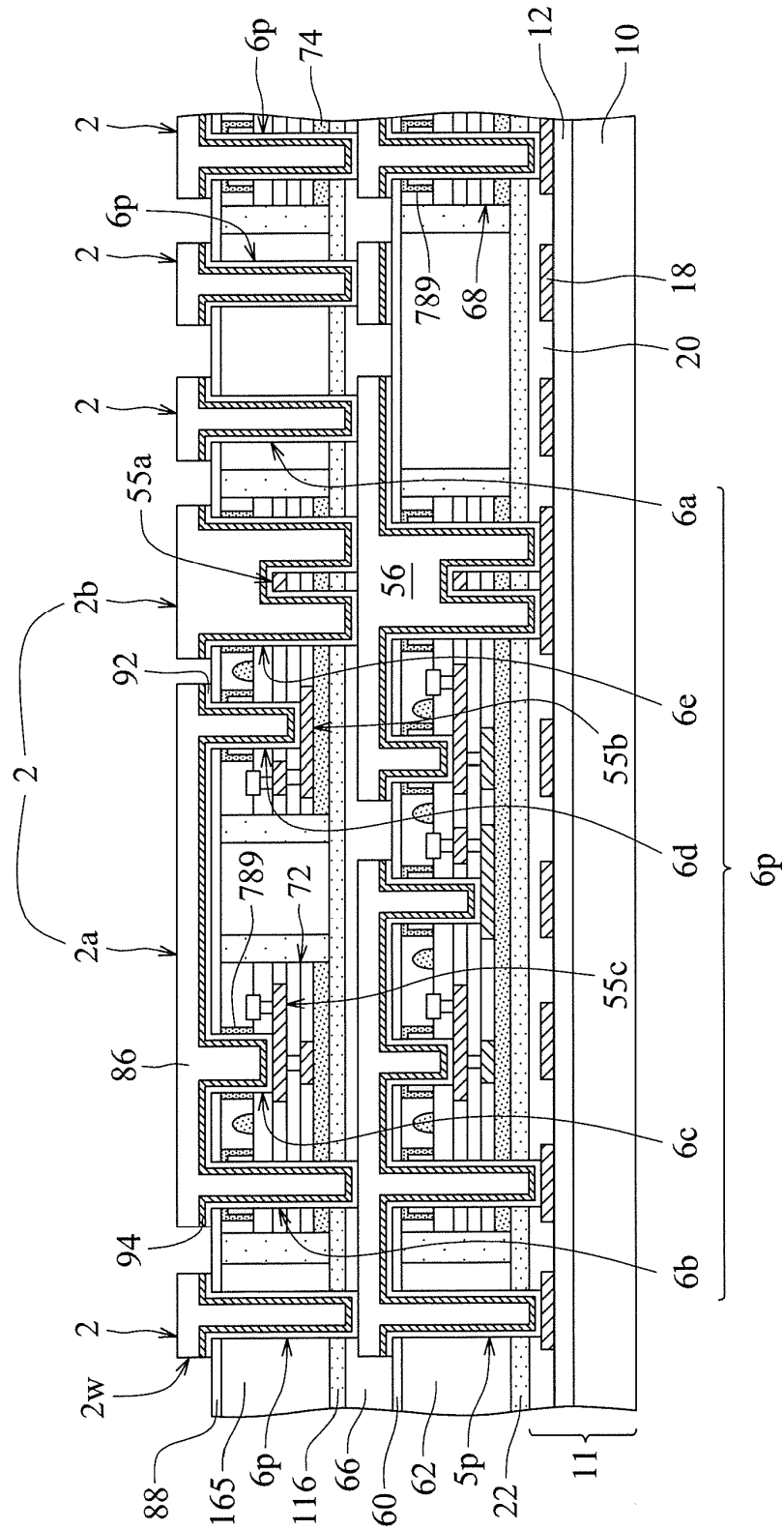


Fig. 263

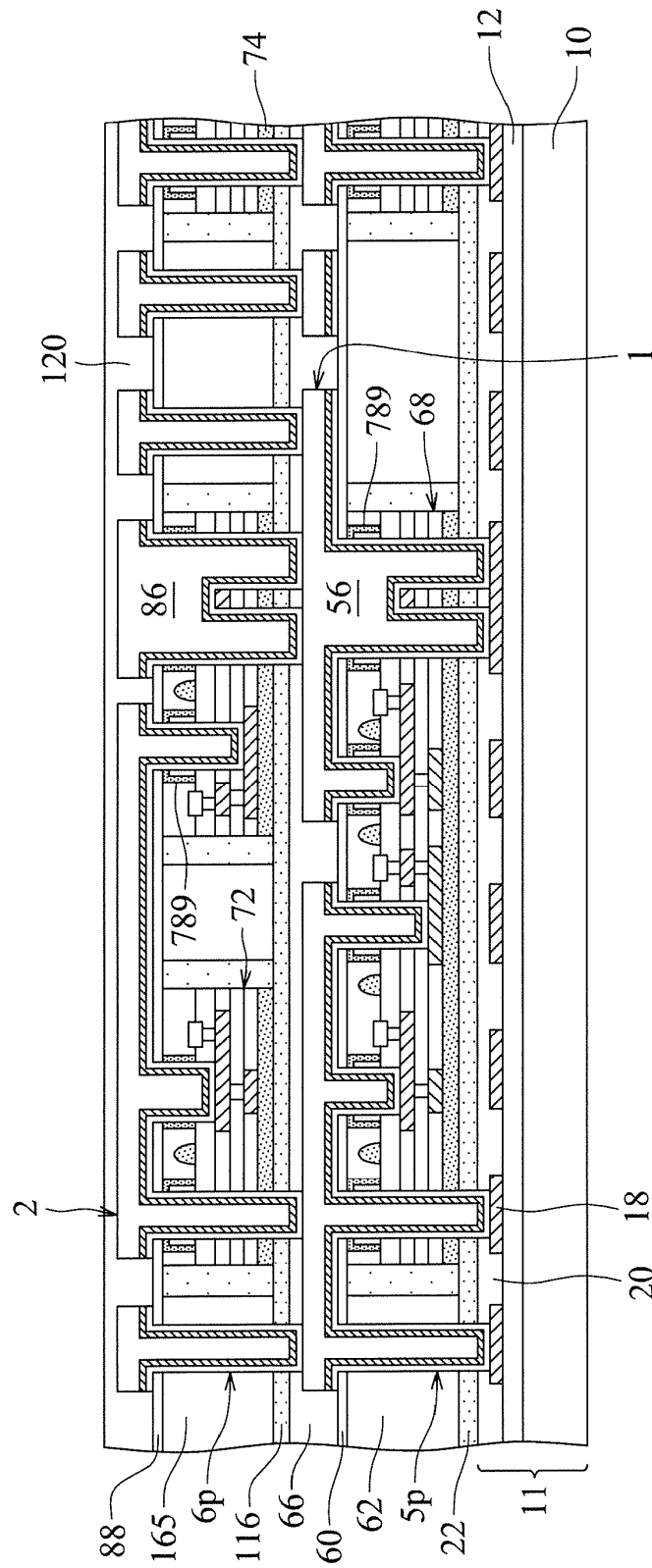


Fig. 264

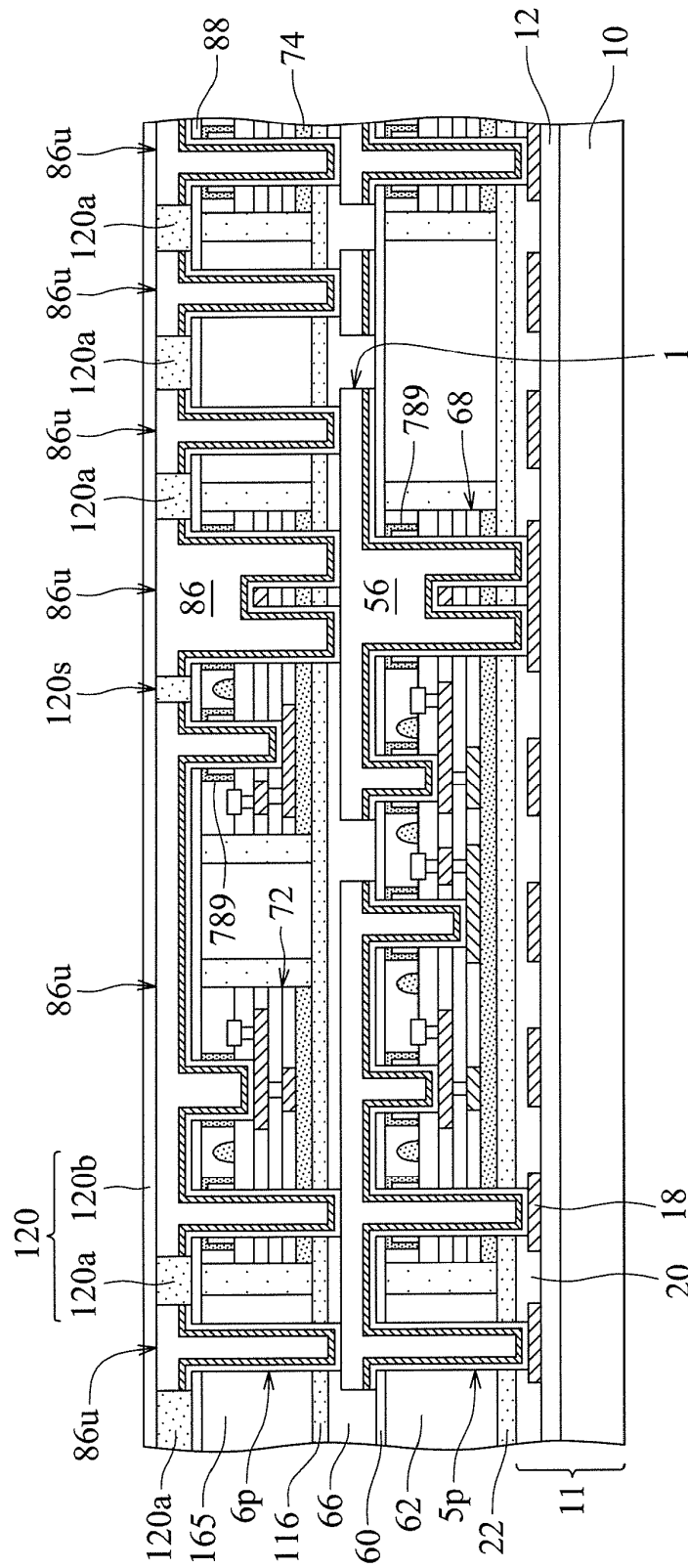


Fig. 265

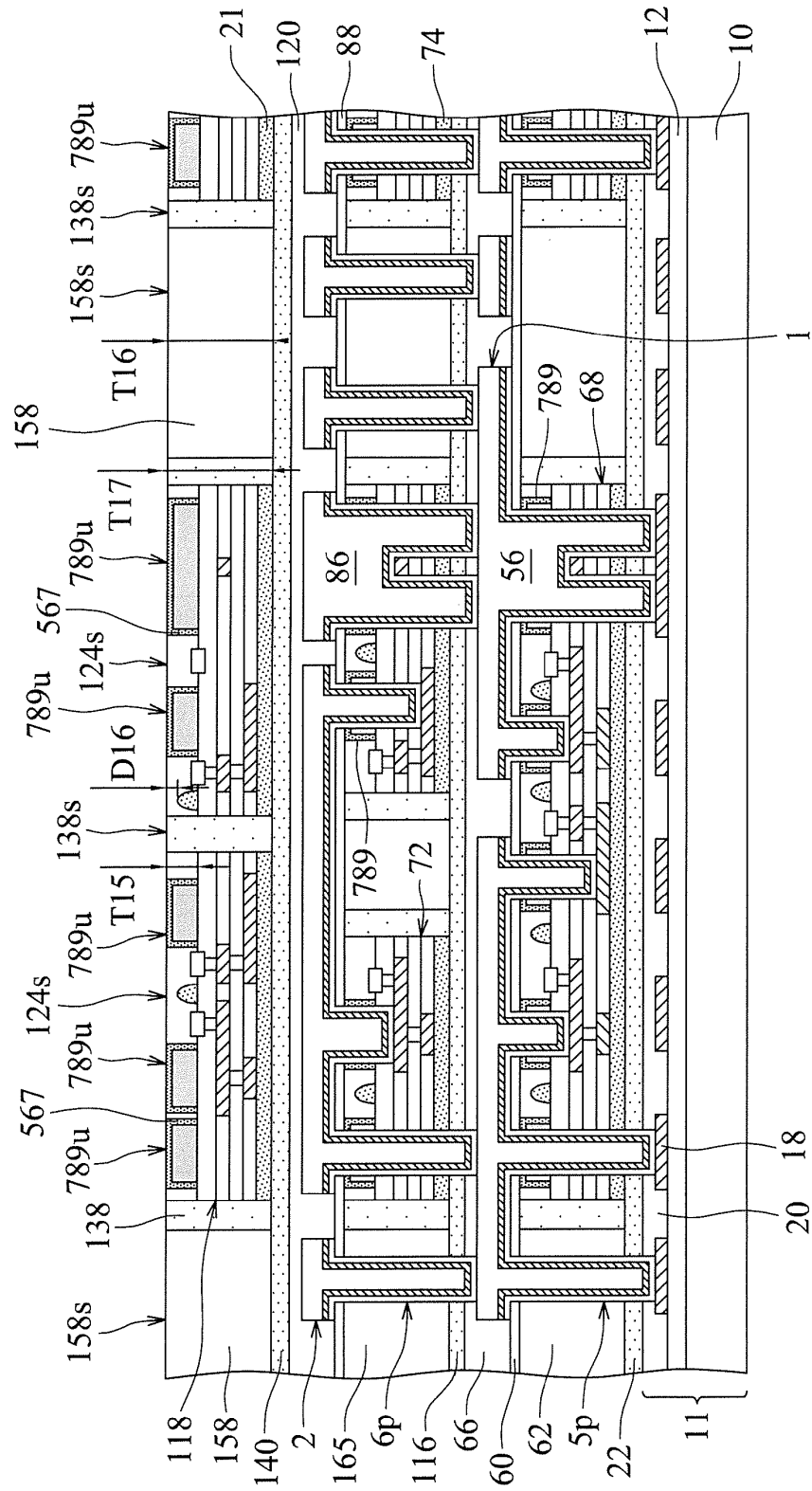


Fig. 266

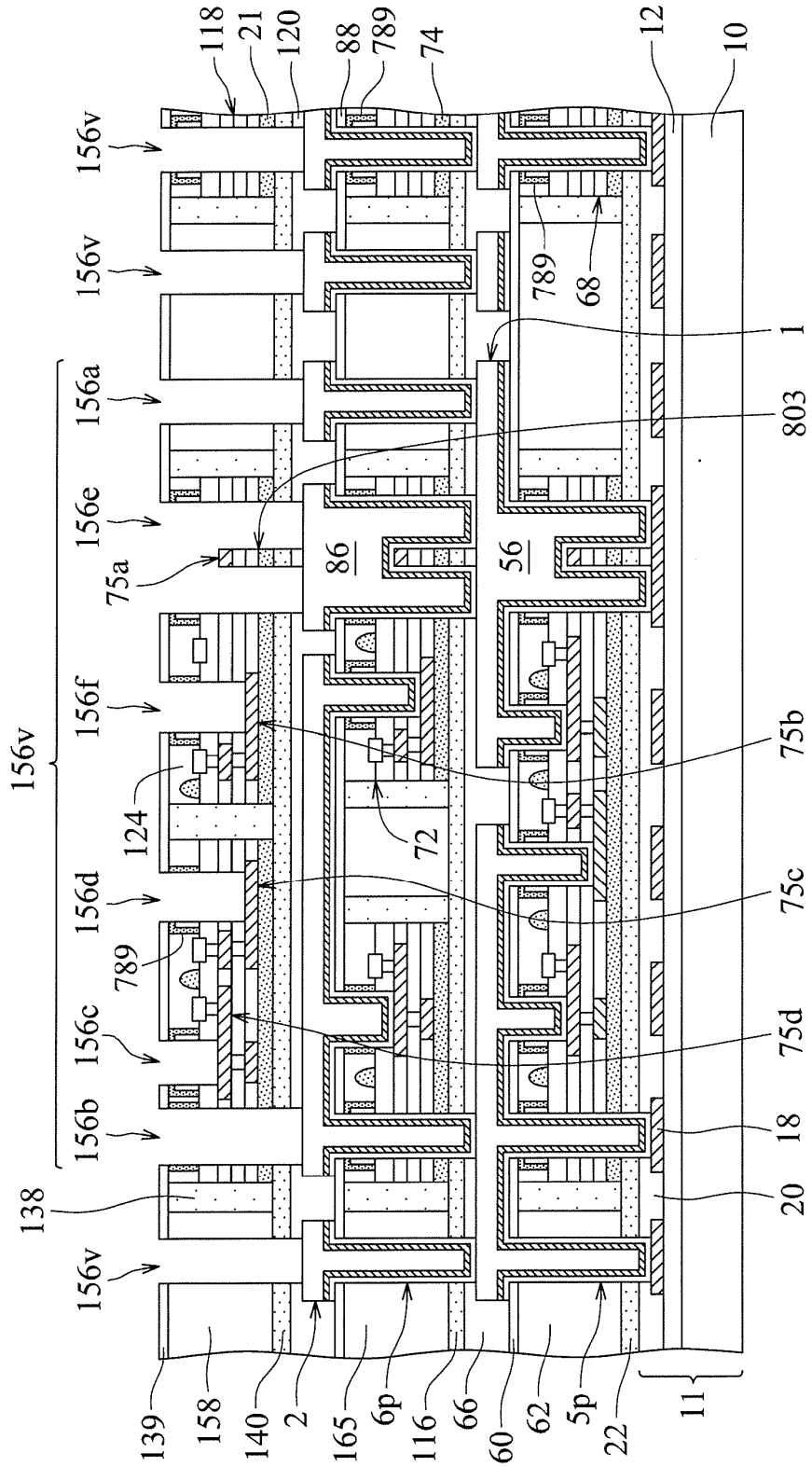


Fig. 267

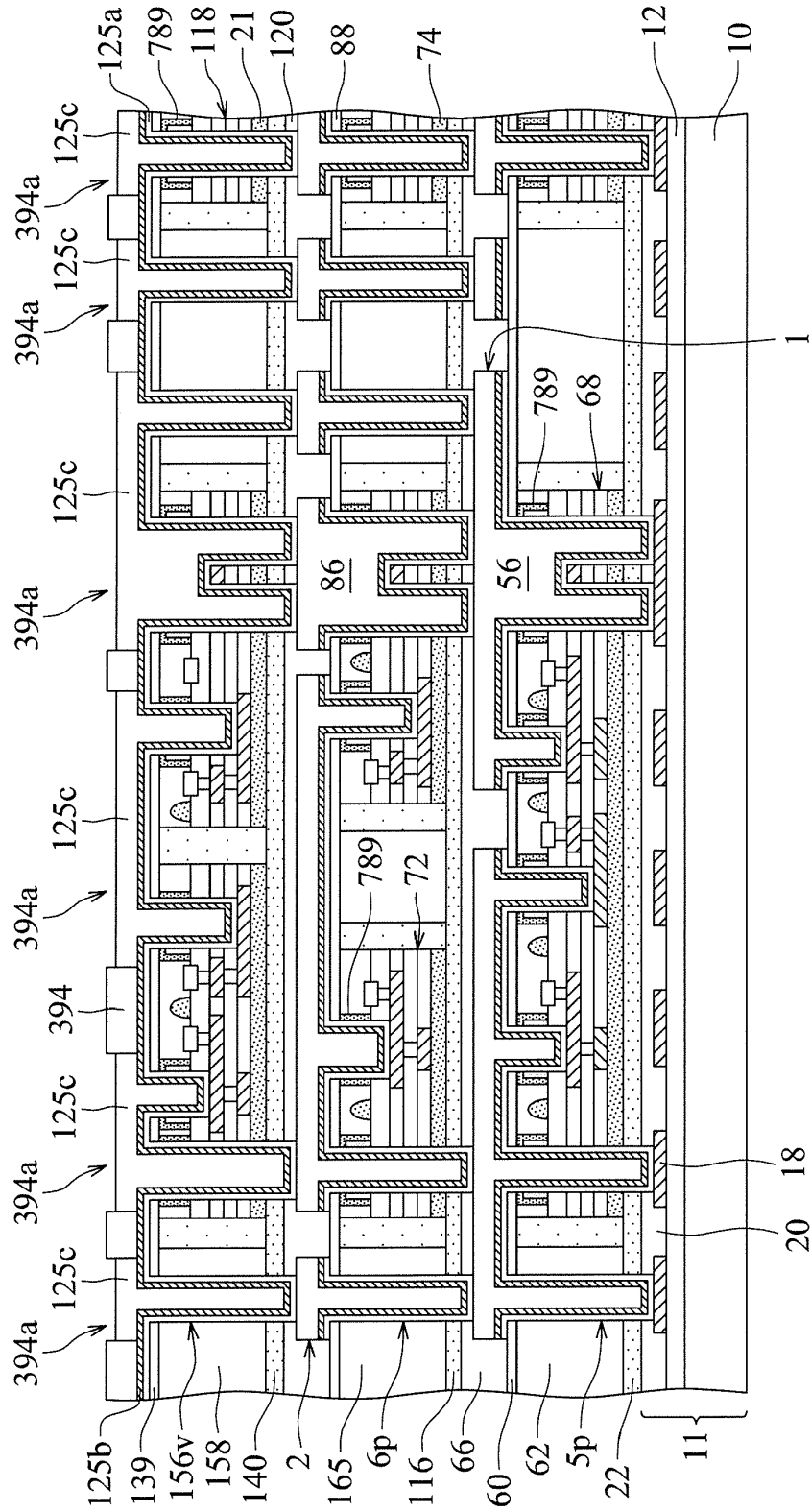


Fig. 268

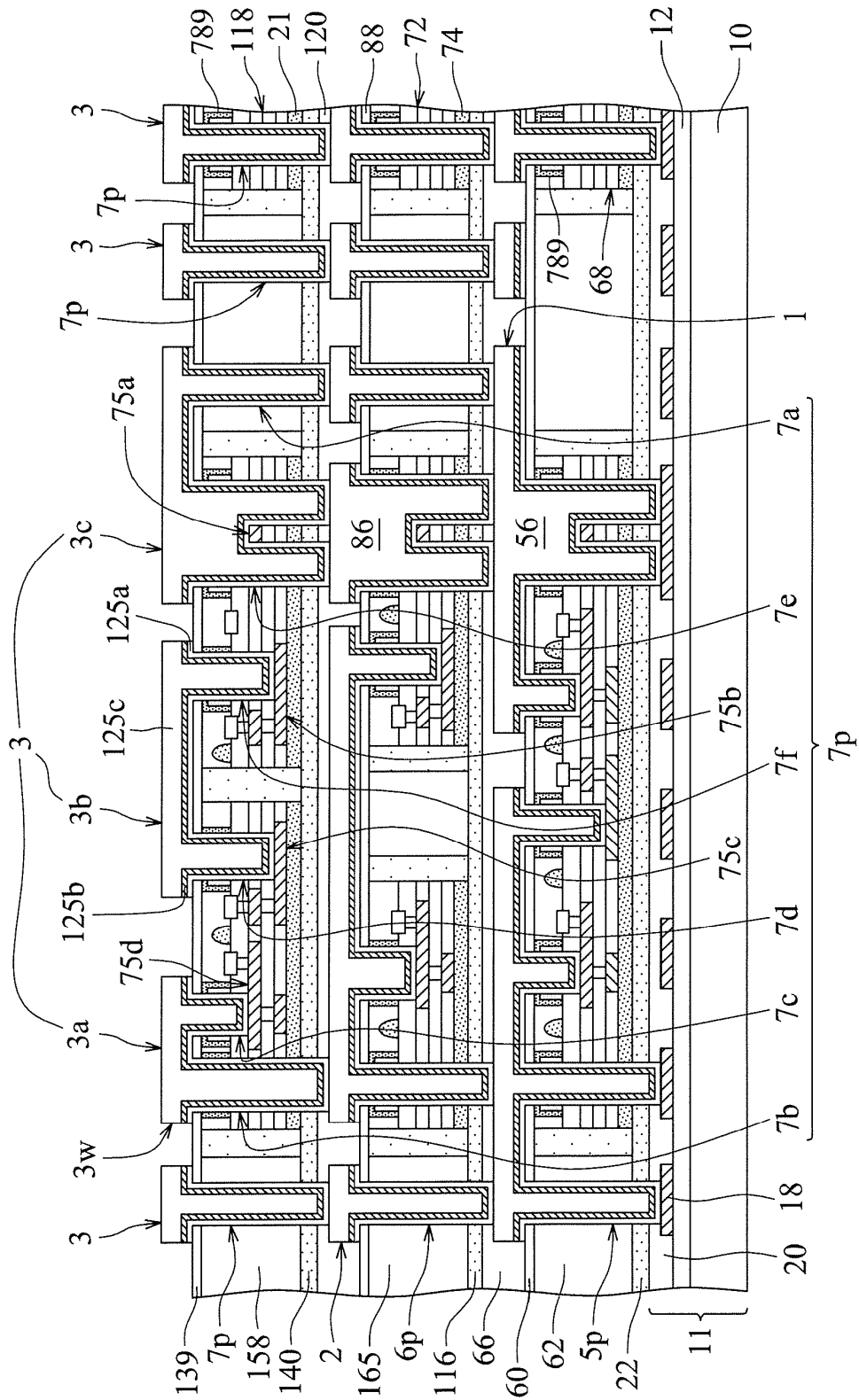


Fig. 269

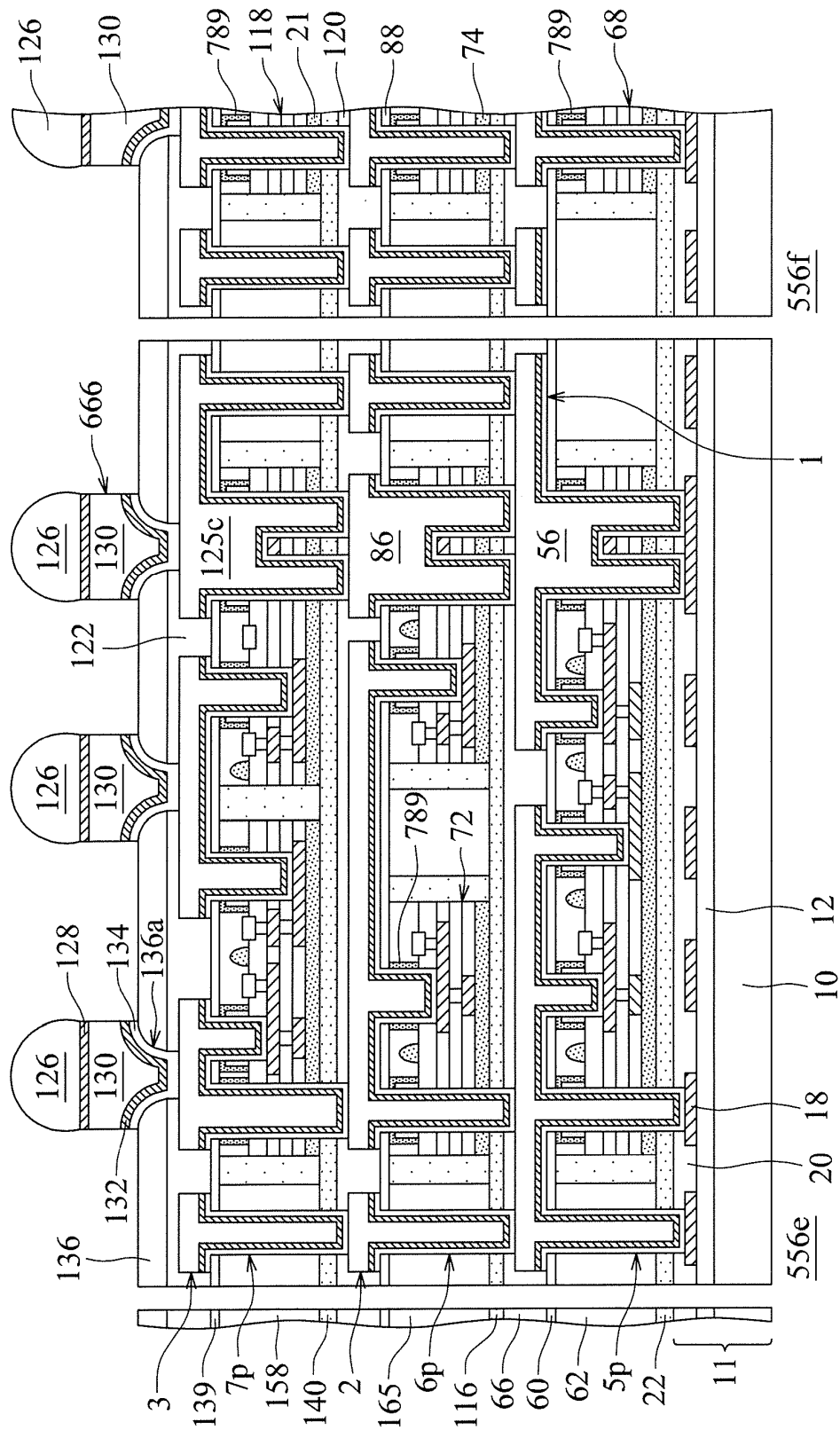


Fig. 270

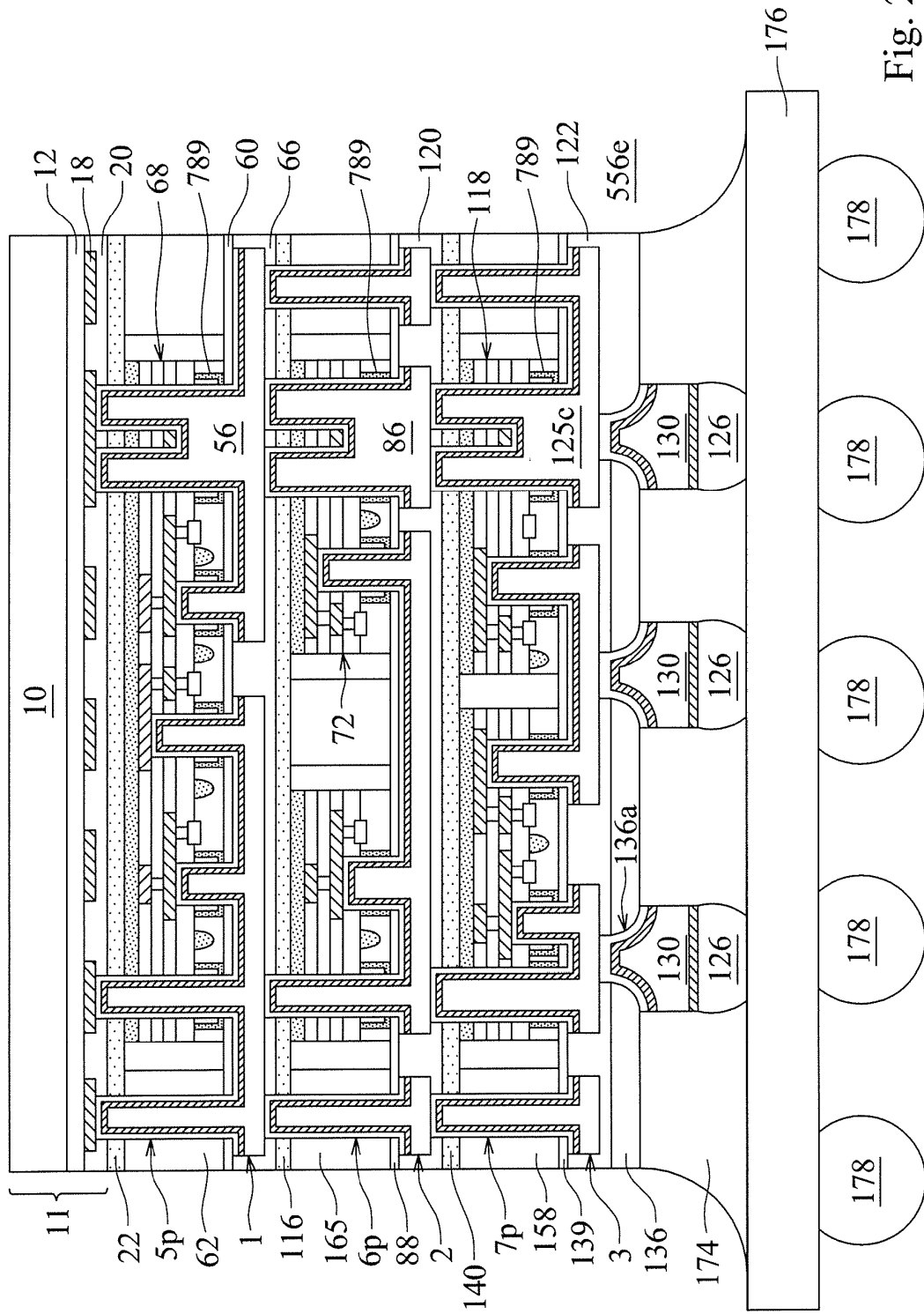


Fig. 271

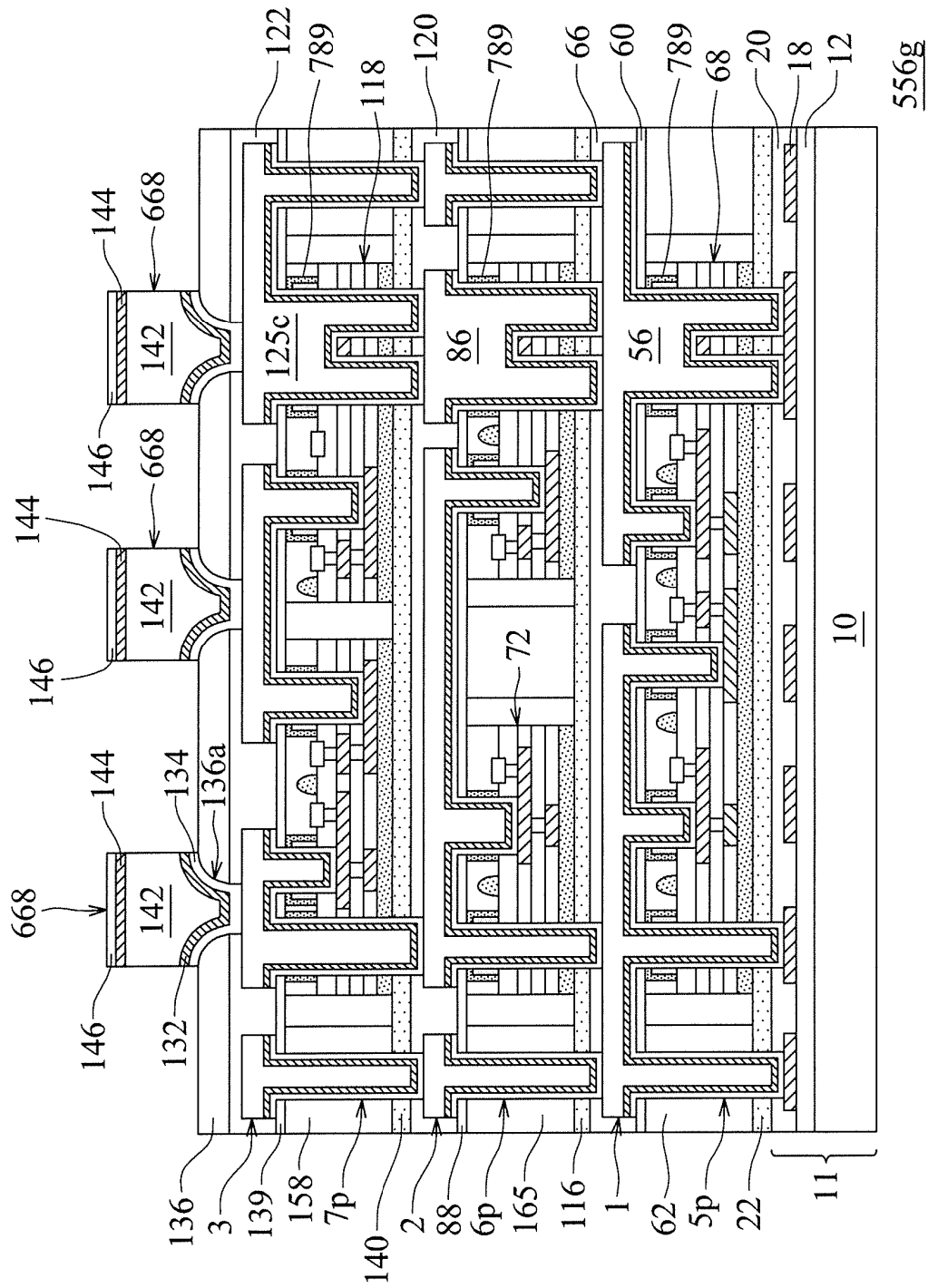


Fig. 272

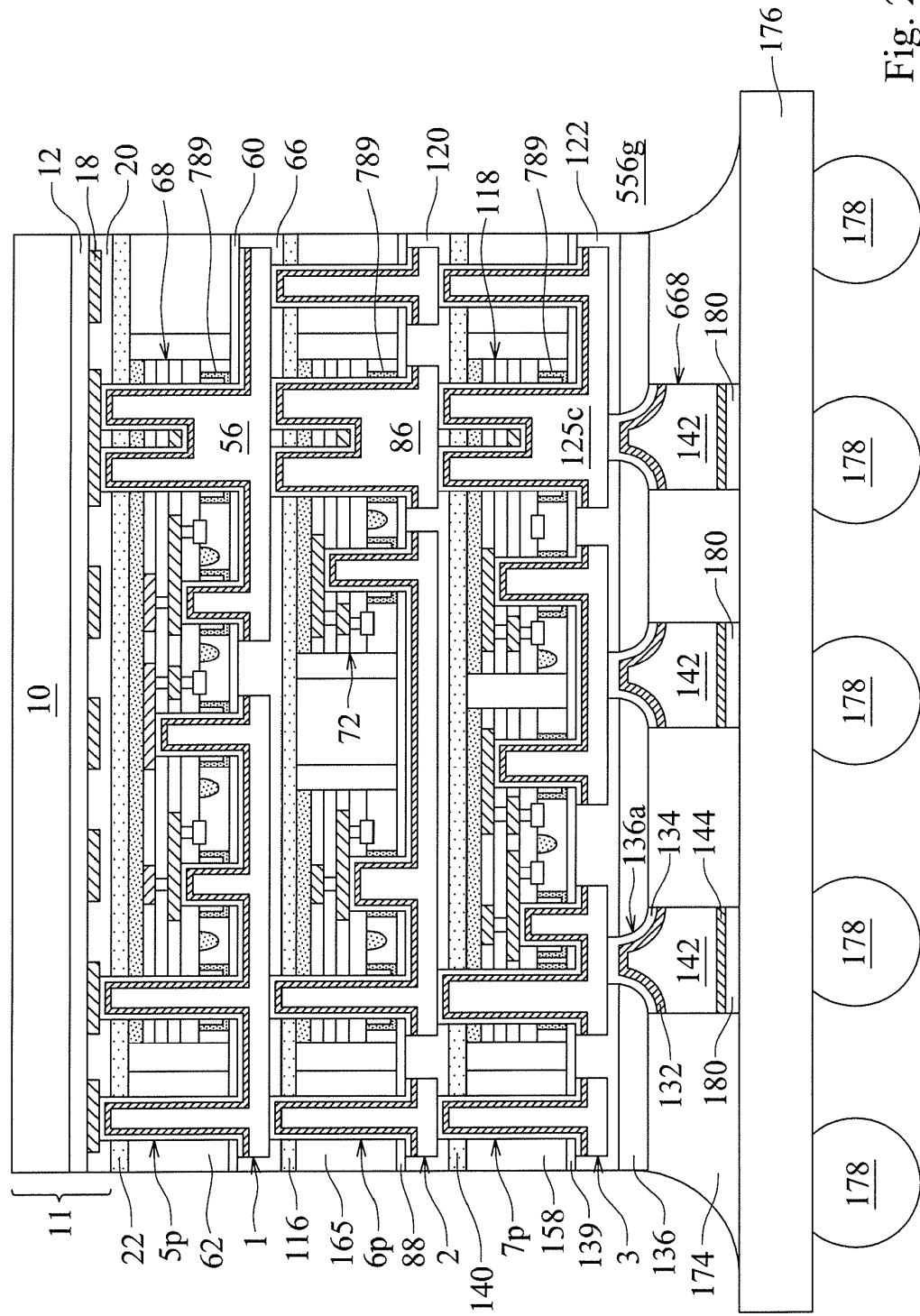
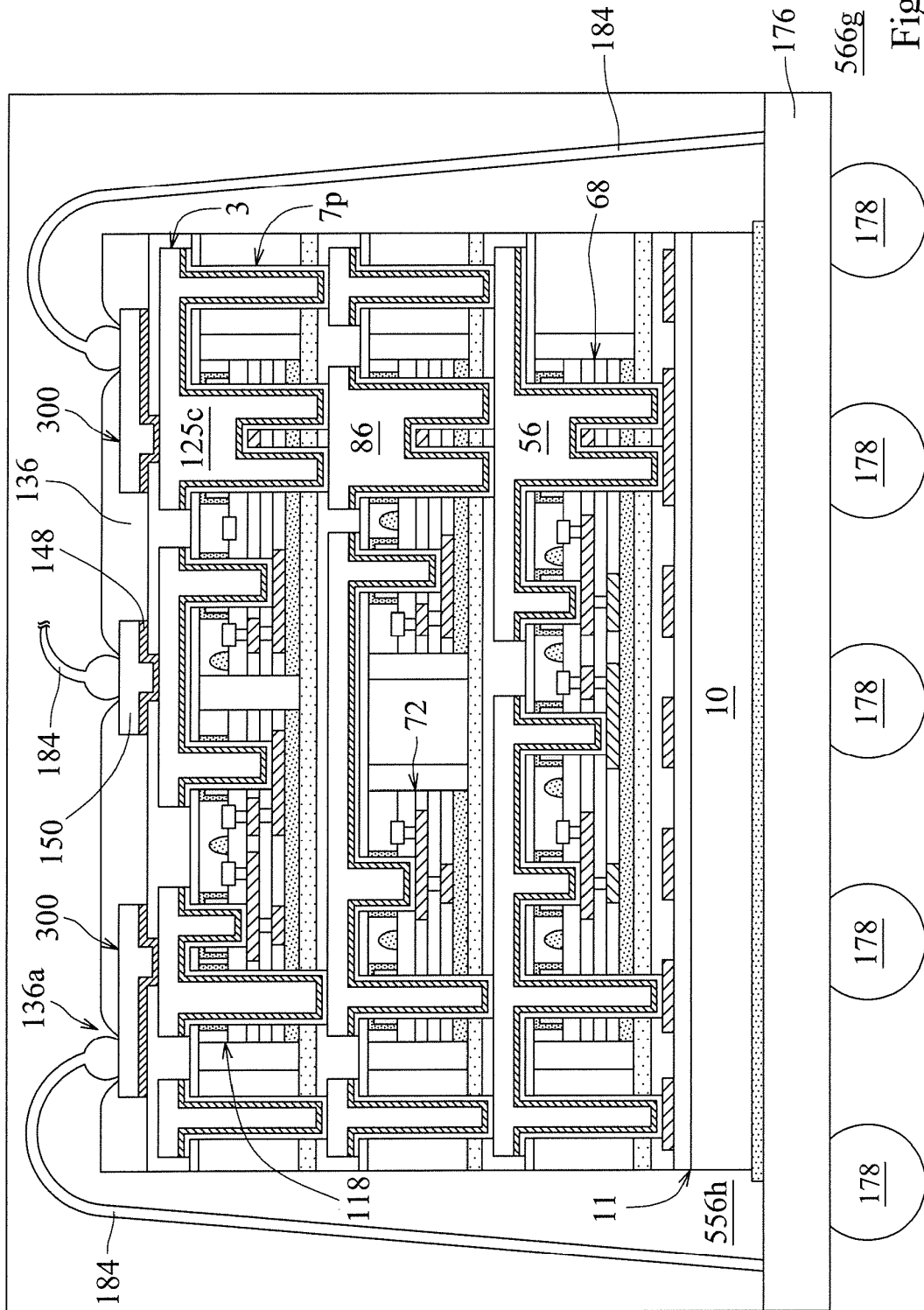


Fig. 273



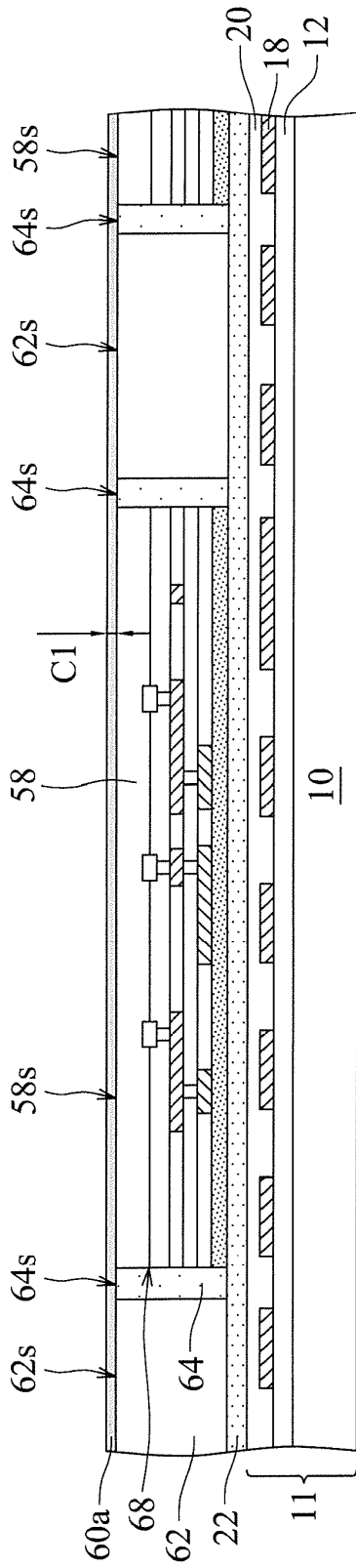


Fig. 275A

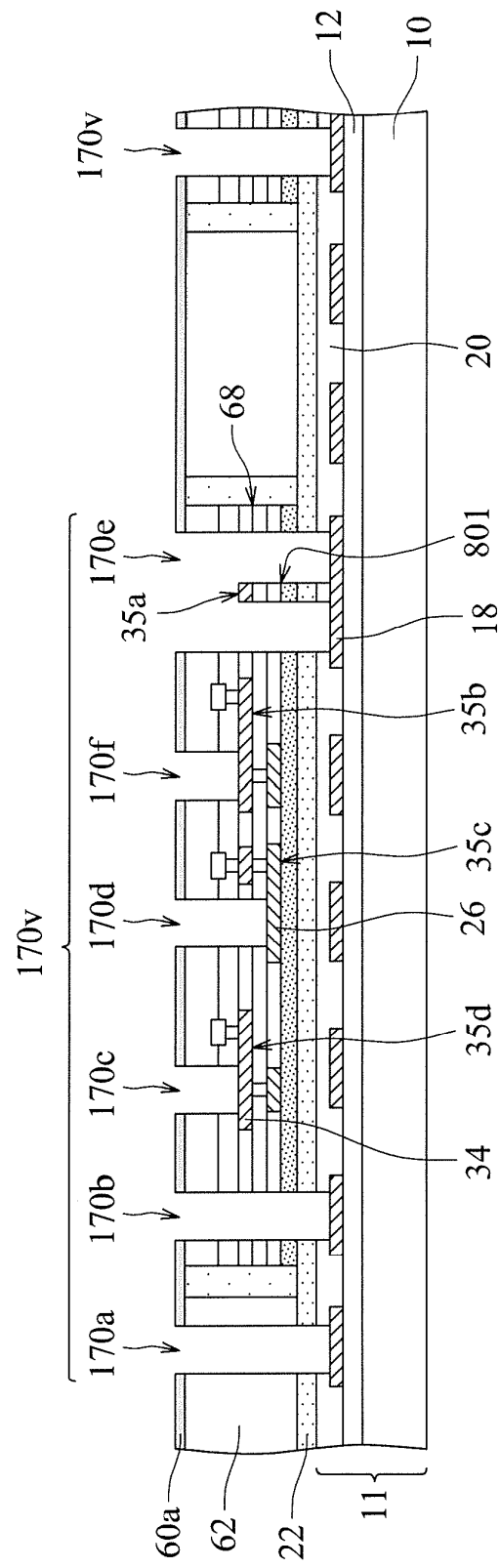


Fig. 275B

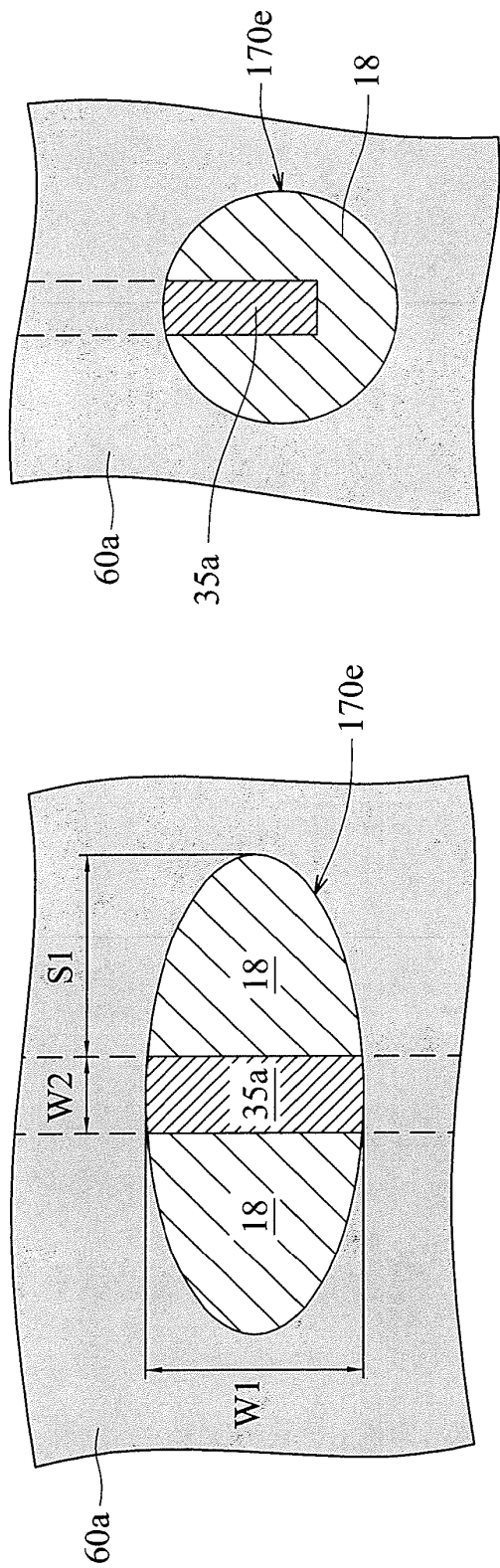


Fig. 265D

Fig. 275C

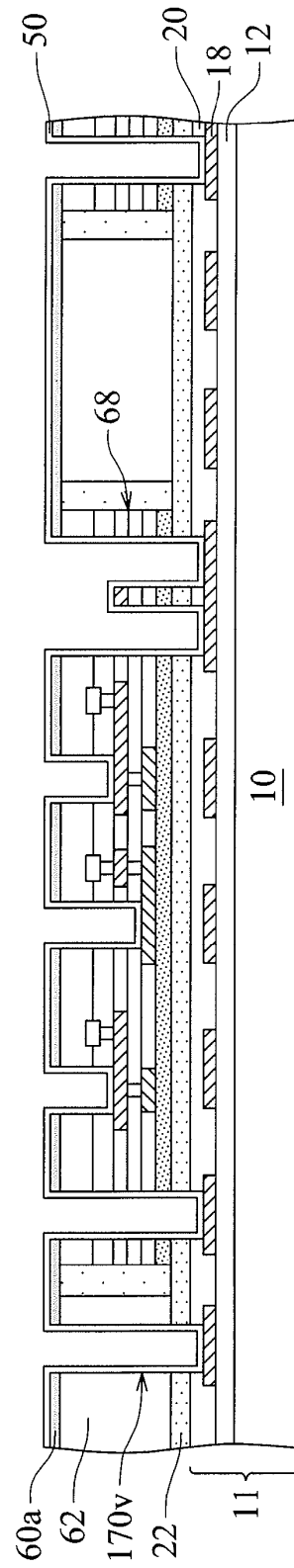


Fig. 275E

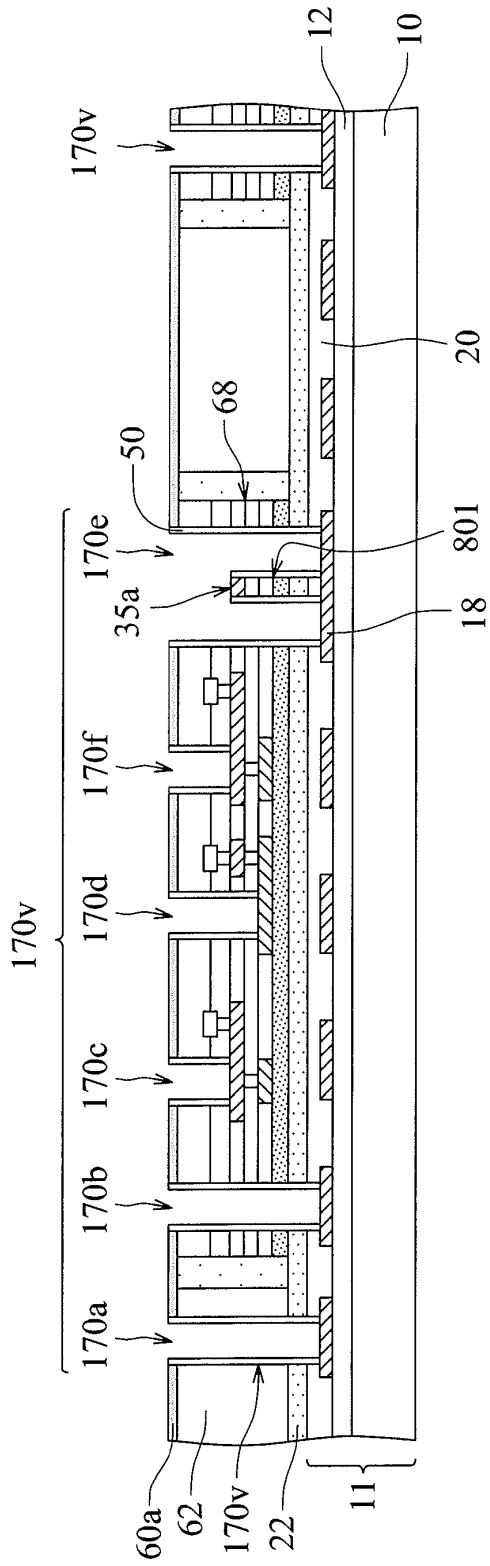


Fig. 275F

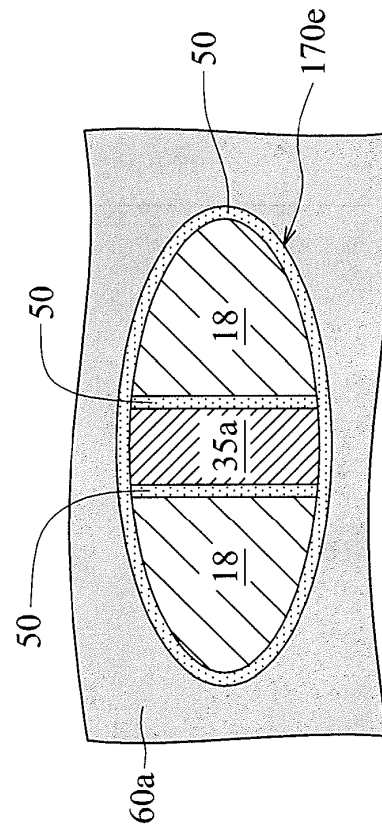


Fig. 275G

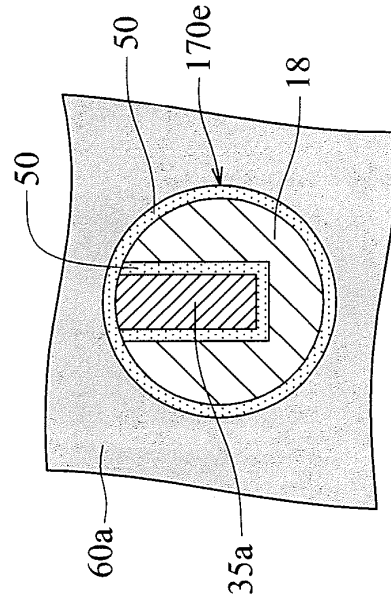


Fig. 275H

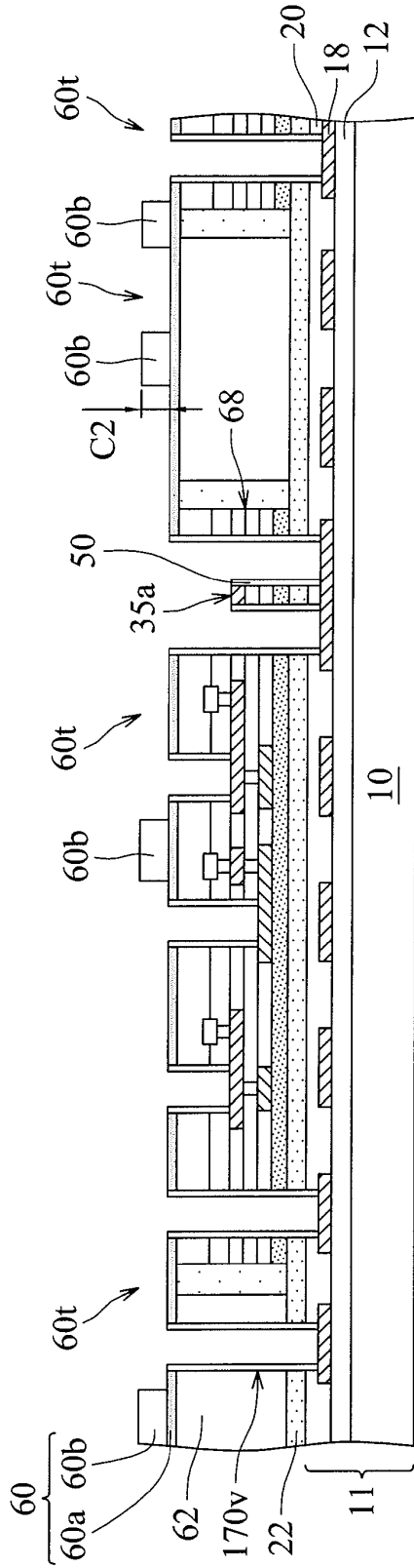


Fig. 275I

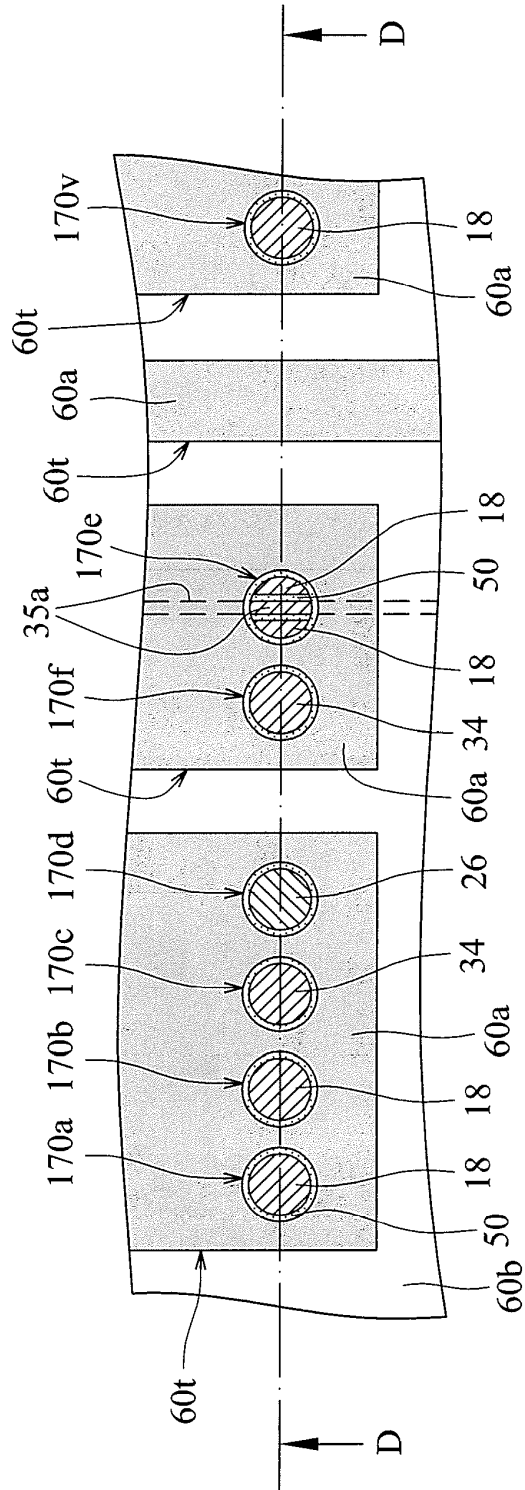


Fig. 275J

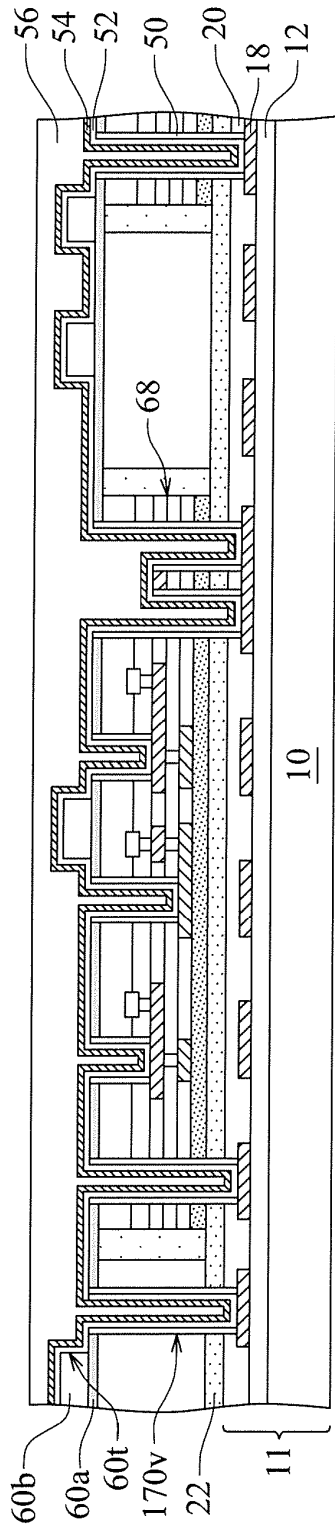


Fig. 275K

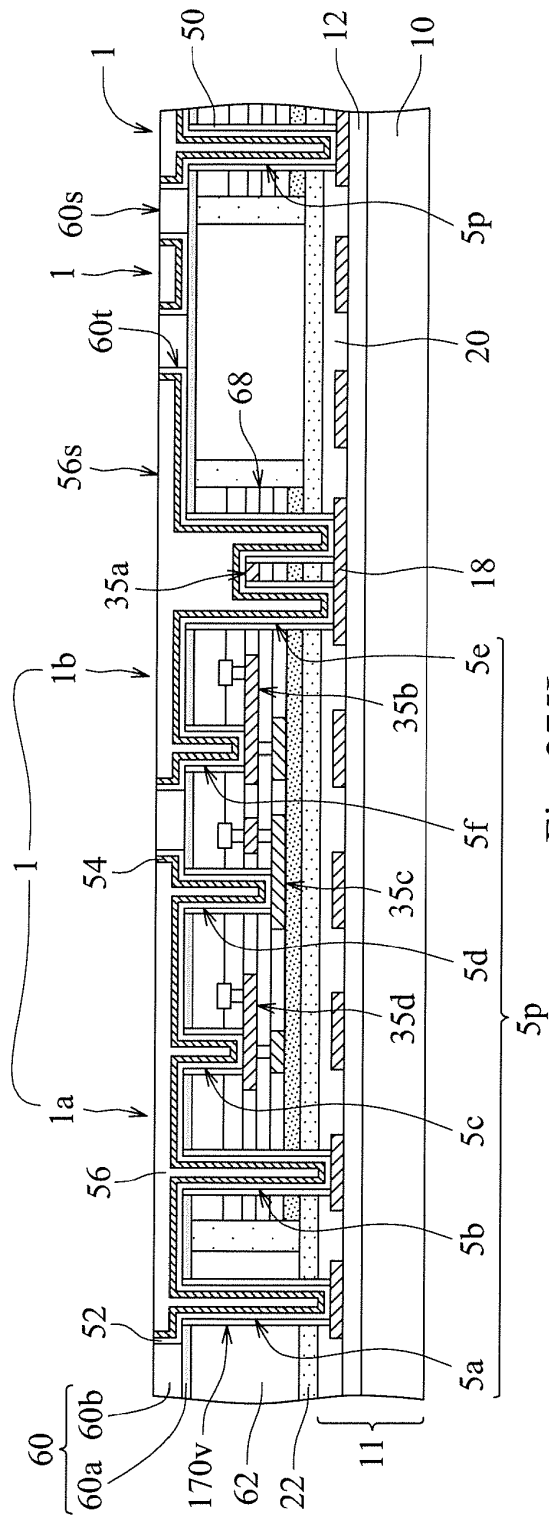


Fig. 275L

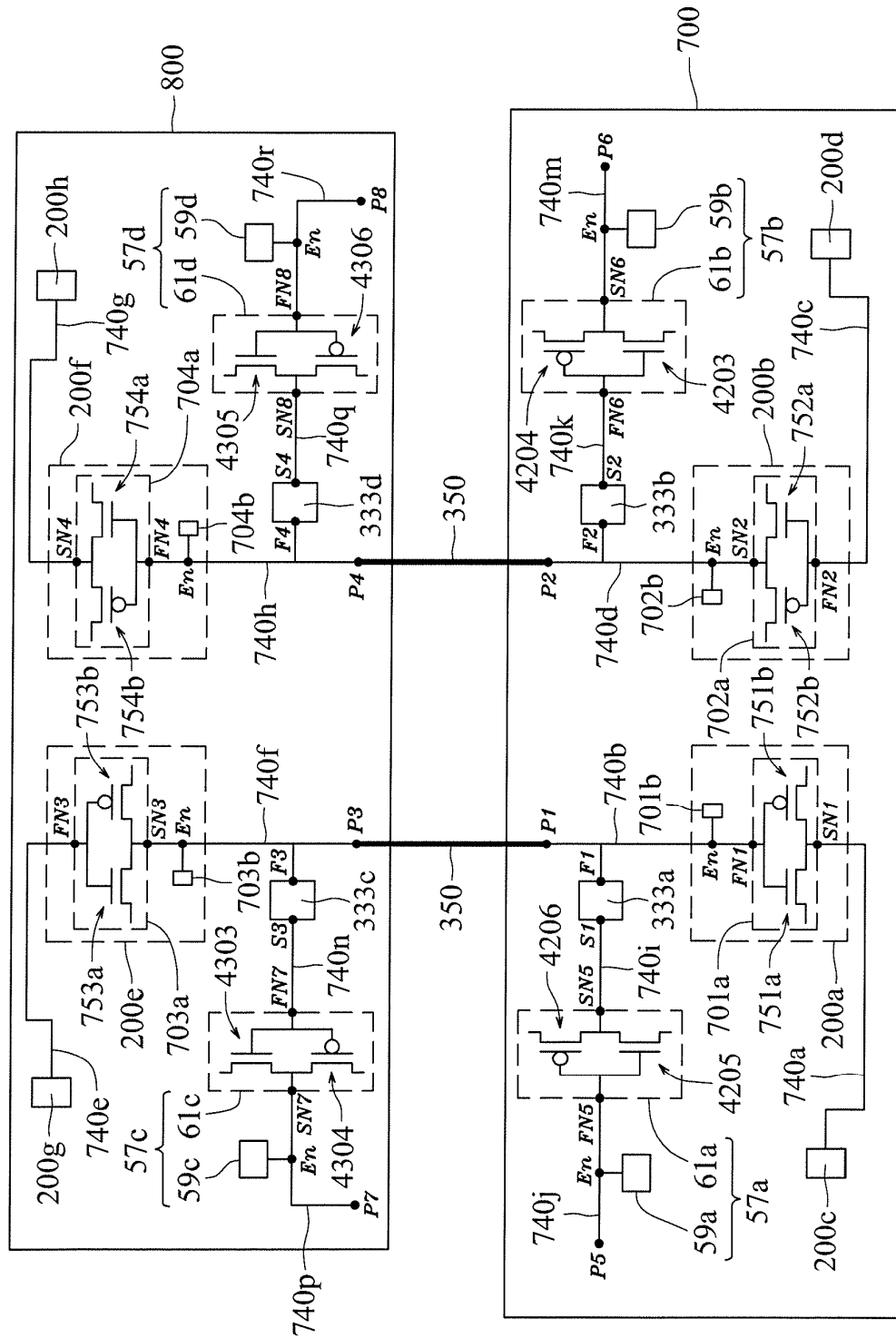


Fig. 276

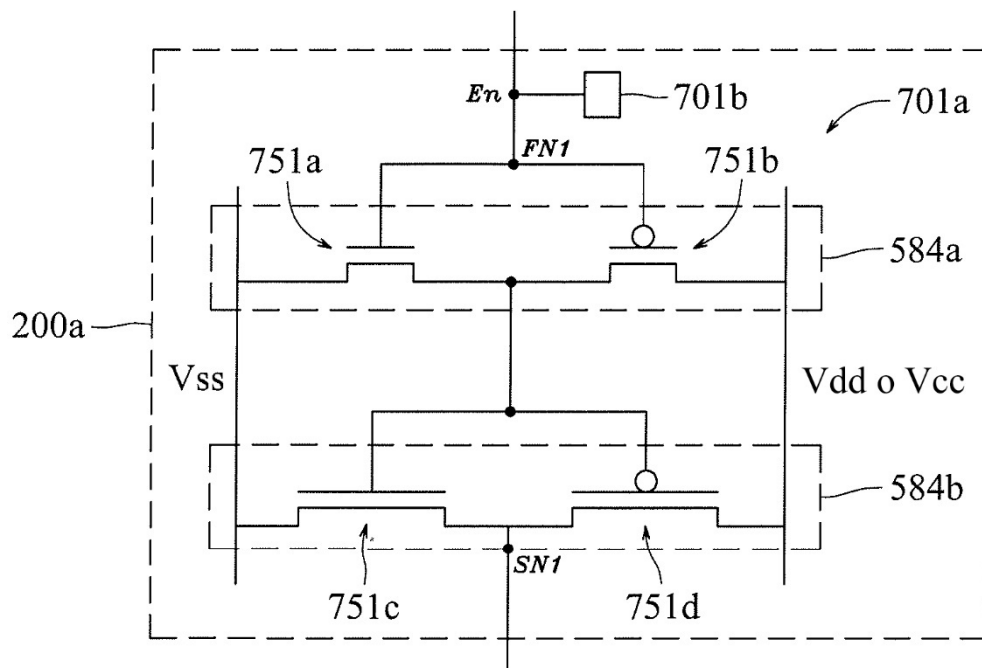


Fig. 277

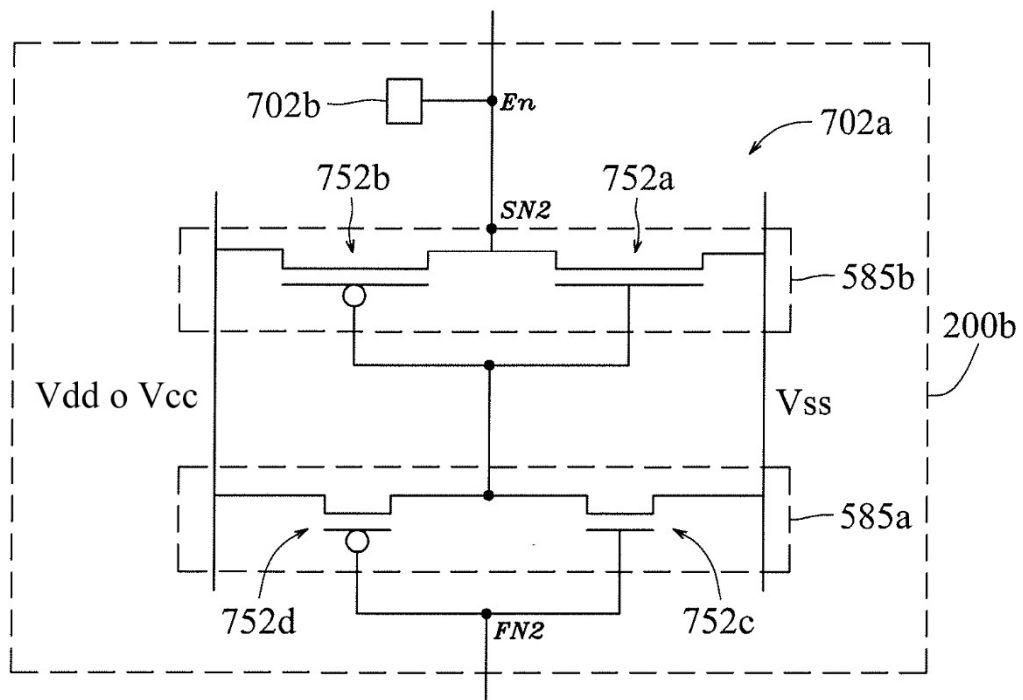


Fig. 278

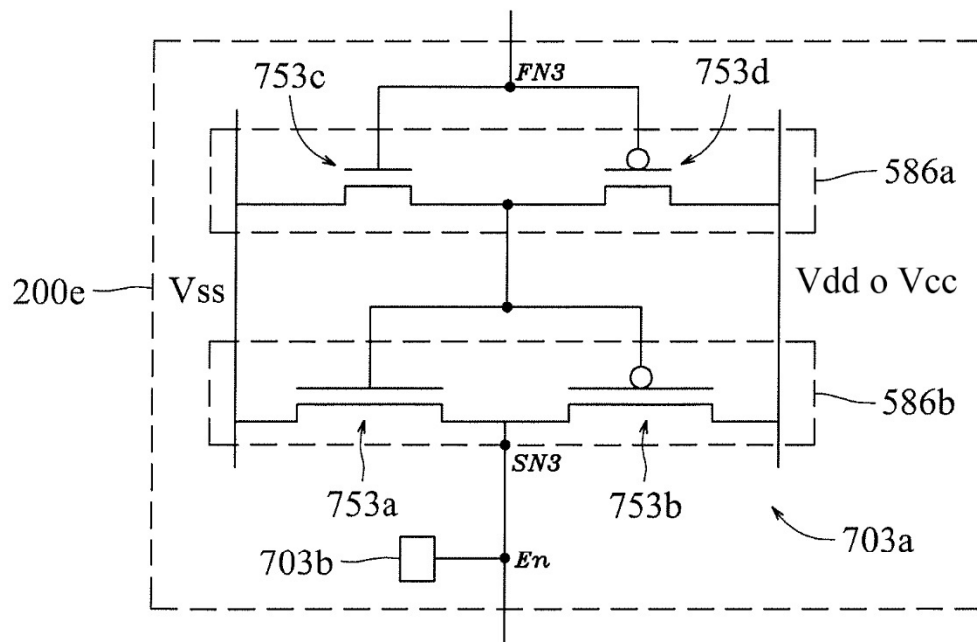


Fig. 279

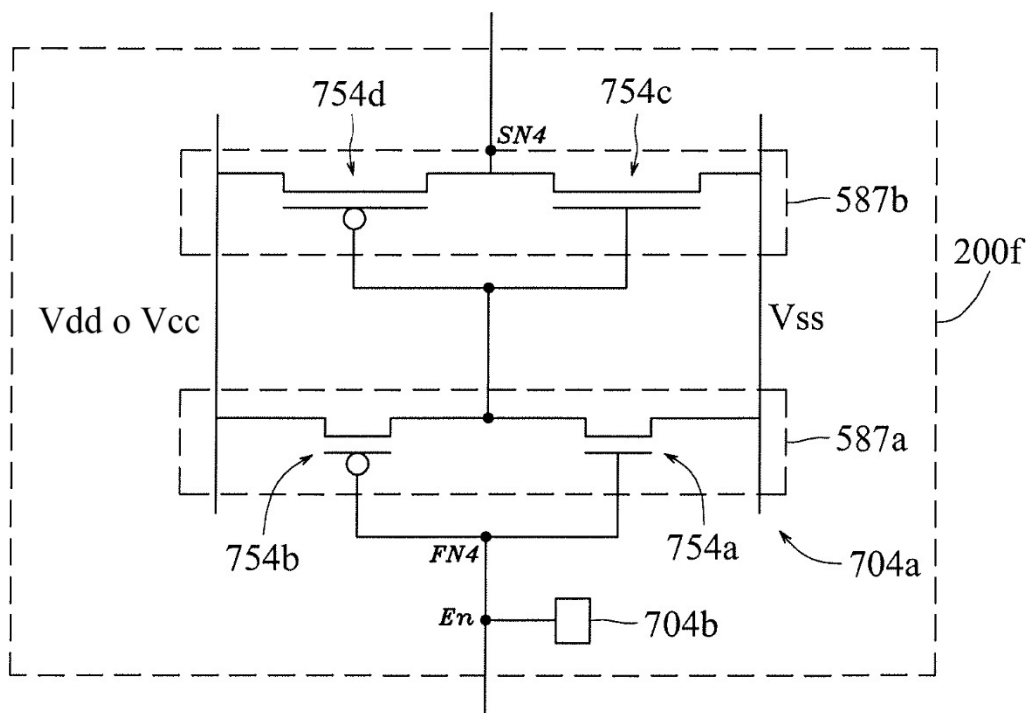


Fig. 280

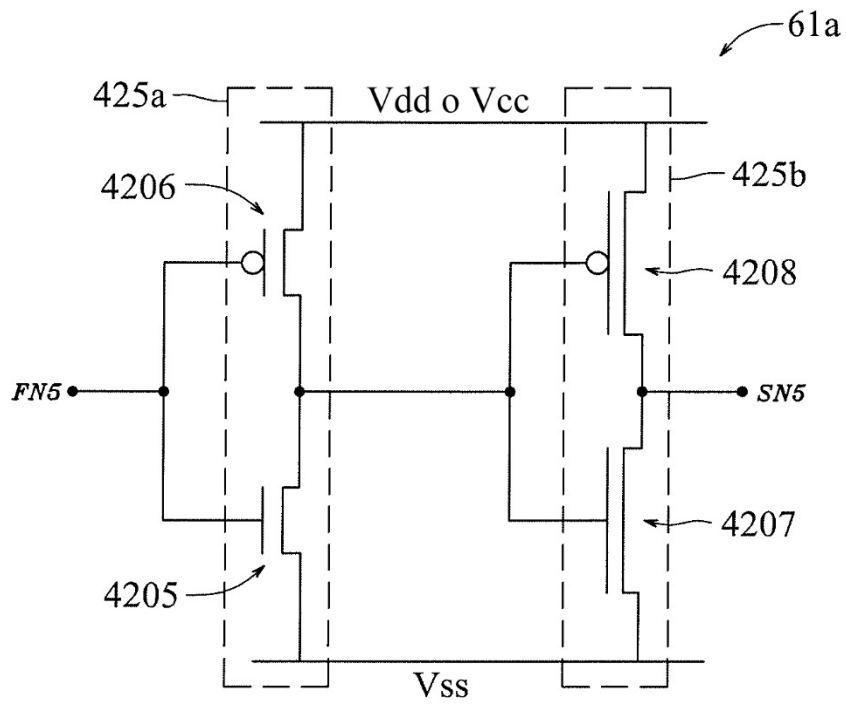


Fig. 281

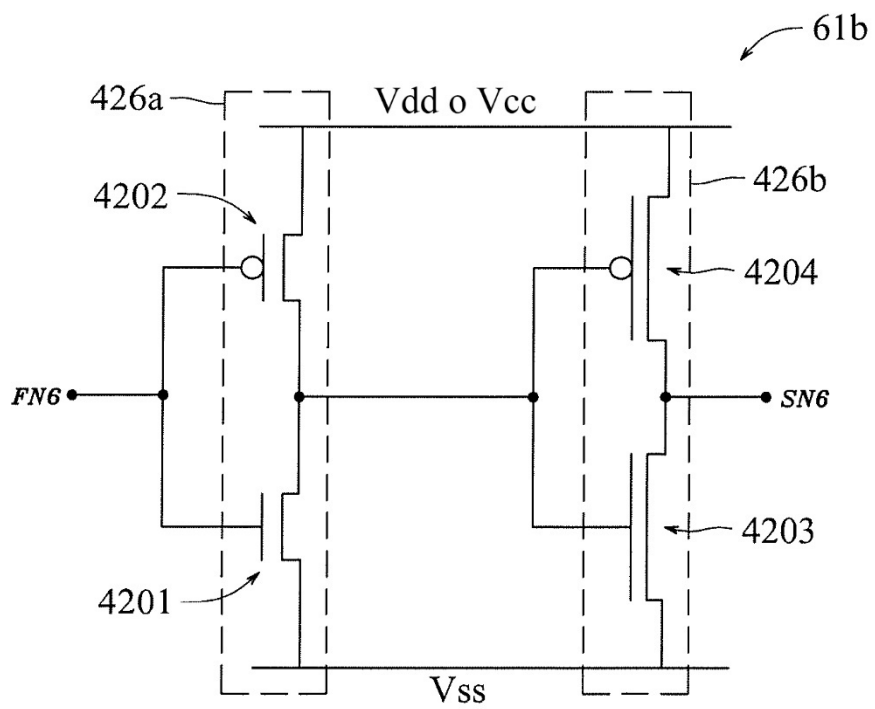


Fig. 282

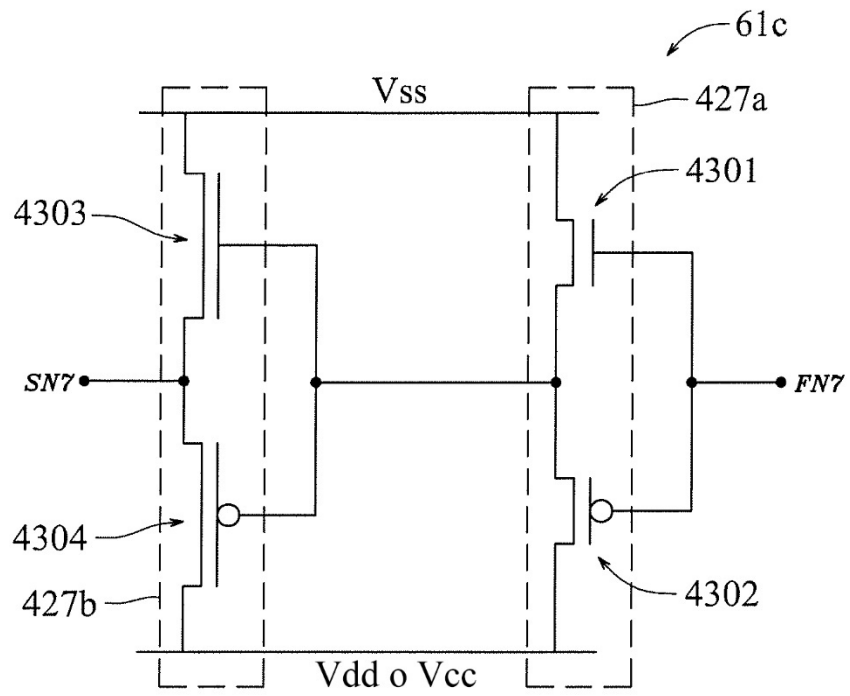


Fig. 283

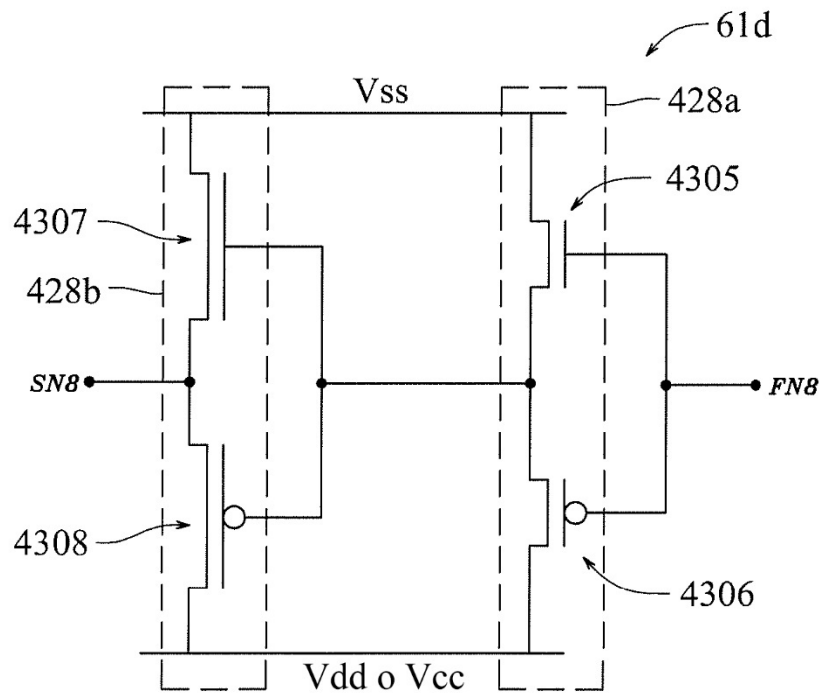


Fig. 284

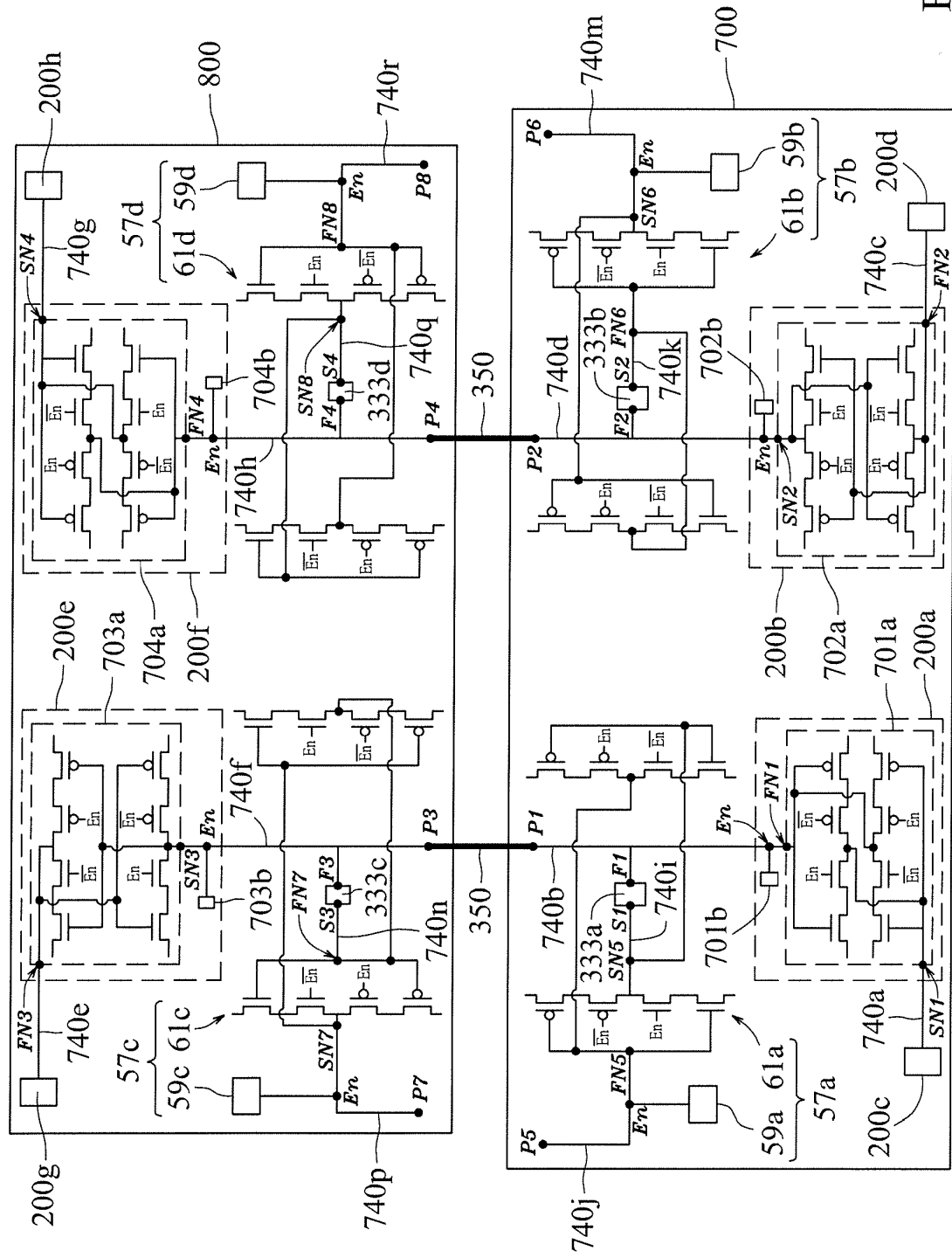


Fig. 285

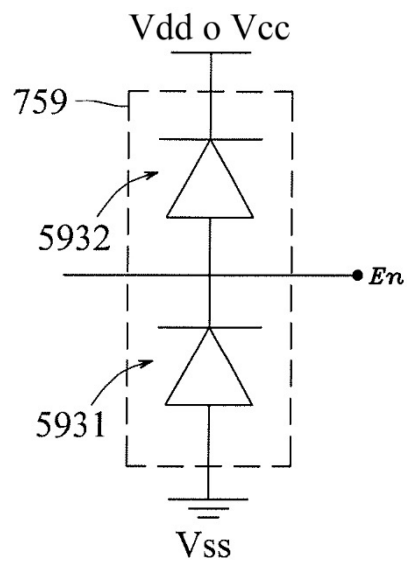


Fig. 286

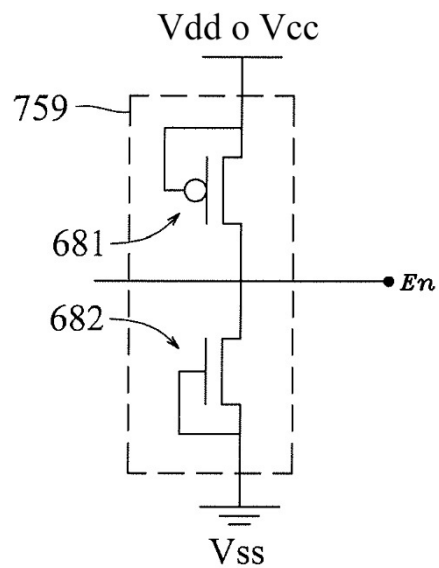


Fig. 287

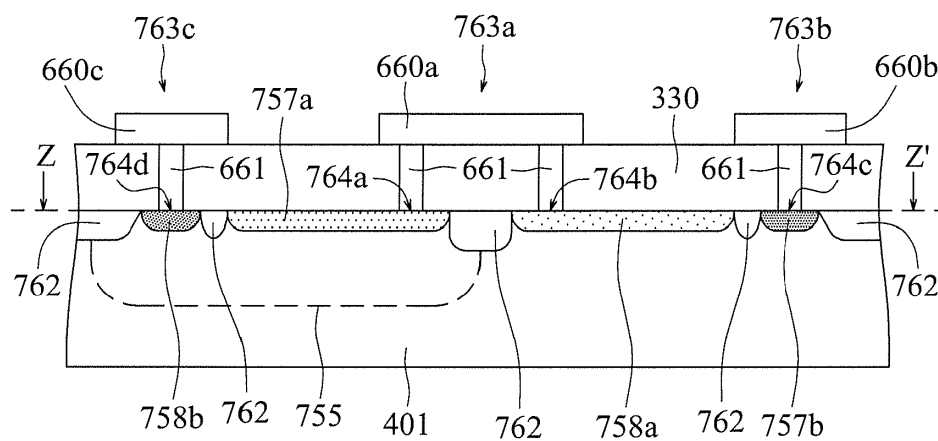


Fig. 288

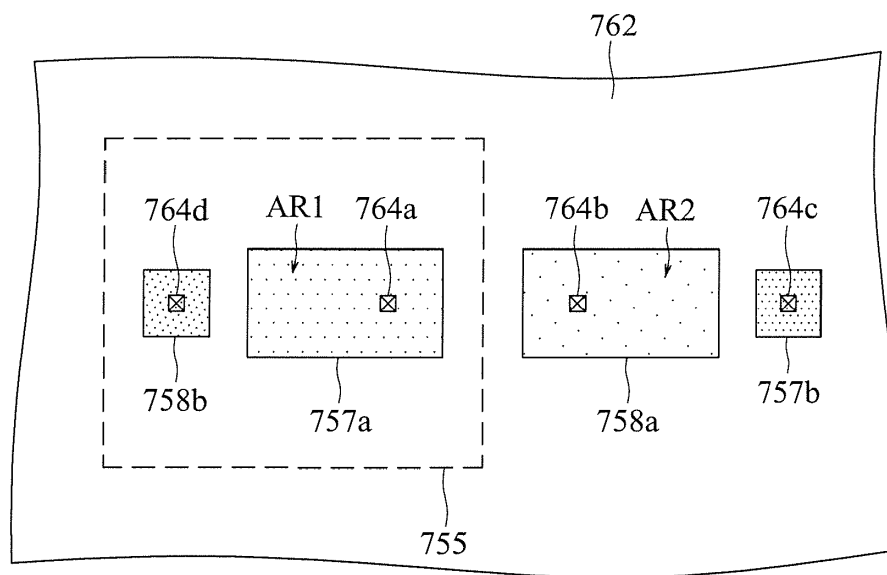


Fig. 289

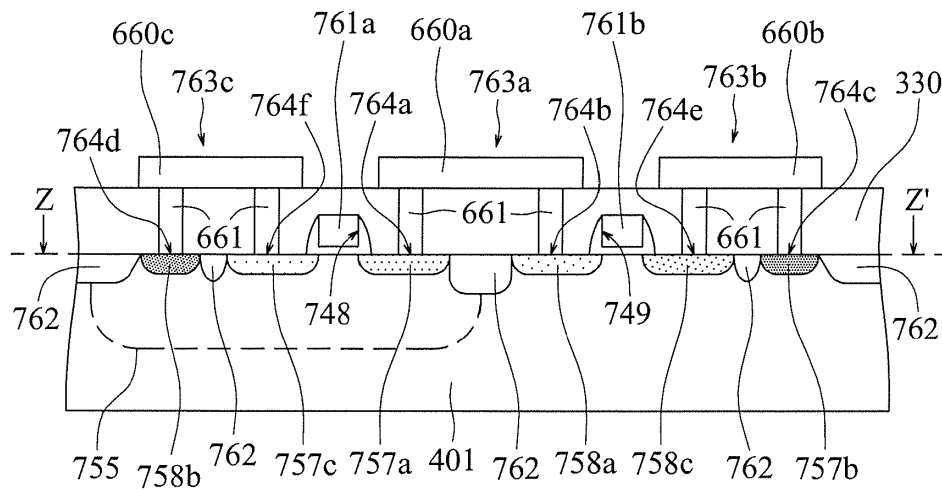


Fig. 290

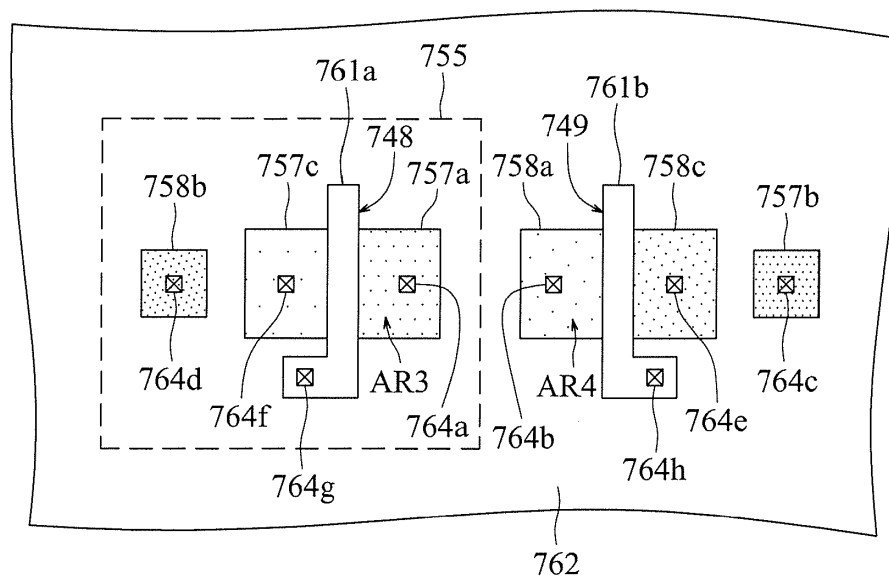


Fig. 291

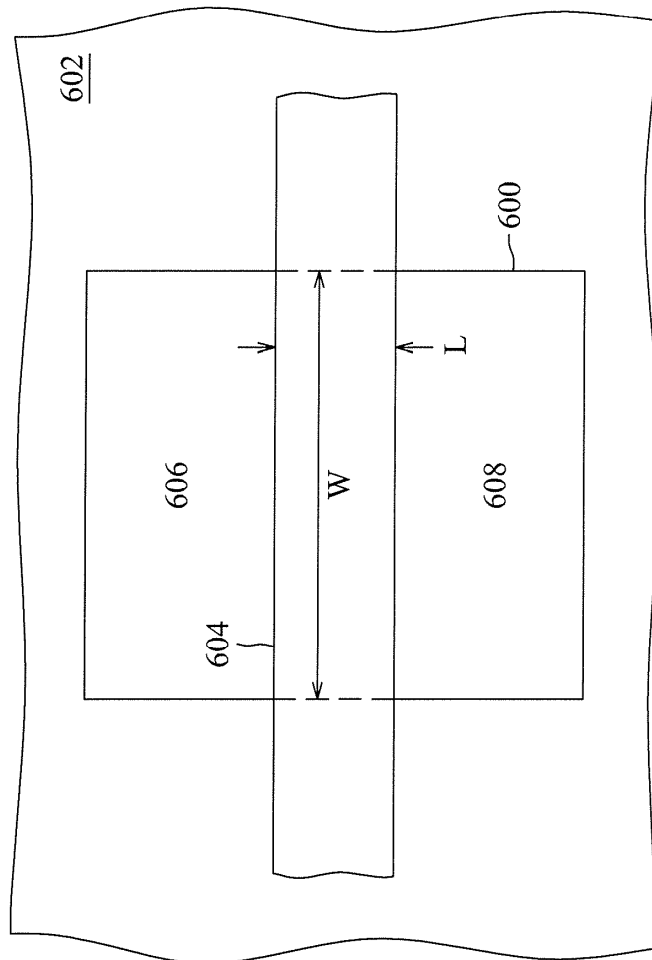


Fig. 292

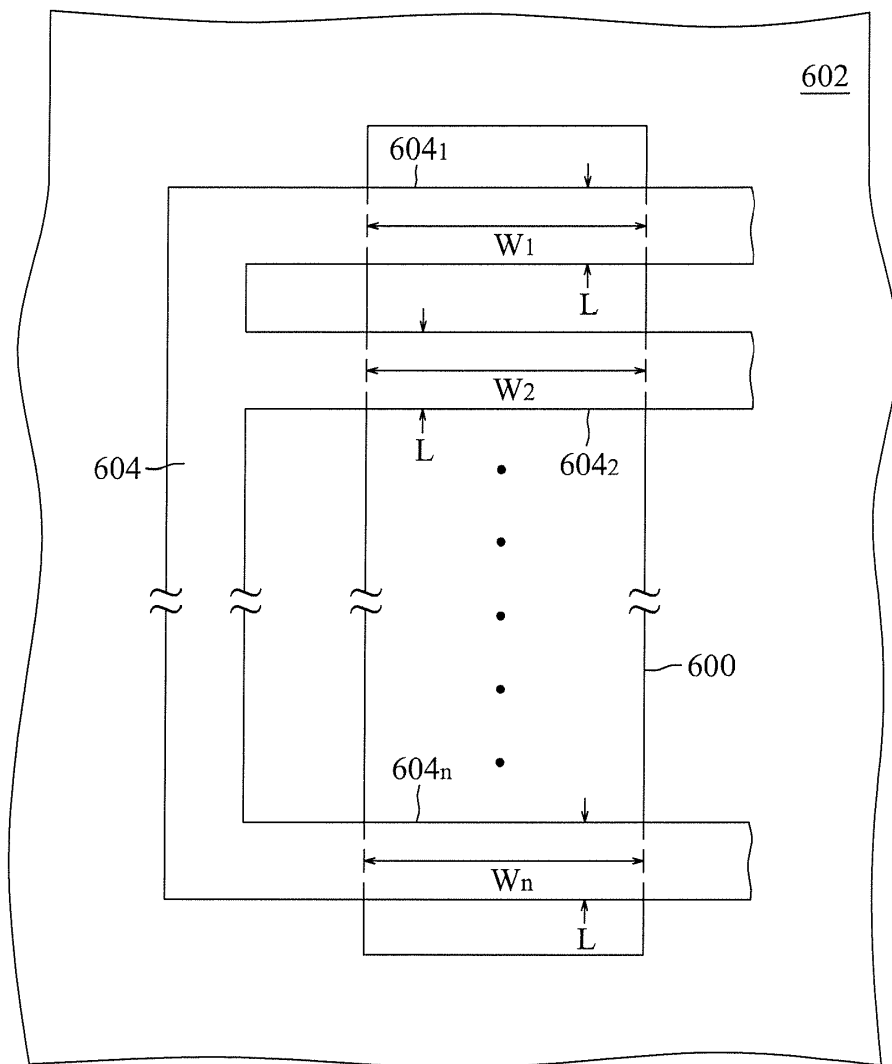


Fig. 293

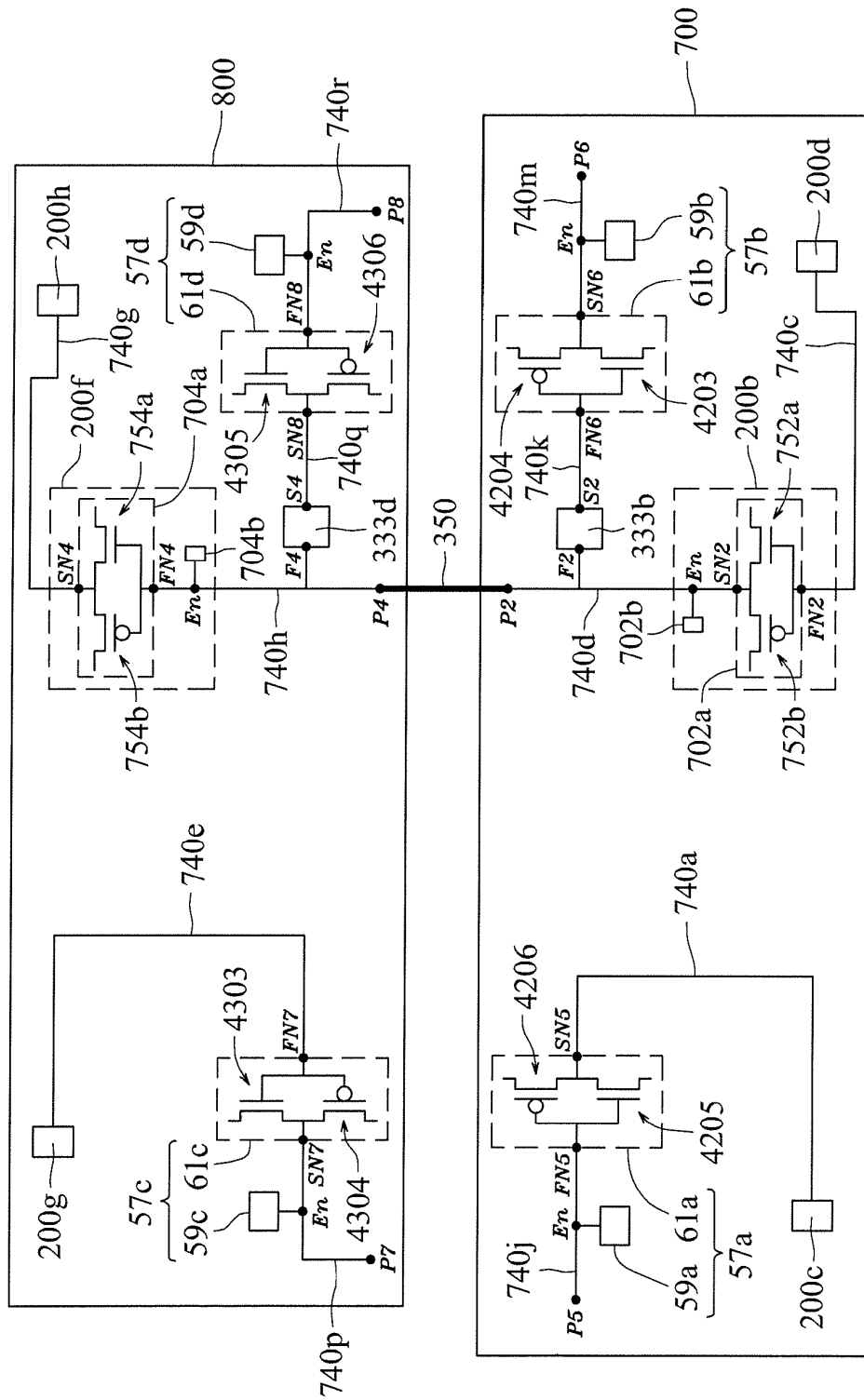


Fig. 294

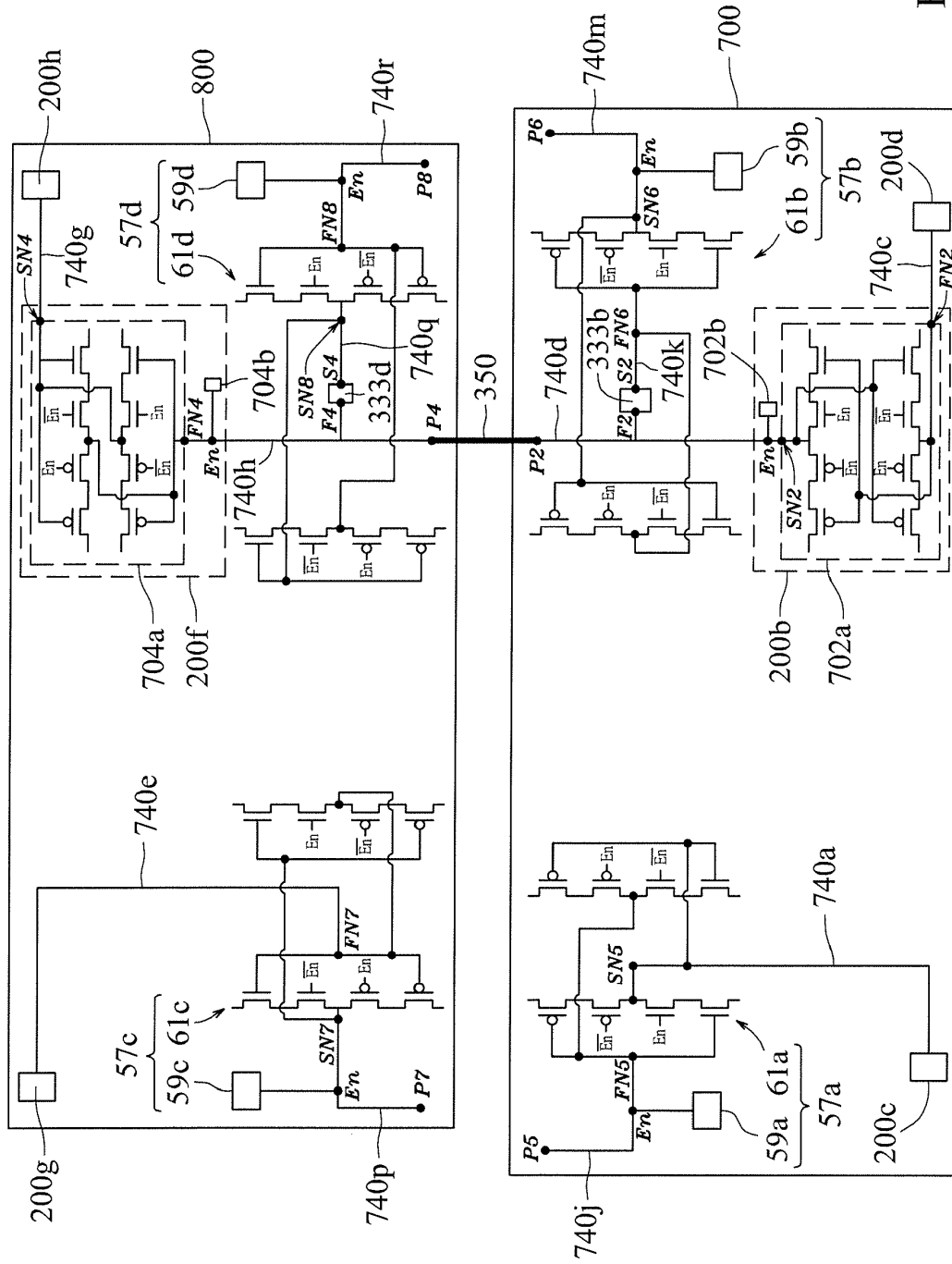


Fig. 295

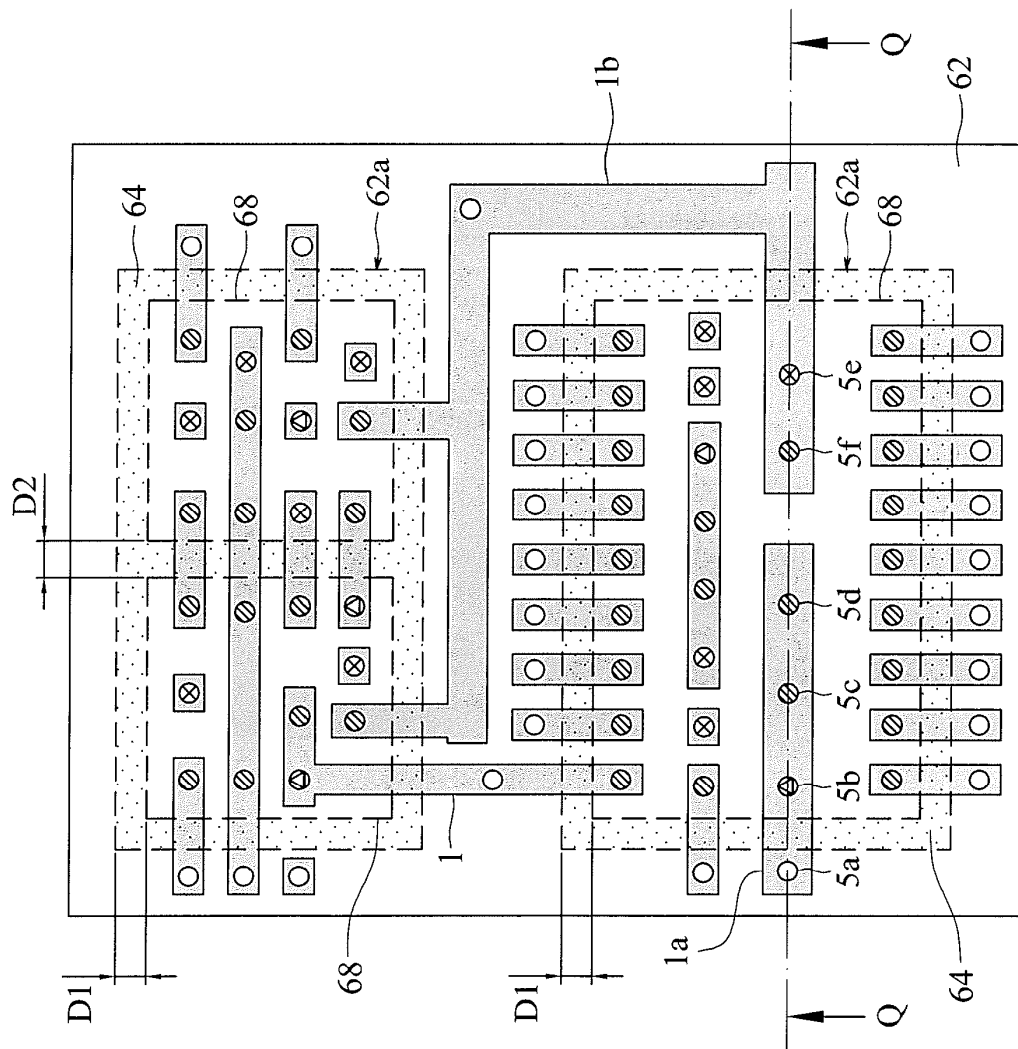


Fig. 296

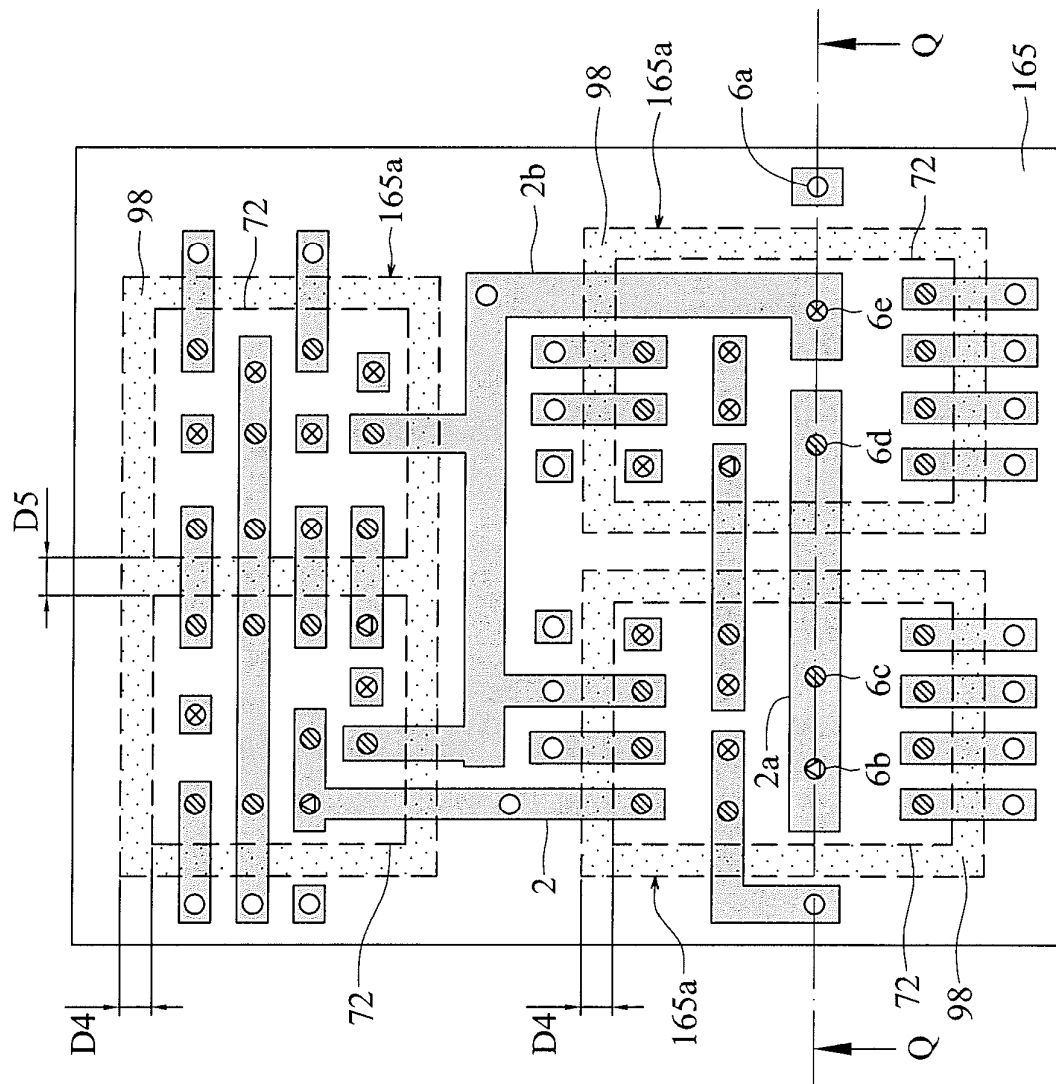


Fig. 297

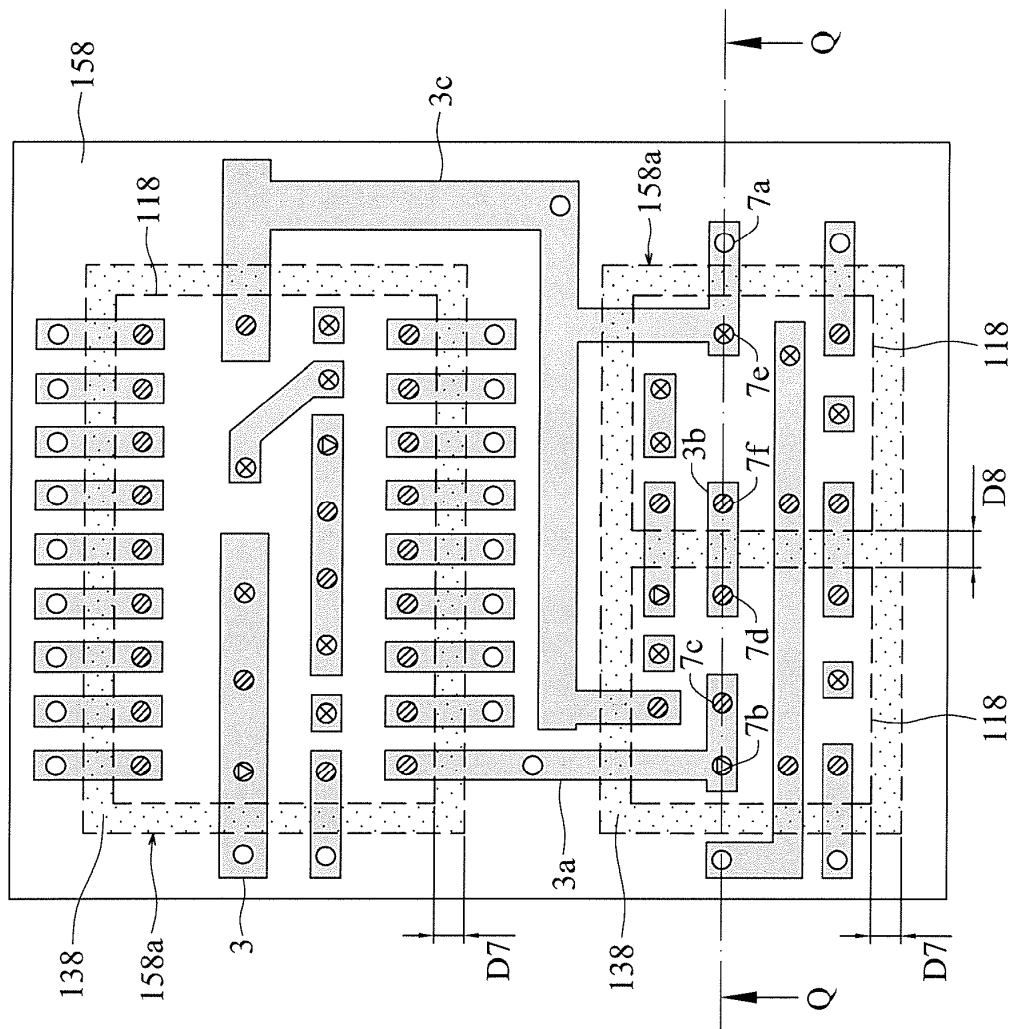


Fig. 298