

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-181663

(P2008-181663A)

(43) 公開日 平成20年8月7日(2008.8.7)

(51) Int.Cl. F I テーマコード (参考)
G 1 1 C 11/41 (2006.01) G 1 1 C 11/34 K 5 B 0 1 5
G 1 1 C 11/413 (2006.01) G 1 1 C 11/34 3 O 2 A

審査請求 有 請求項の数 5 O L (全 18 頁)

(21) 出願番号	特願2008-107695 (P2008-107695)	(71) 出願人	000001889
(22) 出願日	平成20年4月17日 (2008.4.17)		三洋電機株式会社
(62) 分割の表示	特願2003-322473 (P2003-322473) の分割	(74) 代理人	100131071
原出願日	平成15年9月16日 (2003.9.16)		弁理士 ▲角▼谷 浩
		(72) 発明者	山田 光一
			大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内
		Fターム(参考)	5B015 HH01 HH03 JJ01 JJ21 KA09 KA27 NN01

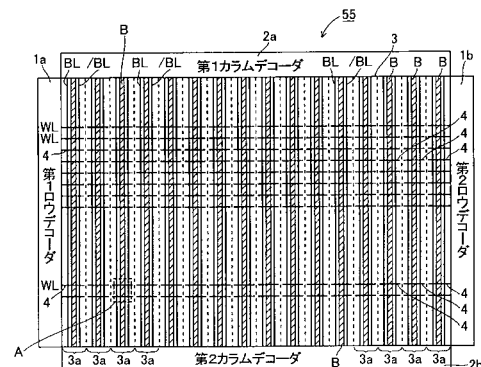
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】小型化および消費電力の低減を図りながら、動作速度を向上することが可能な半導体記憶装置を提供する。

【解決手段】この半導体記憶装置は、互いに交差するように配置された複数のビット線対B Lおよび/ B L、および、複数のワード線W Lと、ビット線対B Lおよび/ B Lとワード線W Lとに接続され、データの入力および出力を行うための単一のポートを有するシングルポートS R A Mセル6と、ワード線W Lに接続され、ロウアドレスを選択する第1ロウデコーダ1 aおよび第2ロウデコーダ1 bと、ビット線対B Lおよび/ B Lに接続され、カラムアドレスを選択する第1カラムデコーダ2 aおよび第2カラムデコーダ2 bとを備えている。また、ワード線W Lは、複数のローカルワード線4に分割されている。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

異なる系統から同時に書き込みまたは読み出しができるポートを有する半導体記憶装置において、

実質的に同時に入力した所定の容量のデータを所定のビット単位に分割し、前記所定のビット単位を、同時または別サイクルで、且つ、別アドレスに書き込むためのアクセス手段を備える、半導体記憶装置。

【請求項 2】

前記ポートは、

互いに交差するように配置された複数のビット線および複数のワード線と、

前記ビット線と前記ワード線とに接続され、データの入力および出力を行うための S R A M セルと、

前記ワード線に接続され、ロウアドレスを選択する第 1 ロウデコーダおよび第 2 ロウデコーダと、

前記ビット線に接続され、カラムアドレスを選択する第 1 カラムデコーダおよび第 2 カラムデコーダと、

を備え、

前記ワード線が複数のローカルワード線に分割されている、請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記ローカルワード線は、前記第 1 ロウデコーダおよび前記第 1 カラムデコーダのアドレス選択信号と、前記第 2 ロウデコーダおよび前記第 2 カラムデコーダのアドレス選択信号との少なくとも一方に応答して活性化される、請求項 2 に記載の半導体記憶装置。

【請求項 4】

前記ワード線は、前記第 1 ロウデコーダおよび前記第 1 カラムデコーダにより選択された第 1 アドレスと、前記第 2 ロウデコーダおよび前記第 2 カラムデコーダにより選択された第 2 アドレスとの各々に対応する 2 つの前記ローカルワード線が、それぞれ、同時に活性化するように構成されている、請求項 2 または 3 に記載の半導体記憶装置。

【請求項 5】

前記アクセス手段は、所定のビット単位毎に、個別にデータの書き込みまたは読み出しを行う、請求項 1 ~ 4 のいずれか一項に記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置に関し、特に、S R A M (S t a t i c R a n d o m A c c e s s M e m o r y) セルを含む半導体記憶装置に関する。

【背景技術】

【0002】

従来、データの入力および出力を行うための単一のポートを有するシングルポート S R A M セルを用いた半導体記憶装置が知られている。図 8 は、従来の一例によるシングルポート S R A M セルを示した回路図である。図 8 を参照して、従来の一例によるシングルポート S R A M セル 106 は、4 つの n チャネルトランジスタ (n チャネルトランジスタ N T 105 ~ N T 108) および 2 つの p チャネルトランジスタ (p チャネルトランジスタ P T 105 および P T 106) の合計 6 つのトランジスタから構成されており、フリップフロップ回路を基本構成としている。

【0003】

図 8 に示した従来の一例によるシングルポート S R A M セルを用いた半導体記憶装置の動作としては、まず、初期状態において、ワード線 W L の電位は L レベルに保持されている。これにより、初期状態では、n チャネルトランジスタ N T 107 および N T 108 のゲートの電位は L レベルに保持されるので、n チャネルトランジスタ N T 107 および N

10

20

30

40

50

T 1 0 8 はオフ状態に保持されている。この状態で、ノードND 1 0 5 の電位がHレベルであるとともに、ノードND 1 0 6 の電位がLレベルである場合には、nチャネルトランジスタNT 1 0 6 およびpチャネルトランジスタPT 1 0 6 のゲートの電位は、Hレベルになるので、nチャネルトランジスタNT 1 0 6 はオン状態になるとともに、pチャネルトランジスタPT 1 0 6 はオフ状態になる。このとき、nチャネルトランジスタNT 1 0 8 は、オフ状態であるので、nチャネルトランジスタNT 1 0 6 を介して接地電位が供給されることにより、ノードND 1 0 6 の電位は、Lレベルに保持される。

【0004】

そして、ノードND 1 0 6 の電位がLレベルに保持されることにより、nチャネルトランジスタNT 1 0 5 およびpチャネルトランジスタPT 1 0 5 のゲートの電位は、Lレベルになるので、nチャネルトランジスタNT 1 0 5 はオフ状態になるとともに、pチャネルトランジスタPT 1 0 5 はオン状態になる。このとき、nチャネルトランジスタNT 1 0 7 は、オフ状態であるので、pチャネルトランジスタPT 1 0 5 を介して正電圧V_{cc}が供給されることにより、ノードND 1 0 5 は、Hレベルに保持される。

【0005】

上記のように、シングルポートSRAMセル106では、nチャネルトランジスタNT 1 0 7 およびNT 1 0 8 をオフ状態に保持することにより、ノードND 1 0 5 の電位およびノードND 1 0 6 の電位を保持することが可能となる。そして、ロウアドレスを選択するHレベルの信号をワード線WLに供給すると、nチャネルトランジスタNT 1 0 7 およびNT 1 0 8 のゲートの電位がHレベルに上昇するので、nチャネルトランジスタNT 1 0 7 およびNT 1 0 8 はオン状態になる。これにより、ビット線BLおよび/BLを介して、シングルポートSRAMセル106に対してデータの書き込みおよび読み出しを行うことが可能となる。

【0006】

しかしながら、図8に示した従来の一例によるシングルポートSRAMセルを用いた半導体記憶装置では、所定のワード線WLを選択してHレベルの信号を供給すると、そのワード線WLに接続された全てのシングルポートSRAMセル106のnチャネルトランジスタNT 1 0 7 およびNT 1 0 8 がオン状態になる。これにより、Hレベルの信号を供給したワード線WLに接続される全てのシングルポートSRAMセル106に接続される全てのビット線対BLおよび/BLが活性化される。このように、所定のワード線WLを選択してHレベルの信号を供給すると、全てのビット線対BLおよび/BLが活性化されるので、一方の系統から所定のシングルポートSRAMセル106にアクセスしている間は、他方の系統からどのシングルポートSRAMセル106に対してもアクセスすることはできない。このため、一方の系統からのアクセス中は、他方の系統からのアクセスはウェイト状態になるので、図8に示した従来の一例によるシングルポートSRAMセルを用いた半導体記憶装置では、半導体記憶装置の動作速度を向上するのは困難であるという不都合があった。

【0007】

そこで、図8に示した従来の一例によるシングルポートSRAMセルを用いた半導体記憶装置の不都合を解消するために、2つの異なる系統から同時にデータの書き込みおよび読み出しを行うことが可能なデュアルポートSRAMセルを用いることにより、動作速度を向上させた半導体記憶装置が種々提案されている（たとえば、特許文献1参照）。

【0008】

図9は、特許文献1に開示された従来の一般的なデュアルポートSRAMセルを示した回路図である。図9を参照して、従来に提案された一例によるデュアルポートSRAMセル116は、6つのnチャネルトランジスタ（nチャネルトランジスタNT 1 1 5 ~ NT 1 2 0）および2つのpチャネルトランジスタ（pチャネルトランジスタPT 1 1 5 およびPT 1 1 6）の合計8つのトランジスタから構成されている。また、このデュアルポートSRAMセル116は、図8に示した従来の一例によるシングルポートSRAMセル106と異なり、データの入力および出力を行うためのポートを2つ備えている。この2つ

10

20

30

40

50

のポートは、それぞれ、 n チャネルトランジスタNT117およびNT118と、 n チャネルトランジスタNT119およびNT120とによって構成されている。また、 n チャネルトランジスタNT117およびNT118によって構成されたポートには、ビット線対BL1および/BL1と、ワード線WL1とが接続されている。 n チャネルトランジスタNT119およびNT120によって構成されたポートには、ビット線対BL2および/BL2と、ワード線WL2とが接続されている。なお、 n チャネルトランジスタNT115、 n チャネルトランジスタNT116、 p チャネルトランジスタPT115および p チャネルトランジスタPT116は、図8に示した n チャネルトランジスタNT105、 n チャネルトランジスタNT106、 p チャネルトランジスタPT105および p チャネルトランジスタPT106と同様のフリップフロップ回路を基本構成としている。

10

【0009】

次に、図9に示した従来の提案された一例によるデュアルポートSRAMセルを用いた半導体記憶装置の動作としては、まず、 n チャネルトランジスタNT115およびNT116と、 p チャネルトランジスタPT115およびPT116とにより、ノードND115およびND116の電位を保持する動作は、図8に示したシングルポートSRAMセルを用いた半導体記憶装置の動作と同様である。そして、ロウアドレスを選択するHレベルの信号をワード線WL1に供給すると、 n チャネルトランジスタNT117およびNT118のゲートの電位がHレベルに上昇するので、 n チャネルトランジスタNT117およびNT118はオン状態になる。これにより、ビット線対BL1および/BL1を介して、デュアルポートSRAMセル116にデータの書き込みおよび読み出しを行うことが可能となる。また、ロウアドレスを選択するHレベルの信号をワード線WL2に供給すると、 n チャネルトランジスタNT119およびNT120のゲートの電位がHレベルに上昇するので、 n チャネルトランジスタNT119およびNT120はオン状態になる。これにより、ビット線対BL2および/BL2を介して、デュアルポートSRAMセル116にデータの書き込みおよび読み出しを行うことが可能となる。この場合、ワード線WL1にHレベルの信号を供給したとしても、ビット線対BL2および/BL2は活性化されないとともに、ワード線WL2にHレベルの信号を供給したとしても、ビット線対BL1および/BL1は活性化されない。一方のポートから所定のデュアルポートSRAMセル116にアクセスしている間に他方のポートから所定のデュアルポートSRAMセル116以外のデュアルポートSRAMセル116にアクセスすることができる。このように、デュアルポートSRAMセル116を用いた半導体記憶装置では、異なる2つのデュアルポートSRAMセル116に対して、ビット線対BL1および/BL1と、ビット線対BL2および/BL2との2つの異なる系統から同時にデータの書き込みおよび読み出しを行うことができるので、半導体記憶装置に対して、2つの異なる系統から同時にアクセスすることが可能となる。これにより、一方の系統からのアクセス中に、他方の系統からのアクセスがウェイト状態になるのを抑制することができるので、半導体記憶装置の動作速度を向上することができる。

20

30

【特許文献1】特開平5-109279号公報

【発明の開示】

【発明が解決しようとする課題】

40

【0010】

しかしながら、図9に示した従来の提案されたデュアルポートSRAMセルを用いた半導体記憶装置では、1つのデュアルポートSRAMセル116が有する2つのポートに対応して、2組のビット線対BL1、/BL1、および、BL2、/BL2と、2本のワード線WL1およびWL2とを設ける必要がある。このため、シングルポートSRAMセルを用いた半導体記憶装置に比べて、ビット線およびワード線の数が増大するという不都合がある。これにより、ビット線およびワード線を配置するスペースが増大するという不都合がある。また、デュアルポートSRAMセル116は、8つのトランジスタ(n チャネルトランジスタNT115~NT120および p チャネルトランジスタPT115およびPT116)で構成されるので、6つのトランジスタで構成されるシングルポートSRAM

50

Mセルに比べてトランジスタの数が多くなるという不都合がある。これにより、トランジスタの数が多くなる分、デュアルポートSRAMセル116は、シングルポートSRAMセルに比べて、セル面積が大きくなるという不都合がある。このように、図9に示したデュアルポートSRAMセルを用いた半導体記憶装置では、ビット線およびワード線を配置するスペースが増大するとともに、デュアルポートSRAMセル116のセル面積が大きくなるので、半導体記憶装置を小型化するのが困難であるという不都合がある。

【0011】

また、図9に示したデュアルポートSRAMセルを用いた半導体記憶装置では、ワード線WL1およびWL2には、複数のデュアルポートSRAMセル116が接続されているので、所定のワード線WL1およびWL2に同時にHレベルの信号を供給した場合には、そのワード線WL1およびWL2に接続される全てのデュアルポートSRAMセル116が活性化する。このため、活性化したデュアルポートSRAMセル116に接続される全てのビット線BL1、/BL1、BL2および/BL2が活性化するので、半導体記憶装置の消費電力を低減するのが困難であるという不都合がある。なお、図8に示した従来のシングルポートSRAMセルを用いた半導体記憶装置も同様の不都合がある。

【0012】

このように、デュアルポートSRAMセル116を用いることにより半導体記憶装置の動作速度を向上させる場合には、半導体記憶装置の小型化および消費電力の低減が困難であるという問題点があった。

【0013】

この発明は、上記のような課題を解決するためになされたものであり、この発明の1つの目的は、小型化および消費電力の低減を図りながら、動作速度を向上することが可能な半導体記憶装置を提供することである。

【課題を解決するための手段および発明の効果】

【0014】

上記目的を達成するために、この発明の一の局面における半導体記憶装置は、互いに交差するように配置された複数のビット線および複数のワード線と、ビット線とワード線とに接続され、データの入力および出力を行うための単一のポートを有するシングルポートSRAMセルと、ワード線に接続され、ロウアドレスを選択する第1ロウデコーダおよび第2ロウデコーダと、ビット線に接続され、カラムアドレスを選択する第1カラムデコーダおよび第2カラムデコーダとを備えている。また、ワード線は、複数のローカルワード線に分割されている。

【0015】

上記一の局面による半導体記憶装置では、第1ロウデコーダおよび第2ロウデコーダと、第1カラムデコーダおよび第2カラムデコーダとを設けるとともに、ワード線を複数のローカルワード線に分割することによって、第1ロウデコーダおよび第1カラムデコーダにより選択されたアドレスと、第2ロウデコーダおよび第2カラムデコーダにより選択されたアドレスとに対応するローカルワード線のみを活性化することができる。これにより、別々のアドレス(カラムアドレス)に対応した2つの異なるローカルワード線を、それぞれ、同時に活性化することができる。このため、同時に活性化された2つの異なるローカルワード線が接続される2つのシングルポートSRAMセルを、それぞれ、同時に活性化することができる。これにより、2つのシングルポートSRAMセルに接続される2つの異なるビット線のみを同時に活性化することができるので、2つの異なるビット線を介して2つのシングルポートSRAMセルに、それぞれ、同時にデータの書き込みおよび読み出しを行うことができる。このため、半導体記憶装置に対して、2つの異なる系統から同時にアクセスすることが可能になる。その結果、一方の系統からのアクセス中に、他方の系統からのアクセスがウェイト状態になるのを抑制することができるので、半導体記憶装置の動作速度を向上することができる。

【0016】

また、上記一の局面では、ワード線を複数のローカルワード線に分割することによって

、第1ロウデコーダおよび第2ロウデコーダにより選択されたロウアドレスと、第1カラムデコーダおよび第2カラムデコーダにより選択されたカラムアドレスとに対応するローカルワード線のみを活性化することができるので、分割しないワード線を用いた従来の半導体記憶装置と異なり、1本のワード線が活性化するのに伴って全てのビット線が活性化することを抑制することができる。これにより、ワード線が活性化するのに伴って活性化されるビット線の数低減することができるので、その分、半導体記憶装置の消費電力を低減することができる。また、シングルポートSRAMセルを用いて半導体記憶装置を構成することによって、デュアルポートSRAMセルを用いて半導体記憶装置を構成する場合に比べて、ビット線の数およびトランジスタの数が少ない分、シングルポートSRAMセルが形成されるメモリセルアレイ領域の面積を小さくすることができる。その結果、デュアルポートSRAMセルを用いて半導体記憶装置を構成する場合に比べて、半導体記憶装置をより小型化することができる。

10

【0017】

上記一の局面による半導体記憶装置において、好ましくは、ローカルワード線は、第1ロウデコーダおよび第1カラムデコーダのアドレス選択信号と、第2ロウデコーダおよび第2カラムデコーダのアドレス選択信号とにตอบสนองして活性化される。このように構成すれば、容易に、第1ロウデコーダおよび第1カラムデコーダにより選択されたアドレスと、第2ロウデコーダおよび第2カラムデコーダにより選択されたアドレスとに対応するローカルワード線のみを活性化することができる。これにより、容易に、別々のアドレス(カラムアドレス)に対応した2つの異なるローカルワード線を、それぞれ、同時に活性化することができる。

20

【0018】

上記一の局面による半導体記憶装置において、好ましくは、ワード線は、第1ロウデコーダおよび第1カラムデコーダにより選択された第1アドレスと、第2ロウデコーダおよび第2カラムデコーダにより選択された第2アドレスとの各々に対応する2つのローカルワード線が、それぞれ、同時に活性化するように構成されている。このように構成すれば、同時に活性化された第1アドレスのローカルワード線および第2アドレスのローカルワード線の各々に接続される2つのシングルポートSRAMセルを、同時に活性化することができる。これにより、2つのシングルポートSRAMセルの各々に接続される2つの異なるビット線を介して、2つのシングルポートSRAMセルに、それぞれ、同時にデータの書き込みおよび読み出しを行うことができる。このため、容易に、半導体記憶装置に対して、2系統から同時にアクセスすることが可能になる。

30

【0019】

上記一の局面による半導体記憶装置において、好ましくは、第1ロウデコーダおよび第1カラムデコーダのアドレスを選択する2つの信号の論理積と、第2ロウデコーダおよび第2カラムデコーダのアドレスを選択する2つの信号の論理積との少なくとも一方の論理積を取って活性化した信号を、ローカルワード線に供給するサブデコード回路をさらに備えている。このように構成すれば、第1ロウデコーダおよび第1カラムデコーダからアドレス選択信号を対応するサブデコード回路に供給するとともに、第2ロウデコーダおよび第2カラムデコーダからアドレス選択信号を対応するサブデコード回路に供給することにより、容易に、第1ロウデコーダおよび第1カラムデコーダと、第2ロウデコーダおよび第2カラムデコーダとにより選択された2つのアドレスのローカルワード線のみを活性化することができる。

40

【0020】

この場合、好ましくは、サブデコード回路は、ローカルワード線毎に設けられており、ビット線の延びる方向に沿って隣接する2つのサブデコード回路は、互いに、サブデコード回路を構成するトランジスタの一部を共有している。このように構成すれば、1つのサブデコード回路を構成するトランジスタの数を低減することができるので、その分、サブデコード回路の大きさを小さくすることができる。

【0021】

50

上記一の局面による半導体記憶装置において、好ましくは、実質的に同時に入力した所定の容量のデータを所定のビット単位毎に別サイクル、かつ、別アドレスに書き込むためのアクセス手段をさらに備えている。このように構成すれば、容易に、半導体記憶装置に対して同時に入力した所定の容量のデータを所定のビット単位毎に別々のサイクルで書き込むことができるとともに、同時に入力した所定の容量のデータを所定のビット単位毎に別々のアドレスのシングルポート S R A M セルに書き込むことができる。

【 0 0 2 2 】

この場合において、好ましくは、アクセス手段は、所定のビット単位毎に、個別にデータの書き込みまたは読み出しを行う。このように構成すれば、所定のビット単位のデータの書き込み中に、書き込みを行うビット単位以外のビット単位のデータの読み出しを行うことができる。

10

【 発明を実施するための最良の形態 】

【 0 0 2 3 】

以下、本発明の実施形態を図面に基づいて説明する。

【 0 0 2 4 】

(第 1 実施形態)

図 1 は、本発明の第 1 実施形態による半導体記憶装置 (S R A M - I P) を含むカードリーダーの構成を示した模式図である。この第 1 実施形態による S R A M - I P を含むカードリーダー 5 0 は、図 1 に示すように、U S B ケーブル 5 1 を介してパーソナルコンピュータ (以下、「パソコン」という) 5 2 に接続されている。このパソコン 5 2 は、データを記憶するためのハードディスク 5 2 a を備えている。また、カードリーダー 5 0 は、データの記録媒体であるフラッシュカード 5 3 を装着することができるよう構成されている。また、カードリーダー 5 0 は、マイクロコンピュータ (以下、「マイコン」という) 5 4 と、S R A M - I P (i n t e l l e c t u a l p r o p e r t y) 5 5 とを備えている。ここで、S R A M - I P 5 5 は、チップ内に組み込まれる S R A M の機能ブロックを意味する。この S R A M - I P 5 5 は、パソコン 5 2 のハードディスク 5 2 a およびフラッシュカード 5 3 から出力されたデータを一時的にストックする機能を有する。なお、S R A M - I P 5 5 の詳細については後述する。また、マイコン 5 4 は、パソコン 5 2 のハードディスク 5 2 a とフラッシュカード 5 3 および S R A M - I P 5 5 との間のデータのやり取りを制御するために設けられている。

20

30

【 0 0 2 5 】

また、第 1 実施形態による S R A M - I P 5 5 を含むカードリーダー 5 0 の動作としては、フラッシュカード 5 3 からパソコン 5 2 のハードディスク 5 2 a にデータを転送する場合には、まず、フラッシュカード 5 3 に記録されたデータが、カードリーダー 5 0 のマイコン 5 4 に出力される。マイコン 5 4 に出力されたデータは、マイコン 5 4 が S R A M - I P 5 5 にアクセスすることにより、S R A M - I P 5 5 に書き込まれる。そして、S R A M - I P 5 5 に書き込まれたデータは、マイコン 5 4 が S R A M - I P 5 5 にアクセスすることにより、S R A M - I P 5 5 から読み出される。S R A M - I P 5 5 から読み出されたデータは、マイコン 5 4 および U S B ケーブル 5 1 を介してパソコン 5 2 に出力される。そして、パソコン 5 2 に出力されたデータは、パソコン 5 2 のハードディスク 5 2 a に記憶される。

40

【 0 0 2 6 】

一方、パソコン 5 2 のハードディスク 5 2 a からフラッシュカード 5 3 にデータを転送する場合には、まず、パソコン 5 2 のハードディスク 5 2 a に記録されたデータが、U S B ケーブル 5 1 を介して、カードリーダー 5 0 のマイコン 5 4 に出力される。マイコン 5 4 に出力されたデータは、マイコン 5 4 が S R A M - I P 5 5 にアクセスすることにより、S R A M - I P 5 5 に書き込まれる。そして、S R A M - I P 5 5 に書き込まれたデータは、マイコン 5 4 が S R A M - I P 5 5 にアクセスすることにより、S R A M - I P 5 5 から読み出される。S R A M - I P 5 5 から読み出されたデータは、マイコン 5 4 からフラッシュカード 5 3 に出力されることにより、フラッシュカード 5 3 に記録される。

50

【 0 0 2 7 】

図 2 は、本発明の第 1 実施形態による半導体記憶装置 (S R A M - I P) の構成を示した平面図である。図 3 は、図 2 に示した第 1 実施形態による半導体記憶装置 (S R A M - I P) のサブデコード回路の論理回路を示した図である。図 4 は、図 2 に示した第 1 実施形態による半導体記憶装置 (S R A M - I P) の回路図である。なお、図 4 に示した回路図は、図 2 中の破線で囲った領域 A の回路図に相当する。図 5 は、図 4 に示した第 1 実施形態による半導体記憶装置 (S R A M - I P) の回路図のシングルポート S R A M セル部分を示した拡大回路図である。次に、図 2 ~ 図 5 を参照して、本発明の第 1 実施形態による半導体記憶装置 (S R A M - I P) の構成について説明する。

【 0 0 2 8 】

この第 1 実施形態による S R A M - I P 5 5 は、図 2 に示すように、ロウアドレスを選択する 2 つの第 1 ロウデコーダ 1 a および第 2 ロウデコーダ 1 b と、カラムアドレスを選択する 2 つの第 1 カラムデコーダ 2 a および第 2 カラムデコーダ 2 b とを備えている。また、S R A M - I P 5 5 は、シングルポート S R A M セルなどが形成されるメモリセルアレイ領域 3 を備えている。このメモリセルアレイ領域 3 は、16 個のブロック 3 a に分割されている。また、メモリセルアレイ領域 3 には、互いに交差するように複数のビット線対 B L および / B L と、複数のワード線 W L とが配置されている。なお、図 2 では、メモリセルアレイ領域 3 の 1 つのブロック 3 a に対して 1 組のビット線対 B L および / B L のみを示したが、第 1 実施形態では、1 つのブロック 3 a に対して 32 組のビット線対 B L および / B L が設けられている。また、図 2 では、ワード線 W L の一部のみを示したが、第 1 実施形態では、128 本のワード線 W L が設けられている。

【 0 0 2 9 】

ここで、第 1 実施形態では、各ワード線 W L は、メモリセルアレイ領域 3 の 16 個に分割されたブロック 3 a に対応して 16 本のローカルワード線 4 に分割されている。また、図 2 中の斜線領域 B には、図 3 に示すような入力が反転された A N D - O R 回路からなる論理回路を構成するサブデコード回路 5 a および 5 b (図 4 参照) が形成されている。また、図 3 の論理回路のうちの一方の A N D 回路には、第 1 ロウデコーダ 1 a (図 2 参照) のロウアドレス選択信号および第 1 カラムデコーダ 2 a のカラムアドレス選択信号が入力され、他方の A N D 回路には、第 2 ロウデコーダ 1 b のロウアドレス選択信号および第 2 カラムデコーダ 2 b のカラムアドレス選択信号が入力される。これにより、第 1 ロウデコーダ 1 a (図 2 参照) のロウアドレス選択信号および第 1 カラムデコーダ 2 a のカラムアドレス選択信号の論理積と、第 2 ロウデコーダ 1 b のロウアドレス選択信号および第 2 カラムデコーダ 2 b のカラムアドレス選択信号の論理積とのうちのいずれか一方の論理積を取って活性化した信号が、O R 回路からローカルワード線 4 (図 2 参照) に出力される。具体的には、第 1 ロウデコーダ 1 a (図 2 参照) のロウアドレス選択信号および第 1 カラムデコーダ 2 a のカラムアドレス選択信号が共に L レベルの場合、または、第 2 ロウデコーダ 1 b のロウアドレス選択信号および第 2 カラムデコーダ 2 b のカラムアドレス選択信号が共に L レベルの場合には、O R 回路からローカルワード線 4 (図 2 および図 4 参照) に H レベルの信号が出力される。

【 0 0 3 0 】

また、S R A M - I P 5 5 のメモリセルアレイ領域 3 (図 2 参照) の 1 つのブロック 3 a の斜線領域 B には、図 4 に示すように、各ローカルワード線 4 毎に、1 つのサブデコード回路 5 a (5 b) が設けられている。また、サブデコード回路 5 a および 5 b は、ビット線対 B L および / B L の延びる方向に沿って設けられている。このサブデコード回路 5 a および 5 b の両側には、複数のビット線対 B L および / B L が配置されている。また、ビット線対 B L および / B L に交差するように複数のローカルワード線 4 が設けられている。また、サブデコード回路 5 a および 5 b は、それぞれ、異なるローカルワード線 4 に接続されている。なお、図 4 では、5 組のビット線対 B L および / B L のみを示したが、第 1 実施形態では、メモリセルアレイ領域 3 (図 2 参照) の 1 つのブロック 3 a に対して 32 組のビット線対 B L および / B L が設けられている。また、図 4 では、2 本のローカ

ルワード線 4 のみを示したが、第 1 実施形態では、1 つのブロック 3 a に対して、1 2 8 本のローカルワード線 4 が設けられている。また、図 4 では、2 つのサブデコード回路 5 a および 5 b のみを示したが、第 1 実施形態では、1 2 8 本設けられたローカルワード線 4 のそれぞれに対応して 1 2 8 個のサブデコード回路 5 a (5 b) が設けられている。

【 0 0 3 1 】

また、図 4 に示すように、サブデコード回路 5 a は、4 つの n チャンネルトランジスタ (n チャンネルトランジスタ N T 1 ~ N T 4) と、4 つの p チャンネルトランジスタ (p チャンネルトランジスタ P T 1 ~ P T 4) とから構成されている。n チャンネルトランジスタ N T 1 のソースは、接地されており、ゲートには、第 1 ロウデコーダ 1 a (図 2 参照) からロウアドレス選択信号 R O W 1 1 が供給される。また、n チャンネルトランジスタ N T 1 のドレインは、n チャンネルトランジスタ N T 2 のソースに接続されている。また、n チャンネルトランジスタ N T 2 のゲートには、第 2 カラムデコーダ 2 b (図 2 参照) のカラムアドレス選択信号 C L 2 が供給される。また、n チャンネルトランジスタ N T 2 のドレインは、p チャンネルトランジスタ P T 1 のドレインに接続されている。また、n チャンネルトランジスタ N T 2 のドレインと p チャンネルトランジスタ P T 1 のドレインとの間のノード N D 2 は、ローカルワード線 4 に接続されている。また、p チャンネルトランジスタ P T 1 のゲートには、第 1 ロウデコーダ 1 a (図 2 参照) からロウアドレス選択信号 R O W 1 1 が供給される。また、p チャンネルトランジスタ P T 1 のソースは、p チャンネルトランジスタ P T 2 のドレインに接続されている。p チャンネルトランジスタ P T 2 のゲートには、第 1 カラムデコーダ 2 a (図 2 参照) のカラムアドレス選択信号 C L 1 が供給される。また、p チャンネルトランジスタ P T 2 のソースには、正電圧 V c c が供給される。

【 0 0 3 2 】

また、n チャンネルトランジスタ N T 3 のソースは、接地されており、ゲートには、第 1 カラムデコーダ 2 a (図 2 参照) のカラムアドレス選択信号 C L 1 が供給される。また、n チャンネルトランジスタ N T 3 のドレインは、n チャンネルトランジスタ N T 4 のソースに接続されている。n チャンネルトランジスタ N T 3 のドレインと、n チャンネルトランジスタ N T 4 のソースとの間のノード N D 3 は、n チャンネルトランジスタ N T 1 のドレインと n チャンネルトランジスタ N T 2 のソースとの間のノード N D 1 と接続されている。また、n チャンネルトランジスタ N T 4 のゲートには、第 2 ロウデコーダ 1 b (図 2 参照) からロウアドレス選択信号 R O W 2 1 が供給される。また、n チャンネルトランジスタ N T 4 のドレインは、p チャンネルトランジスタ P T 3 のドレインに接続されている。また、n チャンネルトランジスタ N T 4 のドレインと、p チャンネルトランジスタ P T 3 のドレインとの間のノード N D 4 は、ローカルワード線 4 に接続されている。また、p チャンネルトランジスタ P T 3 のゲートには、第 2 ロウデコーダ 1 b (図 2 参照) のロウアドレス選択信号 R O W 2 1 が供給される。また、p チャンネルトランジスタ P T 3 のソースは、p チャンネルトランジスタ P T 4 のドレインに接続されている。p チャンネルトランジスタ P T 4 のゲートには、第 2 カラムデコーダ 2 b (図 2 参照) からカラムアドレス選択信号 C L 2 が供給される。また、p チャンネルトランジスタ P T 4 のソースには、正電圧 V c c が供給される。また、ビット線対 B L および / B L の延びる方向に沿って、サブデコード回路 5 a に隣接するように別のサブデコード回路 5 b が設けられている。このサブデコード回路 5 b の構成は、上記したサブデコード回路 5 a の構成と同様である。

【 0 0 3 3 】

ここで、第 1 実施形態では、サブデコード回路 5 a とサブデコード回路 5 b とは、互いに、p チャンネルトランジスタ P T 2 と p チャンネルトランジスタ P T 4 とを共有している。具体的には、サブデコード回路 5 a における p チャンネルトランジスタ P T 2 は、サブデコード回路 5 b における p チャンネルトランジスタ P T 4 に相当する。また、サブデコード回路 5 a における p チャンネルトランジスタ P T 4 は、サブデコード回路 5 b における p チャンネルトランジスタ P T 2 に相当する。

【 0 0 3 4 】

また、ローカルワード線 4 と、ビット線対 B L および / B L とが交差する位置には、そ

れぞれ、1つのシングルポートSRAMセル6が配置されている。このシングルポートSRAMセル6は、ビット線対BLおよび/BLと、ローカルワード線4とに接続されている。また、シングルポートSRAMセル6は、図5に示すように、4つのnチャネルトランジスタ(nチャネルトランジスタNT5~NT8)および2つのpチャネルトランジスタ(pチャネルトランジスタPT5およびPT6)の合計6つのトランジスタを備えている。nチャネルトランジスタNT5のソースは、接地されており、ドレインは、pチャネルトランジスタPT5のドレインに接続されている。また、pチャネルトランジスタPT5のソースには、正電圧Vccが供給される。

【0035】

また、nチャネルトランジスタNT6のソースは、接地されており、ドレインは、pチャネルトランジスタPT6のドレインに接続されている。また、nチャネルトランジスタNT6のドレインとpチャネルトランジスタPT6のドレインとの間のノードND6には、nチャネルトランジスタNT5およびpチャネルトランジスタPT5のゲートが接続されている。また、pチャネルトランジスタPT6のソースには、正電圧Vccが供給される。また、nチャネルトランジスタNT6およびpチャネルトランジスタPT6のゲートは、nチャネルトランジスタNT5のドレインとpチャネルトランジスタPT5のドレインとの間のノードND5に接続されている。

【0036】

また、nチャネルトランジスタNT7のソースまたはドレインの一方は、ノードND5に接続されており、ソースまたはドレインの他方は、ビット線BLに接続されている。また、nチャネルトランジスタNT8のソースまたはドレインの一方は、ノードND6に接続されており、ソースまたはドレインの他方は、反転ビット線/BLに接続されている。また、nチャネルトランジスタNT7およびNT8のゲートは、ローカルワード線4に接続されている。これらのnチャネルトランジスタNT7およびNT8によって、シングルポートSRAMセル6の単一のポートが構成されている。

【0037】

図6は、本発明の第1実施形態による半導体記憶装置(SRAM-IP)の動作を説明するための平面図である。次に、図6を参照して、本発明の第1実施形態によるSRAM-IPの動作について説明する。

【0038】

本発明の第1実施形態によるSRAM-IP55の動作としては、図6に示すように、第1ロウデコーダ1aからロウアドレス選択信号ROW11が出力されるとともに、第1カラムデコーダ2aからカラムアドレス選択信号CL1が出力される。そして、この第1ロウデコーダ1aのロウアドレス選択信号ROW11と、第1カラムデコーダ2aのカラムアドレス選択信号CL1とに应答して、第1アドレスのローカルワード線4aがHレベルの電位になる。その一方で、第2ロウデコーダ1bからロウアドレス選択信号ROWnが出力されるとともに、第2カラムデコーダ2bからカラムアドレス選択信号CLnが出力される。そして、この第2ロウデコーダ1bのロウアドレス選択信号ROWnnと、第2カラムデコーダ2bのカラムアドレス選択信号CLnとに应答して、第2アドレスのローカルワード線4bがHレベルの電位になる。

【0039】

このように、第1実施形態では、第1ロウデコーダ1aおよび第1カラムデコーダ2aにより選択された第1アドレスと、第2ロウデコーダ1bおよび第2カラムデコーダ2bにより選択された第2アドレスとの各々に対応する2つのローカルワード線4aおよび4bを、同時にHレベルの電位にすることが可能である。これにより、ローカルワード線4aおよび4bと、選択された2組のビット線対BLおよび/BLとの間に配置された2つのシングルポートSRAMセル6に対して、同時にアクセスすることが可能となる。ただし、この第1実施形態によるSRAM-IP55では、同じビット線対BLおよび/BLに繋がる2つのシングルポートSRAMセル6には、同時にアクセスすることはできず、ビット線対BLおよび/BLが異なる2つのシングルポートSRAMセル6についてのみ

アクセス可能である。つまり、第 1 実施形態では、カラムアドレスが異なる 2 つのシングルポート S R A M セル 6 について同時にアクセス可能である。

【 0 0 4 0 】

次に、図 4 ~ 図 6 を参照して、第 1 ロウデコーダ 1 a、第 2 ロウデコーダ 1 b、第 1 カラムデコーダ 2 a および第 2 カラムデコーダ 2 b により選択されたローカルワード線 4 が H レベルの電位になる際のサブデコード回路 5 a およびシングルポート S R A M セル 6 の動作について説明する。まず、初期状態では、図 6 に示した第 1 ロウデコーダ 1 a、第 2 ロウデコーダ 1 b、第 1 カラムデコーダ 2 a および第 2 カラムデコーダ 2 b から、それぞれ、図 4 に示すように、H レベルの信号 R O W 1 1、R O W 2 1、C L 1 および C L 2 が、サブデコード回路 5 a に入力されている。これにより、n チャネルトランジスタ N T 1 ~ N T 4 および p チャネルトランジスタ P T 1 ~ P T 4 のゲートの電位は、H レベルになるので、n チャネルトランジスタ N T 1 ~ N T 4 はオン状態になるとともに、p チャネルトランジスタ P T 1 ~ P T 4 はオフ状態になる。このため、ノード N D 2 およびノード N D 4 には、n チャネルトランジスタ N T 1 ~ N T 4 を介して接地電位 (G N D) が供給されるので、ノード N D 2 およびノード N D 4 の電位は L レベルになる。これにより、初期状態では、ローカルワード線 4 の電位は L レベルになっている。また、この初期状態では、ローカルワード線 4 の電位が L レベルであることにより、シングルポート S R A M セル 6 (図 5 参照) の n チャネルトランジスタ N T 7 および N T 8 がオフ状態になっている。これにより、シングルポート S R A M セル 6 に対して、ビット線対 B L および / B L からデータの書き込みおよび読み出しができない状態になっているので、初期状態では、ビット線対 B L および / B L は不活性な状態になっている。

【 0 0 4 1 】

次に、第 1 ロウデコーダ 1 a (図 6 参照) からサブデコード回路 5 a (図 4 参照) に入力されているロウアドレス選択信号 R O W 1 1 が L レベルになる。これにより、n チャネルトランジスタ N T 1 および p チャネルトランジスタ P T 1 のゲートの電位は L レベルになるので、n チャネルトランジスタ N T 1 はオフ状態になるとともに、p チャネルトランジスタ P T 1 はオン状態になる。その一方で、第 1 カラムデコーダ 2 a (図 6 参照) からサブデコード回路 5 a (図 4 参照) に入力されているカラムアドレス選択信号 C L 1 が L レベルになる。これにより、n チャネルトランジスタ N T 3 および p チャネルトランジスタ P T 2 のゲートの電位は L レベルになるので、n チャネルトランジスタ N T 3 がオフ状態になるとともに、p チャネルトランジスタ P T 2 がオン状態になる。

【 0 0 4 2 】

このとき、n チャネルトランジスタ N T 2 および N T 4 は、オン状態に保持されるとともに、p チャネルトランジスタ P T 3 および P T 4 は、オフ状態に保持されているので、p チャネルトランジスタ P T 1 および P T 2 を介して、ノード N D 2 に正電圧 V c c が供給されることにより、ノード N D 2 の電位は H レベルに上昇する。これにより、ローカルワード線 4 の電位は H レベルになる。ローカルワード線 4 の電位が H レベルになると、図 5 に示すように、シングルポート S R A M セル 6 の n チャネルトランジスタ N T 7 および N T 8 のゲートの電位が H レベルに上昇するので、n チャネルトランジスタ N T 7 および N T 8 はオン状態になる。これにより、ビット線対 B L および / B L からシングルポート S R A M セル 6 にデータの書き込みおよび読み出しを行うことが可能となるので、ビット線対 B L および / B L が活性化される。

【 0 0 4 3 】

第 1 実施形態では、上記のように、第 1 ロウデコーダ 1 a および第 2 ロウデコーダ 1 b と、第 1 カラムデコーダ 2 a および第 2 カラムデコーダ 2 b とを設けるとともに、ワード線 W L を複数のワード線 4 に分割することによって、第 1 ロウデコーダ 1 a および第 1 カラムデコーダ 2 a により選択されたアドレスと、第 2 ロウデコーダ 1 b および第 2 カラムデコーダ 2 b により選択されたアドレスとに対応するローカルワード線 4 a および 4 b のみを H レベルの電位にすることができる。これにより、別々のアドレス (カラムアドレス) に対応した 2 つの異なるローカルワード線 4 a および 4 b を、それぞれ、同時に H レベ

ルの電位にすることができる。このため、同時にHレベルの電位にされた2つの異なるローカルワード線4 aおよび4 bが接続される2つのシングルポートSRAMセル6のnチャネルトランジスタNT 7およびNT 8を、同時にオン状態にすることができる。これにより、2つのシングルポートSRAMセル6に接続される2組の異なるビット線対BLおよび/B Lのみを同時に活性化することができるので、2組の異なるビット線対BLおよび/B Lを介して、2つのシングルポートSRAMセル6に、それぞれ、同時にデータの書き込みおよび読み出しを行うことができる。このため、SRAM - IP 5 5に対して、2つの異なる系統から同時にアクセスすることが可能になる。その結果、一方の系統からのアクセス中に、他方の系統からのアクセスがウェイト状態になるのを抑制することができるので、SRAM - IP 5 5の動作速度を向上させることができる。これにより、図1に示したカードリーダー5 0において、パソコン5 2のハードディスク5 2 aとフラッシュカード5 3との間でデータのやり取りをする場合に、SRAM - IP 5 5に対して、データを書き込むためのアクセスと、SRAM - IP 5 5に書き込まれたデータを読み出すためのアクセスとを同時に行うことができるので、カードリーダー5 0の動作速度を向上させることができる。

10

20

30

40

50

【0044】

また、第1実施形態では、ワード線WLを複数のローカルワード線4に分割することによって、第1ロウデコーダ1 aおよび第2ロウデコーダ1 bにより選択されたロウアドレスと、第1カラムデコーダ2 aおよび第2カラムデコーダ2 bにより選択されたカラムアドレスとに対応するローカルワード線4 aおよび4 bのみをHレベルの電位にすることができるので、分割しないワード線WLを用いた従来の半導体記憶装置と異なり、1本のワード線WLの電位がHレベルになるのに伴って全てのビット線対BLおよび/B Lが活性化されるのを抑制することができる。これにより、ワード線WLの電位がHレベルになるのに伴って活性化されるビット線対BLおよび/B Lの数を低減することができるので、その分、SRAM - IP 5 5の消費電力を低減することができる。その結果、第1実施形態によるSRAM - IP 5 5を含むカードリーダー5 0（図1参照）の消費電力を低減することができる。

【0045】

また、第1実施形態では、シングルポートSRAMセル6を用いてSRAM - IP 5 5を構成することによって、デュアルポートSRAMセルを用いてSRAM - IP 5 5を構成する場合に比べて、ビット線対BLおよび/B Lの数、および、トランジスタの数が少ない分、シングルポートSRAMセル6が形成されるメモリセルアレイ領域3の面積を小さくすることができる。その結果、デュアルポートSRAMセルを用いてSRAM - IP 5 5を構成する場合に比べて、SRAM - IP 5 5をより小型化することができる。

【0046】

また、第1実施形態では、ビット線対BLおよび/B Lの伸びる方向に沿って隣接する2つのサブデコード回路5 aおよび5 bが、互いに、サブデコード回路5 a（5 b）を構成するpチャネルトランジスタPT 2およびPT 4を共有することによって、サブデコード回路5 a（5 b）を構成するトランジスタの数を低減することができるので、その分、サブデコード回路5 aおよび5 bの大きさを小さくすることができる。

【0047】

（第2実施形態）

図7は、本発明の第2実施形態による半導体記憶装置（SRAM - IP）の構成を示した平面図である。図7を参照して、本発明の第2実施形態の構成について説明する。この第2実施形態では、上記第1実施形態と異なり、同時に入力した所定の容量のデータを1バイト（8ビット）単位毎に別サイクルで、かつ、別アドレスに書き込むためのアクセス手段を有する半導体記憶装置（SRAM - IP）について説明する。

【0048】

この第2実施形態によるSRAM - IP 6 5の構成としては、図7に示すように、SRAM - IP 6 5の第2カラムデコーダ2 bに、データの入力および出力を行うための4つ

(4 バイト分)の入出力回路部 10 が接続されている。なお、図 7 では、図面の簡略化のため 1 つ (1 バイト分)の入出力回路部 10 の構成のみを示している。この入出力回路部 10 は、本発明の「アクセス手段」の一例である。また、各々の入出力回路部 10 は、それぞれ、8 つの回路部 11 ~ 18 を含んでいる。この 8 つの回路部 11 ~ 18 は、それぞれ、ラッチ回路 L0a ~ L7a および L0b ~ L7b と、センスアンプ SA0 ~ SA7 とを備えている。また、ラッチ回路 L0a ~ L7a は、それぞれ、入力回路 DIN0 ~ DIN7 に接続されているとともに、データ線 DL0 ~ DL7 を介して第 2 カラムデコーダ 2b に接続されている。また、センスアンプ SA0 ~ SA7 は、それぞれ、データ線 DL0 ~ DL7 を介して第 2 カラムデコーダ 2b に接続されているとともに、ラッチ回路 L0b ~ L7b を介して、出力回路 DOUT0 ~ DOUT7 に接続されている。また、各々の入出力回路部 10 には、それぞれ、ライトイネーブル信号 WE0 ~ WE3 が供給される。この入出力回路部 10 に供給されるライトイネーブル信号 WE0 ~ WE3 は、それぞれ、ラッチ回路 L0a ~ L7a に入力されるように構成されている。また、ラッチ回路 L0a ~ L7a は、入出力回路部 10 の回路部 11 ~ 18 に入力されたデータを一時的に保持するために設けられている。また、各々のラッチ回路 L0a ~ L7a は、L レベルのライトイネーブル信号 WE0 ~ WE3 が入力された場合には、保持しているデータをデータ線 DL0 ~ DL7 に出力する一方、H レベルのライトイネーブル信号 WE0 ~ WE3 が入力された場合には、保持しているデータをデータ線 DL0 ~ DL7 に出力しないように構成されている。また、センスアンプ SA0 ~ SA7 は、シングルポート SRAM セル (図示せず)からの出力信号を増幅する機能を有する。また、ラッチ回路 L0b ~ L7b の制御は、ライト制御信号や入力ラッチ信号と同様に、バイト単位毎に制御されている。これにより、リードしたデータを、データをリードしたサイクルの次のサイクルやさらに次のサイクルまで出力し続けることも可能である。なお、これ以外の SRAM - IP65 の構成は、上記した第 1 実施形態による SRAM - IP55 の構成と同様である。

【0049】

次に、第 2 実施形態による SRAM - IP65 の動作としては、まず、外部から SRAM - IP65 に同時に所定の容量のデータが入力されると、その所定の容量のデータはバイト単位毎に 4 つのデータ D0 ~ D3 に分割される。そして、バイト単位毎に 4 つに分割されたデータ D0 ~ D3 は、それぞれ、4 つの入出力回路部 10 の回路部 11 ~ 18 に入力される。具体的には、8 ビットの 4 つのデータ D0 ~ D3 は、それぞれ、1 バイト目 ~ 4 バイト目の入力回路 DIN0 ~ DIN7 を介して回路部 11 ~ 18 の各々のラッチ回路 L0a ~ L7a に入力される。このとき、4 つの入出力回路部 10 の全てのラッチ回路 L0a ~ L7a には、H レベルのライトイネーブル信号 WE0 ~ WE3 を入力する。これにより、データ D0 ~ D3 は、4 つの入出力回路部 10 の各々の回路部 11 ~ 18 のラッチ回路 L0a ~ L7a で一旦保持される。

【0050】

この際、第 2 実施形態では、ライトイネーブル信号 WE0 ~ WE3 を制御することにより、同時に入力された所定の容量のデータをバイト単位毎に分割したデータ D0 ~ D3 を、それぞれ、別サイクルで、かつ、別アドレスに書き込むことが可能である。具体的には、まず、第 1 サイクルにおいて、データ D0 ~ D3 のうち D0 のみを第 1 アドレスに書き込む場合には、第 1 ロウデコーダ 1a および第 1 カラムデコーダ 1b により第 1 アドレスのシングルポート SRAM セル (図示せず)を活性化させる。そして、この状態で、データ D0 を保持している 1 バイト目の入出力回路部 10 に L レベルのライトイネーブル信号 WE0 を入力するとともに、2 バイト目 ~ 4 バイト目の他の入出力回路部 10 に H レベルのライトイネーブル信号 WE1 ~ WE3 をそれぞれ入力する。これにより、L レベルのライトイネーブル信号 WE0 が入力された 1 バイト目の入出力回路部 10 のラッチ回路 L0a ~ L7a から、それぞれ、対応するデータ線 DL0 ~ DL7 に 8 ビットのデータ D0 が出力される一方、H レベルのライトイネーブル信号 WE1 ~ WE3 がそれぞれ入力された 2 バイト目 ~ 4 バイト目の入出力回路部 10 の各々のラッチ回路 L0a ~ L7a からデータ D1 ~ D3 は出力されない。そして、1 バイト目のデータ線 DL0 ~ DL7 に出力され

10

20

30

40

50

た 8 ビットのデータ D 0 は、第 2 カラムデコーダ 2 b とビット線対 B L および / B L とを介して、活性化された第 1 アドレスのシングルポート S R A M セル（図示せず）に書き込まれる。

【 0 0 5 1 】

そして、次の第 2 サイクルにおいて、第 1 アドレスと異なる第 2 アドレスのシングルポート S R A M セル（図示せず）を活性化させるとともに、L レベルのライトイネーブル信号 W E 1 をデータ D 1 を保持する 2 バイト目の入出力回路部 1 0 のラッチ回路 L 0 a ~ L 7 a に入力する。これにより、第 1 サイクルでは出力されなかった 8 ビットのデータ D 1 が、データ D 1 を保持する 2 バイト目の入出力回路部 1 0 のラッチ回路 L 0 a ~ L 7 a から対応するデータ線 D L 0 ~ D L 7 に出力される。そして、データ線 D L 0 ~ D L 7 に出力された 8 ビットのデータ D 1 は、第 2 カラムデコーダ 2 b と、ビット線対 B L および / B L とを介して、活性化された第 2 アドレスのシングルポート S R A M セル（図示せず）に書き込まれる。さらに次の第 3 サイクルでは、第 2 アドレスと異なる第 3 アドレスのシングルポート S R A M セル（図示せず）を活性化させるとともに、L レベルのライトイネーブル信号 W E 2 をデータ D 2 を保持する 3 バイト目の入出力回路部 1 0 のラッチ回路 L 0 a ~ L 7 a に入力することにより、8 ビットのデータ D 2 が第 3 アドレスのシングルポート S R A M セル（図示せず）に書き込まれる。さらに次の第 4 サイクルでは、第 3 アドレスと異なる第 4 アドレスのシングルポート S R A M セル（図示せず）を活性化させるとともに、L レベルのライトイネーブル信号 W E 3 をデータ D 3 を保持する 4 バイト目の入出力回路部 1 0 のラッチ回路 L 0 a ~ L 7 a に入力することにより、8 ビットのデータ D 3 が第 4 アドレスのシングルポート S R A M セル（図示せず）に書き込まれる。

10

20

【 0 0 5 2 】

このように、第 2 実施形態では、サイクル毎に異なるアドレスのシングルポート S R A M セルを活性化するとともに、1 バイト目 ~ 4 バイト目の 4 つの入出力回路部 1 0 の各々のラッチ回路 L 0 a ~ L 7 a に、順次、L レベルのライトイネーブル信号 W E 0 ~ W E 3 を入力することにより、S R A M - I P 6 5 に外部から同時に入力された所定の容量のデータをバイト単位毎に別サイクルで、かつ、別アドレスに書き込むことができる。

【 0 0 5 3 】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

30

【 0 0 5 4 】

たとえば、上記第 1 実施形態では、本発明による半導体記憶装置をチップ内に組み込まれる機能ブロックとしての S R A M - I P に適用した例について説明したが、本発明はこれに限らず、通常の S R A M チップに適用してもよい。

【 0 0 5 5 】

また、上記実施形態では、本発明による半導体記憶装置（S R A M - I P）を含むカードリーダーについて説明したが、本発明はこれに限らず、本発明による半導体記憶装置（S R A M - I P）を、パソコンの U S B ポートに直接差し込むことにより、パソコンからデータの書き込みおよび読み出しを行うことが可能な、いわゆる U S B メモリに含ませるようにしてもよい。

40

【 0 0 5 6 】

また、上記第 1 実施形態では、サブデコード回路 5 a とサブデコード回路 5 b とが、互いに、p チャネルトランジスタ P T 2 と p チャネルトランジスタ P T 4 とを共有するようにしたが、本発明はこれに限らず、ビット線の延びる方向に沿って隣接する 2 つのサブデコード回路が、互いに、サブデコード回路を構成するトランジスタの一部を共有しないように構成してもよい。

【 0 0 5 7 】

また、上記第 2 実施形態では、外部から同時に入力した所定の容量のデータをバイト単

50

位毎に分割したデータD0～D3を、それぞれ、別サイクルで、かつ、別アドレスのシングルポートSRAMセルに書き込む例について説明したが、本発明はこれに限らず、別々のサイクルで半導体記憶装置(SRAM-IP)に入力したデータを、同時にシングルポートSRAMセルに書き込むようにしてもよい。具体的には、まず、4つの入出力回路部10のラッチ回路L0a～L7aに、それぞれ、Hレベルのライトイネーブル信号WE0～WE3を入力する。この状態で、第1サイクルでは、1バイト目のデータD0を1つ目の入出力回路部10のラッチ回路L0a～L7aに入力する。このとき、1バイト目の入出力回路部10のラッチ回路L0a～L7aには、Hレベルのライトイネーブル信号WE0が入力されているので、第1サイクルでは、データD0は、1つ目の入出力回路部10のラッチ回路L0a～L7aから対応するデータ線DL0～DL7に出力されない。そして、次の第2サイクルでは、データD1を2バイト目の入出力回路部10のラッチ回路L0a～L7aに入力する。このとき、2バイト目の入出力回路部10のラッチ回路L0a～L7aには、Hレベルのライトイネーブル信号WE1が入力されているので、第2サイクルでは、データD1は、2バイト目の入出力回路部10のラッチ回路L0a～L7aから対応するデータ線DL0～DL7に出力されない。

10

【0058】

そして、次の第3サイクルでは、データD2を3バイト目の入出力回路部10のラッチ回路L0a～L7aに入力する。このとき、3バイト目の入出力回路部10のラッチ回路L0a～L7aには、Hレベルのライトイネーブル信号WE2が入力されているので、第3サイクルでは、データD2は、3バイト目の入出力回路部10のラッチ回路L0a～L7aから対応するデータ線DL0～DL7に出力されない。そして、次の第4サイクルでは、データD3を4バイト目の入出力回路部10のラッチ回路L0a～L7aに入力する。このとき、4バイト目の入出力回路部10のラッチ回路L0a～L7aには、Hレベルのライトイネーブル信号WE3が入力されているので、第4サイクルでは、データD3は、4バイト目の入出力回路部10のラッチ回路L0a～L7aから対応するデータ線DL0～DL7に出力されない。そして、次の第5サイクルにおいて、1バイト目～4バイト目の4つの入出力回路部10の各々のラッチ回路L0a～L7aにLレベルのライトイネーブル信号WE0～WE3を入力する。これにより、1バイト目～4バイト目の4つの入出力回路部10のラッチ回路L0a～L7aに保持されたデータD0～D3は、それぞれ、対応するデータ線DL0～DL7に同時に出力される。そして、対応するデータ線DL0～DL7に同時に出力されたデータD0～D3は、第2カラムデコーダ2bと、ビット線対BLおよび/BLとを介して、所定の活性化されたシングルポートSRAMセルに書き込まれる。このように、別々のサイクルでSRAM-IPに入力したデータを、同時にシングルポートSRAMセルに書き込むことができる。

20

30

【0059】

また、上記第2実施形態では、SRAM-IP65に入力された所定の容量のデータをバイト単位毎に分割して別サイクルで、かつ、別アドレスに書き込むために、4つの入出力回路部10の各々に8つの回路部11～18を設けた例について説明したが、本発明はこれに限らず、4つの入出力回路部に8つ以外の任意の数の回路部を設けてもよい。これにより、外部からSRAM-IPに入力された所定の容量のデータを、8ビット以外の任意のビット単位毎に分割して別サイクルで、かつ、別アドレスに書き込むようにしてもよい。

40

【0060】

また、上記第2実施形態では、4つ(4バイト分)の入出力回路部10の各々から個別に、別サイクルで、かつ、別アドレスにデータを書き込む例について説明したが、本発明はこれに限らず、4つの入出力回路部の内、たとえば、2バイト目と3バイト目の入出力回路部からシングルポートSRAMセルにデータの書き込みを行うのと同時に、1バイト目と4バイト目の入出力回路部を介してシングルポートSRAMセルからデータの読み出しを行うようにしてもよい。また、上記の場合において、バイト(8ビット)単位ではなく、1つの入出力回路部に8つ以外の任意の数の回路部を設けることによって、8ビット

50

以外の任意のビット単位毎に、個別にデータの書き込みと読み出しを同時に行うようにしてもよい。

【図面の簡単な説明】

【0061】

【図1】本発明の第1実施形態による半導体記憶装置（SRAM-IP）を含むカードリーダーの構成を示した模式図である。

【図2】本発明の第1実施形態による半導体記憶装置（SRAM-IP）の構成を示した平面図である。

【図3】図2に示した第1実施形態による半導体記憶装置（SRAM-IP）のサブデコード回路の論理回路を示した図である。

10

【図4】図2に示した第1実施形態による半導体記憶装置（SRAM-IP）の回路図である。

【図5】図4に示した第1実施形態による半導体記憶装置（SRAM-IP）の回路図のシングルポートSRAMセル部分を示した拡大回路図である。

【図6】本発明の第1実施形態による半導体記憶装置（SRAM-IP）の動作を説明するための平面図である。

【図7】本発明の第2実施形態による半導体記憶装置（SRAM-IP）の構成を示した平面図である。

【図8】従来の一例によるシングルポートSRAMセルを示した回路図である。

【図9】従来一般的なデュアルポートSRAMセルを示した回路図である。

20

【符号の説明】

【0062】

1 a 第1ロウデコーダ

1 b 第2ロウデコーダ

2 a 第1カラムデコーダ

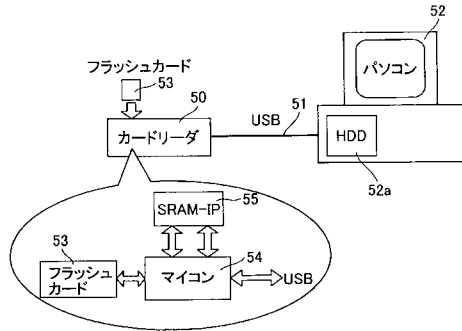
2 b 第2カラムデコーダ

4 ローカルワード線

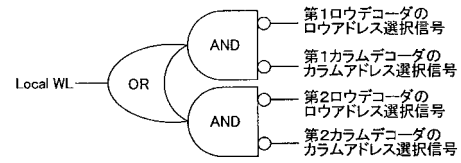
6 シングルポートSRAMセル

55、65 SRAM-IP（半導体記憶装置）

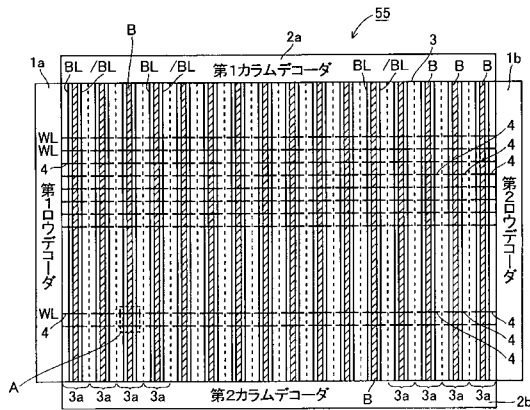
【図 1】



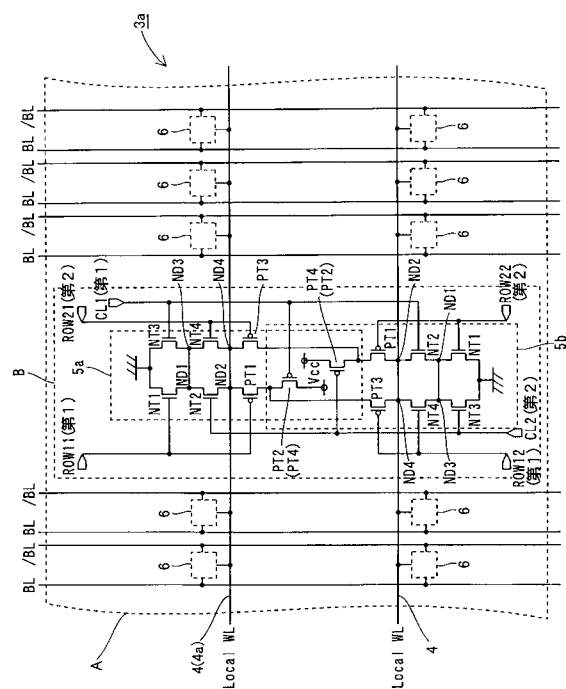
【図 3】



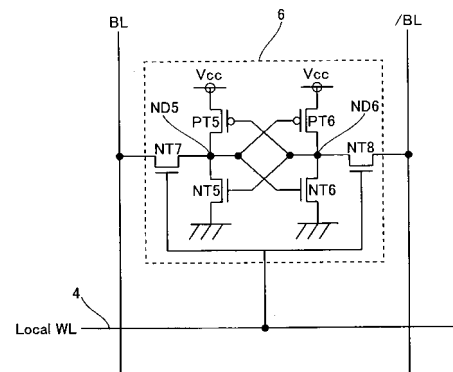
【図 2】



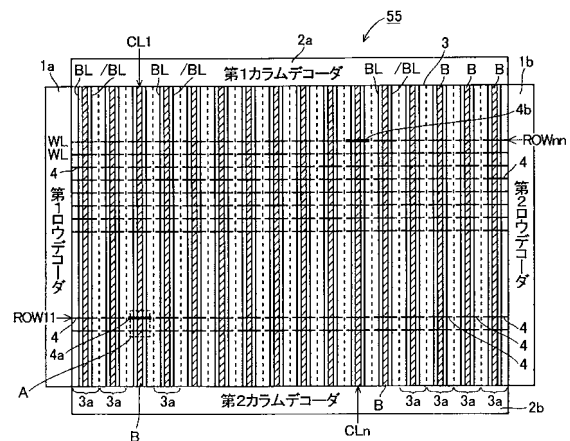
【図 4】



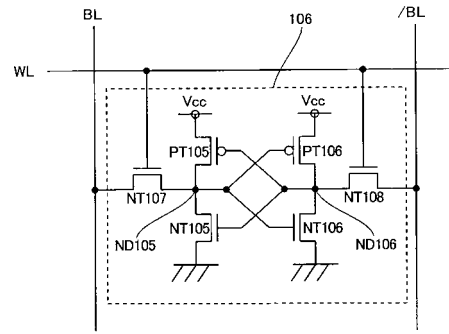
【図 5】



【図 6】



【 図 8 】



The circuit diagram shows a sense amplifier circuit 116 enclosed in a dashed box. It features two input nodes connected to word lines WL1 and WL2. The circuit includes several transistors: NT117 and PT115 at the top left; PT116 and NT118 at the top right; NT119 and ND115 at the bottom left; and NT120 and ND116 at the bottom right. Vcc connections are shown at the top, and ground symbols are at the bottom. The output node is labeled 116.