



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

258075

(11) B₁

(51) Int. Cl.⁴

H 02 P 8/00

(61)

(23) Výstavní priorita

(22) Přihlášeno 30 09 86

(21) PV 7014-86.W

(40) Zveřejněno 12 11 87

(45) Vydáno 01.03.89

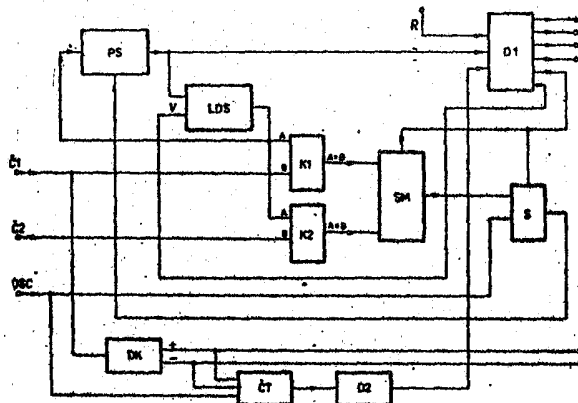
(75)
Autor vynálezu

RELJIČ JAKŠA ing. DrSc.,
SOBEK PAVEL ing., PRAHA

(54)

Zapojení pro synchronní chod dvou krokových motorů

Výstup paměti je připojen na první vstup prvního dekodéru, jehož první vstup je vstup pro zadání volby režimů krokového motoru a současně na první vstup logického dalšího stavu. Druhý vstup logiky dalšího stavu je vstupem volby směru otáčení krokového motoru, přičemž výstup logiky je připojen zpětnovazebně na vstup paměti a současně na první vstupy obou komparátorů, na jejíž druhé vstupy jsou připojena čidla polohy. Výstupy komparátorů jsou připojeny na první a druhý vstup obvodu synchronizace motoru jehož výstup je zapojen na první vstup klopného obvodu. Na druhý vstup klopného obvodu je připojen oscilátor, přičemž výstup klopného obvodu je zpětnovazebně připojen na hodinový vstup paměti. Na třetí vstup obvodu synchronizace motoru a současně na třetí vstup klopného obvodu je přiveden signál odvozený prvním dekodérem. Zapojení zaručuje plynulé řízení rychlosti synchronního chodu dvojice krokových motorů v uzavřené smyčce. Zaručuje též možnost chodu pouze jednoho krokového motoru.



Zapojení pro synchronní chod dvou krokových motorů. Vynález se týká zapojení pro synchronní chod dvou krokových motorů s plynule regulovatelnou rychlostí a s možností jednotlivého chodu v uzavřené smyčce.

Dosud je známý synchronní chod dvou krokových motorů v uzavřené smyčce, který je řízen pomocí tzv. synchronního členu. Nevýhoda tohoto zapojení spočívá v tom, že nelze plynule řídit rychlost obou krokových motorů a nezávislý chod obou motorů.

Výše uvedený nedostatek odstraňuje zapojení pro synchronní chod dvou krokových motorů podle předloženého vynálezu, jehož s podstatou spočívá v tom, že výstup paměti je připojen na druhý vstup prvního dekodéru, jehož první vstup je vstup pro zadání volby režimů krokového motoru a současně na první vstup logiky dalšího stavu, jejíž druhý vstup je vstupem volby směru otáčení krokového motoru. Výstup logiky je připojen zpětnovazebně na vstup paměti stavu a současně na první vstupy obou komparátorů, na jejíž druhé vstupy jsou připojena čidla polohy. Výstupy komparátorů jsou připojeny na první a druhý vstup obvodu synchronizace motoru, jehož výstup je zapojen na první vstup klopného obvodu. Na druhý vstup klopného obvodu je připojen oscilátor, přičemž výstup klopného obvodu je zpětnovazebně připojen na hodinový vstup paměti. Na třetí vstup obvodu synchronizace motoru a současně na třetí vstup klopného obvodu je přiveden signál odvozený prvním dekodérem.

Zapojení podle vynálezu zaručuje plynulé řízení rychlosti krokového motoru od nuly do max. rychlosti při chodu v uzavřené smyčce. Zaručuje též možnost samostatného chodu pouze jednoho z krokových motorů.

Podle blokového schéma na přiloženém výkrese je výstup paměti PS připojen na druhý vstup prvního dekodéru D1 jehož první vstup R je vstup pro zadání volby režimů krokového motoru a současně na první vstup logiky dalšího stavu LDS, jejíž druhý vstup V je vstupem volty směru otáčení krokového motoru. Výstup logiky LDS je připojen zpětnovazebně na vstup paměti PS a současně na první vstupy obou komparátorů K1, K2, na jejíž druhé vstupy jsou připojena čidla polohy Č1, Č2. Výstupy komparátorů K1, K2 jsou připojeny na první a druhý vstup obvodu synchronizace motoru SM, jehož výstup je zapojen na první vstup klopného obvodu S. Na druhý vstup klopného obvodu S je připojen oscilátor OSC, přičemž výstup klopného obvodu S je zpětnovazebně připojen na hodinový vstup paměti PS. Na třetí vstup obvodu synchronizace motoru SM a současně na třetí vstup klopného obvodu S je přiveden signál odvozený prvním dekodérem D1. Na výstup čidla polohy Č1 je připojen detektor kroku DK. První dva vstupy čítače ČT, jehož třetí vstup je připojen na výstup oscilátoru OSC, jsou paralelně připojeny na výstupy detektoru kroku DK. Výstup čítačů ČT je připojen přes druhý dekodér D2 na třetí vstup prvního dekodéru D1, jehož jednotlivé výstupy tvoří vstupy fází krokového motoru. Buzení fází obou krokových motorů je určováno dekodérem D1 na základě informací o režimu provozu krokového motoru a o aktuálním stavu krokového motoru, zaznamenaný pamětí stavu PS. Logika dalšího stavu LDS určuje následující očekávaný stav krokového motoru po provedení jednoho kroku na základě současného stavu krokového motoru a směru pohybu, odvozeného dekodérem D1 podle posloupnosti režimů krokového motoru. Komparátor K1 srovnává výstup logiky dalšího stavu LDS se skutečným stavem prvního motoru detekovaným jeho čidlem polohy Č1. Obdobně komparátor K2 srovnává výstup logiky dalšího

stavu LDS se stavem druhého motoru. Shoda komparace K1 resp. K2 označuje, že první motor resp. druhý motor provedl krok.

Synchronizaci chodu obou krokových motorů zabezpečuje obvod synchronizace motoru SM. Jsou-li motory ve stavu urychlování (rozběh nebo běh konstantní rychlostí) je informace o provedení kroku dvojicí krokových motorů vybavena poté co oba motory provedly krok, takže dochází k synchronizaci podle pomalejšího motoru a rychlejší motor je vlastně brzděn po dobu než i druhý motor dosáhne jeho polohy. Jsou-li motory ve stavu brzdění (stop nebo přechod k nižší rychlosti) je informace o provedení kroku oběma krokovými motory vybavena jakmile první z obou motorů provedl krok, takže dochází k synchronizaci dle rychlejšího motoru a pomalejší motor je urychlován buzením fází o 90° el. dopředu. V obou případech se rychlost krokových motorů takto vyrovnává. Zmíněné dva režimy synchronizace jsou rozlišeny signálem odvozeným dekodérem D1 s informací o režimu krokového motoru a v nuceném stopu.

Plynulého řízení dvojice krokových motorů je nyní dosaženo synchronizací informace o provedení kroků dvojicí krokových motorů s frekvencí řídicího oscilátoru OSC v klopném obvodu S. V případě, že dvojice krokových motorů je ve stavu urychlování je výstupní impuls generován poté, co byl proveden krok a přišel impuls z oscilátoru OSC. Je-li krok proveden dříve než odpovídá frekvenci oscilátoru OSC, je vložena časová prodleva, kterou je dvojice krokových motorů přibrzděna. Je-li krok proveden později k časové prodlevě nedochází a motory jsou urychleny. V režimu brzdění se na impuls z oscilátoru OSC nečeká a časová prodleva mezi provedením kroku a výstupním impulsem neexistuje. Výstupní impuls klopného obvodu S přepisuje stav na výstup logiky dalšího stavu LDS do paměti stavu PS, změní se sled buzení fází dvojice krokových motorů a cyklus práce celého zapojení se opakuje.

Část zapojení obsahující detektor kroku DK oboustranný čítač ČT a detektor D2 má pomocný charakter. Detektor kroku DK určuje dle posloupnosti stavu čidel Č1, Č2 jednoho z obou motorů,

zda byl proveden krok směrem vpřed či vzad. Tyto impulsy jsou čítány oboustranným čítačem ČT po dobu jedné periody řídicího oscilátoru OSC a stav čítače ČT je detekován dekodérem D2, jehož výstupní informace slouží ke vnucení režimu brzdění v případě, že se motory pohybují podstatně rychleji než je dáno řídicí frekvencí (více kroků během jedné periody).

PŘEDMĚT VYNÁLEZU

1. Zapojení pro synchronní chod dvou krokových motorů s plynule regulovatelnou rychlostí a s možností jednotlivého chodu v uzavřené smyčce se vyznačuje tím, že výstup paměti (PS) je připojen na druhý vstup prvního dekodéru (D1), jehož první vstup (R) je vstup pro zadání volby režimů krokového motoru a současně na první vstup logiky dalšího stavu (LDS), jejíž druhý vstup (V) je vstupem volby směru otáčení krokového motoru, přičemž výstup logiky dalšího stavu (LDS) je připojen zpětnovazebně na vstup paměti (PS) a současně na první vstupy^(A) obou komparátorů (K1, K2), na jejíž druhé vstupy(B) jsou připojena čidla polohy (Č1, Č2), zatímco výstupy komparátorů (K1, K2) jsou připojeny na první a druhý vstup obvodu synchronizace motoru (SM), jehož výstup je zapojen na první vstup klopného obvodu (S), na jehož druhý vstup je připojen oscilátor (OSC), přičemž výstup klopného obvodu (S) je zpětnovazebně připojen na hodinový vstup paměti (PS), na třetí vstup obvodu synchronizace motoru (SM) a současně na třetí vstup klopného obvodu (S) je přiveden signál odvozený prvním dekodérem (D1).
2. Zapojení podle bodu 1, vyznačené tím, že na výstup čidla polohy (Č1) je připojen detektor kroku (DK).
3. Zapojení podle bodů 1 a 2, vyznačené tím, že první dva vstupy čítače (ČT), jehož třetí vstup je připojen na výstup oscilátoru (OSC) jsou paralelně připojeny na výstupy detektoru kroku (DK), přičemž výstup čítače (ČT) je připojen přes druhý dekodér (D2) na třetí^{vstup} dekodéru (D1), jehož jednotlivé výstupy tvoří vstupy fází krokového motoru.

1 výkres

258075

