

(43) 国際公開日
2009年5月22日 (22.05.2009)

PCT

(10) 国際公開番号
WO 2009/063588 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2008/002758
- (22) 国際出願日: 2008年10月1日 (01.10.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2007-297639
2007年11月16日 (16.11.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社 (PANASONIC CORPORATION)
[JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 鈴木健 (SUZUKI, Ken). 鈴木純 (SUZUKI, Jun).

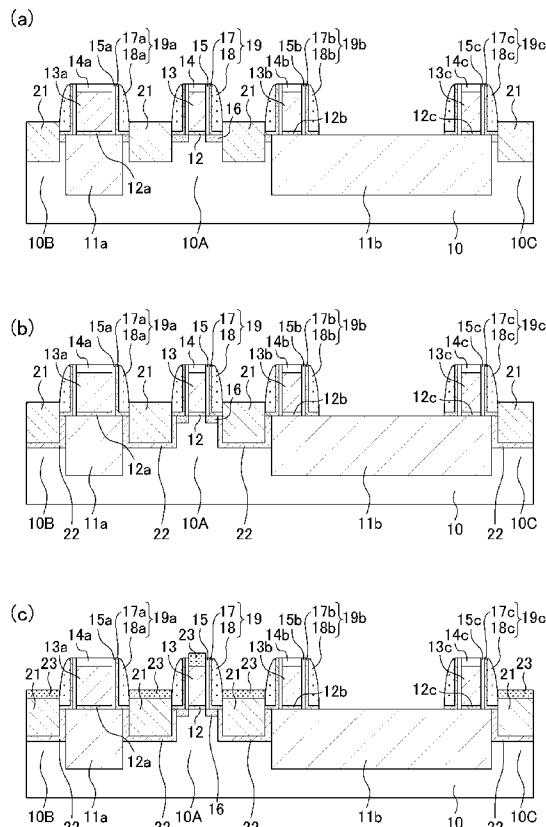
- (74) 代理人: 前田弘, 外 (MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町 2 丁目 5 番 7 号 大阪丸紅ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(54) 発明の名称: 半導体装置及びその製造方法

[図2]



(57) Abstract: A semiconductor device is provided with an element isolating region (11a) formed in a semiconductor substrate (10); an active region, which is composed of the semiconductor substrate (10) surrounded by the element isolating region (11a) and has a trench section; a first conductivity type MIS transistor which has a gate electrode (13) formed on the active region, a first side wall (19) formed between the gate electrode (13) and a trench section on a side surface of the gate electrode (13) in plane view, and a first conductivity type silicon mixed crystal layer (21) applied in the trench section; a substrate region which is arranged between the trench section and element isolating regions (11a, 11b) and is composed of the semiconductor substrate (10); and a first conductivity type impurity region (22) formed in the substrate region. The silicon mixed crystal layer (21) permits a stress to be generated to a channel region in the active region.

(57) 要約: 半導体装置は、半導体基板 10 内に形成された素子分離領域 11a と、素子分離領域 11a に囲まれた半導体基板 10 からなり、トレンチ部を有する活性領域と、活性領域上に形成されたゲート電極 13、ゲート電極 13 の側面上であって、平面的に見てゲート電極 13 とトレンチ部との間に形成された第 1 のサイドウォール 19、及びトレンチ部内に充填された第 1 導電型のシリコン混晶層 21 を有する第 1 導電型の MIS トランジスタと、トレンチ部と素子分離領域 11a、11b との間に設けられ、半導体基板 10 からなる基板領域と、基板領域に形成された第 1 導電型の不純物領域 22 とを備えている。シリコン混晶層 21 は、活性領域のチャンネル領域に対して応力を生じさせる。



IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:
— 国際調査報告書

明 細 書

半導体装置及びその製造方法

技術分野

[0001] 本発明は、M I S (Metal Insulator Semiconductor) トランジスタを有する半導体装置及びその製造方法に関する。

背景技術

[0002] 半導体装置では、高速動作、低消費電力化、高集積化等の高性能化のため、最小加工寸法の微細化が図られてきた。最小加工寸法が65nm以下の世代では、微細化の技術的困難性が極めて高くなり、また、微細化のみによる高性能化に限界が見え始めている。

[0003] そこで、微細化によらない高性能トランジスタとして、M I S型トランジスタのチャネル領域に対して応力歪みを与えることによりキャリア移動度を向上させる、いわゆる歪みシリコントランジスタが注目されている（例えば、特許文献1、2参照）。例えば、p型M I Sトランジスタでは、主面の面方位が（100）面であるシリコン基板の主面上に形成されたp型M I Sトランジスタのチャネル領域に対して、ゲート長方向に圧縮応力を印加することにより、正孔の移動度が向上しトランジスタ駆動力が増大する。

[0004] 以下、従来の圧縮応力を有する半導体装置の製造方法について図13を参照しながら説明する。図13（a）～（d）は、従来の半導体装置の製造方法を示す断面図である。

[0005] まず、図13（a）に示すように、半導体基板100の上部に素子分離領域101によって囲まれ、半導体基板100からなる活性領域100Aを形成した後、活性領域100A上にゲート絶縁膜102、ゲート電極103及び保護絶縁膜104を形成する。その後、活性領域100Aにおけるゲート電極103の側方下の領域にp型エクステンション領域105を形成する。

[0006] 次に、図13（b）に示すように、ゲート電極103の側面上にサイドウォール106を形成した後、露出している半導体基板100を所望の深さま

でエッチングする。これにより、活性領域 100A であって、平面的に見てサイドウォール 106 と素子分離領域 101 との間に位置する領域にトレンチ部 107 を形成する。

[0007] 次に、図 13(c) に示すように、トレンチ部 107 内に p 型 SiGe 層 108 をエピタキシャル成長させる。以降、所定の工程を経て、従来の半導体装置を製造する。

[0008] この製造方法によれば、ゲート電極 103 直下のチャネル領域に対して、ゲート長方向に圧縮応力を与える p 型 SiGe 層 108 が設けられた p 型 MIS トランジスタを有する半導体装置が製造できる。

特許文献1：米国特許第 6621131 号明細書

特許文献2：特開 2006-13428 号公報

発明の開示

発明が解決しようとする課題

[0009] しかしながら、前記従来の半導体装置の製造方法では、トレンチ部内に、例えば SiGe 層などの歪みを含有するシリコン混晶層を制御良く所望の厚さでエピタキシャル成長することができないという不具合がある。

[0010] すなわち、SiGe 層をエピタキシャル成長する際、トレンチ部内における素子分離領域側の側面には素子分離領域の絶縁膜が露出しており、エピタキシャル成長基板となるシリコンが存在していないため、エピタキシャル成長不良が生じ、所望の厚さで SiGe 層を形成することが困難である。

[0011] 本発明は、前記従来の問題に鑑み、所望の厚さで制御良くエピタキシャル成長され、良好な特性を示すシリコン混晶層を備えた半導体装置及びその製造方法を提供することを目的とする。

課題を解決するための手段

[0012] 上記課題を解決するために、本発明の半導体装置は、半導体基板と、前記半導体基板内に形成された素子分離領域と、前記素子分離領域に囲まれた前記半導体基板からなり、トレンチ部を有する活性領域と、前記活性領域上に形成されたゲート電極と、前記ゲート電極の側面上であって、平面的に見て

前記ゲート電極と前記トレンチ部との間に形成された第１のサイドウォールと、前記トレンチ部内に充填され、前記活性領域におけるチャネル領域に対して応力を生じさせる第１導電型のシリコン混晶層とを有する第１導電型のＭＩＳトランジスタと、前記トレンチ部と前記素子分離領域との間に設けられ、前記半導体基板からなる基板領域と、前記基板領域に形成された第１導電型の不純物領域とを備えている。

[0013] この構成によれば、活性領域に形成されたトレンチ部と素子分離領域との間に、基板領域が設けられている。これにより、活性領域に対して応力を生じさせるシリコン混晶層をトレンチ部内に例えばエピタキシャル成長により形成する場合、トレンチ部内の内壁全体は半導体基板で構成されており、素子分離領域が露出していないため、成長不良が抑制され、制御良くシリコン混晶層を形成することができる。従って、本発明の半導体装置によれば、良好な品質を有するシリコン混晶層を備え、高速に動作が可能な半導体装置を実現することができる。

[0014] また、基板領域にはシリコン混晶層と同じ導電型の不純物領域が形成されているため、ＭＩＳトランジスタのソース・ドレイン領域として機能するシリコン混晶層と、半導体基板との間で、リーク電流が発生するのを抑制することができる。従って、本発明の半導体装置によれば、上記の効果に加えて、リーク電流の発生が抑制された信頼性の高い半導体装置を実現することができる。

[0015] 次に、本発明の半導体装置の製造方法は、半導体基板内に形成された活性領域上に設けられた第１導電型のＭＩＳトランジスタを備えた半導体装置の製造方法であって、前記半導体基板内に前記活性領域を囲む素子分離領域を形成する工程（ａ）と、前記工程（ａ）の後、前記活性領域上に、ゲート電極と、前記ゲート電極上に形成された第１の保護絶縁膜と、前記ゲート電極の側面上に形成された第１のサイドウォールとを有するゲート部を形成する工程（ｂ）と、前記活性領域の端部であって、前記素子分離領域と隣接する基板領域上に、マスク部を形成する工程（ｃ）と、前記半導体基板のうち、

平面的に見て前記ゲート部と前記マスク部との間に位置するトレンチ部形成領域をエッチングしてトレンチ部を形成するとともに、前記トレンチ部と前記素子分離領域との間に前記基板領域を残存させる工程（d）と、前記トレンチ部内に、前記活性領域におけるチャネル領域に対して応力を生じさせる第1導電型のシリコン混晶層を充填する工程（e）と、前記基板領域に第1導電型の不純物領域を形成する工程（f）とを備えている。

[0016] この方法によれば、工程（c）で基板領域を覆うマスク部を形成することで、工程（d）で、トレンチ部と素子分離領域との間に基板領域を残存させてトレンチ部を形成することができる。そのため、工程（e）でトレンチ部内にシリコン混晶層をエピタキシャル成長などにより形成する際に、トレンチ部の表面に素子分離領域が露出することなく、トレンチ部の内壁全体が半導体基板で構成されることになり、トレンチ部内に良好にシリコン混晶層をエピタキシャル成長させることができる。その結果、本発明の半導体装置の製造方法を用いれば、所望の特性を示すシリコン混晶層を備え、高速で動作可能な半導体装置を製造することができる。

発明の効果

[0017] 本発明の半導体装置及びその製造方法によれば、活性領域のチャネル領域に対して応力を生じさせるシリコン混晶層を制御良く形成することができ、半導体装置の駆動能力を向上させることができる。

図面の簡単な説明

[0018] [図1]図1（a）～（c）は、本発明の第1の実施形態の半導体装置の製造方法を示す断面図である。

[図2]図2（a）～（c）は、第1の実施形態の半導体装置の製造方法を示す断面図である。

[図3]図3（a）～（c）は、第1の実施形態の第1変形例に係る半導体装置の製造方法を示す断面図である。

[図4]図4（a）～（c）は、第1の実施形態の第2変形例に係る半導体装置の製造方法を示す断面図である。

[図5]図5（a）～（c）は、第1の実施形態の第3変形例に係る半導体装置の製造方法を示す断面図である。

[図6]図6（a）～（c）は、第2の実施形態の半導体装置の製造方法を示す断面図である。

[図7]図7（a）～（c）は、第2の実施形態の半導体装置の製造方法を示す断面図である。

[図8]図8（a）～（c）は、第2の実施形態の変形例に係る半導体装置の製造方法を示す断面図である。

[図9]図9（a）～（c）は、第3の実施形態の半導体装置の製造方法を示す断面図である。

[図10]図10（a）～（c）は、第3の実施形態の半導体装置の製造方法を示す断面図である。

[図11]図11（a）～（c）は、第4の実施形態の半導体装置の製造方法を示す断面図である。

[図12]図12（a）～（c）は、第4の実施形態の半導体装置の製造方法を示す断面図である。

[図13]図13（a）～（c）は、従来の半導体装置の製造方法を示す断面図である。

符号の説明

[0019]	10	半導体基板
	10A、10B、10C	活性領域
	11a、11b	素子分離領域
	12	ゲート絶縁膜
	12a、12b、12c	ダミーゲート絶縁膜
	13	ゲート電極
	13a、13b、13c	ダミーゲート電極
	14	保護絶縁膜
	14a、14b、14c	ダミー保護絶縁膜

15	オフセットスペーサ	
15 a、15 b、15 c	オフセットスペーサ	
16	p型エクステンション領域	
17、17 a、17 b、17 c	内側サイドウォール	
17 A	第1絶縁膜	
18、18 a、18 b、18 c	外側サイドウォール	
18 A	第2絶縁膜	
19、19 a、19 b、19 c	サイドウォール	
20	トレンチ部	
21	p型SiGe層	
22	p型不純物領域	
23	金属シリサイド層	
24	保護膜	
30、31	レジスト	
50	ゲート部	
50 a、50 b、50 c、50 d、50 e、50 x	マスク	

部

発明を実施するための最良の形態

[0020] (第1の実施形態)

本発明の第1の実施形態に係る半導体装置の製造方法について図面を参照しながら説明する。図1(a)～(c)及び図2(a)～(c)は、本実施形態の半導体装置の製造方法を示す断面図である。

[0021] まず、図1(a)に示すように、例えばSTI(Shallow Trench Isolation)法により、例えば面方位が(100)面の主面を持つシリコン(Si)からなる半導体基板10の上部にトレンチを形成し、該トレンチ内に絶縁膜を埋め込んで素子分離領域11a、11bを選択的に形成する。これにより、素子分離領域11a、11bによって囲まれた半導体基板10からなる活性領域10A、10B、10Cが形成される。ここで、素子分離領域11aの

分離幅は、素子分離領域 11b の分離幅よりも狭く、最小ルールにおけるゲート電極のゲート長の 2～5 倍である。

[0022] 次に、リソグラフィ法及びイオン注入法により、半導体基板 10 に、例えば P（リン）等の n 型不純物を注入して、活性領域 10A、10B、10C を含む領域に n 型ウェル領域（図示せず）を形成する。その後、半導体基板 10 上の全面に、例えば膜厚が 2 nm のシリコン酸窒化膜、膜厚が 100 nm のポリシリコン膜、及び膜厚が 30 nm のシリコン酸化膜を順次形成する。その後、フォトリソグラフィ法及びドライエッチング法により、シリコン酸化膜、ポリシリコン膜及びシリコン酸窒化膜を順次パターニングして、活性領域 10A 上にシリコン酸窒化膜からなるゲート絶縁膜 12、ポリシリコン膜からなるゲート電極 13、及びシリコン酸化膜からなる保護絶縁膜 14 を形成する。同時に、素子分離領域 11a 上の中央部に、ダミーゲート絶縁膜 12a、ダミーゲート電極 13a 及びダミー保護絶縁膜 14a を形成する。一方、素子分離領域 11b 上の活性領域 10A 側の端部に、ダミーゲート絶縁膜 12b、ダミーゲート電極 13b 及びダミー保護絶縁膜 14b を形成すると共に、素子分離領域 11b 上の活性領域 10C 側の端部に、ダミーゲート絶縁膜 12c、ダミーゲート電極 13c 及びダミー保護絶縁膜 14c を形成する。なお、このとき、活性領域 10B、10C 上にもゲート絶縁膜、ゲート電極及び保護絶縁膜が形成されるが、ここでは図示を省略する。

[0023] ここで、ダミーゲート電極 13a は、ゲート長がゲート電極 13 のゲート長よりも大きくて素子分離領域 11a の分離幅よりも狭くなるように、且つ後工程でダミーゲート電極 13a の両側面上に形成されるサイドウォールの一部が平面的に見て活性領域 10A、10B 上にオーバーラップするように形成する。一方、ダミーゲート電極 13b、13c は、ゲート長がゲート電極 13 のゲート長と同程度となるように、且つ後工程で形成するサイドウォールの一部が活性領域 10A、10C 上にオーバーラップするようにそれぞれ形成する。なお、ダミーゲート絶縁膜 12a、12b、12c は必ずしも設ける必要はない。

[0024] 次に、図 1 (b) に示すように、半導体基板 10 上の全面に、膜厚が 5 nm のシリコン酸化膜を形成した後、該シリコン酸化膜をエッチバックすることにより、ゲート電極 13 の側面上に断面形状が I 字状のオフセットスペーサ 15 を形成するとともに、ダミーゲート電極 13 a、13 b、13 c の側面上に断面形状が I 字状のオフセットスペーサ 15 a、15 b、15 c をそれぞれ形成する。その後、活性領域 10 A に、ゲート電極 13 及びオフセットスペーサ 15 をマスクにして、p 型不純物であるボロンをドーズ量 $4 \times 10^{14} \text{ ions/cm}^2$ で注入して p 型エクステンション領域 16 を形成する。このとき、活性領域 10 B、10 C にも同様にして p 型エクステンション領域 16 を形成する。

[0025] 次に、図 1 (c) に示すように、例えば CVD (Chemical Vapor Deposition) 法により、半導体基板 10 上の全面に、例えば膜厚が 5 nm のシリコン酸化膜と膜厚が 30 nm のシリコン窒化膜とを順次堆積した後、シリコン酸化膜及びシリコン窒化膜からなる積層膜をエッチバックする。これにより、ゲート電極 13 の側面上に、オフセットスペーサ 15 を介してサイドウォール 19 を形成するとともに、ダミーゲート電極 13 a、13 b、13 c の側面上に、オフセットスペーサ 15 a、15 b、15 c を介してサイドウォール 19 a、19 b、19 c をそれぞれ形成する。

[0026] ここで、サイドウォール 19 は、シリコン酸化膜からなる断面形状が L 字状の内側サイドウォール 17 と、内側サイドウォール 17 上に形成されたシリコン窒化膜からなる外側サイドウォール 18 とでそれぞれ構成されている。同様に、サイドウォール 19 a は、シリコン酸化膜からなる断面形状が L 字状の内側サイドウォール 17 a と、L 字状の内側サイドウォール 17 a 上に形成されたシリコン窒化膜からなる外側サイドウォール 18 a とでそれぞれ構成されている。また、サイドウォール 19 b は、シリコン酸化膜からなる断面形状が L 字状の内側サイドウォール 17 b と、内側サイドウォール 17 b 上に形成されたシリコン窒化膜からなる外側サイドウォール 18 b とで構成されている。同様に、サイドウォール 19 c は、シリコン酸化膜からな

る断面形状がL字状の内側サイドウォール17cと、内側サイドウォール17c上に形成されたシリコン窒化膜からなる外側サイドウォール18cとで構成されている。

[0027] 次に、ゲート絶縁膜12、ゲート電極13、保護絶縁膜14、オフセットスペーサ15、及びサイドウォール19を有するゲート部50と、ダミーゲート絶縁膜12a、ダミーゲート電極13a、ダミー保護絶縁膜14a、オフセットスペーサ15a、及びサイドウォール19aを有するマスク部50aと、ダミーゲート絶縁膜12b、ダミーゲート電極13b、ダミー保護絶縁膜14b、オフセットスペーサ15b、及びサイドウォール19bを有するマスク部50bと、ダミーゲート絶縁膜12c、ダミーゲート電極13c、ダミー保護絶縁膜14c、オフセットスペーサ15c、及びサイドウォール19cを有するマスク部50cとをマスクにして、露出している半導体基板10を所望の深さまでエッチングする。これにより、活性領域10A内であって、平面的に見てサイドウォール19とサイドウォール19a、19bとの間に位置する領域（トレンチ部形成領域）にトレンチ部20を形成する。このとき、活性領域の端部であって、素子分離領域11a、11bと隣接する領域（以下、「基板領域」と称する）上には、サイドウォール19a、19bが形成されているため、素子分離領域11a、11bとトレンチ部20との間には半導体基板10が残存する。この基板領域が残存することで、トレンチ部20内には素子分離領域11a、11bが露出しない。このとき、活性領域10B、10Cにも同様にしてトレンチ部20が形成される。ここで、トレンチ部20の深さは、50nm程度が望ましい。

[0028] 次に、図2(a)に示すように、例えばMOCVD (Metal Organic Chemical Vapor Deposition) 法により、例えばシランガス (SiH_4) 及びゲルマン (GeH_4) ガスを、ジボラン (B_2H_6) などのp型ドーパントガスとともに650~700℃の温度で供給することにより、トレンチ部20内を充填するようにp型SiGe層21をエピタキシャル成長させる。このとき、p型SiGe層21の上面は、ゲート電極13直下に位置する半導体基板10

の上面の高さに比べて同等以上の高さになるように形成することが望ましい。この場合、ゲート電極 13 の下方に形成されるチャネル領域に対して、p 型 S i G e 層 21 が十分に応力を加えられるため、p 型 M I S トランジスタの駆動能力をより一層高めることができる。

[0029] 次に、図 2 (b) に示すように、半導体基板 10 に熱処理を行うことにより、p 型 S i G e 層 21 中の p 型不純物を半導体基板 10 に拡散させる。これにより、活性領域 10 A における素子分離領域 11 a、11 b と p 型 S i G e 層 21 との間に位置する領域（基板領域）に p 型不純物領域 22 を形成する。このとき、活性領域 10 B、10 C にも同様にして p 型不純物領域 22 が形成される。本工程により、サイドウォール 19 の外側下方に位置する領域に、p 型 S i G e 層 21 及び p 型不純物領域 22 からなる p 型ソース・ドレイン領域が形成される。

[0030] ここで、図 2 (b) に示す工程では、p 型 S i G e 層 21 を含む活性領域 10 A、10 B、10 C に、ゲート電極 13 及びサイドウォール 19 をマスクにして p 型不純物である例えばボロンを、ドーズ量が $4 \times 10^{15} \text{ ions/cm}^2$ で、注入角度が $10^\circ \sim 25^\circ$ の注入条件で斜めイオン注入した後、熱処理を行うことで p 型不純物領域 22 を形成してもよい。この場合、p 型 S i G e 層 21 中の p 型不純物のみを拡散させて p 型不純物領域 22 を形成するよりも、基板領域に対して短時間の熱処理で高濃度の p 型不純物領域 22 を確実に形成することができる。

[0031] 次に、図 2 (c) に示すように、ゲート電極 13 上に設けられた保護絶縁膜 14 を除去した後、スパッタ法等により、半導体基板 10 の上に、例えばニッケル (N i)、コバルト (C o) 又は白金 (P t) 等からなる金属膜を堆積する。その後、堆積した金属膜をアニールすることにより、ゲート電極 13 及び p 型 S i G e 層 21 の各上に金属シリサイド層 23 をそれぞれ形成する。次に、半導体基板 10 上に、層間絶縁膜、コンタクトプラグ、金属配線等（図示せず）を形成することによって、本実施形態に係る半導体装置を製造することができる。

[0032] 本実施形態の半導体装置の製造方法の特徴は、図 1 (c) に示す工程でゲート部 50、及びマスク部 50a、50b、50c を用いてトレンチ部 20 を形成することにある。この方法によれば、マスク部 50a、50b、50c を構成するサイドウォール 19a、19b、19c の一部が、活性領域の端部であって、素子分離領域 11a、11b と隣接する領域（基板領域）を覆うため、トレンチ部 20 と素子分離領域 11a、11b との間に、基板領域を残存させることができる。その結果、トレンチ部 20 の表面に素子分離領域 11a、11b が露出することなくトレンチ部 20 の内壁全体が半導体基板で構成されることになるため、良好にエピタキシャル成長を行うことができ、所望の特性を示す p 型 SiGe 層 21 を得ることができる。従って、本実施形態の半導体装置の製造方法によれば、良好な特性を示す p 型 SiGe 層を備え、高速で動作可能な半導体装置を製造することができる。

[0033] また、本実施形態の半導体装置の製造方法では、マスク部を構成するダミーゲート電極 13a、13b、13c、ダミー保護絶縁膜 14a、14b、14c、及びサイドウォール 19a、19b、19c は、MIS トランジスタのゲート電極 13、保護絶縁膜 14、及びサイドウォール 19 と、それぞれ同一工程で形成されるため、マスク部を別途形成するための工程を増加することなく、比較的容易にトレンチ部 20 を形成することができる。

[0034] なお、本実施形態の半導体装置の製造方法のように、分離幅がゲート電極 13 のゲート長に対して十分に大きい素子分離領域 11b を備えている場合は、ゲート長がゲート電極 13 のゲート長と同じであるダミーゲート電極 13b を素子分離領域 11b の両端部に 1 つずつ設けることが望ましい。これにより、ダミーゲート電極 13b とダミーゲート電極 13a を形成する際のマスクレイアウトパターンが比較的容易に形成できる、最適なエッチング条件を使用できるなどの効果が得られる。また、分離幅がゲート電極 13 のゲート長よりも大きく、素子分離領域 11b の分離幅よりも小さい素子分離領域 11a を備えている場合は、上述したように所望の領域にトレンチ部 20 が形成できるように、素子分離領域 11a の分離幅、サイドウォール 19a

の幅を考慮して、ダミーゲート電極 13 a のゲート長を設定すればよい。なお、本実施形態の製造方法の素子分離領域 11 a、11 b の分離幅は一例であり、これに限定されるものではない。

[0035] 次に、図 2 (c) を用いて本実施形態の半導体装置の構成について簡単に説明する。なお、各構成部材の材料、膜厚、形成方法などは、上述の製造方法で述べた材料と同様である。

[0036] 図 2 (c) に示すように、本実施形態の半導体装置は、半導体基板 10 と、半導体基板 10 内に形成された素子分離領域 11 a、11 b と、素子分離領域 11 a、11 b に囲まれた半導体基板 10 からなり、トレンチ部を有する活性領域 10 A と、活性領域 10 A 上に形成された p 型 M I S トランジスタと、トレンチ部と素子分離領域 11 a、11 b の間にそれぞれ設けられ、半導体基板 10 からなる基板領域と、基板領域に形成された p 型不純物領域 22 とを備えている。

[0037] ここで、p 型 M I S トランジスタは、活性領域 10 A 上に下から順に形成されたゲート絶縁膜 12 及びゲート電極 13 と、ゲート電極 13 の側面上に形成されたオフセットスペーサ 15 と、オフセットスペーサ 15 上であって、平面的に見てゲート電極 13 とトレンチ部との間に形成されたサイドウォール 19 と、活性領域 10 A におけるゲート電極 13 の側方下の領域に形成された p 型エクステンション領域 16 と、サイドウォール 19 の外側方下の領域に形成された p 型 S i G e 層 21 及び p 型不純物領域 22 からなる p 型ソース・ドレイン領域とを有している。ここで、p 型 S i G e 層 21 は、トレンチ部内に充填され、活性領域におけるチャネル領域に対して応力を生じさせる。なお、サイドウォール 19 は、断面形状が L 字状の内側サイドウォール 17 と、内側サイドウォール 17 上に形成された外側サイドウォール 18 とで構成されている。また、ゲート電極 13 及び p 型 S i G e 層 21 の上には、金属シリサイド層 23 が形成されている。

[0038] さらに、本実施形態の半導体装置は、素子分離領域 11 a、11 b 上に下から順にそれぞれ形成されたダミーゲート絶縁膜 12 a、12 b と、ダミー

ゲート電極 13 a、13 b と、及びダミー保護絶縁膜 14 a、14 b と、ダミーゲート電極 13 a、13 b の側面上に形成されたオフセットスペーサ 15 a、15 b と、オフセットスペーサ 15 a 上であって、基板領域を覆うように形成されたサイドウォール 19 a、19 b とを備えている。なお、サイドウォール 19 a は、断面形状が L 字状の内側サイドウォール 17 a と、内側サイドウォール 17 a 上に形成された外側サイドウォール 18 a とで構成されている。同様に、サイドウォール 19 b は、断面形状が L 字状の内側サイドウォール 17 b と、内側サイドウォール 17 b 上に形成された外側サイドウォール 18 b とで構成されている。

[0039] 以上の構成を備えた本実施形態の半導体装置では、活性領域 10 A であって、ゲート電極 13 の両側下方に位置する領域に形成された p 型 SiGe 層 21 を備えている。この p 型 SiGe 層 21 は、Si よりも格子定数が大きい Ge を含むため、ゲート長方向に圧縮応力歪みを生じさせる。その結果、活性領域 10 A 内であって、ゲート電極 13 の下側に位置するチャネル領域に p 型 SiGe 層 21 により圧縮応力が加わることで、p 型 MIS トランジスタの駆動力を向上させることができ、高速で動作可能な半導体装置を実現することができる。

[0040] また、活性領域 10 A の端部であって、素子分離領域 11 a、11 b と隣接する領域である基板領域には、p 型不純物領域 22 が形成されている。これにより、p 型ソース・ドレイン領域（p 型 SiGe 層 21 及び p 型不純物領域 22）と半導体基板 10（n 型ウェル領域（図示せず））との間に生じるリーク電流の低減を図ることができる。

[0041] （第 1 の実施形態の第 1 変形例）

以下、本発明の第 1 の実施形態の第 1 変形例に係る半導体装置の製造方法について図 3 を参照しながら説明する。図 3（a）～（c）は、第 1 の実施形態の第 1 変形例に係る半導体装置の製造方法を示す断面図である。なお、図 3 において、図 1、図 2 に示した構成部材と同一の構成部材には同一の符号を付すことにより詳細な説明は省略する。

- [0042] まず、第１の実施形態に係る半導体装置の製造方法と同様にして、図１（a）及び図１（b）に示す工程を行うことで、p型エクステンション領域１６が形成された図１（b）に示す構成を得る。
- [0043] 次に、図３（a）に示すように、半導体基板１０上に、ゲート電極１３、及び後工程でトレンチ部を形成するトレンチ部形成領域の一部を覆い、且つ、活性領域１０Ａ、１０Ｂ、１０Ｃの端部であって、素子分離領域１１a、１１bと隣接する領域を露出させる開口部を有するレジスト３０を形成する。その後、レジスト３０をマスクにして、活性領域１０Ａ、１０Ｂ、１０Ｃに、p型不純物である例えばボロンをドーズ量が $4 \times 10^{15} \text{ ions/cm}^2$ の注入条件でイオン注入する。次いで、レジスト３０を除去した後、注入した不純物を活性化するための熱処理を行って、p型不純物領域２２を形成する。このp型不純物領域２２は、半導体基板１０からなり、後工程で形成するp型SiGe層と素子分離領域１１a、１１bとの間に位置する領域に形成されていれば良い。
- [0044] 次に、図３（b）に示すように、図１（c）に示す工程と同様な方法によって、サイドウォール１９、１９a、１９b、１９cを形成する。その後、ゲート絶縁膜１２、ゲート電極１３、保護絶縁膜１４、オフセットスペーサ１５、及びサイドウォール１９を有するゲート部５０と、ダミーゲート絶縁膜１２a、ダミーゲート電極１３a、ダミー保護絶縁膜１４a、オフセットスペーサ１５a、及びサイドウォール１９aを有するマスク部５０aと、ダミーゲート絶縁膜１２b、ダミーゲート電極１３b、ダミー保護絶縁膜１４b、オフセットスペーサ１５b、及びサイドウォール１９bを有するマスク部５０bと、ダミーゲート絶縁膜１２c、ダミーゲート電極１３c、ダミー保護絶縁膜１４c、オフセットスペーサ１５c、及びサイドウォール１９cを有するマスク部５０cとをマスクにして、露出している半導体基板１０を所望の深さまでエッチングすることで、トレンチ部２０を形成する。このとき、素子分離領域１１a、１１bとトレンチ部２０の間には、p型不純物領域２２が形成された半導体基板１０が残存するため、トレンチ部２０の表

面に素子分離領域 11 a、11 b が露出することなく、トレンチ部 20 の内壁全体は半導体基板 10 で構成される。

[0045] 次に、図 3 (c) に示すように、例えば MOCVD 法により、トレンチ部 20 内を充填するように p 型 SiGe 層 21 をエピタキシャル成長させる。なお、本変形例の製造方法では、イオン注入により形成された p 型不純物領域 22 の接合深さが、トレンチ部 20 に形成された p 型 SiGe 層 21 の底面よりも浅くなっている。続いて、ゲート電極 13 上に設けられた保護絶縁膜 14 を除去した後、ゲート電極 13 及びソース・ドレイン領域となる p 型 SiGe 層 21 の上に金属シリサイド層 23 をそれぞれ形成する。その後、半導体基板 10 上に、層間絶縁膜、コンタクトプラグ、金属配線等（図示せず）を形成することによって、本変形例に係る半導体装置を製造することができる。

[0046] 本変形例に係る半導体装置の製造方法では、第 1 の実施形態の半導体装置の製造方法と同様にして、トレンチ部 20 を形成する際に、マスク部 50 a、50 b、50 c を構成するサイドウォール 19 a、19 b、19 c の一部が、活性領域の端部であって、素子分離領域 11 a、11 b と隣接する領域（基板領域）を覆うため、トレンチ部 20 と素子分離領域 11 a、11 b との間に、基板領域を残存させることができる。その結果、トレンチ部 20 の内壁全体が半導体基板で構成されることになるため、良好にエピタキシャル成長を行うことができ、所望の特性を示す p 型 SiGe 層 21 を得ることができる。従って、本変形例の半導体装置の製造方法によれば、良好な特性を示す p 型 SiGe 層を備え、高速で動作可能な半導体装置を製造することができる。

[0047] また、本変形例の半導体装置の製造方法では、p 型不純物領域 22 は、p 型 SiGe 層 21 におけるゲート電極 13 側の側方（サイドウォール 19 の下方）には形成されず、p 型 SiGe 層 21 と素子分離領域 11 a、11 b との間に位置する半導体基板 10 の領域のみに形成される。この場合、図 2 (c) に示す第 1 の実施形態の半導体装置に比べて、短チャネル効果の抑制

を図ることができる。その結果、本変形例の半導体装置の製造方法を用いれば、リーク電流が抑制されるとともに、短チャネル効果によるMISトランジスタの特性の劣化が軽減され、信頼性の高い半導体装置を実現することができる。

[0048] また、本変形例の半導体装置の製造方法では、p型不純物領域22は、p型SiGe層21を形成する前にイオン注入することにより形成される。このため、第1の実施形態の製造方法のように、p型SiGe層21を形成した後、該p型SiGe層21に含まれるp型不純物を熱処理で拡散することでp型不純物領域を形成する場合に比べて、本変形例の半導体装置の製造方法では、短時間の熱処理で高濃度のp型不純物領域22を比較的容易に形成することができる。

[0049] (第1の実施形態の第2変形例)

以下、本発明の第1の実施形態の第2変形例に係る半導体装置の製造方法について図4を参照しながら説明する。図4(a)～(c)は、第2変形例に係る半導体装置の製造方法である。なお、図4において、図1、図2に示した構成部材と同一の構成部材には同一の符号を付すことにより詳細な説明は省略する。

[0050] まず、第1の実施形態に係る半導体装置の製造方法と同様にして、図1(a)及び図1(b)に示す工程を行うことで、p型エクステンション領域16が形成された図1(b)に示す構成を得る。

[0051] 次に、図4(a)に示すように、図1(c)に示すサイドウォールの形成と同様な方法によって、ゲート電極13の側面上にオフセットスペーサ15を介してサイドウォール19を形成するとともに、ダミーゲート電極13a、13b、13cの側面上にオフセットスペーサ15a、15b、15cを介してサイドウォール19a、19b、19cを形成する。

[0052] 次に、図4(b)に示すように、半導体基板10上に、ゲート電極13、サイドウォール19、及び後の工程でトレンチ部を形成するトレンチ部形成領域の一部を覆い、且つ、活性領域10A、10B、10Cの端部であって

、素子分離領域 11a、11b と隣接する領域（基板領域）を露出させる開口部を有するレジスト 30 を形成する。その後、レジスト 30 をマスクにして、活性領域 10A、10B、10C に、p 型不純物である例えばボロンをドーズ量が $4 \times 10^{15} \text{ ions/cm}^2$ で、注入角度が $10^\circ \sim 25^\circ$ の注入条件で斜めイオン注入する。次に、レジスト 30 を除去した後、注入した不純物を活性化するための熱処理を行って、p 型不純物領域 22 を形成する。この p 型不純物領域 22 は、後工程で形成する p 型 SiGe 層と、素子分離領域 11a、11b との間に位置する半導体基板 10 からなる領域に形成されていれば良い。

[0053] 次に、図 4（c）に示すように、図 1（c）に示すトレンチ部 20 の形成と同様な方法によって、ゲート絶縁膜 12、ゲート電極 13、保護絶縁膜 14、オフセットスペーサ 15、及びサイドウォール 19 を有するゲート部 50 と、ダミーゲート絶縁膜 12a、ダミーゲート電極 13a、ダミー保護絶縁膜 14a、オフセットスペーサ 15a、及びサイドウォール 19a を有するマスク部 50a と、ダミーゲート絶縁膜 12b、ダミーゲート電極 13b、ダミー保護絶縁膜 14b、オフセットスペーサ 15b、及びサイドウォール 19b を有するマスク部 50b と、ダミーゲート絶縁膜 12c、ダミーゲート電極 13c、ダミー保護絶縁膜 14c、オフセットスペーサ 15c、及びサイドウォール 19c を有するマスク部 50c とをマスクにして、露出している半導体基板 10 を所望の深さまでエッチングすることで、トレンチ部 20 を形成する。このとき、素子分離領域 11a、11b とトレンチ部 20 との間には、p 型不純物領域 22 が形成された半導体基板 10 が残存するため、トレンチ部 20 の表面に素子分離領域 11a、11b が露出することなく、トレンチ部 20 の内壁全体は半導体基板 10 で構成される。

[0054] 続いて、図示は省略するが、例えば MOCVD 法により、トレンチ部 20 内を充填するように p 型 SiGe 層 21 をエピタキシャル成長させる。次に、ゲート電極 13 上に設けられた保護絶縁膜 14 を除去した後、ゲート電極 13 及び p 型 SiGe 層 21 の上に金属シリサイド層 23 をそれぞれ形成す

る。その後、半導体基板 10 上に、層間絶縁膜、コンタクトプラグ、金属配線等（図示せず）を形成することによって、本変形例に係る半導体装置を製造することができる。

[0055] 本変形例の半導体装置及びその製造方法によれば、図 4（c）に示す工程でトレンチ部 20 と素子分離領域 11a、11b との間には、p 型不純物領域 22 が形成された基板領域が設けられている。これにより、トレンチ部 20 の内壁全体は半導体基板 10 で構成されるため、トレンチ部 20 内にエピタキシャル成長により制御良く p 型 SiGe 層 21 を形成することができる。従って、良好な品質を有する p 型 SiGe 層 21 を備えた半導体装置を実現することができ、第 1 の実施形態及び第 1 変形例の半導体装置及びその製造方法と同様な効果を得ることができる。

[0056] （第 1 の実施形態の第 3 変形例）

以下、本発明の第 1 の実施形態の第 3 変形例に係る半導体装置の製造方法について、図 5 を参照しながら説明する。図 5（a）～（c）は、第 3 変形例に係る半導体装置の製造方法である。なお、図 5 において、図 1、図 2 に示した構成部材と同一の構成部材には同一の符号を付すことにより詳細な説明は省略する。

[0057] まず、第 1 の実施形態に係る半導体装置の製造方法と同様にして、図 1（a）～（c）、図 2（a）に示す工程を順次行って、p 型 SiGe 層 21 が形成された図 2（a）に示す構成を得る。

[0058] 次に、図 5（a）に示すように、半導体基板 10 上に、ゲート電極 13、オフセットスペーサ 15、サイドウォール 19、及び p 型 SiGe 層 21 の一部を覆うレジスト 30 を形成する。その後、レジスト 30 をマスクにして、サイドウォール 19a、19b、19c を構成する外側サイドウォール 18a、18b、18c をそれぞれ除去する。

[0059] 次に、図 5（b）に示すように、レジスト 30 を除去した後、活性領域 10A、10B、10C に、p 型不純物であるボロンをドーズ量が 4×10^{15} ions/cm² の注入条件でイオン注入する。その後、注入した p 型不純物

を活性化するための熱処理を行って、p型不純物領域22を形成する。なお、本変形例では、レジスト30を除去した後、ボロンのイオン注入を行ったが、レジスト30をマスクにしてボロンのイオン注入を行ってp型不純物領域22を形成してもよい。あるいは、レジスト30を除去した後、再度半導体基板10上にゲート電極13、オフセットスペーサ15、サイドウォール19、及びp型SiGe層21の一部を覆うレジストを形成し、該レジストをマスクにしてボロンのイオン注入を行ってp型不純物領域22を形成してもよい。

[0060] 次に、図5(c)に示すように、ゲート電極13上に設けられた保護絶縁膜14を除去した後、ゲート電極13及びp型SiGe層21の上に金属シリサイド層23をそれぞれ形成する。その後、半導体基板10上に、層間絶縁膜、コンタクトプラグ、金属配線等(図示せず)を形成することによって、本変形例に係る半導体装置を製造することができる。

[0061] 本変形例の半導体装置及びその製造方法によれば、第1の実施形態、及びその第1変形例、第2変形例と同様に、トレンチ部20と素子分離領域11a、11bとの間には、基板領域が設けられている。これにより、トレンチ部20の内壁全体は半導体基板10で構成されるため、図5(a)に示す工程で、トレンチ部20内に制御良くp型SiGe層21をエピタキシャル成長させることができる。従って、本変形例の半導体装置及びその製造方法によれば、良好な品質を有するp型SiGe層21を備え、高速に動作可能な半導体装置を実現することができる。

[0062] なお、本変形例では、図5(a)に示す工程において、内側サイドウォール17a、17b、17cを残存させたが、必ずしも残存させる必要はなく、内側サイドウォール17a、17b、17cを全て除去する、又は、内側サイドウォール17a、17b、17cのうち半導体基板10に接している部分を除去してもよい。この場合、p型不純物を注入しやすくなるため、より確実にp型不純物領域22を形成することができる。

[0063] また、本変形例では、図5(a)に示す工程において、ゲート電極13の

側面上に設けられた外側サイドウォール 18 は残存させたが、必ずしも残存させる必要はなく、外側サイドウォール 18 a、18 b、18 c とともに外側サイドウォール 18 も除去してもよい。この場合、図 5 (b) に示す工程において、半導体基板 10 上にゲート電極 13、オフセットスペーサ 15、内側サイドウォール 17、及び p 型 SiGe 層 21 の一部を覆うレジストを形成し、該レジストをマスクにしてボロンのイオン注入を行って p 型不純物領域 22 を形成すれば良い。

[0064] なお、第 1 の実施形態及びその各変形例の製造方法では、ゲート電極 13 上に設けられた保護絶縁膜 14 は、p 型 SiGe 層 21 を形成する際にゲート電極 13 上でもエピタキシャル成長が起こるのを防止するために設けられている。従って、保護絶縁膜 14 の除去工程は、必ずしも金属シリサイド層 23 の形成直前で行う必要はなく、p 型 SiGe 層 21 を形成した後であれば、金属シリサイド層 23 を形成するまでのどの工程でも保護絶縁膜 14 を除去することができる。

[0065] (第 2 の実施形態)

本発明の第 2 の実施形態に係る半導体装置の製造方法について図面を参照しながら説明する。図 6 及び図 7 は、本実施形態に係る半導体装置の製造方法を示す断面図である。なお、第 1 の実施形態 (図 1、図 2) の構成部材と同一の構成部材には同一の符号を付すことにより詳細な説明は省略する。

[0066] まず、図 6 (a) に示すように、例えば STI (Shallow Trench Isolation) 法により、例えば面方位が (100) 面の主面を持つシリコン (Si) からなる半導体基板 10 の上部にトレンチを形成し、該トレンチ内に絶縁膜を埋め込んで素子分離領域 11 a、11 b を選択的に形成する。これにより、素子分離領域 11 a、11 b によって囲まれた半導体基板 10 からなる活性領域 10 A が形成される。

[0067] 次に、リソグラフィ法及びイオン注入法により、半導体基板 10 に、例えば P (リン) 等の n 型不純物を注入して、n 型ウェル領域 (図示せず) を形成する。その後、半導体基板 10 上の全面に、例えば膜厚が 2 nm のシリコ

ン酸窒化膜、膜厚が100nmのポリシリコン膜、及び膜厚が30nmのシリコン酸化膜を順次形成する。その後、フォトリソグラフィ法及びドライエッチング法により、シリコン酸化膜、ポリシリコン膜及びシリコン酸窒化膜を順次パターンニングして、活性領域10A上にシリコン酸窒化膜からなるゲート絶縁膜12、ポリシリコン膜からなるゲート電極13、及びシリコン酸化膜からなる保護絶縁膜14を形成する。

[0068] 次に、半導体基板10上の全面に、膜厚が5nmのシリコン酸化膜を形成した後、該シリコン酸化膜をエッチバックすることにより、ゲート電極13の側面上に断面形状がI字状のオフセットスペーサ15を形成する。その後、活性領域10Aに、ゲート電極13及びオフセットスペーサ15をマスクにして、p型不純物であるボロンをドーズ量 $4 \times 10^{14} \text{ ions/cm}^2$ で注入してp型エクステンション領域16を形成する。

[0069] 次に、図6(b)に示すように、例えばCVD法により、例えば膜厚が5nmのシリコン酸化膜と膜厚が30nmのシリコン窒化膜とを順次堆積した後、シリコン酸化膜及びシリコン窒化膜からなる積層膜をエッチバックすることで、ゲート電極13の側面上に、オフセットスペーサ15を介してサイドウォール19を形成する。ここで、サイドウォール19は、シリコン酸化膜からなる断面形状がL字状の内側サイドウォール17と、L字状の内側サイドウォール17上に形成されたシリコン窒化膜からなる外側サイドウォール18とで構成されている。

[0070] 次に、図6(c)に示すように、例えばCVD法により、半導体基板10上の全面に、例えば膜厚が30nmのシリコン酸化膜からなる保護膜24を堆積する。その後、保護膜24上に、保護膜24のうち、ゲート電極13、サイドウォール19、及び後工程でトレンチ部を形成するトレンチ部形成領域の上に設けられた部分を露出させる開口部を有し、且つ、保護膜24のうち、素子分離領域11a、11b上、及び、素子分離領域11a、11bと活性領域10Aとの境界位置から活性領域10A側に所定の距離だけ離れた位置までに亘る領域上に設けられた部分を覆うレジスト31を形成する。次

いで、レジスト 31 をマスクにして保護膜 24 をエッチングする。これにより、トレンチ部形成領域を露出させる開口部を有し、且つ、活性領域 10A の端部であって、素子分離領域 11a、11b との境界領域（基板領域）を覆う保護膜 24 を形成する。なお、本実施形態では、素子分離領域 11a、11b の全面を覆うようにレジスト 31 を形成したが、所定の位置に開口部を有し、且つ、基板領域の上方に形成された保護膜 24 を覆っていれば、必ずしも素子分離領域 11a、11b 上にレジスト 31 を形成する必要はない。

[0071] 次に、図 7（a）に示すように、レジスト 31 を除去した後、ゲート絶縁膜 12、ゲート電極 13、保護絶縁膜 14、オフセットスペーサ 15、及びサイドウォール 19 を有するゲート部 50 と、保護膜 24 からなるマスク部 50d とをマスクにして、露出している半導体基板 10 を所望の深さまでエッチングする。これにより、活性領域 10A におけるサイドウォール 19 と保護膜 24 との間に位置する領域（トレンチ部形成領域）にトレンチ部 20 を形成する。このとき、活性領域 10A の端部であって、素子分離領域 11a、11b と隣接する領域（基板領域）上には保護膜 24 が形成されているため、素子分離領域 11a、11b とトレンチ部 20 との間には半導体基板 10 が残存する。これにより、トレンチ部 20 内には素子分離領域 11a、11b が露出することなく、トレンチ部 20 の内壁全体は半導体基板 10 で構成される。

[0072] 次に、例えば MOCVD（Metal Organic Chemical Vapor Deposition）法により、例えばシランガス（ SiH_4 ）及びゲルマン（ GeH_4 ）ガスを、ジボラン（ B_2H_6 ）などの p 型ドーパントガスとともに $650 \sim 700^\circ\text{C}$ の温度で供給することにより、トレンチ部 20 内を充填するように p 型 SiGe 層 21 をエピタキシャル成長させる。このとき、p 型 SiGe 層 21 の上面は、ゲート電極 13 直下に位置する半導体基板 10 の上面の高さに比べて同等以上の高さになるように形成することが望ましい。この場合、ゲート電極 13 の下方に形成されるチャネル領域に対して、p 型 SiGe 層 21 が十分

に応力が加えることができるので、p型MISトランジスタの駆動能力をより一層高めることができる。

- [0073] 続いて、半導体基板10に熱処理を行うことにより、p型SiGe層21中のp型不純物を半導体基板10に拡散させる。これにより、活性領域10Aにおける素子分離領域11a、11bとp型SiGe層21との間に位置する領域（基板領域）にp型不純物領域22を形成する。本工程により、サイドウォール19の外側下方に位置する領域に、p型SiGe層21及びp型不純物領域22からなるp型ソース・ドレイン領域が形成される。
- [0074] ここで、上述の工程では、p型SiGe層21を形成した後に、p型SiGe層21を含む活性領域10Aに、ゲート電極13及びサイドウォール19をマスクにしてp型不純物である例えばボロンを、ドーズ量が 4×10^{15} ions/cm²で、注入角度が10°～25°の注入条件で斜めイオン注入した後、熱処理を行うことでp型不純物領域22を形成してもよい。この場合、p型SiGe層21中のp型不純物のみを拡散させてp型不純物領域22を形成するよりも、基板領域に短時間の熱処理で高濃度のp型不純物領域22を確実に形成することができる。
- [0075] 次に、図7（c）に示すように、ゲート電極13上に設けられた保護絶縁膜14を除去した後、スパッタ法等により、半導体基板10の上に、例えばニッケル（Ni）、コバルト（Co）又は白金（Pt）等からなる金属膜を堆積する。その後、堆積した金属膜をアニールすることにより、ゲート電極13及びp型SiGe層21の各上に金属シリサイド層23をそれぞれ形成する。ここで、p型SiGe層21の形成後であれば、保護膜24を除去して、p型不純物領域22上にも金属シリサイド層23を形成してもよい。次に、半導体基板10上に、層間絶縁膜、コンタクトプラグ、金属配線等（図示せず）を形成することによって、本実施形態に係る半導体装置を製造することができる。
- [0076] 本実施形態の半導体装置の製造方法の特徴は、図7（a）に示す工程でゲート部50及びマスク部50dを用いてトレンチ部20を形成することにあ

る。この方法によれば、マスク部50dを構成する保護膜24の一部が、活性領域の端部であって、素子分離領域11a、11bと隣接する領域（基板領域）を覆うため、トレンチ部20と素子分離領域11a、11bとの間に、基板領域を残存させることができる。その結果、トレンチ部20の内壁全体が半導体基板で構成されるため、良好にエピタキシャル成長を行うことができ、所望の特性を示すp型SiGe層21を得ることができる。従って、本実施形態の半導体装置の製造方法によれば、良好な特性を示すp型SiGe層を備え、高速で動作可能な半導体装置を製造することができる。

[0077] （第2の実施形態の変形例）

以下、本発明の第2の実施形態の変形例に係る半導体装置の製造方法について図8を参照しながら説明する。図8（a）～（c）は、本実施形態の変形例に係る半導体装置の製造方法を示す断面図である。なお、図8において、図6、図7に示した構成部材と同一の構成部材には同一の符号を付すことにより詳細な説明は省略する。

[0078] まず、第2の実施形態に係る半導体装置の製造方法と同様にして、図6（a）、（b）に示す工程を行うことで、サイドウォール19が形成された図6（b）に示す構成を得る。

[0079] 次に、図8（a）に示すように、活性領域10Aに、ゲート電極13、オフセットスペーサ15、及びサイドウォール19をマスクにしてp型不純物であるボロンを、ドーズ量 $4 \times 10^{14} \text{ ions/cm}^2$ の注入条件でイオン注入した後、熱処理を行ってp型不純物領域22を形成する。

[0080] 次に、図8（b）に示すように、図6（c）及び図7（a）と同様な方法によって、素子分離領域11a、11b及びp型不純物領域22の一部上に、トレンチ部形成領域を露出させる開口部を有し、且つ、活性領域の端部であって、素子分離領域11a、11bとの境界領域（基板領域）を覆う保護膜24を形成する。その後、ゲート絶縁膜12、ゲート電極13、保護絶縁膜14及びサイドウォール19を有するゲート部50と、保護膜24からなるマスク部50dをマスクにして、露出している半導体基板10を所望の深

さまでエッチングしてトレンチ部20を形成する。

[0081] 次に、図8(c)に示すように、例えばMOCVD法により、トレンチ部20内を充填するようにp型SiGe層21をエピタキシャル成長させる。その後、ゲート電極13上に設けられた保護絶縁膜14を除去した後、ゲート電極13及びソース・ドレイン領域となるp型SiGe層21の上に金属シリサイド層23をそれぞれ形成する。ここで、p型SiGe層21を形成した後であれば、保護膜24を除去してp型不純物領域22上にも金属シリサイド層23を形成してもよい。次に、半導体基板10上に、層間絶縁膜、コンタクトプラグ、金属配線等(図示せず)を形成することによって、本変形例に係る半導体装置を製造することができる。

[0082] 本変形例の製造方法では、第2の実施形態の製造方法と同様にして、図8(b)に示す工程で、ゲート部50及びマスク部50dを用いてトレンチ部20を形成する。この方法によれば、マスク部50dを構成する保護膜24の一部が、活性領域の端部であって、素子分離領域11a、11bと隣接する領域(基板領域)を覆うため、トレンチ部20と素子分離領域11a、11bとの間に、基板領域を残存させることができる。その結果、トレンチ部20の内壁全体が半導体基板で構成されるため、良好にエピタキシャル成長を行うことができ、所望の特性を示すp型SiGe層21を得ることができる。従って、本変形例の製造方法によれば、良好な品質を有するp型SiGe層21を備え、高速に動作可能な半導体装置を実現することができる。

[0083] なお、本変形例の製造方法では、図8(a)に示す工程において、ゲート電極13及びサイドウォール19をマスクにしてp型不純物領域22を形成したが、第1の実施形態の第1変形例～第3変形例と同様な方法によってp型不純物領域22を形成しても良い。すなわち、第1の実施形態の第1変形例における図3(a)に示す工程と同様にして、図6(a)の工程の後で図6(b)の工程の前に、ゲート電極13及びオフセットスペーサ15、並びにトレンチ部形成領域の一部を覆うレジストを注入マスクに用いてp型不純物領域22を形成する方法を用いてもよい。また、第1の実施形態の第2変

形例における図 4 (b) に示す工程と同様にして、図 6 (b) の工程の後で、図 7 (a) の工程の前、好ましくは図 6 (c) の工程の前に、ゲート電極 13、オフセットスペーサ 15、サイドウォール 19 及びトレンチ部形成領域の一部を覆うレジストを注入マスクに用いて p 型不純物領域 22 を形成する方法を用いてもよい。あるいは、第 1 の実施形態の第 3 変形例における図 5 (a)、図 5 (b) に示す工程と同様にして、図 7 (b) の工程で p 型 SiGe 層 21 を形成した後で、図 7 (c) の工程の前に、半導体基板 10 上に、ゲート電極 13、オフセットスペーサ 15、サイドウォール 19 及び p 型 SiGe 層 21 の一部を覆うレジストを注入マスクに用いて p 型不純物領域 22 を形成する方法であってもよい。これらの方法を用いても、本変形例の製造方法と同様な効果を得ることができる。

[0084] (第 3 の実施形態)

本発明の第 3 の実施形態に係る半導体装置の製造方法について図面を参照しながら説明する。図 9 及び図 10 は、本実施形態の半導体装置の製造方法を示す断面図である。なお、第 1 の実施形態 (図 1、図 2) の構成部材と同一の構成部材には同一の符号を付すことにより詳細な説明は省略する。

[0085] まず、図 9 (a) に示すように、第 2 の実施形態における図 6 (a) に示す工程と同様な方法によって、半導体基板 10 における素子分離領域 11a、11b に囲まれた活性領域 10A 上にゲート絶縁膜 12、ゲート電極 13 及び保護絶縁膜 14 を形成する。次に、ゲート電極 13 の側面上にオフセットスペーサ 15 を形成した後、活性領域 10A におけるゲート電極 13 の側方に p 型エクステンション領域 16 を形成する。

[0086] 次に、図 9 (b) に示すように、例えば CVD 法により、半導体基板 10 上の全面に、例えば膜厚が 5 nm のシリコン酸化膜からなる第 1 絶縁膜 17A と、膜厚が 30 nm のシリコン窒化膜からなる第 2 絶縁膜 18A とを順次堆積する。

[0087] 次に、図 9 (c) に示すように、第 2 絶縁膜 18A 上に、第 2 絶縁膜 18A のうち、ゲート電極 13、サイドウォール 19、及び後工程でトレンチ部

を形成するトレンチ部形成領域の上に設けられた部分を露出させる開口部を有し、且つ、第2絶縁膜18Aのうち、素子分離領域11a、11b上、及び、素子分離領域11a、11bと活性領域10Aと境界位置から活性領域10A側に所定の距離だけ離れた位置までに亘る領域上に設けられた部分を覆うレジスト31を形成する。その後、レジスト31をマスクにして第2絶縁膜18A及び第1絶縁膜17Aを順次エッチングする。これにより、ゲート電極13の側面上にオフセットスペーサ15を介してサイドウォール19を形成すると共に、素子分離領域11a、11b上、及び、活性領域10Aの端部であって、素子分離領域11a、11bとの境界領域（基板領域）上を覆い、第1絶縁膜17Aと第2絶縁膜18Aとからなるマスク部50xを形成する。

[0088] 次に、図10（a）に示すように、レジスト31を除去した後、ゲート絶縁膜12、ゲート電極13、保護絶縁膜14、オフセットスペーサ15、及びサイドウォール19を有するゲート部50と、第1絶縁膜17A及び第2絶縁膜18Aからなるマスク部50xとをマスクにして、露出している半導体基板10を所望の深さまでエッチングする。これにより、活性領域10A内であって、平面的に見てサイドウォール19とマスク部50x（第1絶縁膜17A及び第2絶縁膜18A）との間に位置する領域（トレンチ部形成領域）にトレンチ部20を形成する。このとき、活性領域10Aの端部であって、素子分離領域11a、11bと隣接する領域（基板領域）上にはマスク部50xが形成されているため、素子分離領域11aとトレンチ部20との間、及び、素子分離領域11bとトレンチ部20の間には半導体基板10が残存する。このため、トレンチ部20内には素子分離領域11a、11bが露出することなく、トレンチ部20の内壁全体は、半導体基板10で構成される。

[0089] 次に、図10（b）に示すように、第2の実施形態における図7（b）に示す工程と同様にして、トレンチ部20内を充填するようにp型SiGe層21をエピタキシャル成長させる。その後、半導体基板10に熱処理を行う

ことにより、p型SiGe層21中のp型不純物を半導体基板10に拡散させる。これにより、活性領域10Aにおいて、素子分離領域11aとp型SiGe層21との間に位置する領域、及び、素子分離領域11bとp型SiGe層21との間に位置する領域にp型不純物領域22を形成する。このとき、熱処理を行う前に、p型SiGe層21を含む活性領域10Aに、ゲート電極13及びサイドウォール19をマスクにしてp型不純物であるボロンをイオン注入した後、熱処理を行ってp型不純物領域22を形成してもよい。この場合、短時間の熱処理で高濃度のp型不純物領域22を比較的容易に形成することができる。

[0090] 次に、図10(c)に示すように、ゲート電極13上の保護絶縁膜14を除去した後、スパッタ法等により、半導体基板10の上に、例えばニッケル(Ni)、コバルト(Co)又は白金(Pt)等からなる金属膜を堆積し、堆積した金属膜をアニールすることにより、ゲート電極13及びp型SiGe層21の上に金属シリサイド層23をそれぞれ形成する。その後、半導体基板10上に、層間絶縁膜、コンタクトプラグ、金属配線等(図示せず)を形成することによって、本実施形態に係る半導体装置を製造することができる。

[0091] 本実施形態の半導体装置の製造方法の特徴は、第2の実施形態の半導体装置の製造方法と同様にして、基板領域を覆うマスク部50xを用いてトレンチ部20を形成することにある。これにより、素子分離領域11a、11bが露出することなくトレンチ部20が形成されるため、トレンチ部20内に制御良くp型SiGe層21をエピタキシャル成長させることができる。また、本実施形態の半導体装置の製造方法では、マスク部50xがMISトランジスタのサイドウォール19と同一工程で形成されるため、複雑な工程を用いることなく、良好な品質を有するp型SiGe層21を備え、高速に動作可能な半導体装置を比較的容易に製造することができる。

[0092] なお、本実施形態の製造方法では、図10(b)に示す工程において、p型SiGe層21に含まれる不純物の拡散またはp型不純物のイオン注入に

よって p 型不純物領域 22 を形成したが、第 1 の実施形態の第 1 変形例～第 3 変形例の製造方法と同様な方法によって p 型不純物領域 22 を形成しても良い。

[0093] (第 4 の実施形態)

本発明の第 4 の実施形態に係る半導体装置の製造方法について図面を参照しながら説明する。図 11 および図 12 は、本実施形態の半導体装置の製造方法を示す断面図である。なお、第 1 の実施形態（図 1、図 2）の構成部材と同一の構成部材には同一の符号を付すことにより詳細な説明は省略する。

[0094] まず、図 11 (a) に示すように、例えば S T I 法により、例えば面方位が (100) 面の主面を持つシリコン (Si) からなる半導体基板 10 の上部にトレンチを形成し、該トレンチ内に絶縁膜が埋め込み込んで素子分離領域 11a、11b を選択的に形成する。これにより、素子分離領域 11a、11b によって囲まれた半導体基板 10 からなる活性領域 10A が形成される。このとき、上面が活性領域 10A の上面よりも、例えば 30 nm 程度高くなるように素子分離領域 11a、11b を形成し、活性領域 10A と素子分離領域 11a、11b との境界に段差を設ける。このとき、例えば、活性領域 10A 上にシリコン酸化膜及びシリコン窒化膜からなる膜厚 50 nm の保護膜を形成した状態で、CMP 法を用いてトレンチ内に絶縁膜を埋め込み、その後、活性領域 10A 上の保護膜を除去することによって、活性領域 10A と素子分離領域 11a、11b との境界に所望の段差を設けることができる。あるいは、素子分離領域 11a、11b を形成した後、活性領域 10A の上部をエッチングして、活性領域 10A と素子分離領域 11a、11b との境界に所望の段差を設けてもよい。続いて、n 型ウェル領域（図示せず）を形成した後、活性領域 10A 上にシリコン酸窒化膜からなるゲート絶縁膜 12、ポリシリコン膜からなるゲート電極 13 及びシリコン酸化膜からなる保護絶縁膜 14 を形成する。

[0095] 次に、図 11 (b) に示すように、半導体基板 10 上の全面にシリコン酸化膜を形成した後、シリコン酸化膜をエッチバックすることにより、ゲート

電極 13 の側面上に断面形状が I 字状のオフセットスペーサ 15 を形成するとともに、素子分離領域 11 a、11 b の側面上に断面形状が I 字状のオフセットスペーサ 15 e を形成する。このとき、オフセットスペーサ 15 e は必ずしも形成する必要はない。その後、活性領域 10 A におけるゲート電極 13 の側方下の領域に p 型エクステンション領域 16 を形成する。

[0096] 次に、図 11 (c) に示すように、例えば CVD 法により、半導体基板 10 上の全面に、シリコン酸化膜及びシリコン窒化膜を順次堆積した後、シリコン酸化膜及びシリコン窒化膜からなる積層膜をエッチバックすることにより、ゲート電極 13 の側面上にオフセットスペーサ 15 を介してサイドウォール 19 を形成するとともに、素子分離領域 11 a、11 b の側面上にはオフセットスペーサ 15 e を介してサイドウォール 19 e を形成する。ここで、サイドウォール 19 は、シリコン酸化膜からなる断面形状が L 字状の内側サイドウォール 17 と、内側サイドウォール 17 上に形成されたシリコン窒化膜からなる外側サイドウォール 18 とで構成されている。同様に、サイドウォール 19 e は、シリコン酸化膜からなる断面形状が L 字状の内側サイドウォール 17 e と、内側サイドウォール 17 e 上に形成されたシリコン窒化膜からなる外側サイドウォール 18 e とで構成されている。

[0097] 次に、図 12 (a) に示すように、ゲート絶縁膜 12、ゲート電極 13、保護絶縁膜 14、オフセットスペーサ 15、及びサイドウォール 19 を有するゲート部 50 と、オフセットスペーサ 15 e 及びサイドウォール 19 e を有するマスク部 50 e とをマスクにして、露出している半導体基板 10 を所望の深さまでエッチングする。これにより、活性領域 10 A の端部であって、平面的に見てサイドウォール 19 とサイドウォール 19 e との間の領域（トレンチ部形成領域）にトレンチ部 20 を形成する。このとき、活性領域 10 A の端部であって、素子分離領域 11 a、11 b と隣接する領域（基板領域）上にはマスク部 50 e が形成されているため、素子分離領域 11 a とトレンチ部 20 との間、及び、素子分離領域 11 b とトレンチ部 20 との間には、半導体基板 10 が残存する。このため、トレンチ部 20 内には素子分離

領域 11a、11b が露出することなく、トレンチ部 20 の内壁全体は半導体基板 10 で構成される。

[0098] 次に、図 12 (b) に示すように、第 2 の実施形態における図 7 (b) に示す工程と同様にして、トレンチ部 20 内を充填するように p 型 SiGe 層 21 をエピタキシャル成長させる。その後、半導体基板 10 に熱処理を行うことにより、p 型 SiGe 層 21 中の p 型不純物を半導体基板 10 に拡散させる。これにより、活性領域 10A における、素子分離領域 11a、11b と p 型 SiGe 層 21 との間に位置する領域に p 型不純物領域 22 を形成する。このとき、熱処理を行う前に、p 型 SiGe 層 21 を含む活性領域 10A に、ゲート電極 13 及びサイドウォール 19 をマスクにして p 型不純物であるボロンをイオン注入した後、熱処理を行って p 型不純物領域 22 を形成してもよい。

[0099] 次に、図 12 (c) に示すように、ゲート電極 13 上の保護絶縁膜 14 を除去した後、スパッタ法等により、半導体基板 10 の上に、例えばニッケル (Ni)、コバルト (Co) 又は白金 (Pt) 等からなる金属膜を堆積し、堆積した金属膜をアニールすることにより、ゲート電極 13 及び p 型 SiGe 層 21 の各上部に金属シリサイド層 23 を形成する。その後、半導体基板 10 上に、層間絶縁膜、コンタクトプラグ、金属配線等 (図示せず) を形成することによって、本実施形態に係る半導体装置を製造することができる。

[0100] 本実施形態の半導体装置の製造方法によれば、第 2 の実施形態及びその変形例と同様にして、活性領域 10A の端部であって、素子分離領域 11a、11b との境界領域 (基板領域) を覆うマスク部 50e を用いてトレンチ部 20 を形成する。これにより、素子分離領域 11a、11b が露出することなくトレンチ部が形成されるので、トレンチ内に制御良く p 型 SiGe 層 21 をエピタキシャル成長させることができる。また、本実施形態の半導体装置の製造方法では、素子分離領域 11a、11b の上面を半導体基板 10 の上面よりも高くして段差を設けることで、MIS トランジスタのサイドウォール 19 形成時に段差部分に自己整合的にマスク部 50e を形成することが

できる。その結果、本実施形態の半導体装置を用いれば、良好な品質を有するp型SiGe層21を備え、高速に動作可能な半導体装置を比較的容易に製造することができる。

[0101] なお、本実施形態の製造方法では、図12(b)に示す工程において、p型SiGe層21からの拡散またはp型不純物のイオン注入によってp型不純物領域22を形成したが、第1の実施形態の第1変形例～第3変形例と同様な方法によってp型不純物領域22を形成してもよい。

[0102] なお、本発明に係る第1～第4の実施形態及びその各変形例では、p型MISトランジスタを用いて説明したが、n型MISトランジスタであっても、例えばシリコン混晶層として、p型SiGe層の代わりにn型SiC層を用いれば、本発明の半導体装置およびその製造方法と同様な効果を得ることができる。

産業上の利用の可能性

[0103] 本発明の半導体装置及びその製造方法は、半導体装置の高性能化に有用である。

請求の範囲

- [1] 半導体基板と、
 前記半導体基板内に形成された素子分離領域と、
 前記素子分離領域に囲まれた前記半導体基板からなり、トレンチ部を有する活性領域と、
 前記活性領域上に形成されたゲート電極と、前記ゲート電極の側面上であって、平面的に見て前記ゲート電極と前記トレンチ部との間に形成された第1のサイドウォールと、前記トレンチ部内に充填され、前記活性領域におけるチャンネル領域に対して応力を生じさせる第1導電型のシリコン混晶層とを有する第1導電型のMISトランジスタと、
 前記トレンチ部と前記素子分離領域との間に設けられ、前記半導体基板からなる基板領域と、
 前記基板領域に形成された第1導電型の不純物領域とを備えている半導体装置。
- [2] 請求項1に記載の半導体装置において、
 前記基板領域上には、マスク部が形成されていることを特徴とする半導体装置。
- [3] 請求項2に記載の半導体装置において、
 前記マスク部は、前記素子分離領域上に形成されたダミーゲート電極と、前記ダミーゲート電極の側面上に形成された第2のサイドウォールとを有し、
 前記基板領域上は前記第2のサイドウォールで覆われていることを特徴とする半導体装置。
- [4] 請求項3に記載の半導体装置において、
 前記素子分離領域は、ゲート長方向の一方に形成された第1の素子分離領域と、ゲート長方向の他方に形成された前記第1の素子分離領域よりも分離幅の広い第2の素子分離領域とを有し、
 前記ダミーゲート電極は、前記第1の素子分離領域上に形成され、前記ゲ

ート電極のゲート長よりも大きいゲート長を有する第 1 のダミーゲート電極と、前記第 2 の素子分離領域上に形成され、前記ゲート電極のゲート長と同一のゲート長を有する第 2 のダミーゲート電極とを有していることを特徴とする半導体装置。

[5] 請求項 3 に記載の半導体装置において、

前記第 1 のサイドウォールは、断面形状が L 字状の第 1 絶縁膜からなる第 1 の内側サイドウォールと、前記第 1 の内側サイドウォール上に形成された第 2 絶縁膜からなる第 1 の外側サイドウォールとで構成されており、

前記第 2 のサイドウォールは、断面形状が L 字状の前記第 1 絶縁膜からなる第 2 の内側サイドウォールと、前記第 2 の内側サイドウォール上に形成された前記第 2 絶縁膜からなる第 2 の外側サイドウォールとで構成されていることを特徴とする半導体装置。

[6] 請求項 3 に記載の半導体装置において、

前記第 1 のサイドウォールは、断面形状が L 字状の第 1 絶縁膜からなる第 1 の内側サイドウォールと、前記第 1 の内側サイドウォール上に形成された第 2 絶縁膜からなる第 1 の外側サイドウォールとで構成されており、

前記第 2 のサイドウォールは、断面形状が L 字状の前記第 1 絶縁膜からなる第 2 の内側サイドウォールのみで構成されていることを特徴とする半導体装置。

[7] 請求項 2 に記載の半導体装置において、

前記マスク部は、前記素子分離領域及び前記基板領域上に形成された保護膜からなることを特徴とする半導体装置。

[8] 請求項 2 に記載の半導体装置において、

前記第 1 のサイドウォールは、断面形状が L 字状の第 1 絶縁膜からなる第 1 の内側サイドウォールと、前記第 1 の内側サイドウォール上に形成された第 2 絶縁膜からなる第 1 の外側サイドウォールとで構成されており、

前記マスク部は、前記基板領域上に形成された前記第 1 絶縁膜と、前記第 1 絶縁膜上に形成された前記第 2 絶縁膜とで構成されていることを特徴とす

る半導体装置。

- [9] 請求項 2 に記載の半導体装置において、
前記素子分離領域は、上面が前記基板領域の上面よりも高く形成されており、
前記マスク部は、前記素子分離領域の側面上に形成された第 3 のサイドウォールからなることを特徴とする半導体装置。
- [10] 請求項 9 に記載の半導体装置において、
前記第 1 のサイドウォールは、断面形状が L 字状の第 1 絶縁膜からなる第 1 の内側サイドウォールと、前記第 1 の内側サイドウォール上に形成された第 2 絶縁膜からなる第 1 の外側サイドウォールとで構成されており、
前記第 3 のサイドウォールは、断面形状が L 字状の前記第 1 絶縁膜からなる第 2 の内側サイドウォールと、前記第 2 の内側サイドウォール上に形成された前記第 2 絶縁膜からなる第 2 の外側サイドウォールとで構成されていることを特徴とする半導体装置。
- [11] 請求項 1 に記載の半導体装置において、
前記トレンチ部の内壁全体は、前記半導体基板で構成されていることを特徴とする半導体装置。
- [12] 請求項 1 に記載の半導体装置において、
前記シリコン混晶層の上面は、前記ゲート電極直下に位置する前記半導体基板の上面の高さに比べて同等以上の高さを有することを特徴とする半導体装置。
- [13] 請求項 1 に記載の半導体装置において、
前記不純物領域の接合深さは、前記シリコン混晶層の底面よりも浅いことを特徴とする半導体装置。
- [14] 請求項 1 に記載の半導体装置において、
前記ゲート電極及び前記シリコン混晶層の上に金属シリサイド層がそれぞれ形成されていることを特徴とする半導体装置。
- [15] 請求項 1 に記載の半導体装置において、

前記第 1 導電型の M I S トランジスタは、p 型 M I S トランジスタであり、

前記第 1 導電型のシリコン混晶層は、p 型 S i G e 層であることを特徴とする半導体装置。

[16] 半導体基板内に形成された活性領域上に設けられた第 1 導電型の M I S トランジスタを備えた半導体装置の製造方法であって、

前記半導体基板内に前記活性領域を囲む素子分離領域を形成する工程（a）と、

前記工程（a）の後、前記活性領域上に、ゲート電極と、前記ゲート電極上に形成された第 1 の保護絶縁膜と、前記ゲート電極の側面上に形成された第 1 のサイドウォールとを有するゲート部を形成する工程（b）と、

前記活性領域の端部であって、前記素子分離領域と隣接する基板領域上に、マスク部を形成する工程（c）と、

前記半導体基板のうち、平面的に見て前記ゲート部と前記マスク部との間に位置するトレンチ部形成領域をエッチングしてトレンチ部を形成するとともに、前記トレンチ部と前記素子分離領域との間に前記基板領域を残存させる工程（d）と、

前記トレンチ部内に、前記活性領域におけるチャネル領域に対して応力を生じさせる第 1 導電型のシリコン混晶層を充填する工程（e）と、

前記基板領域に第 1 導電型の不純物領域を形成する工程（f）とを備えている半導体装置の製造方法。

[17] 請求項 16 に記載の半導体装置の製造方法において、

前記マスク部は、前記素子分離領域上に形成されたダミーゲート電極と、前記ダミーゲート電極上に形成された第 2 の保護絶縁膜と、前記ダミーゲート電極の側面上に形成された第 2 のサイドウォールとを有し、

前記工程（c）は、前記工程（b）と同一工程で行い、

前記工程（d）において、前記基板領域上は前記第 2 のサイドウォールで覆われていることを特徴とする半導体装置の製造方法。

- [18] 請求項 16 に記載の半導体装置の製造方法において、
前記工程（c）では、前記工程（b）の後に、前記トレンチ部形成領域を露出させる開口部を有し、且つ、前記基板領域を覆う保護膜からなる前記マスク部を前記半導体基板上に形成することを特徴とする半導体装置の製造方法。
- [19] 請求項 16 に記載の半導体装置の製造方法において、
前記工程（b）は、前記活性領域上に前記ゲート電極及び前記第 1 の保護絶縁膜を形成する工程（b1）と、前記工程（b1）の後に、前記半導体基板上に第 1 絶縁膜及び第 2 絶縁膜を順次形成する工程（b2）と、前記第 1 絶縁膜及び前記第 2 絶縁膜をエッチングして、前記ゲート電極の側面上に断面形状が L 字状の前記第 1 絶縁膜からなる第 1 の内側サイドウォールと、前記第 1 の内側サイドウォール上に形成された前記第 2 絶縁膜からなる第 1 の外側サイドウォールとで構成された前記第 1 のサイドウォールを形成する工程（b3）とを有し、
前記工程（c）は、前記工程（b3）と同一工程であり、前記第 1 絶縁膜及び前記第 2 絶縁膜をエッチングして、前記基板領域上に形成され、前記第 1 絶縁膜及び前記第 2 絶縁膜からなる前記マスク部を形成することを特徴とする半導体装置の製造方法。
- [20] 請求項 16 に記載の半導体装置の製造方法において、
前記工程（a）では、上面の高さが前記活性領域の上面よりも高い前記素子分離領域を形成し、
前記工程（c）では、前記素子分離領域の側面上に第 3 のサイドウォールからなる前記マスク部を形成することを特徴とする半導体装置の製造方法。
- [21] 請求項 16 に記載の半導体装置の製造方法において、
前記工程（f）では、前記工程（e）の後に、前記シリコン混晶層中の第 1 導電型の不純物を前記基板領域に熱拡散して、前記不純物領域を形成することを特徴とする半導体装置の製造方法。
- [22] 請求項 16 に記載の半導体装置の製造方法において、

前記工程（f）では、前記工程（b）における前記ゲート電極及び前記第1の保護絶縁膜を形成した後、前記第1のサイドウォールを形成する前に、前記基板領域に第1導電型の不純物をイオン注入して前記不純物領域を形成することを特徴する半導体装置の製造方法。

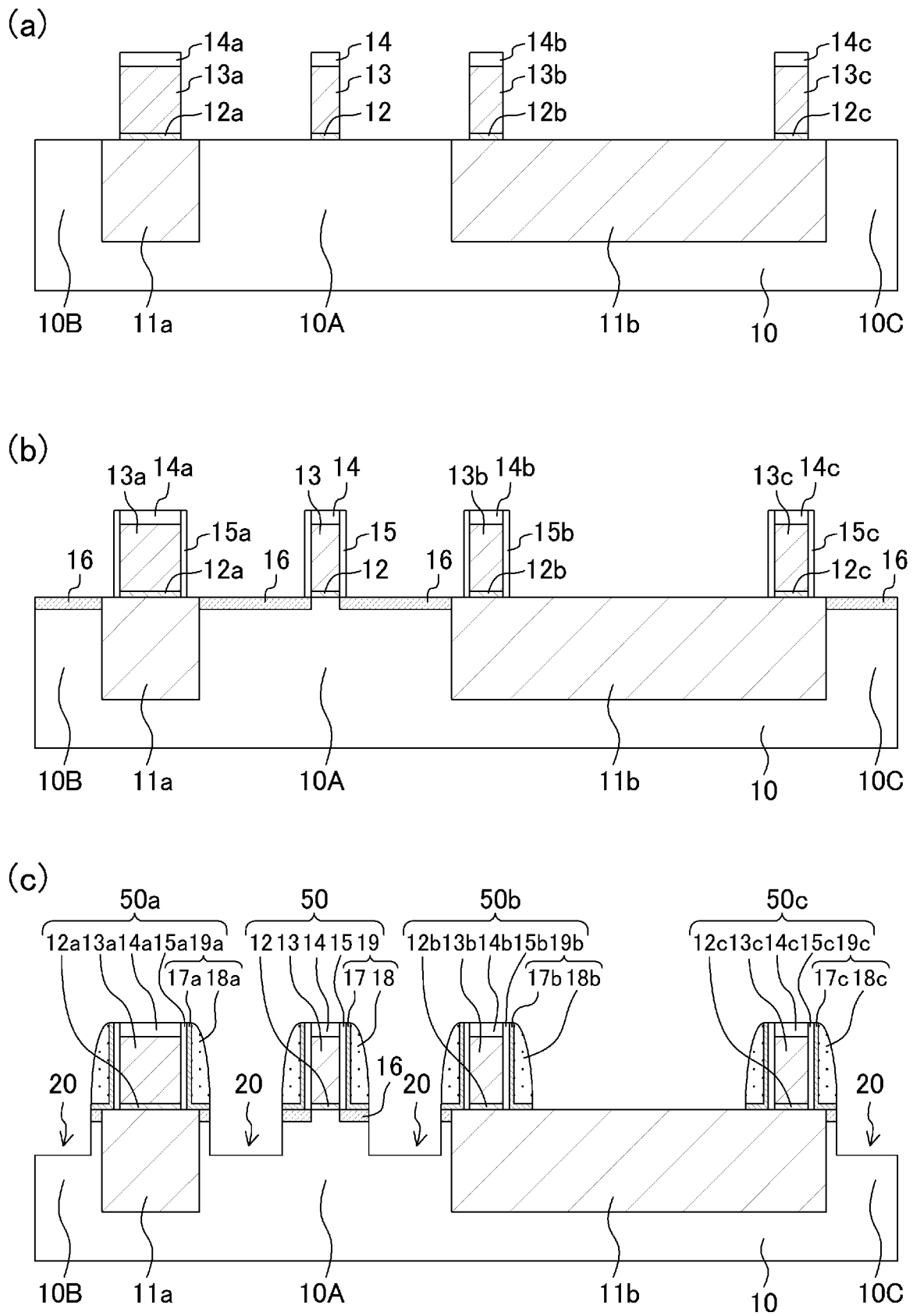
[23] 請求項16に記載の半導体装置の製造方法において、

前記工程（f）では、前記工程（b）の後で、且つ前記工程（d）の前に、前記基板領域に第1導電型の不純物をイオン注入して前記不純物領域を形成することを特徴とする半導体装置の製造方法。

[24] 請求項16に記載の半導体装置の製造方法において、

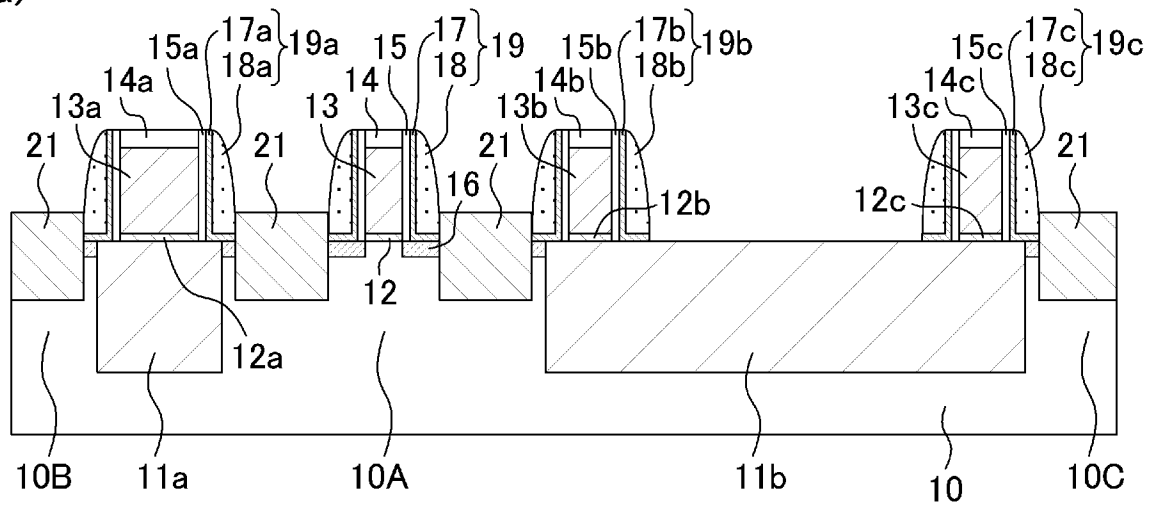
前記工程（f）では、前記工程（e）の後に、前記基板領域に第1導電型の不純物をイオン注入して前記不純物領域を形成することを特徴とする半導体装置の製造方法。

[図1]

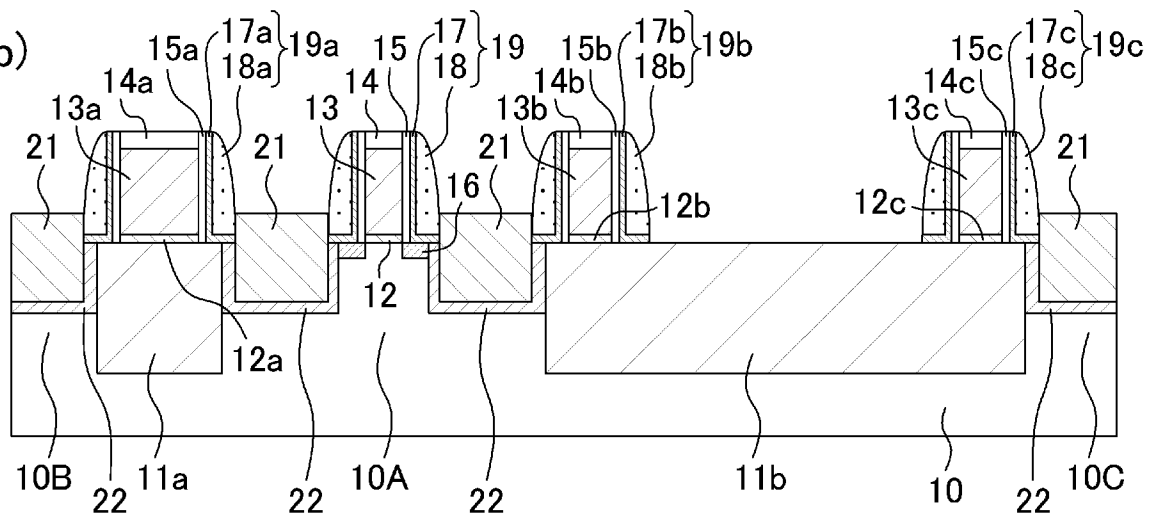


[図2]

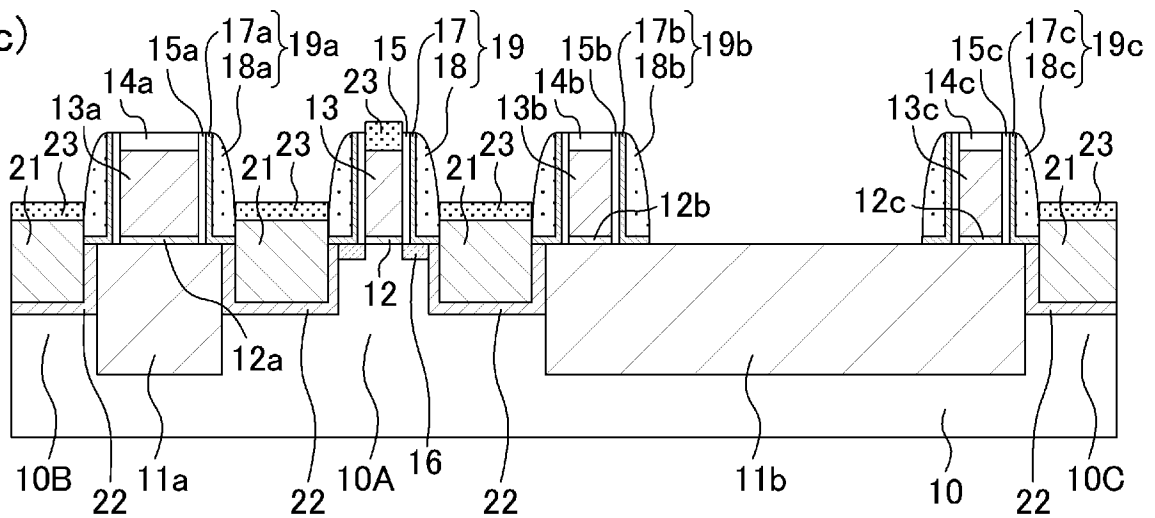
(a)



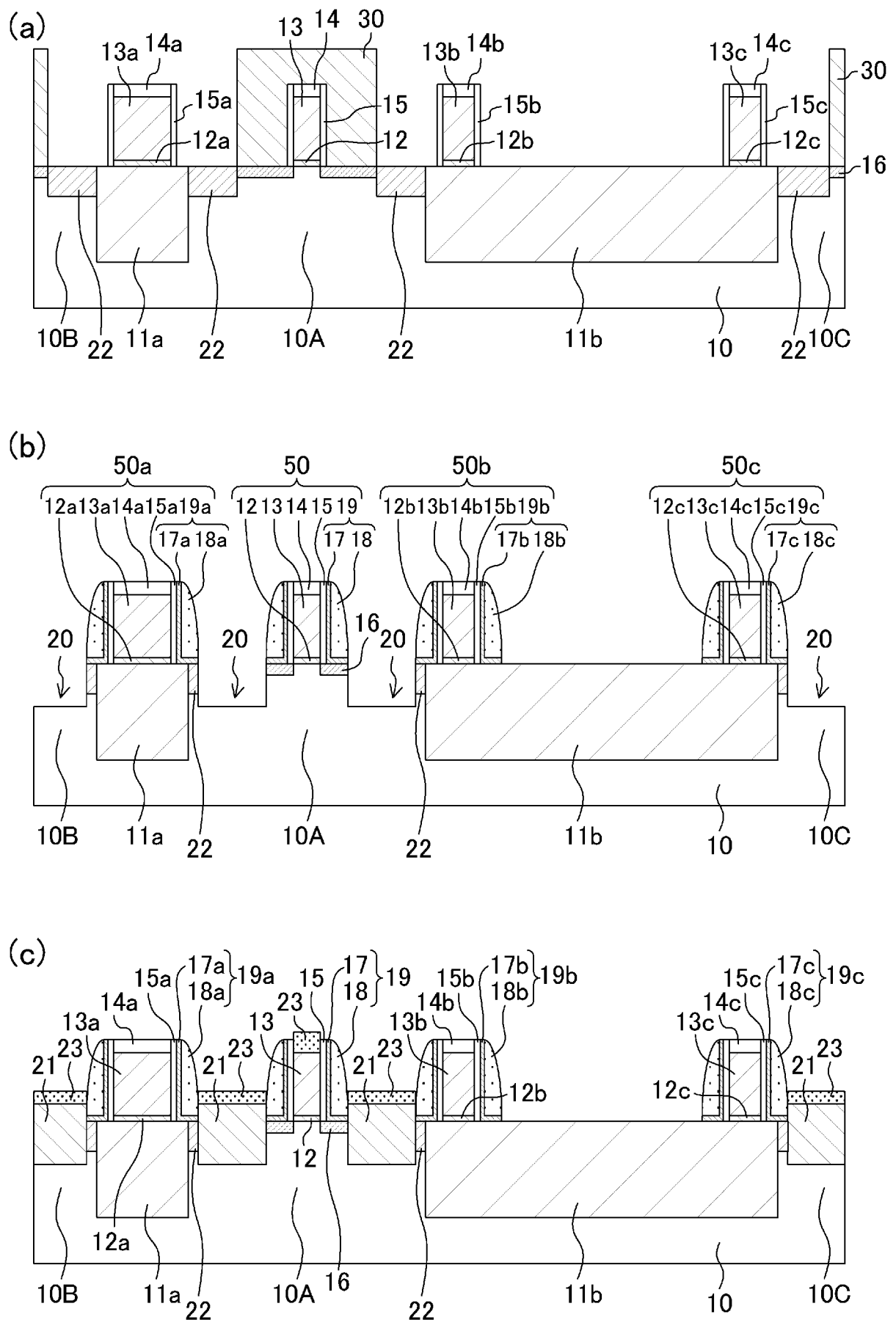
(b)



(c)

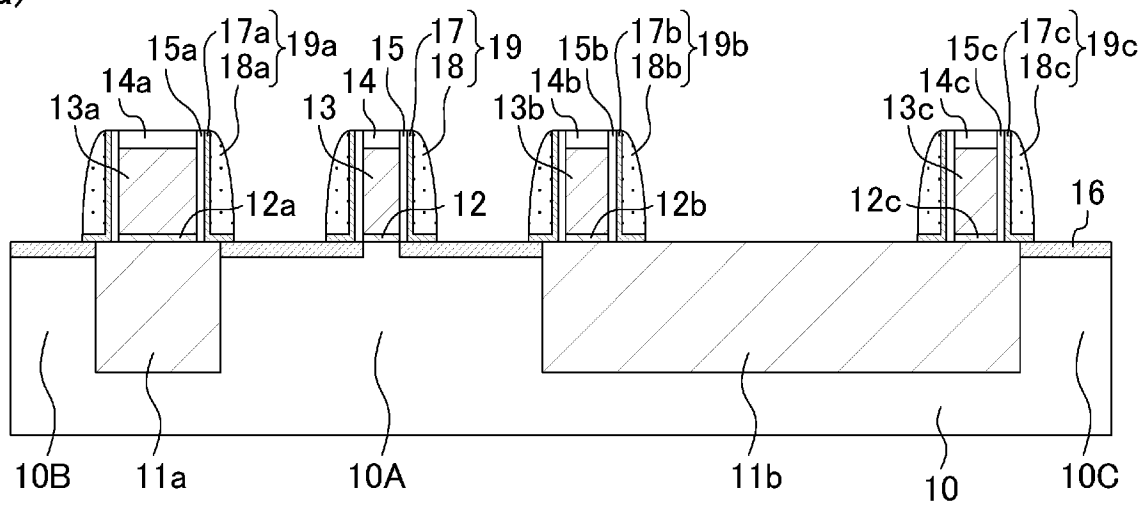


[図3]

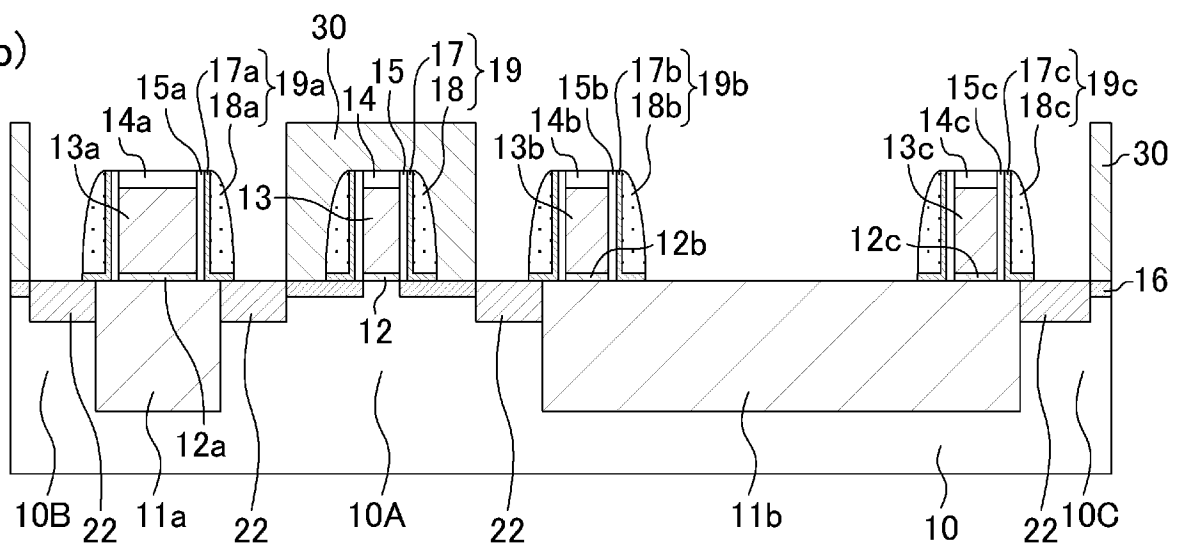


[図4]

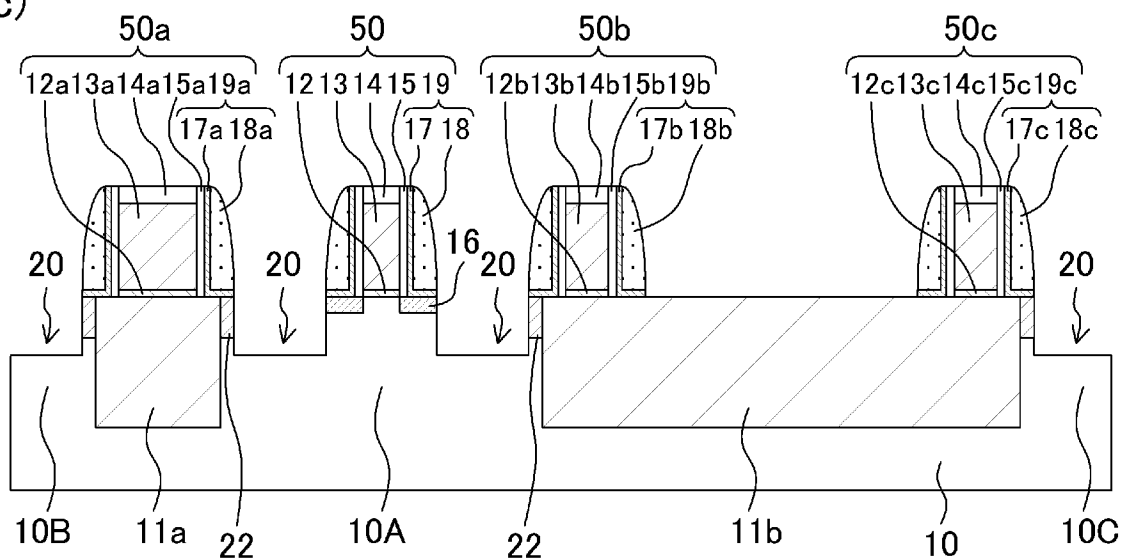
(a)



(b)

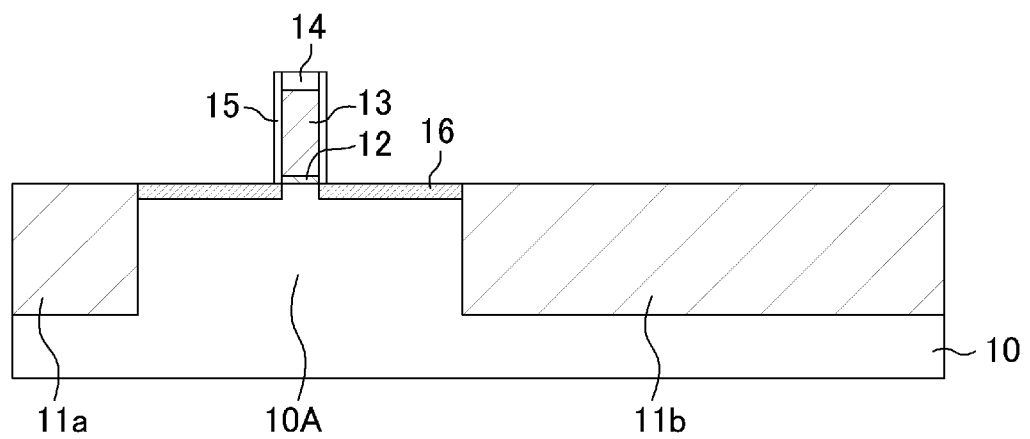


(c)

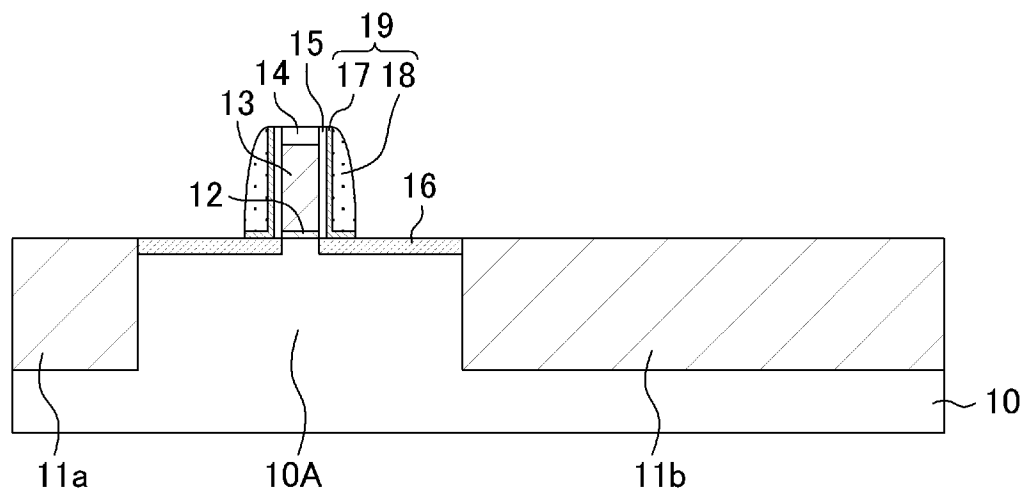


[図6]

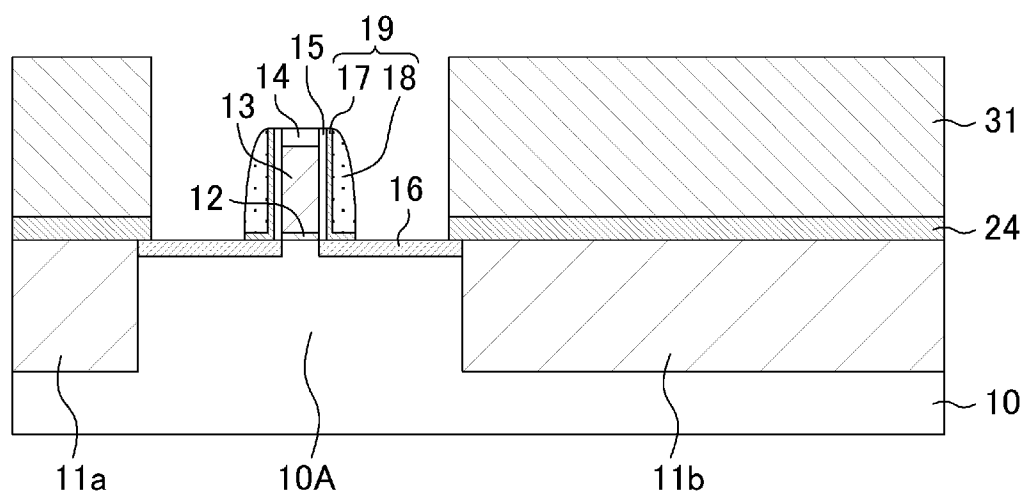
(a)



(b)

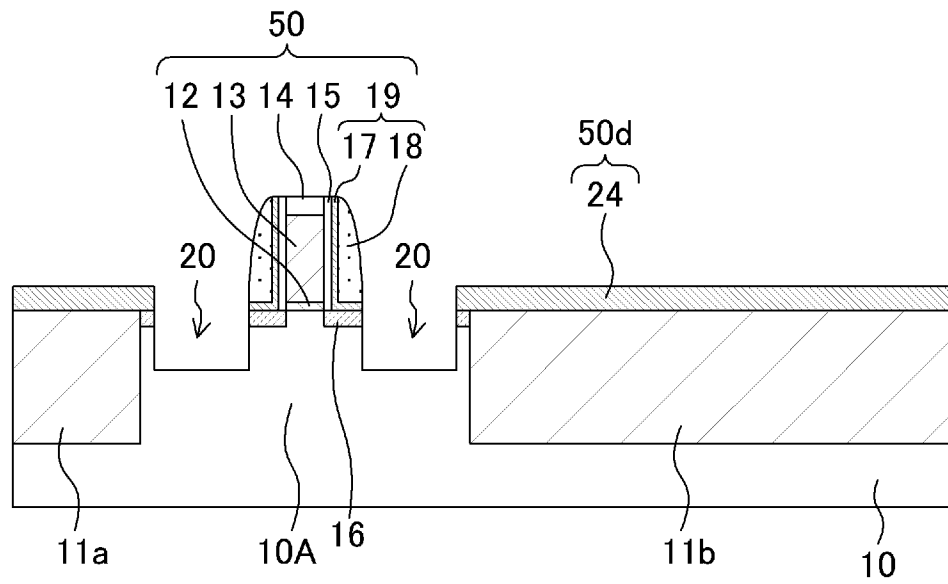


(c)

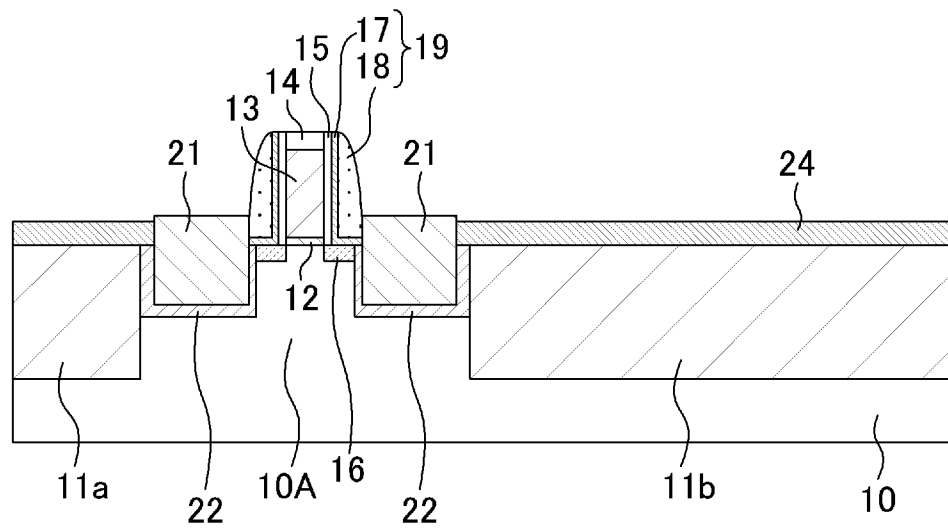


[図7]

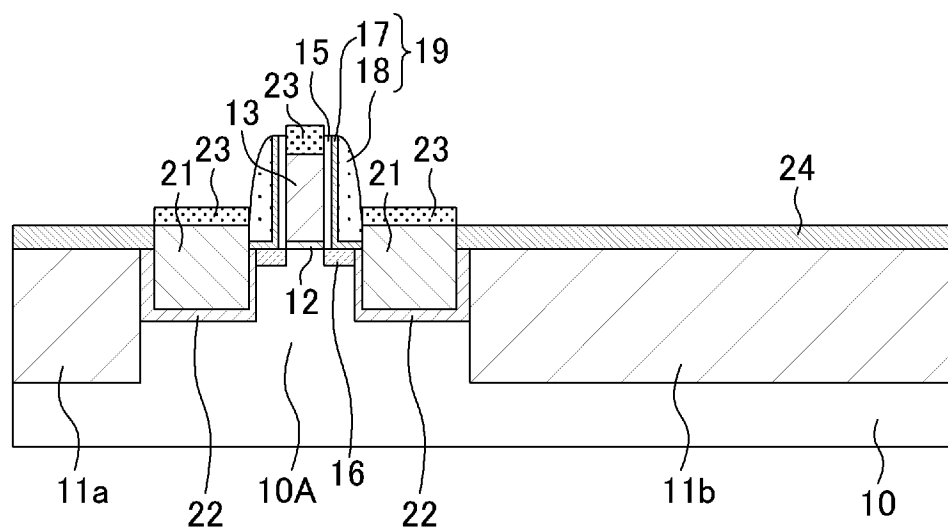
(a)



(b)

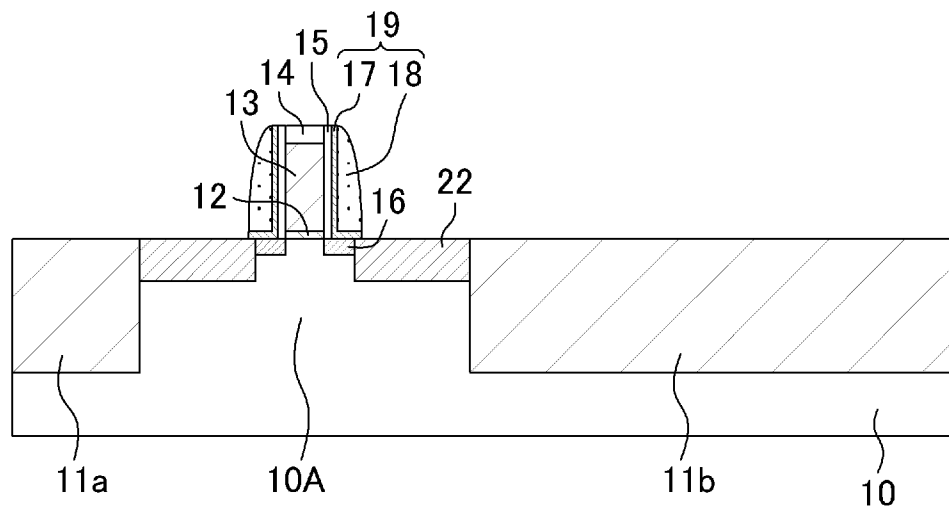


(c)

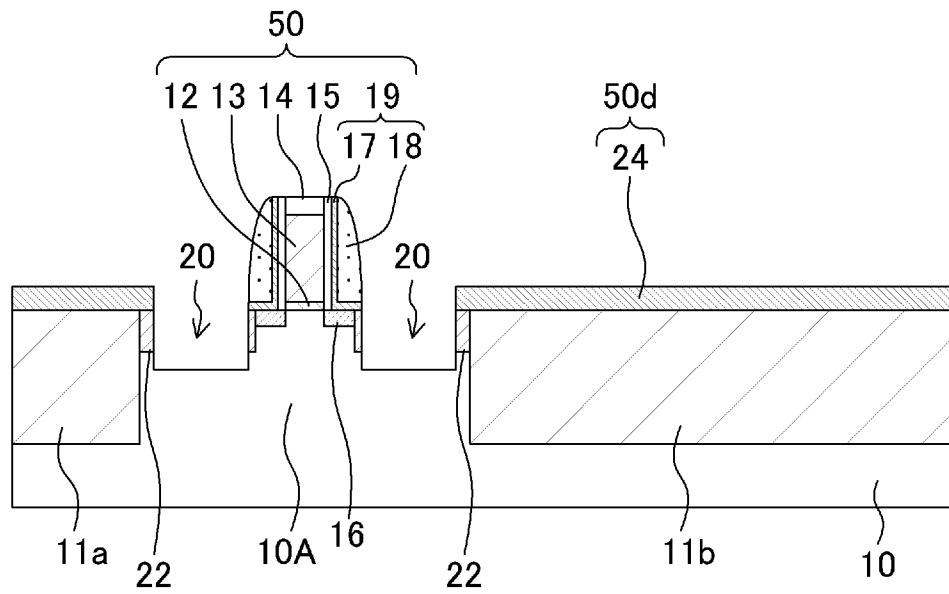


[図8]

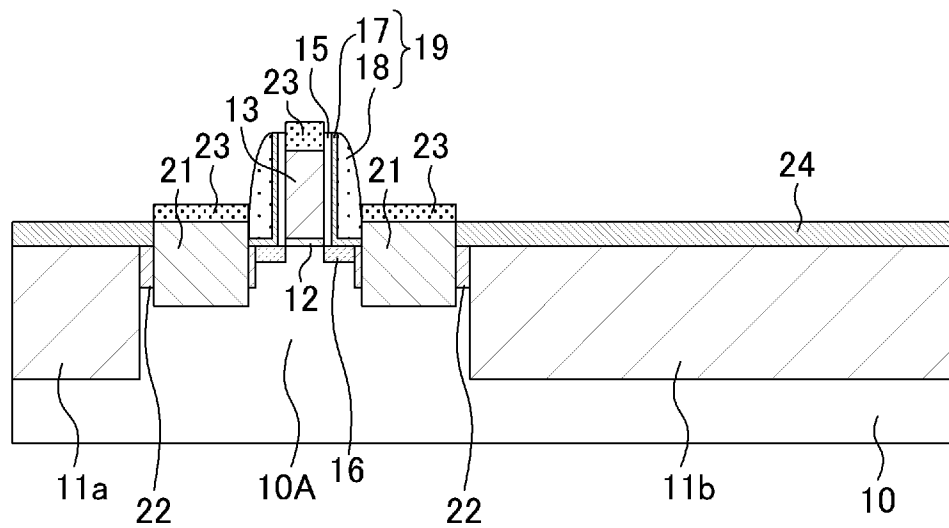
(a)



(b)

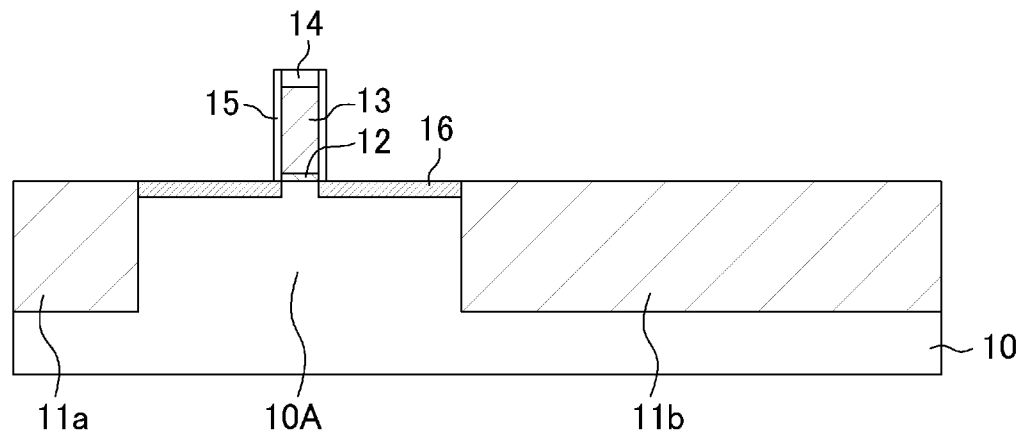


(c)

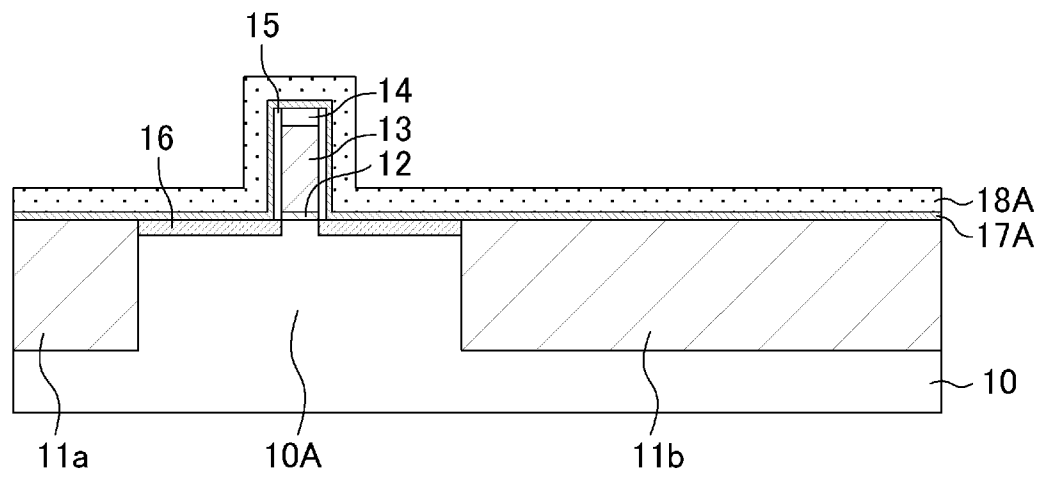


[図9]

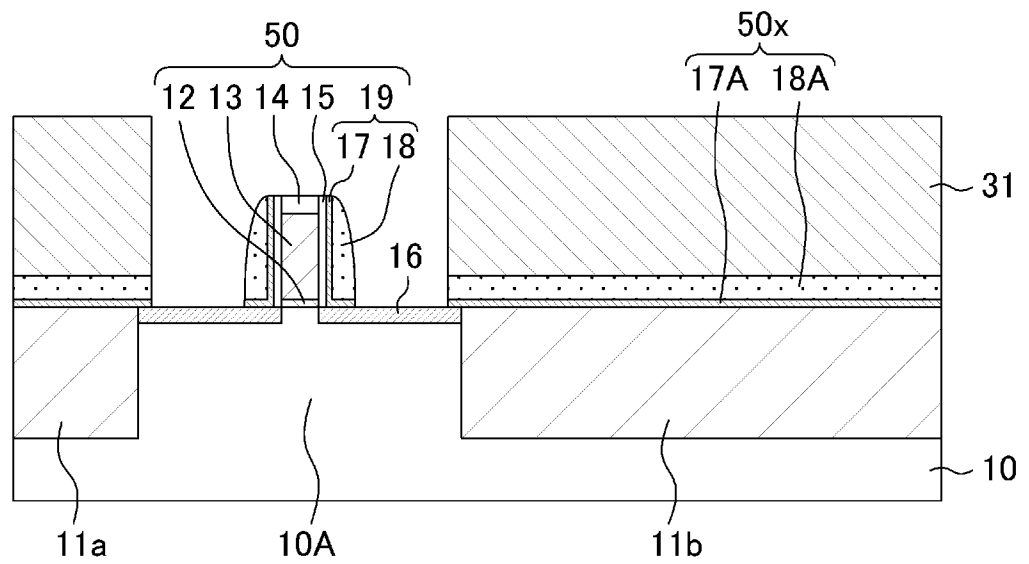
(a)



(b)

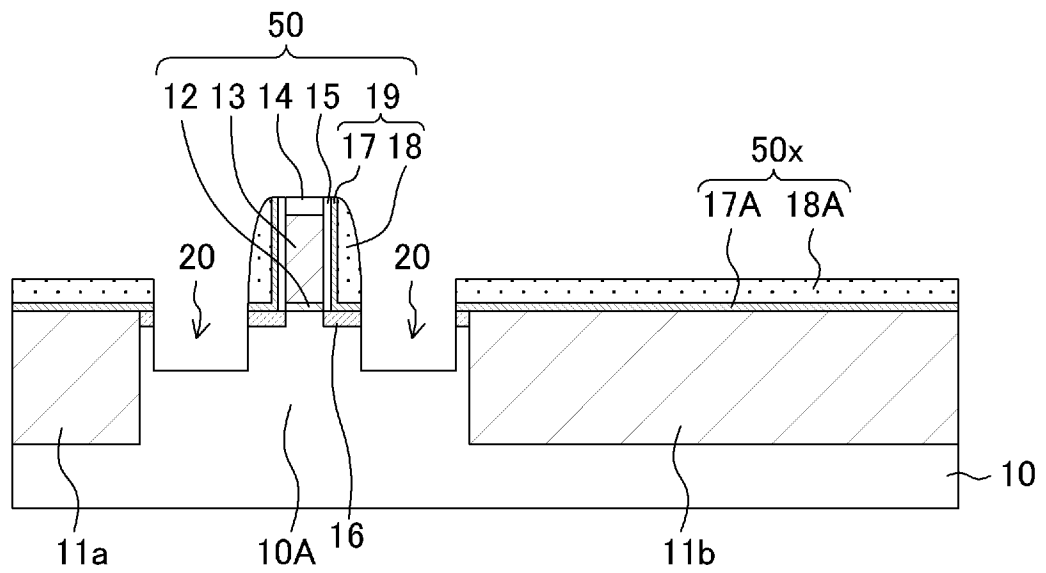


(c)

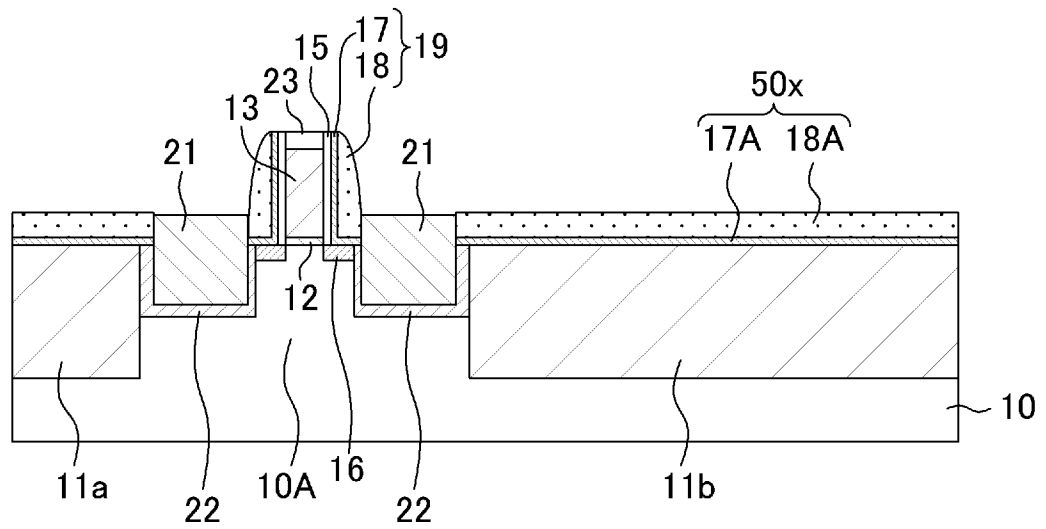


[図10]

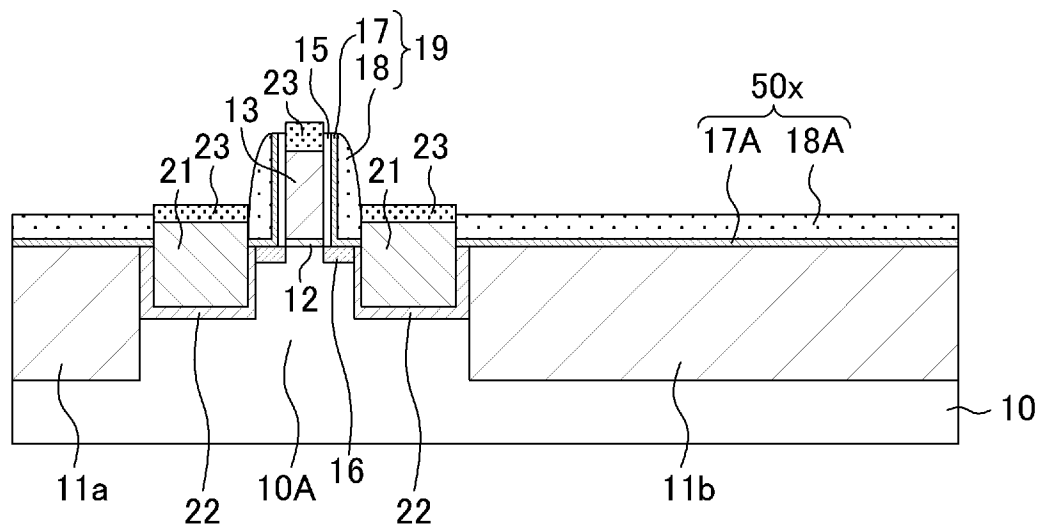
(a)



(b)

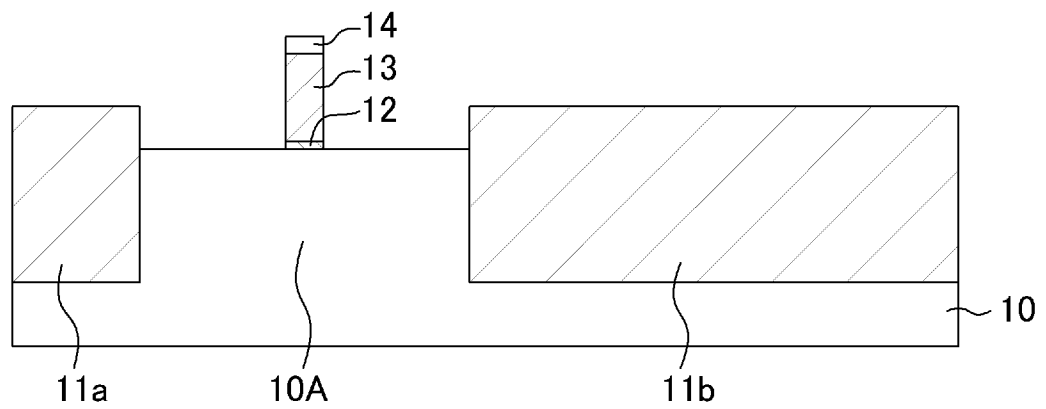


(c)

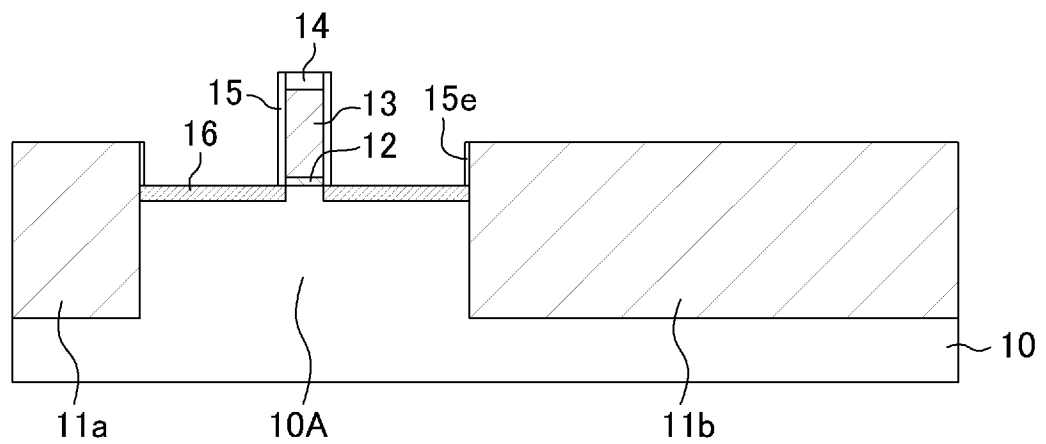


[図11]

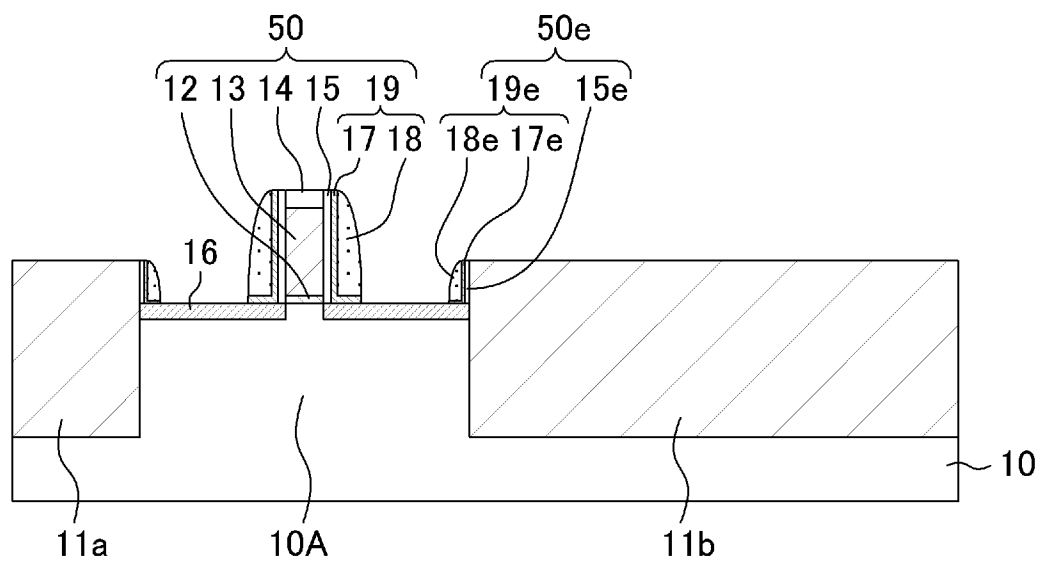
(a)



(b)

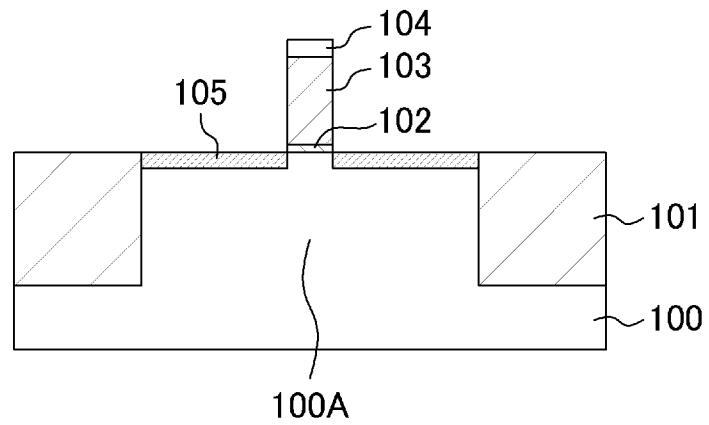


(c)

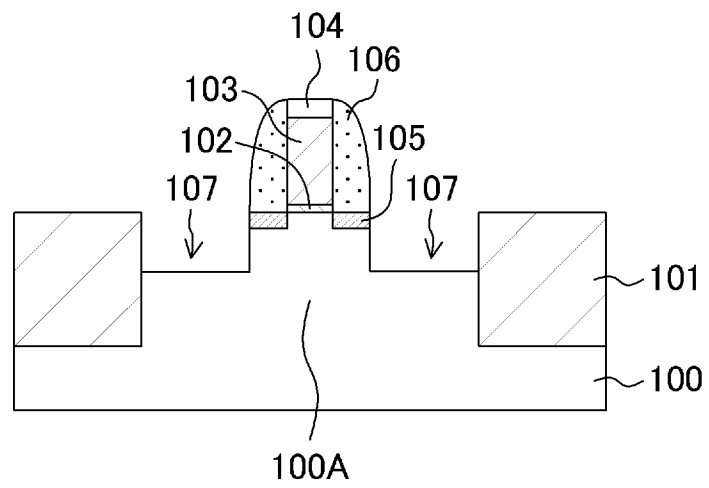


[図13]

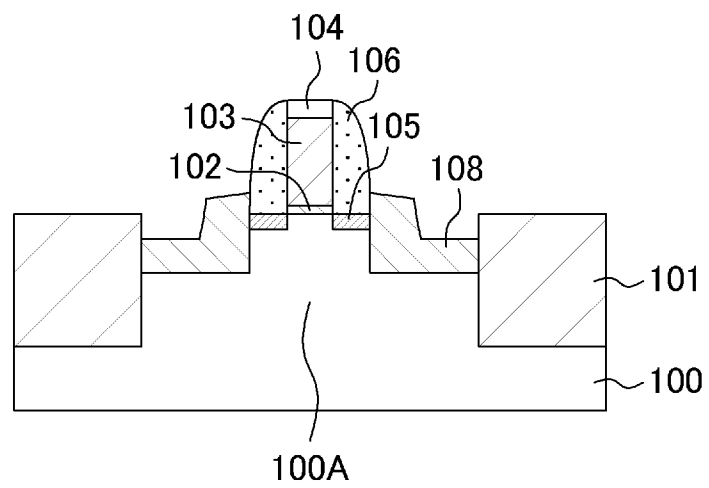
(a)



(b)



(c)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/002758

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01) i, H01L21/336(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2007-110098 A (Infineon Technologies AG.), 26 April, 2007 (26.04.07), Par. Nos. [0028] to [0030], [0038], [0044]; Fig. 18 & US 2007/0057324 A1 & EP 1763073 A2 & CN 1945854 A	1, 2, 7, 11-16, 18, 22, 24 3-6, 17
X Y	JP 2007-220808 A (Toshiba Corp.), 30 August, 2007 (30.08.07), Par. No. [0021]; Figs. 3 to 12 & US 2007/0200170 A1	1, 11, 12, 14, 15 1-3, 5, 7, 11, 12, 14-17
Y	JP 10-326892 A (NEC Corp.), 08 December, 1998 (08.12.98), Par. Nos. [0028], [0038], [0039]; Fig. 1 (Family: none)	1-3, 5, 7, 11, 12, 14-17

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 December, 2008 (19.12.08)

Date of mailing of the international search report
06 January, 2009 (06.01.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/002758

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2006/006972 A1 (INTERNATIONAL BUSINESS MACHINES CORP.), 19 January, 2006 (19.01.06), Par. No. [0091]; Fig. 2 & JP 2008-504677 A & US 2005/0285187 A1 & US 2007/0111417 A1 & EP 1790012 A & CN 1985374 A	1, 11, 12, 15, 16, 18
A	JP 11-163325 A (Matsushita Electronics Corp.), 18 June, 1999 (18.06.99), Figs. 3, 4 (Family: none)	1-7, 11-18, 22, 24
A	JP 2006-13082 A (Fujitsu Ltd.), 12 January, 2006 (12.01.06), Figs. 5, 6 & US 2005/0285203 A1 & KR 10-2005-0123040 A	1-7, 11-18, 22, 24

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/002758

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

There are seven inventions classified into [1-7, 11-18, 22, 24], [8], [9, 10], [19], [20], [21] and [23] in claims of this international application as stated in the extra sheet.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1-7, 11-18, 22 and 24

Remark on Protest
the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/002758

Continuation of Box No.III of continuation of first sheet (2)

There must exist a special technical feature that links a group of inventions to form a single general inventive concept to have the group of inventions in claims satisfy the requirement of unity of invention. The group of inventions in claims 1-24 are linked by the feature in claim 1.

This feature, however, cannot be a special technical feature, since it is disclosed in the prior art document JP 2007-110098 A (Infineon Technologies AG.), 26 April, 2007 (26.04.07), in paragraphs [0028]-[0030], [0038] and [0044], and Fig. 18.

As a result there is no special technical feature among the group of inventions in claims 1-24 so as to link them to form a single general inventive concept. Therefore, it is clear that the group of inventions in claims 1-24 do not satisfy the requirement of unity of invention.

Next, the number of groups of inventions, namely, the number of inventions, so linked as to form the general inventive concept in claims in this international application is discussed.

Since the feature in claims 1, 2, 7, 11-15, 16, 18, 22 and 24 is disclosed in at least the above-mentioned prior art document, it cannot be a special technical feature. Therefore, there are seven inventions classified into [1-7, 11-18, 22, 24], [8], [9, 10], [19], [20], [21] and [23] in claims 1-24.

Consequently, there are seven inventions classified into [1-7, 11-18, 22, 24], [8], [9, 10], [19], [20], [21] and [23] in claims of this international application.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L29/78(2006.01)i, H01L21/336(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/78, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 8 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 8 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 8 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2007-110098 A（インフィネオン テクノロジーズ アクチエン ゲゼルシャフト）2007.04.26	1, 2, 7, 11- 16, 18, 22, 24
A	【0028】 - 【0030】 , 【0038】 , 【0044】 及び図 18 & US 2007/0057324 A1 & EP 1763073 A2 & CN 1945854 A	3-6, 17
X	JP 2007-220808 A（株式会社東芝）2007.08.30	1, 11, 12, 14, 15
Y	【0021】 , 図 3-12 & US 2007/0200170 A1	1-3, 5, 7, 11, 12, 14-17

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

1 9 . 1 2 . 2 0 0 8

国際調査報告の発送日

0 6 . 0 1 . 2 0 0 9

国際調査機関の名称及びあて先
日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

松嶋 秀忠

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

4 M

9 8 3 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 10-326892 A (日本電気株式会社) 1998. 12. 08 【0028】 , 【0038】 , 【0039】 , 図 1 (ファミリーなし)	1-3, 5, 7, 11, 12, 14-17
X	WO 2006/006972 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2006. 01. 19 [0091], 図 2 & JP 2008-504677 A & US 2005/0285187 A1 & US 2007/0111417 A1 & EP 1790012 A & CN 1985374 A	1, 11, 12, 15, 16, 18
A	JP 11-163325 A (松下電子工業株式会社) 1999. 06. 18 図 3, 4 (ファミリーなし)	1-7, 11-18, 22, 24
A	JP 2006-13082 A (富士通株式会社) 2006. 01. 12 図 5, 6 & US 2005/0285203 A1 & KR 10-2005-0123040 A	1-7, 11-18, 22, 24

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

（特別ページ）に記載したように、この国際出願の請求の範囲には、[1-7, 11-18, 22, 24]、[8]、[9, 10]、[19]、[20]、[21]、[23]に区分される7個の発明が記載されていると認められる。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲 1-7, 11-18, 22, 24

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

請求の範囲に記載されている一群の発明が単一性の要件を満たすためには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求の範囲 1-24 に記載されている一群の発明は、請求の範囲 1 に記載された点で連関していると認められる。

しかしながら、この事項は先行技術文献、JP 2007-110098 A(インフィネオン テクノロジーズ アクチエンゲゼルシャフト) 2007. 04. 26, 【0028】 - 【0030】 , 【0038】 , 【0044】 及び 図 18 に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求の範囲 1-24 に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存しないこととなる。そのため、請求の範囲 1-24 に記載されている一群の発明が発明の単一性の要件を満たしていないことは明らかである。

次に、この国際出願の請求の範囲に記載されている、一般的発明概念を形成するように連関している発明の群の数、すなわち、発明の数につき検討する。

請求の範囲 1, 2, 7, 11-15, 16, 18, 22, 24 に記載された事項は、少なくとも上記先行技術文献に開示されているため特別な技術的特徴とはなり得ないので、請求の範囲 1-24 には、[1-7, 11-18, 22, 24]、[8]、[9, 10]、[19]、[20]、[21]、[23]に区分される 7 個の発明が記載されている。

したがって、この国際出願の請求の範囲には、[1-7, 11-18, 22, 24]、[8]、[9, 10]、[19]、[20]、[21]、[23]に区分される 7 個の発明が記載されていると認められる。