



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0124062
(43) 공개일자 2013년11월13일

(51) 국제특허분류(Int. Cl.)
H03K 17/30 (2006.01)

(21) 출원번호 10-2012-0047680

(22) 출원일자 2012년05월04일

심사청구일자 없음

(71) 출원인

페어차일드코리아반도체 주식회사

경기도 부천시 원미구 평천로850번길 55 (도당동)

(72) 발명자

이민우

경기도 부천시 원미구 역곡1동 111-2 청도포그니
에 아파트 1403호

장경운

경기 부천시 원미구 상2동 한양아파트 704동 241
7호

(74) 대리인

유미특허법인

전체 청구항 수 : 총 21 항

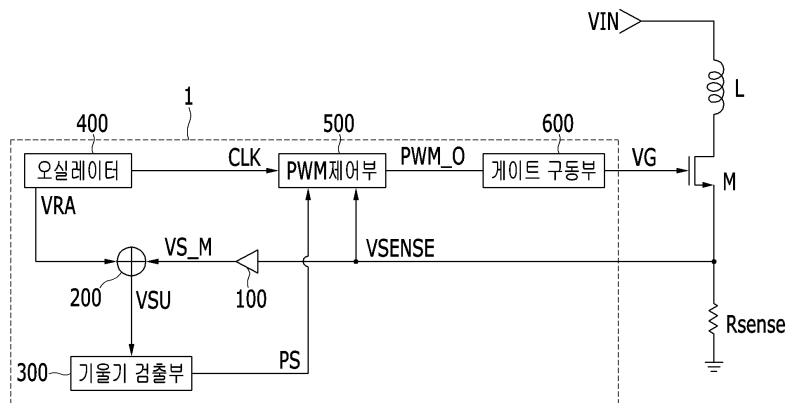
(54) 발명의 명칭 스위치 제어기, 스위치 제어 방법 및 스위치 제어기를 포함하는 전력 공급 장치

(57) 요약

본 발명은 스위치 제어기, 스위치 제어 방법, 및 이를 이용한 전력 공급장치에 관한 것이다.

스위치 제어기는 전력 스위치의 스위칭 동작을 제어하고, 상기 전력 스위치에 흐르는 드레인 전류가 흐르는 감지 저항의 감지 전압을 입력받는다. 스위치 제어기는, 상기 감지 전압과 상기 전력 스위치의 스위칭 주기와 동일한 주기를 가지는 램프 신호를 이용하여 합 신호를 생성한다. 스위치 제어기는, 상기 합 신호의 기울기 변화를 검출하여 상기 감지 저항의 단락 여부를 판단한다.

대표도 - 도1



특허청구의 범위

청구항 1

전력 스위치의 스위칭 동작을 제어하고, 상기 전력 스위치에 흐르는 드레인 전류가 흐르는 감지 저항의 감지 전압을 입력받는 스위치 제어기에 있어서,

상기 감지 전압과 상기 전력 스위치의 스위칭 주기와 동일한 주기를 가지는 램프 신호를 이용하여 합 신호를 생성하는 합 신호 생성부, 및

상기 합 신호의 기울기 변화를 검출하여 상기 감지 저항의 단락 여부를 판단하는 기울기 검출부를 포함하는 스위치 제어기.

청구항 2

제1항에 있어서,

상기 기울기 검출부는,

상기 합 신호 및 상기 합 신호가 소정의 지연 기간만큼 지연된 합 지연 신호를 비교한 결과에 따라 상기 합 신호의 음 기울기가 검출될 때, 상기 전력 스위치의 스위칭 주파수를 제어하는 클록 신호를 카운트한 결과를 리셋시키는 스위치 제어기.

청구항 3

제2항에 있어서,

상기 기울기 검출부는,

상기 카운트 결과가 소정의 임계 치에 도달하면 상기 전력 스위치를 턴 오프시키기 위한 보호 신호를 생성하는 스위치 제어기.

청구항 4

제3항에 있어서,

상기 기울기 검출부는,

상기 합 신호를 입력받고, 상기 지연 기간 만큼 상기 합 신호를 지연시켜 상기 합 지연 신호를 생성하는 지연부,

상기 합 신호 및 상기 합 지연 신호를 비교한 결과에 따라 카운트 리셋 신호를 생성하는 비교기, 및

상기 클록 신호를 카운트하고, 상기 전력 스위치의 최대 듀티 기간 중 상기 카운트 리셋 신호의 두 번째 펄스에 동기되어 상기 카운트 결과를 리셋하는 카운터를 포함하는 스위치 제어기.

청구항 5

제1항에 있어서,

상기 기울기 검출부는,

상기 합 신호가 소정의 제1 지연 기간만큼 지연된 제1 합 지연 신호 및 상기 합 신호가 소정의 제2 지연 기간만큼 지연된 제2 합 지연 신호를 비교한 결과에 따라 상기 합 신호의 음 기울기가 검출될 때, 상기 전력 스위치의 스위칭 주파수를 제어하는 클록 신호를 카운트한 결과를 리셋시키는 스위치 제어기.

청구항 6

제5항에 있어서,

상기 기울기 검출부는,

상기 카운트 결과가 소정의 임계 치에 도달하면 상기 전력 스위치를 턴 오프시키기 위한 보호 신호를 생성하는 스위치 제어기.

청구항 7

제6항에 있어서,

상기 기울기 검출부는,

상기 합 신호를 입력받고, 상기 제1 지연 기간만큼 상기 합 신호를 지연시켜 상기 제1 합 지연 신호를 생성하는 제1 지연부,

상기 합 신호를 입력받고, 상기 제2 지연 기간만큼 상기 합 신호를 지연시켜 상기 제2 합 지연 신호를 생성하는 제2 지연부,

상기 제1 합 지연 신호 및 상기 제2 합 지연 신호를 비교한 결과에 따라 카운트 리셋 신호를 생성하는 비교기, 및

상기 전력 스위치의 스위칭 주파수를 제어하는 클록 신호를 카운트하고, 상기 전력 스위치의 최대 듀티 기간 중 상기 카운트 리셋 신호의 두 번째 펄스에 동기되어 상기 카운트 결과를 리셋하는 카운터를 포함하는 스위치 제어기.

청구항 8

제1항에 있어서,

상기 합 신호 생성부는,

상기 감지 전압을 소정의 계인으로 증폭하는 증폭기, 및

상기 증폭된 감지 전압과 상기 램프 신호를 더하여 상기 합 신호를 생성하는 덧셈기를 포함하는 스위치 제어기.

청구항 9

제1항에 있어서,

상기 전력 스위치의 최대 듀티 기간에 대응하는 소정의 듀티 임계 시점에, 상기 합 지연 신호와 소정의 풀-듀티 기준 전압을 비교한 결과에 따라 상기 전력 스위치의 현재 듀티가 풀-듀티인지 판단하는 풀-듀티 검출부를 더 포함하는 스위치 제어기.

청구항 10

제1항에 있어서,

상기 전력 스위치의 최대 듀티 기간에 대응하는 소정의 듀티 임계 시점에, 상기 합 신호와 소정의 풀-듀티 기준 전압을 비교한 결과에 따라 상기 전력 스위치의 현재 듀티가 풀-듀티인지 판단하는 풀-듀티 검출부를 더 포함하는 스위치 제어기.

청구항 11

제1항에 있어서,

상기 전력 스위치의 최대 듀티 기간에 대응하는 소정의 듀티 임계 시점에, 상기 합 지연 신호와 소정의 기울기로 증가하는 풀-듀티 기준 램프 전압을 비교한 결과에 따라 상기 전력 스위치의 현재 듀티가 풀-듀티인지 판단하는 풀-듀티 검출부를 더 포함하는 스위치 제어기.

청구항 12

제1항에 있어서,

상기 전력 스위치의 최대 듀티 기간에 대응하는 소정의 듀티 임계 시점에, 상기 합 신호와 소정의 기울기로 증가하는 풀-듀티 기준 램프 전압을 비교한 결과에 따라 상기 전력 스위치의 현재 듀티가 풀-듀티인지 판단하는 풀-듀티 검출부를 더 포함하는 스위치 제어기.

청구항 13

전력 스위치에 흐르는 드레인 전류가 흐르는 감지 저항의 감지 전압을 입력받는 단계,

상기 감지 전압과 상기 전력 스위치의 스위칭 주기와 동일한 주기를 가지는 램프 신호를 이용하여 합 신호를 생성하는 단계, 및

상기 합 신호의 기울기 변화를 검출하여 상기 감지 저항의 단락 여부를 판단하는 단계를 포함하는 스위치 제어 방법.

청구항 14

제13항에 있어서,

상기 감지 저항의 단락 여부 판단 단계는,

상기 상기 전력 스위치의 스위칭 주파수를 제어하는 클록 신호를 카운트하는 단계,

상기 합 신호 및 상기 합 신호가 소정의 지연 기간만큼 지연된 합 지연 신호를 비교한 결과에 따라 상기 합 신호의 음 기울기를 검출하는 단계,

상기 음 기울기가 검출될 때, 상기 카운트 결과를 리셋시키는 단계, 및

상기 카운트 결과가 소정의 임계 치에 도달하면 상기 감지 저항이 단락된 것으로 판단하는 단계를 포함하는 스위치 제어 방법.

청구항 15

제14항에 있어서,

상기 합 신호의 음 기울기를 검출하는 단계는,

상기 합 신호 및 상기 합 지연 신호를 비교한 결과에 따라 카운트 리셋 신호를 생성하는 단계, 및

상기 전력 스위치의 최대 듀티 기간 중 상기 카운트 리셋 신호의 두 번째 펄스를 상기 음 기울기로 검출하는 단계를 포함하는 스위치 제어 방법.

청구항 16

전력 스위치,

상기 전력 스위치와 입력 전압 사이에 연결되어 있는 인덕터,

상기 전력 스위치와 그라운드 사이에 연결되어 있는 감지 저항, 및

상기 감지 저항에 발생하는 감지 전압과 상기 전력 스위치의 스위칭 주파수를 결정하는 클록 신호에 동기되어 발생하는 램프 신호를 이용하여 합 신호를 생성하고, 상기 합 신호의 기울기 변화를 검출하여 상기 감지 저항의 단락 여부를 판단하는 스위치 제어기를 포함하는 전력 공급 장치.

청구항 17

제16항에 있어서,

상기 스위치 제어기는,

상기 합 신호 및 상기 합 신호가 소정의 지연 기간만큼 지연된 합 지연 신호를 비교한 결과에 따라 상기 합 신호의 음 기울기가 검출될 때, 상기 전력 스위치의 스위칭 주파수를 제어하는 클록 신호를 카운트한 결과를 리셋시키는 전력 공급 장치.

청구항 18

제17항에 있어서,

상기 스위치 제어기는,

상기 카운트 결과가 소정의 임계 치에 도달하면 상기 전력 스위치를 턴 오프시키는 전력 공급 장치.

청구항 19

제18항에 있어서,

상기 스위치 제어기는,

상기 클록 신호를 카운트하고, 상기 전력 스위치의 최대 듀티 기간 중 상기 카운트 리셋 신호의 두 번째 펄스에 동기되어 상기 카운트 결과를 리셋하는 전력 공급 장치.

청구항 20

제16항에 있어서,

상기 스위치 제어기는,

상기 합 신호가 소정의 제1 지연 기간만큼 지연된 제1 합 지연 신호 및 상기 합 신호가 소정의 제2 지연 기간만큼 지연된 제2 합 지연 신호를 비교한 결과에 따라 상기 합 신호의 음 기울기가 검출될 때, 상기 클록 신호를 카운트한 결과를 리셋시키는 전력 공급 장치.

청구항 21

제20항에 있어서,

상기 스위치 제어기는,

상기 카운트 결과가 소정의 임계 치에 도달하면 상기 전력 스위치를 턴 오프시키는 전력 공급 장치.

명세서

기술분야

[0001] 본 발명은 스위치 제어기, 스위치 제어 방법 및 이를 이용한 전력 공급 장치에 관한 것이다.

배경기술

[0002] 전력 공급 장치의 동작을 제어하는 전력 스위치(power switch)에는 전력 스위치에 흐르는 드레인 전류를 감지하기 위한 감지 저항이 연결되어 있다.

[0003] 일반적으로, 감지 저항의 단락 상태를 감지하기 위해서 감지 저항에 발생하는 감지 전압과 미리 설정한 기준 전압을 비교한다. 즉, 감지 전압이 기준 전압보다 낮은 상태를 일정 시간 유지 될때, 감지 저항은 단락 상태로 판단된다.

[0004] 전력 스위치의 스위칭 동작을 제어하는 스위치 제어 IC에, 전력 스위치의 단락 상태를 감지하기 위한 기준 전압이 설정되어 있다. 그런데 스위치 제어 IC가 적용되는 외부 세트 조건 즉, 전력 공급 장치의 외부 세트 조건에 따라 단락 상태 감지에 오류가 발생할 수 있다.

[0005] 예를 들어, 외부 세트 조건은 전력 공급 장치에 사용된 인덕터의 인덕턴스, 또는 인덕터에 공급되는 VIN 전압등이 있다. 이 때, 인덕턴스가 크거나, VIN 전압이 낮으면 감지 전압의 기울기(slope)가 작아지고, 단락 상태 판단이 정확히 이루어지기 어렵다.

발명의 내용

해결하려는 과제

[0006] 감지 저항의 단락 상태를 정확하게 판단할 수 있는 스위치 제어기, 스위치 제어 방법, 및 전력 공급 장치를 제공하고자 한다.

과제의 해결 수단

- [0007] 본 발명의 실시 예에 따른 스위치 제어기는 전력 스위치의 스위칭 동작을 제어하고, 상기 전력 스위치에 흐르는 드레인 전류가 흐르는 감지 저항의 감지 전압을 입력받는다. 상기 스위치 제어기는, 상기 감지 전압과 상기 전력 스위치의 스위칭 주기와 동일한 주기를 가지는 램프 신호를 이용하여 합 신호를 생성하는 합 신호 생성부, 및 상기 합 신호의 기울기 변화를 검출하여 상기 감지 저항의 단락 여부를 판단하는 기울기 검출부를 포함한다.
- [0008] 상기 기울기 검출부는, 상기 합 신호 및 상기 합 신호가 소정의 지연 기간만큼 지연된 합 지연 신호를 비교한 결과에 따라 상기 합 신호의 음 기울기가 검출될 때, 상기 전력 스위치의 스위칭 주파수를 제어하는 클록 신호를 카운트한 결과를 리셋시킨다.
- [0009] 상기 기울기 검출부는, 상기 카운트 결과가 소정의 임계 치에 도달하면 상기 전력 스위치를 턴 오프시키기 위한 보호 신호를 생성한다. 상기 기울기 검출부는, 상기 합 신호를 입력받고, 상기 지연 기간 만큼 상기 합 신호를 지연시켜 상기 합 지연 신호를 생성하는 지연부, 상기 합 신호 및 상기 합 지연 신호를 비교한 결과에 따라 카운트 리셋 신호를 생성하는 비교기, 및 상기 클록 신호를 카운트하고, 상기 전력 스위치의 최대 듀티 기간 중 상기 카운트 리셋 신호의 두 번째 펄스에 동기되어 상기 카운트 결과를 리셋하는 카운터를 포함한다.
- [0010] 상기 기울기 검출부는, 상기 합 신호가 소정의 제1 지연 기간만큼 지연된 제1 합 지연 신호 및 상기 합 신호가 소정의 제2 지연 기간만큼 지연된 제2 합 지연 신호를 비교한 결과에 따라 상기 합 신호의 음 기울기가 검출될 때, 상기 전력 스위치의 스위칭 주파수를 제어하는 클록 신호를 카운트한 결과를 리셋시킨다.
- [0011] 상기 기울기 검출부는, 상기 카운트 결과가 소정의 임계 치에 도달하면 상기 전력 스위치를 턴 오프시키기 위한 보호 신호를 생성한다.
- [0012] 상기 기울기 검출부는, 상기 합 신호를 입력받고, 상기 제1 지연 기간만큼 상기 합 신호를 지연시켜 상기 제1 합 지연 신호를 생성하는 제1 지연부, 상기 합 신호를 입력받고, 상기 제2 지연 기간만큼 상기 합 신호를 지연시켜 상기 제2 합 지연 신호를 생성하는 제2 지연부, 상기 제1 합 지연 신호 및 상기 제2 합 지연 신호를 비교한 결과에 따라 카운트 리셋 신호를 생성하는 비교기, 및 상기 전력 스위치의 스위칭 주파수를 제어하는 클록 신호를 카운트하고, 상기 전력 스위치의 최대 듀티 기간 중 상기 카운트 리셋 신호의 두 번째 펄스에 동기되어 상기 카운트 결과를 리셋하는 카운터를 포함한다.
- [0013] 상기 합 신호 생성부는, 상기 감지 전압을 소정의 게인으로 증폭하는 증폭기, 및 상기 증폭된 감지 전압과 상기 램프 신호를 더하여 상기 합 신호를 생성하는 덧셈기를 포함한다.
- [0014] 상기 스위치 제어기는, 상기 전력 스위치의 최대 듀티 기간에 대응하는 소정의 듀티 임계 시점에, 상기 합 지연 신호와 소정의 폴-듀티 기준 전압을 비교한 결과에 따라 상기 전력 스위치의 현재 듀티가 폴-듀티인지 판단하는 폴-듀티 검출부를 더 포함한다.
- [0015] 상기 스위치 제어기는, 상기 전력 스위치의 최대 듀티 기간에 대응하는 소정의 듀티 임계 시점에, 상기 합 신호와 소정의 폴-듀티 기준 전압을 비교한 결과에 따라 상기 전력 스위치의 현재 듀티가 폴-듀티인지 판단하는 폴-듀티 검출부를 더 포함한다.
- [0016] 상기 스위치 제어기는, 상기 전력 스위치의 최대 듀티 기간에 대응하는 소정의 듀티 임계 시점에, 상기 합 지연 신호와 소정의 기울기로 증가하는 폴-듀티 기준 램프 전압을 비교한 결과에 따라 상기 전력 스위치의 현재 듀티가 폴-듀티인지 판단하는 폴-듀티 검출부를 더 포함한다.
- [0017] 상기 스위치 제어기는, 상기 전력 스위치의 최대 듀티 기간에 대응하는 소정의 듀티 임계 시점에, 상기 합 신호와 소정의 기울기로 증가하는 폴-듀티 기준 램프 전압을 비교한 결과에 따라 상기 전력 스위치의 현재 듀티가 폴-듀티인지 판단하는 폴-듀티 검출부를 더 포함한다.
- [0018] 본 발명의 실시 예에 따른 스위치 제어 방법은, 전력 스위치에 흐르는 드레인 전류가 흐르는 감지 저항의 감지 전압을 입력받는 단계, 상기 감지 전압과 상기 전력 스위치의 스위칭 주기와 동일한 주기를 가지는 램프 신호를 이용하여 합 신호를 생성하는 단계, 및 상기 합 신호의 기울기 변화를 검출하여 상기 감지 저항의 단락 여부를 판단하는 단계를 포함한다.
- [0019] 상기 감지 저항의 단락 여부 판단 단계는, 상기 상기 전력 스위치의 스위칭 주파수를 제어하는 클록 신호를 카운트하는 단계, 상기 합 신호 및 상기 합 신호가 소정의 지연 기간만큼 지연된 합 지연 신호를 비교한 결과에 따라 상기 합 신호의 음 기울기를 검출하는 단계, 상기 음 기울기가 검출될 때, 상기 카운트 결과를 리셋시키는

단계, 및 상기 카운트 결과가 소정의 임계 치에 도달하면 상기 감지 저항이 단락된 것으로 판단하는 단계를 포함한다.

- [0020] 상기 합 신호의 음 기울기를 검출하는 단계는, 상기 합 신호 및 상기 합 지연 신호를 비교한 결과에 따라 카운트 리셋 신호를 생성하는 단계, 및 상기 전력 스위치의 최대 듀티 기간 중 상기 카운트 리셋 신호의 두 번째 펄스를 상기 음 기울기로 검출하는 단계를 포함한다.
- [0021] 본 발명의 실시 예에 따른 전력 공급 장치는, 전력 스위치, 상기 전력 스위치와 입력 전압 사이에 연결되어 있는 인덕터, 상기 전력 스위치와 그라운드 사이에 연결되어 있는 감지 저항, 및 상기 감지 저항에 발생하는 감지 전압과 상기 전력 스위치의 스위칭 주파수를 결정하는 클록 신호에 동기되어 발생하는 램프 신호를 이용하여 합 신호를 생성하고, 상기 합 신호의 기울기 변화를 검출하여 상기 감지 저항의 단락 여부를 판단하는 스위치 제어기를 포함한다.
- [0022] 상기 스위치 제어기는, 상기 합 신호 및 상기 합 신호가 소정의 지연 기간만큼 지연된 합 지연 신호를 비교한 결과에 따라 상기 합 신호의 음 기울기가 검출될 때, 상기 전력 스위치의 스위칭 주파수를 제어하는 클록 신호를 카운트한 결과를 리셋시킨다.
- [0023] 상기 스위치 제어기는, 상기 카운트 결과가 소정의 임계 치에 도달하면 상기 전력 스위치를 턴 오프시킨다.
- [0024] 상기 스위치 제어기는, 상기 클록 신호를 카운트하고, 상기 전력 스위치의 최대 듀티 기간 중 상기 카운트 리셋 신호의 두 번째 펄스에 동기되어 상기 카운트 결과를 리셋한다.
- [0025] 상기 스위치 제어기는, 상기 합 신호가 소정의 제1 지연 기간만큼 지연된 제1 합 지연 신호 및 상기 합 신호가 소정의 제2 지연 기간만큼 지연된 제2 합 지연 신호를 비교한 결과에 따라 상기 합 신호의 음 기울기가 검출될 때, 상기 클록 신호를 카운트한 결과를 리셋시킨다.
- [0026] 상기 스위치 제어기는, 상기 카운트 결과가 소정의 임계 치에 도달하면 상기 전력 스위치를 턴 오프시킨다.

발명의 효과

- [0027] 본 발명의 실시 예에 따르면, 감지 저항의 단락 상태를 정확하게 판단할 수 있는 스위치 제어기, 스위치 제어 방법, 및 스위치 제어기를 포함하는 전력 공급 장치가 제공된다.

도면의 간단한 설명

- [0028] 도 1은 본 발명의 실시 예에 따른 스위치 제어기를 나타낸 도면이다.
- 도 2는 본 발명의 실시 예에 따른 스위치 제어기에 입력되는 신호 및 내부 신호를 나타낸 파형도이다.
- 도 3은 본 발명의 실시 예에 따른 기울기 검출부의 구성을 나타낸 도면이다.
- 도 4는 감지 저항이 단락되지 않은 정상 상태에서 합 신호, 합 지연 신호, 클록 신호, 펄스 폭 변조 신호, 카운터 리셋 신호를 나타낸 파형도이다.
- 도 5는 감지 저항이 단락된 상태에서 합 신호, 합 지연 신호, 클록 신호, 펄스 폭 변조 신호, 카운터 리셋 신호를 나타낸 파형도이다.
- 도 6은 본 발명의 다른 실시 예에 따른 스위치 제어기를 나타낸 도면이다.
- 도 7은 풀-듀티 기준 전압, 합 신호, 비교 펄스 신호, 및 제2 보호 신호를 나타낸 파형도이다.
- 도 8은 풀-듀티 기준 램프 전압, 합 신호, 비교 펄스 신호, 및 제2 보호 신호를 나타낸 파형도이다.
- 도 9는 본 발명의 또 다른 실시 예에 따른 기울기 검출부의 변형 예이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

- [0030] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0031] 이하, 도면을 참고하여 본 발명의 실시 예에 따른 스위치 제어기 및 그 구동 방법을 설명한다.
- [0032] 도 1은 본 발명의 실시 예에 따른 스위치 제어기를 나타낸 도면이다.
- [0033] 인덕터(L)는 전력 스위치(M)의 턴 온 기간 동안 에너지를 저장하고, 전력 스위치(M)의 턴 오프 기간 동안 저장한 에너지를 다음 단(stage)으로 전달한다. 다음 단은 정류 다이오드를 통해 인덕터에 연결되어 있는 출력단이거나, 또는 트랜스포머의 2차측일 수 있다.
- [0034] 전력 공급 장치는 다양한 방식의 컨버터로 구현될 수 있다. 본 발명의 실시 예에서는 다양한 방식의 컨버터의 필수 구성인 전력 스위치, 및 전력 스위치의 스위칭 동작에 따라 에너지를 저장 및 전달하는 인덕터(L)만을 도시하였다. 따라서 본 발명의 실시 예에 따른 스위치 제어기는 도 1에 도시된 회로를 포함하는 다양한 방식의 컨버터에 모두 적용될 수 있다.
- [0035] 도 1에서 스위치 제어기에 의해 제어되는 전력 스위치(M)의 드레인 전극에는 인덕터(L)의 일단이 연결되어 있고, 전력 스위치(M)의 소스 전극은 감지 저항(Rsense)의 일단에 연결되어 있다.
- [0036] 인덕터(L)의 타단에는 입력전압(VIN)이 공급되고, 감지 저항(Rsense)의 타단은 그라운드에 연결되어 있다. 전력 스위치(M)의 게이트 전극에는 스위치 제어기(1)로부터 출력되는 게이트 전압(VG)이 공급된다.
- [0037] 스위치 제어기(1)는 스위칭 주파수를 결정하는 클록 신호(CLK)와 감지 전압(VSENSE)을 이용하여 스위칭 동작을 제어하는 게이트 전압(VG)을 생성하고, 감지 전압(VSENSE)과 클록 신호(CLK)에 동기된 램프 신호(VRA)를 합한 신호(이하, 합 신호)(VSU)의 기울기 변화를 검출하여 감지 저항(Rsense)의 단락 여부를 판단한다.
- [0038] 구체적으로, 스위치 제어기(1)는 합 신호(VSU)와 합 신호(VSU)가 소정의 지연 시간(TD) 지연된 신호(이하, 합 지연 신호)(VSU_D)를 비교하여, 비교 결과에 따라 카운트 리셋 신호(CR)를 생성하고, 카운트 리셋 신호(CR)를 이용하여 음 기울기(negative slope)를 검출할 수 있다. 이하, 합 신호(VSU)의 음 기울기는 최대 듀티 기간 중 전력 스위치(M)가 턴 오프되었을 때 발생하는 합 신호(VSU)의 감소에 의해 발생하는 기울기 변화를 의미한다.
- [0039] 스위치 제어기(1)는 전력 스위치(M)의 최대 듀티 기간 중 카운트 리셋 신호(CR)의 두 번째 펄스가 발생하면, 음 기울기가 검출된 것으로 판단한다. 램프 신호(VRA)는 최대 듀티 기간 동안 소정의 기울기로 상승하는 신호이다.
- [0040] 스위치 제어기(1)는 클록 신호(CLK)를 카운트하고, 카운트한 결과는 합 신호(VSU)의 음 기울기 발생 시점에 리셋된다. 카운트 결과가 소정의 임계치를 넘어서면 감지 저항(Rsense)은 단락된 것으로 판단된다.
- [0041] 구체적으로, 도 1에 도시된 바와 같이, 스위치 제어기(1)는 증폭기(100), 덧셈기(200), 기울기 검출부(300), 오실레이터(400), PWM 제어부(500), 및 게이트 구동부(600)를 포함한다.
- [0042] 증폭기(100)는 감지 전압(VSENSE)을 소정 게인으로 증폭한다. 감지 전압(VSENSE)이 낮은 경우 기울기 검출에 오차가 발생할 수 있으므로, 감지 전압(VSENSE)의 레벨을 고려한 게인을 감지 전압(VSENSE)에 곱하여 감지 전압(VSENSE)을 증폭한다. 증폭된 감지 전압(VSENSE)을 증폭 감지 전압(VS_M)이라 한다. 만약 감지 전압(VSENSE)이 충분히 높은 레벨인 경우 증폭기(100)가 사용되지 않을 수 있다.
- [0043] 덧셈기(200)는 램프 신호(VRA)와 증폭 감지 전압(VS_M)을 더하여 합 신호(VSU)를 생성한다. 본 발명의 실시 예는 증폭기(100) 및 덧셈기(200)를 이용하여 합 신호를 생성한다. 이에 증폭기(100) 및 덧셈기(200)를 함께 묶어 합 신호 생성부 라고 한다.
- [0044] 기울기 검출부(300)는 합 신호(VSU)와 지연 기간만큼 늦어진 합 지연 신호(VSU_D)를 비교하고, 비교한 결과를 이용하여 감지 전압(VS)의 음 기울기를 검출하며, 음 기울기가 검출되면 클록 신호(CLK)를 카운트한 결과를 리셋시킨다. 기울기 검출부(300)는 카운트 결과가 임계치에 도달할 때까지 음 기울기가 검출되지 않으면, 보호 동작을 기동(trigger)시키기 위한 보호 신호(PS)를 생성한다.
- [0045] 감지 저항(Rsense)이 단락되지 않은 정상 상태에서, 스위칭 한 주기 중 합 지연 신호(VSU_D)가 합 신호(VSU)보다 큰 시점은 세 번 발생한다.
- [0046] 첫번째로, 감지 전압(VS)은 전력 스위치(M)의 턴 온 시점에 흐르는 피크 전류에 의해 가빠르게 상승하였다가 감

소하는 시점이 발생한 후에, 합 지연 신호(VSU_D)가 합 신호(VSU)보다 큰 기간이 발생한다.

- [0047] 두번째로, 전력 스위치(M)의 턴 오프에 의해 감지 전압(VS)이 감소하는 시점 후에, 합 지연 신호(VSU_D)가 합 신호(VSU)보다 큰 기간(지연 기간)이 발생한다. 이 때 발생하는 합 신호(VSU)의 기울기가 앞선 언급한 음 기울기이고, 최대 듀티 기간 중에 음 기울기가 발생하면, 감지 저항(Rsense)은 단락되지 않은 것으로 판단할 수 있다.
- [0048] 세번째로, 최대 듀티 기간 이후(램프 신호(VRA)가 감소한 시점 이후)에 합 지연 신호(VSU_D)가 합 신호(VSU)보다 큰 기간(지연 기간)이 발생한다.
- [0049] 기울기 검출부(300)는 클록 신호의 상승 에지(또는 하강 에지)를 감지하여 클록 신호를 카운트하고, 합 신호(VSU)의 음 기울기가 검출될 때 카운트 결과를 리셋한다. 구체적으로, 기울기 검출부(300)는 최대 듀티 기간 중 합 지연 신호(VSU_D)가 합 신호(VSU)보다 커지는 두 번째 시점이 발생할 때 카운트 결과를 리셋한다.
- [0050] 그러나 합 신호(VSU)의 두 번째 감소시점 즉, 전력 스위치(M)의 턴 오프 시점이 최대 듀티 기간 중에 발생하지 않으면, 기울기 검출부(300)는 카운트 결과를 리셋하지 않는다. 클록 신호(CLK)의 카운트 결과가 소정의 임계치에 도달할 때, 기울기 검출부(300)는 전력 스위치(M)의 스위칭 동작을 턴 오프 시키기 위한 보호 신호(PS)를 생성한다.
- [0051] 오실레이터(400)는 클록 신호(CLK) 및 램프 신호(VRA)를 생성한다. 클록 신호(CLK)의 주파수는 스위칭 주파수를 결정하고, 램프 신호(VRA)는 스위칭 한 주기 기간 중 최대 듀티 기간 동안 일정한 기울기로 상승하는 신호로서, 클록 신호(CLK)와 동일한 주기를 가진다.
- [0052] 본 발명의 실시 예에서 클록 신호(CLK)의 하강 에지에 동기되어 전력 스위치(M)가 턴 온 되고, 클록 신호(CLK)의 한 주기 중 로우 레벨 기간이 최대 듀티 기간으로 설정될 수 있다.
- [0053] 그러면, 오실레이터(400)는 클록 신호(CLK)가 하강하는 시점부터 클록 신호(CLK)가 상승하는 시점까지의 기간(최대 듀티 기간) 동안 일정한 기울기로 상승하는 램프 신호(VRA)를 생성할 수 있다.
- [0054] PWM 제어부(500)는 클록 신호(CLK)에 따라 전력 스위치(M)을 턴 온 시키고, 감지 전압(VSENSE)이 소정의 기준 전압에 도달한 시점에 전력 스위치(M)을 턴 오프 시킨다. 소정의 기준 전압은 전력 공급 장치의 출력 전압에 따라 가변하는 피드백 전압일 수 있다.
- [0055] 구체적으로, 클록 신호(CLK)의 하강 에지 시점에 동기되어, PWM 제어부(500)는 전력 스위치(M)를 턴 온 시키는 인에이블 레벨의 펄스폭변조신호(PWM_0)를 생성하여 게이트 구동부(600)에 전달한다. 그리고 PWM 제어부(500)는 감지 전압(VSENSE)이 기준 전압에 도달한 시점에 동기되어, 전력 스위치(M)를 턴 오프 시키는 디스에이블 레벨의 펄스폭변조신호(PWM_0)를 생성하여 게이트 구동부(600)에 전달한다.
- [0056] 게이트 구동부(600)는 펄스폭변조신호(PWM_0)에 따라 전력 스위치(M)의 스위칭 동작을 제어하는 게이트 전압(VG)을 생성한다. 본 발명의 실시 예에 따른 전력 스위치(M)는 N 채널 타입의 트랜지스터이므로, 게이트 구동부(600)는 인에이블 레벨의 펄스폭변조신호(PWM_0)에 따라 하이 레벨의 게이트 전압(VG)을 생성하고, 디스에이블 레벨의 펄스폭변조신호(PWM_0)에 따라 로우 레벨의 게이트 전압(VG)을 생성한다.
- [0057] 이하, 도 2를 참조하여 본 발명의 실시 예에 따른 스위치 제어기의 동작을 설명한다.
- [0058] 도 2는 본 발명의 실시 예에 따른 스위치 제어기에 입력되는 신호 및 내부 신호를 나타낸 파형도이다. 도 2는 시점 T0에 감지 저항(Rsense)이 단락된 것으로 가정한 조건에 따른 파형도이다.
- [0059] 도 2에 도시된 바와 같이, 클록 신호(CLK), 램프 신호(VRA) 및 전력 스위치(M)의 스위칭 주기는 동일하다.
- [0060] 클록 신호(CLK)의 하강 에지에 PWM 제어부(500)는 전력 스위치(M)을 턴 온 시키기 위한 인에이블 레벨의 펄스폭변조신호(PWM_0)를 생성한다. 시점 T1에 클록 신호(CLK)의 하강 에지에 동기되어 전력 스위치(M)이 턴 온 되어 감지 전압(VSENSE)이 발생하고, 램프 신호(VRA)가 증가하기 시작한다.
- [0061] 전력 스위치(M)의 턴 온 시점에 소정 레벨의 피크 전류가 발생하므로, 도 2에 도시된 바와 같이 감지 전압(VSENSE)은 턴 온 시점에 피크 파형을 가진다.
- [0062] 시점 T2에 감지 전압(VSENSE)이 기준 전압(VR1)에 도달하고, 펄스폭변조신호(PWM_0)는 디스에이블 레벨이 되어, 전력 스위치(M)가 턴 오프 된다. 따라서 감지 전압(VSENSE)은 시점 T2에 감소하고, 증폭 감지 전압(VS_M)은 도 2에 도시된 바와 같이 기간 T1-T2 동안의 감지 전압(VSENSE)이 증폭된 파형을 가진다.

- [0063] 시점 T3에 클록 신호(CLK)의 상승 에지가 발생하고, 램프 신호(VRA)는 리셋된다. 본 발명의 실시 예에 따른 최대 듀티 기간은 클록 신호(CLK)의 로우 레벨 기간으로서, 램프 신호(VRA)는 이 기간 동안 증가한다.
- [0064] 합 신호(VSU)는 증폭 감지 전압(VS_M)과 램프 신호(VRA)의 합으로서, 도 2에 도시된 파형을 가진다. 도 2에 도시된 바와 같이 감지 저항(Rsense)이 단락되지 않은 경우 앞서 언급한 바와 같이, 합 신호(VSU)는 전력 스위치(M) 턴 온 시점의 피크가 감소하는 시점(T11), 전력 스위치(M)의 턴 오프 시점(T12), 및 램프 신호(VRA)의 감소 시점(즉, 최대 듀티 기간 종료 시점)(T3)에 감소한다.
- [0065] 시점 T4에 클록 신호(CLK)의 하강 에지가 발생하고, 기간 T1-T3의 동작이 다시 반복된다.
- [0066] 시점 T0에 감지 저항(Rsense)이 단락되면, 클록 신호(CLK)의 하강 에지 시점 T5에 전력 스위치(M)가 턴 온 되어 전류가 흐르더라도, 감지 전압(VSENSE)이 발생하지 않는다. 따라서 합 신호(VSU)는 램프 신호(VRA)와 동일한 파형을 가진다.
- [0067] 시점 T6에 클록 신호(CLK)의 상승 에지가 발생하고, 최대 듀티 기간 T5-T6 동안 합 신호(VSU)는 음 기울기 없이 일정한 기울기로 증가하고, 시점 T6에 감소한다.
- [0068] 본 발명의 실시 예는 최대 듀티 기간 중 합 신호(VSU)의 음 기울기가 발생하지 않는 횟수가 소정의 임계치에 도달할 때, 감지 저항(Rsense)이 단락된 것으로 판단한다. 구체적으로 클록 신호(CLK)의 주기를 카운트하고, 카운트 결과는 최대 듀티 기간 중 합 신호(VSU)의 음 기울기 발생에 의해 리셋된다. 기울기 검출부(300)는 카운트 결과가 임계 치에 도달하면, 감지 저항(Rsense)을 단락된 것으로 판단다.
- [0069] 예를 들어, 기울기 검출부(300)는 시점 T7에 카운트 결과가 임계치에 도달하면, 감지 저항(Rsense)은 단락된 것으로 판단하고, 보호 신호(PS)를 생성하여 PWM 제어부(500)로 전달한다.
- [0070] 이하, 도 3을 참조하여 본 발명의 실시 예에 따른 기울기 검출부의 구성을 설명한다. 도 3은 본 발명의 실시 예에 따른 기울기 검출부의 구성을 나타낸 도면이다.
- [0071] 먼저, 도 3에 도시된 기울기 검출부(300)는 지연부(310), 비교기(320), 및 카운터(330)를 포함한다.
- [0072] 지연부(310)는 합 신호(VSU)를 지연 시간(TD)만큼 지연시켜 출력한다.
- [0073] 비교기(320)는 비반전 단자(+)에 입력되는 신호(비반전 입력)와 반전 단자(-)에 입력되는 신호(반전 입력)를 비교하여 비반전 입력이 반전 입력이상일 때, 하이 레벨을 출력하고, 비반전 입력이 반전 입력보다 작을 때, 로우 레벨을 출력한다. 이하, 비교기(320)의 출력을 카운트 리셋 신호(CR1)라 한다.
- [0074] 비교기(320)의 비반전 단자(+)에는 합 지연 신호(VSU_D)가 입력되고, 비교기(320)의 반전 단자(-)에는 합 신호(VSU)가 입력된다. 따라서 비교기(320)는 합 지연 신호(VSU_D)가 합 신호(VSU) 이상일 때 하이 레벨의 신호를 출력하고, 합 지연 신호(VSU_D)가 합 신호(VSU)보다 작을 때 로우 레벨의 신호를 출력한다.
- [0075] 카운터(330)는 클록 신호(CLK)의 주기를 카운트하고, 카운트 결과에 따라 감지 저항(Rsense)의 단락 여부를 판단하며, 카운트 리셋 신호(CR1)에 의해 카운트 결과를 리셋한다. 구체적으로 클록 신호(CLK)의 한 주기 동안 발생하는 카운트 리셋 신호(CR)의 두 번째 펄스에 따라 카운터(330)는 카운트 결과를 리셋한다.
- [0076] 이하, 감지 저항이 정상 상태인 경우 및 단락 상태인 경우 각각에 대해서 도 4 및 5를 참조하여 설명한다.
- [0077] 도 4는 감지 저항이 단락되지 않은 정상 상태에서 합 신호, 합 지연 신호, 클록 신호, 펄스 폭 변조 신호, 카운터 리셋 신호를 나타낸 파형도이다.
- [0078] 도 4에 도시된 바와 같이, 시점 T1에 클록 신호(CLK)의 하강 에지에 동기되어 펄스폭변조신호(PWM_0)가 상승하고, 합 신호(VSU)가 발생한다. 시점 T1으로부터 지연 시간(TD) 뒤 시점 T12에 합 지연 신호(VSU_D)가 발생한다.
- [0079] 시점 T11에 합 신호(VSU)의 피크가 감소하기 시작하고, 시점 T13에 합 지연 신호(VSU_D)가 합 신호(VSU)보다 큰 전압이 되어 카운트 리셋 신호(CR1)의 첫 번째 펄스가 발생한다. 시점 T14에 합 신호(VSU)가 합 지연 신호(VSU_D) 보다 큰 전압이 되어 카운트 리셋 신호(CR1)는 로우 레벨이 된다.
- [0080] 이와 같이, 클록 신호(CLK)의 한 주기 중 합 신호(VSU)의 첫 번째 감소에 대응하여 카운트 리셋 신호(CR1)의 첫 번째 펄스가 발생한다.
- [0081] 시점 T2에 펄스폭변조신호(PWM_0)가 로우 레벨로 하강하고, 합 신호(VSU)의 음 기울기가 발생한다. 시점 T2에 합 지연 신호(VSU_D)가 합 신호(VSU)보다 큰 전압이므로, 카운트 리셋 신호(CR1)의 두 번째 펄스가 발생하고,

지연 기간(TD) 동안 하이 레벨로 유지된다. 카운터(330)는 클록 신호(CLK)의 한 주기 동안 발생하는 카운트 리셋 신호(CR1)의 펄스 중 두 번째 펄스에 따라 카운트 결과를 리셋한다.

- [0082] 시점 T3에 발생하는 클록 신호(CLK)의 상승 에지에 동기되어 합 신호(VSU)는 로우 레벨이 되고, 합 지연 신호(VSU_D)는 시점 T3로부터 지연 기간(TD)만큼 지연된 시점에 로우 레벨이 된다. 기간 T3 ~ (T3+TD) 동안 합 지연 신호(VSU_D)가 합 신호(VSU)보다 큰 전압이므로 카운트 리셋 신호(CR1)의 세 번째 펄스가 발생한다.
- [0083] 시점 T4에 클록 신호(CLK)의 하강 에지가 발생하면, 클록 신호(CLK)의 새로운 주기가 시작된다.
- [0084] 이와 같이, 정상 상태에서 클록 신호(CLK)의 한 주기(기간 T1-T4) 동안 발생하는 카운트 리셋 신호(CR)의 세 개의 펄스 중 두 번째 펄스에 의해 카운트 결과가 리셋된다. 즉, 앞서 언급한 합 신호(VSU)의 음 기울기 발생 시점에 동기되어 카운트 리셋 신호(CR1)의 두 번째 펄스가 발생한다.
- [0085] 도 5는 감지 저항이 단락된 상태에서 합 신호, 합 지연 신호, 클록 신호, 펄스 폭 변조 신호, 카운터 리셋 신호를 나타낸 파형도이다.
- [0086] 시점 T5에 클록 신호(CLK)의 하강 에지가 발생하고, 펄스폭변조신호(PWM_0)가 상승하며, 합 신호(VSU)가 발생한다. 감지 저항(Rsense)이 단락 상태이므로, 감지 전압(VSENSE)이 발생하지 않는다.
- [0087] 시점 T5로부터 지연 기간(TD)만큼 지연된 시점(T51)부터 합 지연 신호(VSU_D)가 발생하고, 합 지연 신호(VSU_D)는 합 신호(VSU)보다 작은 전압이므로 카운트 리셋 신호(CR1)의 펄스는 발생하지 않는다.
- [0088] 시점 T6에 클록 신호(CLK)의 상승 에지가 발생하고, 펄스폭변조신호(PWM_0)가 하강하며, 합 신호(VSU) 역시 시점 T6에 하강한다. 합 지연 신호(VSU_D)는 지연 기간(TD)만큼 늦게 하강하므로, 기간 T6-T61 동안 카운트 리셋 신호(CR1)는 하이 레벨 펄스를 가진다.
- [0089] 다만, 기간 T6-T61의 펄스는 클록 신호(CLK)의 한 주기 동안 발생하는 두 번째 펄스가 아니므로, 카운터(330)의 카운트 결과는 리셋되지 않는다.
- [0090] 본 발명의 실시 예는 감지 저항의 단락 여부를 감지할 수 있을 뿐만 아니라 풀-듀티(full-duty) 검출도 가능하다. 구체적으로, 합 지연 신호(VSU_D)가 풀-듀티 임계 기간(DTP)의 경과 시점에 풀-듀티 기준 전압(VFR) 이상일 때 스위치 제어기는 풀-듀티로 판단한다. 또는, 합 지연 신호(VSU_D)가 풀-듀티 임계 기간(DTP)의 경과 시점에 풀-듀티 기준 램프 전압(VFRF) 이상일 때 스위치 제어기는 풀-듀티로 판단한다.
- [0091] 도 6은 본 발명의 다른 실시 예에 따른 스위치 제어기를 나타낸 도면이다. 도 6에 도시된 바와 같이, 스위치 제어기(2)는 앞선 실시 예에 풀-듀티 검출부(700) 및 논리 게이트(800)를 더 포함한다. 다른 구성들은 앞선 실시 예와 동일한 바 설명은 생략한다.
- [0092] 논리 게이트(800)는 기울기 검출부(300)로부터 생성되는 보호 신호(이하, 제1 보호 신호)(PS1) 및 풀-듀티 검출부(700)으로부터 생성되는 제2 보호 신호(PS2)를 논리 합하여 보호 신호(PS)를 생성한다. 따라서 제1 보호 신호(PS1) 및 제2 보호 신호(PS2) 중 적어도 하나가 발생하면 보호 신호(PS)에 의해 전력 스위치(M)의 스위칭 동작이 정지된다.
- [0093] 풀-듀티 검출부(700)는 합 지연 신호(VSU_D)를 풀-듀티 기준 전압(VFR)과 비교한 결과에 따라 비교 펄스 신호를 생성하고, 풀-듀티 임계 기간(DTP)이 경과한 시점(이하, 듀티 임계 시점)에 비교 펄스 신호가 제1 레벨(예를 들어, 하이 레벨)일 때, 현재 전력 스위치(M)의 듀티를 풀-듀티로 판단한다.
- [0094] 도 7은 풀-듀티 기준 전압, 합 지연 신호(VSU_D), 비교 펄스 신호, 및 제2 보호 신호를 나타낸 파형도이다. 도 7은 풀-듀티 조건에서 발생하는 신호들을 도시한 파형도이다.
- [0095] 도 7에 도시된 바와 같이, 전력 스위치(M)가 시점 T8에 턴 온 되고, 시점 T8으로부터 지연 기간(TD)만큼 지연된 시점 T80에 합 지연 신호(VSU_D)가 발생한다. 시점 T81에 합 지연 신호(VSU_D)가 풀-듀티 기준 전압(VFR)에 도달하여 비교 펄스 신호(CP1)가 하이 레벨로 상승한다.
- [0096] 시점 T8부터 풀-듀티 임계 기간(DTP)이 경과한 듀티 임계 시점 T82에 비교 펄스 신호(CP1)가 하이 레벨일 때, 풀-듀티 검출부(700)는 현재 전력 스위치(M)의 듀티를 풀-듀티로 판단하고, 하이 레벨의 제2 보호 신호(PS2)를 생성한다.
- [0097] 도 7에 도시된 풀-듀티 기준 전압 대신 풀-듀티 기준 램프 전압을 사용할 수 있다.
- [0098] 도 8은 풀-듀티 기준 램프 전압, 합 지연 신호(VSU_D), 비교 펄스 신호, 및 제2 보호 신호를 나타낸 파형도이다.

다. 도 8 역시 풀-듀티 조건에서 발생하는 신호들을 도시한 파형도이다.

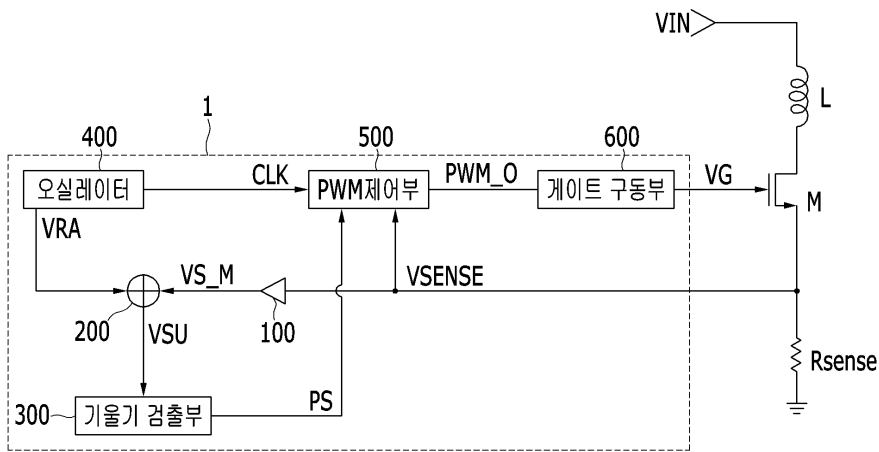
- [0099] 도 8에 도시된 바와 같이, 전력 스위치(M)가 시점 T9에 턴 온 되고, 시점T9으로부터 지연 시간(TD) 만큼 지연된 시점 T9에 합 지연 신호 (VSU_D)가 발생한다. 시점 T9에 합 지연 신호 (VSU_D)가 풀-듀티 기준 램프 전압 (VRFR)에 도달하여 비교 펄스 신호(CP2)가 하이 레벨로 상승한다.
- [0100] 시점 T9부터 풀-듀티 임계 기간(DTP)이 경과한 시점 T92에 비교 펄스 신호(CP2)가 하이 레벨일 때, 풀-듀티 검출부(700)는 현재 전력 스위치(M)의 듀티를 풀-듀티로 판단하고, 하이 레벨의 제2 보호 신호(PS2)를 생성한다.
- [0101] 풀-듀티 임계 기간(DTP)은 실질적으로 최대 듀티 기간과 동일한 기간으로 설정될 수 있다.
- [0102] 이와 달리, 풀-듀티 임계 기간을 최대 듀티 기간에 비해 소정 마진만큼 짧은 기간으로 설정될 수 있다. 이 경우 합 지연 신호 대신 합 신호를 이용할 수 있다. 즉, 합 신호가 풀-듀티 임계 기간이 종료되는 시점에 풀-듀티 기준 전압 또는 풀-듀티 기준 램프 전압보다 크면 풀-듀티로 판단된다.
- [0103] 본 발명의 실시 예에서 기울기 검출부(300)는 하나의 지연부를 포함하는 것으로 설명하였으나, 본 발명이 이에 한정되는 것은 아니다.
- [0104] 도 9는 본 발명의 또 다른 실시 예에 따른 기울기 검출부의 변형 예이다.
- [0105] 도 9에 도시된 바와 같이, 기울기 검출부(300')는 제1 지연부(340), 제2 지연부(350), 비교기(360), 및 카운터(370)을 포함한다. 비교기(360) 및 카운터(370)의 동작은 앞서 설명한 비교기(320) 및 카운터(330)과 동일하므로 그 설명은 생략한다.
- [0106] 제1 지연부(340)는 합 신호(VSU)를 제1 지연 시간(TD1)만큼 지연 시켜 제1 합 지연 신호(VSU_D1)를 생성하고, 제2 지연부(350)는 합 신호(VSU)를 제2 지연시간(TD2)만큼 지연 시켜 제2 합 지연 신호(VSU_D2)를 생성한다. 제1 지연 시간(TD1)보다 제2 지연 시간(TD2)이 더 길다.
- [0107] 비교기(360)는 비반전 단자(+)에 입력되는 제2 합 지연 신호(VSU_D2)가 반전 단자(-)에 입력되는 제1 합 지연 신호(VSU_D1) 이상일 때 하이 레벨을 출력하고, 그 반대의 경우 로우 레벨을 출력한다.
- [0108] 정상 상태에서 클럭 신호(CLK)이 한 주기 동안, 제2 합 지연 신호(VSU_D2)가 제1 합 지연 신호(VSU_D1) 보다 큰 전압을 가지는 두 번째 시점에 발생하는 카운트 리셋 신호(CR2)의 두 번째 펄스에 의해 카운터(370)는 리셋 된다. 즉, 합 신호(VSU)의 음 기울기 검출 시점에 동기되어 카운트 결과가 리셋된다.
- [0109] 감지 저항(Rsense)의 단락 상태에서는, 클럭 신호(CLK)의 한 주기 동안 카운트 리셋 신호(CR2)의 두 번째 펄스가 발생하지 않으므로, 카운터(370)는 리셋되지 않는다.
- [0110] 본 발명의 또 다른 실시 예에 따른 기울기 검출부(300')가 도 6에 도시된 다른 실시 예에 적용되는 경우, 풀-듀티 검출부(700)는 제1 합 지연 신호(VSU_D1) 또는 제2 합 지연 신호(VSU_D2) 중 어느 하나를 이용할 수 있다.
- [0111] 합 신호는 노이즈를 포함할 수 있는데, 노이즈를 포함하는 합 신호가 지연부를 통과하면 노이즈가 감소한다. 본 발명의 또 다른 실시 예는 노이즈에 의한 비교기의 오동작 가능성을 더욱 감소시키기 위해 두 개의 지연부를 포함할 수 있다.
- [0112] 지금까지 감지 전압과 램프 신호를 더하여 생성된 합 신호를 이용하여 감지 저항의 단락 여부 및 풀-듀티를 검출하는 스위치 제어기에 대해서 설명하였다. 즉, 본 발명의 실시 예를 상세하게 설명하였지만, 본 발명이 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

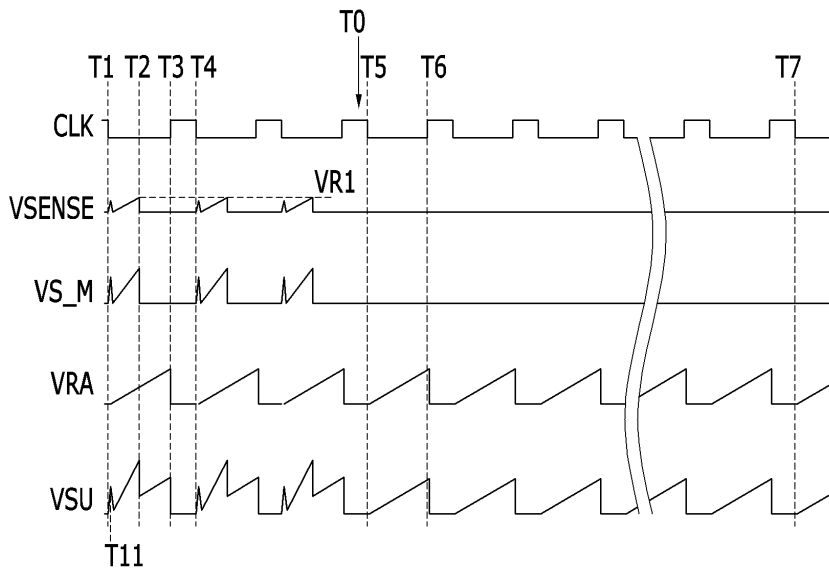
- [0113] 스위치 제어기(1), 증폭기(100), 덧셈기(200), 기울기 검출부(300)
 오실레이터(400), PWM 제어부(500), 게이트 구동부(600), 전력 스위치(M)
 인덕터(L), 감지 저항(Rsense), 지연부(310), 제1 지연부(340)
 제2 지연부(350), 비교기(320, 360), 카운터(330, 370)
 풀-듀티 검출부(700), 논리 게이트(800)

도면

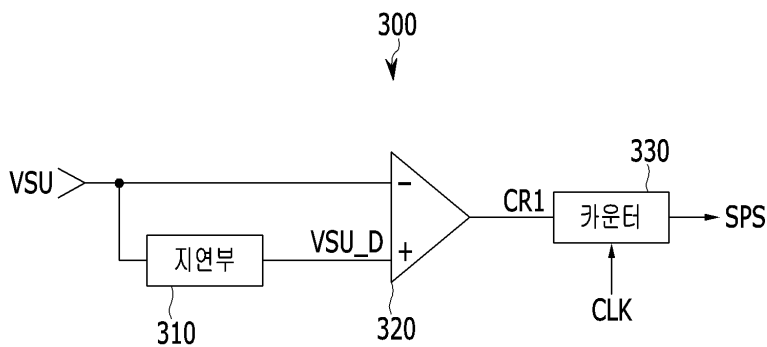
도면1



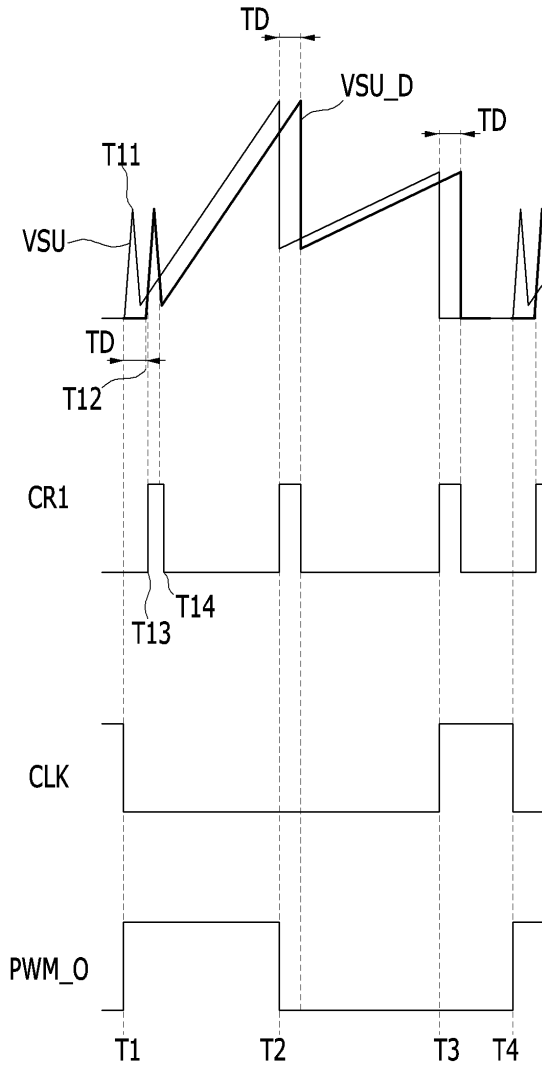
도면2



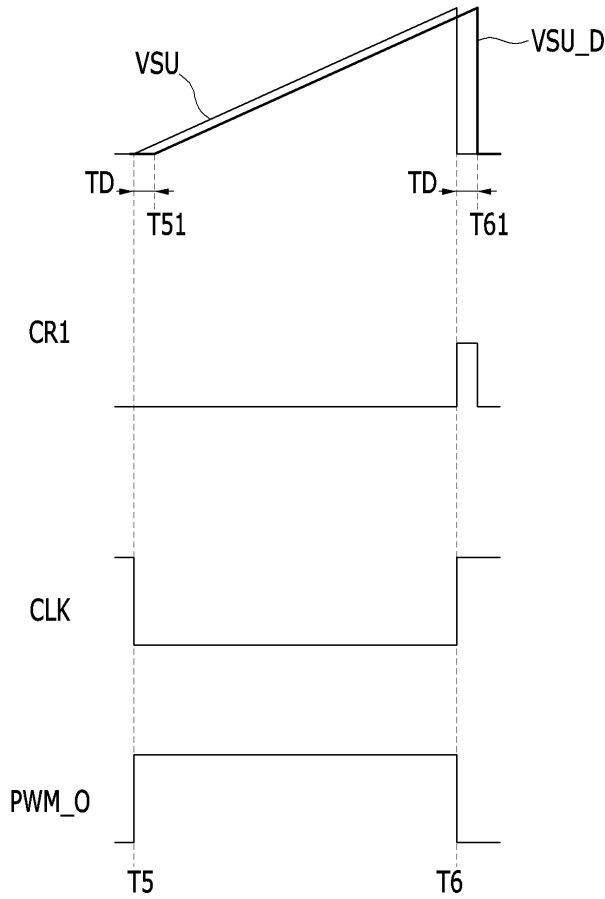
도면3



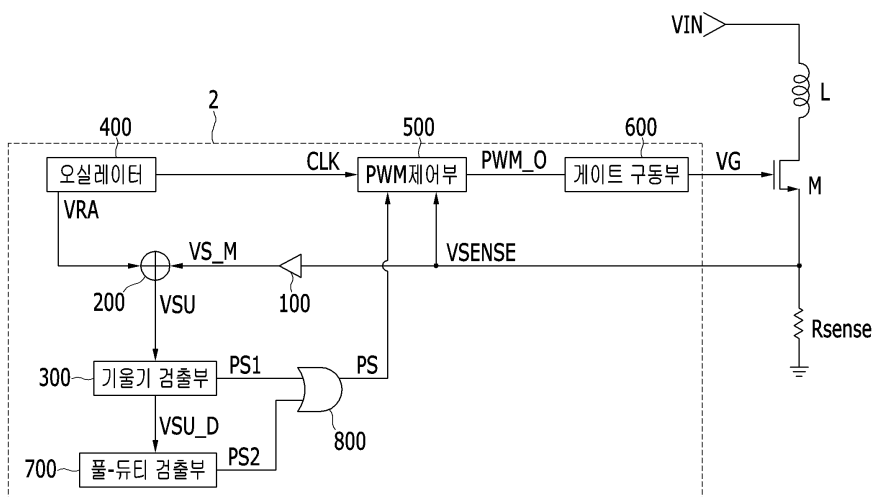
도면4



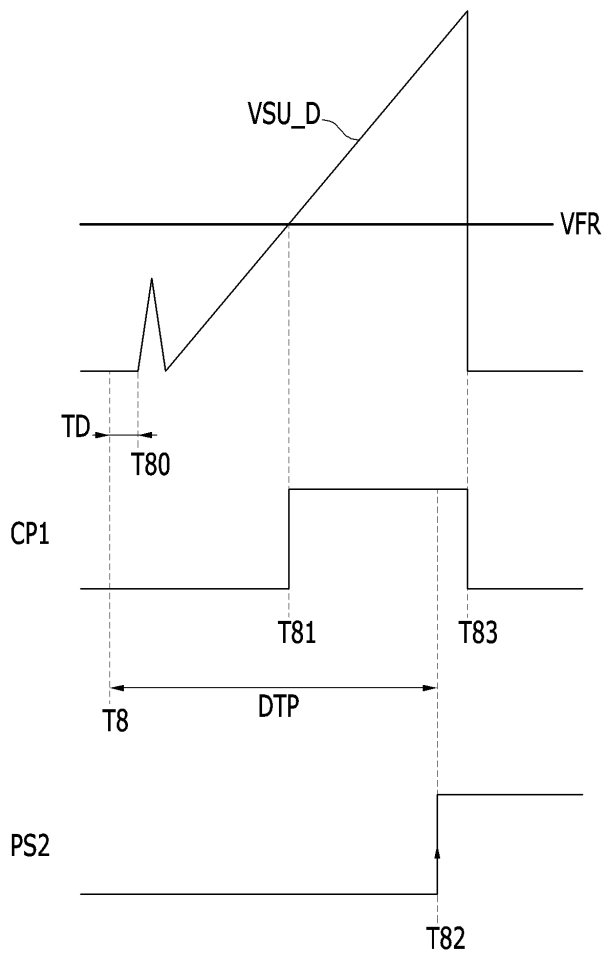
도면5



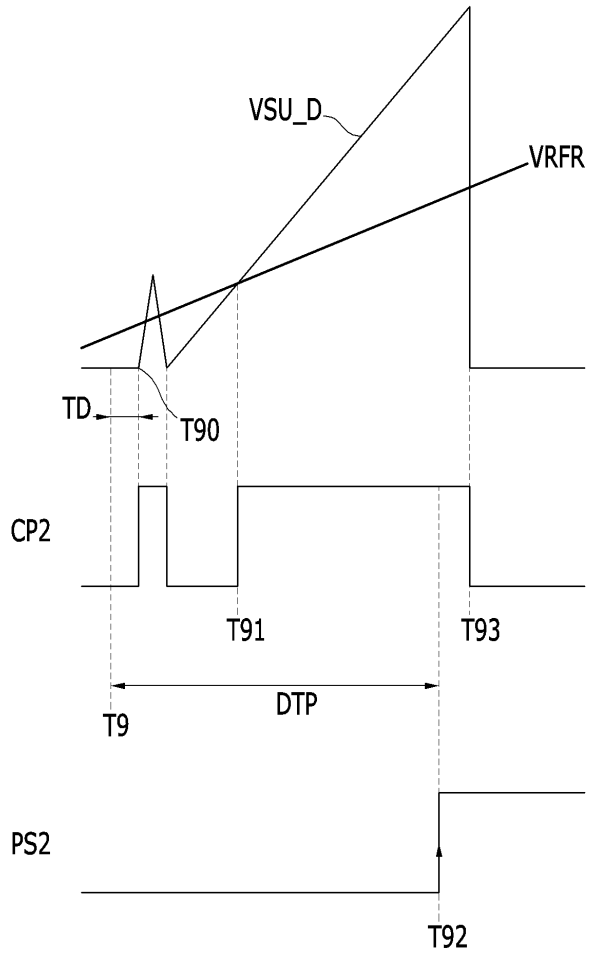
도면6



도면7



도면8



도면9

