

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年9月12日(12.09.2014)



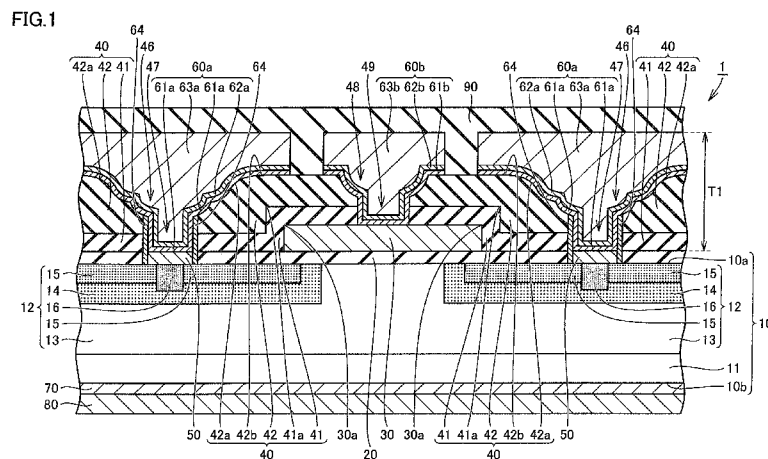
(10) 国際公開番号
WO 2014/136478 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/12 (2006.01)
H01L 21/28 (2006.01) H01L 29/78 (2006.01)
H01L 21/768 (2006.01)
- (21) 国際出願番号: PCT/JP2014/050798
- (22) 国際出願日: 2014年1月17日(17.01.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-046894 2013年3月8日(08.03.2013) JP
- (71) 出願人: 住友電気工業株式会社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目5番33号 Osaka (JP).
- (72) 発明者: 堀井 拓(HORII, Taku); 〒5540024 大阪府大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内 Osaka (JP). 木島 正貴(KIJIMA, Masaki); 〒6640005 兵庫県伊丹市瑞原四丁目1番地3 株式会社ルネサスセミコンダクタエンジニアリング内 Hyogo (JP).
- (74) 代理人: 特許業務法人深見特許事務所 (FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島二丁目2番7号 中之島セントラルタワー Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SILICON-CARBIDE SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(54) 発明の名称: 炭化珪素半導体装置およびその製造方法



(57) Abstract: A silicon-carbide substrate (10) with a gate-insulating film (20) provided so as to contact a first principal surface (10a), a gate electrode (30) provided so as to contact said gate-insulating film (20), and a source region (15) exposed on the first principal surface (10a) is prepared. A mask layer (45) is used to perform a first isotropic etching process on an interlayer dielectric (40) so as to form first recesses (46) in said interlayer dielectric (40), said first recesses (46) having first inside wall surfaces (46a). The mask layer (45) is also used to perform a first anisotropic etching process on the interlayer dielectric (40) and the gate-insulating film (20) so as to expose the source region (15) out from under the gate-insulating film (20), forming second recesses (47) that have second inside wall surfaces (47a). Wiring (60) that is laid out so as to contact the first inside wall surfaces (46a) and the second inside wall surfaces (47a) and is electrically connected to a source electrode (50) is formed. This makes it possible to provide a silicon-carbide semiconductor device having improved wiring reliability and a manufacturing method therefor.

(57) 要約:

[続葉有]



WO 2014/136478 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

第 1 の主面 (10 a) に接してゲート絶縁膜 (20) が設けられ、ゲート絶縁膜 (20) に接してゲート電極 (30) が設けられ、かつ第 1 の主面 (10 a) にソース領域 (15) が露出した炭化珪素基板 (10) が準備される。マスク層 (45) を用いて層間絶縁膜 (40) に対して第 1 の等方性エッチングを行うことにより層間絶縁膜 (40) に第 1 の内壁面 (46 a) を有する第 1 の凹部 (46) が形成される。マスク層 (45) を用いて層間絶縁膜 (40) およびゲート絶縁膜 (20) に対して第 1 の異方性エッチングを行ってソース領域 (15) をゲート絶縁膜 (20) から露出させることにより第 2 の内壁面 (47 a) を有する第 2 の凹部 (47) が形成される。第 1 の内壁面 (46 a) および第 2 の内壁面 (47 a) に接して配置され、かつソース電極 (50) に電氣的に接続される配線 (60) が形成される。これにより、配線の信頼性を向上可能な炭化珪素半導体装置およびその製造方法を提供することができる。

明 細 書

発明の名称：炭化珪素半導体装置およびその製造方法

技術分野

[0001] 本発明は、炭化珪素半導体装置およびその製造方法に関するものであり、より特定的には、配線の信頼性を向上可能な炭化珪素半導体装置およびその製造方法に関するものである。

背景技術

[0002] 近年、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) などの半導体装置の高耐圧化、低損失化、高温環境下での使用などを可能とするため、半導体装置を構成する材料として炭化珪素の採用が進められつつある。炭化珪素は、従来から半導体装置を構成する材料として広く使用されている珪素に比べてバンドギャップが大きいワイドバンドギャップ半導体である。そのため、半導体装置を構成する材料として炭化珪素を採用することにより、半導体装置の高耐圧化、オン抵抗の低減などを達成することができる。また、炭化珪素を材料として採用した半導体装置は、珪素を材料として採用した半導体装置に比べて、高温環境下で使用された場合の特性の低下が小さいという利点も有している。

[0003] たとえば、松波弘之、外3名、「半導体SiC技術と応用 第2版」、日刊工業新聞社、2011年9月30日、p358-p365（非特許文献1）には、ゲート電極を囲うように配置された絶縁膜と、当該絶縁膜に接して設けられ、 n^+ 領域と電氣的に接続するソース電極配線とを有するプレーナ型MOSFETが記載されている。

先行技術文献

非特許文献

[0004] 非特許文献1：松波弘之、外3名、「半導体SiC技術と応用 第2版」、日刊工業新聞社、2011年9月30日、p358-p365

発明の概要

発明が解決しようとする課題

[0005] 炭化珪素からなるMOSFETは、珪素からなるMOSFETよりも大電流を流すことが可能である。そのため炭化珪素MOSFETのソース電極配線は珪素MOSFETのソース電極配線よりも厚く設計される場合が多い。たとえば珪素MOSFETの配線の厚みは $2\mu\text{m}$ 未満程度であるが、炭化珪素MOSFETの配線の厚みは $2\mu\text{m}$ 以上程度である。上記文献に記載のMOSFETによれば、ゲート絶縁膜の形状に沿って絶縁膜が形成される。そのため、ゲート電極の外周角部を囲む部分の絶縁膜には角部が形成されている。絶縁膜の角部に沿って厚いソース電極配線が形成されるときに、絶縁膜の角部付近に形成された配線の内部に空洞（いわゆる「ス」）が形成される。配線の内部に空洞が形成されると、配線に大電流を流したときに配線が断線する可能性があるため、配線の信頼性（言い換えればエレクトロマイグレーション耐性）が低下する。

[0006] 本発明は、上記課題に鑑みてなされたものであり、その目的は、配線の信頼性を向上可能な炭化珪素半導体装置およびその製造方法を提供することである。

課題を解決するための手段

[0007] 本発明に係る炭化珪素半導体装置の製造方法は以下の工程を有している。互いに対向する第1の主面および第2の主面を有し、第1の主面に接してゲート絶縁膜が設けられ、ゲート絶縁膜に接してゲート電極が設けられ、かつ第1の主面に接する第1導電型領域を含む炭化珪素基板が準備される。ゲート電極およびゲート絶縁膜と接する層間絶縁膜が形成される。層間絶縁膜に接してマスク層が形成される。マスク層を用いて層間絶縁膜に対して第1の等方性エッチングを行うことにより層間絶縁膜に第1の内壁面を有する第1の凹部が形成される。第1の凹部を形成する工程の後、マスク層を用いて層間絶縁膜およびゲート絶縁膜に対して第1の異方性エッチングを行って炭化珪素基板の第1導電型領域を露出させることにより第2の内壁面を有する第

2の凹部が形成される。第1導電型領域に接して第1の電極が形成される。第1の凹部の第1の内壁面および第2の凹部の第2の内壁面に接して配置され、かつ第1の電極に電氣的に接続される配線が形成される。

[0008] 本発明に係る炭化珪素半導体装置の製造方法によれば、等方性エッチングを行うことにより層間絶縁膜に第1の凹部が形成された後、異方性エッチングを行うことにより第1導電型領域をゲート絶縁膜から露出させることで第2の凹部が形成される。第1の内壁面および第2の内壁面に接して配置され、かつ第1の電極に接続された配線が形成される。等方性エッチングにより、層間絶縁膜において丸みを有する第1の内壁面を有する第1の凹部が形成される。配線は、当該第1の内壁面に接して配置されるので、配線の内部に空洞が形成されることを抑制することができる。結果として、配線に大電流を流したときに配線が断線することを抑制することができるため、配線の信頼性を向上させることができる。

[0009] 上記の炭化珪素半導体装置の製造方法において好ましくは、層間絶縁膜を形成する工程は、層間絶縁膜を加熱することにより層間絶縁膜の上部表面の段差を低減させる工程を含む。これにより、上部表面の段差が低減された層間絶縁膜上に配線が形成されるので、配線の内部に空洞が発生することを効率的に抑制することができる。

[0010] 上記の炭化珪素半導体装置の製造方法において好ましくは、層間絶縁膜を形成する工程は、ゲート電極に接しかつ不純物がドーピングされていない第1の絶縁膜を形成する工程と、第1の絶縁膜を覆い、第1の絶縁膜よりも低い軟化点を有しかつ不純物がドーピングされている第2の絶縁膜を形成する工程とを含む。これにより、低い温度で層間絶縁膜の上部表面の段差を低減することができる。また、第1の絶縁膜には不純物がドーピングされていないので、たとえばリンなどの不純物がゲート絶縁膜と炭化珪素基板との界面に拡散し、ゲート電圧の閾値電圧が変動することを抑制することができる。

[0011] 上記の炭化珪素半導体装置の製造方法において好ましくは、層間絶縁膜を形成する工程は、第2の絶縁膜を覆いかつ二酸化珪素から構成された第3の

絶縁膜を形成する工程をさらに含む。二酸化珪素から構成された第3の絶縁膜は配線との密着性が良い。そのため、第3の絶縁膜を形成することにより、第3の絶縁膜上に形成される配線のつきまわりを向上させることができる。

[0012] 上記の炭化珪素半導体装置の製造方法において好ましくは、第1の等方性エッチングはウェットエッチングである。これにより、幅が第1の主面から離れるにつれて大きくなるような第1の凹部を効率的に形成することができる。

[0013] 上記の炭化珪素半導体装置の製造方法において好ましくは、第1の異方性エッチングはドライエッチングである。これにより、第1の主面の法線方向に沿って、幅がほぼ同じである第2の凹部を効率的に形成することができる。

[0014] 上記の炭化珪素半導体装置の製造方法において好ましくは、さらに以下の工程を備えている。ゲート電極上に配置された層間絶縁膜に対して第2の等方性エッチングを行うことにより第3の内壁面を有する第3の凹部が形成される。第3の凹部を形成する工程の後、層間絶縁膜に対して第2の異方性エッチングを行ってゲート電極を層間絶縁膜から露出させることにより第4の内壁面を有する第4の凹部が形成される。配線を形成する工程では、第3の内壁面および第4の内壁面に接して配置され、かつゲート電極と電気的に接続する配線が形成される。

[0015] 等方性エッチングにより形成された第3の凹部の第3の内壁面に接して配線が形成されるため、配線の内部に空洞が形成されることを抑制することができる。結果として、配線に電流を流した場合に、配線が断線することを抑制することができるので、配線の信頼性を向上させることができる。

[0016] 上記の炭化珪素半導体装置の製造方法において好ましくは、配線の厚みは $2\mu\text{m}$ 以上 $10\mu\text{m}$ 以下である。配線の厚みが $2\mu\text{m}$ 以上であれば、配線に大電流を流すことができる。また配線の厚みが $10\mu\text{m}$ 以下であれば、配線の加工性を向上させることができる。

- [0017] 上記の炭化珪素半導体装置の製造方法において好ましくは、配線を形成する工程は、層間絶縁膜に接し、かつチタンから構成された第1の金属層を形成する工程を含む。層間絶縁膜に接してチタンから構成された第1の金属層を形成することにより、層間絶縁膜に対する配線の密着性を向上させることができる。
- [0018] 上記の炭化珪素半導体装置の製造方法において好ましくは、配線を形成する工程は、第1の金属層に接し、かつ窒化チタンまたはチタンタングステンから構成された第2の金属層を形成する工程をさらに含む。これにより、第2の金属層上にアルミニウムを含む第3の金属層を形成させる場合において、アルミニウムがゲート電極に侵入することを抑制することができる。
- [0019] 本発明に係る炭化珪素半導体装置は、炭化珪素基板と、ゲート絶縁膜と、ゲート電極と、層間絶縁膜と、第1の凹部と、第2の凹部と、第1の電極と、第1の配線とを備える。炭化珪素基板は、互いに対向する第1の主面および第2の主面を有し、かつ第1の主面に接して設けられた第1導電型領域を含む。ゲート絶縁膜は、炭化珪素基板の第1の主面に接する。ゲート電極は、ゲート絶縁膜に接する。層間絶縁膜は、ゲート電極およびゲート絶縁膜と接する。第1の凹部は、第1の主面から離れるにつれて幅が大きくなるように形成され、かつ第1の内壁面が層間絶縁膜により形成されている。第2の凹部は、第1の凹部と接続し、かつ第2の内壁面が層間絶縁膜およびゲート絶縁膜により形成されている。第1の電極は、第2の凹部内に配置され、かつ第1導電型領域に接する。第1の配線は、第1の内壁面および第2の内壁面に接して配置され、かつ第1の電極と電氣的に接続する。
- [0020] 本発明に係る炭化珪素半導体装置によれば、第1の凹部は、第1の主面から離れるにつれて幅が大きくなるように形成され、第2の凹部は、第1の凹部に接続して形成されている。配線は、第1の内壁面および第2の内壁面に接して配置される。これにより、配線が第1の主面から離れるにつれて幅が大きくなる第1の凹部の第1の内壁面に接して配置されるので、配線の内部に空洞が形成されることを抑制することができる。結果として、配線に電流

を流したときに配線が断線することを抑制することができるため、配線の信頼性を向上させることができる。

[0021] 上記に係る炭化珪素半導体装置において好ましくは、層間絶縁膜の上部表面においてゲート電極の外周角部を囲む部分は、ゲート電極の外周角部よりも丸みを有する。これにより、層間絶縁膜の上部表面においてゲート電極の外周角部を囲む部分付近に形成される配線において内部に空洞が形成されることを効率的に抑制することができる。

[0022] 上記に係る炭化珪素半導体装置において好ましくは、第3の凹部と、第4の凹部と、第2の配線とをさらに備える。第3の凹部は、ゲート電極上に配置された層間絶縁膜に形成され、かつ第1の主面から離れるにつれて幅が大きくなるように形成された第3の内壁面を有する。第4の凹部は、第3の凹部と接続し、かつ第4の内壁面が層間絶縁膜により形成されている。第2の配線は、第3の内壁面および第4の内壁面に接して配置され、かつゲート電極と電氣的に接続されている。これにより、配線が第1の主面から離れるにつれて幅が大きくなる第3の凹部の第3の内壁面に接して配置されるので、配線の内部に空洞が形成されることを抑制することができる。結果として、配線に大電流を流したときに配線が断線することを抑制することができるため、配線の信頼性を向上させることができる。

[0023] 上記に係る炭化珪素半導体装置において好ましくは、層間絶縁膜は、ゲート電極に接しかつ不純物がドーピングされていない第1の絶縁膜と、第1の絶縁膜を覆い、第1の絶縁膜よりも低い軟化点を有しかつ不純物がドーピングされている第2の絶縁膜とを含む。これにより、低い温度で層間絶縁膜の上部表面の段差を低減することができる。また、第1の絶縁膜には不純物がドーピングされていないので、たとえばリンなどの不純物がゲート絶縁膜と炭化珪素基板との界面に拡散し、ゲート電圧の閾値電圧が変動することを抑制することができる。

[0024] 上記に係る炭化珪素半導体装置において好ましくは、層間絶縁膜は、第2の絶縁膜を覆いかつ二酸化珪素から構成された第3の絶縁膜をさらに含む。

二酸化珪素から構成された第3の絶縁膜は配線との密着性が良い。そのため、第3の絶縁膜上に形成される配線のつきまわりを向上させることができる。

[0025] 上記に係る炭化珪素半導体装置において好ましくは、第1の配線の厚みは $2\mu\text{m}$ 以上 $10\mu\text{m}$ 以下である。配線の厚みが $2\mu\text{m}$ 以上であれば、配線に大電流を流すことができる。また配線の厚みが $10\mu\text{m}$ 以下であれば、配線の加工性を向上させることができる。

[0026] 上記に係る炭化珪素半導体装置において好ましくは、第1の配線は、層間絶縁膜に接し、かつチタンから構成された第1の金属層を含む。層間絶縁膜に接してチタンから構成された第1の金属層を配置することにより、層間絶縁膜に対する配線の密着性を向上させることができる。

[0027] 上記に係る炭化珪素半導体装置において好ましくは、第1の配線は、第1の金属層に接し、かつ窒化チタンまたはチタンタングステンから構成された第2の金属層をさらに含む。これにより、第2の金属層上にアルミニウムを含む第3の金属層が配置されている場合において、アルミニウムがゲート電極に侵入することを抑制することができる。

発明の効果

[0028] 以上の説明から明らかなように、本発明によれば、配線の信頼性を向上可能な炭化珪素半導体装置およびその製造方法を提供することができる。

図面の簡単な説明

[0029] [図1]本発明の一実施の形態における炭化珪素半導体装置の構造を概略的に示す断面模式図である。

[図2]本発明の一実施の形態における炭化珪素半導体装置の製造方法を概略的に示すフロー図である。

[図3]層間絶縁膜形成工程を概略的に示すフロー図である。

[図4]配線形成工程を概略的に示すフロー図である。

[図5]本発明の一実施の形態における炭化珪素半導体装置の製造方法の第1の工程を概略的に示す断面模式図である。

[図6]本発明の一実施の形態における炭化珪素半導体装置の製造方法の第2の工程を概略的に示す断面模式図である。

[図7]本発明の一実施の形態における炭化珪素半導体装置の製造方法の第3の工程を概略的に示す断面模式図である。

[図8]本発明の一実施の形態における炭化珪素半導体装置の製造方法の第4の工程を概略的に示す断面模式図である。

[図9]本発明の一実施の形態における炭化珪素半導体装置の製造方法の第5の工程を概略的に示す断面模式図である。

[図10]本発明の一実施の形態における炭化珪素半導体装置の製造方法の第6の工程を概略的に示す断面模式図である。

[図11]本発明の一実施の形態における炭化珪素半導体装置の製造方法の第7の工程を概略的に示す断面模式図である。

[図12]本発明の一実施の形態における炭化珪素半導体装置の製造方法の第8の工程を概略的に示す断面模式図である。

[図13]本発明の一実施の形態における炭化珪素半導体装置の製造方法の第9の工程を概略的に示す断面模式図である。

[図14]本発明の一実施の形態における炭化珪素半導体装置の製造方法の第10の工程を概略的に示す断面模式図である。

[図15]本発明の一実施の形態における炭化珪素半導体装置の製造方法の第11の工程を概略的に示す断面模式図である。

[図16]本発明の一実施の形態における炭化珪素半導体装置の製造方法の第12の工程を概略的に示す断面模式図である。

[図17]本発明の一実施の形態における炭化珪素半導体装置の製造方法の第13の工程を概略的に示す断面模式図である。

[図18]本発明の一実施の形態における炭化珪素半導体装置の製造方法の第14の工程を概略的に示す断面模式図である。

[図19]本発明の一実施の形態における炭化珪素半導体装置の製造方法の第4の工程の変形例を概略的に示す断面模式図である。

発明を実施するための形態

[0030] 以下、図面に基づいて本発明の実施の形態を説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付し、その説明は繰返さない。

[0031] まず、本実施の形態に係る炭化珪素半導体装置としてのMOSFET 1の構造について説明する。図1を参照して、MOSFET 1は、炭化珪素基板10と、ゲート絶縁膜20と、ゲート電極30と、層間絶縁膜40と、ソース電極50と、ソース電極配線60aと、ゲート電極配線60bと、ドレイン電極70と、裏面保護電極80と、パッシベーション層90とを主に有している。炭化珪素基板10は、ベース基板11と、エピタキシャル層12とを含み、またエピタキシャル層12には、ドリフト領域13と、ボディ領域14と、ソース領域15と、 p^+ 領域16とが形成されている。

[0032] ベース基板11は、たとえばN（窒素）等のn型不純物を含むことにより導電型がn型（第1導電型）となっている。エピタキシャル層12は、ベース基板11上に形成されたエピタキシャル成長層である。ドリフト領域13は、ベース基板11と同様に、たとえばN（窒素）等のn型不純物を含むことにより導電型がn型となっている第1導電型領域であり、その濃度はベース基板11よりも低くなっている。

[0033] ボディ領域14は、炭化珪素基板10の第1の主面10aを含み、エピタキシャル層12内に互いに分離して形成されている。ボディ領域14は、たとえばAl（アルミニウム）やB（硼素）などのp型不純物を含むことにより、導電型がp型（第2導電型）となっている第2導電型領域である。

[0034] ソース領域15（第1導電型領域）は、導電型がn型（第1導電型）の領域である。ソース領域15は、第1の主面10aを含み、ボディ領域14に取り囲まれるように各々のボディ領域14内に形成されている。ソース領域15は、たとえばP（リン）などのn型不純物を含むことにより、ベース基板11およびドリフト領域13と同様に導電型がn型となっている。また、ソース領域15に含まれるn型不純物の濃度は、ドリフト領域13に含まれ

るn型不純物の濃度よりも高くなっている。なお、ソース領域15は、ボディ領域14によってドリフト領域13と隔てられている。

[0035] p⁺領域16は、ソース領域15と同様に、第1の主面10aを含みつつボディ領域14に取り囲まれ、かつソース領域15に隣接するように各々のボディ領域14内に形成されている。p⁺領域16は、ボディ領域14と同様に、たとえばAl（アルミニウム）やB（硼素）などのp型不純物を含むことにより導電型がp型となっている。p⁺領域16の不純物濃度は、ボディ領域14よりも高くなっている。

[0036] ゲート絶縁膜20は、たとえば二酸化珪素からなり、第1の主面10a上に接触しつつ、一方のソース領域15の上面から他方のソース領域15の上面にまで延在するように形成されている。ゲート絶縁膜20は、第1の主面10aにおいて、ソース領域15、ボディ領域14およびドリフト領域13と接している。

[0037] ゲート電極30は、ゲート絶縁膜20上に接触しつつ、一方のソース領域15上から他方のソース領域15上にまで延在するように形成されている。ゲート電極30は、たとえば不純物が添加されたポリシリコンなどの導電体からなっている。ゲート電極30は、炭化珪素基板10との間でゲート絶縁膜20を挟むように形成されている。ゲート電極30は、ゲート絶縁膜20を介してソース領域15およびボディ領域14に対向して配置されている。

[0038] 層間絶縁膜40は、たとえば二酸化珪素を含む材料からなり、ゲート絶縁膜20上においてゲート電極30を取り囲むように形成されている。好ましくは、層間絶縁膜40は2層の絶縁膜で形成されており、より好ましくは3層の絶縁膜で形成されている。図1に示すように、層間絶縁膜40は、たとえばゲート電極30およびゲート絶縁膜20と接する第1の絶縁膜41と、第1の絶縁膜41上に接する第2の絶縁膜42とにより構成されている。

[0039] 第1の絶縁膜41は、たとえばリンなどの不純物がドーピングされていない（ノンドーピング）二酸化珪素からなる。なお、本明細書において、不純物がドーピングされていない絶縁膜とは、ドーピングされた不純物濃度が1mol%以下の絶

縁膜のことである。第2の絶縁膜42は、第1の絶縁膜41よりも低い軟化点を有する。第2の絶縁膜42はたとえばリンがドーパされたシリコンガラス (PSG: Phosphorus Silicon Glass) である。リンのドーパ量はたとえば7.5mol%以上7.9mol%以下程度である。第1の絶縁膜41の厚みはたとえば0.2 μ mであり、第2の絶縁膜42の厚みはたとえば0.8 μ mである。

[0040] 図1に示すように、ゲート電極30の外周に形成された外周角部30aを囲む層間絶縁膜40の肩部42aは、ゲート電極30の外周に形成された外周角部30aよりも丸みを有していることが好ましい。また層間絶縁膜40が第1の絶縁膜41および第2の絶縁膜42により構成されている場合、ゲート電極30の外周に形成された外周角部30aを囲む第1の絶縁膜41の肩部41aよりも、第2の絶縁膜42の肩部42aは丸みを有していてもよい。図19を参照して、肩部42aが丸みを有している第2の絶縁膜42の上部表面に沿って二酸化珪素からなる第3の絶縁膜43が配置されていてもよい。

[0041] ソース領域15およびp⁺領域16の上方の層間絶縁膜40には、第1の凹部46および第1の凹部46と接続する第2の凹部47が形成されている。第1の凹部46の幅W1は、第1の主面10aから離れるにつれて大きくなる。第2の凹部47の幅W2は、第1の凹部46の最も狭い幅と同じ程度である。第2の凹部47の幅W2は、第1の主面10aの法線方向に沿ってほぼ一定である。

[0042] 第1の凹部46の第1の内壁面46a (図11参照) は層間絶縁膜40の第2の絶縁膜42により形成されている。第2の凹部47の第2の内壁面47a (図11参照) は第2の絶縁膜42、第1の絶縁膜41、ゲート絶縁膜20および第1の主面10aにより形成されている。第1の凹部46の第1の内壁面46aは、第1の凹部46の内部から見て外向きに凸であってもよい。また第1の凹部46の第1の内壁面46aと第1の主面10aとがなす角度は、第2の凹部47の第2の内壁面47aと第1の主面10aとがなす

角度よりも大きくてもよい。

[0043] 図1を参照して、ソース電極50（第1の電極）は、ソース領域15およびp⁺領域16と接し、かつ第2の凹部47の内部に配置されている。好ましくは、ソース電極50は、Ti、AlおよびSiを含む膜であって、たとえばTiAlSi合金からなっている。ソース電極50は、NiおよびSiを含む膜であって、たとえばNiSi合金であっても構わない。好ましくは、ソース電極50はソース領域15およびp⁺領域16とオーミック接合している。

[0044] ゲート電極30の上方の層間絶縁膜40には、第3の凹部48と、第3の凹部48と接続する第4の凹部49とが形成されている。第3の凹部48の幅W3は、第1の主面10aから離れるにつれて大きくなる。第4の凹部49の幅W4は、第3の凹部48の最も狭い幅と同じ程度である。第4の凹部49の幅W4は、第1の主面10aの法線方向に沿ってほぼ一定である。

[0045] 第3の凹部48の第3の内壁面48a（図17参照）は、層間絶縁膜40の第2の絶縁膜42により形成されている。第4の凹部49の第4の内壁面49a（図17参照）は、第2の絶縁膜42、第1の絶縁膜41およびゲート電極30により形成されている。第3の凹部48の第3の内壁面48aは、第3の凹部48の内部から見て外向きに凸であってもよい。また第3の凹部48の第3の内壁面48aと第1の主面10aとがなす角度は、第4の凹部49の第4の内壁面49aと第1の主面10aとがなす角度よりも大きくてもよい。

[0046] ソース電極配線60a（第1の配線）は、ソース電極50および層間絶縁膜40を覆うように形成されている。ソース電極配線60aは、たとえばアルミニウムを含んでおり、ソース電極50と電氣的に接続されている。ソース電極配線60aの厚みT1はたとえば5 μ mであり、好ましくは2 μ m以上10 μ m以下であり、より好ましくは3 μ m以上7 μ m以下である。ソース電極配線60aにはたとえば1000A/cm²程度の大電流を流すことが可能である。ソース電極配線60aは、第1の凹部46の第1の内壁面46

aおよび第2の凹部47の第2の内壁面47aの各々に接して配置されている。

[0047] 好ましくは、ソース電極配線60aは、層間絶縁膜40の上部表面42b、第1の凹部46の第1の内壁面46aおよびソース電極50と接して配置された第1の金属層61aを含んでいる。第1の金属層61aは、Ti（チタン）から構成されていることが好ましい。より好ましくは、ソース電極配線60aは第1の金属層61a上に接して配置された第2の金属層62aを有している。第2の金属層62aは、TiN（窒化チタン）またはTiW（チタンタングステン）から構成されていることが好ましい。ソース電極配線60aは、第2の金属層62a上に接して配置された第3の金属層63aを有している。第3の金属層63aは、AlSiCu（アルミニウムシリコン銅）により構成されていることが好ましい。

[0048] ソース電極配線60aは、第1の凹部46および第2の凹部47の各々の内部に配置されている。第1の金属層61a、第2の金属層62aおよび第3の金属層63aの各々は第1の凹部46内に配置されていてもよいし、第2の凹部47内に配置されていてもよいし、第1の凹部46および第2の凹部47の各々の内部に配置されていてもよい。好ましくは、ソース電極配線60aは、層間絶縁膜40および第1の金属層61に挟まれた金属層64を有している。金属層64は、TiN（窒化チタン）またはTiW（チタンタングステン）から構成されていることが好ましい。金属層64は、ソース電極50およびゲート絶縁膜20と接していてもよい。金属層64は、たとえば第2の凹部47の第2の内壁面47aに接して配置されている。

[0049] ゲート電極配線60b（第2の配線）は、ゲート電極30および層間絶縁膜40を覆うように形成されている。ゲート電極配線60bは、たとえばアルミニウムを含んでおり、ゲート電極30と電氣的に接続されている。ゲート電極配線60bは、第3の凹部48および第4の凹部49の内部に配置されている。好ましくは、ゲート電極配線60bは、第3の凹部48の第3の内壁面48a、第4の凹部49の第4の内壁面49aおよびゲート電極30

と接して配置された第1の金属層61bを含んでいる。第1の金属層61bは、Ti（チタン）から構成されていることが好ましい。ゲート電極配線60bは、第1の金属層61b上に接して配置された第2の金属層62bを有していることが好ましい。第2の金属層62bは、TiN（窒化チタン）またはTiW（チタンタングステン）から構成されていることが好ましい。さらにゲート電極配線60bは、第2の金属層62bに接して第3の金属層63bを有していることが好ましい。第3の金属層63bは、AlSiCu（アルミニウムシリコン銅）から構成されていることが好ましい。

[0050] ドレイン電極70は、炭化珪素基板10の第2の主面10bに接して形成されている。ドレイン電極70は、ソース電極50と同様に、たとえばTiAlSi合金からなってもよいし、たとえばNiSi合金からなってもよい。ドレイン電極70は、ベース基板11に対して電氣的に接続されている。裏面保護電極80はドレイン電極70に接して設けられている。裏面保護電極80は、たとえばTi（チタン）、Ni（ニッケル）およびAg（銀）やそれらからなる合金によりなってもよい。パッシベーション層90は、ソース電極配線60aとゲート電極配線60bとを絶縁するように形成されている。パッシベーション層90は、好ましくは、SiN（窒化珪素）または二酸化珪素から形成されている。

[0051] 次に、本実施の形態に係る炭化珪素半導体装置としてのMOSFET1の動作について説明する。図1を参照して、ゲート電極30に印加された電圧が閾値電圧未満の状態、すなわちオフ状態では、ソース電極50とドレイン電極70との間に電圧が印加されても、ボディ領域14とドリフト領域13との間に形成されるpn接合が逆バイアスとなり、非導通状態となる。一方、ゲート電極30に閾値電圧以上の電圧が印加されると、ボディ領域14に反転層が形成される。その結果、ソース領域15とドリフト領域13とが電氣的に接続され、ソース電極50とドレイン電極70との間に電流が流れる。以上のようにして、MOSFET1は動作する。

[0052] 次に、本発明の一実施の形態に係る炭化珪素半導体装置の製造方法につい

て、図2～図19を参照して説明する。本実施の形態に係る炭化珪素半導体装置の製造方法においては、上記本実施の形態に係る炭化珪素半導体装置としてのMOSFET1が製造される。

- [0053] 図2を参照して、まず、炭化珪素基板準備工程(S10)が実施される。この工程(S10)では、以下に説明する工程(S11)～(S14)が実施されることにより、炭化珪素からなる炭化珪素基板10が準備される。
- [0054] まず、工程(S11)として、ベース基板準備工程が実施される。この工程(S11)では、たとえばポリタイプ4Hの六方晶炭化珪素からなるインゴット(図示しない)をスライスすることにより、導電型がn型(第1導電型)のベース基板11が準備される。次に、工程(S12)として、エピタキシャル成長層形成工程が実施される。この工程(S12)では、エピタキシャル成長により、ベース基板11上に導電型がn型のエピタキシャル層12が形成される。これにより、互いに対向する第1の主面10aおよび第2の主面10bを有する炭化珪素基板10が形成される。
- [0055] 次に、工程(S13)として、イオン注入工程が実施される。この工程(S13)では、図5を参照して、まず、たとえばAl(アルミニウム)イオンが、炭化珪素基板10の第1の主面10aを含む領域に注入されることにより、エピタキシャル層12内に導電型がp型(第2導電型)のボディ領域14が形成される。次に、たとえばP(リン)イオンが、上記Alイオンの注入深さよりも浅い深さでボディ領域14内に注入されることにより、導電型がn型のソース領域15が形成される。そして、たとえばAlイオンが、ボディ領域14内にさらに注入されることにより、ソース領域15と隣接し、かつソース領域15と同等の深さを有し、導電型がp型のp⁺領域16が形成される。また、エピタキシャル層12において、ボディ領域14、ソース領域15およびp⁺領域16のいずれも形成されない領域は、ドリフト領域13となる。
- [0056] 次に、工程(S14)として、活性化アニール工程が実施される。この工程(S14)では、たとえばアルゴン雰囲気下において炭化珪素基板10を

1800℃程度に加熱することにより、上記工程（S13）にて導入された不純物が活性化される。これにより、不純物が導入された領域において所望のキャリアが生成する。このようにして、上記工程（S11）～（S14）が実施されることにより、不純物の導入により活性領域が形成された炭化珪素基板10が準備される。

[0057] 次に、工程（S20）として、ゲート絶縁膜形成工程が実施される。この工程（S20）では、図6を参照して、たとえば酸素を含む雰囲気中において炭化珪素基板10を加熱することにより、炭化珪素基板10の第1の主面10aに接し、かつ二酸化珪素からなるゲート絶縁膜20が形成される。次に、工程（S30）として、ゲート電極形成工程が実施される。この工程（S30）では、図6を参照して、たとえばLP-CVD（Low Pressure Chemical Vapor Deposition）法により、たとえばリンなどの不純物を含むポリシリコンからなるゲート電極30がゲート絶縁膜20上に接して形成される。以上により、互いに対向する第1の主面10aおよび第2の主面10bを有し、第1の主面10aに接してゲート絶縁膜20が設けられ、ゲート絶縁膜20に接してゲート電極30が設けられ、かつ第1の主面10aに接する第1導電型領域であるソース領域15を含む炭化珪素基板10が準備される。

[0058] 次に、工程（S40）として、層間絶縁膜形成工程が実施される。この工程（S40）では、図7を参照して、たとえばP（Plasma）-CVD法により、層間絶縁膜40が、ゲート電極30を取り囲むように、ゲート電極30およびゲート絶縁膜20に接して形成される。好ましくは、層間絶縁膜40は、第1の絶縁膜41と、当該第1の絶縁膜41よりも軟化点の低い第2の絶縁膜42とを含んでいる。図7に示すように、第1の絶縁膜41がゲート電極30を覆い、ゲート電極30およびゲート絶縁膜20と接して形成される。次に、第1の絶縁膜41を覆うように第2の絶縁膜42が形成される。第1の絶縁膜41は、たとえばリンなどの不純物がドーピングされていない（ノンドーピング）二酸化珪素からなり、第2の絶縁膜42はたとえばリンが

ドープされたシリコンガラス（PSG）からなる。

[0059] 次に、第1の絶縁膜41と第2の絶縁膜42を含む層間絶縁膜40を加熱することにより層間絶縁膜40の上部表面42bの段差を低減させる工程が実施される。当該段差を低減させる工程では、第1の絶縁膜41および第2の絶縁膜42を含む層間絶縁膜40が形成された炭化珪素基板10が、たとえば1000℃以上に加熱されることにより、第2の絶縁膜42が軟化して変形する。これにより、図8に示すように、第2の絶縁膜42の肩部42aの形状が丸みを有するように変形する。結果として、第2の絶縁膜42の肩部42aの段差が段差T2から段差T3のように低減される。なお、第1の絶縁膜41および第2の絶縁膜42を含む層間絶縁膜40が形成された炭化珪素基板10を加熱する温度は、好ましくは、第1の絶縁膜41の軟化点以下であり、かつ第2の絶縁膜42の軟化点以上である。

[0060] 図3を参照して、層間絶縁膜を形成する工程（S40）は、第1の絶縁膜を形成する工程（S41）と、第2の絶縁膜を形成する工程（S42）と、第3の絶縁膜を形成する工程（S43）とを有していてもよい。具体的には、上述のように、ゲート電極30を覆うように第1の絶縁膜41が形成された後、第1の絶縁膜41上に第2の絶縁膜42が形成される。第2の絶縁膜42が軟化して第2の絶縁膜42の段差が低減した後、図19に示すように、第2の絶縁膜42の表面に接して第3の絶縁膜43が配置されていてもよい。第3の絶縁膜43はたとえば二酸化珪素からなる。第3の絶縁膜43の厚みは第2の絶縁膜42の厚みより小さくてもよい。

[0061] 次に、工程（S50）として、マスク層形成工程が実施される。この工程（S50）では、図9を参照して、層間絶縁膜40上に接して、たとえばレジストからなる第1のマスク層45が形成される。次に、ソース領域15およびp⁺領域16上に開口を有するように第1のマスク層45がパターンニングされる。

[0062] 次に、工程（S60）として、第1の等方性エッチング工程が実施される。この工程（S60）では、図10を参照して、マスク層形成工程により形

成された第1のマスク層45をマスクとして用いて、層間絶縁膜40の第2の絶縁膜42に対して等方性エッチングが行われる。これにより、層間絶縁膜40の第2の絶縁膜42に第1の内壁面46aを有する第1の凹部46が形成される。第1の凹部46の第1の内壁面46aは、第1の凹部46内から見て外向きに凸の形状を有している。等方性エッチングは、たとえばウェットエッチングである。たとえば、第1のマスク層45が形成された炭化珪素基板10を、界面活性剤を含む緩衝フッ酸(115UBHF)からなる薬液に、室温において10秒以上300秒以下程度浸漬させることにより、層間絶縁膜40の第2の絶縁膜42が等方的にエッチングされる。なお、等方性エッチングはドライエッチングであってもよい。

[0063] 次に、工程(S70)として、第1の異方性エッチング工程が実施される。この工程(S70)では、図11を参照して、第1の等方性エッチング工程の後、当該第1の等方性エッチング工程で使用された第1のマスク層45を用いて、層間絶縁膜40の第2の絶縁膜42および第1の絶縁膜41ならびにゲート絶縁膜20に対して異方性エッチングが行われる。これにより、ゲート絶縁膜20から炭化珪素基板10のソース領域15およびp⁺領域16が露出し、第1の凹部46と接続し、かつ第2の内壁面47aが層間絶縁膜40の第1の絶縁膜41および第2の絶縁膜42、ゲート絶縁膜20ならびに第1の主面10aにより形成された第2の凹部47が形成される。

[0064] 第2の凹部47の幅W2は、第1の主面10aの法線方向に沿ってほぼ同様の値である。異方性エッチングは、たとえばドライエッチングである。たとえば、第1のマスク層45が形成された炭化珪素基板10を、圧力が100mTorr以上500mTorr以下のチャンバーに配置して、CF₄ガスを用いてRF(Radio Frequency)パワー100W以上1500W以下の条件において、層間絶縁膜40の第2の絶縁膜42および第1の絶縁膜41ならびにゲート絶縁膜20に対して異方性エッチングが行われる。

[0065] 次に、金属層形成工程が実施される。金属層形成工程では、図12を参照

して、第1のマスク層45が層間絶縁膜40上から除去された後、たとえばスパッタリングにより、層間絶縁膜40の第2の絶縁膜42の上部表面46b、第1の凹部46の第1の内壁面46a、第2の凹部47の第2の内壁面47a、ソース領域15およびp⁺領域16に接する金属層64が形成される。金属層64は、好ましくはTiを含む膜であり、たとえばTiNやTiWからなる膜である。金属層64の厚みは、たとえば0.025μm以上0.15μm以下程度である。

[0066] 次に、エッチング工程が実施される。エッチング工程では、図13を参照して、炭化珪素基板10に対してドライエッチングを実施することにより、層間絶縁膜40の上面、第1の凹部46の第1の内壁面46a、ソース領域15上およびp⁺領域16上に形成された金属層64が除去され、第2の凹部47の第2の内壁面47aに形成された金属層64が残存する。

[0067] 次に、工程(S80)として、ソース電極形成工程が実施される。この工程(S80)では、ソース領域15(第1導電型領域)およびp⁺領域16に接する第1の電極としてのソース電極50が形成される。具体的には、図14を参照して、スパッタリングにより、たとえばTi、AlおよびSiを含む金属膜がソース領域15、p⁺領域16および第2の金属層62に接して形成される。次に、当該金属膜が形成された炭化珪素基板10を加熱することにより、当該金属膜が合金化し、炭化珪素基板10とオーミック接合するソース電極50が形成される。

[0068] 次に、工程(S90)として、第2の等方性エッチング工程が実施される。この工程(S90)では、図15を参照して、層間絶縁膜40上に接して、たとえばレジストからなる第2のマスク層55が形成される。次に、ゲート電極30の上方に開口を有するように第2のマスク層55がパターニングされる。次に、図16を参照して、当該第2のマスク層55をマスクとして用いて、ゲート電極30上に配置された層間絶縁膜40の第2の絶縁膜42に対して等方性エッチングが行われる。これにより、層間絶縁膜40の第2の絶縁膜42に第3の内壁面48aを有する第3の凹部48が形成される。

第3の凹部48の第3の内壁面48aは、第1の凹部46内から見て外向きに凸の形状を有している。等方性エッチングは、たとえばウェットエッチングである。なお、第2の等方性エッチングの条件は、第1の等方性エッチングの条件とほぼ同様である。

[0069] 次に、工程(S100)として、第2の異方性エッチング工程が実施される。この工程(S100)では、図17を参照して、第2の等方性エッチング工程の後、当該第2の等方性エッチング工程で使用された第2のマスク層55を用いて、ゲート電極30上に配置されている層間絶縁膜40の第2の絶縁膜42および第1の絶縁膜41に対して異方性エッチングが行われる。これにより、ゲート電極30が層間絶縁膜40から露出し、第3の凹部48と接続し、かつ第4の内壁面49aが層間絶縁膜40の第1の絶縁膜41および第2の絶縁膜42ならびにゲート電極30により形成された第4の凹部49が形成される。第4の凹部49の幅W4は、第1の主面10aの法線方向に沿ってほぼ同様の値である。異方性エッチングは、たとえばドライエッチングである。なお、第2の異方性エッチングの条件は、第1の異方性エッチングの条件とほぼ同様である。

[0070] 次に、工程(S110)として、配線形成工程が実施される。この工程(S110)では、第1の凹部46および第2の凹部47の内部に配置され、ソース領域15およびp⁺領域16と接する配線60が形成される。図4を参照して、配線形成工程(S110)は、第1の金属層を形成する工程(S111)と、第2の金属層を形成する工程(S112)と、第3の金属層を形成する工程(S113)とを有していることが好ましい。

[0071] 図18を参照して、まずスパッタリング法により、たとえば層間絶縁膜40の第2の絶縁膜42および第1の絶縁膜41、ゲート電極30、ソース電極50および金属層64と接する第1の金属層61が形成される。第1の金属層61はたとえばTi(チタン)から構成されている。次に、第1の金属層61上に第2の金属層62が形成される。第2の金属層62は、たとえばTiN(窒化チタン)またはTiW(チタンタングステン)などから構成さ

れている。次に、第3の金属層63が第2の金属層62上に接して形成される。第3の金属層63は、好ましくはAl、SiおよびCuを含み、たとえばAlSiCu合金からなる。配線60の厚みT1は、好ましくは2 μ m以上10 μ m以下であり、より好ましくは3 μ m以上7 μ m以下であり、たとえば5 μ mである。配線60は、第1の凹部46の第1の側壁面46aと、第2の凹部47の第2の側壁面47aと、第3の凹部48の第3の側壁面48aと、第4の凹部49の第4の側壁面49aとに接して形成される。

[0072] 次に、図1を参照して、配線60がパターンングされ、パッシベーション層90により互いに絶縁されたソース電極配線60aおよびゲート電極配線60bが形成される。ソース電極配線60aは、第1の凹部46の第1の側壁面46aおよび第2の凹部47の第2の側壁面47aに接し、ソース電極50と電氣的に接続するように形成される。ゲート電極配線60bは、第3の凹部48の第3の側壁面48aおよび第4の凹部49の第4の側壁面49aに接し、ゲート電極30と電氣的に接続するように形成される。以上のようにして、本実施の形態に係るMOSFET1が製造される。

[0073] なお、本実施の形態において、ソース電極配線60aが配置される第1の凹部46および第2の凹部47が形成された後に、ゲート電極配線60bが配置される第3の凹部48および第4の凹部49が形成される場合について説明したが、ソース電極配線60aが配置される第1の凹部46および第2の凹部47が形成される前に、ゲート電極配線60bが配置される第3の凹部48および第4の凹部49が形成されてもよい。

[0074] また、第1の凹部46および第3の凹部48が同時に形成されてもよい。第1の凹部46および第3の凹部48が同時に形成される場合には、ゲート電極30の上方およびソース電極50の上方に開口を有する第1のマスク層45が形成され、当該第1のマスク層45を用いて、層間絶縁膜40に対して等方性エッチングが行われることにより、層間絶縁膜40に第1の凹部46および第3の凹部48が形成される。次に、当該第1のマスク層45を用いて、ソース領域15およびp⁺領域16上方の層間絶縁膜40およびゲート

絶縁膜 20 に対して異方性エッチングが行われて第 2 の凹部 47 が形成され、ゲート電極 30 上方の層間絶縁膜 40 に対して第 4 の凹部 49 が形成される。第 2 の凹部 47 および第 4 の凹部 49 は同時に形成されてもよいし、別々に形成されてもよい。

[0075] 本実施の形態において炭化珪素半導体装置として MOSFET を例に説明したが、炭化珪素半導体装置はたとえば IGBT (Insulated Gate Bipolar Transistor) などであってもよい。炭化珪素半導体装置が IGBT の場合、第 1 の電極 50 がエミッタ電極であり、第 1 の配線 60a はエミッタ電極配線である。また本実施の形態において、n 型および p 型はそれぞれ第 1 導電型および第 2 導電型であるとして説明したが、n 型および p 型はそれぞれ第 2 導電型および第 1 導電型であってもよい。

[0076] 次に、本実施の形態に係る炭化珪素半導体装置およびその製造方法の作用効果について説明する。

[0077] 本実施の形態に係る MOSFET 1 の製造方法によれば、等方性エッチングを行うことにより層間絶縁膜 40 に第 1 の凹部 46 が形成された後、異方性エッチングを行うことによりソース領域 15 を露出させることで第 2 の凹部 47 が形成される。第 1 の凹部 46 の第 1 の内壁面 46a および第 2 の凹部 47 の第 2 の内壁面 47a に接して配置され、かつソース電極 50 に接続されたソース電極配線 60a が形成される。等方性エッチングにより、層間絶縁膜 40 において丸みを有する第 1 の内壁面 46a を有する第 1 の凹部 46 が形成される。ソース電極配線 60a は、当該第 1 の内壁面 46a に接して配置されるので、ソース電極配線 60a の内部に空洞が形成されることを抑制することができる。結果として、ソース電極配線 60a に大電流を流したときにソース電極配線 60a が断線することを抑制することができるため、ソース電極配線 60a の信頼性を向上させることができる。

[0078] また本実施の形態に係る MOSFET 1 の製造方法によれば、層間絶縁膜 40 を形成する工程は、層間絶縁膜 40 を加熱することにより層間絶縁膜 4

0の上部表面42bの段差T2を低減させる工程を含む。これにより、配線60は上部表面42bの段差T2が低減された層間絶縁膜40上に形成されるので、配線60の内部に空洞が発生することを効率的に抑制することができる。

[0079] さらに本実施の形態に係るMOSFET1の製造方法によれば、層間絶縁膜40を形成する工程は、ゲート電極30に接しかつ不純物がドーピングされていない第1の絶縁膜41を形成する工程と、第1の絶縁膜41を覆い、第1の絶縁膜41よりも低い軟化点を有しかつ不純物がドーピングされている第2の絶縁膜42を形成する工程とを含む。これにより、低い温度で層間絶縁膜40の上部表面42bの段差T2を低減することができる。また、第1の絶縁膜41には不純物がドーピングされていないので、たとえばリンなどの不純物がゲート絶縁膜20と炭化珪素基板10との界面に拡散し、ゲート電圧の閾値電圧が変動することを抑制することができる。

[0080] さらに本実施の形態に係るMOSFET1の製造方法によれば、層間絶縁膜40を形成する工程は、第2の絶縁膜42を覆いかつ二酸化珪素から構成された第3の絶縁膜43を形成する工程をさらに含む。二酸化珪素から構成された第3の絶縁膜43は配線60との密着性が良い。そのため、第3の絶縁膜43を形成することにより、第3の絶縁膜43上に形成される配線60のつきまわりを向上させることができる。

[0081] さらに本実施の形態に係るMOSFET1の製造方法によれば、第1の等方性エッチングはウェットエッチングである。これにより、幅W1が第1の主面10aから離れるにつれて大きくなるような第1の凹部46を効率的に形成することができる。

[0082] さらに本実施の形態に係るMOSFET1の製造方法によれば、第1の異方性エッチングはドライエッチングである。これにより、第1の主面10aの法線方向に沿って、幅W2がほぼ同じである第2の凹部47を効率的に形成することができる。

[0083] さらに本実施の形態に係るMOSFET1の製造方法によれば、等方性エ

ッチングにより形成された第3の凹部48の第3の内壁面48aに接してゲート電極配線60bが形成されるため、ゲート電極配線60bの内部に空洞が形成されることを抑制することができる。結果として、ゲート電極配線60bに電流を流した場合に、ゲート電極配線60bが断線することを抑制することができるので、ゲート電極配線60bの信頼性を向上させることができる。

[0084] さらに本実施の形態に係るMOSFET1の製造方法によれば、配線60の厚みT1は2 μ m以上10 μ m以下である。配線60の厚みが2 μ m以上であれば、配線60に大電流を流すことができる。また配線60の厚みT1が10 μ m以下であれば、配線60の加工性を向上させることができる。

[0085] さらに本実施の形態に係るMOSFET1の製造方法によれば、配線60を形成する工程は、層間絶縁膜40に接し、かつチタンから構成された第1の金属層61を形成する工程を含む。層間絶縁膜40に接してチタンから構成された第1の金属層61を形成することにより、層間絶縁膜40に対する配線60の密着性を向上させることができる。

[0086] さらに本実施の形態に係るMOSFET1の製造方法によれば、配線60を形成する工程は、第1の金属層61に接し、かつ窒化チタンまたはチタンタングステンから構成された第2の金属層62を形成する工程をさらに含む。これにより、第2の金属層62上にアルミニウムを含む第3の金属層63を形成させる場合において、アルミニウムがゲート電極30に侵入することを抑制することができる。

[0087] 本実施の形態に係るMOSFET1によれば、第1の凹部46は、第1の主面10aから離れるにつれて幅W1が大きくなるように形成され、第2の凹部47は、第1の凹部46に接続して形成されている。ソース電極配線60aは、第1の内壁面46aおよび第2の内壁面47aに接して配置される。これにより、ソース電極配線60aが第1の主面10aから離れるにつれて幅W1が大きくなる第1の凹部46の第1の内壁面46aに接して配置されるので、ソース電極配線60aの内部に空洞が形成されることを抑制する

ことができる。結果として、ソース電極配線60aに大電流を流したときにソース電極配線60aが断線することを抑制することができるため、ソース電極配線60aの信頼性を向上させることができる。

[0088] また本実施の形態に係るMOSFET1によれば、層間絶縁膜40の上部表面42bにおいてゲート電極30の外周角部30aを囲む肩部42aは、ゲート電極30の外周角部30aよりも丸みを有する。これにより、層間絶縁膜40の上部表面42bにおいてゲート電極30の外周角部30aを囲む肩部42a付近に形成されるソース電極配線60aにおいて内部に空洞が形成されることを効率的に抑制することができる。

[0089] さらに本実施の形態に係るMOSFET1によれば、ゲート電極配線60bが第1の主面10aから離れるにつれて幅W3が大きくなる第3の凹部48の第3の内壁面48aに接して配置されるので、ゲート電極配線60bの内部に空洞が形成されることを抑制することができる。結果として、ゲート電極配線60bに大電流を流したときにゲート電極配線60bが断線することを抑制することができるため、ゲート電極配線60bの信頼性を向上させることができる。

[0090] さらに本実施の形態に係るMOSFET1によれば、層間絶縁膜40は、ゲート電極30に接しかつ不純物がドーピングされていない第1の絶縁膜41と、第1の絶縁膜41を覆い、第1の絶縁膜41よりも低い軟化点を有しかつ不純物がドーピングされている第2の絶縁膜42とを含む。これにより、低い温度で層間絶縁膜40の上部表面42bの段差T2を低減することができる。また、第1の絶縁膜41には不純物がドーピングされていないので、たとえばリンなどの不純物がゲート絶縁膜20と炭化珪素基板10との界面に拡散し、ゲート電圧の閾値電圧が変動することを抑制することができる。

[0091] さらに本実施の形態に係るMOSFET1によれば、層間絶縁膜40は、第2の絶縁膜42を覆いかつ二酸化珪素から構成された第3の絶縁膜43をさらに含む。二酸化珪素から構成された第3の絶縁膜43はソース電極配線60aおよびゲート電極配線60bとの密着性が良い。そのため、第3の絶

縁膜 43 上に形成されるソース電極配線 60a およびゲート電極配線 60b のつきまわりを向上させることができる。

[0092] さらに本実施の形態に係る MOSFET 1 によれば、ソース電極配線 60a の厚み T1 は $2\mu\text{m}$ 以上 $10\mu\text{m}$ 以下である。ソース電極配線 60a の厚み T1 が $2\mu\text{m}$ 以上であれば、ソース電極配線 60a に大電流を流すことができる。またソース電極配線 60a の厚み T1 が $10\mu\text{m}$ 以下であれば、ソース電極配線 60a の加工性を向上させることができる。

[0093] さらに本実施の形態に係る MOSFET 1 によれば、ソース電極配線 60a は、層間絶縁膜 40 に接し、かつチタンから構成された第 1 の金属層 61 を含む。層間絶縁膜 40 に接してチタンから構成された第 1 の金属層 61 を配置することにより、層間絶縁膜 40 に対するソース電極配線 60a の密着性を向上させることができる。

[0094] さらに本実施の形態に係る MOSFET 1 によれば、ソース電極配線 60a は、第 1 の金属層 61 に接し、かつ窒化チタンまたはチタンタングステンから構成された第 2 の金属層 62 をさらに含む。これにより、第 2 の金属層 62 上にアルミニウムを含む第 3 の金属層 63 が配置されている場合において、アルミニウムがゲート電極 30 に侵入することを抑制することができる。

[0095] 今回開示された実施の形態はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなく請求の範囲によって示され、請求の範囲と均等の意味、および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0096] 1 MOSFET、10 炭化珪素基板、10a 第 1 の主面、10b 第 2 の主面、11 ベース基板、12 エピタキシャル層、13 ドリフト領域、14 ボディ領域、15 ソース領域（第 1 導電型領域）、16 p^+ 領域、20 ゲート絶縁膜、30 ゲート電極、30a 外周角部、40 層間絶縁膜、41 第 1 の絶縁膜、41a, 42a 肩部、42 第 2 の絶

縁膜、42b 上部表面、43 第3の絶縁膜、45 第1のマスク層、46 第1の凹部、46a 第1の内壁面、47 第2の凹部、47a 第2の内壁面、48 第3の凹部、48a 第3の内壁面、49 第4の凹部、49a 第4の内壁面、50 ソース電極（第1の電極）、55 第2のマスク層、60 配線、60a ソース電極配線（第1の配線）、60b ゲート電極配線（第2の配線）、61, 61a, 61b 第1の金属層、62, 62a, 62b 第2の金属層、63, 63a, 63b 第3の金属層、64 金属層、70 ドレイン電極、80 裏面保護電極、90 絶縁体、T1 厚み、T2, T3 段差、W1, W2, W3, W4 幅。

請求の範囲

- [請求項1] 互いに対向する第1の主面および第2の主面を有し、前記第1の主面に接してゲート絶縁膜が設けられ、前記ゲート絶縁膜に接してゲート電極が設けられ、かつ前記第1の主面に接する第1導電型領域を含む炭化珪素基板を準備する工程と、
- 前記ゲート電極および前記ゲート絶縁膜と接する層間絶縁膜を形成する工程と、
- 前記層間絶縁膜に接してマスク層を形成する工程と、
- 前記マスク層を用いて前記層間絶縁膜に対して第1の等方性エッチングを行うことにより前記層間絶縁膜に第1の内壁面を有する第1の凹部を形成する工程と、
- 前記第1の凹部を形成する工程の後、前記マスク層を用いて前記層間絶縁膜および前記ゲート絶縁膜に対して第1の異方性エッチングを行って前記炭化珪素基板の前記第1導電型領域を前記ゲート絶縁膜から露出させることにより、第2の内壁面を有する第2の凹部を形成する工程と、
- 前記第1導電型領域に接して第1の電極を形成する工程と、
- 前記第1の内壁面および前記第2の内壁面に接して配置され、かつ前記第1の電極に電氣的に接続される配線を形成する工程とを備えた、炭化珪素半導体装置の製造方法。
- [請求項2] 前記層間絶縁膜を形成する工程は、前記層間絶縁膜を加熱することにより前記層間絶縁膜の上部表面の段差を低減させる工程を含む、請求項1に記載の炭化珪素半導体装置の製造方法。
- [請求項3] 前記層間絶縁膜を形成する工程は、前記ゲート電極に接し、かつ不純物がドーピングされていない第1の絶縁膜を形成する工程と、前記第1の絶縁膜を覆い、前記第1の絶縁膜よりも低い軟化点を有し、かつ不純物がドーピングされている第2の絶縁膜を形成する工程とを含む、請求項1または2に記載の炭化珪素半導体装置の製造方法。

- [請求項4] 前記層間絶縁膜を形成する工程は、前記第2の絶縁膜を覆いかつ二酸化珪素から構成された第3の絶縁膜を形成する工程をさらに含む、請求項3に記載の炭化珪素半導体装置の製造方法。
- [請求項5] 前記第1の等方性エッチングはウェットエッチングである、請求項1～4のいずれか1項に記載の炭化珪素半導体装置の製造方法。
- [請求項6] 前記第1の異方性エッチングはドライエッチングである、請求項1～5のいずれか1項に記載の炭化珪素半導体装置の製造方法。
- [請求項7] 前記ゲート電極上に配置された前記層間絶縁膜に対して第2の等方性エッチングを行うことにより第3の内壁面を有する第3の凹部を形成する工程と、
前記第3の凹部を形成する工程の後、前記層間絶縁膜に対して第2の異方性エッチングを行って前記ゲート電極を前記層間絶縁膜から露出させることにより第4の内壁面を有する第4の凹部を形成する工程とをさらに備え、
前記配線を形成する工程では、前記第3の内壁面および前記第4の内壁面に接して配置され、かつ前記ゲート電極と電氣的に接続する前記配線が形成される、請求項1～6のいずれか1項に記載の炭化珪素半導体装置の製造方法。
- [請求項8] 前記配線の厚みは $2\mu\text{m}$ 以上 $10\mu\text{m}$ 以下である、請求項1～7のいずれか1項に記載の炭化珪素半導体装置の製造方法。
- [請求項9] 前記配線を形成する工程は、前記層間絶縁膜に接し、かつチタンから構成された第1の金属層を形成する工程を含む、請求項1～8のいずれか1項に記載の炭化珪素半導体装置の製造方法。
- [請求項10] 前記配線を形成する工程は、前記第1の金属層に接し、かつ窒化チタンまたはチタンタンゲステンから構成された第2の金属層を形成する工程をさらに含む、請求項9に記載の炭化珪素半導体装置の製造方法。
- [請求項11] 互いに対向する第1の主面および第2の主面を有し、かつ前記第1

の主面に接して設けられた第1導電型領域を含む炭化珪素基板と、
前記炭化珪素基板の前記第1の主面に接するゲート絶縁膜と、
前記ゲート絶縁膜に接するゲート電極と、
前記ゲート電極および前記ゲート絶縁膜と接する層間絶縁膜と、
前記第1の主面から離れるにつれて幅が大きくなるように形成され、
かつ第1の内壁面が前記層間絶縁膜により形成された第1の凹部と、
、
前記第1の凹部と接続し、かつ第2の内壁面が前記層間絶縁膜および前記ゲート絶縁膜により形成された第2の凹部と、
前記第2の凹部内に配置され、かつ前記第1導電型領域に接する第1の電極と、
前記第1の内壁面および前記第2の内壁面に接して配置され、かつ前記第1の電極と電氣的に接続する第1の配線とを備えた、炭化珪素半導体装置。

[請求項12] 前記層間絶縁膜の上部表面において前記ゲート電極の外周角部を囲む部分は、前記ゲート電極の前記外周角部よりも丸みを有する、請求項11に記載の炭化珪素半導体装置。

[請求項13] 前記ゲート電極上に配置された前記層間絶縁膜に形成され、かつ前記第1の主面から離れるにつれて幅が大きくなるように形成された第3の内壁面を有する第3の凹部と、
前記第3の凹部と接続し、かつ第4の内壁面が前記層間絶縁膜により形成された第4の凹部と、
前記第3の内壁面および前記第4の内壁面に接して配置され、かつ前記ゲート電極と電氣的に接続された第2の配線とをさらに備える、請求項11または12に記載の炭化珪素半導体装置。

[請求項14] 前記層間絶縁膜は、前記ゲート電極に接しかつ不純物がドーピングされていない第1の絶縁膜と、前記第1の絶縁膜を覆い、前記第1の絶縁膜よりも低い軟化点を有しかつ不純物がドーピングされている第2の絶縁

膜とを含む、請求項 1 1 ~ 1 3 のいずれか 1 項に記載の炭化珪素半導体装置。

[請求項15] 前記層間絶縁膜は、前記第 2 の絶縁膜を覆いかつ二酸化珪素から構成された第 3 の絶縁膜をさらに含む、請求項 1 4 に記載の炭化珪素半導体装置。

[請求項16] 前記第 1 の配線の厚みは $2 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下である、請求項 1 1 ~ 1 5 のいずれか 1 項に記載の炭化珪素半導体装置。

[請求項17] 前記第 1 の配線は、前記層間絶縁膜に接し、かつチタンから構成された第 1 の金属層を含む、請求項 1 1 ~ 1 6 のいずれか 1 項に記載の炭化珪素半導体装置。

[請求項18] 前記第 1 の配線は、前記第 1 の金属層に接し、かつ窒化チタンまたはチタンタングステンから構成された第 2 の金属層をさらに含む、請求項 1 7 に記載の炭化珪素半導体装置。

[1]

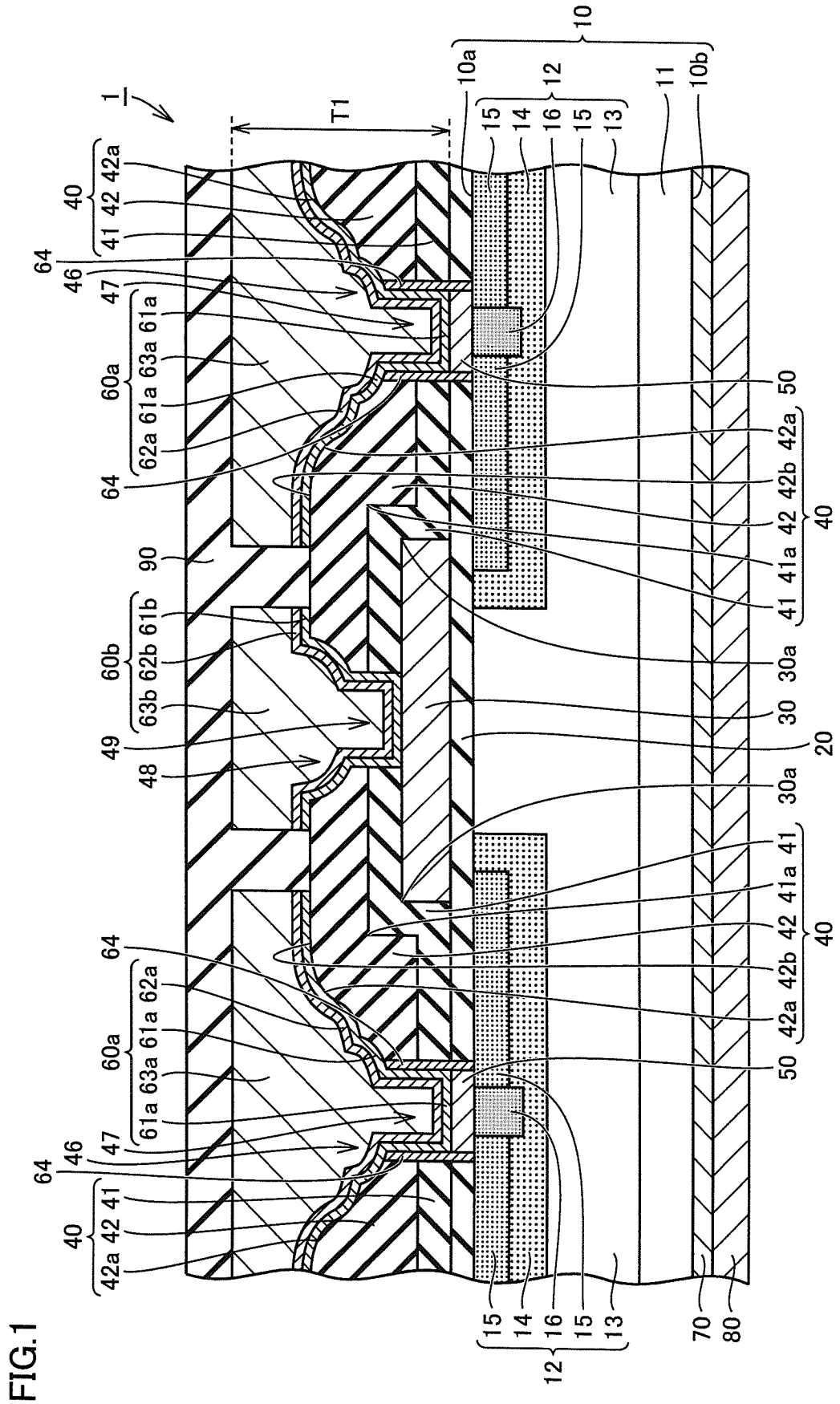
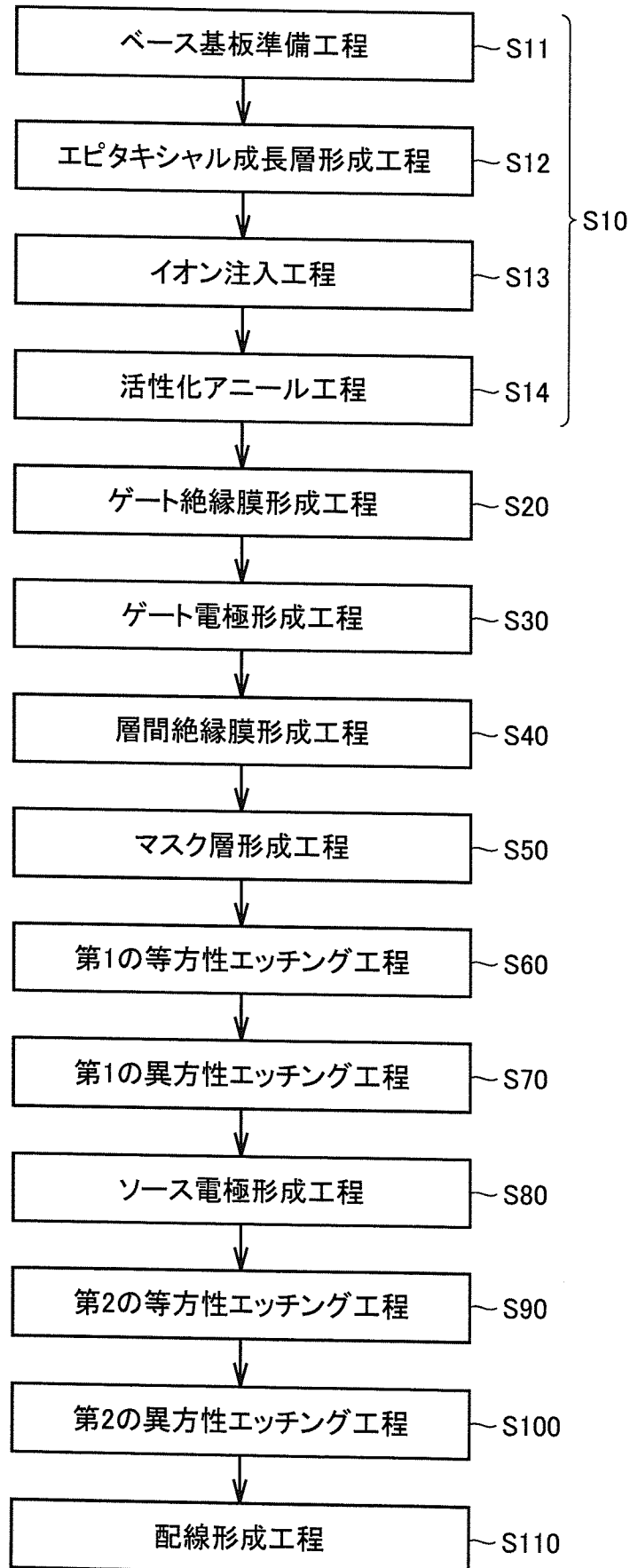


FIG. 1

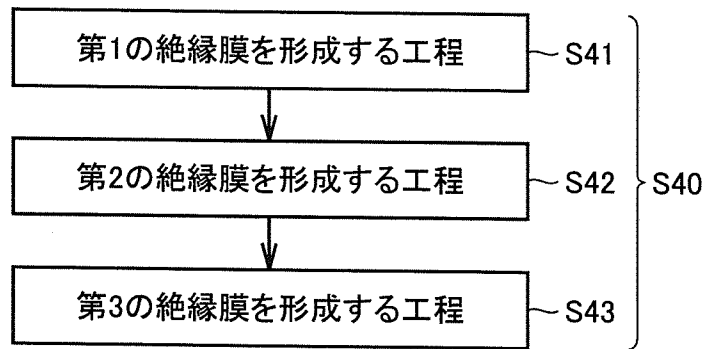
[図2]

FIG.2



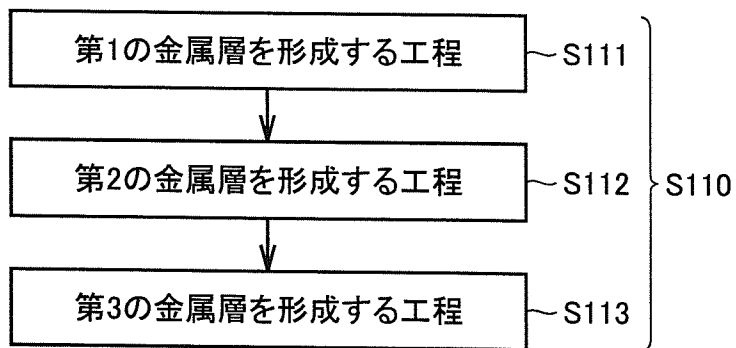
[図3]

FIG.3

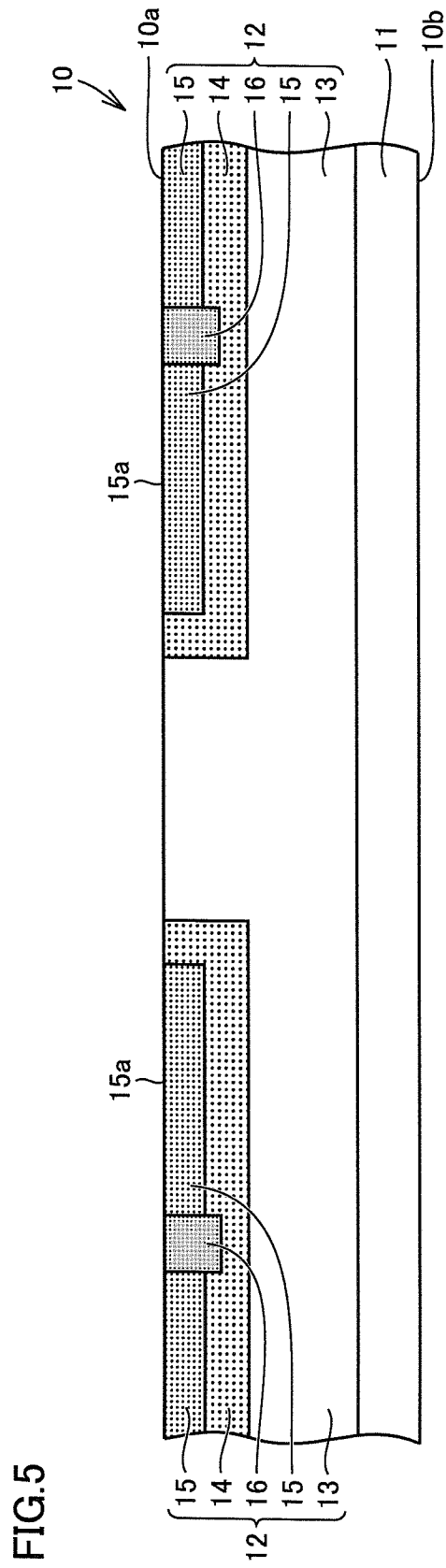


[図4]

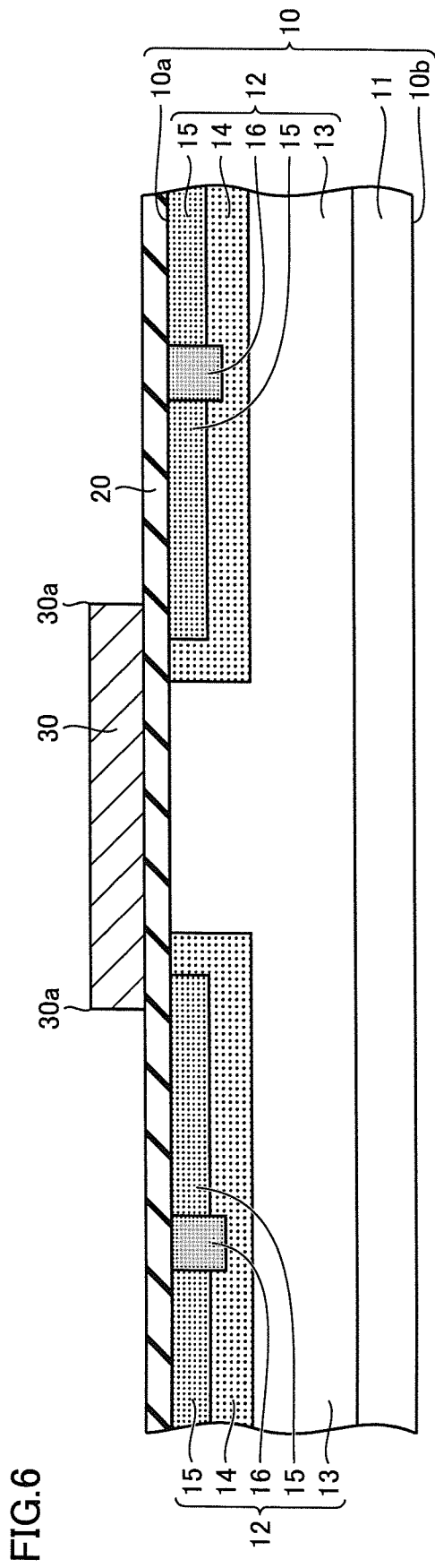
FIG.4



[図5]



[図6]



[7]

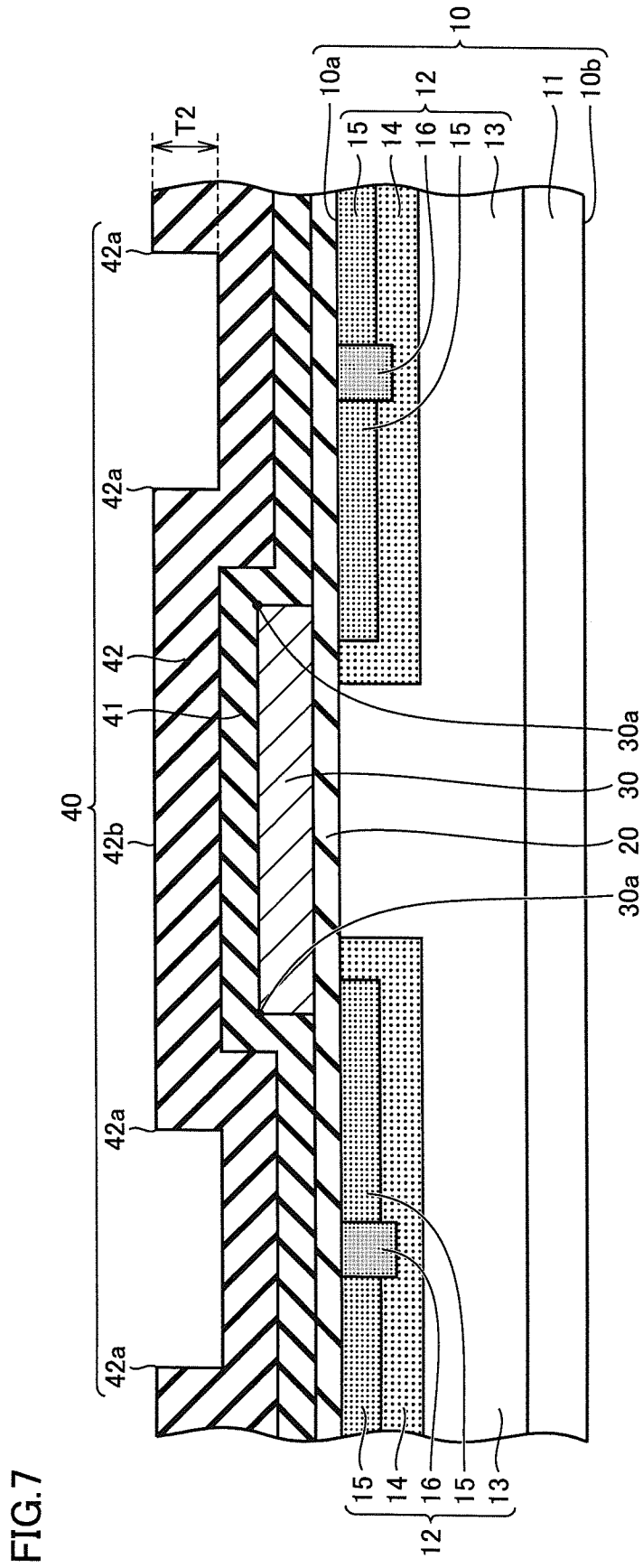


FIG.7

[8]

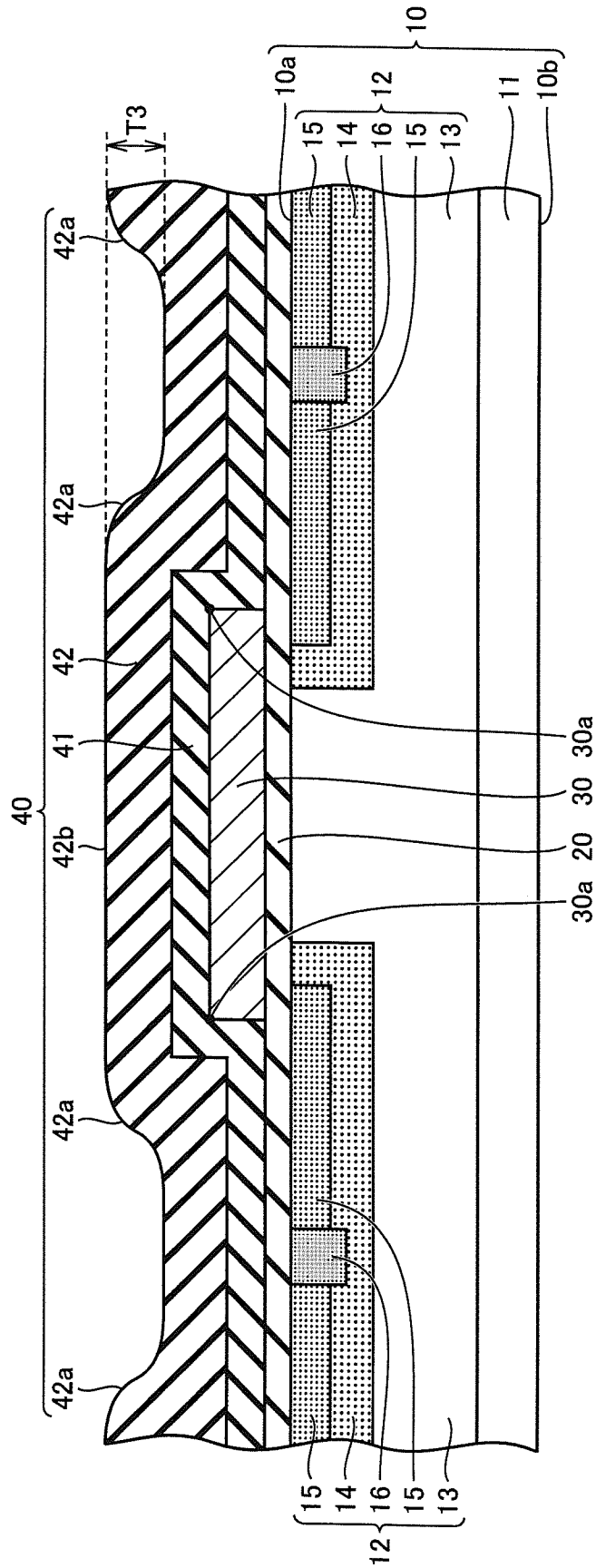
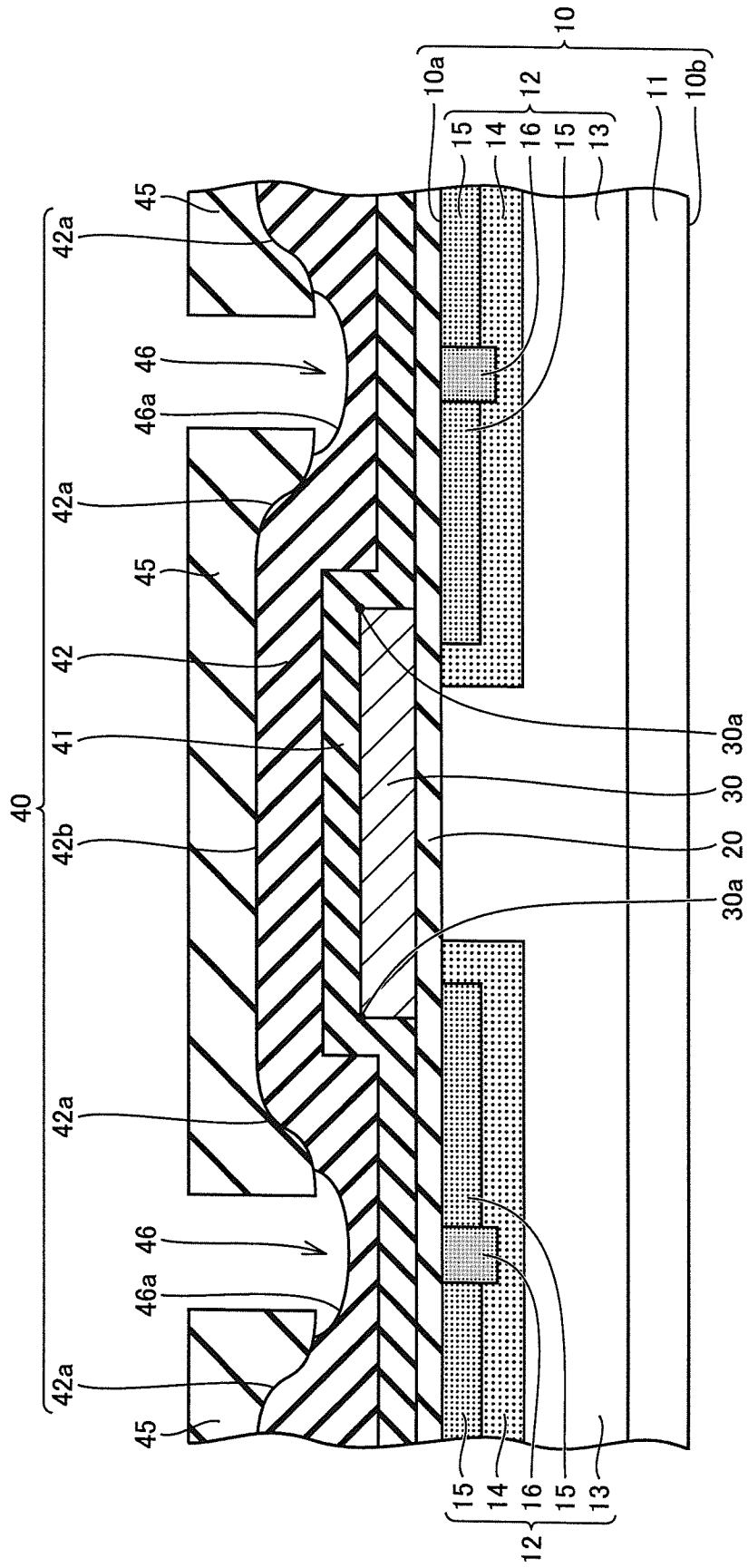


FIG.8

[10]

FIG.10



[FIG.12]

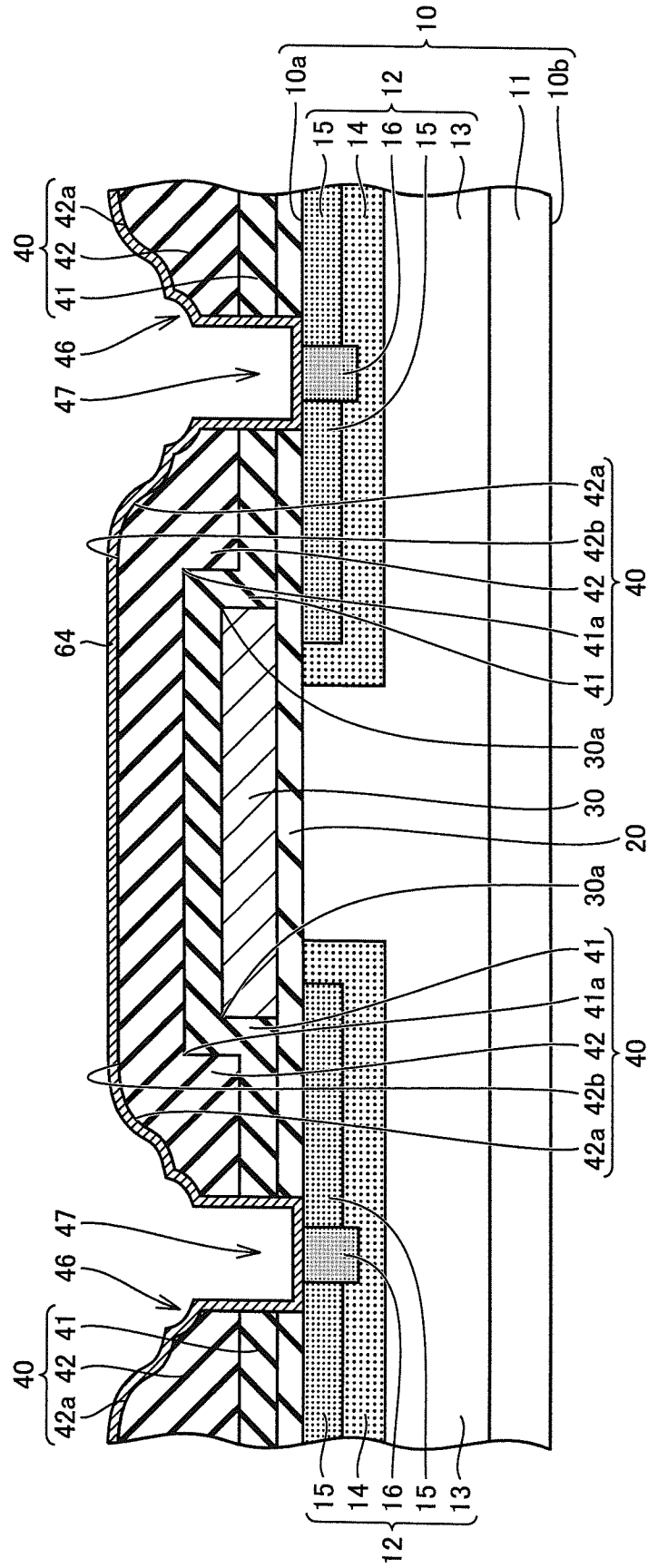


FIG.12

[FIG.13]

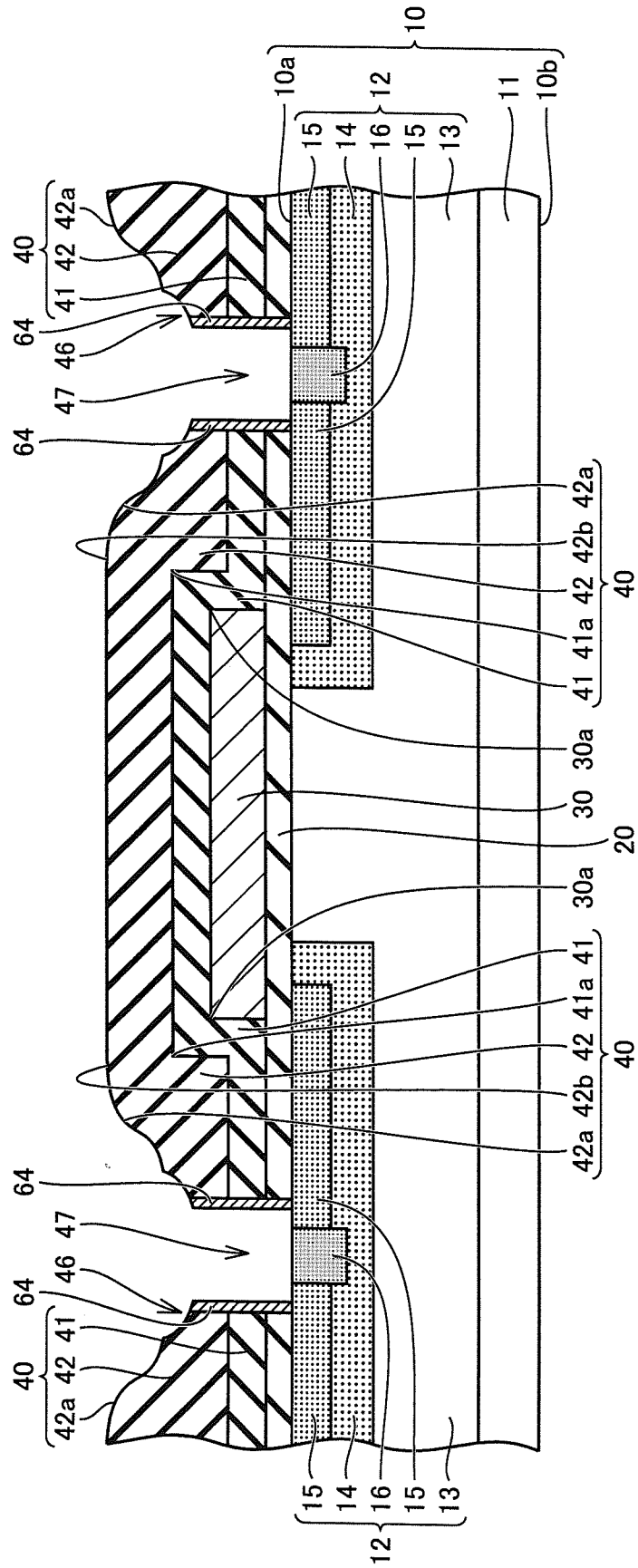


FIG.13

[FIG.14]

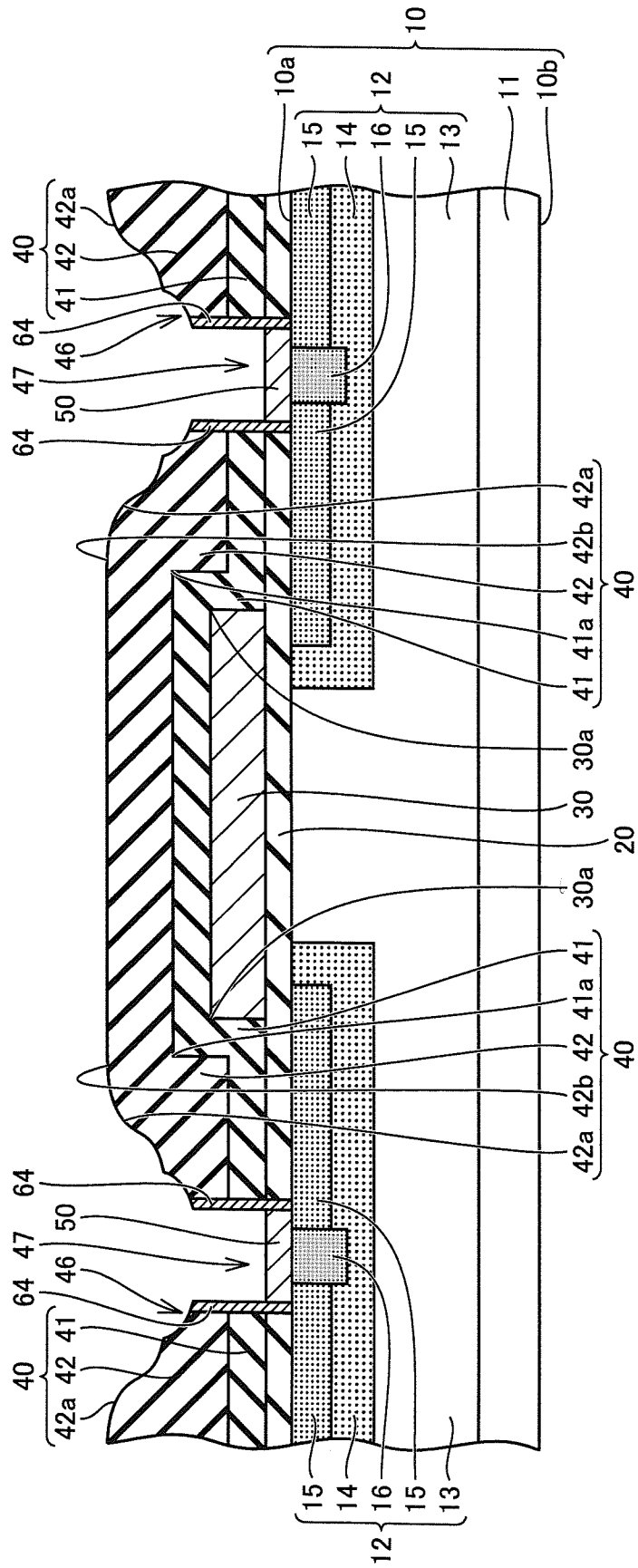
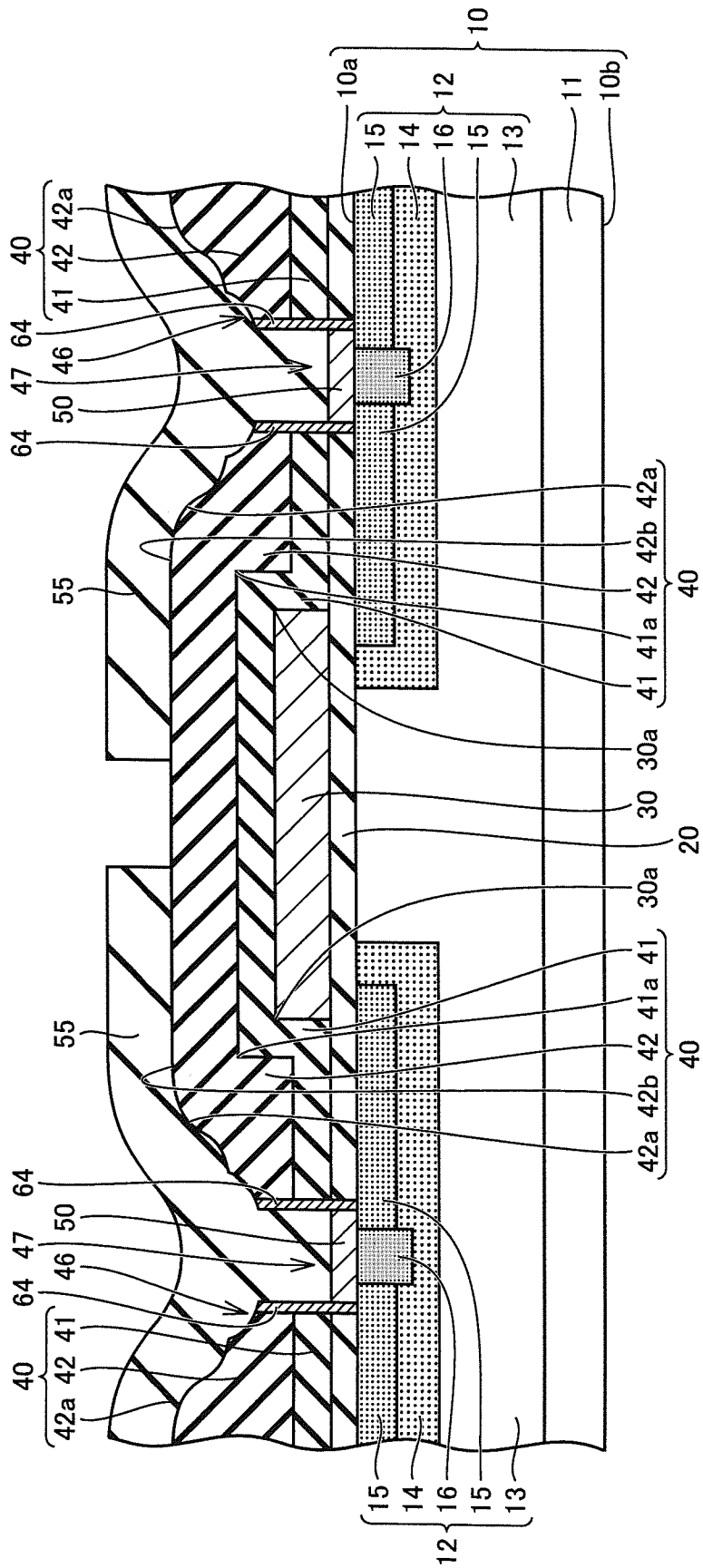


FIG.14

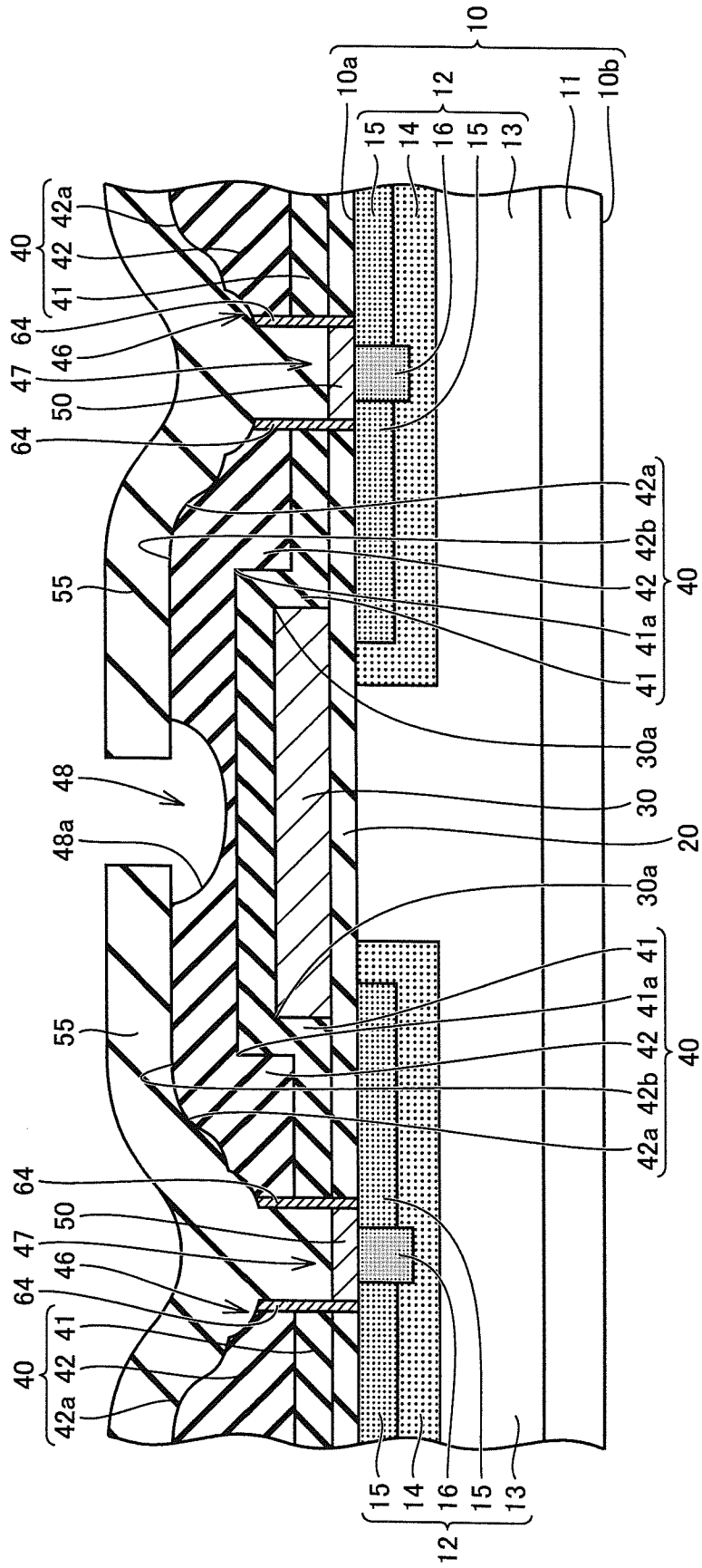
[15]

FIG.15



[FIG.16]

FIG.16



[FIG.17]

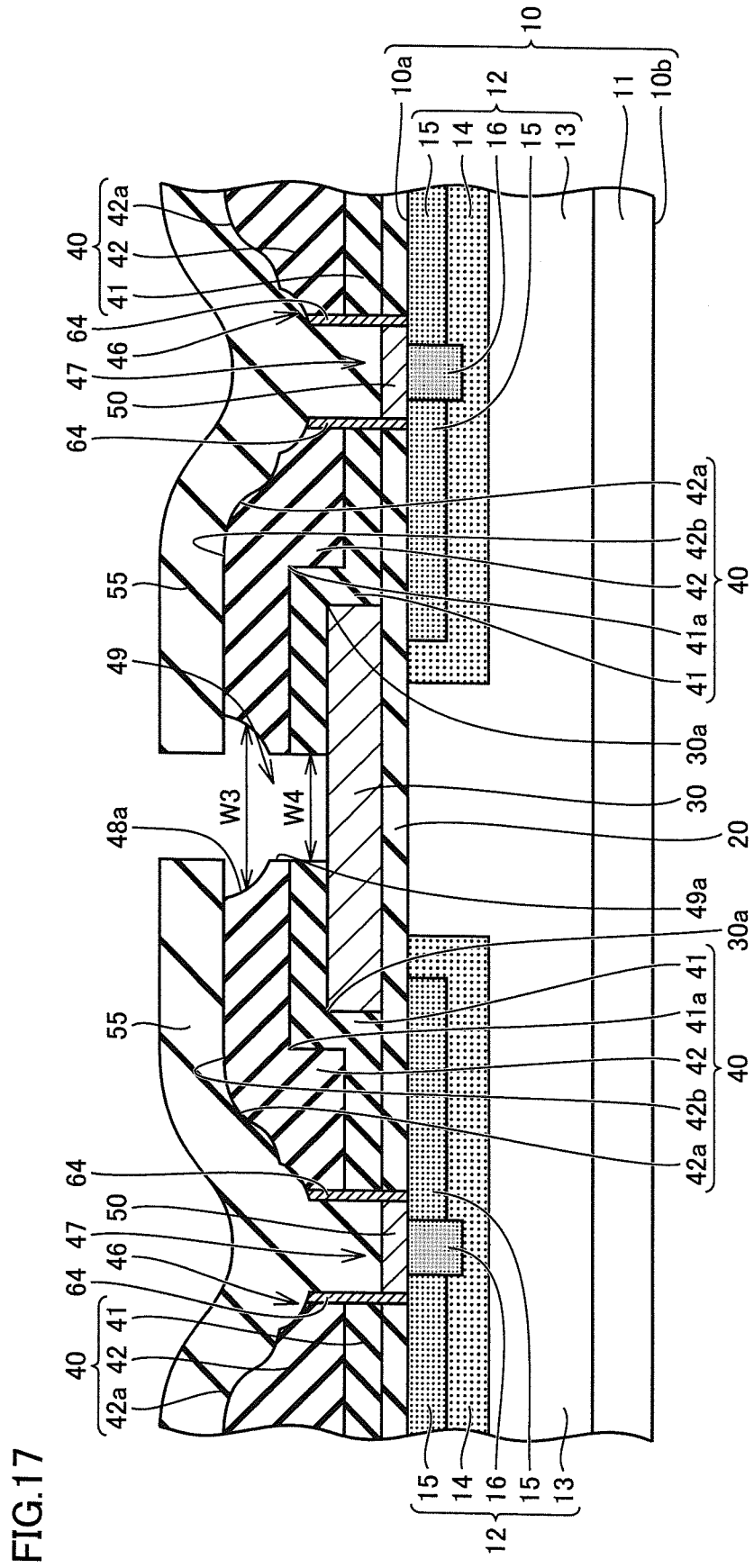
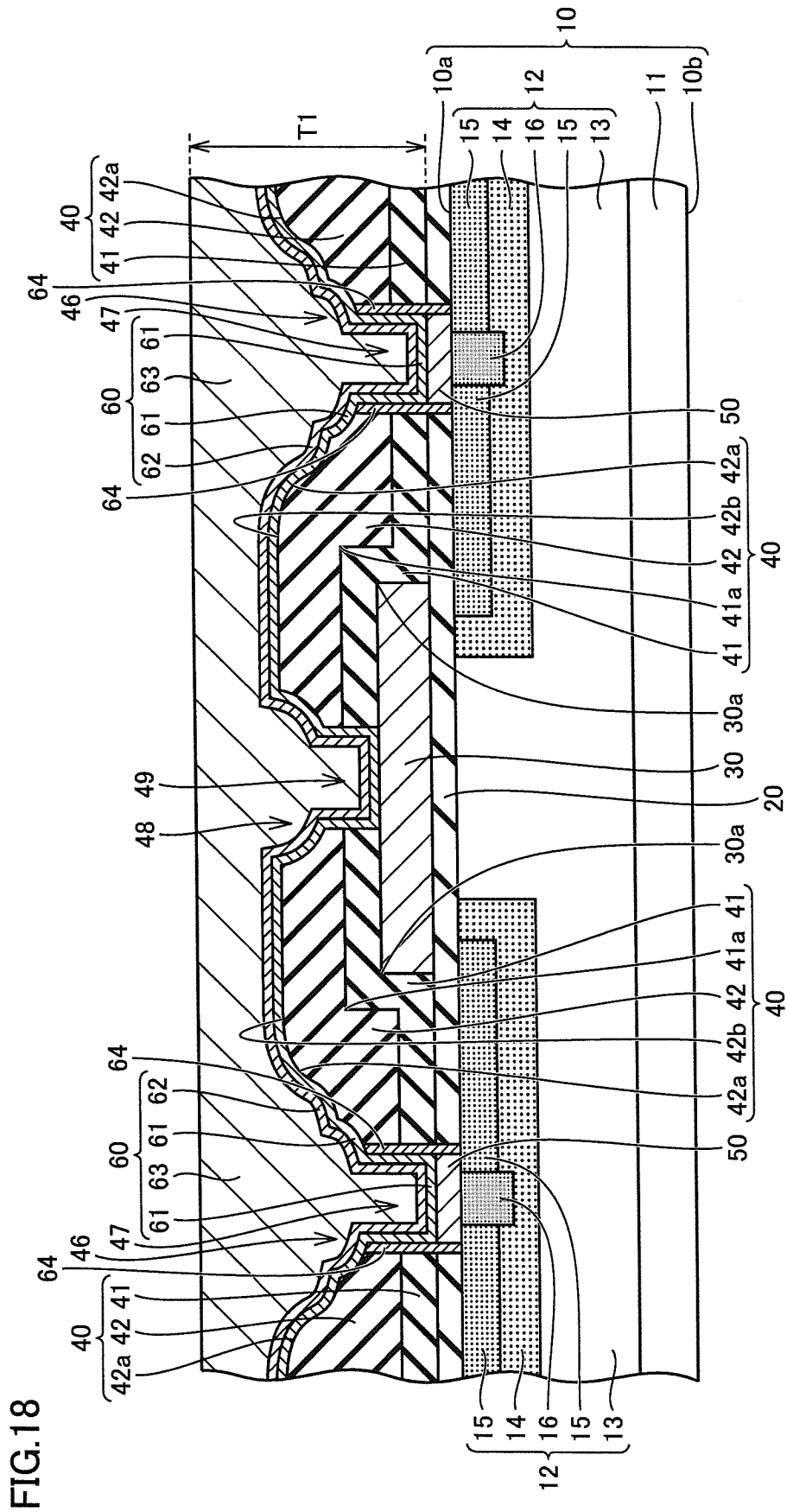
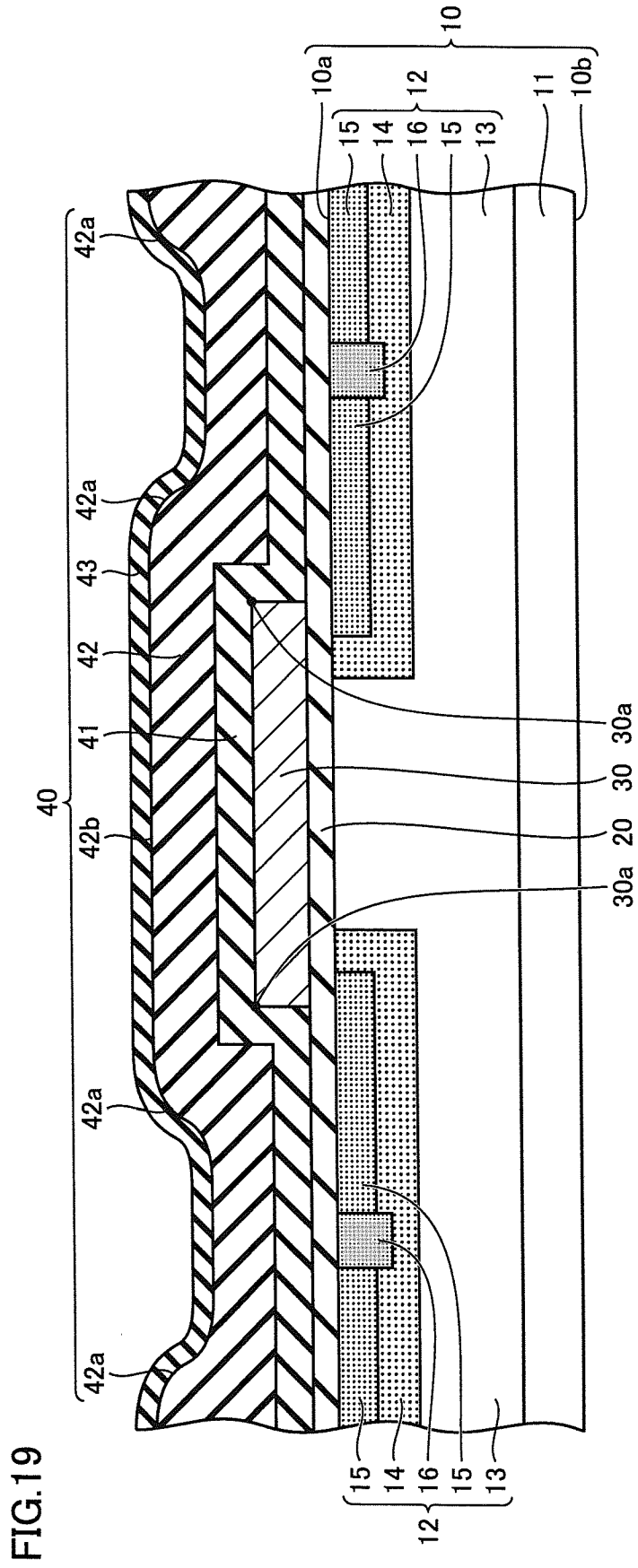


FIG.17

[18]



[FIG.19]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/050798

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/336(2006.01)i, H01L21/28(2006.01)i, H01L21/768(2006.01)i,
H01L29/12(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/336, H01L21/28, H01L21/768, H01L29/12, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2014 |
| Kokai Jitsuyo Shinan Koho | 1971-2014 | Toroku Jitsuyo Shinan Koho | 1994-2014 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|-------------------------|
| X | JP 2008-112824 A (Denso Corp.), 15 May 2008 (15.05.2008), paragraphs [0012] to [0043]; fig. 1 to 6 | 1, 2, 5-8, 11-13, 16 |
| Y | & US 2008/0102585 A1 & DE 102007051176 A1 | 3, 9, 10, 14, 17, 18 |
| A | & KR 10-2008-0039244 A & CN 101174569 A | 4, 15 |
| Y | JP 2006-173289 A (Fuji Electric Device Technology Co., Ltd.), 29 June 2006 (29.06.2006), paragraph [0014]; fig. 4, 5 (Family: none) | 3, 9, 10, 14, 17, 18 |
| Y | JP 10-321732 A (Nippon Steel Corp.), 04 December 1998 (04.12.1998), paragraph [0045]; fig. 1 (Family: none) | 9, 10, 17, 18 |

Further documents are listed in the continuation of Box C. See patent family annex.

| | |
|---|--|
| * Special categories of cited documents: | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention |
| "A" document defining the general state of the art which is not considered to be of particular relevance | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone |
| "E" earlier application or patent but published on or after the international filing date | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "&" document member of the same patent family |
| "O" document referring to an oral disclosure, use, exhibition or other means | |
| "P" document published prior to the international filing date but later than the priority date claimed | |

| | |
|--|---|
| Date of the actual completion of the international search 17 March, 2014 (17.03.14) | Date of mailing of the international search report 25 March, 2014 (25.03.14) |
|--|---|

| | |
|--|--------------------|
| Name and mailing address of the ISA/ Japanese Patent Office | Authorized officer |
| Facsimile No. | Telephone No. |

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/050798

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|-----------------------|
| A | JP 2003-318129 A (Denso Corp.), 07 November 2003 (07.11.2003), paragraphs [0049] to [0052]; fig. 5 (Family: none) | 1-18 |
| A | JP 2010-147380 A (Denso Corp.), 01 July 2010 (01.07.2010), paragraphs [0037] to [0038]; fig. 4, 5 (Family: none) | 1-18 |
| A | JP 2010-141028 A (Renesas Technology Corp.), 24 June 2010 (24.06.2010), paragraphs [0036] to [0037]; fig. 9 (Family: none) | 1-18 |
| A | JP 2007-59954 A (Toshiba Corp.), 08 March 2007 (08.03.2007), paragraph [0061]; fig. 31 (Family: none) | 1-18 |

| | | |
|--|--|-------------------------|
| A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H01L21/336(2006.01)i, H01L21/28(2006.01)i, H01L21/768(2006.01)i, H01L29/12(2006.01)i, H01L29/78(2006.01)i | | |
| B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H01L21/336, H01L21/28, H01L21/768, H01L29/12, H01L29/78 | | |
| 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2014年 日本国実用新案登録公報 1996-2014年 日本国登録実用新案公報 1994-2014年 | | |
| 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語） | | |
| C. 関連すると認められる文献 | | |
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
| X | JP 2008-112824 A（株式会社デンソー） 2008.05.15, 段落【0012】-【0043】, 第1-6図 & US 2008/0102585 A1 & DE 102007051176 A1 & KR 10-2008-0039244 A & CN 101174569 A | 1, 2, 5-8, 11-13, 16 |
| Y | | 3, 9, 10, 14, 17, 18 |
| A | | 4, 15 |
| Y | JP 2006-173289 A（富士電機デバイステクノロジー株式会社） 2006.06.29, 段落【0014】, 第4,5図（ファミリーなし） | 3, 9, 10, 14, 17, 18 |
| <input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。 | | |
| * 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献 | | |
| 国際調査を完了した日 17.03.2014 | 国際調査報告の発送日 25.03.2014 | |
| 国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号 | 特許庁審査官（権限のある職員） 土谷 慎吾 電話番号 03-3581-1101 内線 3516 | 5 F 3 1 4 3 |

| C (続き) . 関連すると認められる文献 | | |
|-----------------------|--|----------------|
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
| Y | JP 10-321732 A (新日本製鐵株式会社) 1998. 12. 04, 段落【0045】, 第1図 (ファミリーなし) | 9, 10, 17, 18 |
| A | JP 2003-318129 A (株式会社デンソー) 2003. 11. 07, 段落【0049】 - 【0052】, 第5図 (ファミリーなし) | 1-18 |
| A | JP 2010-147380 A (株式会社デンソー) 2010. 07. 01, 段落【0037】 - 【0038】, 第4, 5図 (ファミリーなし) | 1-18 |
| A | JP 2010-141028 A (株式会社ルネサステクノロジ) 2010. 06. 24, 段落【0036】 - 【0037】, 第9図 (ファミリーなし) | 1-18 |
| A | JP 2007-59954 A (株式会社東芝) 2007. 03. 08, 段落【0061】, 第31図 (ファミリーなし) | 1-18 |