

公告本

申請日期	90. 8. 6
案 號	90119123
類 別	G11C 8/00

(以上各欄由本局填註)

517246

發明專利說明書

一、發明 名稱	中 文	將記憶體矩陣之字元線去活性所用之電路配置
	英 文	Circuit arrangement to de-activate the cord line of a memory matrix
二、發明 人	姓 名	1.赫穆特菲雪(FISCHER, Dr. Helmut) 2.裘艾青舒納貝(SCHNABEL, Joachim)
	國 籍	1 德國 2.德國
	住、居所	1.德國陶夫教區 D-82024 慕尼黑納街 13 號 2.德國慕尼黑 D-81549 史塔德黑摩街 25 號
三、申請人	姓 名 (名稱)	印芬龍科技股份有限公司 Infineon Technologies AG
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-81669 聖馬丁街 53 號
	代 表 人 姓 名	麥可勾威什(Michael Gollwitzer) 荷斯特卻佛(Dr.Horst Schäfer)

(由本局填寫)

承辦人代碼:

大 類:

I P C 分類:

本案已向：

德國 (地區) 申請專利，申請日期： 案號： 2000 年 8 月 8 日 10038665.2 ， ☒有 ☐無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

五、發明說明(1)

本發明是有關於一種根據申請專利範圍第 1 項前言用於將記憶體矩陣之字元線去除活性之電路配置。

在通常的數位資訊記憶體中，此等記憶胞形成由行與列構成的矩陣(matrix)，爲了選出用來寫入與讀出的記憶胞，而將所配置有關列的"字元線"活化，並且驅動所配置有關行的"位元線"，此字元線選擇性的活化，因此此矩陣列之定址(addressing)，通常是採用列-位址解碼器(address decoder)，其具有與字元線個別連接之出口，以及具有入口用於接收數位化列位址(row address)的位元。以類似的方式藉由行位址解碼器以實施位元線選擇式的驅動。

此字元線之活化(啓動)是藉由施加活化電位而實施，其須控制調整所配置記憶胞之切換電晶體，使得此儲存於記憶胞中的電荷傳送至各個位元線上，此活化電位是由列-位址解碼器施加，其選出各待活化的字元線。

在實施了讀或寫的作業之後，字元線由於被導至去除活化電位中而再度去除活化，因爲此電位將記憶胞之電晶體截止(off)。此去除活化(de-active)電位是由串聯之位址解碼器而施加，其藉由個別配置於有關之字元線之連接裝置而使能導電，其將此有關的字元線與此有關的電位傳導輸送系統連接。此連接裝置通常是電晶體開關，其右去除活化指令中的反應中完全接通。

在一些測試中，(其實施用於記憶體矩陣上之功能檢驗)，實施短暫的活化並且然後將字元線去除活化，而在活化

五、發明說明(2)

期間沒有執行讀入或寫出作業。此測試活化可以例如作為漏電危險之證明，尤其當因此此活化要維持較長的期間及／或以稍微過高的活化電位實施時。此種漏電電流例如由被活化之字元線流至與記憶胞毗鄰未活化之字元線。可能發生之漏電電流因此影響到未活化字元線上之記憶胞之電荷負載狀態，其藉由事後檢查其記憶體內容而可確定。為了節省測試時間，此測試活化較佳在多個字元線上同時實施，並且更確切地說在此種選擇中，此活化之字元線與未活化之樣本(sample)毗鄰。此所謂的"多重字元線選擇"可以預先程式設計於列位址解碼器中，其例如應該在於選出每四個字元線用於活化，而介於其間的字元線則保持未活化。

在將多個活化之字元線同時去除活化時，此經由所配置之去除活化之電晶體所流過的放電電流相加至相當高的總電流(其將網路負載)，其導致去除活化(de-activate)電位。此網路因此主要是由非活化字元線，以及由於在列位址解碼器中由於位置相當狹窄並且因此是相當高歐姆電阻之佈線所構成。其將去除活化電位分配於解碼器之配置於接線上之其他元件。由於此佈線所形成金屬化之高的電阻，而在將活化的字元線同時去除活化時，在上述的網路上產生電阻之電壓降，其由其他的非活化的字元線負載，最強的是在直接毗鄰的樣本。在此處實施較大的電壓上升，其與活化字元線的總數成比例，並且因此與力求達成之時間節省成比例。此所產生之電壓上升造成在相關的字元線

五、發明說明(3)

中，所配置記憶胞電晶體之截止效應之降低，因而在毗鄰記憶胞中的資訊會部份或全部被拭去。

爲了防止種危險，截至目前爲止將在"多重-字元線-選擇"中各自同時選出之字元線之數目保持得小。然而其產生作爲結果是須要較長的測試時間。其替代的方式是，將此去除活化電位之網路設計成非常低歐姆電阻，然而其所須之較寬之金屬化以及由於位置的理由，此方式並非所期望。

本發明的目的是提供一種技術裝置，其允許在記憶體矩陣上同時有相當大數目之活化字元線，並且沒有干擾副作用地去除活化。此目的是根據本發明藉由具有在申請專利範圍第 1 項中所說明之特徵之電路配置而達成。

本發明有利之配置是難申請專利範圍附屬項中突顯其特色。

因此本發明在一電路配置上實現記憶體矩陣之字元線之去除活化，其每一個可控制的連接裝置用於連接此有關的字元線與一具有共同的用於導引字元線之去除活化電位之輸送系統。其中設有控制電路，其在去除活化指令的反應中產生一個使得可控制的連接裝置導電的去除活化控制信號。根據本發明此控制電路包括可選擇地接通之衰減裝置，其在接通的狀態中此經由造成導電之連接裝置所流過的電流被限制於此種範圍中，使得經由此輸送系統所流過之所有電流不超過預設之值。

以根據本發明所設之衰減裝置，使得在此傳導去除活化

五、發明說明(4)

電位之輸送系統中之強的電流，以及因此以上所提到進一步的電壓升高(其在將字元線以正常的方式同時去除活化時須擔心)，可以降低或完全避免。它因此可以，在多重一字元線－選擇"中的測試以遠較迄今為多之字元線實施，並且因此縮短在記憶體矩陣上的整個測試時間。

此所期望之電流限制可以藉由改變字元線－連接裝置之有效電阻與去除活化電位－輸送系統之有效電阻之比例而達成。藉由此在字元線與去除活化電位－輸送系統之間2連接裝置電阻之增加，此活化字元線之釋放電流在所有非活化字元線上的分配改善。與此相應的，此根據本發明的有利的實施形式之衰減裝置具有裝置，用於增加連接裝置之電阻。

此裝置可以是在每一個連接裝置上設有列電阻器，其在正常的情況下中斷(OFF)，只有在當同時多個活化之字元線去除活化時，才有效的接通。然而此須要多個額外的構件與佈線。其本身是採用靈巧的方式，當每一個連接裝置如以本身所熟知的方式，當每一個連接裝置如以本身所熟知的方式是由去除活化之電晶體所構成時，其主要的電流區段是位於有關的字元線與輸送系統之間，並且其控制電極接收去除活化之控制信號。在此情況中可以藉由用於去除活化控制信號之電壓上升之減少，因此藉由此信號之驅動上述電晶體振幅之降低，而達成連接裝置電阻之增加。另外或替代式的，此根據本發明之衰減裝置包括設備用於延長此去除活化控制信號之上升時間。由於避免了釋放

五、發明說明(5)

電流高的尖峰(如同此外它在去除活化控制信號之大的側面斜度中所產生)，因此同樣地達成電流之限制。

本發明以及尤其是配置本發明之特徵，在以下根據附圖作進一步說明，其顯示較佳實施形式之流程圖。

圖式之簡單說明

本發明之唯一圖式顯示將記憶體矩陣之字元線去活化所用之電路配置。

此圖式顯示記憶體矩陣 1 之邊緣之右邊的一部份，而各個字元線 WL 注入其中。通常此等字元線組織成重疊的組，其中此不同組的字元線在行的方向中循環地接續相繼設置，在此說明的情況中是四組，並且更進一步地說明，只有每一組之三個第一的字元線 WL，其為第一，第五與第九個字元線形成於整個列序列中，此位於其間之另外三組字元線僅以虛線表示。

此記憶體矩陣 1 形成記憶體模組之多個區段。此區段本身與每一區段中的字元線 WL 是選擇性地可由列位址解碼器所驅動，其此外包括所說明的電路。在此解碼器中還設有電源或饋電線用於提供固定並且明確不同的電位。因此屬於此電位，其為"低"位準(L-位準，例如 0 伏特)與"高"位準(H-位準，例如+2 伏特)，用於界定二位元值或邏輯值"0"與"1"，以及其他的電位，其以下將進一步的說明。其採用 H-位準其相對應於邏輯"1"並且為正，以及"L-位準"其相對應於邏輯"0"。

每一個字元線 WL 可以經由各第一字元線－電晶體 T1(以

五、發明說明(6)

下稱為活化電晶體)，而在活化電位中驅動。此電位在此所描述的情況中是 H-位準。其須將記憶體矩陣 1 之毗鄰字元線(未圖示)之記憶胞電晶體調整控制，使得它將此在記憶胞中所儲存的電荷傳送至各個位元線中。每一個活化電晶體 T1 是具有 P-通道之場效應電晶體(P-FET)(較佳是在 MOS 結構中)，經由其通道此有關的字元線被置於 H-位準中，這是當其閘極電極從位址解碼器接收具有 L-位準之字元線－選擇信號 WAS 時發生。此 H-位準是經由共同的驅動器線路 TL 而供應給屬於字元線之各自本身組之活化電晶體 T1 之所有通道。作為字元線驅動信號 WTS 之雙位元狀態，當字元線活化在有關的組上進行時，此狀態由位址解碼器帶至 H-位準中。

此外，每一個字元線 WL 經由第二字元線－電晶體 T2(以下稱為去除活化電晶體)，而連接饋電線 DL，其與去除活化電位之電源 L_L 連接。此電位較佳是在一位準，其較 L-位準還"更低"(負)(例如是 -0.3 伏)以便它可靠地截止"記憶體矩陣 1 之記憶胞電晶體與字元線連接。此去除活化電晶體 T2 是具有 N-通道之場效應電晶體(N-FET)，其較佳是在 MOS-結構中。

為了活化一組字元線 WL，位址解碼器將字元線驅動器信號 WTS 帶至 H-位準中，並控制字元線選擇信號 WAS，其用於在 L-位準中之字元線之待活化之樣本。因此接通此所配置之活化電晶體 T1，並且此有關的字元線在 H-位準中驅動。在活化之前與活化之後，信號 WTS 是保持在 L-位準

五、發明說明(7)

中。此對此使用之控制電路在圖示未說明。

根據描述只有此使用於將第一組字元線 WL 去除活化之控制電路，其在圖式中整個以參考號碼 2 表示。對於另外三個字元線組的每一個相同地設有此種控制電路。此控制電路 2 具有輸出線路 AL，其與所有的去除活化電晶體 2 之閘極電極連接，以便提供去除活化控制信號 DSS 用於控制此等電晶體。第一輸入線路 EW 是用於接收相鄰之字元線驅動器信號 WTS，第二輸入線路 EM 是用於接收相鄰之模組調整信號 MES，以及第三輸入線路 ED 是用於接收相鄰之去除活化指令信號 DBS。

與此輸出線路 AL 相連接的是三個不同的電流控制分支。此第一分支經由 N-FET T6 之通道而通往 L_L 電位。第二分支包括兩個 P-FET T4 與 T5，其通道在介於輸出線路 A_L 與用於 H-位準電位源之間串聯。此等 FETS T4 與 T5 是切換電晶體，其在導通(ON)的狀態中不具有額定的電阻值。此第三分支包括此通道在串聯電路中的兩個 P-FETS T7 與 T8，以及一個作為二極體而接通之 P-FET T9，並且通往電位源 H_L 。其為負則作為 H-位準，然而為正作為 L-位準。

此 P-FET T4 之閘極電極是與輸入線路 EW 連接。此 P-FET T5 之閘極電極是與 ODER-裝置 10 之輸出相連接，其具有兩個輸入，其第一個輸入與輸入線路 EM 連接，以及其第二個輸入與輸入線路 ED 連接。P-FET T6 與 P-FET T8 之閘極電極是與位準轉換器 20 的輸出連接，其信號輸入是與輸入線路 ED 連接。此 P-FET T7 之閘極電極是與位準轉換

五、發明說明(8)

器 30 之輸出連接，其信號輸入經由反相器 40 與輸入線路 EM 連接。此等位準轉換器 20 與 30 是彼此相同並且以所熟知的方式設置，以便在當其信號輸入具有二位元值 "1" 時在其輸出上提供 H-位準信號，並且當其信號輸入具有二位元值 "0" 時，提供 L-位準之信號。此控制電路 2 是介於兩個作業方式之間可切換，其在以下稱為 "正常模式" 與 "測試模式"。用於切換是使用模式調整信號 MES 其設定 "0" (L-位準) 用於正常模式，以及設定 "1" (H-位準) 用於測試模式，以下說明此兩個模式。

正常模式

在正常模式中此控制電路 2 以一般的方式運作，以便當在輸入線路 ED 上接收到字元線去除活化指令時，在其輸出線路 AL 突然地帶至 H-位準中，並且因此此去除活化電晶體 T2 具有陡峭之上升側面而在飽和中驅動，因此與此電晶體 T2 相鄰的字元線 WL 儘可能快地經由饋線 DL 放電至 L_L-位準中。

當在操作中此記憶體矩陣各應該具有一個唯一的字元線 WL，藉由所配置之字元線選擇信號 WAS 之 L-位準而被活化或去除活化時，則此正常模式被調整。因此模式調整信號 MES 保持在 "0" 中。當此字元線活化結束時此在其輸入線路 EW 所接收的信號 WTS 如同上述是接通於 L-位準中。因此 P-FET T4 是在輸入口上調整。

當沒有去除活化指令時，此在指令輸入 ED 上的信號 DBS 是在 "1" 中，因此位準轉換器 20 將 H-位準與 P-FET T6

五、發明說明(9)

之閘極電極耦合(連接)。此 P-FET T6 因此是導電，並且將其輸出線路 A_L 保持在 L_L -位準中，因此字元線-去除活化電晶體 T2 保持被截止。P-FET T5 目前仍然不導電，這是由於其閘極電阻由 ODER-裝置 10 之輸出獲得 H-位準("1")，因為在裝置 10 的兩個輸入端從指令輸入 ED 接收到"1"。P-FET T7 是藉由位準轉換器 30 的輸出信號而被截止，此輸出信號是在 H-位準中，因為在此位準轉換器的輸入端上出現"1"(模式調整信號"0"之反相)。P-FET T8 是藉由位準轉換器 20 之輸出端之 H-位準而被截止。

此去除活化指令由藉由將信號 DBS"1"交換成"0"而施加(此 DBS 信號於此說明的情況中是"低活化"信號，如其藉由字母組 DBS 上面劃線而於圖式中所顯示者)。位準轉換器 20 將此在輸入端 ED 上出現的"0"轉換至 L_L -位準中，因此 N-FET T6 被截止，而 L_L -電位與輸出線路 A_L 分離。此外，ODER-裝置 10 的輸出(其接收信號 MES 與 DBS)是在 L-位準("0")中，因為其兩個輸入端此時在"0"中。這造成 P-FET T5 接通並且在輸出線路 A_L 與 H-電位之間產生低歐姆電阻的連接。此低歐姆性導致輸出線路 A_L 之電位突然立刻上升至完全的 H-位準中。

它因此在線路 A_L 中產生具有陡峭側面之去除活化控制信號 DSS，作為對於去除活化指令 DBS 之回應，此控制信號 DSS 以所欲之快速與完整的方式將字元線去除活化電晶體 T2 在飽和狀態中接通，以便此活化字元線 WL 儘可能快地放電至 L_L -電位中。

五、發明說明(10)

測試模式

當使用多種-字元線-選擇而用於測試記憶體矩陣時，則使用此模式，在其中各自多個字元線 WL 應藉由在多個電晶體 T1 上信號 WAS 之 L-位準而活化，並且一起去除活化。因此模式調整信號 MES 是設定在 "1"。當字元線活化結束時，此在輸入線路 EW 上所接收之信號 WTS 如上述被接通於 L-位準中。因此 P-FET T4 在輸入端被調整控制。

在去除活化指令出現前，此在指令輸入端 ED 上的信號 DBS 仍然是 "1" 中，因此位準轉換器 20 將其 H-位準與 P-FET T6 之閘極電極耦合(連接)。此 P-FET T6 因此導電，並且將輸出線路 AL 仍然保持在 L_L-位準中，因此此字元線去除活化電晶體 T2 仍然保持被截止。此 P-FET T5 在控制電路之測試模式中持續不導電，由於其閘極電極從 ODER 裝置 10 的輸出端得到 H-位準("1")。因為此在測試模式期間在其兩個輸入端上由輸入線路 MES 接收此 "1"。此 P-FET T7 在測試模式的期間藉由位準轉換器 30 之輸出信號而接通，其此時在 L_L-位準中，由於在此位準轉換器之輸入端上出現 "0"(模式調整信號之 "1" 的反相)。此 P-FET T8 藉由來自位準轉換器 20 之輸出端之 H-位準目前仍然保持被截止狀態。

當在此時施加去除活化指令，(藉由它將信號 DBS 由 "1" 轉換成 "0")，位準轉換器 20 將此 "0" 轉換成在輸出端上的 L_L-位準中，因此 P-FET T6 被截止，此 L_L 電位與輸出線路 AL 分離。位準轉換器 20 之輸出端的 L_L-電位此時將 P-FET

五、發明說明(11)

T8 接通，因此經由此電晶體 T8，同樣導電之 P-FET T7 以及 "二極體" T9，在輸出線路 AL 與 H_L -電位之間產生導電連接，因而連接輸出線路 AL 之字元線-去除活化電晶體 2 是設置於導電狀態中，以便此所配置之字元線 WL 放電至去除活化電位 L_L 中。

須將元件 T7，T8，T9 以及電位 H_L 定尺寸，使得此作為回應而在去除活化指令上所產生的在線路 AL 中的去除活化控制信號 DSS，較先前說明的正常模式具有另外的特點，以便限制在所控制之去除活化電晶體 T2 中之放電電流。當信號 DSS 之終端振幅保持在此位準之下時，則產生電流限制，此電流導致此去除活化電晶體 2 之完全接通。這藉由使用以下而達成：使用電位 H_L (其較 H-位準 (例如是 +1.6 伏特) 稍微正)，以及藉由作為二極體而接通之 P-FET T9，(在其上產生另外恒定之電壓降，其高度為 P-FET T9 之臨界電壓 V_{th} (例如大約 0.6 伏特))。因此，此去除活化控制信號 DSS 被提高至 $H_L - V_{th}$ 之位準中，其明顯地低於此在正常作業中經由電晶體 T4 與 T5 所達成之 H-位準。此去除活化電晶體 2 因此並未達成其完全的導電能力，並且所以較正常模式驅動較少的電流。還有字元線之保持非活化之樣本 (sample)，因此以高歐姆電阻方式連接 L_L -饋電線系統 DL。此去除活化之電晶體 2 之有效通道電阻對饋電線系統 DL 之電阻之比例以此方式提高，由於由活化之字元線產生放電電流，因此在未活化的字元線上沒有產生有害的電壓提高。

電流之限制還可以藉由降低此去除活化控制信號 DSS 之

五、發明說明(12)

側面斜度而達成。在此信號之陡峭的上升側面中，此經由去除活化電晶體 2 流過而從放電之開始由活化字元線 W_L 所產生之放電電流，具有一高的尖峰，其非常有助於在此等未活化字元線上非所欲之電壓之提高。在本發明特殊的實施例中因此採取措施，以降低上述之側面斜度。

在所說明的控制電路 2 中此措施在於須形成電路分支，其包括 P-FET T7 與 T8 之串聯電路，使得它在接通的狀態中具有可覺察之通過電阻(其大於 P-FET T4 與 T5 之通過電阻)。此電阻越高，則此去除活化控制信號 DSS 之上升側面越平坦，這是由於增高之 RC 時間常數與去除活化電晶體 T2 之閘極-主體-電容。此可覺察之通道電阻較佳是藉由 P-FET T7 與 T8 相當小的尺寸(相較於 P-FET T4 與 T5 之尺寸)而設立。

在圖式中說明 P-FET T7 與 T8 作為具有降低臨界電壓之電晶體。此種元件之使用在有關電路之爭取達到之特性的意義上是有利的。然而它還可以使用沒有降低臨界電壓之之電晶體。在相同的意義中可以如所說明的有利，其將電晶體 T7，T8，T9 之基板終端設置於電位 H_L 上。

本發明並不限於以上所說明以及在圖式中所描述之控制電路 2，其只是一個實施例用於實現本發明之構想。它可以是此所說明電路配置或是可以替代的實施形式之不同的變化。

因此此作為二極體而接通之 P-FET T9 可藉由真正的二極體而替換，它在當電位 H_L 單獨地已經夠低時，它還可以沒

五、發明說明(13)

有替代補償地被刪去，以便達成信號 DSS 之終端振幅之致力達成之減少。當此作為二極體而接通之 P-FET T9(或是在那裡的一個二極體)之臨界電壓獨自符合用於位準降低時，還可以不使用電位 HL，而將完整的 H-位準設置於有關之電流分支的終端上；如所期望的可以將多個作為二極體而接通的電晶體(或是多個二極體)串聯。此等上述之電流分支之可感受到的電阻是用於降低信號 DSS 之側面斜度，其還可藉由插入另外的電阻元件而達成，或是，藉由電晶體 T7 與 T8 之至少一個而控制其限制，例如藉由降低此由位準轉換器 30 所提供之接通位準。它還可以藉由只降低此去除活化控制信號 DSS 之側面斜度或終端振幅，而滿足其要求。

其共同的指標是，當將多個活化之字元線去除活化時，此由各個字元線所流出之各個電流各自如此大的受到限制，使得此等電流之總和保持在關鍵值之下。此經調整之電流限制措施取決於，例如，想要將多少活化之字元線同時去除活化；以及例如，此關鍵值是多高。此後者主要是藉由用於去除活化電位之饋電線系統之取決於結構之阻抗 (impedence) 而決定。此指標形成用於調整電流限制之周邊條件，並且因此是用於構件與位準之大小之週邊條件 (boundary condition)，其被考慮在根據本發明的衰減裝置中用於電流之限制。

符號之說明

1..... 記憶體矩陣

五、發明說明(14)

2.....控制 電路

10.....ODER 裝置

20.....位 準 轉 換 器

30.....位 準 轉 換 器

40.....反 相 器

T1.....活化 電 晶 體

T2.....去 除 電 晶 體

T4.....控制 分 支 電 晶 體

T5.....控制 分 支 電 晶 體

T6.....控制 分 支 電 晶 體

T7.....控制 分 支 電 晶 體

T8.....控制 分 支 電 晶 體

T9.....作 爲 二 極 體 接 通 之 電 晶 體

AL.....輸 出 線 路

DL.....去 除 活 化 電 位 - 饋 電 線

ED.....指 令 輸 入 線 路

EM.....模 式 輸 入 線 路

EW.....輸 入 位 元 線 驅 動 器 信 號

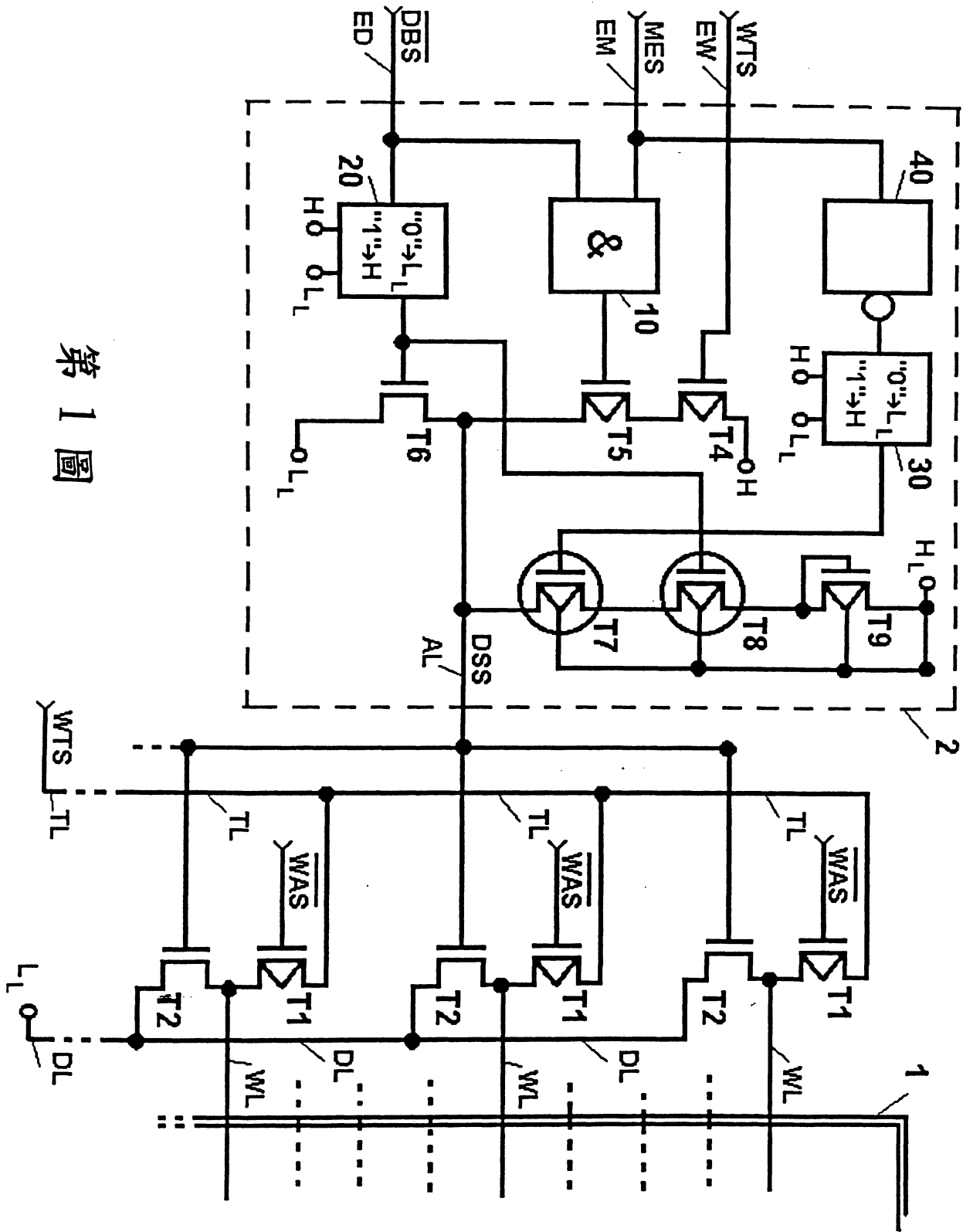
TL.....驅 動 器 信 號 線 路

四、中文發明摘要 (發明之名稱： 將記憶體矩陣之字元線去活性所用之)
電路配置

本發明是關於一種電路配置，用於將記憶體矩陣(1)之字元線(WL)去活化，其每一個可控制之連接裝置(T2)用於連接有關的字元線，與一共同的，其去活化電位用來操縱字元線之饋電線系統(DL)，此電路配置包括控制電路(2)，此在去活化指令(DBS)中之回應中產生一使得此可控制的連接裝置(T2)導電之去活化控制信號(DBS)。根據本發明設有可以選擇方式接通之衰減裝置(T7-T9，HL)，其在接通的狀態中，此經由此被使得導電之連接裝置(T2)流過之電流須限制於此種範圍中，使得經由此饋電線系統(DL)所流過之總電流不超過預設值。

英文發明摘要 (發明之名稱： Circuit arrangement to de-activate the word)
line of a memory matrix

The present invention relates to a circuit arrangement to de-activate the word line (WL) of a memory matrix (1), its every controllable connection device (T2) to connect the related word line with a feed line system (DL) which uses a common de-activation potential for manipulating the word line. The circuit arrangement includes a control circuit (2), which in the response of a de-activation order (DBS) generates a deactivation-control-signal (DSS) which makes the controllable connection device (T2) conductive. According to the present invention it is provided with a selectively connectable damping device (T7-TP, HL), which in the connected state the current flowing through the made conductive connection device (T2) is restricted to such a range, that the total current flowing through the feed-line-system (DL) does not exceed a pre-determined value.



第 1 圖

91.4.29修正
補充

六、申請專利範圍

第 90119123 號「將記憶體矩陣之字元線去活性所用之電路配置」專利案 (91 年 4 月修正)

六 申請專利範圍

1. 一種將記憶體矩陣(1)之字元線(WL)去活化(de-activate)之電路配置，其每一個可控制之連接裝置(T2)用於連接有關的字元線與一共同的，將去活化電位用於操縱字元線之饋電線系統(DL)，

此電路配置具有控制電路(2)，其在去活化指令(DBS)的回應中產生一使得此可控制的連接裝置(T2)導電的去除活化控制信號(DSS)，其特徵為，

- 以選擇方式可接通之衰減裝置(T7-T9，HL)，其在接通的狀態中此藉由此經使得導電之連接裝置(T2)所流過之電流須限制在此種範圍中，使得經饋電線系統(DL)所流過之總電流不超過預設值。

2. 如申請專利範圍第 1 項之電路配置，其中

此衰減裝置(T7-T9，HL)包括用於提高此連接配置之電阻之裝置。

3. 如申請專利範圍第 2 項之電路配置，其中

每一連接裝置具有去活化電晶體(T2)，其主要電流區段位於有關的字元線(WL)與饋電線系統(DL)之間，並且其控制電極接收此去活化控制信號(DSS)，以及

此衰減裝置藉由裝置(T9，H_L)形成，用於降低此去活化控制信號之振幅。

4. 如申請專利範圍第 1 至 3 項中任一項之電路配置，其中每

91.4.2修正
補充

六、申請專利範圍

一連接裝置具有去活化電晶體(T2)，其主要電流區段介於位於有關的字元線(WL)與饋電線系統(DL)之間，並且其控制電極接收此去活化控制信號(DSS)，以及

此衰減裝置藉由裝置(T7，T8)而形成，用於降低此去活化控制信號前側之斜度。

5. 如申請專利範圍第 1 項之電路配置，其中此控制電路(2)爲了產生去活化控制信號(DSS)，而設有三個可交替接通之電流分支，其包括：

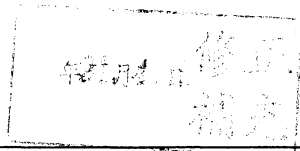
第一分支(T6)只有在其接通的狀態中，此去活化電晶體(T2)之控制電極與截止此電晶體之第一電位(LL)連接，以及

第二分支(T4，T5)只有在其接通的狀態中，此去活化電晶體(T2)之控制電極與在飽和中驅動此電晶體之第二電位(H)連接，以及

第三分支(T7-T9)只有在其接通的狀態中，此去活化電晶體(T2)之控制電極與對此電晶體在傳送方向中施加偏壓之第三電位($H_L - V_{th}$)相連接，並且此上述裝置，用於降低此去活化控制信號之振幅及／或側面斜度。

6. 如申請專利範圍第 5 項之電路配置，其中此裝置用於降低此去活化控制信號(DSS)之振幅，此信號是將第三電位($H_L - V_{th}$)設計安排於-值中所構成，其對此在限制導電狀態中之去活化電晶體施加偏壓。

7. 如申請專利範圍第 6 項之電路配置，其中爲了在第三電流分支(T7-T9)中設計安排第三電位，而置入二極體或作



六、申請專利範圍

爲二極體而接通之電晶體(T9)，其在此分支接通狀態中之使用電壓(V_{th})，是從連接此分支終端之電壓源(H_L)之電壓(HL)中減去的電壓。

8. 如申請專利範圍第 5 至 7 項中任一項之電路配置，其中此用於降低此去活化控制信號(DSS)之側面斜度之裝置，是由至少一個在第三電路中置入之元件(T7，T8)之可覺察之歐姆電阻所構成。
9. 如申請專利範圍第 8 項之電路配置，其中此元件之歐姆電阻各自是電晶體(T7，T8)之主要電流區段，其被控制用於接通第三電路(T7-T9)。
10. 如申請專利範圍第 5 至 7 項中任一項之電路配置，其中此控制電路(2)具有一輸入端(EM)用於施加模式調整信號(MES)，以及輸入端(ED)用於施加二位元指令信號(DBS)，並且具有連接裝置(10-40)，其

當指令信號(DBS)具有第一個二位元值("1")時，只有第一電流分支(T6)一直並且才保持接通；當指令信號(DBS)具有第二個二位元值("0")時，第二電流分支(T5，T6)一直並且才保持接通；當指令信號(DBS)具有第二個二位元值("0")，並且模式調整信號具有另外的("1")作爲某個二位元值時，此第三電流分支(T7-T9)一直並且才接通。

11. 如申請專利範圍第 8 項之電路配置，其中此控制電路(2)具有一輸入端(EM)用於施加模式調整信號(MES)，以及輸入端(ED)用於施加二位元指令信號(DBS)，並且具有連接裝置(10-40)，其

六、申請專利範圍

當指令信號(DBS)具有第一個二位元值("1")時，只有第一電流分支(T6)一直並且才保持接通；當指令信號(DBS)具有第二個二位元值("0")時，第二電流分支(T5，T6)一直並且才保持接通；當指令信號(DBS)具有第二個二位元值("0")，並且模式調整信號具有另外的("1")作為某個二位元值時，此第三電流分支(T7-T9)一直並且才接通。