

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 7 部門第 2 区分
【発行日】平成 17 年 4 月 28 日 (2005.4.28)

【公開番号】特開 2000-49306 (P2000-49306A)
【公開日】平成 12 年 2 月 18 日 (2000.2.18)
【出願番号】特願 平 10-213599
【国際特許分類第 7 版】

H 0 1 L 27/108

H 0 1 L 21/8242

【F I】

H 0 1 L 27/10 6 2 1 C

H 0 1 L 27/10 6 2 1 Z

【手続補正書】

【提出日】平成 16 年 6 月 22 日 (2004.6.22)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板上のメモリセル領域に形成したキャパシタセルと、ビット線と、ワード線と M O S トランジスタとからなる半導体装置であって、前記 M O S トランジスタのゲートはワード線からなり、前記キャパシタセルは前記 M O S トランジスタのソース、ドレインの一方と電氣的に接続されており、前記キャパシタセルは第 1 電極と第 2 電極からなり、第 1、第 2 電極は誘電体膜で分離されており、第 1 電極は底面部と多数の壁状体からなり、それぞれの壁状体は低面部で電氣的に接続されており、壁状体の上部は隣接の壁状体に物理的に接続されておらず、それぞれのキャパシタセルの底面部は M O S トランジスタの上の第 1 絶縁膜上に形成されており、絶縁膜ストライプが第 1 絶縁膜上の隣接する壁状体の底面部に形成されており、底面部は前記ストライプで囲まれており、電氣的に隣接する底面部と分離されてストライプの上面と底面部の上面は同じ面にあり、壁状体のそれぞれのワード線に並列な方向に並列に形成されていることを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、キャパシタセルの壁状体の数は 4 以上であることを特徴とする半導体装置。

【請求項 3】

請求項 1 に記載の半導体装置において、隣接する底面部の距離は壁状体の幅より長く、壁状体の幅の合計の幅より短く、隣接する壁状体の距離より短いことを特徴とする半導体装置。

【請求項 4】

半導体基板上のメモリセル領域に形成したキャパシタセルと、ビット線と、ワード線と M O S トランジスタとからなる半導体装置であって、前記 M O S トランジスタのゲートはワード線からなり、前記キャパシタセルは前記 M O S トランジスタのソース、ドレインの一方と電氣的に接続されており、前記キャパシタセルは第 1 電極と第 2 電極からなり、第 1、第 2 電極は誘電体膜で分離されており、第 1 電極は底面部と多数の壁状体からなり、それぞれの壁状体は低面部で電氣的に接続されており、壁状体の上部は隣接の壁状体に物理的に接続されておらず、それぞれのキャパシタセルの底面部は M O S トランジスタの上の第 1 絶縁膜上に形成されており、絶縁膜ストライプが第 1 絶縁膜上の隣接する壁状体の

底面部に形成されており、ストライプの上面と底面部の上面は同じ面にあり、壁状体のそれぞれはワード線に並列な方向に並列に形成されていることを特徴とする半導体装置。

【請求項 5】

半導体基板上のメモリセル領域に形成したキャパシタセルと、ビット線と、ワード線と M O S トランジスタとからなる半導体装置であって、前記 M O S トランジスタのゲートはワード線からなり、前記キャパシタセルは前記 M O S トランジスタのソース、ドレインの一方と電氣的に接続されており、前記キャパシタセルは第 1 電極と第 2 電極からなり、第 1、第 2 電極は誘電体膜で分離されており、第 1 電極は底面部と多数の壁状体からなり、それぞれの壁状体は底面部で電氣的に接続されており、壁状体の上部は隣接の壁状体に物理的に接続されておらず、それぞれのキャパシタセルの底面部は M O S トランジスタの上の第 1 絶縁膜上に形成されており、絶縁膜ストライプが第 1 絶縁膜上の隣接する壁状体の底面部に形成されており、誘電体膜と第 2 電極は底面部と絶縁膜のストライプの上に形成されており、ストライプの上面と底面部の上面は同じ面にあり、壁状体のそれぞれはワード線に並列な方向に並列に形成されていることを特徴とする半導体装置。