

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年4月28日(2005.4.28)

【公開番号】特開2000-49306(P2000-49306A)

【公開日】平成12年2月18日(2000.2.18)

【出願番号】特願平10-213599

【国際特許分類第7版】

H 01 L 27/108

H 01 L 21/8242

【F I】

H 01 L 27/10 6 2 1 C

H 01 L 27/10 6 2 1 Z

【手続補正書】

【提出日】平成16年6月22日(2004.6.22)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板上のメモリセル領域に形成したキャパシタセルと、ビット線と、ワード線とMOSトランジスタとからなる半導体装置であって、前記MOSトランジスタのゲートはワード線からなり、前記キャパシタセルは前記MOSトランジスタのソース、ドRAINの一方と電気的に接続されており、前記キャパシタセルは第1電極と第2電極からなり、第1、第2電極は誘電体膜で分離されており、第1電極は底面部と多数の壁状体からなり、それぞれの壁状体は低面部で電気的に接続されており、壁状体の上部は隣接の壁状体に物理的に接続されておらず、それぞれのキャパシタセルの底面部はMOSトランジスタの上の第1絶縁膜上に形成されており、絶縁膜ストライプが第1絶縁膜上の隣接する壁状体の底面部に形成されており、底面部は前記ストライプで囲まれてあり、電気的に隣接する底面部と分離されてストライプの上面と底面部の上面は同じ面にあり、壁状体のそれぞれはワード線に並列な方向に並列に形成されていることを特徴とする半導体装置。

【請求項2】

請求項1に記載の半導体装置において、キャパシタセルの壁状体の数は4以上であることを特徴とする半導体装置。

【請求項3】

請求項1に記載の半導体装置において、隣接する底面部の距離は壁状体の幅より長く、壁状体の幅の合計の幅より短く、隣接する壁状体の距離より短いことを特徴とする半導体装置。

【請求項4】

半導体基板上のメモリセル領域に形成したキャパシタセルと、ビット線と、ワード線とMOSトランジスタとからなる半導体装置であって、前記MOSトランジスタのゲートはワード線からなり、前記キャパシタセルは前記MOSトランジスタのソース、ドRAINの一方と電気的に接続されており、前記キャパシタセルは第1電極と第2電極からなり、第1、第2電極は誘電体膜で分離されており、第1電極は底面部と多数の壁状体からなり、それぞれの壁状体は低面部で電気的に接続されており、壁状体の上部は隣接の壁状体に物理的に接続されておらず、それぞれのキャパシタセルの底面部はMOSトランジスタの上の第1絶縁膜上に形成されており、絶縁膜ストライプが第1絶縁膜上の隣接する壁状体の

底面部に形成されており、ストライプの上面と底面部の上面は同じ面にあり、壁状体のそれぞれはワード線に並列な方向に並列に形成されていることを特徴とする半導体装置。

**【請求項 5】**

半導体基板上のメモリセル領域に形成したキャパシタセルと、ビット線と、ワード線とMOSトランジスタとからなる半導体装置であって、前記MOSトランジスタのゲートはワード線からなり、前記キャパシタセルは前記MOSトランジスタのソース、ドレインの一方と電気的に接続されており、前記キャパシタセルは第1電極と第2電極からなり、第1、第2電極は誘電体膜で分離されており、第1電極は底面部と多数の壁状体からなり、それぞれの壁状体は低面部で電気的に接続されており、壁状体の上部は隣接の壁状体に物理的に接続されておらず、それぞれのキャパシタセルの底面部はMOSトランジスタの上の第1絶縁膜上に形成されており、絶縁膜ストライプが第1絶縁膜上の隣接する壁状体の底面部に形成されており、誘電体膜と第2電極は底面部と絶縁膜のストライプの上に形成されており、ストライプの上面と底面部の上面は同じ面にあり、壁状体のそれぞれはワード線に並列な方向に並列に形成されていることを特徴とする半導体装置。