【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第４区分
【発行日】平成17年5月19日(2005.5.19)

【公開番号】特開2000-195268(P2000-195268A)
【公開日】平成12年7月14日(2000.7.14)
【出願番号】特願平11-253212
【国際特許分類第７版】
　Ｇ１１Ｃ　11/409
【ＦＩ】
　Ｇ１１Ｃ　11/34　　３５３Ｆ
　Ｇ１１Ｃ　11/34　　３５３Ｃ

【手続補正書】
【提出日】平成16年7月15日(2004.7.15)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
　メモリセルがそれぞれ接続された２本の相補ビット線からなるビット線対と、
　前記ビット線対に接続され、ビット線対の電位差を増幅するセンスアンプと、
　前記メモリセルと前記センスアンプの間に位置するビット線対の前記相補ビット線にそれぞれ挿入接続され、制御端子を有する電荷転送ゲートと、
　前記電荷転送ゲートの各々の前記制御端子に接続され、前記電荷転送ゲートのＯＮ／ＯＦＦを制御するゲート電位発生回路と、
　前記電荷転送ゲートより前記センスアンプ側の前記ビット線対に接続され、前記ビット線対をプリチャージ及びイコライズするプリチャージ・イコライズ回路と、
　前記プリチャージ・イコライズ回路に接続され、前記ビット線対をプリチャージ及びイコライズするための電位を発生するビット線電位発生回路と、
を具備することを特徴とする半導体記憶装置。
【請求項２】
　メモリセルがそれぞれ接続された２本の相補ビット線からなるビット線対と、
　前記ビット線対に接続され、ビット線対の電位差を増幅するセンスアンプと、
　前記メモリセルと前記センスアンプの間に位置するビット線対の前記相補ビット線にそれぞれ挿入接続され、制御端子を有する電荷転送ゲートと、
　前記電荷転送ゲートの各々の前記制御端子に接続され、前記電荷転送ゲートの導通を制御するゲート電位発生回路と、
　前記電荷転送ゲートより前記センスアンプ側の前記ビット線対に接続され、前記ビット線対をプリチャージするプリチャージ回路と、
　前記プリチャージ回路に接続され、プリチャージ起動信号を伝送する第１の信号線と、
　前記電荷転送ゲートより前記センスアンプ側のビット線対に接続され、前記ビット線対をイコライズするイコライズ回路と、
　前記イコライズ回路に接続され、イコライズ起動信号を伝送する第２の信号線と、
　前記プリチャージ回路に接続され、前記ビット線対をプリチャージするための電位を発生するビット線電位発生回路と、
を具備することを特徴とする半導体記憶装置。
【請求項３】

前記ゲート電位発生回路は、ビット線プリチャージ・イコライズ期間において、１／２Ｖcc＋Ｖth（Ｖccは電源電圧、Ｖthは電荷転送ゲートの閾値電圧）以上の電位を発生し、前記ビット線電位発生回路は、同時に１／２Ｖccの電位を発生することを特徴とする請求項１または請求項２に記載の半導体記憶装置。

【請求項４】

前記ゲート電位発生回路は、ビット線プリチャージ・イコライズ期間において、電位１／２Ｖcc＋Ｖth（Ｖccは電源電圧、Ｖthは電荷転送ゲートの閾値電圧）を発生し、前記ビット線電位発生回路は、イコライズ終了後直ちに１／２Ｖcc以上の電位を発生することを特徴とする請求項１または請求項２に記載の半導体記憶装置。

【請求項５】

前記ゲート電位発生回路は、前記メモリセルの電位が前記センスアンプが接続されている側のビット線に読み出されるまで電荷転送ゲートを活性化し続けることを特徴とする請求項１または請求項２に記載の半導体記憶装置。

【請求項６】

前記ゲート電位発生回路は、前記メモリセルの電位が前記相補ビット線の対応する１つに読み出されたとき、前記センスアンプ側に転送された前記相補ビット線の対応する１つの電位に、前記転送ゲートの閾値電圧を加えた電位よりも、前記電荷転送ゲートがｎチャンネル型ＭＯＳトランジスタの場合は高く、ｐチャネル型ＭＯＳトランジスタの場合は低い電位を前記電荷転送ゲートの前記制御端子に供給し、前記相補ビット線の対応する１つの前記メモリセル側の電位を前記センスアンプに転送することを特徴とする請求項１または請求項２に記載の半導体記憶装置。

【請求項７】

前記センスアンプ側に転送された前記電位は、前記ゲート電位発生回路が前記電荷転送ゲートを導通させるために供給される電位のうち、前記電荷転送ゲートがｎチャネル型ＭＯＳトランジスタの場合は最高の電位と同じで、ｐチャネル型ＭＯＳトランジスタの場合は最低の電位とされることを特徴とする請求項６に記載の半導体記憶装置。

【請求項８】

前記ゲート電位発生回路は３値以上の電位を出力することを特徴とする請求項１または請求項２に記載の半導体記憶装置。

【請求項９】

前記ゲート電位発生回路は４値の電位を出力し、前記ビット線電位発生回路は１値の電位を出力することを特徴とする請求項１または請求項２に記載の半導体記憶装置。

【請求項１０】

前記メモリセルの電位が、前記メモリセルが接続されている側の前記相補ビット線の対応する１つに読み出されるまで、前記電荷転送ゲートが非活性とされることを特徴とする請求項１または請求項２に記載の半導体記憶装置。

【請求項１１】

前記メモリセルの電位が、前記センスアンプが接続されている側の前記相補ビット線の対応する１つに読み出された後、前記電荷転送ゲートが自己の閾値により非活性とされることを特徴とする請求項１または請求項２に記載の半導体記憶装置。

【請求項１２】

メモリセルがそれぞれ接続された２本の相補ビット線からなるビット線対と、

前記ビット線対に接続され、ビット線対の電位差を増幅するセンスアンプと、

前記メモリセルと前記センスアンプの間に位置するビット線対の前記相補ビット線にそれぞれ挿入接続され、自身のＯＮ／ＯＦＦを制御する制御端子を有する電荷転送ゲートと、

前記電荷転送ゲートの各々の前記制御端子に接続され、前記電荷転送ゲートのＯＮ／ＯＦＦを制御するゲート電位発生回路と、

前記電荷転送ゲートより前記センスアンプ側の前記ビット線対に接続され、前記ビット線対をプリチャージ及びイコライズするプリチャージ・イコライズ回路と、

前記プリチャージ・イコライズ回路に接続され、前記ビット線対をプリチャージ及びイコライズするための電位を発生するビット線電位発生回路と、
を具備し、
前記ゲート電位発生回路は、前記センスアンプがメモリセル側のビット線対間の電位差を増幅する以前に、前記メモリセル側のビット線対間の電位差を略ゼロにするように前記電荷転送ゲートを制御することを特徴とする半導体記憶装置。
【請求項１３】
メモリセルがそれぞれ接続された２本の相補ビット線からなるビット線対と、
前記ビット線対に接続され、ビット線対の電位差を増幅するセンスアンプと、
前記メモリセルと前記センスアンプの間に位置するビット線対の前記相補ビット線にそれぞれ挿入接続され、自身のＯＮ／ＯＦＦを制御する制御端子を有する電荷転送ゲートと、
前記電荷転送ゲートの各々の前記制御端子に接続され、前記電荷転送ゲートのＯＮ／ＯＦＦを制御するゲート電位発生回路と、
前記電荷転送ゲートより前記センスアンプ側の前記ビット線対に接続され、前記ビット線対をプリチャージするプリチャージ回路と、
前記プリチャージ回路に接続され、プリチャージ起動信号を伝送する第１の信号線と、
前記電荷転送ゲートより前記センスアンプ側のビット線対に接続され、前記ビット線対をイコライズするイコライズ回路と、
前記イコライズ回路に接続され、イコライズ起動信号を伝送する第２の信号線と、
前記プリチャージ回路に接続され、前記ビット線対をプリチャージするための電位を発生するビット線電位発生回路と、
を具備し、
前記ゲート電位発生回路は、前記センスアンプがメモリセル側のビット線対間の電位差を増幅する以前に、前記メモリセル側のビット線対間の電位差を略ゼロにするように前記電荷転送ゲートを制御することを特徴とする半導体記憶装置。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】００３７
【補正方法】変更
【補正の内容】
【００３７】
上記構成において、図３を参照して動作について説明する。尚、図３（ａ）はメモリセル側のビット線対ＢＬcell、／ＢＬcellの電位変化を示し、図３（ｂ）はセンスアンプ側のビット線対ＢＬS/A 、／ＢＬS/A の電位変化を示し、両者は同一の時間軸上に記載されている。図３（ｃ）は、上記共通の時間軸の各期間の名称付与と転送ゲート１１のオン・オフの状態を示している。後続の同種図面も同様な構成であり、重複する説明は省略する。以下、各期間の動作を説明する。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】００４２
【補正方法】変更
【補正の内容】
【００４２】
［期間ｔ３］
次に、期間ｔ３において、ワード線ＷＬが活性化され、メモリセルの電荷がセル側のビット線対ＢＬcell、／ＢＬcellに転送される。例えばビット線ＢＬcellのメモリセルにデータ“１”に対応する電位Ｖcc（例えば０．８Ｖ）が蓄積されていた場合、図３（ａ）に示すように、セル側のビット線ＢＬcellの電位が上昇し、ビット線／ＢＬcellの電位は変化しない。このため、ビット線ＢＬcellの電位とビット線／ＢＬcellの電位との電位差Δ

ＶBLcellが発生する。例えばセル側のビット線の容量Ｃｂとセルの容量Ｃｓとの関係が、Ｃｂ＝２０×Ｃｓである場合、電位差ΔＶBLcell＝０．０２Ｖである。また、このとき、電位Ｖφｔ＝０であり、電荷転送ゲート１１がオフしているため、センスアンプ側のビット線対の電位は変化しない。

【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００６１
【補正方法】変更
【補正の内容】
【００６１】

図９は、第３の実施形態の回路構成を示している。図９において、図１と同一部分には同一符号を付している。図９では、センスアンプ側のビット線対ＢＬS/A 、／ＢＬS/A にはプリチャージ回路（ＰＲＣ）１３ｐと、イコライズ回路（ＥＱＬ）１３ｅが接続されている。前記プリチャージ回路１３ｐにはプリチャージ起動信号線１５ａが接続され、前記イコライズ回路１３ｅにはイコライズ起動信号線１５ｂが接続されている。前記プリチャージ回路１３ｐは、第１の実施例の図２におけるトラジスタ１３ａ，１３ｂで構成される回路と同じであり、イコライズ回路１３ｅは、図２におけるトランジスタ１３ｃで構成される回路と同じである。