

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5177923号  
(P5177923)

(45) 発行日 平成25年4月10日(2013.4.10)

(24) 登録日 平成25年1月18日(2013.1.18)

(51) Int. Cl. F I  
 HO 1 L 21/336 (2006.01) HO 1 L 29/78 6 1 6 A  
 HO 1 L 29/786 (2006.01) HO 1 L 29/78 6 1 7 N

請求項の数 8 (全 24 頁)

<p>(21) 出願番号 特願2001-199012 (P2001-199012)                  (22) 出願日 平成13年6月29日 (2001. 6. 29)                  (65) 公開番号 特開2003-17502 (P2003-17502A)                  (43) 公開日 平成15年1月17日 (2003. 1. 17)                  審査請求日 平成20年6月11日 (2008. 6. 11)</p>	<p>(73) 特許権者 000153878                  株式会社半導体エネルギー研究所                  神奈川県厚木市長谷398番地                  (72) 発明者 中村 理                  神奈川県厚木市長谷398番地 株式会社                  半導体エネルギー研究所内                    審査官 綿引 隆</p>
--	---

最終頁に続く

(54) 【発明の名称】 半導体装置および電子機器

(57) 【特許請求の範囲】

【請求項1】

ゲート電極と、  
 ゲート絶縁膜と、

前記ゲート絶縁膜を間に挟んで前記ゲート電極と重なるチャンネル形成領域と、ドレイン領域と、ソース領域と、前記チャンネル形成領域と前記ドレイン領域との間に第1のLDD領域と、前記チャンネル形成領域と前記ソース領域との間に第2のLDD領域と、を有する半導体膜と、

前記ゲート電極および前記半導体膜を覆う層間絶縁膜と、

前記層間絶縁膜上に、前記ゲート電極と電氣的に接続された電極、前記ドレイン領域と電氣的に接続されたドレイン電極、および前記ソース領域と電氣的に接続されたソース電極と、を有しており、

前記電極、前記ドレイン電極、および前記ソース電極は、同一層上に形成されており、前記電極は、2つに分岐しており、

分岐した前記電極は、前記ゲート電極上で互いに間をあけて並置されており、

分岐した前記電極は、前記層間絶縁膜を間に挟んで、前記ゲート電極の端部と部分的に重なり、

分岐した前記電極は、前記層間絶縁膜を間に挟んで、前記第1及び前記第2のLDD領域と重なることを特徴とする半導体装置。

【請求項2】

10

20

ゲート電極と、  
ゲート絶縁膜と、

前記ゲート絶縁膜を間に挟んで前記ゲート電極と重なるチャンネル形成領域と、ドレイン領域と、ソース領域と、を有する半導体膜と、

前記ゲート電極および前記半導体膜を覆う層間絶縁膜と、

前記層間絶縁膜上に、前記ゲート電極と電氣的に接続された電極、前記ドレイン領域と電氣的に接続されたドレイン電極、および前記ソース領域と電氣的に接続されたソース電極と、を有しており、

前記電極、前記ドレイン電極、および前記ソース電極は、同一層上に形成されており、前記電極は、2つに分岐しており、

分岐した前記電極は、前記ゲート電極上で互いに間をあけて並置されており、

分岐した前記電極は、前記層間絶縁膜を間に挟んで、前記ゲート電極の端部と部分的に重なり、

分岐した前記電極は、前記層間絶縁膜を間に挟んで、前記チャンネル形成領域と前記ドレイン領域との境界及び前記チャンネル形成領域とソース領域との境界と重なり、

分岐した前記電極は、前記層間絶縁膜を間に挟んで、前記ソース領域の一部及び前記ドレイン領域の一部と重なることを特徴とする半導体装置。

#### 【請求項3】

第1の導電層と、前記第1の導電層上に前記第1の導電層よりも幅の小さい第2の導電層と、を有するゲート電極と、

ゲート絶縁膜と、

前記ゲート絶縁膜を間に挟んで前記ゲート電極と重なるチャンネル形成領域と、ドレイン領域と、ソース領域と、前記チャンネル形成領域と前記ドレイン領域との間に第1のLDD領域と、前記チャンネル形成領域と前記ソース領域との間に第2のLDD領域と、を有する半導体膜と、

前記ゲート電極および前記半導体膜を覆う層間絶縁膜と、

前記層間絶縁膜上に、前記ゲート電極と電氣的に接続された電極、前記ドレイン領域と電氣的に接続されたドレイン電極、および前記ソース領域と電氣的に接続されたソース電極と、を有しており、

前記電極、前記ドレイン電極、および前記ソース電極は、同一層上に形成されており、

前記第1の導電層の一部は、前記ゲート絶縁膜を間に挟んで前記第1及び前記第2のLDD領域と重なり、

前記電極は、2つに分岐しており、

分岐した前記電極は、前記ゲート電極上で互いに間をあけて並置されており、

分岐した前記電極は、前記層間絶縁膜を間に挟んで、前記ゲート電極の端部と部分的に重なり、

分岐した前記電極は、前記層間絶縁膜を間に挟んで、前記第1及び前記第2のLDD領域と重なり、

分岐した前記電極は、前記層間絶縁膜を間に挟んで、前記ソース領域の一部及び前記ドレイン領域の一部と重なることを特徴とする半導体装置。

#### 【請求項4】

第1のゲート電極と、

前記第1のゲート電極上の第1のゲート絶縁膜と、

前記第1のゲート絶縁膜上で、前記第1のゲート絶縁膜を間に挟んで前記第1のゲート電極と重なるチャンネル形成領域と、ドレイン領域と、ソース領域と、前記チャンネル形成領域と前記ドレイン領域との間に第1のLDD領域と、前記チャンネル形成領域と前記ソース領域との間に第2のLDD領域と、を有する半導体膜と、

前記半導体膜上の第2のゲート絶縁膜と、

前記第2のゲート絶縁膜を間に挟んで前記チャンネル形成領域と重なる第2のゲート電極と、

10

20

30

40

50

前記第2のゲート電極および前記半導体膜を覆う層間絶縁膜と、  
前記層間絶縁膜上に、前記第2ゲート電極と電氣的に接続された電極、前記ドレイン領域と電氣的に接続されたドレイン電極、および前記ソース領域と電氣的に接続されたソース電極と、を有しており、

前記電極、前記ドレイン電極、および前記ソース電極は、同一層上に形成されており、  
前記電極は、2つに分岐しており、  
分岐した前記電極は、前記第1のゲート電極上で互いに間をあけて並置されており、  
分岐した前記電極は、前記層間絶縁膜を間に挟んで、前記第1および第2のゲート電極の端部と部分的に重なり、

分岐した前記電極は、前記層間絶縁膜を間に挟んで、前記第1及び前記第2のLDD領域と重なることを特徴とする半導体装置。 10

【請求項5】

請求項1乃至3のいずれかーにおいて、  
前記ゲート電極と分岐した前記電極のコンタクト部は、前記半導体層と重ならないことを特徴とする半導体装置。

【請求項6】

請求項4において、  
前記第2のゲート電極と分岐した前記電極のコンタクト部は、前記半導体層と重ならないことを特徴とする半導体装置。

【請求項7】 20

請求項1乃至6のいずれかーにおいて、  
前記層間絶縁膜は、平坦な表面を有していることを特徴とする半導体装置。

【請求項8】

請求項1乃至7のいずれかーに記載の半導体装置を有する電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。 30

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【0003】

【従来の技術】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタ（TFT）を構成し、このTFTで形成した大面積集積回路を有する半導体装置の開発が進んでいる。アクティブマトリクス型液晶表示装置、EL表示装置、および密着型イメージセンサはその代表例として知られている。特に、結晶質シリコン膜（典型的にはポリシリコン膜）を活性層にしたTFT（以下、ポリシリコンTFTと記す）は電界効果移動度が高いことから、いろいろな機能を備えた回路を形成することも可能である。 40

【0004】

例えば、液晶表示装置に搭載される液晶モジュールには、機能ブロックごとに画像表示を行う画素回路や、CMOS回路を基本としたシフトレジスタ回路、レベルシフト回路、バッファ回路、サンプリング回路などの画素回路を制御するための駆動回路が一枚の基板上に形成される。

【0005】

また、アクティブマトリクス型の液晶モジュールの画素回路には、数十から数百万個の各画素にTFT（画素TFT）が配置され、その画素TFTのそれぞれには画素電極が設け 50

られている。液晶を挟んだ対向基板側には対向電極が設けられており、液晶を誘電体とした一種のコンデンサを形成している。そして、各画素に印加する電圧をTFTのスイッチング機能により制御して、このコンデンサへの電荷を制御することで液晶を駆動し、透過光量を制御して画像を表示する仕組みになっている。

【0006】

画素TFTはnチャンネル型TFTから成り、スイッチング素子として液晶に電圧を印加して駆動させるものである。液晶は交流で駆動させるので、フレーム反転駆動と呼ばれる方式が多く採用されている。この方式では消費電力を低く抑えるために、画素TFTに要求される特性はオフ電流値(TFTがオフ動作時に流れるドレイン電流)を十分低くすることが重要である。

10

【0007】

オフ電流値を低減するためのTFTの構造として、低濃度ドレイン(LDD:Lightly Doped Drain)構造が知られている。この構造はチャンネル形成領域と、高濃度に不純物元素を添加して形成するソース領域またはドレイン領域との間に低濃度に不純物元素を添加した領域を設けたものであり、この領域をLDD領域と呼んでいる。LDD構造はドレイン近傍の電界を緩和してホットキャリア注入による劣化を防ぐ効果がある。

【0008】

しかし、従来のTFTにおいて、LDD領域を形成した場合、オフ電流値を低減することはできたが、同時にオン電流値も低下していた。

【0009】

また、ホットキャリアによるオン電流値の劣化を防ぐための手段として、ゲート絶縁膜を介してLDD領域をゲート電極と重ねて配置させた、いわゆるGOLD(Gate-drain Overlapped LDD)構造が知られている。GOLD構造はLDD構造よりもさらにドレイン近傍の電界を緩和してホットキャリア注入による劣化を防ぐ効果がある。このようなGOLD構造とすることで、ドレイン近傍の電界強度が緩和されてホットキャリア注入を防ぎ、劣化現象の防止に有効であることが知られている。なお、本明細書では、LDD領域がゲート絶縁膜を介してゲート電極と重なるTFT構造をGOLD構造と呼び、LDD領域がゲート絶縁膜を介してゲート電極と重ならないTFT構造をLDD構造と呼ぶ。

20

【0010】

また、GOLD構造はLDD構造と比べてオン電流値の劣化を防ぐ効果は高いが、その反面、LDD構造と比べてオフ電流値が大きくなってしまいう問題があった。

30

【0011】

また、GOLD構造は、ゲート絶縁膜を介してLDD領域とゲート電極とが重ねて配置されているため、寄生容量が発生して周波数特性(f特性と呼ばれる)が低くなり、高速動作を妨げていた。

【0012】

【発明が解決しようとする課題】

従来では、LDD構造を備えたTFTやGOLD構造を備えたTFTを形成しようとする、その製造工程が複雑なものとなり工程数が増加してしまう問題があった。工程数の増加は製造コストの増加要因になるばかりか、製造歩留まりを低下させる原因となることは明らかである。

40

【0013】

本発明はこのような問題点を解決するための技術であり、TFTを用いて作製するアクティブマトリクス型の液晶表示装置に代表される電気光学装置ならびに半導体装置において、半導体装置の動作特性および信頼性を向上させ、かつ、低消費電力化を図ると共に、工程数を増加させることなく、製造コストの低減および歩留まりの向上を実現するTFT構造を提供することを目的としている。

【0014】

また、本発明は、液晶表示装置に代表される電気光学装置ならびに半導体装置において、今後のさらなる高精細化(画素数の増大)及び小型化に伴う各表示画素ピッチの微細化を進

50

められるように、T F Tが占める面積を縮小したT F T構造を提供する。

【0015】

【課題を解決するための手段】

本発明は、ゲート電極と電氣的に接続する電極を層間絶縁膜上に設け、該電極が下方に位置する半導体層と一部重なるように配置することでT F Tの動作特性および信頼性を向上させる。また、本発明において、層間絶縁膜上に設ける電極は、ソース電極やドレイン電極と同時に形成することができるので工程数を増加させることなく、製造コストの低減および歩留まりの向上を実現することができる。

【0016】

本発明において、層間絶縁膜上に設ける電極は、下方に位置する半導体層のうち、ソース領域の一部または前記ドレイン領域の一部と重なるように配置してもよい。

10

【0017】

本明細書で開示する発明の構成1は、

ゲート電極と、ゲート絶縁膜と、該ゲート絶縁膜を間に挟んで前記ゲート電極と重なるチャンネル形成領域と、該チャンネル形成領域とドレイン領域またはソース領域との間にL D D領域とを備えたT F Tを具備した半導体装置において、

前記ゲート電極を覆う層間絶縁膜上に前記ゲート電極と電氣的に接続された電極を有しており、該電極は、前記層間絶縁膜を間に挟んで前記L D D領域と重なることを特徴とする半導体装置である。

【0018】

20

また、本発明において層間絶縁膜上に設ける電極は、下方に位置する半導体層のうち、L D D領域の一部と重なるように配置してもよい。

【0019】

本明細書で開示する発明の構成2は、

ゲート電極と、ゲート絶縁膜と、該ゲート絶縁膜を間に挟んで前記ゲート電極と重なるチャンネル形成領域と、ドレイン領域またはソース領域とを少なくとも備えたT F Tを具備した半導体装置において、

前記ゲート電極を覆う層間絶縁膜上に前記ゲート電極と電氣的に接続された電極を有しており、該電極は、前記層間絶縁膜を間に挟んで前記チャンネル形成領域と前記ドレイン領域との境界または前記チャンネル形成領域とソース領域との境界を少なくとも覆うことを特徴とする半導体装置である。

30

【0020】

本明細書で開示する発明の構成3は、

ゲート電極と、ゲート絶縁膜と、該ゲート絶縁膜を間に挟んで前記ゲート電極と重なるチャンネル形成領域と、該チャンネル形成領域とドレイン領域またはソース領域との間にL D D領域とを備えたT F Tを具備した半導体装置において、

前記ゲート電極を覆う層間絶縁膜上に前記ゲート電極と電氣的に接続された電極を有しており、該電極は、前記層間絶縁膜を間に挟んで前記L D D領域の一部と重なることを特徴とする半導体装置である。

【0021】

40

また、本発明において層間絶縁膜上に設ける電極は、下方に位置する半導体層のうち、ゲート電極と重なるL D D領域と重なるように配置してもよい。

【0022】

本明細書で開示する発明の構成4は、

ゲート電極と、ゲート絶縁膜と、該ゲート絶縁膜を間に挟んで前記ゲート電極と重なるチャンネル形成領域と、該チャンネル形成領域とドレイン領域またはソース領域との間にL D D領域とを備えたT F Tを具備した半導体装置において、

前記ゲート電極は、第1の導電層と、前記第1の導電層よりも幅の小さい第2の導電層との積層からなり、

前記チャンネル形成領域は、前記第2の導電層と前記第1の導電層および前記ゲート絶縁膜

50

を間に挟んで重なっており、

前記LDD領域は、前記第1の導電層の一部とゲート絶縁膜を間に挟んで重なっており、前記ゲート電極を覆う層間絶縁膜上に前記ゲート電極と電氣的に接続された電極を有しており、該電極は、前記層間絶縁膜を間に挟んで前記LDD領域と重なることを特徴とする半導体装置である。

【0023】

また、上記構成1乃至4のいずれか一において、前記電極は、前記層間絶縁膜を間に挟んで前記ゲート電極の端部と重なってもよい。また、前記電極の端部とゲート電極の端部が一致してもよい。

【0024】

また、上記構成1乃至4のいずれか一において、前記層間絶縁膜上には、前記ソース領域に達するソース電極と、前記ドレイン領域に達するドレイン電極が設けられ、前記電極と同一層上に形成されている。

【0025】

また、上記構成1乃至4のいずれか一において、前記電極は、2つに分岐しており、半導体層上で並置されているTFE構成であってもよい。この場合、層間絶縁膜を誘電体として前記電極とゲート電極とで形成される寄生容量が低減できる。

【0026】

或いは、上記構成1乃至4のいずれか一において、前記電極は、層間絶縁膜、ゲート電極、及びゲート絶縁膜を間に挟んで前記チャンネル形成領域の全部と重なるTFE構成であってもよい。

【0027】

或いは、上記構成1乃至4のいずれか一において、前記電極は、層間絶縁膜を間に挟んで前記チャンネル形成領域とドレイン領域との間、或いは前記チャンネル形成領域とソース領域との間のいずれか一方と重なるTFE構成であってもよい。

【0028】

また、本発明においてTFEは、シングルゲート構造であってもよいし、ダブルゲート構造であってもよいし、それ以上のマルチゲート構造であってもよい。

【0029】

本明細書で開示する発明の構成5は、  
複数のゲート電極と、ゲート絶縁膜と、該ゲート絶縁膜を間に挟んで前記複数のゲート電極とそれぞれ重なる複数のチャンネル形成領域と、該チャンネル形成領域とドレイン領域またはソース領域との間にLDD領域とを備えたマルチゲート構造のTFEを具備した半導体装置において、

前記複数のゲート電極を覆う層間絶縁膜上に前記複数のゲート電極と電氣的に接続された電極を有しており、該電極は、前記層間絶縁膜を間に挟んで前記LDD領域と重なることを特徴とする半導体装置である。

【0030】

また、上記構成5において、前記電極は、前記層間絶縁膜を間に挟んで前記複数のチャンネル形成領域間の領域とも重なるように配置してもよい。

【0031】

また、本発明においてTFEは、半導体層の下方にも電極を備えたデュアルゲート構造であってもよい。

【0032】

本明細書で開示する発明の構成6は、  
絶縁表面上に第1の電極と、  
前記第1の電極を覆う絶縁膜と、  
前記絶縁膜上に前記絶縁膜を間に挟んで前記第1の電極の一部と重なる半導体層と、  
前記半導体層を覆うゲート絶縁膜と、  
前記ゲート絶縁膜上に前記第1の電極と電氣的に接続するゲート電極と、

10

20

30

40

50

前記ゲート電極を覆う層間絶縁膜と、  
前記層間絶縁膜上に前記ゲート電極と電氣的に接続する第2の電極と、  
を有し、  
前記第2の電極は、前記層間絶縁膜を間に挟んで前記半導体層の一部と重なることを特徴とする半導体装置である。

【0033】

また、上記構成6において、前記半導体層は、少なくともチャンネル形成領域と、ソース領域と、ドレイン領域とを有し、前記第2の電極は、前記層間絶縁膜を間に挟んで前記チャンネル形成領域と前記ドレイン領域との境界または前記チャンネル形成領域とソース領域との境界を少なくとも覆うことを特徴としている。

10

【0034】

或いは、上記構成6において、前記半導体層は、少なくともチャンネル形成領域と、ソース領域と、ドレイン領域と、前記チャンネル形成領域と前記ドレイン領域または前記ソース領域との間にLDD領域とを有し、前記第2の電極は、前記層間絶縁膜を間に挟んで前記LDD領域と重なることを特徴としている。

【0035】

また、本発明は、半導体基板を用い、LOCOS(Local Oxidation of Silicon)技術により得られる半導体素子においても適用可能である。

【0036】

【発明の実施の形態】

20

本発明の実施形態について、以下に説明する。

【0037】

(実施の形態1)

本発明の一例を図1に示す。図1(A)は上面図であり、鎖線A-A'で切断した場合の断面図が図1(B)である。

【0038】

本発明は、図1に示すようにゲート電極13と電氣的に接続する電極17を層間絶縁膜14上に設け、該電極17の下方に位置する半導体層11において発生するチャンネル形成領域11aとLDD領域11dとの境界付近またはチャンネル形成領域11aとLDD領域11eとの境界付近で生じる電界を緩和してホットキャリア注入による劣化を防ぐ。

30

【0039】

また、電極17は、層間絶縁膜14を間に挟んでLDD領域11d、11eと重なっており、ゲート絶縁膜12を介してゲート電極13が半導体層11に与える電界よりも弱い、LDD領域11d、11eに電界を与える。即ち、本発明は、GOLD構造のTFTと同等の特性を有するTFTを得ることができる。

【0040】

ただし、本発明において、層間絶縁膜14の厚さ及び誘電率によって電極17が半導体層11に与える電界を考慮して実施者が適宜調節する必要がある。なお、ここでは、ゲート電極13と重なる箇所のみゲート絶縁膜12を設けた構成としたが、半導体層11を覆うゲート絶縁膜を形成してもよい。この場合、電極17は、ゲート絶縁膜12と層間絶縁膜14とを間に挟んで半導体層の上方に位置しているため、ゲート絶縁膜12及び層間絶縁膜14の厚さ及び誘電率によって電極17が半導体層11に与える電界を考慮して実施者が適宜調節する必要がある。

40

【0041】

なお、ゲート電極13と電極17とのコンタクトは、半導体層11と離れた位置で形成することでTFTが占める面積の増大を抑えることができる。従来のGOLD構造では、ゲート電極幅が増加することによってTFTが占める面積が増大していた。

【0042】

また、電極17はソース電極15またはドレイン電極16と同一の層上に同時に形成することができるため、工程数を増やすことなく図1に示すTFT構造を得ることができる。

50

## 【0043】

また、図1では、LDD領域とソース領域の境界と、電極の端部とがほぼ一致している例を示したが、一致していない他の例を図2に示す。また、図2中、20は基板、21aはチャンネル形成領域、22はゲート絶縁膜、25はソース領域21cと電氣的に接続するソース電極、26はドレイン領域21bと電氣的に接続するドレイン電極である。

## 【0044】

図2(A)は上面図であり、図2(B1)が断面図の一例であり、図2(B2)も断面図の一例である。また、図2(A)において、上面における電極形状も図1と異なっており、電極27はコの字の形状としている。なお、この電極27の形状は、特に限定されず、図1に示した形状としてもよい。

10

## 【0045】

図2(B1)に示した構造は、ゲート電極23と電氣的に接続する電極27を層間絶縁膜24上に設け、層間絶縁膜24を間に挟んで電極27がLDD領域の一部21e、21gと重なるように配置した例である。なお、LDD領域の一部21d、21fは、層間絶縁膜24を間に挟んで電極27と重ならない。

## 【0046】

また、電極27は、層間絶縁膜24を間に挟んでLDD領域の一部21e、21gと重なっており、ゲート絶縁膜22を介してゲート電極23が半導体層21に与える電界よりも弱い、LDD領域の一部21e、21gに電界を与える。

## 【0047】

図2(B1)に示した構造においても半導体層21において発生する電界を緩和してホットキャリア注入による劣化を防ぐ。

20

## 【0048】

一方、図2(B2)に示した構造は、図2(B1)と半導体層21の各領域の配置が異なっているのみであるため、他の部分の説明は図2(B1)を参照すればよい。図2(B2)中、21hはチャンネル形成領域である。

## 【0049】

図2(B2)に示した構造は、電極27が層間絶縁膜24を間に挟んで重なるLDD領域21k、21mおよびソース領域21jまたはドレイン領域21iの一部と重なる例である。なお、本明細書中、ソース領域21jまたはドレイン領域21iは、 $1 \times 10^{20} \sim 1 \times 10^{21}/\text{cm}^3$ の濃度範囲でn型またはp型を付与する不純物元素が添加された領域を指しており、LDD領域21k、21mは、 $1 \times 10^{16} \sim 1 \times 10^{20}/\text{cm}^3$ 未満の濃度範囲、好ましくは $1 \times 10^{18} \sim 1 \times 10^{19}/\text{cm}^3$ の濃度範囲でn型またはp型を付与する不純物元素が添加された領域を指している。

30

## 【0050】

また、図2(B2)に示した構造において、電極27は、層間絶縁膜24を間に挟んでLDD領域21k、21mおよびソース領域21jまたはドレイン領域21iの一部と重なっており、ゲート絶縁膜22を介してゲート電極23が半導体層21に与える電界よりも弱い、21k、21mおよびソース領域21jまたはドレイン領域21iの一部に電界を与える。

40

## 【0051】

図2(B2)に示した構造においても半導体層21において発生する電界を緩和してホットキャリア注入による劣化を防ぐ。

## 【0052】

また、図1及び図2では、チャンネル形成領域の両側にLDD領域を設けた例を示したが、チャンネル形成領域の片側のみに設ける他の例を図3に示す。また、図3において、上面における電極形状も図1と異なっており、電極37はLの字の形状としている。

## 【0053】

図3(A)は上面図であり、図3(B)が断面図である。また、図3中、30は基板、31aはチャンネル形成領域、32はゲート絶縁膜、35はソース領域31cと電氣的に接続

50



するソース電極、36はドレイン領域31bと電氣的に接続するドレイン電極である。

【0054】

図3に示した構造は、ゲート電極33と電氣的に接続する電極37を層間絶縁膜34上に設け、層間絶縁膜34を間に挟んで電極37がLDD領域31dの一部と重なるように配置した例である。なお、LDD領域の一部は、層間絶縁膜34を間に挟んで電極37と重ならない。

【0055】

また、電極37は、層間絶縁膜34を間に挟んでLDD領域31dの一部と重なっており、ゲート絶縁膜32を介してゲート電極33が半導体層31に与える電界よりも弱い、LDD領域31dの一部に電界を与える。

10

【0056】

図3に示した構造においても半導体層31において発生する電界を緩和してホットキャリア注入による劣化を防ぐ。

【0057】

また、図4(A)に示した本発明のTFETモデルと、図4(B)に示したLDD構造のTFETとで活性層表面から5nm付近での電子温度分布のシミュレーションを行い、比較を行った。

【0058】

図4(A)及び図4(B)に示した両方のTFETモデルは、半導体層の膜厚50nm、ゲート絶縁膜の膜厚110nmであり、ゲート電極(チャンネル長方向の長さ6 $\mu$ m)とゲート絶縁膜とが重なるチャンネル形成領域のサイズは、 $L/W = 6\mu\text{m} / 1\mu\text{m}$ とし、ボロン(B)が $2 \times 10^{16} / \text{cm}^3$ の濃度で添加されているポリシリコン膜を想定している。また、チャンネル形成領域の両側にはリン(P)が $4 \times 10^{17} / \text{cm}^3$ の濃度で添加されているLDD領域(チャンネル長方向の長さ1.5 $\mu$ m)が設けられ、さらに隣接してリン(P)が $5 \times 10^{19} / \text{cm}^3$ の濃度で添加されているソース領域またはドレイン領域が設けられている。なお、キャリア密度は、上記値がピーク値で、深さ方向に密度が減少しているとする。

20

【0059】

図4(A)においては、ゲート電極と同電位の電極を200nmの膜厚の絶縁物を間に挟んでドレイン領域側のLDD領域と重なるように設けたモデルである。

30

【0060】

図4(C)は、シミュレーションの結果である。縦軸は、活性層表面から5nm付近での電子温度を指しており、横軸は、距離X $\mu$ mを示している。なお、X=1 $\mu$ mの位置が、チャンネル形成領域とLDD領域の境界であり、X=2.5 $\mu$ mの位置がLDD領域とドレイン領域の境界である。

【0061】

図4(C)中、印が図4(A)の構造のシミュレーションでの値であり、印が図4(B)のLDD構造のシミュレーションでの値である。図4(A)に示す本発明の構造のほうが、図4(B)のLDD構造よりも電子温度が低く、チャンネル形成領域とLDD領域との境界で発生する電界が緩和されている。このシミュレーション結果からも、本発明の構成は、非常に有用であることが読み取れる。

40

【0062】

(実施の形態2)

本発明の一例を図5に示す。図5(A)は上面図であり、図5(B)が断面図である。

【0063】

本発明は、図5に示すようにゲート電極53と電氣的に接続する電極57を層間絶縁膜54上に設け、該電極57の下方に位置する半導体層51において発生するチャンネル形成領域51aとドレイン領域51bとの境界付近またはチャンネル形成領域51aとソース領域51bとの境界付近で生じる電界を緩和してホットキャリア注入による劣化を防ぐ。

【0064】

50

また、電極 5 7 が半導体層 5 1 に与える電界は、層間絶縁膜 5 4 を間に挟んでいるため、ゲート電極 5 3 が半導体層 5 1 に与える電界よりも弱くなり、ドレイン領域 5 1 b と同じ不純物濃度であるものの、層間絶縁膜 5 4 を間に挟んで電極 5 7 と重なるドレイン領域の一部 5 1 が L D D 領域として機能する。同様に層間絶縁膜 5 4 を間に挟んで電極 5 7 と重なるソース領域の一部 5 1 も L D D 領域として機能する。即ち、本発明は、L D D 領域を設けなくとも G O L D 構造の T F T と同等またはそれ以上の特性を有する T F T を得ることができる。従って、従来では複数回のドーピングを行い、マスクを用いて L D D 領域と、ソース領域及びドレイン領域とを選択的に形成していたが、本発明はその工程を行う必要はなく、1 回のドーピングでよい。

【 0 0 6 5 】

ただし、本発明において、層間絶縁膜 5 4 の厚さ及び誘電率によって電極 5 7 が半導体層 5 1 に与える電界を考慮して実施者が適宜調節する必要がある。なお、ここでは、ゲート電極 5 3 と重なる箇所のみゲート絶縁膜 5 2 を設けた構成としたが、半導体層 5 1 を覆うゲート絶縁膜を形成してもよい。この場合、電極 5 7 は、ゲート絶縁膜 5 2 と層間絶縁膜 5 4 とを間に挟んで半導体層の上方に位置しているため、ゲート絶縁膜 5 2 及び層間絶縁膜 5 4 の厚さ及び誘電率によって電極 5 7 が半導体層 5 1 に与える電界を考慮して実施者が適宜調節する必要がある。

【 0 0 6 6 】

なお、ゲート電極 5 3 と電極 5 7 とのコンタクトは、半導体層 5 1 と離れた位置で形成することで T F T が占める面積の増大を抑えることができる。従来の G O L D 構造では、ゲート電極幅が増加することによって T F T が占める面積が増大していた。

【 0 0 6 7 】

また、電極 5 7 はソース電極 5 5 またはドレイン電極 5 6 と同一の層上に同時に形成することができるため、工程数を増やすことなく図 5 に示す T F T 構造を得ることができる。

【 0 0 6 8 】

また、図 5 では、ゲート電極と同電位の電極 5 7 をソース領域及びドレイン領域と重なるように設けたが、層間絶縁膜を間に挟んでドレイン領域の一部のみと重なるように設けてもよい。

【 0 0 6 9 】

( 実施の形態 3 )

本発明の一例を図 6 に示す。図 6 ( A ) は上面図であり、図 6 ( B ) が断面図である。なお、ゲート電極は、2 層構造となっており、下層が 6 3 a、下層よりも幅の狭い上層が 6 3 b である。

【 0 0 7 0 】

図 6 に示した構造は、G O L D 構造であり、ゲート電極 6 3 a、6 3 b の一部がゲート絶縁膜を間に挟んで L D D 領域 6 1 d、6 1 e と重なっている。また、この L D D 領域は、ゲート電極の下層 6 3 a のうち、上層 6 3 b と重ならない部分のみを通過させてドーピングを行って自己整合的に形成されている。また、ゲート電極 6 3 a、6 3 b と電氣的に接続する電極 6 7 を層間絶縁膜 6 4 上に設け、層間絶縁膜 6 4 を間に挟んで電極 6 7 が L D D 領域 6 1 d、6 1 e と重なるように配置した例である。

【 0 0 7 1 】

また、電極 6 7 は、ゲート絶縁膜 6 2 を介してゲート電極 6 3 が半導体層 6 1 に与える電界よりも弱い、L D D 領域 6 1 d、6 1 e に電界を与える。

【 0 0 7 2 】

図 6 に示した構造においても、半導体層 6 1 において発生する電界を緩和してホットキャリア注入による劣化を防ぐことができる。

【 0 0 7 3 】

また、図 6 中、6 0 は基板、6 1 a はチャネル形成領域、6 2 はゲート絶縁膜、6 5 はソース領域 6 1 c と電氣的に接続するソース電極、6 6 はドレイン領域 6 1 b と電氣的に接続するドレイン電極である。

10

20

30

40

50

## 【 0 0 7 4 】

また、本実施の形態は、上記実施の形態 1 または実施の形態 2 と自由に組み合わせることが可能である。

## 【 0 0 7 5 】

(実施の形態 4)

本発明の一例を図 7 に示す。図 7 ( A ) は上面図であり、図 7 ( B ) が断面図である。

## 【 0 0 7 6 】

図 7 に示した構造は、デュアルゲート構造とよばれる構造であり、基板上にゲート電極 7 1 が形成され、ゲート電極 7 1 を覆う下地絶縁膜 7 2 を形成した後、下地絶縁膜 7 2 上に半導体層 7 3 を設け、該半導体層 7 3 上にゲート絶縁膜 7 4 を設け、ゲート電極 7 4 と電氣的に接続するゲート電極 7 5 をゲート絶縁膜 7 4 上に設けている。

10

## 【 0 0 7 7 】

さらに、図 7 に示した構造は、上記構成に加え、ゲート電極 7 5 と電氣的に接続する電極 7 9 を層間絶縁膜 7 6 上に設け、層間絶縁膜 7 6 を間に挟んで電極 7 9 が L D D 領域 7 3 d、7 3 e と重なるように配置した例である。

## 【 0 0 7 8 】

また、電極 7 9 は、ゲート絶縁膜 7 4 を介してゲート電極 7 1 が半導体層 7 3 に与える電界よりも弱い、L D D 領域 7 3 d、7 3 e に電界を与える。また、半導体層 7 3 の下方に設けられたゲート電極 7 1 も半導体層 7 3 に電界を与える。

## 【 0 0 7 9 】

図 7 に示した構造においても、半導体層 7 3 において発生する電界を緩和してホットキャリア注入による劣化を防ぐことができる。

20

## 【 0 0 8 0 】

また、図 7 中、7 0 は基板、7 3 a はチャネル形成領域、7 4 はゲート絶縁膜、7 7 はソース領域 7 3 c と電氣的に接続するソース電極、7 8 はドレイン領域 7 3 b と電氣的に接続するドレイン電極である。

## 【 0 0 8 1 】

また、図 7 においては、ゲート電極 7 1 とゲート電極 7 5 とを電氣的に接続する例を示したが、ゲート電極 7 1 とゲート電極 7 5 とを電氣的に接続せずに、ゲート電極 7 1 を固定電位または接地電位としてもよい。

30

## 【 0 0 8 2 】

また、本実施の形態は、上記実施の形態 1 乃至 3 のいずれか一と自由に組み合わせることが可能である。

## 【 0 0 8 3 】

(実施の形態 5)

本発明の一例を図 8 に示す。図 8 ( A ) は上面図であり、図 8 ( B ) が断面図である。

## 【 0 0 8 4 】

図 8 に示した構造は、ダブルゲート構造とよばれるマルチゲート構造の一例であり、複数のゲート電極がゲート絶縁膜を間に挟んで半導体層 8 1 と重なっている。

## 【 0 0 8 5 】

図 8 に示した構造は、ゲート電極 8 3 と電氣的に接続する電極 8 7 を層間絶縁膜 8 4 上に設け、層間絶縁膜 8 4 を間に挟んで電極 8 7 が L D D 領域 8 1 d、8 1 e、8 1 f と重なるように配置した例である。なお、半導体層 8 1 には、L D D 領域 8 1 d と L D D 領域 8 1 e の間にチャネル形成領域 8 1 a と、L D D 領域 8 1 e と L D D 領域 8 1 f の間にチャネル形成領域 8 1 a とが設けられている。

40

## 【 0 0 8 6 】

また、電極 8 7 は、層間絶縁膜 8 4 を間に挟んで L D D 領域 8 1 d、8 1 e、8 1 f と重なっており、ゲート絶縁膜 8 2 を介してゲート電極 8 3 が半導体層 8 1 に与える電界よりも弱い、L D D 領域 8 1 d、8 1 e、8 1 f に電界を与える。

## 【 0 0 8 7 】

50

図 8 に示した構造においても半導体層 8 1 において発生する電界を緩和してホットキャリア注入による劣化を防ぐ。

【 0 0 8 8 】

また、図 8 中、8 0 は基板、8 3 a はチャネル形成領域、8 4 はゲート絶縁膜、8 7 はソース領域 8 3 c と電氣的に接続するソース電極、8 8 はドレイン領域 8 3 b と電氣的に接続するドレイン電極である。

【 0 0 8 9 】

また、本実施の形態は、上記実施の形態 1 乃至 4 のいずれか一と自由に組み合わせることが可能である。

【 0 0 9 0 】

(実施の形態 6)

本発明の一例を図 9 に示す。図 9 ( A ) は上面図であり、図 9 ( B 1 ) が断面図の一例であり、図 9 ( B 2 ) も断面図の一例である。

【 0 0 9 1 】

また、図 9 ( A ) において、上面における電極形状が図 1 と異なっており、電極 9 7 は矩形である。なお、この電極 9 7 の形状は、特に限定されない。

【 0 0 9 2 】

また、図 9 ( B 1 ) において、電極 9 7 は、層間絶縁膜 9 4 を間に挟んで L D D 領域 9 1 d、9 1 e と重なっており、ゲート絶縁膜 9 2 を介してゲート電極 9 3 が半導体層 9 1 に与える電界よりも弱いが、L D D 領域 9 1 d、9 1 e に電界を与える。即ち、本発明は、G O L D 構造の T F T と同等の特性を有する T F T を得ることができる。

【 0 0 9 3 】

図 9 ( B 1 ) に示した構造においても半導体層 9 1 において発生する電界を緩和してホットキャリア注入による劣化を防ぐ。また、図 9 中、9 0 は基板、9 1 a はチャネル形成領域、9 2 はゲート絶縁膜、9 5 はソース領域 9 1 c と電氣的に接続するソース電極、9 6 はドレイン領域 9 1 b と電氣的に接続するドレイン電極である。

【 0 0 9 4 】

一方、図 9 ( B 2 ) に示した構造は、図 9 ( B 1 ) と電極 9 8 が設けられている層が異なっているのみであるため、他の部分の説明は図 9 ( B 1 ) を参照すればよい。

【 0 0 9 5 】

図 9 ( B 2 ) に示した構造は、電極 9 8 が層間絶縁膜 9 4 上に設けられ、ソース電極 9 5、ドレイン電極 9 6 が層間絶縁膜 9 9 上に設けられた例である。図 9 ( B 2 ) の構造とすることにより、図 9 ( B 1 ) よりも工程数が増加するものの、電極 9 8 とドレイン電極 9 5 (またはソース電極 9 6) との間隔を狭めることが可能となるのでさらなる微細化が可能となる。

【 0 0 9 6 】

また、本実施の形態は、上記実施の形態 1 乃至 5 のいずれか一と自由に組み合わせることが可能である。

【 0 0 9 7 】

(実施の形態 7)

本発明の一例を図 1 0 に示す。図 1 0 ( A ) は上面図であり、図 1 0 ( B ) が断面図の一例である。

【 0 0 9 8 】

図 1 0 に示した構造は、層間絶縁膜を平坦化して電極 1 0 7 と半導体層 1 0 1 との距離を短く調節した例である。

【 0 0 9 9 】

また、図 1 0 に示した構造は、ゲート電極 1 0 3 と電氣的に接続する電極 1 0 7 を表面が平坦な層間絶縁膜 1 0 4 上に設け、該電極 1 0 7 の下方に位置する半導体層 1 0 1 において発生するチャネル形成領域 1 0 1 a と L D D 領域 1 0 1 d との境界付近またはチャネル形成領域 1 0 1 a と L D D 領域 1 0 1 e との境界付近で生じる電界を緩和してホットキャ

10

20

30

40

50

リア注入による劣化を防ぐ。

【0100】

また、電極107は、平坦な層間絶縁膜104を間に挟んでLDD領域101d、101eと重なっており、ゲート絶縁膜102を介してゲート電極103が半導体層101に与える電界よりも弱い、LDD領域101d、101eに電界を与える。即ち、図10に示した構造は、GOLD構造のTFTと同等の特性を有するTFTを得ることができる。

【0101】

また、図10に示した構造は、層間絶縁膜を形成した後、平坦化処理を行う。この平坦化処理として、塗布膜（レジスト膜等）を形成した後エッチングなどを行って平坦化するエッチバック法や機械的研磨法（CMP法）等を用いればよい。この平坦化処理を行うことによって、電極107と半導体層101との距離を自由に調節することができる。

10

【0102】

また、平坦化処理を行わなくとも成膜段階で平坦な絶縁膜、例えば塗布法により得られる無機絶縁膜または有機樹脂膜を形成してもよい。

【0103】

また、図10中、100は基板、102はゲート絶縁膜、105はソース領域101cと電氣的に接続するソース電極、106はドレイン領域31bと電氣的に接続するドレイン電極である。

【0104】

以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

20

【0105】

（実施例）

[実施例1]

本実施例では、画素部と、画素部の周辺に設ける駆動回路のTFT（nチャネル型TFT及びpチャネル型TFT）を同時に形成したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。説明には図10を用いる。なお、図示しないが、画素部においては、画素電極を有するnチャネル型TFTからなる画素TFTと、保持容量とが設けられている。また、反射型の液晶表示装置を得る場合は、画素電極として光反射率の高い金属膜、代表的にはアルミニウムまたは銀を主成分とする材料膜、またはそれらの積層膜等を用いればよく、透過型の液晶表示装置を得る場合は、透光性を有する導電膜、代表的には、ITO（酸化インジウム酸化スズ合金）、酸化インジウム酸化亜鉛合金（ $In_2O_3$ 、 $ZnO$ ）、酸化亜鉛（ $ZnO$ ）等を用いればよい。

30

【0106】

まず、上記実施の形態1乃至7のいずれか一のTFTを設けたアクティブマトリクス基板を得た後、アクティブマトリクス基板上に配向膜を形成しラビング処理を行う。なお、本実施例では配向膜を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターンニングすることによって基板間隔を保持するための柱状のスペーサを所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0107】

次いで、対向基板を用意する。この対向基板には、着色層、遮光層が各画素に対応して配置されたカラーフィルタが設けられている。また、駆動回路の部分にも遮光層を設けた。このカラーフィルタと遮光層とを覆う平坦化膜を設けた。次いで、平坦化膜上に透明導電膜からなる対向電極を画素部に形成し、対向基板の全面に配向膜を形成し、ラビング処理を施した。

40

【0108】

そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材で貼り合わせる。シール材にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料を注入し、封止剤（図示せず）によって完全に封止する。液晶材料には公知の液晶

50

材料を用いれば良い。このようにしてアクティブマトリクス型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、公知の技術を用いて偏光板等を適宜設けた。そして、公知の技術を用いてFPCを貼りつけた。

【0109】

こうして得られた液晶モジュールの構成を図11の上面図を用いて説明する。

【0110】

アクティブマトリクス基板301の中央には、画素部304が配置されている。画素部304の上側には、ソース信号線を駆動するためのソース信号線駆動回路302が配置されている。画素部304の左右には、ゲート信号線を駆動するためのゲート信号線駆動回路303が配置されている。本実施例に示した例では、ゲート信号線駆動回路303は画素部に対して左右対称配置としているが、これは片側のみの配置でも良く、液晶モジュールの基板サイズ等を考慮して、設計者が適宜選択すれば良い。ただし、回路の動作信頼性や駆動効率等を考えると、図11に示した左右対称配置が望ましい。

10

【0111】

各駆動回路への信号の入力は、フレキシブルプリント基板(Flexible Print Circuit: FPC)305から行われる。FPC305は、基板301の所定の場所まで配置された配線に達するように、層間絶縁膜および樹脂膜にコンタクトホールを開口し、接続電極309を形成した後、異方性導電膜等を介して圧着される。本実施例においては、接続電極はITOを用いて形成した。

20

【0112】

駆動回路、画素部の周辺には、基板外周に沿ってシール剤307が塗布され、あらかじめアクティブマトリクス基板上に形成されたスペーサ310によって一定のギャップ(基板301と対向基板306との間隔)を保った状態で、対向基板306が貼り付けられる。その後、シール剤307が塗布されていない部分より液晶素子が注入され、封止剤308によって密閉される。以上の工程により、液晶モジュールが完成する。

【0113】

また、ここでは全ての駆動回路を基板上に形成した例を示したが、駆動回路の一部に数個のICを用いてもよい。

【0114】

本実施例では、駆動回路に用いるTFT、または画素部に用いるTFTとして実施の形態1乃至7のいずれかーに示した電気特性、信頼性ともに高いTFTを用いるため、従来に比べて信頼性の高い液晶表示装置を形成することができる。また、そのような液晶表示装置を表示部として用いることにより高性能な電気器具を得ることができる。

30

【0115】

また、本実施例は、実施の形態1乃至7のいずれとも自由に組みあわせることが可能である。

【0116】

[実施例2]

本実施例では透過型の表示装置の一例を示す。

40

【0117】

アクティブマトリクス基板を用い、実施例1に従って液晶モジュールを作製し、バックライト604、導光板605を設け、カバー606で覆えば、図12にその断面図の一部を示したようなアクティブマトリクス型液晶表示装置が完成する。なお、カバーと液晶モジュールは接着剤や有機樹脂を用いて貼り合わせる。また、基板と対向基板を貼り合わせる際、枠で囲んで有機樹脂を枠と基板との間に充填して接着してもよい。また、透過型であるので偏光板603は、アクティブマトリクス基板と対向基板の両方に貼り付ける。

【0118】

本実施例においても、駆動回路に用いるTFT、または画素部に用いるTFTとして実施の形態1乃至7のいずれかーに示した電気特性、信頼性ともに高いTFTを用いるため、

50

従来に比べて信頼性の高い液晶表示装置を形成することができる。また、そのような液晶表示装置を表示部として用いることにより高性能な電気器具を得ることができる。

【0119】

また、本実施例は、実施の形態1乃至7のいずれとも自由に組みあわせることが可能である。

【0120】

[実施例3]

本実施例では、EL (Electro Luminescence) 素子を備えた発光表示装置を作製する例を図13に示す。

【0121】

図13(A)は、ELモジュールを示す上面図、図13(B)は図13(A)をA-A'で切断した断面図である。絶縁表面を有する基板900(例えば、ガラス基板、結晶化ガラス基板、もしくはプラスチック基板等)に、画素部902、ソース側駆動回路901、及びゲート側駆動回路903を形成する。これらの画素部や駆動回路は、上記実施例に従えば得ることができる。また、918はシール材、919はDLC膜であり、画素部および駆動回路部はシール材918で覆われ、そのシール材は保護膜919で覆われている。さらに、接着材を用いてカバー材920で封止されている。熱や外力などによる変形に耐えるためカバー材920は基板900と同じ材質のもの、例えばガラス基板を用いることが望ましく、サンドブラスト法などにより図13に示す凹部形状(深さ3~10 $\mu$ m)に加工する。さらに加工して乾燥剤921が設置できる凹部(深さ50~200 $\mu$ m)を形成することが望ましい。また、多面取りでELモジュールを製造する場合、基板とカバー材とを貼り合わせた後、CO<sub>2</sub>レーザー等を用いて端面が一致するように分断してもよい。

【0122】

なお、908はソース側駆動回路901及びゲート側駆動回路903に入力される信号を伝送するための配線であり、外部入力端子となるFPC(フレキシブルプリントサーキット)909からビデオ信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤(PWB)が取り付けられていても良い。本明細書における発光装置には、発光装置本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。

【0123】

次に、断面構造について図13(B)を用いて説明する。基板900上に絶縁膜910が設けられ、絶縁膜910の上方には画素部902、ゲート側駆動回路903が形成されており、画素部902は電流制御用TFT911とそのドレインに電氣的に接続された画素電極912を含む複数の画素により形成される。また、ゲート側駆動回路903はnチャネル型TFT913とpチャネル型TFT714とを組み合わせたCMOS回路を用いて形成される。

【0124】

これらのTFT(911、913、914を含む)は、上記実施の形態1乃至7のいずれか一を用いたnチャネル型TFT、上記実施の形態1乃至7のいずれか一を用いたpチャネル型TFTに従って作製すればよい。

【0125】

なお、TFTとEL素子の間に設ける絶縁膜としては、アルカリ金属イオンやアルカリ土金属イオン等の不純物イオンの拡散をブロックするだけでなく、積極的にアルカリ金属イオンやアルカリ土金属イオン等の不純物イオンを吸着する材料が好ましく、更には後のプロセス温度に耐えうる材料が適している。これらの条件に合う材料は、一例としてフッ素を多く含んだ窒化シリコン膜が挙げられる。窒化シリコン膜の膜中に含まれるフッ素濃度は、 $1 \times 10^{19} / \text{cm}^3$ 以上、好ましくは窒化シリコン膜中でのフッ素の組成比を1~5%とすればよい。窒化シリコン膜中のフッ素がアルカリ金属イオンやアルカリ土金属イオン等と結合し、膜中に吸着される。また、他の例としてアルカリ金属イオンやアルカリ土

10

20

30

40

50

金属イオン等を吸着するアンチモン (Sb) 化合物、スズ (Sn) 化合物、またはインジウム (In) 化合物からなる微粒子を含む有機樹脂膜、例えば、五酸化アンチモン微粒子 ( $Sb_2O_5 \cdot nH_2O$ ) を含む有機樹脂膜も挙げられる。なお、この有機樹脂膜は、平均粒径 10 ~ 20 nm の微粒子が含まれており、光透過性も非常に高い。この五酸化アンチモン微粒子で代表されるアンチモン化合物は、アルカリ金属イオン等の不純物イオンやアルカリ土金属イオンを吸着しやすい。

#### 【0126】

画素電極 912 は発光素子 (EL 素子) の陽極として機能する。また、画素電極 912 の両端にはバンク 915 が形成され、画素電極 912 上には EL 層 916 および発光素子の陰極 917 が形成される。

10

#### 【0127】

EL 層 916 としては、発光層、電荷輸送層または電荷注入層を自由に組み合わせて EL 層 (発光及びそのためのキャリアの移動を行わせるための層) を形成すれば良い。例えば、低分子系有機 EL 材料や高分子系有機 EL 材料を用いればよい。また、EL 層として一重項励起により発光 (蛍光) する発光材料 (シングレット化合物) からなる薄膜、または三重項励起により発光 (リン光) する発光材料 (トリプレット化合物) からなる薄膜を用いることができる。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機 EL 材料や無機材料は公知の材料を用いることができる。

#### 【0128】

陰極 917 は全画素に共通の配線としても機能し、接続配線 908 を経由して FPC 909 に電氣的に接続されている。さらに、画素部 902 及びゲート側駆動回路 903 に含まれる素子は全て陰極 917、シール材 918、及び保護膜 919 で覆われている。

20

#### 【0129】

なお、シール材 918 としては、できるだけ可視光に対して透明もしくは半透明な材料を用いるのが好ましい。また、シール材 918 はできるだけ水分や酸素を透過しない材料であることが望ましい。

#### 【0130】

また、シール材 918 を用いて発光素子を完全に覆った後、すくなくとも図 13 に示すように DLC 膜等からなる保護膜 919 をシール材 918 の表面 (露呈面) に設けることが好ましい。また、基板の裏面を含む全面に保護膜を設けてもよい。ここで、外部入力端子 (FPC) が設けられる部分に保護膜が成膜されないように注意することが必要である。マスクを用いて保護膜が成膜されないようにしてもよいし、CVD 装置でマスキングテープとして用いるテフロン (登録商標) 等のテープで外部入力端子部分を覆うことで保護膜が成膜されないようにしてもよい。

30

#### 【0131】

以上のような構造で発光素子をシール材 918 及び保護膜で封入することにより、発光素子を外部から完全に遮断することができ、外部から水分や酸素等の EL 層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い発光装置を得ることができる。

40

#### 【0132】

また、画素電極を陰極とし、EL 層と陽極を積層して図 13 とは逆方向に発光する構成としてもよい。

#### 【0133】

本実施例では、駆動回路に用いる TFT、または画素部に用いる TFT として実施の形態 1 乃至 7 のいずれか一に示した電気特性、信頼性ともに高い TFT を用いるため、従来の素子に比べて信頼性の高い発光素子を形成することができる。また、そのような発光素子を有する発光装置を表示部として用いることにより高性能な電気器具を得ることができる。

#### 【0134】

50



なお、本実施例は実施の形態 1 ~ 7 と自由に組み合わせることが可能である。

【 0 1 3 5 】

[ 実施例 4 ]

本発明を実施して形成された駆動回路や画素部は様々なモジュール（アクティブマトリクス型液晶モジュール、アクティブマトリクス型 EL モジュール、アクティブマトリクス型 EC モジュール）に用いることができる。即ち、それらを表示部に組み込んだ電子機器全てに本発明を実施できる。

【 0 1 3 6 】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 1 4 ~ 図 1 6 に示す。

10

【 0 1 3 7 】

図 1 4 ( A ) はパーソナルコンピュータであり、本体 2 0 0 1、画像入力部 2 0 0 2、表示部 2 0 0 3、キーボード 2 0 0 4 等を含む。本発明を表示部 2 0 0 3 に適用することができる。

【 0 1 3 8 】

図 1 4 ( B ) はビデオカメラであり、本体 2 1 0 1、表示部 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 等を含む。本発明を表示部 2 1 0 2 に適用することができる。

20

【 0 1 3 9 】

図 1 4 ( C ) はモバイルコンピュータ（モバイルコンピュータ）であり、本体 2 2 0 1、カメラ部 2 2 0 2、受像部 2 2 0 3、操作スイッチ 2 2 0 4、表示部 2 2 0 5 等を含む。本発明は表示部 2 2 0 5 に適用できる。

【 0 1 4 0 】

図 1 4 ( D ) はゴーグル型ディスプレイであり、本体 2 3 0 1、表示部 2 3 0 2、アーム部 2 3 0 3 等を含む。本発明は表示部 2 3 0 2 に適用することができる。

【 0 1 4 1 】

図 1 4 ( E ) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 2 4 0 1、表示部 2 4 0 2、スピーカ部 2 4 0 3、記録媒体 2 4 0 4、操作スイッチ 2 4 0 5 等を含む。なお、このプレーヤーは記録媒体として DVD ( Digital Versatile Disc )、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部 2 4 0 2 に適用することができる。

30

【 0 1 4 2 】

図 1 4 ( F ) はデジタルカメラであり、本体 2 5 0 1、表示部 2 5 0 2、接眼部 2 5 0 3、操作スイッチ 2 5 0 4、受像部（図示しない）等を含む。本発明を表示部 2 5 0 2 に適用することができる。

【 0 1 4 3 】

図 1 5 ( A ) はフロント型プロジェクターであり、投射装置 2 6 0 1、スクリーン 2 6 0 2 等を含む。本発明は投射装置 2 6 0 1 の一部を構成する液晶モジュール 2 8 0 8 に適用することができる。

40

【 0 1 4 4 】

図 1 5 ( B ) はリア型プロジェクターであり、本体 2 7 0 1、投射装置 2 7 0 2、ミラー 2 7 0 3、スクリーン 2 7 0 4 等を含む。本発明は投射装置 2 7 0 2 の一部を構成する液晶モジュール 2 8 0 8 に適用することができる。

【 0 1 4 5 】

なお、図 1 5 ( C ) は、図 1 5 ( A ) 及び図 1 5 ( B ) 中における投射装置 2 6 0 1、2 7 0 2 の構造の一例を示した図である。投射装置 2 6 0 1、2 7 0 2 は、光源光学系 2 8 0 1、ミラー 2 8 0 2、2 8 0 4 ~ 2 8 0 6、ダイクロイックミラー 2 8 0 3、プリズム

50

2807、液晶モジュール2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図15(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0146】

また、図15(D)は、図15(C)中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図15(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

10

【0147】

ただし、図15に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及びELモジュールでの適用例は図示していない。

【0148】

図16(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906、画像入力部(CCD、イメージセンサ等)2907等を含む。本発明を表示部2904に適用することができる。

20

【0149】

図16(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002、3003に適用することができる。

【0150】

図16(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。

【0151】

ちなみに図16(C)に示すディスプレイは中小型または大型のもの、例えば5~20インチの画面サイズのものである。また、このようなサイズの表示部を形成するためには、基板の一辺が1mのものを用い、多面取りを行って量産することが好ましい。

30

【0152】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器の作製方法に適用することが可能である。また、本実施例の電子機器は実施例1~3のどのような組み合わせからなる構成を用いても実現することができる。

【0153】

【発明の効果】

本発明により工程数を増加させることなく、GOLD構造と同等の効果を得ることができ、TFTが占める面積を縮小することができるため、今後のさらなる高精細化(画素数の増大)及び小型化に伴う各表示画素ピッチの微細化を進められる。

40

【図面の簡単な説明】

【図1】 実施の形態1を示す図。

【図2】 実施の形態1を示す図。

【図3】 実施の形態1を示す図。

【図4】 シミュレーションにおけるモデル図およびシミュレーション結果を示す図。

【図5】 実施の形態2を示す図。

【図6】 実施の形態3を示す図。

【図7】 実施の形態4を示す図。

【図8】 実施の形態5を示す図。

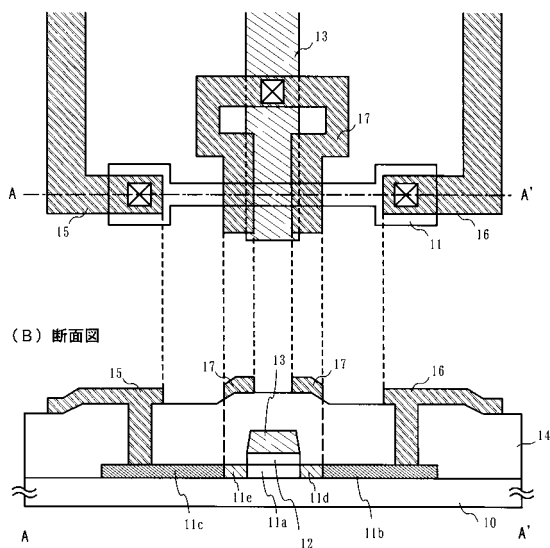
【図9】 実施の形態6を示す図。

50

- 【図10】 実施の形態7を示す図。
- 【図11】 AM-LCDの外観を示す図。(実施例1)
- 【図12】 液晶表示装置の断面図の一例を示す図である。(実施例2)
- 【図13】 ELモジュールの上面および断面を示す図である。(実施例3)
- 【図14】 電子機器の一例を示す図。
- 【図15】 電子機器の一例を示す図。
- 【図16】 電子機器の一例を示す図。

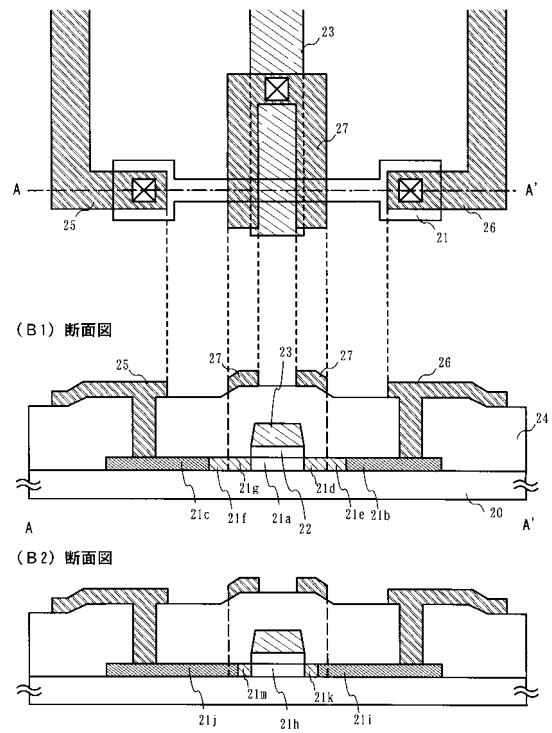
【図1】

(A) 上面図



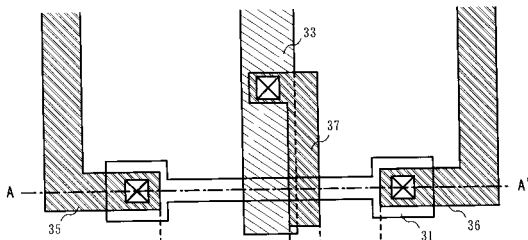
【図2】

(A) 上面図

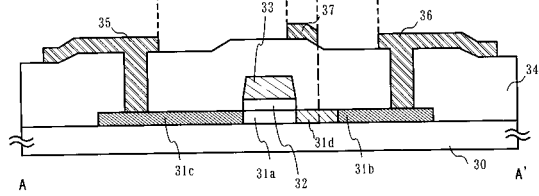


【図3】

(A) 上面図

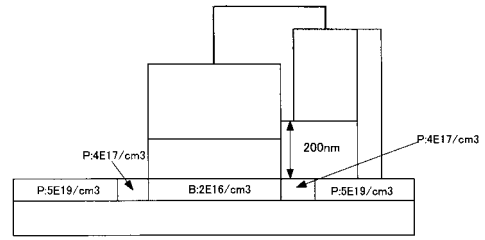


(B) 断面図

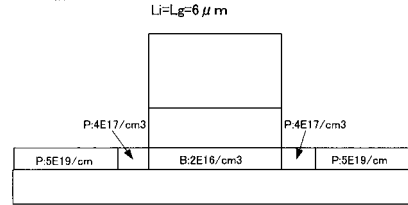


【図4】

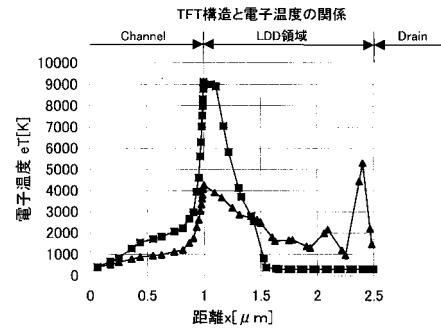
(A) 本発明のTFTモデル  $L_i=L_g=6\mu m$  同電位



(B) 従来のLDD構造

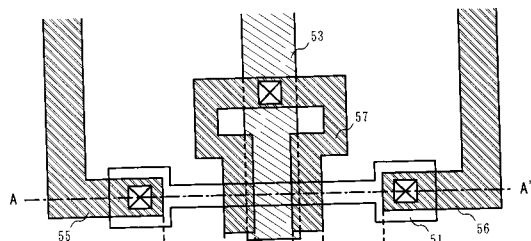


(C) Drain側LDD部の電子温度分布(活性層表面から深さ5nmにおける)

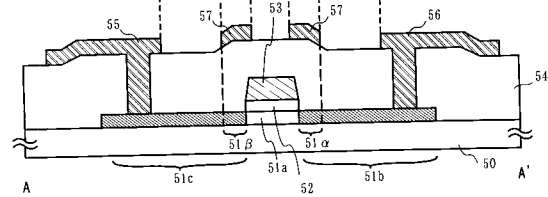


【図5】

(A) 上面図

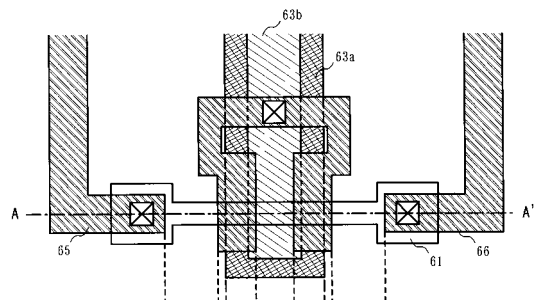


(B) 断面図

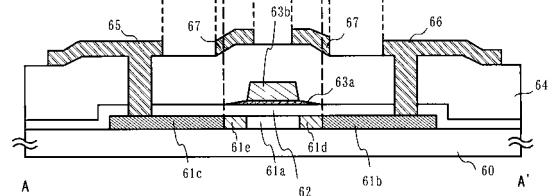


【図6】

(A) 上面図

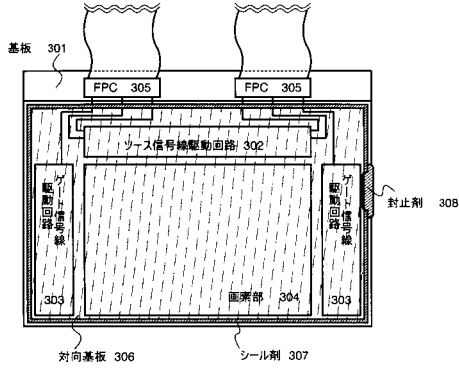


(B) 断面図

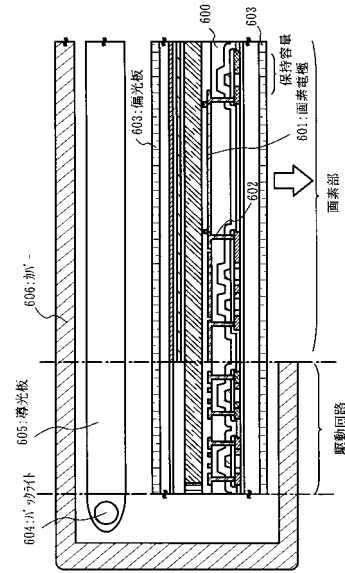




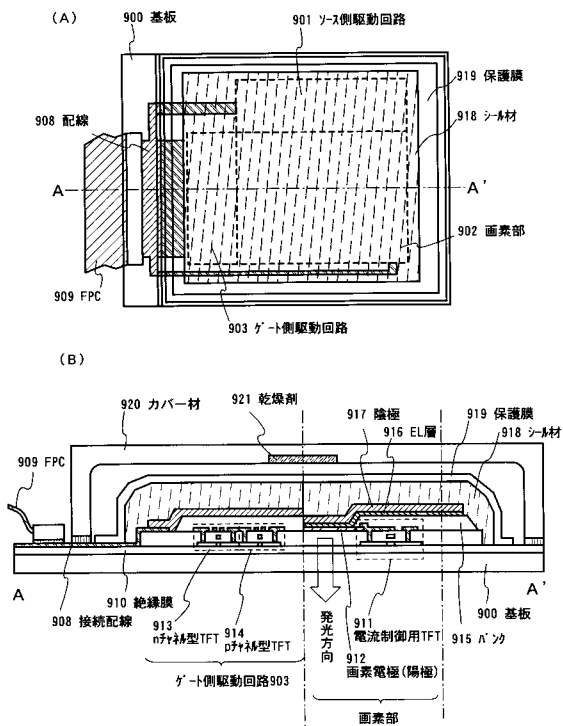
【図11】



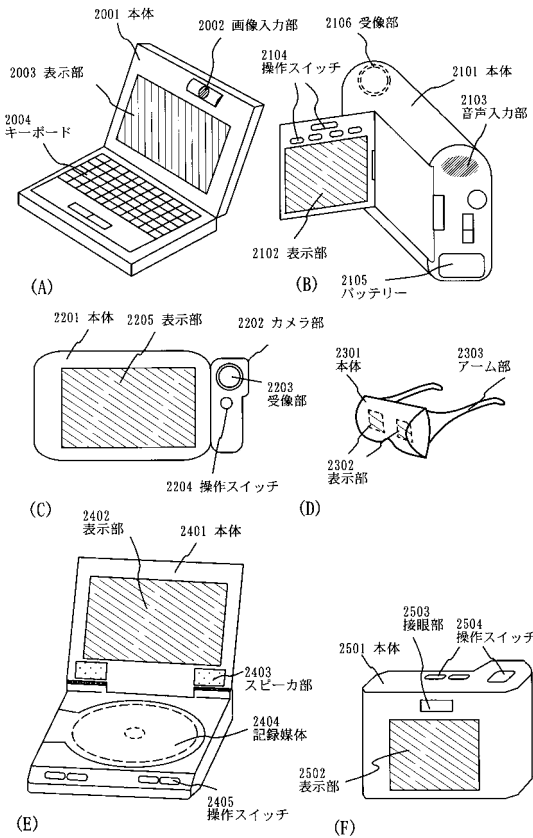
【図12】



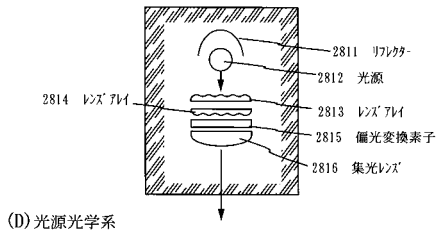
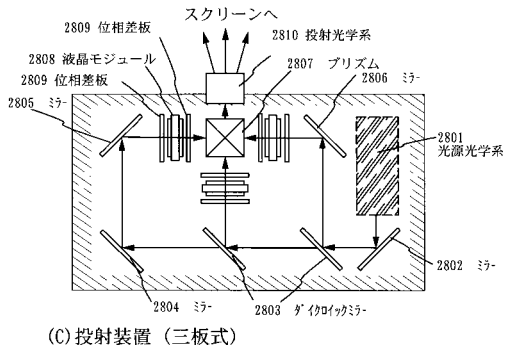
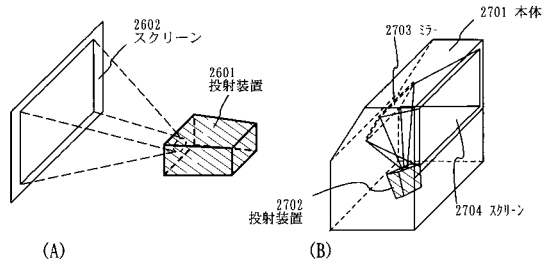
【図13】



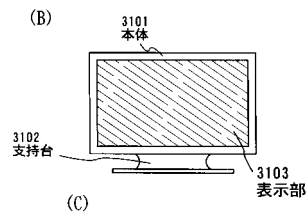
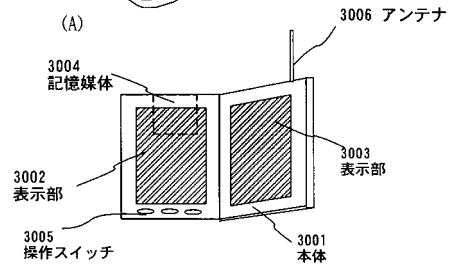
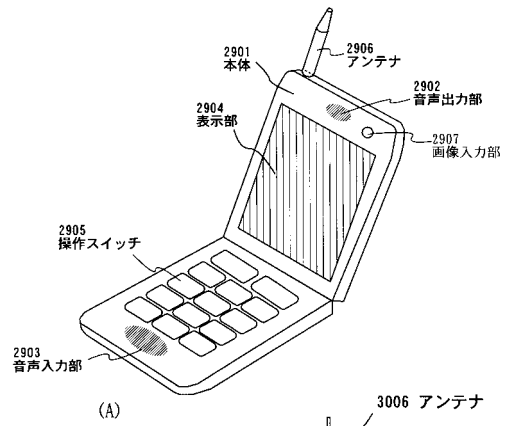
【図14】



【図15】



【図16】



---

フロントページの続き

- (56)参考文献 特開平06-013407(JP,A)  
特開平05-055576(JP,A)  
特開平10-189954(JP,A)  
特開平07-211917(JP,A)  
国際公開第99/039241(WO,A1)  
特開2001-094113(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 29/786