

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置、層合型半導體裝置、密封後層合型半導體裝置、及此等之製造方法

【技術領域】

[0001] 本發明係關於半導體裝置、層合型半導體裝置、密封後層合型半導體裝置、及此等之製造方法。

【先前技術】

[0002] 伴隨著個人電腦、數位相機、行動電話等各種的電子機器之小型化或高性能化，對於半導體元件之更加小型化、薄型化及高密度化的要求亦急速高漲。因此，期望開發可對應於生產性提昇之基板面積的增大，且在晶片尺寸封裝或晶片規模封裝(CSP)或者立體層合之高密度安裝技術中能夠對應之感光性絕緣材料或加以層合之半導體裝置、其製造方法。

[0003] 以往，作為將形成於半導體元件上之電極與基板上形成的配線圖型連接所得之半導體裝置的製造方法，係可列舉以線結合所致之半導體元件與基板之接合為例。然而，於以線結合所致之半導體元件與基板之接合中，係必須於半導體元件上配置將金屬線拉出的空間，因此裝置會變大，而難以謀求小型化。

[0004] 另一方面，於專利文獻 1、2 中揭示出不使用線結合而將半導體元件載置於配線基板的例子，或將半導體元件載置於立體層合並施以配線之基板的方法。

[0005] 於專利文獻 1 中係揭示出具有如受光元件或發光元件般之半導體元件的半導體裝置之製造方法的例子，如第 25 圖所示般，半導體裝置 50 係經由貫穿電極 56 來將 A1 電極墊 55 與再配線圖型 52 進行連接，並將半導體裝置之再配線圖型 52 與配線基板 53 上之再配線圖型 57 經由焊錫凸塊 58 進行連接的例子。於半導體裝置的上面係形成有裝置形成層 59 與複數個 A1 電極墊 55。於 A1 電極墊 55 與再配線圖型 52 之間係藉由乾蝕刻而設置有貫穿半導體裝置之貫穿孔 54，於貫穿孔 54 的內部係藉由 Cu 鍍敷而形成有貫穿電極 56。裝置形成層 59 係配置於半導體裝置的上面，而進行受光或發光。

依據此方法，雖不進行以線結合所致之半導體元件 51 與配線基板 53 的接合，但必須於半導體裝置上實施再配線，且配置焊錫凸塊，使伴隨著半導體裝置之小型化的再配線之微細化、焊錫凸塊之高密度化成為必要，而在實際面上遭遇困難。

[0006] 另一方面，於專利文獻 2 中係揭示出可用於複數個半導體元件之立體層合上有助益的半導體裝置之製造方法，如第 26 圖所示般，例示將半導體元件 180 與半導體元件 280 進行層合的結構。

加以層合的各半導體元件，係於具有芯基材(150、

250)、貫穿電極(140、240)與配線層(157、257)的基板(110、210)上，經由焊錫凸塊(170、270)與半導體元件之墊(182、282)而接合有半導體元件(180、280)者。又，配線層(157、257)係具有安裝墊(165、265)、連接墊(164、264)、以及配線(266)。再者，於基板(110、210)之最表面與半導體元件(180、280)之間係填充有底部填充材(184、284)。於專利文獻 2 中揭示出將如此之接合有半導體元件的基板經由焊錫凸塊(174、176)來進行接合並層合的方法。

[0007] 然而，於專利文獻 2 中，由於是將半導體元件藉由焊錫凸塊來接合於配線基板，因此與專利文獻 1 相同地，使伴隨著半導體元件之小型化的焊錫凸塊之高密度化成為極重要的一環，而實際上亦遭遇困難。又，設置於第 2 基板 210 之貫穿電極的形成係存在有其步驟繁雜且並非容易的問題點。

[0008] 又，於專利文獻 3 係揭示出將載置於配線基板的半導體裝置或其製造方法或者將半導體元件組裝於層合結構的半導體裝置或其製造方法的例子。於專利文獻 3 中係如第 27 圖所示般，揭示出一種半導體裝置，或將此半導體裝置載置於配線基板的半導體裝置、將複數個半導體元件進行層合的半導體裝置之製造方法，該半導體裝置係包含：有機基板 301、在厚度方向貫穿有機基板 301 之貫穿孔 304、設置於有機基板 301 之兩面，且電連接於貫穿孔 304 之外部電極 305b 及內部電極 305a、經由接著層

303 以元件電路面為上來搭載於有機基板 301 之其中一方的主面上之半導體元件 302、將半導體元件 302 及其周邊進行密封之絕緣材料層 306、設置於絕緣材料層 306 內，且其一部分露出於外部表面之金屬薄膜配線層 307、電連接於金屬薄膜配線層 307 之金屬孔 310、配線保護膜 311、與形成於金屬薄膜配線層 307 上之外部電極 309，且金屬薄膜配線層 307 係具有將配置於半導體元件 302 之元件電路面的電極、內部電極 305a、金屬孔 310、與形成於金屬薄膜配線層 307 上的外部電極 309 電連接的結構。依據專利文獻 3，無須於半導體元件上形成多數個焊錫凸塊，可於半導體元件上形成多數個電極，而成為能夠與高密度化相對應地進行半導體裝置之小型化。

[0009] 然而，不可否認於上述專利文獻 3 所記載之半導體裝置的結構體中，對於配線基板之貫穿孔 304 的形成係有加工困難的情形。雖例示有使用了微細鑽孔之加工或雷射加工，但在期望更進一步之半導體裝置的微細化之際，並不能說是理想的加工技術。

[0010] 又，於專利文獻 3 中，係如第 28 圖所示般，將塗佈於半導體元件表層的感光性樹脂層 316 進行圖型化，形成開口 317，藉此製成形成於半導體元件 302 上之孔部 308。進而，形成於半導體元件之周邊的絕緣材料層 306 係使用旋轉塗佈等來形成。然而，實際上由於將感光性樹脂層 316 塗佈於半導體元件 302 表層的步驟、與於半導體元件 302 周邊形成絕緣材料層 306 的步驟，2 次都必

須供給樹脂，因此步驟煩雜，又，在以旋轉塗佈進行絕緣材料層 306 之供給的情況中，半導體元件 302 的高度係為重要，在如超過數十 μm 般之高度時，要越過半導體元件而不產生間隙地供給絕緣材料層 306 實際上係有困難。再者，雖例示藉由其他的步驟來進行感光性樹脂層 316 之孔部 308 的形成與絕緣材料層 306 之金屬孔 310 的形成之例子，或藉由雷射等來進行金屬孔 310 的加工之例子，但此等之步驟係為煩雜，且並不合理。進而，雖可將感光性樹脂層 316 與絕緣材料層 306 同時供給至半導體元件 302 周邊部及電路形成面，但實際上並無具體的方法之例示，於半導體元件周邊不產生間隙地供給此等之樹脂層一事係有困難。又，雖亦有同時進行感光性樹脂層 316 之孔部 308 與絕緣材料層 306 之金屬孔 310 的形成，但針對具體的方法並無記載。

[先前技術文獻]

[專利文獻]

[0011]

[專利文獻 1]日本特開 2007-67016 號公報

[專利文獻 2]日本特開 2010-245509 號公報

[專利文獻 3]日本特開 2013-30593 號公報

【發明內容】

[發明所欲解決之課題]

[0012] 本發明係鑑於上述情事而完成者，其目的為

提供一種對於配線基板之載置或半導體裝置之層合為容易，且即使於金屬配線之密度大的情況中半導體裝置之翹曲亦受到抑制的半導體裝置。

又，其目的為提供一種在製造如此之半導體裝置時，能夠容易進行貫穿電極、電極墊部之開口等的加工之半導體裝置之製造方法。

進而，其目的為提供將如此之半導體裝置進行層合之層合型半導體裝置、將其載置於配線基板上並予以密封的密封後層合型半導體裝置、及此等之製造方法。

[用以解決課題之手段]

[0013] 為了解決上述課題，於本發明中係提供一種半導體裝置，其係具有半導體元件、與電連接於該半導體元件之半導體元件上金屬墊及金屬配線，且該金屬配線係電連接於貫穿電極及焊錫凸塊，

具有：載置有前述半導體元件之第一絕緣層、形成於前述半導體元件上之第二絕緣層、以及形成於該第二絕緣層上之第三絕緣層，

前述金屬配線係在前述第二絕緣層的上面經由前述半導體元件上金屬墊而電連接於前述半導體元件，且從前述第二絕緣層的上面貫穿前述第二絕緣層而在前述第二絕緣層的下面電連接於前述貫穿電極，

於前述第一絕緣層與前述半導體元件之間配置半導體元件下金屬配線，且該半導體元件下金屬配線係在前述第

二絕緣層的下面與前述金屬配線電連接。

[0014] 若為如此之半導體裝置，則藉由於半導體元件上實施微細的電極形成，並於半導體元件外部形成貫穿電極，而使對於配線基板之載置或半導體裝置之層合為容易，又，藉由以包夾半導體元件的方式於第二絕緣層的兩面形成金屬配線，而成為即使在金屬配線的密度為大之情況中半導體裝置之翹曲亦受到抑制的半導體裝置。

[0015] 又，此時，較佳為前述第一絕緣層係藉由光硬化性乾膜或光硬化性抗蝕劑塗佈膜所形成者，前述第二絕緣層係藉由前述光硬化性乾膜所形成者，前述第三絕緣層係藉由前述光硬化性乾膜或光硬化性抗蝕劑塗佈膜所形成者。

藉此，成為即使半導體元件之高度為數十 μm ，亦可無空隙等地埋入於半導體元件周邊的半導體裝置。

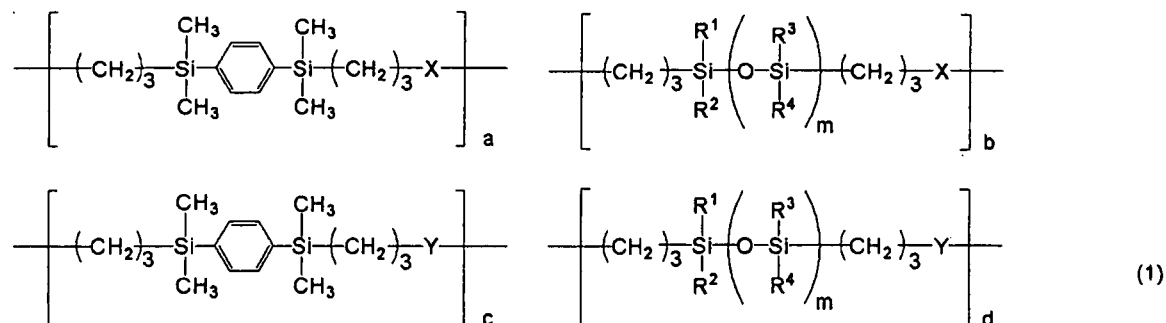
[0016] 又，此時，較佳為前述半導體元件的高度為 $20\sim 100\mu\text{m}$ ，前述第一絕緣層的膜厚為 $1\sim 20\mu\text{m}$ ，前述第二絕緣層的膜厚為 $5\sim 100\mu\text{m}$ ，前述第三絕緣層的膜厚為 $5\sim 100\mu\text{m}$ ，前述半導體裝置的厚度為 $50\sim 300\mu\text{m}$ 。

藉此，可無空隙等地埋入於半導體元件的周邊，且成為薄型之半導體裝置。

[0017] 又，此時，較佳為前述光硬化性乾膜係具有由化學增幅型負型抗蝕劑組成物材料所構成的光硬化性樹脂層之光硬化性乾膜，該化學增幅型負型抗蝕劑組成物材料係含有：

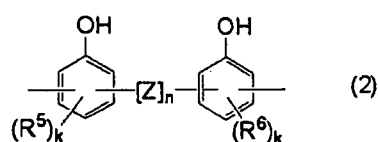
(A)具有以下述一般式(1)所示之重複單元的重量平均分子量為 3,000~500,000 之含矽酮骨架之高分子化合物、

【化1】



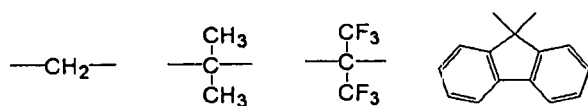
(式中， $\text{R}^1 \sim \text{R}^4$ 係表示可相同或相異之碳數 1~8 的 1 價烴基； m 為 1~100 之整數； a 、 b 、 c 、 d 為 0 或正數，且 a 、 b 、 c 、 d 不同時為 0；但， $a+b+c+d=1$ ；再者， X 係以下述一般式(2)所示之有機基， Y 係以下述一般式(3)所示之有機基)

【化2】



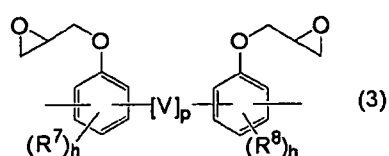
(式中， Z 係由

【化3】



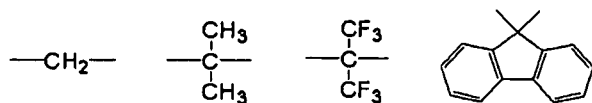
中任一者所選出的 2 價之有機基， n 為 0 或 1； R^5 及 R^6 係各自為碳數 1~4 之烷基或烷氧基，且可彼此相異或相同； k 為 0、1、2 中之任一者)

【化4】



(式中，V 係由

【化 5】



中任一者所選出的 2 價之有機基，p 為 0 或 1；R⁷ 及 R⁸ 係各自為碳數 1~4 之烷基或烷氧基，且可彼此相異或相同；h 為 0、1、2 中之任一者)。

(B)由藉由甲醛或甲醛-醇改質而成的胺基縮合物、1 分子中平均具有 2 個以上之羥甲基或烷氧基羥甲基的酚化合物所選出之 1 種或 2 種以上之交聯劑、

(C)藉由波長 190~500nm 之光進行分解，而產生酸之光酸產生劑、以及

(D)溶劑。

藉此，成為可進一步抑制翹曲的半導體裝置。

[0018] 又，於本發明中，係提供將上述半導體裝置覆晶化並複數層合而成的層合型半導體裝置。

若為本發明之半導體裝置，則由於半導體裝置之層合為容易，因此適於如此之層合型半導體裝置。

[0019] 又，於本發明中係提供一種密封後層合型半導體裝置，其係將上述之層合型半導體裝置載置於具有電路的基板上，並以絕緣密封樹脂層加以密封而成。

若為本發明之半導體裝置，則由於對於半導體裝置的配線基板之載置或半導體裝置之層合為容易，因此適於如此之密封後層合型半導體裝置。

[0020] 進而，於本發明中係提供一種半導體裝置之

製造方法，其係具有以下步驟：

(1)於支撐基板上塗佈暫時性接著劑，於該暫時性接著劑上形成使用抗蝕劑組成物材料作為光硬化性樹脂層之膜厚 $1\sim 20\mu\text{m}$ 的第一絕緣層之步驟；

(2)在對於前述第一絕緣層，藉由隔著遮罩之微影技術進行圖型化而形成成為貫穿電極的通孔圖型之後，進行烘烤，藉此使前述第一絕緣層硬化之步驟；

(3)於前述第一絕緣層進行以濺鍍所致之種晶層形成，其後，將前述成為貫穿電極之通孔圖型，藉由鍍敷來填埋，而形成與貫穿電極連接的金屬配線，並且形成半導體元件下金屬配線之步驟；

(4)使用晶片黏合劑將電極墊露出於上部表面之高度 $20\sim 100\mu\text{m}$ 的半導體元件晶片黏合於前述形成有半導體元件下金屬配線之硬化後的第一絕緣層上之步驟；

(5)準備具有膜厚 $5\sim 100\mu\text{m}$ 之光硬化性樹脂層為被支撐薄膜與保護薄膜包夾的結構，且該光硬化性樹脂層為由抗蝕劑組成物材料所構成的光硬化性乾膜之步驟；

(6)藉由以覆蓋被晶片黏合於前述第一絕緣層上之半導體元件的方式將前述光硬化性乾膜之光硬化性樹脂層進行疊層，而形成第二絕緣層之步驟；

(7)對於前述第二絕緣層，藉由隔著遮罩之微影技術進行圖型化，而同時形成前述電極墊上之開口、以及用以在與前述貫穿電極連接的金屬配線上形成貫穿前述第二絕緣層的金屬配線之開口、以及用以形成前述貫穿電極之開

口，之後，進行烘烤，藉此使前述第二絕緣層硬化之步驟；

(8)在硬化後，進行以濺鍍所致之種晶層形成，其後，將前述電極墊上之開口、用以形成貫穿前述第二絕緣層的金屬配線之開口、以及用以形成前述貫穿電極之開口，藉由鍍敷來填埋，而形成半導體元件上金屬墊、貫穿前述第二絕緣層之金屬配線、以及貫穿電極，並且將藉由前述鍍敷所形成的前述半導體元件上金屬墊與貫穿前述第二絕緣層的金屬配線藉由以鍍敷所得之金屬配線相連結之步驟；

(9)金屬配線形成後，將前述光硬化性乾膜之光硬化性樹脂層進行疊層或者將使用於前述光硬化性乾膜之抗蝕劑組成物材料進行旋轉塗佈，藉此形成第三絕緣層之步驟；

(10)在對於前述第三絕緣層，藉由隔著遮罩之微影技術進行圖型化而於前述貫穿電極上部形成開口之後，進行烘烤，藉此使前述第三絕緣層硬化之步驟；

(11)硬化後，於前述貫穿電極上部之開口形成焊錫凸塊之步驟。

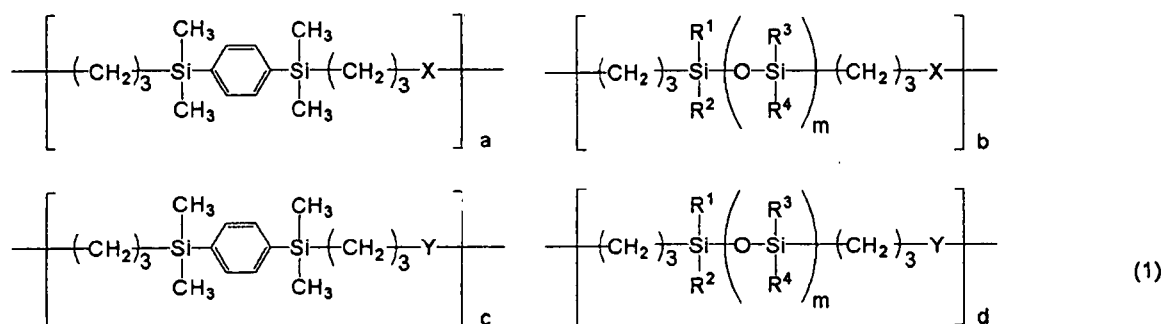
[0021] 若為如此之半導體裝置之製造方法，則藉由於半導體元件上實施微細的電極形成，並於半導體元件外部形成貫穿電極，而可容易進行對於配線基板之載置或半導體裝置之層合，又可容易進行貫穿電極、電極墊部之開口等的加工。又，藉由使用光硬化性乾膜，而可成為即使

半導體元件之高度為數十 μm ，亦可無空隙等地埋入於半導體元件周邊的半導體裝置。進而，藉由以包夾半導體元件的方式於第二絕緣層的兩面形成金屬配線，即使在金屬配線的密度為大之情況中亦可抑制半導體裝置之翹曲。

[0022] 又，此時，較佳為將在前述步驟(5)所準備的光硬化性乾膜設為具有由化學增幅型負型抗蝕劑組成物材料所構成的光硬化性樹脂層之光硬化性乾膜，該化學增幅型負型抗蝕劑組成物材料係含有：

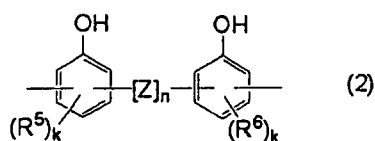
(A)具有以下述一般式(1)所示之重複單元的重量平均分子量為 3,000~500,000 之含矽酮骨架之高分子化合物、

【化6】



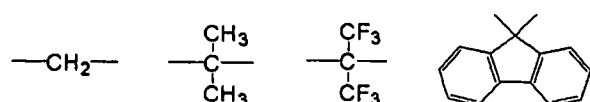
(式中， $\text{R}^1 \sim \text{R}^4$ 係表示可相同或相異之碳數 1~8 的 1 價烴基； m 為 1~100 之整數； a 、 b 、 c 、 d 為 0 或正數，且 a 、 b 、 c 、 d 不同時為 0；但， $a+b+c+d=1$ ；再者， X 係以下述一般式(2)所示之有機基， Y 係以下述一般式(3)所示之有機基)

【化7】



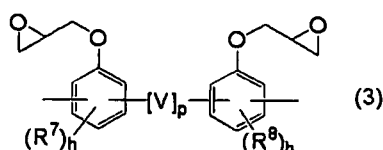
(式中， Z 係由

【化 8】



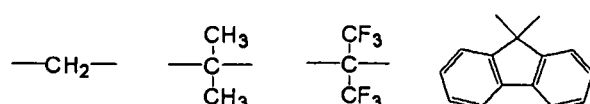
中任一者所選出的 2 價之有機基， n 為 0 或 1； R^5 及 R^6 係各自為碳數 1~4 之烷基或烷氧基，且可彼此相異或相同； k 為 0、1、2 中之任一者)。

【化 9】



(式中， V 係由

【化 10】



中任一者所選出的 2 價之有機基， p 為 0 或 1； R^7 及 R^8 係各自為碳數 1~4 之烷基或烷氧基，且可彼此相異或相同； h 為 0、1、2 中之任一者)。

(B)由藉由甲醛或甲醛-醇改質而成的胺基縮合物、1 分子中平均具有 2 個以上之羥甲基或烷氧基羥甲基的酚化合物所選出之 1 種或 2 種以上之交聯劑、

(C)藉由波長 190~500nm 之光進行分解，而產生酸之光酸產生劑、以及

(D)溶劑。

藉此，由於可減輕在個片化後所擔憂之半導體裝置的翹曲，因此使個片化後的半導體裝置之層合或對於配線基板之載置成為更容易。

[0023] 又，較佳為於前述步驟(6)中，包含對前述第二絕緣層進行機械性加壓的步驟。

藉此，可使半導體元件上之第二絕緣層的厚度減薄，以及予以均勻化，又可使第二絕緣層平坦化。

[0024] 又，此時，藉由於前述步驟(11)中，具有：於前述貫穿電極上部之開口藉由鍍敷形成貫穿電極上金屬墊之步驟、以及

於前述貫穿電極上金屬墊上形成焊錫球，製成焊錫凸塊之步驟的方法，可於貫穿電極上部之開口形成焊錫凸塊。

[0025] 又，若為於前述步驟(8)之以鍍敷所致之前述貫穿電極的形成中，包含進行以 SnAg 所致之鍍敷之步驟，

並且具有：於前述步驟(10)中，以於前述貫穿電極上部形成開口的方式進行圖型化，藉此使前述鍍敷後的 SnAg 露出之步驟、以及

於前述步驟(11)中，藉由將前述鍍敷後的 SnAg 進行熔融而於前述貫穿電極上部之開口處使電極隆起而形成焊錫凸塊之步驟

的方法，則可進一步容易且合理地於前述貫穿電極上部之開口形成焊錫凸塊。

[0026] 又，藉由在前述步驟(11)之後，進行：將在前述步驟(1)與第一絕緣層暫時接著的支撐基板去除之步驟、以及

在將前述基板去除後，進行切割，藉此予以個片化之步驟，

而可製造經個片化的半導體裝置。

[0027] 又，可製造將以上述之製造方法來藉由切割而個片化的複數個半導體裝置，包夾絕緣樹脂層，並藉由前述焊錫凸塊電接合而進行層合的層合型半導體裝置。

[0028] 進而，藉由具有：將以上述之製造方法所製造的層合型半導體裝置載置於具有電路的基板之步驟、以及

將載置於前述基板之層合型半導體裝置以絕緣密封樹脂層進行密封之步驟的方法

而可製造密封後層合型半導體裝置。

[發明效果]

[0029] 依據本發明之半導體裝置及其製造方法，可賦予如以下所示般的效果。

亦即，由於在將載置於形成在支撐基板上的第一絕緣層上之半導體元件周邊藉由將抗蝕劑組成物材料使用於光硬化性樹脂層的光硬化性乾膜進行填埋時，光硬化性樹脂層為膜厚 $5 \sim 100 \mu\text{m}$ ，因此即使於半導體元件的高度為數十 μm 之情況中也能夠於半導體元件周邊不產生空隙等地將光硬化性乾膜進行填埋，且更加容易。

[0030] 具有藉由在將載置於形成在支撐基板上的第一絕緣層上之半導體元件周邊藉由將抗蝕劑組成物材料使

用於光硬化性樹脂層的光硬化性乾膜進行疊層之後，對半導體元件上之光硬化性樹脂層(第二絕緣層)進行機械性加壓，而能夠進行膜厚之調整、薄膜化的優點，且機械性加壓係具有能夠使半導體元件外周之經疊層的光硬化性樹脂層的膜厚均勻化、平坦化的優點。

[0031] 於經疊層的光硬化性乾膜(第二絕緣層)中，可將位於半導體元件上之電極墊上的開口、用以形成貫穿第二絕緣層之金屬配線的開口、以及成為貫穿電極的開口之形成藉由隔著遮罩之微影技術所致之圖型化來整批、同時地進行。

[0032] 在將具有半導體元件之結構體進行立體層積，或載置於配線基板上時成為電極之貫穿電極孔(TMV=Through Metal Via)，係可藉由使用周知廣泛使用的隔著遮罩之微影技術而容易地進行。

[0033] 將半導體元件上之電極墊上的開口、用以形成貫穿第二絕緣層之金屬配線的開口、以及貫穿電極形成的開口藉由鍍敷進行填埋，形成半導體元件上金屬墊、貫穿第二絕緣層之金屬配線、以及貫穿電極，對將半導體元件上金屬墊與貫穿第二絕緣層之金屬配線藉由鍍敷而被進行金屬配線的配線上疊層光硬化性乾膜，藉此再度進行層合，並進行於配置在半導體元件之外部的貫穿電極(TMV)上部形成開口的圖型化，於形成在貫穿電極上部之開口的貫穿電極上金屬墊之上形成焊錫球，藉此而在將支撐基板移除之後進行個片化，此方法係可容易地製造半導

體裝置之方法。

[0034] 作為更容易且合理地製造半導體裝置的方法係提供以下方法：於貫穿電極(TMV)之鍍敷填入中，包含進行以 SnAg 所致之鍍敷的步驟，並在藉由將光硬化性乾膜進行疊層而再度進行層合，在進行於貫穿電極上部形成開口的圖型化之後，經過使 SnAg 之鍍敷露出的步驟、以及圖型化後，藉由烘烤使薄膜硬化的步驟之後，將藉由鍍敷所填充的 SnAg 熔融，藉此使其朝向貫穿電極開口部隆起。

[0035] 藉由暫時性接著劑來進行形成在支撐基板上的第一絕緣層與支撐基板之接著，接著，容易地去除支撐基板的步驟，與在將支撐基板移除後藉由分割而進行個片化者對於製造經個片化的半導體裝置而言為容易且合理。

[0036] 以上述製造方法所得之經個片化的半導體裝置，上部係焊錫球或作為隆起後的 SnAg 之焊錫凸塊會突出，且下部係藉著脫離基板，藉此可使貫穿電極容易露出，因此，使用突出的焊錫凸塊與露出的電極，可將複數個經個片化的半導體裝置容易地進行電接合，而可進行層合，故非常合理。

[0037] 又，於以往之僅在半導體元件上金屬墊側施以金屬配線的單面配線圖型中，若配線密度過大，則有半導體裝置本身的翹曲變大之傾向，但本發明之半導體裝置係藉由以包夾半導體元件的方式於第二絕緣層的兩面形成金屬配線，即使配線密度變大亦可抑制半導體裝置本身的

翹曲。又，今後將來，由於為了對應於半導體裝置之訊號數量的增加亦會要求多層配線，因此將半導體裝置本身的翹曲極度縮小一事係為重要，但以包夾半導體元件的方式於第二絕緣層的兩面施以金屬配線之本發明之半導體裝置係由於能夠將翹曲極度縮小，因此亦適於多層配線。

[0038] 又，於將本發明之化學增幅型負型抗蝕劑組成物材料使用於光硬化性樹脂層的情況中，由於能夠減輕在個片化時所顧慮之半導體裝置的翹曲，因此適於層合或對於配線基板之載置。

[0039] 如以上所述般，若為本發明之半導體裝置，則藉由於半導體元件上實施微細的電極形成，並於半導體元件外部施以貫穿電極，而使對於配線基板之載置或半導體裝置之層合為容易，進而，成為即使半導體元件的高度為數十 μm 亦可於半導體元件周邊無空隙地進行填埋，即使在金屬配線的密度為大之情況中半導體裝置之翹曲亦受到抑制的半導體裝置。

又，若為本發明之半導體裝置之製造方法，則藉由於半導體元件上實施微細的電極形成，並於半導體元件外部施以貫穿電極，而可容易進行對於配線基板之載置或半導體裝置之層合，又可容易進行貫穿電極、電極墊部之開口等的加工。

進而，以如此方式所得到的本發明之半導體裝置係由於對於配線基板之載置或半導體裝置之層合為容易，因此可製成將半導體裝置進行層合之層合型半導體裝置或將其

載置於配線基板並加以密封之密封後層合型半導體裝置。

【圖式簡單說明】

[0040]

[第 1 圖]係顯示本發明之半導體裝置的一例子之概略剖面圖。

[第 2 圖]係顯示本發明之層合型半導體裝置的一例子之概略剖面圖。

[第 3 圖]係顯示本發明之密封後層合型半導體裝置的一例子之概略剖面圖。

[第 4 圖]係用以說明本發明之半導體裝置之製造方法的一例子之步驟(1)之概略剖面圖。

[第 5 圖]係用以說明本發明之半導體裝置之製造方法的一例子之步驟(2)之概略剖面圖。

[第 6 圖]係用以說明本發明之半導體裝置之製造方法的一例子之步驟(3)之概略剖面圖。

[第 7 圖]係用以說明本發明之半導體裝置之製造方法的一例子之步驟(4)之概略剖面圖。

[第 8 圖]係用以說明本發明之半導體裝置之製造方法的一例子之步驟(6)之概略剖面圖。

[第 9 圖]係用以說明本發明之半導體裝置之製造方法的一例子之步驟(7)之概略剖面圖。

[第 10 圖]係用以說明本發明之半導體裝置之製造方法的一例子之步驟(8)之概略剖面圖。

[第 11 圖]係用以說明本發明之半導體裝置之製造方法的一例子之步驟(8)之概略剖面圖。

[第 12 圖]係用以說明本發明之半導體裝置之製造方法的一例子之步驟(9)之概略剖面圖。

[第 13 圖]係用以說明本發明之半導體裝置之製造方法的一例子之步驟(10)之概略剖面圖。

[第 14 圖]係用以說明本發明之半導體裝置之製造方法的一例子之步驟(11)之概略剖面圖。

[第 15 圖]係用以說明本發明之半導體裝置之製造方法的另外一例之步驟(8)之概略剖面圖。

[第 16 圖]係用以說明本發明之半導體裝置之製造方法的另外一例之步驟(11)之概略剖面圖。

[第 17 圖]係顯示於本發明之半導體裝置之製造方法中經個片化之半導體裝置的一例子之概略剖面圖。

[第 18 圖]係顯示於本發明之半導體裝置之製造方法中經個片化之半導體裝置的另外一例之概略剖面圖。

[第 19 圖]係用以說明本發明之層合型半導體裝置之製造方法的一例子之概略剖面圖。

[第 20 圖]係用以說明本發明之層合型半導體裝置之製造方法的另外一例之概略剖面圖。

[第 21 圖]係顯示載置於配線基板上的本發明之層合型半導體裝置的一例子之概略剖面圖。

[第 22 圖]係顯示載置於配線基板上的本發明之層合型半導體裝置的另外一例之概略剖面圖。

[第 23 圖]係用以說明本發明之密封後層合型半導體裝置之製造方法的一例子之概略剖面圖。

[第 24 圖]係用以說明本發明之密封後層合型半導體裝置之製造方法的另外一例之概略剖面圖。

[第 25 圖]係顯示以往之半導體裝置之製造方法之說明圖。

[第 26 圖]係顯示以往之半導體裝置之製造方法之說明圖。

[第 27 圖]係顯示以往之半導體裝置之製造方法之說明圖。

[第 28 圖]係顯示以往之半導體裝置之製造方法之說明圖。

【實施方式】

[0041] 如上述般地，於半導體裝置中，對於更加小型化、薄型化及高密度化的要求急速高漲，而要求開發對於配線基板之載置或半導體裝置之層積為容易的半導體裝置及其製造方法。又，今後將來，由於為了對應於半導體裝置之訊號數量的增加亦會要求多層配線，因此要求開發即使於多層配線等金屬配線的密度為大的情況中亦能夠抑制半導體裝置本身之翹曲的半導體裝置及其製造方法。

[0042] 本發明者們係為了達成上述目的屢經努力探討的結果，發現藉由進行下述所示之步驟來克服課題，而可容易地製造半導體裝置及層合型半導體裝置，因而完成

本發明。

[0043] 首先，於塗佈有暫時性接著劑的支撐基板上，使用抗蝕劑組成物材料來形成第一絕緣層，對於此第一絕緣層進行圖型化，而形成成為貫穿電極的通孔圖型。在以烘烤所致之硬化後，將成為貫穿電極之通孔圖型藉由鍍敷進行填埋，形成與貫穿電極連接的金屬配線，並且形成將周邊之貫穿電極(與貫穿電極連接之金屬配線)彼此相連結的金屬配線，將半導體元件晶片黏合於形成有此等之金屬配線的第一絕緣層上。接著，將經晶片黏合的半導體元件周邊，藉由將抗蝕劑組成物材料使用於光硬化性樹脂層的光硬化性乾膜進行疊層，藉此可於半導體元件周邊不產生間隙等地將薄膜進行填埋(第二絕緣層之形成)。得知：由於是對於此第二絕緣層，藉由隔著遮罩之微影技術進行圖型化，藉此可同時形成電極墊上之開口、用以形成貫穿第二絕緣層的金屬配線之開口、以及用以形成貫穿電極之開口，因此可容易地進行加工，因而完成本發明。

[0044] 進而，在藉由烘烤使第二絕緣層硬化後，將電極墊上之開口、用以形成貫穿前述第二絕緣層的金屬配線之開口、以及用以形成貫穿電極之開口，藉由鍍敷來填埋，而形成半導體元件上金屬墊、貫穿第二絕緣層之金屬配線、以及貫穿電極，並且將藉由鍍敷所形成的半導體元件上金屬墊與貫穿第二絕緣層的金屬配線藉由以鍍敷所得之金屬配線相連結。其後，於其上形成第三絕緣層，對於第三絕緣層進行圖型化而於貫穿電極上部形成開口，使其

硬化後，於此開口形成焊錫凸塊。進而，將以暫時性接著劑所接著的支撐基板去除，並藉由切割而進行個片化，此係可非常合理地形成半導體裝置的方法，而將本發明之目的予以具體呈現。

[0045] 又，發現若為以上述製造方法所製造的半導體裝置，則藉由以包夾半導體元件的方式於第二絕緣層的兩面形成金屬配線，即使配線密度變大亦可抑制半導體裝置本身的翹曲。

[0046] 進而，得知以下見解：以上述製造方法所製造之半導體裝置，上部係焊錫凸塊會突出，且下部係藉由去除支撐基板而可使貫穿電極容易露出，因此，使用突出的焊錫凸塊與露出的電極，可將複數個半導體裝置容易地進行電接合，而可進行層合，又，得知以下見解：可將經層合的半導體裝置容易地載置於配線基板，因而完成本發明。

[0047] 亦即，本發明係一種半導體裝置，其係具有半導體元件、與電連接於該半導體元件之半導體元件上金屬墊及金屬配線，且該金屬配線係電連接於貫穿電極及焊錫凸塊，

具有：載置有前述半導體元件之第一絕緣層、形成於前述半導體元件上之第二絕緣層、以及形成於該第二絕緣層上之第三絕緣層，

前述金屬配線係在前述第二絕緣層上面經由前述半導體元件上金屬墊而電連接於前述半導體元件，且從前述

第二絕緣層的上部貫穿前述第二絕緣層而在前述第二絕緣層的下面電連接於前述貫穿電極，

於前述第一絕緣層與前述半導體元件之間配置半導體元件下金屬配線，且該半導體元件下金屬配線係在前述第二絕緣層的下面與前述金屬配線電連接。

[0048] 以下，雖一邊參照附圖一邊針對本發明進行詳細地說明，但本發明並不限定於此等。

[0049] 本發明之半導體裝置 1，係如第 1 圖所示般，具有半導體元件 2、與電連接於半導體元件 2 的半導體元件上金屬墊 3 及金屬配線 4，且金屬配線 4 電連接於貫穿電極 5 及焊錫凸塊 6 的半導體裝置，且具有：載置有半導體元件 2 的第一絕緣層 7、形成於半導體元件 2 上的第二絕緣層 8、以及形成於第二絕緣層 8 上的第三絕緣層 9，

金屬配線 4 係在第二絕緣層 8 的上部經由半導體元件上金屬墊 3 而電連接於半導體元件 2，且從第二絕緣層 8 的上部貫穿第二絕緣層 8 而在第二絕緣層 8 的下面電連接於貫穿電極 5 者，

於第一絕緣層 7 與半導體元件 2 之間配置半導體元件下金屬配線 25，且半導體元件下金屬配線 25 係在第二絕緣層 8 的下面與金屬配線 4(下面金屬配線 4b)電連接之半導體裝置。

[0050] 另外，金屬配線 4 係由在第二絕緣層 8 的上部與半導體元件上金屬墊 3 連接之金屬配線(上面金屬配線)4a、在第二絕緣層 8 的下面與貫穿電極 5 連接之金屬

配線(下面金屬配線)4b、以及貫穿第二絕緣層 8，並將上面金屬配線 4a 與下面金屬配線 4b 進行連接之金屬配線(貫穿金屬配線)4c 所構成。

又，於第 1 圖之半導體裝置 1 中，半導體元件 2 係藉由晶片黏合劑 10 而晶片黏合於第一絕緣層 7。

[0051] 若為如此之半導體裝置，則藉由於半導體元件上施以微細的電極形成，並於半導體元件外部施以貫穿電極，而使對於配線基板之載置或半導體裝置之層合為容易，又，藉由以包夾半導體元件的方式於第二絕緣層的兩面形成金屬配線，而成為即使在金屬配線的密度為大之情況中半導體裝置之翹曲亦受到抑制的半導體裝置。

[0052] 又，此時，若為藉由光硬化性乾膜或者光硬化性抗蝕劑塗佈膜而形成第一絕緣層 7 者，藉由光硬化性乾膜而形成第二絕緣層 8 者，藉由光硬化性乾膜或者光硬化性抗蝕劑塗佈膜而形成第三絕緣層 9 者，則成為即使半導體元件 2 之高度為數十 μm 亦於半導體元件周邊無空隙等地進行填埋的半導體裝置，故為佳。

[0053] 又，此時，若為半導體元件 2 的高度為 20~100 μm ，第一絕緣層 7 的膜厚為 1~20 μm ，第二絕緣層 8 的膜厚為 5~100 μm ，第三絕緣層 9 的膜厚為 5~100 μm ，半導體裝置 1 的厚度為 50~300 μm ，則成為於半導體元件周邊無空隙等地進行填埋，且薄型的半導體裝置，故為佳。

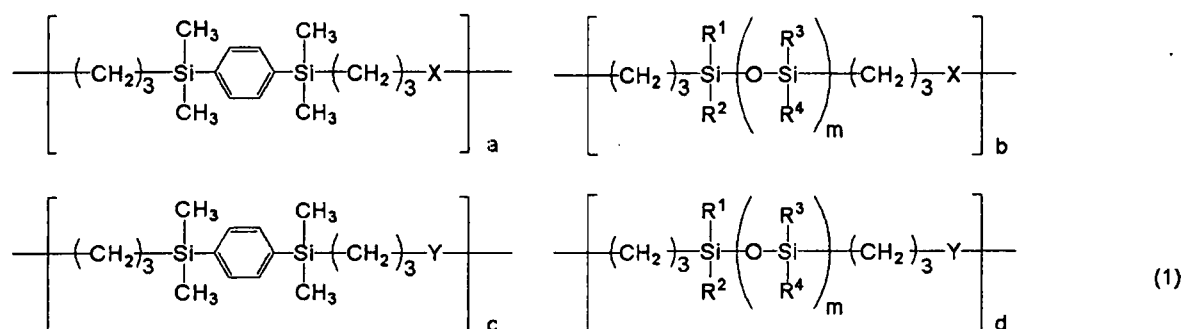
[0054] 又此時，使用於上述之第一絕緣層 7、第二絕

緣層 8、及第三絕緣層 9 之形成的光硬化性乾膜，就翹曲之抑制、殘留應力之減低、可靠性或加工特性之提昇等的觀點而言，較佳為具有由含有以下之(A)~(D)成分而成的化學增幅型負型抗蝕劑組成物材料所構成之光硬化性樹脂層的光硬化性乾膜。

另外，當然亦可使用其他的感光性樹脂。

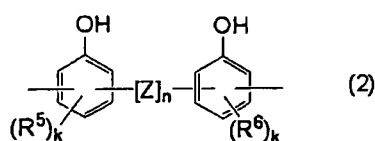
[0055] (A)成分係具有以下述一般式(1)所示之重複單元的重量平均分子量為 3,000~500,000 之含矽酮骨架之高分子化合物。

【化 1 1】



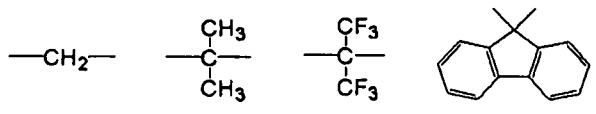
(式中， $\text{R}^1 \sim \text{R}^4$ 係表示可相同或相異之碳數 1~8 的 1 價烴基； m 為 1~100 之整數； a 、 b 、 c 、 d 為 0 或正數，且 a 、 b 、 c 、 d 不同時為 0；但， $a+b+c+d=1$ ；再者， X 係以下述一般式(2)所示之有機基， Y 係以下述一般式(3)所示之有機基)

【化 1 2】



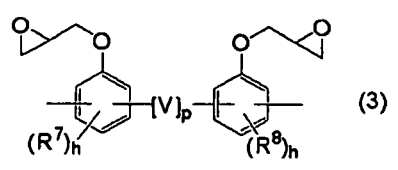
(式中， Z 係由

【化 1 3】



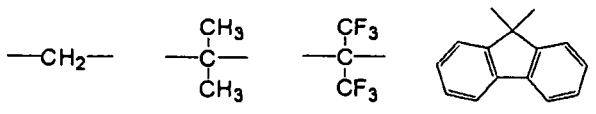
中任一者所選出的 2 價之有機基，n 為 0 或 1；R⁵ 及 R⁶ 係各自為碳數 1～4 之烷基或烷氧基，且可彼此相異或相同；k 為 0、1、2 中之任一者)

【化 1 4】



(式中，V 係由

【化 1 5】



中任一者所選出的 2 價之有機基，p 為 0 或 1；R⁷ 及 R⁸ 係各自為碳數 1～4 之烷基或烷氧基，且可彼此相異或相同；h 為 0、1、2 中之任一者)。

[0056] (B)成分係由藉由甲醛或甲醛-醇改質而成的胺基縮合物、1 分子中平均具有 2 個以上之羥甲基或烷氧基羥甲基的酚化合物所選出之 1 種或 2 種以上之交聯劑。

(C)成分係藉由波長 190～500nm 之光進行分解，而產生酸之光酸產生劑。

(D)成分為溶劑。

[0057] 作為(B)成分之交聯劑雖可使用周知者，但可使用由藉由甲醛或甲醛-醇改質而成的胺基縮合物及 1 分

子中平均具有 2 個以上之羥甲基或烷氧基羥甲基的酚化合物所選出之 1 種或 2 種以上。

[0058] 作為如此之藉由甲醛或甲醛-醇改質而成的胺基縮合物係可列舉例如：藉由甲醛或甲醛-醇改質而成的三聚氰胺縮合物，或者藉由甲醛或甲醛-醇改質而成的脲縮合物。

另外，此等改質三聚氰胺縮合物及改質脲縮合物係可 1 種或將 2 種以上進行混合而使用。

[0059] 又，作為 1 分子中平均具有 2 個以上之羥甲基或烷氧基羥甲基的酚化合物係可列舉例如：(2-羥基-5-甲基)-1,3-苯二甲醇、2,2',6,6'-四甲氧基甲基雙酚 A 等。

另外，此等酚化合物係可 1 種或將 2 種以上進行混合而使用。

[0060] 作為(C)成分之酸產生劑係可使用藉由波長 190~500nm 之光照射產生酸，而使其成為硬化觸媒者。

作為如此之光酸產生劑係可列舉：鎘鹽、重氮甲烷衍生物、乙二醛二肟(glyoxime)衍生物、 β -酮磺(ketosulphone)衍生物、二磺衍生物、硝苄基磺酸酯衍生物、磺酸酯衍生物、醯亞胺-基-磺酸酯衍生物、肟磺酸酯衍生物、亞胺基磺酸酯衍生物、三嗪衍生物等。

[0061] 作為(D)成分之溶劑係可使用能夠溶解(A)含有矽酮骨架之高分子化合物、(B)交聯劑、及(C)光酸產生劑者。

作為如此之溶劑係可列舉例如：環己酮、環戊酮、甲

基-2-n-戊基酮等之酮類；3-甲氧基丁醇、3-甲基-3-甲氧基丁醇、1-甲氧基-2-丙醇、1-乙氧基-2-丙醇等之醇類；丙二醇單甲基醚、乙二醇單甲基醚、丙二醇單乙基醚、乙二醇單乙基醚、丙二醇二甲基醚、二乙二醇二甲基醚等之醚類；丙二醇單甲基醚乙酸酯、丙二醇單乙基醚乙酸酯、乳酸乙酯、丙酮酸乙酯、乙酸丁酯、3-甲氧基丙酸甲酯、3-乙氧基丙酸乙酯、乙酸 tert-丁酯、丙酸 tert-丁酯、丙二醇-單-tert-丁基醚乙酸酯、 γ -丁內酯等之酯類等。

[0062] 又，第一絕緣層 7 與第三絕緣層 9 係可為藉由旋轉塗佈等塗佈有含有上述之(A)~(D)成分而成之化學增幅型負型抗蝕劑組成物材料的光硬化性抗蝕劑塗佈膜，當然，亦可為藉由旋轉塗佈等塗佈有其他之感光性樹脂的光硬化性抗蝕劑塗佈膜。

[0063] 進而，於本發明中，係提供將上述之半導體裝置覆晶化並複數層合而成的層合型半導體裝置。

本發明之層合型半導體裝置 11，如第 2 圖所示般，係將上述之半導體裝置 1 覆晶化並藉由貫穿電極 5 與焊錫凸塊 6 電接合並複數層合而成者，於各半導體裝置間亦可封入有絕緣樹脂層 12。

[0064] 又，於本發明中係提供一種密封後層合型半導體裝置，其係將上述之層合型半導體裝置載置於具有電路的基板上，並以絕緣密封樹脂層加以密封而成。

本發明之密封後層合型半導體裝置 13，係如第 3 圖所示般，將上述之層合型半導體裝置 11 經由焊錫凸塊 6

而載置於具有電路之基板(配線基板 14)上，並以絕緣密封樹脂層 15 加以密封而成者。

[0065] 如上述所述之半導體裝置係可藉由以下所示之本發明的半導體裝置之製造方法進行製造。本發明之半導體裝置之製造方法係具有以下步驟：

(1)於支撐基板上塗佈暫時性接著劑，於該暫時性接著劑上形成使用抗蝕劑組成物材料作為光硬化性樹脂層之膜厚 $1\sim 20\mu\text{m}$ 的第一絕緣層之步驟；

(2)在對於前述第一絕緣層，藉由隔著遮罩之微影技術進行圖型化而形成成為貫穿電極的通孔圖型之後，進行烘烤，藉此使前述第一絕緣層硬化之步驟；

(3)於前述第一絕緣層進行以濺鍍所致之種晶層形成，其後，將前述成為貫穿電極之通孔圖型，藉由鍍敷來填埋，而形成與貫穿電極連接的金屬配線，並且形成半導體元件下金屬配線之步驟；

(4)使用晶片黏合劑將電極墊露出於上部表面之高度 $20\sim 100\mu\text{m}$ 的半導體元件晶片黏合於前述形成有半導體元件下金屬配線之硬化後的第一絕緣層上之步驟；

(5)準備具有膜厚 $5\sim 100\mu\text{m}$ 之光硬化性樹脂層為被支撐薄膜與保護薄膜包夾的結構，且該光硬化性樹脂層為由抗蝕劑組成物材料所構成的光硬化性乾膜之步驟；

(6)藉由以覆蓋被晶片黏合於前述第一絕緣層上之半導體元件的方式將前述光硬化性乾膜之光硬化性樹脂層進行疊層，而形成第二絕緣層之步驟；

(7)對於前述第二絕緣層，藉由隔著遮罩之微影技術進行圖型化，而同時形成前述電極墊上之開口、以及用以在與前述貫穿電極連接的金屬配線上形成貫穿前述第二絕緣層的金屬配線之開口、以及用以形成前述貫穿電極之開口，之後，進行烘烤，藉此使前述第二絕緣層硬化之步驟；

(8)在硬化後，進行以濺鍍所致之種晶層形成，其後，將前述電極墊上之開口、用以形成貫穿前述第二絕緣層的金屬配線之開口、以及用以形成前述貫穿電極之開口，藉由鍍敷來填埋，而形成半導體元件上金屬墊、貫穿前述第二絕緣層之金屬配線、以及貫穿電極，並且將藉由前述鍍敷所形成的前述半導體元件上金屬墊與貫穿前述第二絕緣層的金屬配線藉由以鍍敷所得之金屬配線相連結之步驟；

(9)金屬配線形成後，將前述光硬化性乾膜之光硬化性樹脂層進行疊層或者將使用於前述光硬化性乾膜之抗蝕劑組成物材料進行旋轉塗佈，藉此形成第三絕緣層之步驟；

(10)在對於前述第三絕緣層，藉由隔著遮罩之微影技術進行圖型化而於前述貫穿電極上部形成開口之後，進行烘烤，藉此使前述第三絕緣層硬化之步驟；

(11)硬化後，於前述貫穿電極上部之開口形成焊錫凸塊之步驟。

[0066] 以下，針對各步驟進行詳細地說明。

首先，於步驟(1)中，如第 4 圖所示般，於支撐基板 16 上塗佈暫時性接著劑 17，於暫時性接著劑 17 上形成使用抗蝕劑組成物材料作為光硬化性樹脂層之膜厚 $1 \sim 20 \mu\text{m}$ 的第一絕緣層 7。

[0067] 作為支撐基板 16 雖無特別限定，但可使用例如矽晶圓或玻璃基板等。

又，作為暫時性接著劑 17 雖無特別限定，但較佳為例如熱塑性樹脂。可列舉：烯烴系熱塑性彈性體、聚丁二烯系熱塑性彈性體、苯乙烯系熱塑性彈性體、苯乙烯/丁二烯系熱塑性彈性體、苯乙烯/聚烯烴系熱塑性彈性體等，尤其以耐熱性優異之氫化聚苯乙烯系彈性體較為理想。具體而言係可列舉：Tuftec(Asahi Kasei Chemicals 製)、ESPOLEX SB 系列(住友化學製)、RABALON(三菱化學製)、Septon(KURARAY 製)、DYNARON(JSR 製)等。又，可列舉以 ZEONEX(日本 ZEON 製)為代表之環烯烴聚合物及以 TOPAS(日本 Polyplastics 製)為代表之環狀烯烴共聚物。又，亦可使用矽酮系熱塑性樹脂。較佳可使用例如二甲基矽酮、苯基矽酮、烷基改質矽酮、矽酮樹脂。具體而言係可列舉 KF96、KF54、X-40-9800(皆為信越化學製)。

[0068] 又，第一絕緣層 7，係如上述般地，可藉由使用具有由含有例如(A)～(D)成分所成之化學增幅型負型抗蝕劑組成物材料所構成的光硬化性樹脂層的光硬化性乾膜來進行疊層，或者將此抗蝕劑組成物材料藉由旋轉塗佈等

進行塗佈而形成。當然，亦可使用其他的感光性樹脂。

第一絕緣層的膜厚係 $1\sim 20\mu\text{m}$ ，較佳為 $5\sim 10\mu\text{m}$ ，若為如此之膜厚則可將所製造之半導體裝置薄型化，故為佳。

[0069] 接著，於步驟(2)中，在對於第一絕緣層 7，藉由隔著遮罩之微影技術進行圖型化，如第 5 圖所示般地形成成為貫穿電極的通孔圖型 A 之後，進行烘烤，藉此使第一絕緣層 7 硬化。

[0070] 於此圖型化中，係在形成第一絕緣層 7 之後，進行曝光、曝光後加熱處理(曝光後烘烤；PEB)，予以顯像，進而因應需要而進行後硬化來形成圖型。亦即，可使用周知之微影技術來進行圖型之形成。

[0071] 在此，亦可在為了有效率地進行第一絕緣層之光硬化反應或提昇第一絕緣層 7 與支撐基板 16 之密著性，或者提昇密著後之第一絕緣層 7 的平坦性之目的下，因應需要而進行預備加熱(預烘烤)。預烘烤例如可以 $40\sim 140^{\circ}\text{C}$ 進行 1 分鐘 $\sim$ 1 小時左右。

[0072] 接著，隔著光罩以波長 $190\sim 500\text{nm}$ 之光進行曝光，並使其硬化。光罩亦可為例如挖鑿出所期望之圖型者。另外，光罩的材質係較佳為將波長 $190\sim 500\text{nm}$ 之光遮蔽者，雖較佳可使用例如鉻等，但並不限定於此。

[0073] 作為波長 $190\sim 500\text{nm}$ 之光係藉由例如輻射線產生裝置所產生之各種波長的光，可列舉例如：g 線、i 線等之紫外線光、遠紫外線光(248nm 、 193nm)等。且，波

長係較佳為 248～436nm。曝光量係較佳為例如為 10～3,000mJ/cm²。藉由如此般地進行曝光，將曝光部分進行交聯而形成不溶於顯像液的圖型。

[0074] 進而，為了提高顯像感度而進行 PEB。PEB，例如可設為以 40～140℃ 進行 0.5～10 分鐘。

[0075] 其後，以顯像液進行顯像。作為較佳之顯像液係可列舉 IPA 或 PGMEA 之有機溶劑。又，較佳之作為鹼水溶液的顯像液係為例如 2.38%之氫氧化四甲基銨 (TMAH)水溶液。於本發明之半導體裝置之製造方法中，作為顯像液係較佳可使用有機溶劑。

顯像係可藉由通常之方法，例如將形成有圖型之基板浸漬於顯像液中等而進行。其後，因應需要進行洗淨、清洗、乾燥等，而得到具有期望之圖型的光硬化性樹脂層之被膜(第一絕緣層)。

[0076] 接著，將如此般地形成有圖型之第一絕緣層使用烘箱或加熱板，以較佳為溫度 100～250℃，更佳為 150～220℃，再更佳為 170～190℃ 進行烘烤，使其硬化(後硬化)。只要後硬化溫度為 100～250℃，則可提昇第一絕緣層之交聯密度，並將殘留的揮發性成分去除，就對於支撐基板之密著力、耐熱性或強度，進而電特性之觀點而言為佳。且，後硬化時間係可設為 10 分鐘～10 小時。

[0077] 接著，於步驟(3)中，於第一絕緣層 7 進行以濺鍍所致之種晶層形成，其後，將成為貫穿電極之通孔圖型 A，藉由鍍敷來填埋，而如第 6 圖所示般地形成與貫穿

電極連接的金屬配線(下面金屬配線)4b，並且形成半導體元件下金屬配線 25。

[0078] 在進行鍍敷時，例如，於第一絕緣層 7 上藉由濺鍍而形成種晶層之後，進行鍍敷抗蝕劑之圖型化，其後，進行電鍍等，於成為貫穿電極之通孔圖型 A 進行金屬鍍敷之填埋與下面金屬配線 4b 及與此連接的半導體元件下金屬配線 25 之形成。在形成此等之金屬配線之後，藉由蝕刻去除種晶層，使第一絕緣層 7 露出。

另外，下面金屬配線 4b 與半導體元件下金屬配線 25 雖只要如同成為所期望之配線寬度般地進行適當調整即可，但尤其以成為 $0.1 \sim 10\mu\text{m}$ 之厚度的方式形成於第一絕緣層上為佳。

[0079] 接著，於步驟(4)中，如第 7 圖所示般，使用晶片黏合劑 10 將電極墊露出於上部表面之高度 $20 \sim 100\mu\text{m}$ 的半導體元件 2 晶片黏合於形成有半導體元件下金屬配線 25 之硬化後的第一絕緣層 7 上。

另外，晶片黏合劑 10 係可為周知之接著劑。

又，只要半導體元件 2 的高度為 $20 \sim 100\mu\text{m}$ ，則可將所製造之半導體裝置進行薄型化，故為佳。

[0080] 接著，於步驟(5)中，準備具有膜厚 $5 \sim 100\mu\text{m}$ 之光硬化性樹脂層為被支撐薄膜與保護薄膜包夾的結構，且該光硬化性樹脂層為由抗蝕劑組成物材料所構成的光硬化性乾膜。

[0081] 以下，針對於本發明所使用之光硬化性乾膜

與其製造方法進行詳細地說明。

於本發明之半導體裝置之製造方法中，於第二絕緣層之形成所使用的光硬化性乾膜，係具有膜厚 $5 \sim 100 \mu\text{m}$ 之光硬化性樹脂層為被支撐薄膜與保護薄膜包夾的結構，且光硬化性樹脂層為由抗蝕劑組成物材料所構成者。

[0082] 於本發明之半導體裝置之製造方法中，於第二絕緣層之形成所使用的光硬化性乾膜之光硬化性樹脂層的膜厚為 $5 \sim 100 \mu\text{m}$ ，若為如此之膜厚則可將所製造之半導體裝置進行薄型化，故為佳。

另外，於在第一絕緣層及第三絕緣層之形成使用光硬化性乾膜的情況中，只要準備使光硬化性樹脂層之膜厚成為任意的厚度者來進行使用即可。

[0083] 於本發明所使用之光硬化性乾膜中，係藉由將感光性材料之組成物的各成分進行攪拌混合，其後，藉由過濾器進行過濾，而可調製用來形成光硬化性樹脂層之抗蝕劑組成物材料。

在此，作為抗蝕劑組成物材料係以含有上述之(A)～(D)成分而成之化學增幅型負型抗蝕劑組成物材料較為理想。

另外，當然亦可使用其他的感光性樹脂。

[0084] 於本發明所使用之光硬化性乾膜中所使用的支撐薄膜係可為單一，亦可為將複數之聚合物薄膜進行層合而成的多層薄膜。另外，乾膜係被支撐薄膜及保護薄膜所包夾之薄膜。

作為支撐薄膜的材質係可列舉：聚乙烯、聚丙烯、聚碳酸酯、聚對苯二甲酸乙二酯等之合成樹脂薄膜等，較佳為具有適度之可撓性、機械性強度及耐熱性之聚對苯二甲酸乙二酯。又，針對此等之薄膜亦可為進行了如電暈處理或塗佈有剝離劑般之各種處理者。

此等係可使用市售品，可列舉例如：Cerapeel WZ(RX)、Cerapeel BX8(R)(以上，係 Toray Films 加工(股)製)、E7302、E7304(以上，係東洋紡績(股)製)、PUREX G31、PUREX G71T1(以上，係 Teijin DuPont Films(股)製)、PET38×1-A3、PET38×1-V8、PET38×1-X08(以上，係 NIPPA(股)製)等。

[0085] 於本發明所使用之光硬化性乾膜中所使用的保護薄膜雖可使用與上述之支撐薄膜相同者，但較佳為具有適度的可撓性之聚對苯二甲酸乙二酯及聚乙烯。此等係可使用市售品，作為聚對苯二甲酸乙二酯係已例示者，作為聚乙烯係可列舉例如 GF-8(TAMAPOLY(股)製)、PE 薄膜 0 型(NIPPA(股)製)。

[0086] 上述之支撐薄膜及保護薄膜的厚度，就光硬化性乾膜製造之安定性及對於捲芯之捲翹，所謂的防止捲曲之觀點而言，任一者皆較佳為 5~100 μ m。

[0087] 接著，針對於本發明所使用之光硬化性乾膜之製造方法進行說明。上述光硬化性乾膜之製造裝置係可使用一般用以製造黏著劑製品的薄膜塗佈機。作為上述薄膜塗佈機係可列舉例如：缺角輪塗佈機、反轉缺角輪塗佈

機(Comma Reverse Coater)、多層塗佈機(Multi Coater)、模具塗佈機、唇口塗佈機、唇式反轉塗佈機(Lip reverse Coater)、直接凹版塗佈機(direct gravure coater)、補償凹版塗佈機(offset gravure coater)、三輥式底層反轉塗佈機、四輥式底層反轉塗佈機等。

[0088] 將支撐薄膜從薄膜塗佈機之捲出軸放出，通過薄膜塗佈機之塗佈頭時，於支撐薄膜上以特定的厚度塗佈抗蝕劑組成物材料形成光硬化性樹脂層，之後，以特定的溫度與特定的時間通過熱風循環烘箱，將在支撐薄膜上乾燥後的光硬化性樹脂層與從薄膜塗佈機之其他的捲出軸放出之保護薄膜一起以特定的壓力通過疊層輥來與支撐薄膜上之光硬化性樹脂層貼合後，捲取於薄膜塗佈機之捲取軸，藉此而製造。於此情況中，作為熱風循環烘箱之溫度係較佳為 $25\sim 150^{\circ}\text{C}$ ，作為通過時間係較佳為 $1\sim 100$ 分鐘，作為疊層輥之壓力係較佳為 $0.01\sim 5\text{MPa}$ 。

[0089] 可利用上述般的方法製作光硬化性乾膜，藉由使用如此之光硬化性乾膜，將載置於支撐基板上之第一絕緣層上的半導體元件進行填埋的特性優異，又可緩和在形成半導體裝置後將支撐基板去除時，或進行個片化時所產生的應力，因此，作為目的之半導體裝置並不會翹曲，而適於將半導體裝置進行層合，或載置於施以配線之基板。

[0090] 接著，於步驟(6)中，將保護薄膜從以上述方式準備好的光硬化性乾膜剝離，如第 8 圖(a)所示般，以覆

蓋晶片黏合於第一絕緣層 7 上之半導體元件 2 的方式來將光硬化性乾膜之光硬化性樹脂層進行疊層，藉此而形成第二絕緣層 8。

[0091] 作為貼附光硬化性乾膜的裝置係較佳為真空疊層機。將光硬化性乾膜安裝於裝置上，在特定真空度之真空腔內，使用特定壓力之貼附輥，在特定之溫度的工作台上，使光硬化性乾膜之保護膜剝離而露出後的光硬化性樹脂層密著於基板。另外，作為上述溫度係較佳為 $60 \sim 120^{\circ}\text{C}$ ，作為上述壓力係較佳為 $0 \sim 5.0\text{MPa}$ ，作為上述真空度係較佳為 $50 \sim 500\text{Pa}$ 。藉由進行真空疊層，而不會於半導體元件周邊發生空隙，故為佳。

[0092] 又，此時，如第 8 圖(b)所示般，在於半導體元件 2 上將光硬化性乾膜進行疊層而形成第二絕緣層 8 時，有時半導體元件 2 上之第二絕緣層 8 的膜厚會變厚，或隨著從半導體元件 2 往周邊偏離而使膜厚漸漸變薄。可較佳地使用藉由機械性地加壓而使此膜厚的變化平坦化，如第 8 圖(a)所示般，使半導體元件上之膜厚減薄的方法。

[0093] 接著，於步驟(7)中，如第 9 圖所示般，對於第二絕緣層 8，藉由隔著遮罩之微影技術進行圖型化，而同時形成電極墊上之開口 B、用以在與貫穿電極連接的金屬配線(下面金屬配線)4b 上形成貫穿第二絕緣層的金屬配線(貫穿金屬配線)之開口 C、以及用以形成貫穿電極之開口 D，之後，進行烘烤，藉此使第二絕緣層 8 硬化。

[0094] 於此圖型化中，係在形成第二絕緣層 8 之

後，進行曝光、曝光後加熱處理(曝光後烘烤；PEB)，予以顯像，進而因應需要而進行後硬化來形成圖型。亦即，可使用周知之微影技術來進行圖型之形成，只要以與上述之第一絕緣層之圖型化相同的方法進行即可。

[0095] 於本發明之半導體裝置之製造方法中，由於藉由將電極墊上之開口 B、用以形成貫穿金屬配線之開口 C、以及用以形成貫穿電極之開口 D 進行整批曝光而同時形成，因此為合理。

[0096] 進而，於步驟(8)中，如第 10 圖所示般，在第二絕緣層 8 之硬化後，進行以濺鍍所得之種晶層形成，其後，將電極墊上之開口 B、用以形成貫穿第二絕緣層的金屬配線(貫穿金屬配線)之開口 C、以及用以形成貫穿電極之開口 D，藉由鍍敷來填埋，而形成半導體元件上金屬墊 3、貫穿第二絕緣層之金屬配線(貫穿金屬配線)4c、以及貫穿電極 5，並且將藉由鍍敷所形成的半導體元件上金屬墊 3 與貫穿第二絕緣層的金屬配線(貫穿金屬配線)4c 藉由以鍍敷所得之金屬配線(上面金屬配線)4a 相連結。

[0097] 在進行鍍敷時，係與上述之步驟(3)相同地，例如，在藉由濺鍍而形成種晶層之後，進行鍍敷抗蝕劑之圖型化，其後，進行電鍍等，形成半導體元件上金屬墊 3、貫穿金屬配線 4c、以及貫穿電極 5，並且形成上面金屬配線 4a 而使半導體元件上金屬墊 3 與貫穿金屬配線 4c 相連結。

另外，上面金屬配線 4a 雖只要如同成為所期望之配

線寬度般地進行適當調整即可，但尤其以成為 $0.1 \sim 10\mu\text{m}$ 之厚度的方式形成於第二絕緣層上為佳。

[0098] 又，為了使貫穿電極 5 之鍍敷充足，如第 11 圖所示般，亦可另外再對貫穿電極 5 實施電鍍，並以金屬鍍敷 18 將貫穿電極 5 進行填埋。

又，為了使貫穿金屬配線 4c 之鍍敷充足，亦可另外再對貫穿金屬配線 4c 施以電鍍。

[0099] 接著，於步驟(9)中，金屬配線之形成後，將光硬化性乾膜之光硬化性樹脂層進行疊層或者將使用於光硬化性乾膜之抗蝕劑組成物材料進行旋轉塗佈，藉此如第 12 圖所示般地形成第三絕緣層 9。

[0100] 第三絕緣層 9 之形成，係與上述之第一絕緣層之形成相同地，可藉由使用具有由含有例如(A)~(D)成分所成之化學增幅型負型抗蝕劑組成物材料所構成的光硬化性樹脂層的光硬化性乾膜來進行疊層，或者將此抗蝕劑組成物材料藉由旋轉塗佈等進行塗佈而形成。當然，亦可使用其他的感光性樹脂。

又，只要第三絕緣層之膜厚為 $5 \sim 100\mu\text{m}$ ，則可將所製造之半導體裝置進行薄型化，故為佳。

[0101] 接著，於步驟(10)中，如第 13 圖所示般，在對於第三絕緣層 9，藉由隔著遮罩之微影技術進行圖型化而於貫穿電極 5 上部形成開口 E 之後，進行烘烤，藉此使第三絕緣層 9 硬化。

[0102] 於此圖型化中，係在形成第三絕緣層 9 之

後，進行曝光、曝光後加熱處理(曝光後烘烤；PEB)，予以顯像，進而因應需要而進行後硬化來形成圖型。亦即，可使用周知之微影技術來進行圖型之形成，只要以與上述之第一絕緣層之圖型化相同的方法進行即可。

[0103] 接著，於步驟(11)中，係在第三絕緣層之硬化後，於貫穿電極上部之開口 E 形成焊錫凸塊。

作為焊錫凸塊之形成方法，例如，如第 14 圖所示般，於貫穿電極上之開口 E 藉由鍍敷來形成貫穿電極上金屬墊 19。接著，可於貫穿電極上金屬墊 19 上形成焊錫球 20，將此製成焊錫凸塊。

[0104] 又，可於上述步驟(8)中，如第 15 圖所示般，為了使貫穿電極 5 之鍍敷充足，而以 SnAg 進行另外實施的鍍敷而施以 SnAg 鍍敷 21，其後，於步驟(9)中，係與上述相同地形成第三絕緣層 9，於步驟(10)中以於貫穿電極上部形成開口 E 的方式進行圖型化，藉此而使 SnAg 鍍敷 21 露出，之後，藉由烘烤使其硬化，作為步驟(11)係藉由使 SnAg 鍍敷 21 熔融而如第 16 圖所示般地使電極朝貫穿電極上部之開口 E 隆起，而形成使 SnAg 隆起後的電極 22 之焊錫凸塊。

[0105] 進而，於上述之步驟(11)之後，如第 17 圖所示般，將於上述之步驟(1)中與第一絕緣層 7 暫時接著的支撐基板 16 去除，藉此而可使貫穿電極 5 之焊錫球 20 的相反側(下面金屬配線 4b)露出，將露出後的種晶層藉由蝕刻去除，而使金屬鍍敷部露出，藉此可使貫穿電極 5 之上

部與下部電導通。進而，其後，藉由進行切割而予以個片化，而可得到經個片化的半導體裝置 23。

[0106] 於形成有使 SnAg 隆起後的電極 22 之焊錫凸塊的情況中亦相同地，如第 18 圖所示般，藉由將支撐基板 16 去除，而可使貫穿電極 5 之使 SnAg 隆起後的電極 22 的相反側(下面金屬配線 4b)露出，將露出後的種晶層藉由蝕刻去除，而使金屬鍍敷部露出，藉此可使貫穿電極 5 之上部與下部電導通。進而，其後，藉由進行切割而予以個片化，而可得到經個片化的半導體裝置 24。

[0107] 另外，如上述般之本發明之製造方法係特別適於小型化、薄型化者，且可得到作為半導體裝置之厚度為 $50\sim 300\mu\text{m}$ ，較佳為 $70\sim 150\mu\text{m}$ 之薄的小型化之半導體裝置。

[0108] 上述之經個片化的半導體裝置 23 或者經個片化之半導體裝置 24，係如第 19 圖、第 20 圖所示般，分別將複數個，包夾絕緣樹脂層 12，並藉由焊錫凸塊而電接合，進行層合而可製成層合型半導體裝置。又，如第 21 圖、第 22 圖所示般，亦可將層合後的半導體裝置載置於具有電路的基板(配線基板 14)。另外，第 19 圖、第 20 圖、第 21 圖、第 22 圖係分別將經個片化的半導體裝置 23 或 24 進行覆晶黏合的例子。

[0109] 又，如第 23 圖、第 24 圖所示般，在將以上述方式所製造的層合型半導體裝置載置於配線基板 14 之後，以絕緣密封樹脂層 15 進行密封，藉此而可製造密封

後層合型半導體裝置。

[0110] 在此，作為絕緣樹脂層 12 或絕緣密封樹脂層 15 所使用之樹脂係可使用一般於該用途中所使用者，可使用例如環氧樹脂或矽酮樹脂或此等之複合樹脂。

[0111] 以上述方式所製造的本發明之半導體裝置、層合型半導體裝置、及密封後層合型半導體裝置係可適合使用於對半導體晶片所實施之扇出配線(fan-out wiring)或WCSP(晶圓級晶片尺寸密封)用。

[0112] 如以上所述般，若為本發明之半導體裝置，則藉由於半導體元件上實施微細的電極形成，並於半導體元件外部施以貫穿電極，而使對於配線基板之載置或半導體裝置之層合為容易，進而，成為即使半導體元件的高度為數十 μm 亦可於半導體元件周邊無空隙等地進行填埋，即使在金屬配線的密度為大之情況中半導體裝置之翹曲亦受到抑制的半導體裝置。

又，若為本發明之半導體裝置之製造方法，則藉由於半導體元件上實施微細的電極形成，並於半導體元件外部施以貫穿電極，而可容易進行對於配線基板之載置或半導體裝置之層合，又可容易進行貫穿電極、電極墊部之開口等的加工。

進而，以如此方式所得到的本發明之半導體裝置係由於對於配線基板之載置或半導體裝置之層合為容易，因此可製成將半導體裝置進行層合之層合型半導體裝置或將其載置於配線基板並加以密封之密封後層合型半導體裝置。

[0113] 另外，本發明並不限定於上述實施形態。上述實施形態係為例示，具有與本發明之申請專利範圍所記載之技術思想實質上相同的構造，且發揮相同的作用效果者係任一者皆包含於本發明之技術範圍內。

【符號說明】

[0114]

- 1：半導體裝置
- 2：半導體元件
- 3：半導體元件上金屬墊
- 4：金屬配線
- 4a：上面金屬配線
- 4b：下面金屬配線
- 4c：貫穿金屬配線
- 5：貫穿電極
- 6：焊錫凸塊
- 7：第一絕緣層
- 8：第二絕緣層
- 9：第三絕緣層
- 10：晶片黏合劑
- 11：層合型半導體裝置
- 12：絕緣樹脂層
- 13：密封後層合型半導體裝置
- 14：配線基板

- 15：絕緣密封樹脂層
- 16：支撐基板
- 17：暫時性接著劑
- 18：金屬鍍敷
- 19：貫穿電極上金屬墊
- 20：焊錫球
- 21：SnAg 鍍敷
- 22：使 SnAg 隆起的電極
- 23、24：經個片化之半導體裝置
- 25：半導體元件下金屬配線
- A：成為貫穿電極之通孔圖型
- B：電極墊上之開口
- C：用以形成貫穿金屬配線之開口
- D：用以形成貫穿電極之開口
- E：貫穿電極上部之開口

I648439

發明摘要

※申請案號：104110258

※申請日：104 年 03 月 30 日

※IPC 分類：

【發明名稱】(中文/英文)

半導體裝置、層合型半導體裝置、密封後層合型半導體裝置、及此等之製造方法

【中文】

本發明之課題為提供一種對於配線基板之載置或半導體裝置之層合為容易，且即使於金屬配線之密度大的情況中半導體裝置之翹曲亦受到抑制的半導體裝置。

本發明之解決手段為一種半導體裝置，其係具有半導體元件、與電連接於半導體元件的半導體元件上金屬墊及金屬配線，且金屬配線係電連接於貫穿電極及焊錫凸塊，其特徵為，具有：載置有半導體元件之第一絕緣層、形成於半導體元件上之第二絕緣層、以及形成於第二絕緣層上之第三絕緣層，金屬配線係在第二絕緣層的上部經由半導體元件上金屬墊而電連接於半導體元件，且從第二絕緣層的上部貫穿第二絕緣層而在第二絕緣層的下部電連接於貫穿電極，半導體元件下金屬配線係配置於第一絕緣層與半導體元件之間，且半導體元件下金屬配線係在第二絕緣層的下部與金屬配線電連接。

【英文】

【代表圖】

【本案指定代表圖】：第(1)圖。

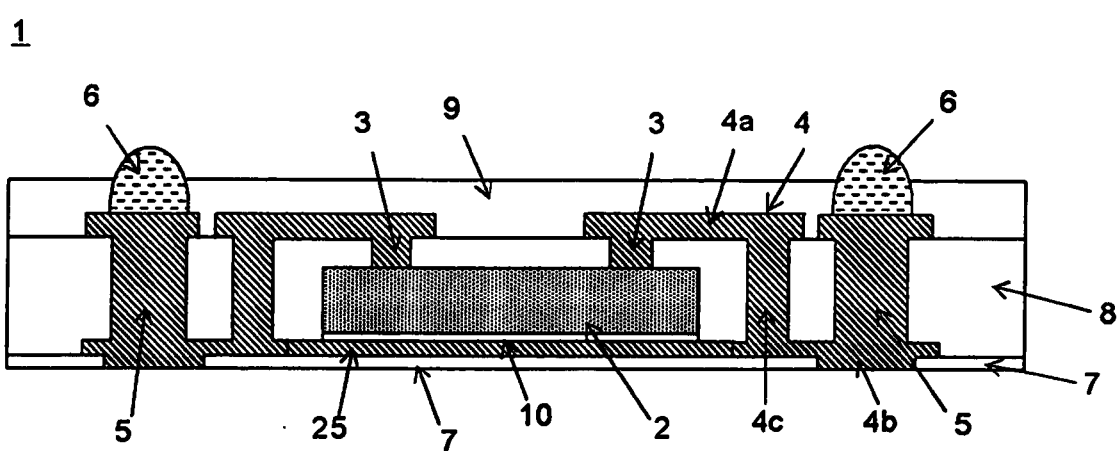
【本代表圖之符號簡單說明】：

- 1：半導體裝置
- 2：半導體元件
- 3：半導體元件上金屬墊
- 4：金屬配線
- 4a：上面金屬配線
- 4b：下面金屬配線
- 4c：貫穿金屬配線
- 5：貫穿電極
- 6：焊錫凸塊
- 7：第一絕緣層
- 8：第二絕緣層
- 9：第三絕緣層
- 10：晶片黏合劑
- 25：半導體元件下金屬配線

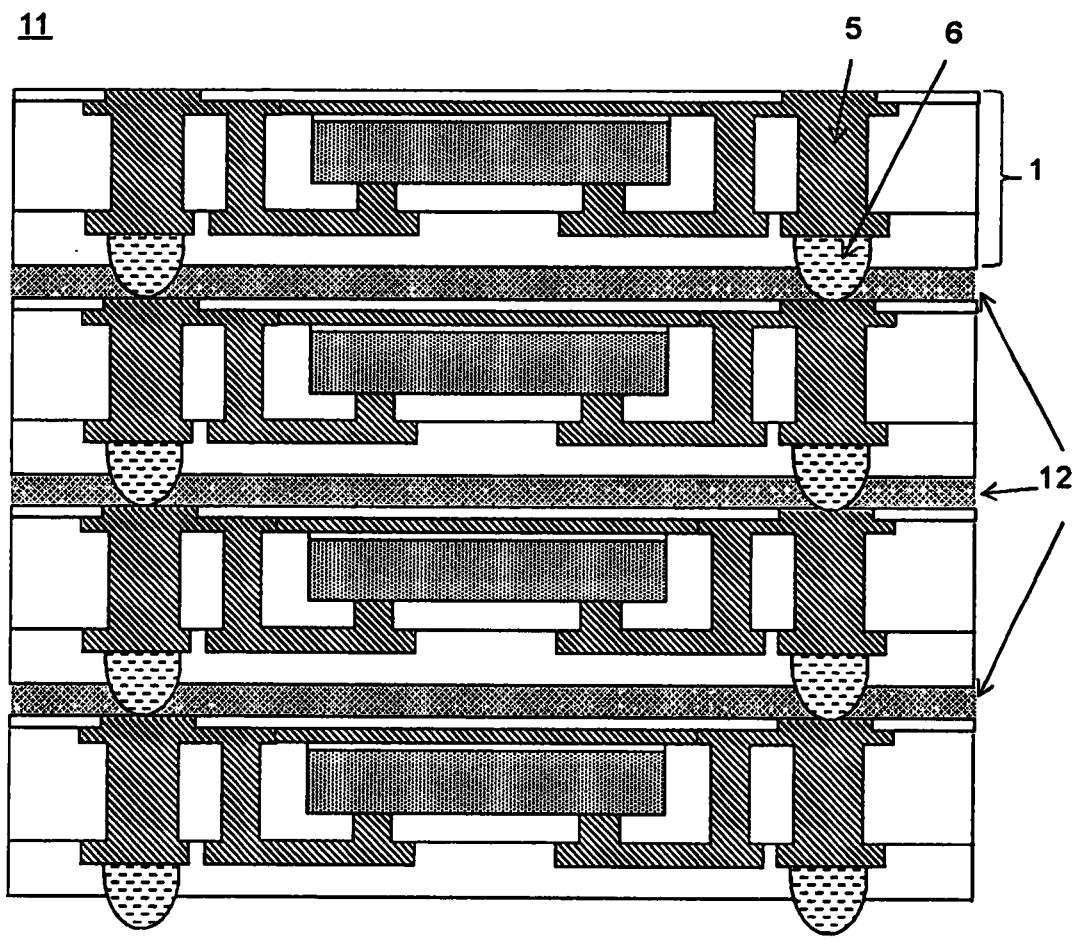
【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

圖式

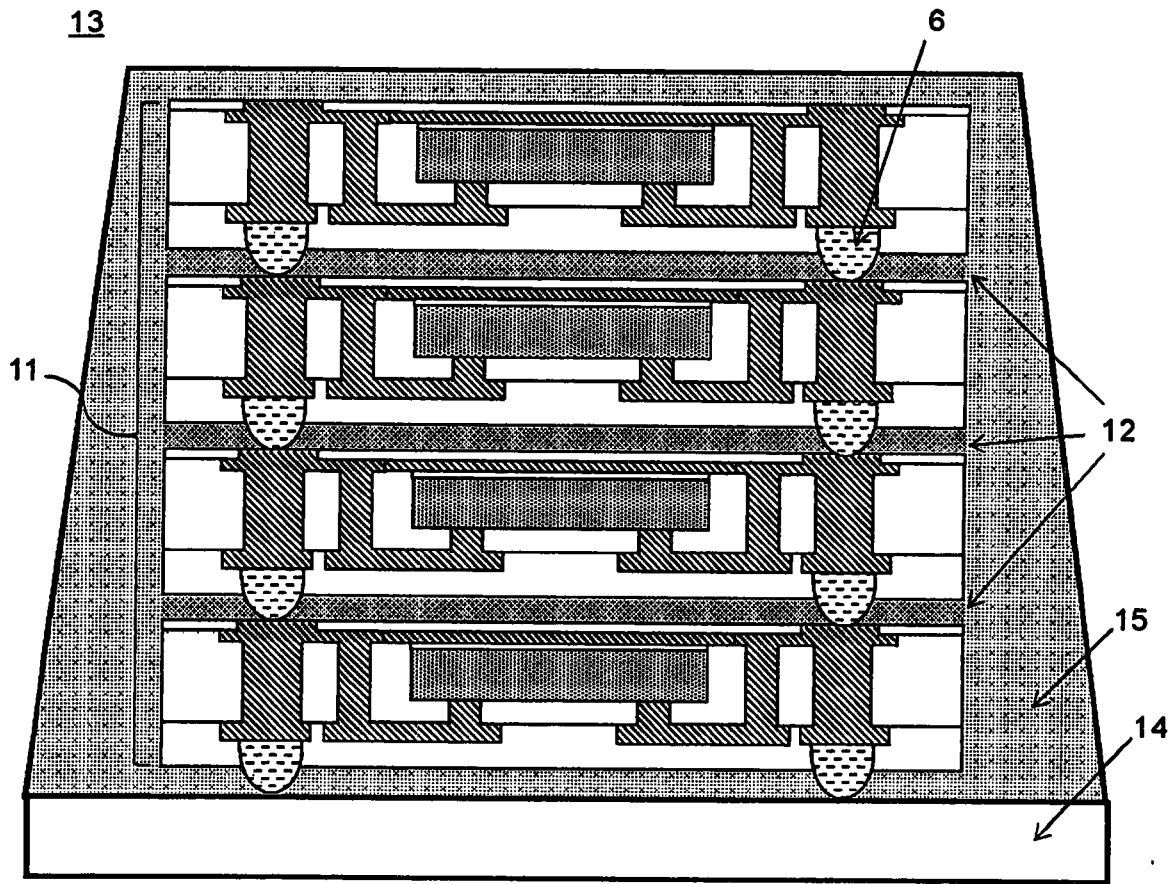
第 1 圖



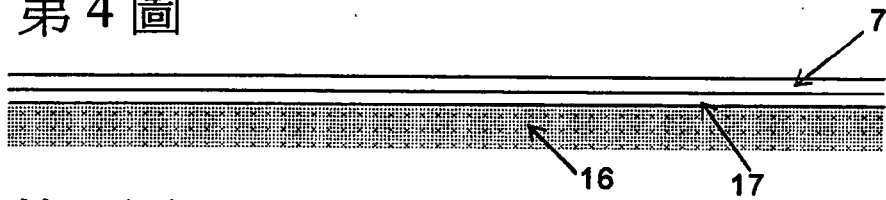
第 2 圖



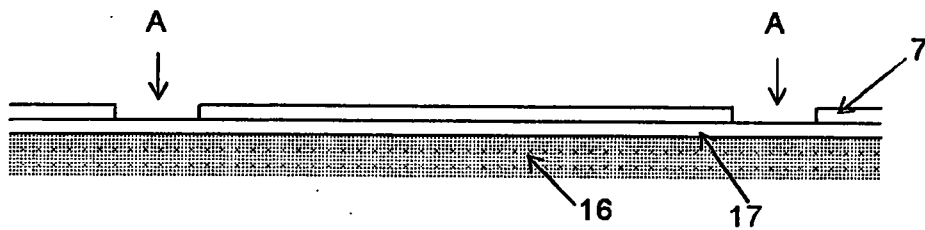
第 3 圖



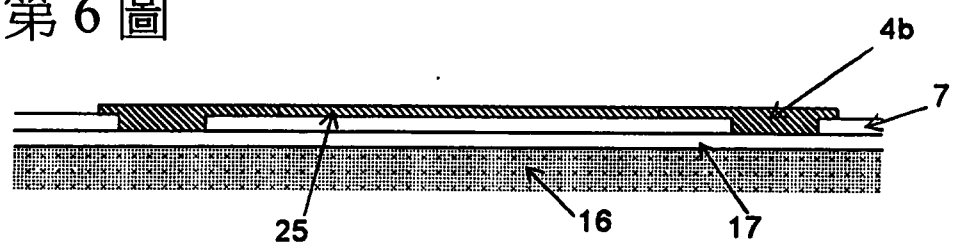
第 4 圖



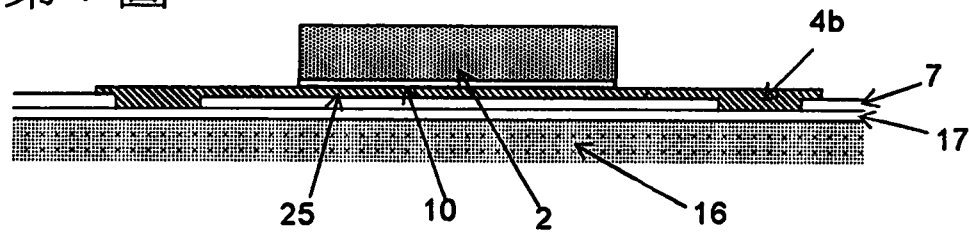
第 5 圖



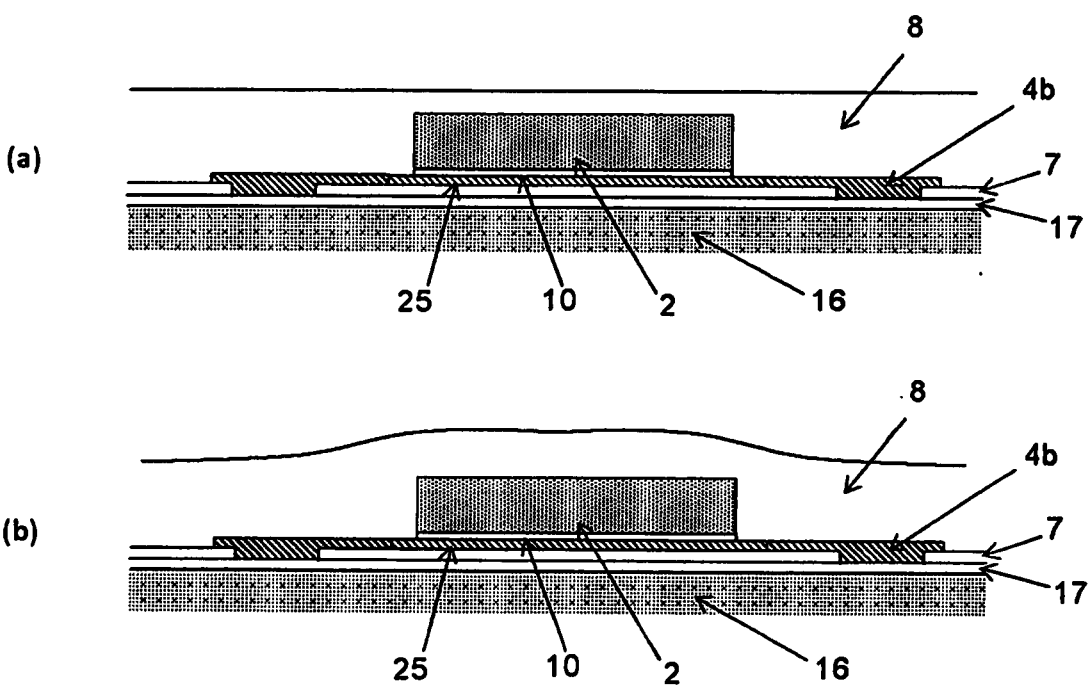
第 6 圖



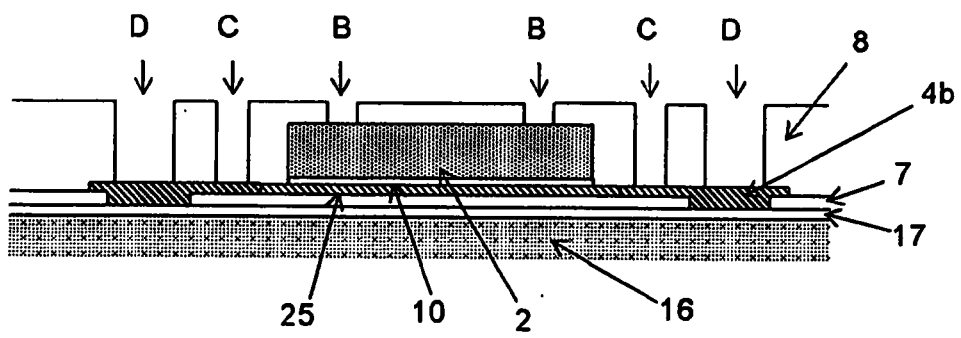
第 7 圖



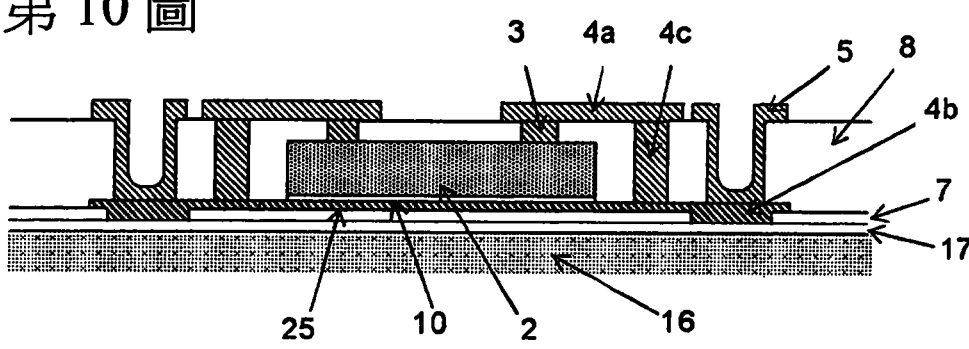
第 8 圖



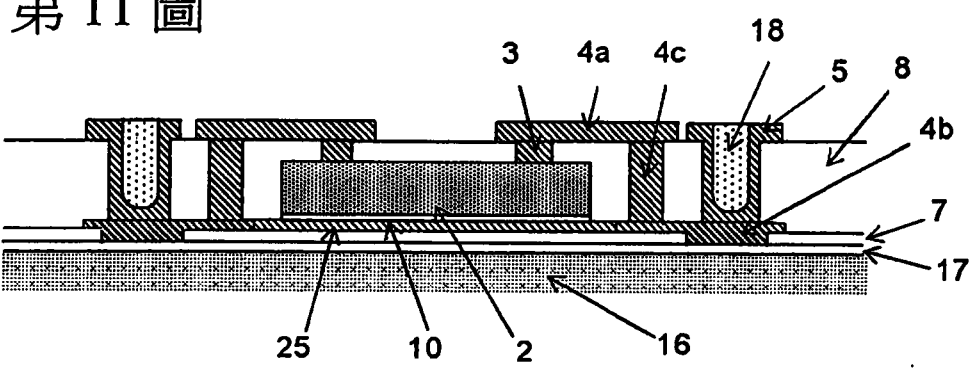
第 9 圖



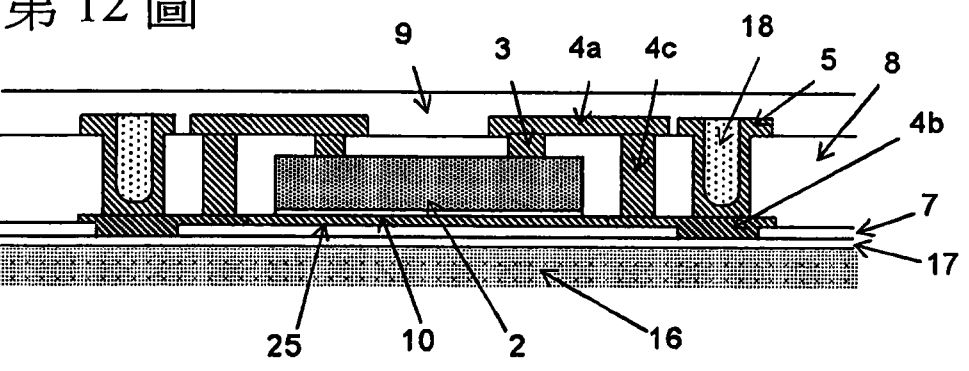
第 10 圖



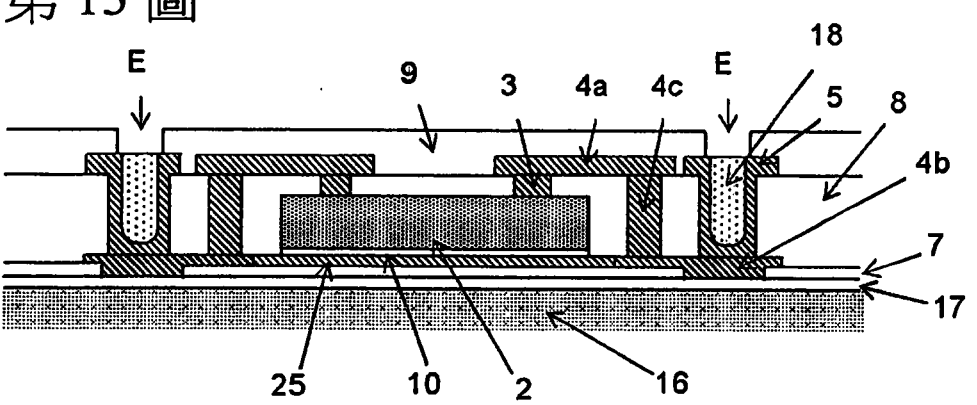
第 11 圖



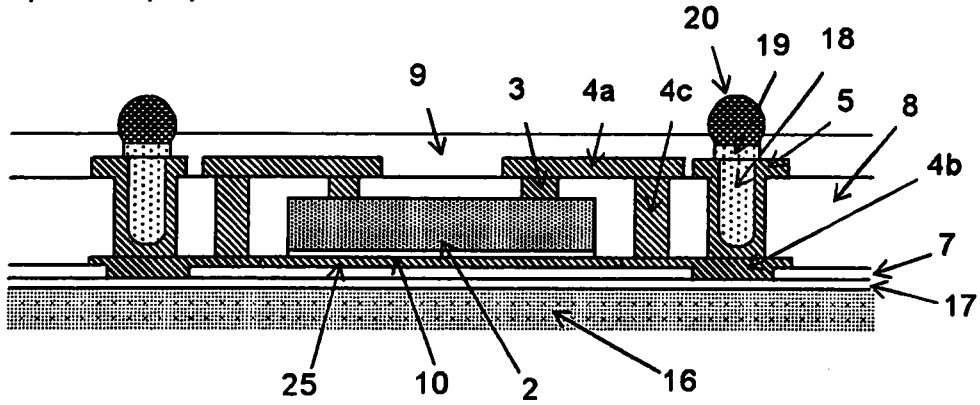
第 12 圖



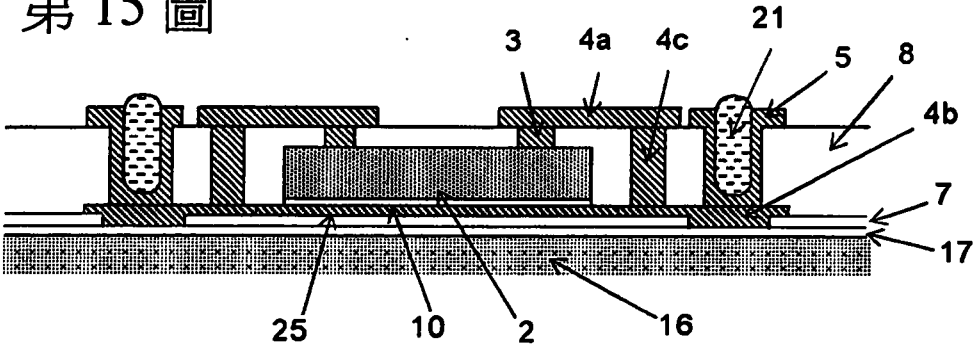
第 13 圖



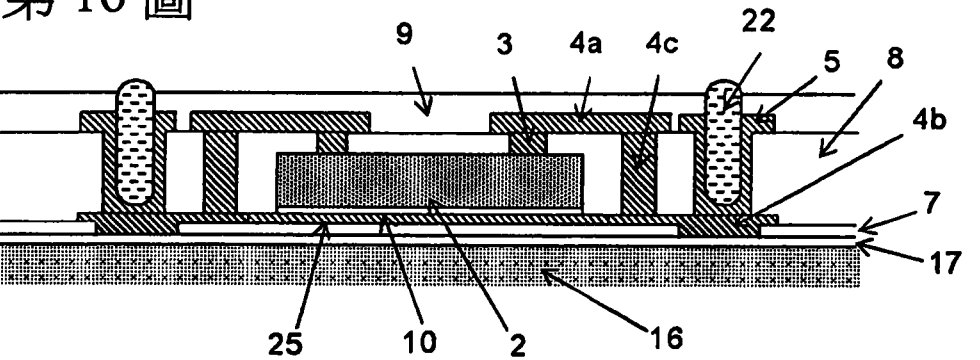
第 14 圖



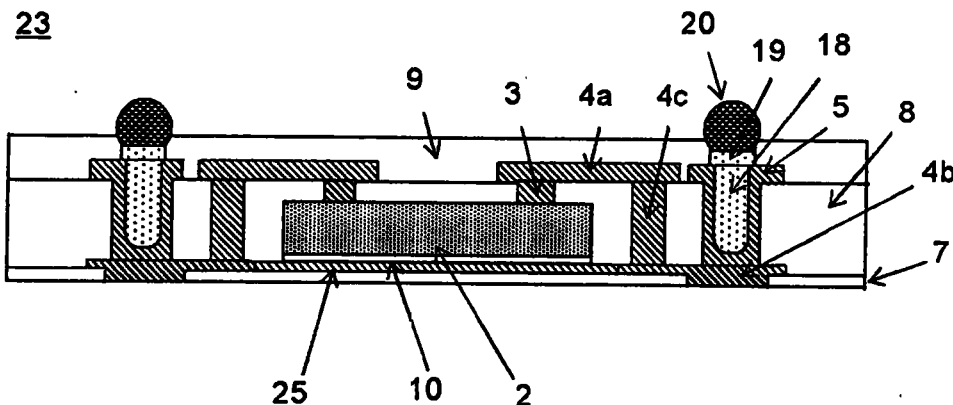
第 15 圖



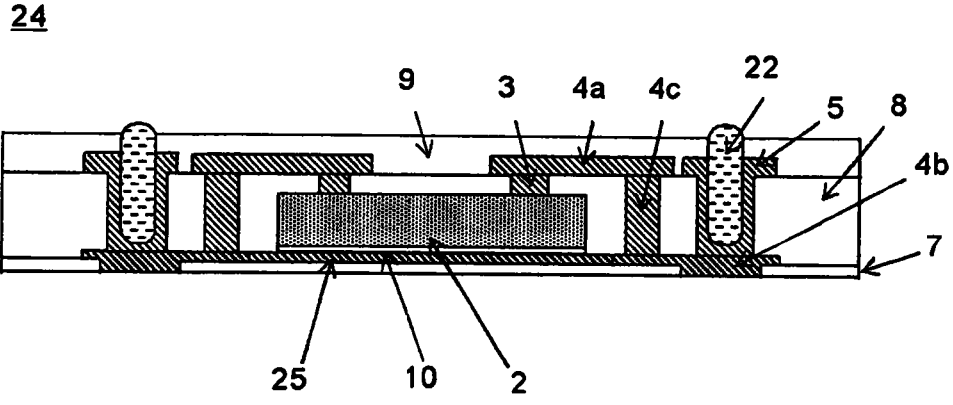
第 16 圖



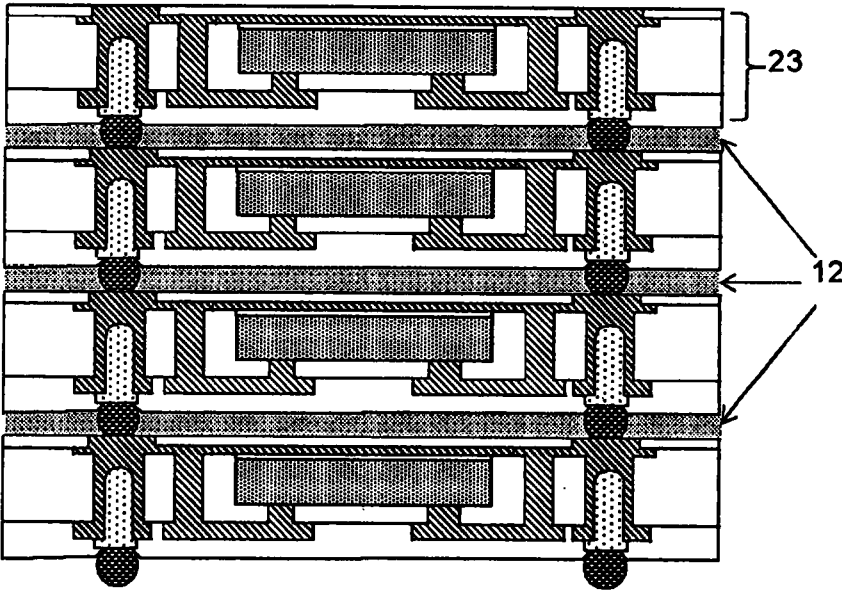
第 17 圖



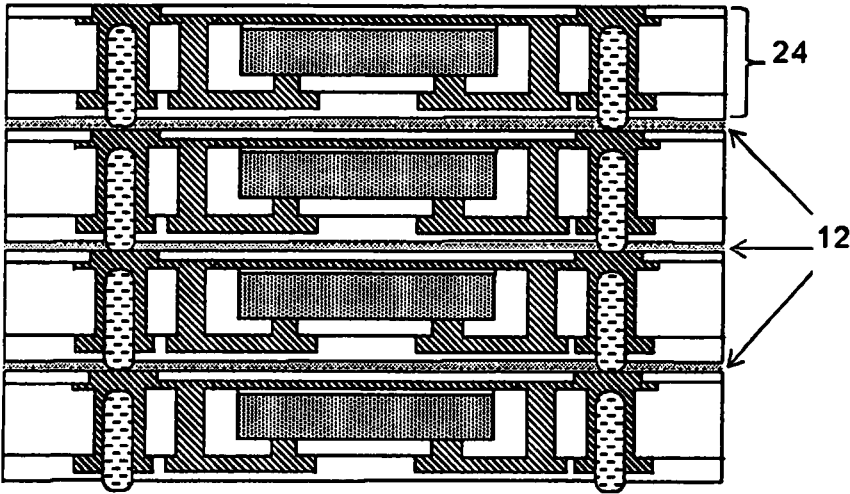
第 18 圖



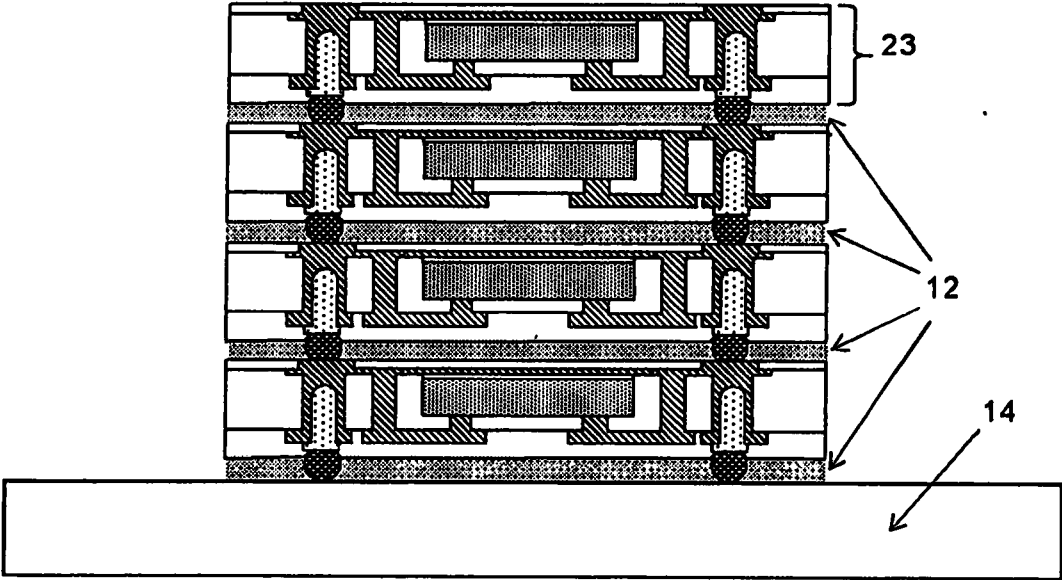
第 19 圖



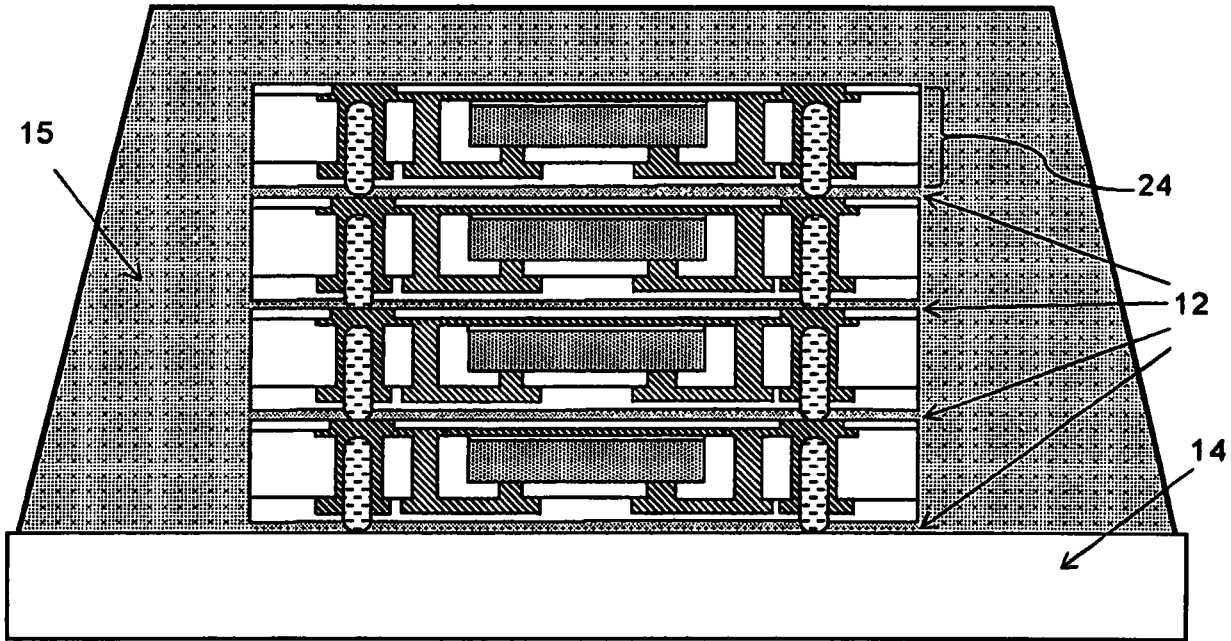
第 20 圖



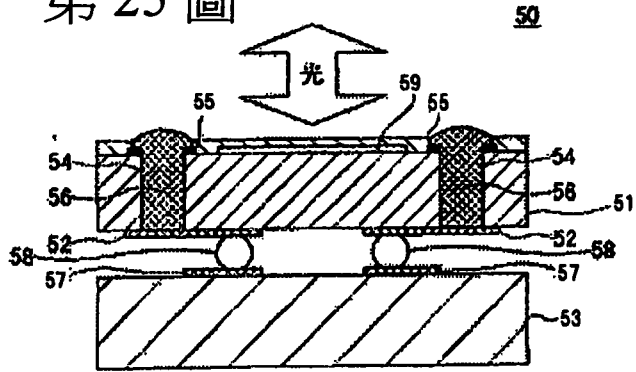
第 21 圖



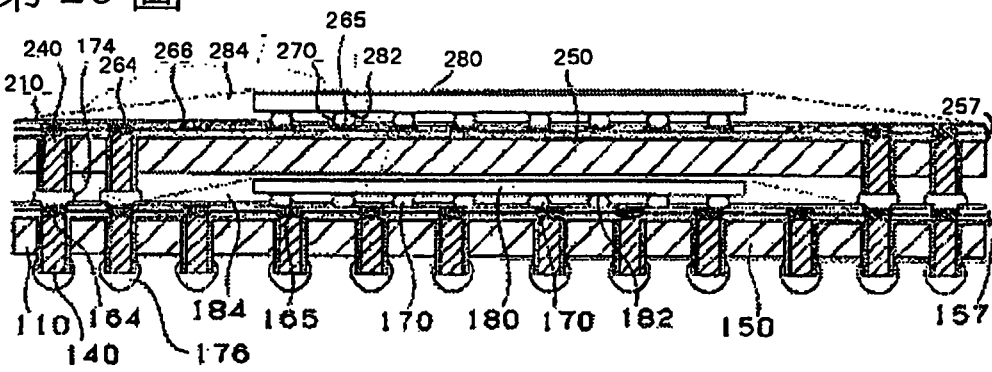
第 24 圖



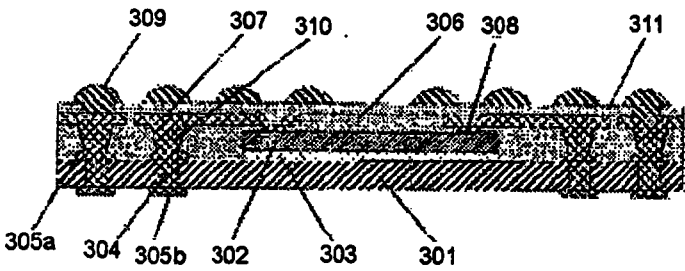
第 25 圖



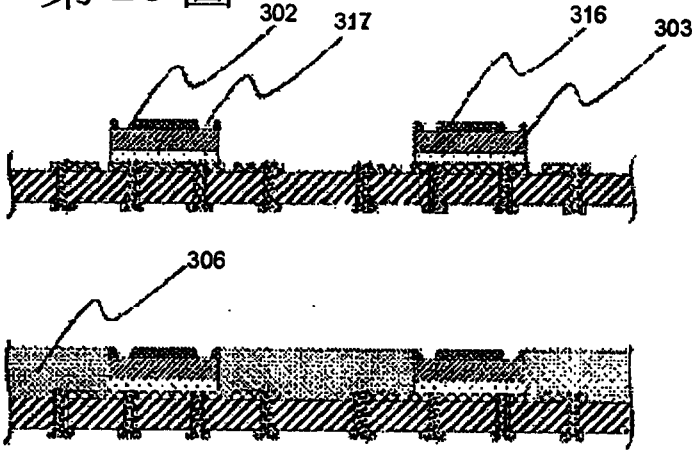
第 26 圖



第 27 圖



第 28 圖



申請專利範圍

1.一種半導體裝置，其特徵為具有半導體元件、與電連接於該半導體元件之半導體元件上金屬墊及金屬配線，且該金屬配線係電連接於貫穿電極及焊錫凸塊，

且具有：載置前述半導體元件之第一絕緣層、形成於前述半導體元件上之第二絕緣層、以及形成於該第二絕緣層上之第三絕緣層；

前述金屬配線係在前述第二絕緣層的上表面經由前述半導體元件上金屬墊而電連接於前述半導體元件，且從前述第二絕緣層的上表面貫穿前述第二絕緣層而在前述第二絕緣層的下面電連接於前述貫穿電極，

於前述第一絕緣層與前述半導體元件之間配置半導體元件下金屬配線，且該半導體元件下金屬配線係在前述第二絕緣層的下面與前述金屬配線電連接者；

前述第一絕緣層係藉由光硬化性乾膜或光硬化性抗蝕劑塗佈膜所形成者，前述第二絕緣層係藉由前述光硬化性乾膜所形成者，前述第三絕緣層係藉由前述光硬化性乾膜或光硬化性抗蝕劑塗佈膜所形成者。

2.如請求項 1 之半導體裝置，其中，前述半導體元件的高度為 $20 \sim 100\mu\text{m}$ ，前述第一絕緣層的膜厚為 $1 \sim 20\mu\text{m}$ ，前述第二絕緣層的膜厚為 $5 \sim 100\mu\text{m}$ ，前述第三絕緣層的膜厚為 $5 \sim 100\mu\text{m}$ ，前述半導體裝置的厚度為 $50 \sim 300\mu\text{m}$ 。

3.如請求項 1 之半導體裝置，其中，前述光硬化性乾

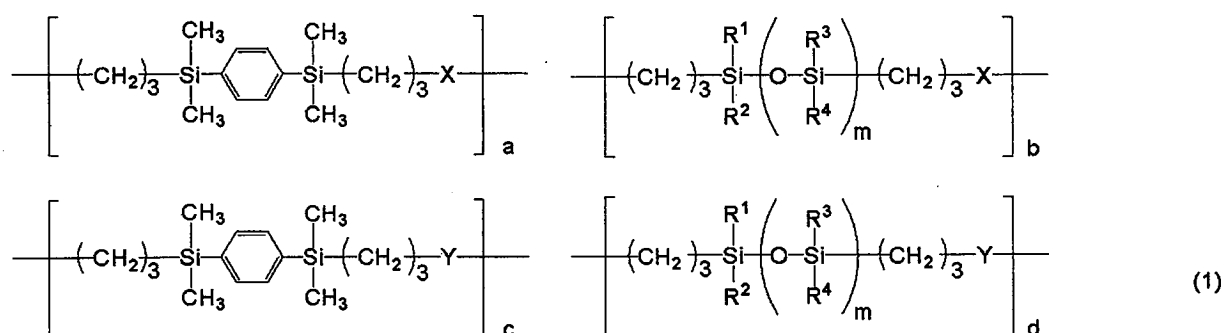
第 104110258 號

民國 107 年 8 月 8 日修正

膜係具有由化學增幅型負型抗蝕劑組成物材料所構成的光硬化性樹脂層之光硬化性乾膜，該化學增幅型負型抗蝕劑組成物材料係含有：

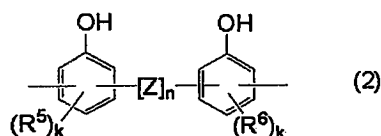
(A)具有以下述一般式(1)所示之重複單元的重量平均分子量為 3,000~500,000 之含矽酮骨架之高分子化合物、

【化 1】



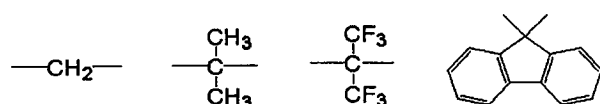
(式中， $R^1 \sim R^4$ 係表示可相同或相異之碳數 1~8 的 1 價烴基； m 為 1~100 之整數； a 、 b 、 c 、 d 為 0 或正數，且 a 、 b 、 c 、 d 不同時為 0；但， $a+b+c+d=1$ ；再者， X 係以下述一般式(2)所示之有機基， Y 係以下述一般式(3)所示之有機基)

【化2】



(式中， Z 係由

【化3】



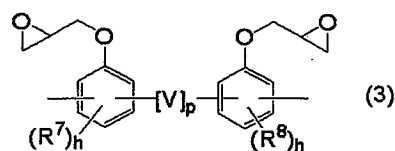
中任一者所選出的 2 價之有機基，n 為 0 或 1；R⁵ 及 R⁶ 係

第 104110258 號

民國 107 年 8 月 8 日修正

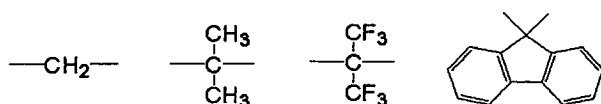
各自為碳數 1~4 之烷基或烷氧基，且可彼此相異或相同；k 為 0、1、2 中之任一者)

【化 4】



(式中，V 係由

【化 5】



中任一者所選出的 2 價之有機基，p 為 0 或 1；R⁷ 及 R⁸ 係各自為碳數 1~4 之烷基或烷氧基，且可彼此相異或相同；h 為 0、1、2 中之任一者)

(B)由藉由甲醛或甲醛-醇改質而成的胺基縮合物、1 分子中平均具有 2 個以上之羥甲基或烷氧基羥甲基之酚化合物所選出的 1 種或 2 種以上之交聯劑、

(C)藉由波長 190~500nm 之光進行分解，而產生酸之光酸產生劑、以及

(D)溶劑。

4.一種層合型半導體裝置，其特徵為，將如請求項 1 至 3 中任一項之半導體裝置覆晶化並複數層合而成者。

5.一種密封後層合型半導體裝置，其特徵為，將如請求項 4 之層合型半導體裝置載置於具有電路的基板上，並以絕緣密封樹脂層加以密封而成者。

第 104110258 號

民國 107 年 8 月 8 日修正

6.一種半導體裝置之製造方法，其特徵為，具有以下步驟：

(1)於支撐基板上塗佈暫時性接著劑，於該暫時性接著劑上形成使用抗蝕劑組成物材料作為光硬化性樹脂層之膜厚 $1\sim 20\mu\text{m}$ 的第一絕緣層之步驟；

(2)在對於前述第一絕緣層，藉由隔著遮罩之微影技術進行圖型化而形成成為貫穿電極的通孔圖型之後，進行烘烤，藉此使前述第一絕緣層硬化之步驟；

(3)於前述第一絕緣層進行以濺鍍所致之種晶層形成，其後，將前述成為貫穿電極之通孔圖型，藉由鍍敷來填埋，而形成與貫穿電極連接的金屬配線，並且形成半導體元件下金屬配線之步驟；

(4)使用晶片黏合劑將電極墊露出於上部表面之高度 $20\sim 100\mu\text{m}$ 的半導體元件晶片黏合於前述形成有半導體元件下金屬配線之硬化後的第一絕緣層上之步驟；

(5)準備具有膜厚 $5\sim 100\mu\text{m}$ 之光硬化性樹脂層為被支撐薄膜與保護薄膜包夾的結構，且該光硬化性樹脂層為由抗蝕劑組成物材料所構成的光硬化性乾膜之步驟；

(6)藉由以覆蓋被晶片黏合於前述第一絕緣層上之半導體元件的方式將前述光硬化性乾膜之光硬化性樹脂層進行疊層，而形成第二絕緣層之步驟；

(7)對於前述第二絕緣層，藉由隔著遮罩之微影技術進行圖型化，而同時形成前述電極墊上之開口、以及用以在與前述貫穿電極連接的金屬配線上形成貫穿前述第二絕

第 104110258 號

民國 107 年 8 月 8 日修正

緣層的金屬配線之開口、以及用以形成前述貫穿電極之開口，之後，進行烘烤，藉此使前述第二絕緣層硬化之步驟；

(8)在硬化後，進行以濺鍍所致之種晶層形成，其後，將前述電極墊上之開口、用以形成貫穿前述第二絕緣層的金屬配線之開口、以及用以形成前述貫穿電極之開口，藉由鍍敷來填埋，而形成半導體元件上金屬墊、貫穿前述第二絕緣層之金屬配線、以及貫穿電極，並且將藉由前述鍍敷所形成的前述半導體元件上金屬墊與貫穿前述第二絕緣層的金屬配線藉由以鍍敷所得之金屬配線相連結之步驟；

(9)金屬配線形成後，將前述光硬化性乾膜之光硬化性樹脂層進行疊層或者將使用於前述光硬化性乾膜之抗蝕劑組成物材料進行旋轉塗佈，藉此形成第三絕緣層之步驟；

(10)在對於前述第三絕緣層，藉由隔著遮罩之微影技術進行圖型化而於前述貫穿電極上部形成開口之後，進行烘烤，藉此使前述第三絕緣層硬化之步驟；

(11)硬化後，於前述貫穿電極上部之開口形成焊錫凸塊之步驟。

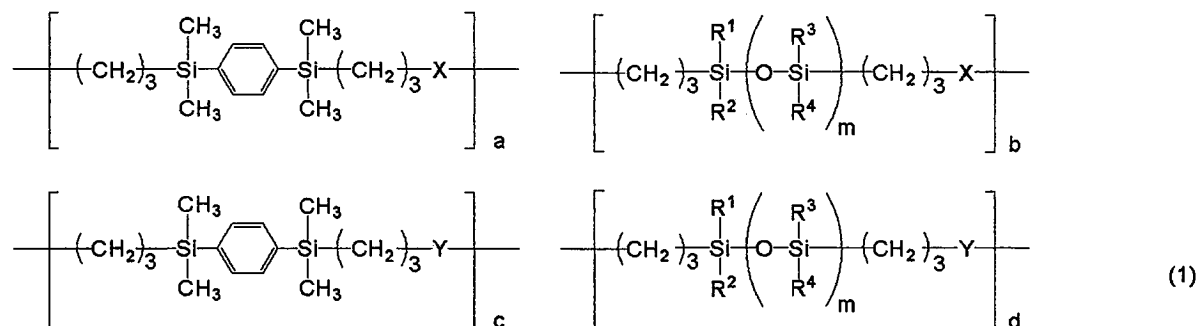
7.如請求項 6 之半導體裝置之製造方法，其中，將在前述步驟(5)所準備的光硬化性乾膜設為具有由化學增幅型負型抗蝕劑組成物材料所構成的光硬化性樹脂層之光硬化性乾膜，該化學增幅型負型抗蝕劑組成物材料係含有：

第 104110258 號

民國 107 年 8 月 8 日修正

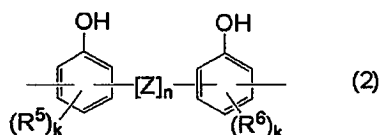
(A)具有以下述一般式(1)所示之重複單元的重量平均分子量為 3,000~500,000 之含矽酮骨架之高分子化合物、

【化 6】



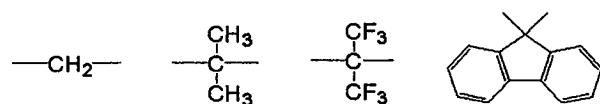
(式中， $\text{R}^1 \sim \text{R}^4$ 係表示可相同或相異之碳數 1~8 的 1 價烴基； m 為 1~100 之整數； a 、 b 、 c 、 d 為 0 或正數，且 a 、 b 、 c 、 d 不同時為 0；但， $a+b+c+d=1$ ；再者， X 係以下述一般式(2)所示之有機基， Y 係以下述一般式(3)所示之有機基)

【化 7】



(式中， Z 係由

【化 8】

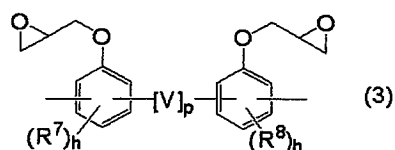


中任一者所選出的 2 價之有機基， n 為 0 或 1； R^5 及 R^6 係各自為碳數 1~4 之烷基或烷氧基，且可彼此相異或相同； k 為 0、1、2 中之任一者)

第 104110258 號

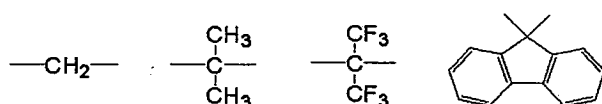
民國 107 年 8 月 8 日修正

【化 9】



(式中，V 係由

【化 10】



中任一者所選出的 2 價之有機基，p 為 0 或 1； R^7 及 R^8 係各自為碳數 1~4 之烷基或烷氧基，且可彼此相異或相同；h 為 0、1、2 中之任一者)

(B)由藉由甲醛或甲醛-醇改質而成的胺基縮合物、1 分子中平均具有 2 個以上之羥甲基或烷氧基羥甲基之酚化合物所選出的 1 種或 2 種以上之交聯劑、

(C)藉由波長 190~500nm 之光進行分解，而產生酸之光酸產生劑、以及

(D)溶劑。

8.如請求項 6 或 7 之半導體裝置之製造方法，其中，於前述步驟(6)中，包含對前述第二絕緣層進行機械性加壓之步驟。

9.如請求項 6 或 7 之半導體裝置之製造方法，其中，於前述步驟(11)中，具有：於前述貫穿電極上部之開口藉由鍍敷形成貫穿電極上金屬墊之步驟、以及

於前述貫穿電極上金屬墊上形成焊錫球，製成焊錫凸塊之步驟。

第 104110258 號

民國 107 年 8 月 8 日修正

10.如請求項 6 或 7 之半導體裝置之製造方法，其中，於前述步驟(8)之以鍍敷所致之前述貫穿電極的形成中，包含進行以 SnAg 所致之鍍敷之步驟，

並且具有：於前述步驟(10)中，以於前述貫穿電極上部形成開口的方式進行圖型化，藉此使前述鍍敷後的 SnAg 露出之步驟、以及

於前述步驟(11)中，藉由將前述鍍敷後的 SnAg 進行熔融而於前述貫穿電極上部之開口處使電極隆起而形成焊錫凸塊之步驟。

11.如請求項 6 或 7 之半導體裝置之製造方法，其中，在前述步驟(11)之後，具有：將在前述步驟(1)與第一絕緣層暫時接著的支撐基板去除之步驟、以及

在將前述基板去除後，進行切割，藉此予以個片化之步驟。

12.一種層合型半導體裝置之製造方法，其特徵為，將以如請求項 11 之製造方法來藉由切割而個片化的複數個半導體裝置，包夾絕緣樹脂層，並藉由前述焊錫凸塊電接合而進行層合。

13.一種密封後層合型半導體裝置之製造方法，其特徵為，具有：將以如請求項 12 之製造方法所製造的層合型半導體裝置載置於具有電路的基板之步驟、以及

將載置於前述基板之層合型半導體裝置以絕緣密封樹脂層進行密封之步驟。