

【特許請求の範囲】**【請求項 1】**

スキャンテスト回路と、
前記スキャンテスト回路を使用してテストを受ける追加回路と
を備えた集積回路であって、

前記スキャンテスト回路は、複数のスキャンセルを有する少なくとも1つのスキャンチェーンを備え、前記スキャンチェーンは、スキャンシフト動作モードではシリアル・シフトレジスタとして動作し、機能動作モードでは前記追加回路の少なくとも一部分からの機能データを捕捉するように構成され、

前記スキャンチェーンの前記スキャンセルの少なくとも所与の1つは、前記スキャンシフト動作モードでは前記スキャンセルの機能データ出力をディスエーブルし、前記機能動作モードでは前記スキャンセルのスキャン出力をディスエーブルするように構成された出力制御回路を備える、集積回路。

10

【請求項 2】

前記所与のスキャンセルが、
機能データ入力と、
スキャン入力と、
スキャン・イネーブル入力と、

前記機能データ入力に結合された第1の入力、前記スキャン入力に結合された第2の入力、および前記スキャン・イネーブル入力に結合された選択ラインを有するマルチプレクサと、

20

前記マルチプレクサの出力に結合された入力を有するフリップフロップと
をさらに備え、

前記出力制御回路は、前記フリップフロップの出力と、前記スキャンセルの前記機能データ出力およびスキャン出力との間に結合される、請求項1に記載の集積回路。

【請求項 3】

前記出力制御回路は、スキャン・イネーブル信号が第1の2値論理レベルであることに応答して前記スキャンセルの前記機能データ出力をディスエーブルし、前記スキャンセルの前記スキャン出力をイネーブルし、ならびに前記スキャン・イネーブル信号が第2の2値論理レベルであることに応答して前記スキャンセルの前記スキャン出力をディスエーブルし、前記スキャンセルの機能データ出力をイネーブルするように動作する、請求項1に記載の集積回路。

30

【請求項 4】

前記出力制御回路は、

前記フリップフロップの前記出力と、前記スキャンセルの前記機能データ出力との間に結合された第1のトライステート・バッファと、

前記フリップフロップの前記出力と、前記スキャンセルの前記スキャン出力との間に結合された第2のトライステート・バッファと

を備え、前記第1および第2のトライステート・バッファのうちの一方の制御入力にスキャン・イネーブル信号が印加され、前記第1および第2のトライステート・バッファのうちの他方の前記制御入力に前記スキャン・イネーブル信号の補数をとったものが印加される、請求項2に記載の集積回路。

40

【請求項 5】

前記出力制御回路は、

そのゲートが前記スキャン・イネーブル入力に結合され、そのソースが前記フリップフロップの前記出力に結合され、そのドレインが前記スキャンセルの前記機能データ出力に結合された第1のPMOSトランジスタと、

そのゲートが前記スキャン・イネーブル入力に結合され、そのドレインが上位電源電位に結合され、そのソースが前記スキャンセルの前記機能データ出力に結合された第1のNMOSトランジスタと、

50

そのゲートが前記スキャン・イネーブル入力に結合され、そのソースが前記スキャンセルの前記スキャン出力に結合され、そのドレインが下位電源電位に結合された第2のPMOSトランジスタと、

そのゲートが前記スキャン・イネーブル入力に結合され、そのソースが前記スキャンセルの前記スキャン出力に結合され、そのドレインが前記フリップフロップの前記出力に結合された第2のNMOSトランジスタと

を備える、請求項2に記載の集積回路。

【請求項6】

前記スキャンセルの前記スキャン・イネーブル入力に印加されたスキャン・イネーブル信号が論理ハイレベルにあることに応答して、前記第1および第2のPMOSトランジスタはターン・オフされ、前記第1および第2のNMOSトランジスタはターン・オンされ、それにより前記スキャンセルの前記機能データ出力は、前記第1のPMOSトランジスタにより前記フリップフロップ出力から切断されることによってディスエーブルされ、前記スキャンセルの前記スキャン出力は、前記第2のNMOSトランジスタにより前記フリップフロップ出力に接続されることによってイネーブルされる、請求項5に記載の集積回路。

10

【請求項7】

前記スキャンセルの前記スキャン・イネーブル入力に印加されたスキャン・イネーブル信号が論理ローレベルにあることに応答して、前記第1および第2のPMOSトランジスタはターン・オンされ、前記第1および第2のNMOSトランジスタはターン・オフされ、それにより前記スキャンセルの前記機能データ出力は、前記第1のPMOSトランジスタにより前記フリップフロップ出力に接続されることによってイネーブルされ、前記スキャンセルの前記スキャン出力は、前記第2のNMOSトランジスタにより前記フリップフロップ出力から切断されることによってディスエーブルされる、請求項5に記載の集積回路。

20

【請求項8】

前記出力制御回路は、前記フリップフロップの前記出力に結合された第1の入力、前記スキャンセルの前記スキャン・イネーブル入力に結合された第2の入力、前記スキャンセルの前記機能データ出力に結合された第1の出力、および前記スキャンセルの前記スキャン出力に結合された第2の出力を有する論理ゲートを備える、請求項2に記載の集積回路。

30

【請求項9】

集積回路をスキャンテストする方法であって、

複数のスキャンセルを有する少なくとも1つのスキャンチェーンであって、スキャンシフト動作モードではシリアル・シフトレジスタとして動作し、機能動作モードでは前記集積回路の追加回路の少なくとも一部分からの機能データを捕捉するように構成された、スキャンチェーンを備えたスキャンテスト回路を設けること、

前記スキャンシフト動作モードでは、前記スキャンセルの少なくとも所与の1つの機能データ出力をディスエーブルすること、および

前記機能動作モードでは、前記所与のスキャンセルのスキャン出力をディスエーブルすること

40

を含む方法。

【請求項10】

プロセッサと、

前記プロセッサに結合され、集積回路設計を特徴付ける情報を記憶するように構成されたメモリと

を備える処理システムであって、

前記処理システムは、集積回路設計内に、複数のスキャンセルを有する少なくとも1つのスキャンチェーンであって、スキャンシフト動作モードではシリアル・シフトレジスタとして動作し、機能動作モードでは前記集積回路の追加回路の少なくとも一部分からの機

50

能データを捕捉するように構成された、スキャンチェーンを備えるスキャンテスト回路を設けるように構成され、

前記スキャンチェーンの前記スキャンセルの少なくとも所与の1つは、前記スキャンシフト動作モードでは前記スキャンセルの機能データ出力をディスエーブルし、前記機能動作モードでは前記スキャンセルのスキャン出力をディスエーブルするように構成された出力制御回路を備える、処理システム。

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、その開示が参照により本明細書に組み込まれている、2011年3月25日に出願した「Low Power Flip-Flop Design」という名称の米国特許仮出願第61/467,411号の優先権を主張するものである。

10

【0002】

本発明は、一般に集積回路テストに関し、より詳細にはスキャンテスト回路を用いた集積回路テストに関する。

【背景技術】

【0003】

集積回路は、しばしば、様々な内部障害状態のテストを容易にするスキャンテスト回路を組み込むように設計される。このようなスキャンテスト回路は、通常はスキャンチェーンを備え、スキャンチェーンは集積回路の組み合わせ論理への入力にテストパターンを印加するため、および対応する結果を読み出すためのシリアル・シフトレジスタを形成するのに用いられるフリップフロップのチェーンである。スキャンチェーンのフリップフロップの所与の1つは、本明細書でより一般に「スキャンセル」と呼ぶものの一例と見なすことができる。

20

【0004】

1つの例示的構成では、スキャンテスト回路を有する集積回路は、スキャンシフト動作モード、および機能動作モードを有することができる。集積回路がスキャンシフトモードにあるか、機能モードにあるかを示すために、フラグを用いることができる。スキャンシフトモードでは、スキャンチェーンのフリップフロップは、シリアル・シフトレジスタとして構成される。その場合は、スキャンチェーンのフリップフロップによって形成されたシリアル・シフトレジスタ内へ、テストパターンがシフトインされる。テストパターンがシフトインされるとすぐにスキャンシフトモードはディスエーブルされ、集積回路はその機能モードに置かれる。この機能動作モード時に生じた内部組み合わせ論理の結果は、次いでスキャン・フリップフロップのチェーンによって捕捉される。次いで集積回路は、新しいテストパターンがスキャンインされるのに従って、スキャン・フリップフロップによって形成されたシリアル・シフトレジスタから捕捉された組み合わせ論理の結果がシフトアウトされるのを可能にするために、再びそのスキャンシフト動作モードに置かれる。このプロセスは、集積回路にすべての所望のテストパターンが印加されるまで繰り返される。

30

【0005】

集積回路がますます複雑になってきているのに従って、所与の集積回路をテストするときに印加する必要があるテストパターンの数を低減し、したがってまた必要なテスト時間も短縮するスキャン圧縮技術が開発されている。圧縮スキャンテストに関するさらなる詳細は、本出願の譲受人に譲渡され、本明細書に参照により組み込まれている「Testing a Circuit with Compressed Scan Subsets」という名称の米国特許第7,831,876号に開示されている。

40

【先行技術文献】

【特許文献】

【0006】

【特許文献1】米国特許第7,831,876号

50

【発明の概要】**【発明が解決しようとする課題】****【0007】**

それにもかかわらず、スキャンテスト回路におけるさらなる改良の必要性が依然としてある。たとえば、スキャンチェーンの実装に関連する電力および面積要件の大幅な低減は極めて望ましい。

【課題を解決するための手段】**【0008】**

本発明の例示的实施形態は、集積回路をスキャンテストするための改良された回路および技術を提供する。たとえば1つまたは複数のこのような実施形態では、集積回路のスキャンテスト回路は、低電力で面積効率の良いスキャンセルを備えた少なくとも1つのスキャンチェーンを含むように構成される。有利にはスキャンセルは、スキャンセルの対応するスキャン出力および機能データ出力によって駆動される集積回路の部分内でスキャンシフト動作および機能動作モードの両方において、そうでない場合には生じ得る不必要な論理遷移をなくすことにより、これらのモードにおいて集積回路に対して低減された電力消費をもたらすように構成される。これは1つまたは複数の例示的实施形態において、スキャンセル自体の電力消費または面積要件を大幅に増加せずに達成することができ、それにより集積回路の電力消費および面積要件の全体的な低減がもたらされる。

10

【0009】

一態様では、集積回路は、スキャンテスト回路と、スキャンテスト回路を使用してテストを受ける追加回路とを備える。スキャンテスト回路は、複数のスキャンセルを有する少なくとも1つのスキャンチェーンを備え、スキャンチェーンは、スキャンシフト動作モードではシリアル・シフトレジスタとして動作し、機能動作モードでは追加回路の少なくとも一部分からの機能データを捕捉するように構成される。スキャンチェーンのスキャンセルの少なくとも所与の1つは、スキャンシフト動作モードではスキャンセルの機能データ出力をディスエーブルし、機能動作モードではスキャンセルのスキャン出力をディスエーブルするように構成された出力制御回路を備える。

20

【0010】

他の態様では、スキャンセルは、複数の他のスキャンセルと共に、スキャンシフト動作モードおよび機能動作モードを有するスキャンチェーンに構成可能である。スキャンセルは、スキャンシフト動作モードではスキャンセルの機能データ出力をディスエーブルし、機能動作モードではスキャンセルのスキャン出力をディスエーブルするように構成された出力制御回路を備える。

30

【0011】

1つまたは複数の例示的实施形態では所与のスキャンセルは、その機能データ出力およびそのスキャン出力に加えて、機能データ入力、スキャン入力、スキャン・イネーブル入力、マルチプレクサ、およびフリップフロップを備える。マルチプレクサは、機能データ入力に結合された第1の入力、スキャン入力に結合された第2の入力、およびスキャン・イネーブル入力に結合された選択ラインを有し、フリップフロップは、マルチプレクサの出力に結合された入力を有する。出力制御回路は、フリップフロップの出力と、スキャンセルの機能データ出力およびスキャン出力との間に結合される。

40

【0012】

このようなスキャンセル構成により、機能動作モードにてスキャンセルのスキャン出力により、またはスキャンシフト動作モードにてスキャンセルの機能データ出力により駆動される集積回路の部分において、そうでない場合には生じ得る不必要な論理遷移が除去される。上述のように、この利点は、スキャンセル自体の電力または面積要件を大幅に増加せずに達成される。たとえばスキャンセルは、追加のフリップフロップまたは信号ポートを必要とせず、著しい追加のタイミング依存性を示すこともない。

【図面の簡単な説明】**【0013】**

50

【図 1】例示的实施形態における、テストと、被試験集積回路とを備える集積回路テストシステムを示すブロック図である。

【図 2】図 1 の集積回路内の組み合わせ論理の間に、スキャンチェーンを配置することができるやり方の一実施例を示す図である。

【図 3】図 2 のスキャンセルの所与の 1 つの可能な一実装形態を示す概略図である。

【図 4】図 2 のスキャンセルの所与の 1 つの、別の可能な一実装形態を示す概略図である。

【図 5】NAND ゲートを用いた、図 4 のスキャンセルとほぼ等価な回路を示す図である。

【図 6】図 1 のテストシステムの可能な一実装形態を示す図である。

10

【図 7】それぞれが図 3 ~ 5 に示されるタイプの 1 つまたは複数のスキャンセルを有する、1 つまたは複数のスキャンチェーンを備えた集積回路設計を生成するための処理システムのブロック図である。

【発明を実施するための形態】

【0014】

本明細書では、本発明について、例示のテストシステム、および対応する集積回路であって、それらの集積回路の他の内部回路のスキャンテストをサポートするためのスキャンテスト回路を備えた集積回路に関連して述べる。しかし本発明はより一般に、スキャンテストのための電力消費および面積要件の低減の点から改善された性能を実現することが望ましい任意のテストシステムまたは関連する集積回路に応用できることが理解されるべき

20

【0015】

図 1 は、テスト 102、および被試験集積回路 104 を備える、テストシステム 100 を示す。集積回路 104 は、スキャンテスト回路 106 を使用してテストを受ける追加内部回路 108 に結合された、スキャンテスト回路 106 を備える。テスト 102 は、集積回路のスキャンテストに関連するスキャンデータ 110 を記憶する。このようなスキャンデータは、テストパターン発生器 112 によって供給されるテストパターンに対応することができる。他の実施形態では、テストパターン発生器 112 などの、テスト 102 の少なくとも一部分を集積回路 104 内に組み込むことができる。

【0016】

30

図 1 に示されるようなテストシステム 100 の特定の構成は例示のみであり、他の実施形態でのテストシステム 100 は、このようなシステムの従来の実装形態に一般に見られるタイプの 1 つまたは複数の要素を含み、図示の特定のものに加えてまたはその代わりに他の要素を含むことができる。たとえばシステム 100 の様々な要素は、例としてかつ非限定的に、マイクロプロセッサ、中央処理ユニット (CPU)、デジタル信号プロセッサ (DSP)、特定用途向け集積回路 (ASIC)、フィールド・プログラマブル・ゲートアレイ (FPGA)、または他のタイプのデータ処理デバイス、ならびにこれらおよび他のデバイスの部分または組み合わせを使用して実装することができる。

【0017】

本発明の実施形態は、圧縮または非圧縮スキャンテストを使用するように構成することができ、本発明はこの点において限定されない。しかし図 2 に示されるものなどの特定の実施形態について、主として圧縮スキャンテストとの関連において述べる。

40

【0018】

次に図 2 を参照すると、集積回路 104 の 1 つの可能な構成の部分が詳細に示される。この圧縮スキャンテスト構成では、スキャンテスト回路 106 は、伸張器 200、圧縮器 202、および複数のスキャンチェーン 204 - k、ただし $k = 1, 2, \dots, K$ 、を備える。スキャンチェーン 204 のそれぞれは複数のスキャンセル 206 を備え、集積回路 104 のスキャンシフト動作モードではシリアル・シフトレジスタとして動作し、集積回路 104 の機能動作モードでは被試験回路 207 からの機能データを捕捉するように構成可能である。第 1 のスキャンチェーン 204 - 1 は長さが n_1 であり、したがって 206

50

- 1 から 206 - n_1 として示される n_1 個のスキャンセルを備える。より一般には、スキャンチェーン 204 - k は長さが n_k であり、したがって合計で n_k 個のスキャンセルを備える。この実施形態では被試験回路 207 は、複数の組み合わせ論理ブロックを備え、その例示のブロック 208、210、および 212 が示される。組み合わせ論理ブロックは例示的に主入力 214 と主出力 216 の間に配置され、スキャンチェーン 204 によって互いに隔てられる。

【0019】

208、210、および 212 などの組み合わせ論理ブロックは、本発明の実施形態でのスキャンテスト回路を使用してテストを受ける、本明細書でより一般に「追加回路」と呼ぶものの例と見なすことができる。例として、このようなブロックは、ハードディスク装置 (HDD) コントローラ用途でのシステムオンチップ (SOC) 集積回路のそれぞれリードチャンネルおよび追加のコアなど、異なる集積回路コアの部分を表すことができる。

10

【0020】

伸張器 200 は、テスト 102 から圧縮されたスキャンデータを受け取り、そのスキャンデータを伸張してスキャンテスト入力データを発生し、スキャンテスト入力データは、スキャンシフト動作モードにおいてこのようなチェーンがそれぞれのシリアル・シフトレジスタとして構成されたときは、スキャンチェーン 204 にシフトインされる。圧縮器 202 もまた、スキャンシフト動作モードにおいてこのようなチェーンがそれぞれのシリアル・シフトレジスタとして構成されたときに、スキャンチェーン 204 からシフトアウトされたスキャンテスト出力データを受け取り、テスト 102 に送り戻すためにそのスキャンテスト出力データを圧縮する。伸張器 200 および圧縮器 202 などのスキャン圧縮要素の動作についてのさらなる詳細は、上記の米国特許第 7,831,876 号に見ることができる。やはり、伸張器 200 および圧縮器 202 などのスキャン圧縮要素は、他の実施形態では省くことができる。

20

【0021】

有利には図 2 の例示の実施形態でのスキャンセル 206 は、スキャンシフト動作モードではそれらの機能データ出力を制御可能にディスエーブルすることができ、機能動作モードではそれらのスキャン出力を制御可能にディスエーブルすることができる、低電力で面積効率の良いスキャンセルとして構成される。このような構成により、そうでない場合にスキャンセルの対応するスキャン出力および機能データ出力によって駆動される集積回路 104 の部分でこれらのモードで生じ得る、不必要な論理遷移をなくすことによって、スキャンシフトおよび機能動作モードの両方において集積回路 104 の電力消費の低減をもたらす。明らかになるように、この望ましい機能は、スキャンセル自体の電力または面積要件を大幅に増加せずに達成される。たとえばスキャンセル 206 は、制御可能な出力データディスエーブル機能を実装するために追加のフリップフロップまたは信号ポートを必要とせず、このような機能の結果として大幅な追加のタイミング依存性を示すこともない。

30

【0022】

図 3 は、例示の実施形態でのスキャンセル 206 - i の所与の 1 つを示す。この実施形態でのスキャンセルは、マルチプレクサ 300、フリップフロップ 302、第 1 および第 2 のトライステート・バッファ 304 - 1 および 304 - 2、およびインバータ 305 を備える。スキャンセル 206 - i は、機能データ入力 (D)、スキャン入力 (SI)、スキャン・イネーブル入力 (SE)、機能データ出力 (Q)、スキャン出力 (SO)、リセット入力 (RST)、およびクロック入力 (CLK) を有する。スキャンセルのリセット入力およびクロック入力は、フリップフロップ 302 の対応する入力に結合される。フリップフロップ 302 も D として示されるデータ入力、および Q として示されるデータ出力を有するが、これらはスキャンセル自体の対応する機能データ入力 D および機能データ出力 Q とは区別されなければならない。

40

【0023】

マルチプレクサ 300 は、スキャンセルの機能データ入力 D に結合された第 1 の入力 310、スキャンセルのスキャン入力 SI に結合された第 2 の入力 312、およびスキャン

50

セルのスキャン・イネーブル入力SEに結合された選択ライン314を有する。フリップフロップ302は、例示としてこの実施形態ではリセット可能なDタイプ・フリップフロップであるが、他の実施形態では他のタイプのフリップフロップを用いることができる。フリップフロップ302のデータ入力Dは、マルチプレクサ300の出力315に結合される。フリップフロップ302のデータ出力Qは、それぞれのトライステート・バッファ304-1および304-2の入力に結合される。

【0024】

第1および第2のトライステート・バッファ304-1および304-2、およびインバータ305は、本明細書でより一般にスキャンセルの「出力制御回路」と呼ぶものの一例と見なすことができる。このような出力制御回路は、一般に、スキャンシフト動作モードではスキャンセル206-iの機能データ出力Qをディスエーブルし、機能動作モードではスキャンセル206-iのスキャン出力SOをディスエーブルするように構成される。この関連において「ディスエーブル」という用語は、広く解釈されることを意図するものであり、一般に、そうでない場合に対応する出力に生じ得る論理レベル遷移が、その代わりに一定の条件下では防止される構成を包含する。

10

【0025】

この実施形態では、スキャンセルのスキャン・イネーブル入力SEに印加されるスキャン・イネーブル信号は、集積回路104がスキャンシフト動作モードにあるときは論理「1」レベルにあり、集積回路104が機能動作モードにあるときは論理「0」レベルにあるものとする。他の実施形態では、動作モードおよびスキャン・イネーブル信号伝達の他のタイプおよび組み合わせを用いることができる。

20

【0026】

この実施形態での出力制御回路は、フリップフロップ302のデータ出力Qと、スキャンセルの機能データ出力Qおよびスキャン出力SOとの間に結合され、スキャンセルのスキャン・イネーブル入力SEに印加されたスキャン・イネーブル信号に応答して動作する。より具体的には、出力制御回路は、第1の2値論理レベル、この実施形態では論理「1」レベルにあるスキャン・イネーブル信号に応答して、スキャンセルの機能データ出力Qをディスエーブルしてスキャンセルのスキャン出力SOをイネーブルし、第2の2値論理レベル、この実施形態では論理「0」レベルにあるスキャン・イネーブル信号に応答して、スキャンセルのスキャン出力SOをディスエーブルしてスキャンセルの機能データ出力Qをイネーブルするように動作する。

30

【0027】

この機能を達成するために、スキャン・イネーブル信号が第2のトライステート・バッファ304-2の制御入力に印加され、インバータ305によってスキャン・イネーブル信号から発生された、スキャン・イネーブル信号の補数をとったものが第1のトライステート・バッファ304-1の制御入力に印加される。結果として機能モードでは、スキャンセルのスキャン出力SOはトライステート化され、それによって機能遷移が、スキャン出力SOによって駆動される集積回路の部分内へ伝播するのを防止する。同様にスキャンシフト動作モードでは、スキャンセルの機能データ出力Qはトライステート化され、それによってスキャン遷移が、機能データ出力によって駆動される集積回路の部分内へ伝播するのを防止する。

40

【0028】

図3では単一のスキャンセル206-iのみが示されるが、図2のスキャンテスト回路内のスキャンチェーン204の他のスキャンセル206は、それぞれほぼ同様に構成されるとみなすことができる。別法として、スキャンチェーンの別のものにおいて、または同じスキャンチェーン内で、異なるタイプのスキャンセルを用いることができる。

【0029】

上記のように、図3に示すように構成されたスキャンセル206-iの利点は、そうでない場合に、スキャンセルの対応するスキャン出力および機能データ出力によって駆動される被試験回路207の部分で、スキャンシフトおよび機能動作モードの両方において生

50

じ得る不必要な論理遷移をなくすことである。このような遷移は、スキャンシフト動作モードではスキャンセルのQ出力によって駆動される集積回路の部分で、および機能動作モードではスキャンセルのS O出力によって駆動される集積回路の部分で生じ得る。したがってこのスキャンセル構成により、スキャンセルを実装するのに必要な回路面積、またはスキャンテスト回路のタイミングの複雑さを過度に増加せずに、スキャンシフトおよび機能動作モードの両方において集積回路104の電力消費が低減される。

【0030】

図3に示されるタイプのスキャンセルは、集積回路設計ライブラリからの標準スキャンセルを変更して、標準セルの周りのラッパの形で出力制御回路を組み込むことによって発生させることができる。これは、標準セルの内部信号伝達またはタイミング特性の変更を必要とせずに、かつ標準セルに、ポート、追加のフリップフロップ、または他の内部回路を追加せずに達成することができる。出力制御回路を収容するために必要な追加回路面積は、わずかである。

10

【0031】

他の実施形態では、他のタイプのスキャンセルおよび出力制御回路を用いることができることに留意されたい。図4は、本発明の別の例示的实施形態により構成された、スキャンセル206-iの実施例を示す。この実施形態ではスキャンセルは、マルチプレクサ300、およびフリップフロップ302を含み、図3の実施形態と同じ入力および出力を有する。しかしこの実施形態では、出力制御回路は、MOSゲートの第1の対400と、MOSゲートの第2の対402とを備える。

20

【0032】

MOSゲートの第1の対400は、より具体的には、そのゲートがスキャンセルのスキャン・イネーブル入力SEに結合され、そのソースがフリップフロップ302のデータ出力Qに結合され、そのドレインがスキャンセルの機能データ出力Qに結合された第1のPMOSトランジスタP1と、そのゲートがスキャンセルのスキャン・イネーブル入力SEに結合され、そのドレインが上位電源電位V_{DD}に結合され、そのソースがスキャンセルの機能データ出力Qに結合された第1のNMOSトランジスタN1とを備える。

【0033】

MOSゲートの第2の対402は、より具体的には、そのゲートがスキャンセルのスキャン・イネーブル入力SEに結合され、そのソースがスキャンセルのスキャン出力S Oに結合され、そのドレインが、この実施形態では接地電位として例示される下位電源電位に結合された第2のPMOSトランジスタP2と、そのゲートがスキャンセルのスキャン・イネーブル入力SEに結合され、そのソースがスキャンセルのスキャン出力S Oに結合され、そのドレインがフリップフロップのデータ出力Qに結合された第2のNMOSトランジスタN2とを備える。

30

【0034】

この実施形態では、スキャンセル206-iのスキャン・イネーブル入力SEに印加されたスキャン・イネーブル信号が論理「1」レベルのときは、第1および第2のPMOSトランジスタP1およびP2はターン・オフされ、第1および第2のNMOSトランジスタN1およびN2はターン・オンされ、それによりスキャンセルの機能データ出力Qは、第1のPMOSトランジスタP1によってフリップフロップ出力Qから切断されることによってディスエーブルされ、スキャンセルのスキャン出力S Oは、第2のNMOSトランジスタN2によってフリップフロップ出力Qに接続されることによってイネーブルされる。スキャンセルのスキャン・イネーブル入力SEに印加されたスキャン・イネーブル信号が論理「0」レベルのときは、第1および第2のPMOSトランジスタP1およびP2はターン・オンされ、第1および第2のNMOSトランジスタN1およびN2はターン・オフされ、それによりスキャンセルの機能データ出力Qは、第1のPMOSトランジスタP1によってフリップフロップ出力Qに接続されることによってイネーブルされ、スキャンセルのスキャン出力S Oは、第2のNMOSトランジスタN2によってフリップフロップ出力Qから切断されることによってディスエーブルされる。

40

50

【 0 0 3 5 】

図 4 の実施形態で用いられる M O S ゲートの特定の構成は例示のみとして示されており、他の実施形態は、所望の機能を得るために異なる回路構成を用い得ることに留意されたい。たとえば、N M O S ゲートは P M O S ゲートに置き換え、逆も同様にして、信号伝達の極性を適切に調整した類似構成を構成することができる。

【 0 0 3 6 】

図 5 は、図 4 の実施形態とほぼ等価な実装形態を示す。この実装形態では出力制御回路は、フリップフロップ 3 0 2 の Q 出力に結合された第 1 の入力、スキャンセルのスキャン・イネーブル入力 S E に結合された第 2 の入力、スキャンセルの機能データ出力 Q に結合された第 1 の出力、およびスキャンセルのスキャン出力 S O に結合された第 2 の出力を有する論理ゲート 5 0 0 を備える。論理ゲート 5 0 0 は、この実施形態では例示として N A N D ゲートであるが、他の実施形態では論理ゲートの他のタイプおよび構成を用いることができる。

10

【 0 0 3 7 】

上述のように、図 3 から 5 に示されるものなどの低電力で面積効率の良いスキャンセルは、スキャンテスト回路の信号伝達およびタイミングに悪影響を与えずに、スキャンシフトおよび機能動作モードの両方での集積回路の電力消費を大幅に低減することができる。既存のスキャン・フリップフロップまたは他のタイプのスキャンセルは、スキャンテスト機能の変更なしに、低電力で面積効率の良いスキャンセルに容易に置き換えることができる。

20

【 0 0 3 8 】

図 1 のテストシステム 1 0 0 におけるテスト 1 0 2 は、特定の形態をとる必要はない。1 つの可能な実施例は図 6 に示され、テスト 6 0 2 はロードボード 6 0 4 を備え、ロードボード 6 0 4 には、本明細書で開示された技術を用いてスキャンテストを受ける集積回路 6 0 5 がロードボード 6 0 4 の中央部分 6 0 6 に取り付けられる。テスト 6 0 2 はまた、図にはそのような要素は明示的に示していないが、記憶されたコンピュータ・コードを実行するためのプロセッサおよびメモリ要素を備えることができる。本明細書で開示されたような集積回路のスキャンテストを行うために、数多くの代替のテストを用いることができる。

【 0 0 3 9 】

集積回路設計のスキャンテスト回路内にスキャンセルを挿入してスキャンチェーンを形成することは、図 7 に示されるタイプの処理システム 7 0 0 にて行うことができる。このような処理システムは、スキャンテスト回路 1 0 6 を含むように、集積回路 1 0 4 などの集積回路の設計に用いるために構成することができる。処理システム 7 0 0 は、メモリ 7 0 4 に結合されたプロセッサ 7 0 2 を備える。プロセッサ 7 0 2 にはまた、処理システムが 1 つまたは複数のネットワークを通して他のシステムまたは装置と通信するのを可能にするための、ネットワーク・インターフェース 7 0 6 が結合される。したがってネットワーク・インターフェース 7 0 6 は、1 つまたは複数のトランシーバを備えることができる。プロセッサ 7 0 2 は、集積回路設計ソフトウェア 7 1 6 の使用に関連して、本明細書で開示されたやり方でスキャンセル 7 1 4 を用いてコア設計 7 1 2 を補完するように、スキャン・モジュール 7 1 0 を実装する。

30

40

【 0 0 4 0 】

7 1 0、7 1 2、7 1 4、および 7 1 6 などの要素は、少なくとも一部は、メモリ 7 0 4 に記憶されプロセッサ 7 0 2 によって処理されるソフトウェアの形で実装される。たとえばメモリ 7 0 4 は、全体的な集積回路設計プロセス内で、モジュール 7 1 0 の特定のスキャンセル挿入機能を実施するようにプロセッサ 7 0 2 によって実行される、プログラム・コードを記憶することができる。メモリ 7 0 4 は、その中に埋め込まれたコンピュータ・プログラム・コードを有する、本明細書でより一般にコンピュータ可読媒体と呼ぶものまたは他のタイプのコンピュータ・プログラム製品の一例であり、たとえば、R A M または R O M などの電子メモリ、磁気メモリ、光メモリ、または他のタイプの記憶デバイスの

50

任意の組み合わせを備えることができる。プロセッサ702は、マイクロプロセッサ、CPU、ASIC、FPGA、または他のタイプの処理デバイス、およびこのようなデバイスの部分または組み合わせを備えることができる。

【0041】

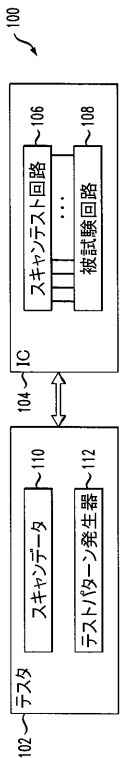
上記のように本発明の実施形態は、集積回路の形で実装することができる。所与のこのような集積回路の実装形態では、通常は半導体ウェハの表面上の繰り返されたパターンにて同一のダイが形成される。各ダイは本明細書で述べたようなスキャンテスト回路を含み、他の構造または回路を含むことができる。個々のダイはウェハから切断またはダイシングされ、次いで集積回路としてパッケージされる。当業者にはどのようにしてウェハをダイシングし、ダイをパッケージして集積回路を生産するかについては理解されよう。このようにして製造された集積回路は、本発明の一部と見なされる。

10

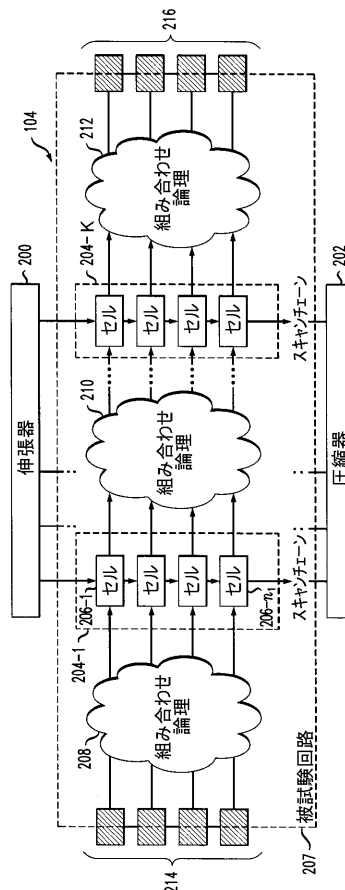
【0042】

再び、本明細書で述べた本発明の実施形態は、例示のみであることが強調されるべきである。たとえば本発明は、例示的实施形態に関連して先に述べたものとは異なるタイプおよび構成のスキャンセル、ゲート、および他の回路要素を有する、多種多様な他のタイプのスキャンテスト回路を用いて実装することができる。添付の特許請求の範囲に含まれるこれらおよび数多くの他の代替実施形態は、当業者には容易に明らかであろう。

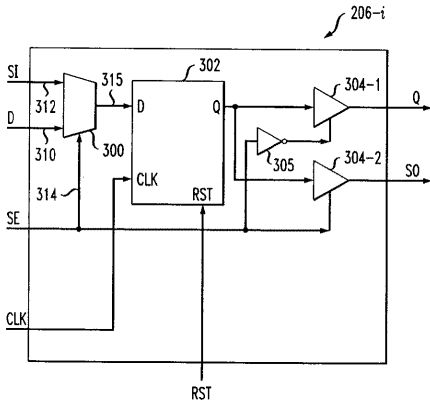
【図1】



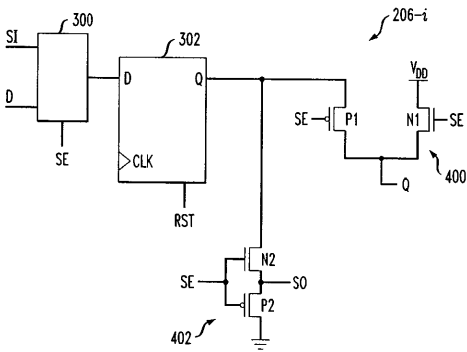
【図2】



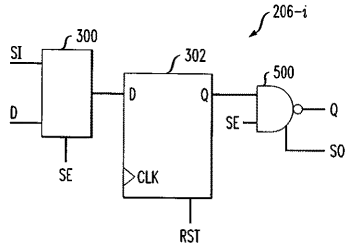
【 図 3 】



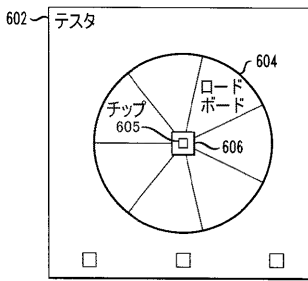
【 図 4 】



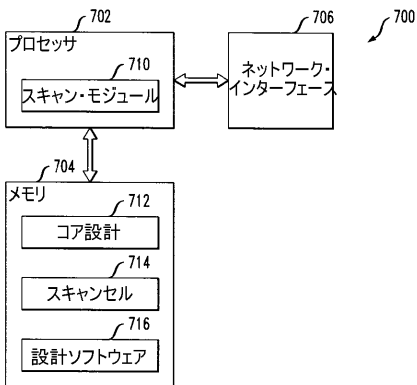
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

- (72)発明者 ラメシュ シー . テクマラ
アメリカ合衆国 1 8 0 3 1 ペンシルヴァニア, プレイニグスヴィル, ツドア ドライヴ 1 1
2 0
- (72)発明者 ブリエシュ クマー
インド国 4 1 1 0 3 6 プン, ムンドワ, ニア デックカン ペイパー ミル, フェイズ - 1 ,
ヴェンカテシュ フローラ アパートメンツ デー - 3 0 4
- (72)発明者 プラカシュ クリシュナモアスイ
アメリカ合衆国 1 8 0 1 5 ペンシルヴァニア, ベスレヘム, ソーコン ヴュー ドライヴ 8
0 7
- (72)発明者 パラグ マッドハニ
アメリカ合衆国 1 8 1 0 4 ペンシルヴァニア, アレンタウン, ペンズ クロッシング 1 6 1
9
- F ターム(参考) 2G132 AA01 AB01 AC14 AD06 AE22 AG01 AK14 AK23
5F038 CD09 DF04 DF08 DT06 DT07 DT15 EZ09 EZ20