



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년10월29일
(11) 등록번호 10-1194255
(24) 등록일자 2012년10월18일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01)
- (21) 출원번호 10-2009-0076009
(22) 출원일자 2009년08월18일
심사청구일자 2010년08월18일
- (65) 공개번호 10-2010-0026990
(43) 공개일자 2010년03월10일
- (30) 우선권주장
JP-P-2008-219888 2008년08월28일 일본(JP)
- (56) 선행기술조사문헌
US20060110867 A1*
WO2007029844 A1*
- *는 심사관에 의하여 인용된 문헌

(73) 특허권자
캐논 가부시끼가이샤
일본 도쿄도 오오따꾸 시모마루꼬 3조메 30방 2고

(72) 발명자
하야시 료
일본국 도쿄도 오오따꾸 시모마루꼬 3조메 30방
2고 캐논 가부시끼가이샤 나이
오무라 히데유키
일본국 도쿄도 오오따꾸 시모마루꼬 3조메 30방
2고 캐논 가부시끼가이샤 나이
(뒷면에 계속)

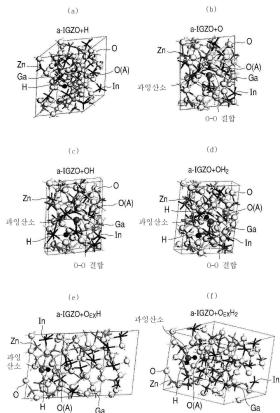
(74) 대리인
권태복

전체 청구항 수 : 총 13 항

심사관 : 이상호

(54) 발명의 명칭 **아모르포스 산화물 반도체 및 그 아모르포스 산화물 반도체를 사용한 박막트랜지스터****(57) 요약**

수소와, 인듐(In) 및 아연(Zn) 중 적어도 한쪽의 원소를 포함하는 아모르포스 산화물 반도체를 제공하고, 상기 아모르포스 산화물 반도체는 $1 \times 10^{20} \text{ cm}^{-3}$ 이상 $1 \times 10^{22} \text{ cm}^{-3}$ 이하의 수소원자와 중수소원자를 함유하고, 또한, 상기 아모르포스 산화물 반도체 내에, 과잉 산소(O_{EX})와 수소간의 결합을 제외한, 산소와 수소간의 결합의 밀도가 $1 \times 10^{18} \text{ cm}^{-3}$ 이하이다.

대 표 도 - 도1

(72) 발명자

쿠모미 히데야

일본국 도쿄도 오오따꾸 시모마루꼬 3조메 30방 2
고 캐논 가부시끼가이샤 나이

시계사토 유조

일본 가나가와켄 사가미하라시 후치노베 5-10-11
아오야마 가쿠인 유니버시티 나이

특허청구의 범위

청구항 1

수소와, 인듐(In) 및 아연(Zn) 중 적어도 한쪽의 원소를 포함하는 아모르포스 산화물 반도체로서,
상기 아모르포스 산화물 반도체는 $1 \times 10^{20} \text{ cm}^{-3}$ 초과 $1 \times 10^{22} \text{ cm}^{-3}$ 이하의 수소원자와 중수소원자 중 하나를 함유하고,
상기 아모르포스 산화물의 캐리어 전자밀도가 $1 \times 10^{18} \text{ cm}^{-3}$ 이하인, 아모르포스 산화물 반도체.

청구항 2

채널층, 게이트 절연층, 소스 전극, 드레인 전극 및 게이트 전극으로 이루어진 박막트랜지스터로서,
상기 채널층이 청구항 1에 기재된 아모르포스 산화물 반도체로 이루어진, 박막트랜지스터.

청구항 3

제 2 항에 있어서,
상기 아모르포스 산화물 반도체의 전기저항률이 10Ω 보다 크고 $1 \times 10^6 \Omega$ 미만인, 박막트랜지스터.

청구항 4

제 2 항에 있어서,
상기 아모르포스 산화물 반도체가, 갈륨(Ga) 및 주석(Se) 중 적어도 1개를 더 포함하는, 박막트랜지스터.

청구항 5

표시소자와 박막트랜지스터를 포함하는 표시장치로서,
상기 표시소자는 기판상에서 상기 박막트랜지스터의 소스 전극 및 드레인 전극 중 한쪽에 접속된 전극을 구비하고,
상기 박막트랜지스터는 청구항 2 내지 4 중 어느 하나에 기재한 박막트랜지스터로 이루어진, 표시장치.

청구항 6

제 5 항에 있어서,
상기 표시 소자는, 일렉트로루미네스نس 소자로 이루어진, 표시장치.

청구항 7

제 5 항에 있어서,
상기 표시 소자는, 액정 셀로 이루어진, 표시장치.

청구항 8

제 5 항에 있어서,

상기 기판 위에 상기 표시 소자 및 상기 박막트랜지스터가 이차원 모양으로 복수 배치된, 표시장치.

청구항 9

인듐(In) 및 아연(Zn) 중 적어도 한쪽의 원소와 수소를 포함하는 아모르포스 산화물 반도체로 구성된 채널층과, 게이트 절연층과, 소스 전극과, 드레인 전극과, 게이트 전극으로 이루어진 박막트랜지스터의 제조 방법으로서, 상기 채널층을 수증기를 함유하는 성막 가스를 사용하여 스퍼터링법에 의해 형성하는 단계; 및 상기 채널층이 형성된 후에, 150°C 이상 500°C 이하에서 열처리를 행하는 단계를 포함하고, 상기 아모르포스 산화물 반도체는 $1 \times 10^{20} \text{ cm}^{-3}$ 초과 $1 \times 10^{22} \text{ cm}^{-3}$ 이하의 수소원자 중 하나를 함유하는, 박막트랜지스터의 제조 방법.

청구항 10

제 9 항에 있어서,

상기 성막 가스의 도입 수증기 분압은, $8 \times 10^{-4} \text{ Pa}$ 이상인, 박막트랜지스터의 제조 방법.

청구항 11

인듐(In) 및 아연(Zn) 중 적어도 한쪽의 원소와 수소를 포함하는 아모르포스 산화물 반도체로 구성된 채널층과, 게이트 절연층과, 소스 전극과, 드레인 전극과, 게이트 전극으로 이루어진 박막트랜지스터의 제조 방법으로서, 상기 채널층을 용액을 도포하여 형성하는 단계; 및 상기 채널층이 형성된 후에, 500°C 이하에서 열처리를 행하는 단계를 포함하고, 상기 아모르포스 산화물 반도체는 $1 \times 10^{20} \text{ cm}^{-3}$ 초과 $1 \times 10^{22} \text{ cm}^{-3}$ 이하의 수소원자 중 하나를 함유하는, 박막트랜지스터의 제조 방법.

청구항 12

인듐(In) 및 아연(Zn) 중 적어도 한쪽의 원소와 수소를 포함하는 아모르포스 산화물 반도체로 구성된 채널층과, 게이트 절연층과, 소스 전극과, 드레인 전극과, 게이트 전극으로 이루어진 박막트랜지스터의 제조 방법으로서, 상기 채널층을 전기식출법에 의해 형성하는 단계; 및 상기 채널층이 형성된 후에, 500°C 이하에서 열처리를 행하는 단계를 포함하고, 상기 아모르포스 산화물 반도체는 $1 \times 10^{20} \text{ cm}^{-3}$ 초과 $1 \times 10^{22} \text{ cm}^{-3}$ 이하의 수소원자 중 하나를 함유하는, 박막트랜지스터의 제조 방법.

청구항 13

제 1 항에 있어서,

상기 아모르포스 산화물 반도체 중에서, 과잉 산소(O_{EX})와 수소간의 결합을 제외한 산소와 수소간의 결합의 밀도가 $1 \times 10^{18} \text{ cm}^{-3}$ 이하인, 아모르포스 산화물 반도체.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은, 아모르포스(amorphous) 산화물 반도체, 상기 아모르포스 산화물 반도체막을 사용한 박막트

랜지스터, 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 최근, 금속산화물계 반도체박막을 사용한 반도체소자가 주목받고 있다. 상기 박막은, 저온에서 제조될 수 있고, 또 가시광에 대하여 투명하도록 광학 밴드갭이 큰 것을 특징으로 한다. 그래서, 플라스틱 기판, 필름 기판 등의 기판 위에 유연하고 투명한 박막트랜지스터(TFT)등을 형성하여도 된다(미국 특허 제6,727,522호).

[0003] 종래, TFT 활성층으로서 사용된 산화물 반도체막은, 그 막의 전기 특성을 제어하기 위해서, 산소 가스를 도입한 분위기에 형성되는 것이 일반적이다. 예를 들면, 미국 특허공개 공보 2007/0194379호에는, 채널층으로서 인듐 갈륨 주석 산화물(In-Ga-Zn-O)을 함유하는 n형 산화물 반도체를 사용하고, 소스 및 드레인 전극으로서 인듐 주석 산화물(ITO)을 사용한 박막트랜지스터(TFT)를 형성하는 방법이 개시되어 있다. 상기 미국 특허공개 공보 2007/0194379호에 기재된 성막법에서는, In-Ga-Zn-O 성막 분위기중의 산소분압을 제어함으로써, 캐리어 밀도가 제어되고, 이것에 의해 높은 캐리어 이동도를 얻는다.

[0004] 또한, 일본국 공개특허공보 특개 2007-073697호에는, 상기 산화물 반도체막을 채널층으로서 사용한 고성능 박막트랜지스터의 제조 방법으로서, 스퍼터링시의 분위기 가스중에 수증기를 포함하는 기술이 개시되어 있다. 또한, 미국 특허공개 공보 2009/0045397호 및 일본국 공개특허공보 특개 2007-194594호에는, 박막트랜지스터의 채널층으로서 사용된 산화물 반도체중에 수소를 도입함으로써 상기 캐리어 밀도를 제어하는 기술이 개시되어 있다.

발명의 내용

해결하고자하는 과제

[0005] 그렇지만, 종래의 산화물 반도체막은, 미국 특허공개 공보 2009/0045397호 및 일본국 공개특허공보 특개 2007-194594호에 개시된 것처럼 수소를 도입하여서 캐리어 밀도를 제어하는 경우에도, 산화물 반도체중의 수소량은 그 캐리어 밀도보다 수자리 크다. 즉, 막중 수소량만으로 캐리어 밀도를 제어할 수 없다고 하는 문제점이 있었다. 또한, 본 발명의 발명자들은 아모르포스 In-Ga-Zn-O계를 비롯한 아모르포스 산화물 반도체의 스퍼터링법에 의한 형성을 검토를 한 바, 아모르포스 산화물 반도체는 대단히 수소를 취입하기 쉬운 것을 알았다. 예를 들면, 산화물 반도체 스퍼터링 장치의 배압을 2×10^{-4} Pa이하로 하는 경우도, $1 \times 10^{20} \text{ cm}^{-3}$ 이상의 수소를 포함하고 있는 경우가 있는 것을 알았다. 이것들의 검토에 의해, 수소 $1 \times 10^{20} \text{ cm}^{-3}$ 이상을 포함하는 아모르포스 산화물 반도체를 열처리등의 사전처리를 하지 않고 실온에서 저비용으로 형성하고, 아모르포스 산화물 박막트랜지스터에 적합한 저항률로 하는 것이 어렵다고 하는 과제가 밝혀졌다.

[0006] 본 발명은, 상기 과제를 감안하여 이루어진 것으로서, 트랜지스터 특성이 우수한 아모르포스 산화물 박막트랜지스터를 제공하는 것을 목적으로 한다.

과제 해결수단

[0007] 본 발명에서는, 수소와, 인듐(In) 및 아연(Zn) 중 적어도 한쪽의 원소를 포함하는 아모르포스 산화물 반도체를 제공하고, 상기 아모르포스 산화물 반도체가 $1 \times 10^{20} \text{ cm}^{-3}$ 이상 $1 \times 10^{22} \text{ cm}^{-3}$ 이하의 수소원자와 중수소원자 중 하나를 함유하고, 또한, 상기 아모르포스 산화물 반도체중에서, 과잉 산소(O_{EX})(여기에서, 상기 과잉 산소란, 수개의 원자 사이즈가 상기 아모르포스 산화물 반도체의 일부분을 이루는 경우의 마이크로 영역에 있어서 과잉한 상태에 있는 산소다)와 수소간의 결합($O_{\text{EX}}-\text{H}$ 결합 및 $\text{H}-O_{\text{EX}}-\text{H}$ 결합)을 제외한 산소와 수소간의 결합의 밀도가 $1 \times 10^{18} \text{ cm}^{-3}$ 이하이다.

[0008] 또한, 본 발명에서는, 표시소자와 박막트랜지스터를 포함하는 표시장치를 제공하고, 상기 표시소자는 기판상에서 상기 박막트랜지스터의 소스 전극 및 드레인 전극 중 한쪽에 접속된 전극을 구비하고, 상기 박막트랜지스터는 상술한 박막트랜지스터이다.

[0009] 또한, 본 발명에서는, 기판과, 인듐(In) 및 아연(Zn) 중 적어도 한쪽의 원소와 수소를 포함하는 아모르포스 산화물 반도체로 구성된 채널층과, 게이트 절연층과, 소스 전극과, 드레인 전극과, 게이트 전극을 적어도 포함하는 박막트랜지스터의 제조 방법을 제공하고, 이 방법은, 상기 채널층을 수증기를 함유하는 성막 가스를

사용하여 스퍼터링법에 의해 형성하는 단계; 및 상기 채널층이 형성된 후에, 150°C 이상 500°C 이하에서 열처리를 행하는 단계를 포함한다.

[0010] 또한, 본 발명에서는, 기판과, 인듐(In) 및 아연(Zn) 중 적어도 한쪽의 원소와 수소를 포함하는 아모르포스 산화물 반도체로 구성된 채널층과, 게이트 절연층과, 소스 전극과, 드레인 전극과, 게이트 전극을 적어도 포함하는 박막트랜지스터의 제조 방법을 제공하고, 이 방법은, 상기 채널층을 용액을 도포하여 형성하는 단계; 및 상기 채널층이 형성된 후에, 500°C 이하에서 열처리를 행하는 단계를 포함한다.

[0011] 또한, 본 발명에서는, 기판과, 인듐(In) 및 아연(Zn) 중 적어도 한쪽의 원소와 수소를 포함하는 아모르포스 산화물 반도체로 구성된 채널층과, 게이트 절연층과, 소스 전극과, 드레인 전극과, 게이트 전극을 적어도 포함하는 박막트랜지스터의 제조 방법을 제공하고, 이 방법은, 상기 채널층을 전기석출법에 의해 형성하는 단계; 및 상기 채널층이 형성된 후에, 500°C 이하에서 열처리를 행하는 단계를 포함한다.

효과

[0012] 본 발명은, 아모르포스 산화물 반도체를 채널층으로서 사용하고, 캐리어 밀도를 정밀하게 제어하고, 양호한 트랜지스터 특성을 갖는 TFT소자를 저비용으로 제공할 수 있다.

[0013] 본 발명의 또 다른 특징은, 첨부된 도면을 참조하여 아래의 예시적 실시예들의 설명으로부터 명백해진다.

발명의 실시를 위한 구체적인 내용

[0014] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들에 관하여 설명한다.

[0015] 우선, 본 발명자들이 활동적으로 연구 개발을 행한 아모르포스In-Ga-Zn-O에 대해서 수소와 캐리어 밀도간의 관계에 관하여 설명한다.

[0016] 현재, 아모르포스 산화물 반도체TFT에 사용된 아모르포스In-Ga-Zn-O박막에 수소 이온을 주입하여서, 그 박막의 전기전도도를 높일 수 있고, 그 막중에서 수소는 도너(donor)로서 작용하는 것을 알고 있다 (미국 특허공개 공보 2009/0045397 참조). 한편, 스퍼터링법등으로 형성된 아모르포스 In-Ga-Zn-O박막에는, 이온주입 등을 행하지 않더라도, $1 \times 10^{20} \text{ cm}^{-3}$ 정도까지의 수소원자가 포함되어 있다. 이것은 성막을 행하는 챔버내에 존재하는 H_2 와 H_2O 등의 수소를 함유하는 분자종의 잔류 가스에 유래한다. 이렇게 해서 형성된 아모르포스 In-Ga-Zn-O박막은, 성막 조건에 따라 $1 \times 10^{18} \text{ cm}^{-3}$ 정도 이하의 캐리어 전자밀도를 갖는다. 막중의 수소원자농도와 캐리어 전자밀도간의 차이는 $1 \times 10^2 \text{ cm}^{-3}$ 정도이상이며, 따라서 막중에 존재하는 수소원자의 대부분은 도너로서 기능하고 있지 않다고 생각된다.

[0017] 본 발명자들이 전자 구조 계산에 의한 검토를 한 결과, 막중에 존재하는 산소와 수소간의 결합 상태에 따라서, 도너로서 기능하지 않는 수소가 존재하는 것이 밝혀졌고, 이것을 이하에 상세하게 설명한다. 본 발명에서는, 수소원자뿐만 아니라 중수소원자도 캐리어 밀도에 관련된 수소로서 간주된다는 것을 알 것이다.

[0018] (계산 모델)

[0019] 아모르포스 InGaZnO_4 (a-IGZO) 구조 모델은 아래와 같이 해서 얻어졌다. 2,016원자를 포함하는 결정 InGaZnO_4 셀 모델을 고전 분자 동역학(MD)에 의해 8000K, 타임 스텝 2f초로 20p초간 용융하고, 8000K로부터 12K까지 125K/p초의 비율로 급랭한 후, 1K에서 100p초간의 고전 MD시뮬레이션을 실시했다. 이렇게 해서, 고전 MD시뮬레이션에서의 아모르포스 a-IGZO의 안정한 구조를 얻었다. 이 모델로부터 제1 원리계산에 의해 실시가능한 84원자의 셀을 잘라 내고, 상술한 조건에서 다시 고전 MD시뮬레이션에 의해 용융 및 급랭하여 84원자 a-IGZO모델을 얻었다. 이것들의 고전 MD시뮬레이션에는 Buckling ham형 포텐셜을 사용했다. 이 포텐셜의 파라미터는, a-IGZO막의 제1 근접 거리와 질량밀도의 실험치를 각각 2% 이하 및 10%이하의 오차로 재현하도록 결정했다.

[0020] 상기 얻어진 84 원자 a-IGZO모델을 단위 셀로서, 평면파 기저 세트와 projected argument wave에 근거하는 제1 원리 밴드 계산에 의한 구조 완화계산을 실시해 불순물을 포함하지 않는 a-IGZO모델(이하, "pure a-IGZO"라고 함)의 안정한 구조를 얻었다. 이하에 서술하는 제1 원리 밴드 계산법에 의한 구조 완화 계산은, 평면파 기저 세트 컷오프 에너지 400 eV, $4 \times 4 \times 1$ Monkhost-pack 특수 k점

메쉬를 사용하여, 단위 셀내에서 원자의 전하가 중성이 되는 조건으로 계산되었다.

[0021] 불순물을 포함하는 a-IGZO구조 모델로서 수소원자를 첨가한 a-IGZO(이하, "a-IGZO+H"라고 함)와, 과잉 산소로서 산소원자_{EX}를 첨가한 a-IGZO(이하, "a-IGZO+O"라고 함)에 대해서 구조 완화 계산을 행했다. 이것들의 원자는, 도 1a 및 1b의 a-IGZO+H 및 a-IGZO+O의 구조 모델에 각각 표시되는 산소 O(A)로부터 약 0.15 nm의 위치에 배치되었다.

[0022] 다음에, 구조완화 후의 a-IGZO+O모델에 대하여, 상기 첨가된 산소원자_{EX}로부터 면 위치에 한층 더 1수소원자를 첨가한 것 또는 2수소원자를 첨가한 것(a-IGZO+O H 또는 a-IGZO+O H₂)에 대해서 구조완화 계산을 실시했다. 또한, 이 첨가된 산소원자_{EX} 근방의 위치에 한층 더 1수소원자를 첨가한 것 또는 2원자 첨가한 것(a-IGZO+O_{EX}H 또는 a-IGZO+O_{EX}H₂)에 대해서 구조완화 계산을 행했다.

[0023] 이상의 구조완화 계산에 의해 얻어진 구조 모델에 대하여, 상태밀도(DOS)의 계산을 행했다. 상기 구조 모델이란, a-IGZO, a-IGZO+H, a-IGZO+O, a-IGZO+O H, a-IGZO+O H₂, a-IGZO+O_{EX}H, a-IGZO+O_{EX}H₂이다. 이때, 상태밀도(DOS)의 계산에는, 컷오프 에너지 400 eV, 4×5×6 Monkhost-Pack 특수 k점 메쉬를 사용했다.

(계산 결과)

[0025] 도 1a 내지 1f는, 구조완화에 의해 얻어진 상기 모델의 완화된 원자구조를 나타낸다. a-IGZO+H(도 1a)에 있어서, 불순물로서 첨가된 수소는, pure a-IGZO모델에 존재하는 산소(본 도면에서의 O(A))와 결합을 형성한다. a-IGZO+O(도 1b)에 있어서, 과잉 산소로서 첨가된 산소_{EX}는 그 근방에 존재하는 pure a-IGZO모델의 산소(본 도면에서의 O(A))와 O-O_{EX}결합을 형성한다. a-IGZO+O H(도 1c) 및 a-IGZO+O H₂(도 1d)에서는, 과잉 산소는 O-O_{EX}결합을 유지하고, 첨가된 수소는 그 근방에 존재하는 pure a-IGZO모델의 산소와 결합을 형성한다. 한편, a-IGZO+O_{EX}H(도 1e) 및 a-IGZO+O_{EX}H₂(도 1f)에서는, 과잉 산소 근방에 배치된 수소에 의해 O-O_{EX}결합이 파괴되고, 과잉 산소와 수소간의 O_{EX}-H-O결합 혹은 H-O_{EX}-H결합을 형성한다. 특히, a-IGZO+O_{EX}H₂를 나타내는 도 1f로부터 안 것은, H-O_{EX}-H의 구조가 물의 구조와 유사하다는 것이다.

[0026] 도 2a 내지 2g에는 상기 모델에 대해서 얻어진 DOS를 나타낸다. 또한, 비교목적을 위해, pure a-IGZO의 DOS를 나타낸다(도 2a). 이것들의 도면에 있어서는, pure a-IGZO의 원자가 전자대의 정상 에너지가 0 eV다. 그 도면들에서의 실선은 페르미(Fermi) 준위를 나타낸다. a-IGZO+H(도 2b)의 DOS에 있어서, 그 페르미 준위는 전도대중에 위치한다. 이것은, 전도대에 캐리어로서의 전자가 도포되는 것을 나타내고, 이것은 수소가 도너로서 작용한다는 사실에 일치한다. a-IGZO+O(도 2c)의 DOS에 있어서, 그 페르미 준위는 전도대내에는 존재하지 않는다. 또한, 원자가 전자대 위에 O-O결합에 유래하는 준위의 피크가 관측된다. 이 준위는 전자에 의해 완전 점유되어 있기 때문에, 과잉 산소는 n형 TFT의 전기 특성에 영향을 주지 않는다. a-IGZO+O의 구조 모델에 있어서의 과잉 산소로부터 면 위치에 수소를 첨가한 a-IGZO+O H(도 2d) 및 a-IGZO+O H₂(도 2e)의 DOS에 있어서, O-O_{EX}결합에 유래하는 피크는 상기 원자가 전자대 위에 관측되고, 그 페르미 준위는 전도대에 위치한다. 과잉 산소와 수소는 각각의 특징을 독립으로 보이고 있는 것으로부터, 과잉 산소가 존재하고 있어도 그 과잉 산소가 캐리어 커플로서 기능하지 않는 경우가 존재하는 것을 보이고 있다. 한편, a-IGZO+O의 구조 모델에 있어서의 과잉 산소의 근방에 수소를 첨가한 a-IGZO+O_{EX}H(도 2f)의 DOS에 있어서, 밴드갭내에 과잉 산소와 수소에 유래하는 O-H-O_{EX}결합의 날카로운 피크가 보여진다. 따라서, 그 페르미 준위의 위치로부터 판단하면, 그 준위가 불완전 점유 준위인 것을 알 수도 있다. 따라서, 이 준위는 캐리어 전자를 포착하는 트랩으로서 작용한다. a-IGZO+O_{EX}H₂(도 2g)의 DOS에서는, a-IGZO+O_{EX}H₂(도 2f)에 있어서 관측된 갭내 준위는 소실하고, 그 페르미 준위는 전도대내에 존재하지 않고, DOS는 pure a-IGZO와 유사하다. 따라서, 이 경우에, 상기 수소는, TFT의 전기 특성에 크게 영향을 주는 불순물일 수 없다.

[0027] 이상으로부터, 아모르포스 산화물 반도체중의 수소가 도너로서 기능한다고 하는 실험 사실이 있는 한편, 막중에 존재하는 수소원자의 농도와 캐리어 전자밀도가 잘 일치하지 않는 사실의 이유는, 아래와 같이 생각된다. 아모르포스 산화물 반도체박막에 수소를 이온주입한 경우는 상기의 a-IGZO+H의 경우에 해당하고, 상기 수소는 이온화해서 도너로서 기능한다. 한편, 산소분압 혹은 물의 분압을 제어해서 형성된 박막에서는, 막중에

존재하는 많은 수소가 도너로서 기능하지 않는 것이 시사되어 있다. 상기의 계산으로부터, a-IGZO의 화학량론 조성비와 다른 조성비를 갖는 과잉 산소와 수소가 O-H-O_{EX} 혹은 O_{EX}-H₂의 화학결합을 형성했을 경우, 수소는 도너로서 기능하지 않는다. 이 경우, O-H-O_{EX}는 캐리어 트랩으로서 기능하고, O_{EX}-H₂은 TFT 전기 특성에 영향을 주지 않는다. 따라서, 형성된 막중에서, 존재하는 수소의 큰 비율이 O-H-O_{EX} 혹은 O_{EX}-H₂라고 하는 결합 상태에서 존재하기 때문에, 노멀리 오프(normally off) TFT 소자를 이루는 캐리어 전자밀도가 유지된다고 생각된다.

[0028] 본 발명에서 사용된 것과 같은 과잉 산소란, 아모르포스 산화물 반도체 전체에서의 화학량론 조성비와 비교하여 산소가 과잉한 것이 아니고, 아모르포스 산화물 반도체의 일부분에 있어서의, 어떤 특정한 원자 수를 단위로서 미소한 영역에 산소가 과잉하다는 것을 의미한다. 그 때문에, 아모르포스 산화물 반도체 전체에서 화학량론 조성비에 따라 산소가 존재하는 경우에도, 산소 결손량과 과잉 산소량이 같으면, 본 발명에서 사용된 것처럼 과잉 산소에 해당한다.

[0029] 특히, 과잉 산소의 존재는, 산소가 금속 원소M(여기에서 M은 In, Zn 또는 Ga)와 결합하고 그 결합 상태가 M-O-M이지만, 그 결합 상태가 실제로 O-O를 포함한 M-O-O-M인 것을 의미한다. 이러한 산소의 결합 상태를 O-O_{EX}결합으로서 나타낸다. 이 O-O_{EX}와 수소가 결합하는 경우, 이 결합 상태를 O_{EX}-H 혹은 H-O_{EX}-H로서 나타낸다.

[0030] 본 발명에서 사용된 것과 같은 O-H결합은, 상기 a-IGZO+O H 결합을 말한다. 또한, 금속 원소와 관련하여 그 화학량론 조성비와 비교된 과잉 산소와 수소에 의해 형성된 O_{EX}-H결합이란, 과잉 산소의 O-O_{EX}결합에 수소가 삽입되는 구성이 되는 상기 a-IGZO+O_{EX}H 결합을 의미한다. 또한, 과잉 산소와 수소로 구성하는 H-O_{EX}-H결합이란, 상기 a-IGZO+O_{EX}H₂ 결합을 의미한다.

[0031] 상술한 것처럼, 아모르포스 산화물 반도체중의 수소는, 그 수소 근방의 산소가 국소적으로 과잉한 상태에 있으면 도너로서 기능하지 않은 것이 밝혀졌다. 즉, 수소를 캐리어 밀도에 대하여 과잉으로 포함하는 아모르포스 산화물 반도체에 있어서는, 캐리어 발생원이 되는 상기 a-IGZO+O H 결합수가 최종적인 아모르포스 산화물 반도체의 캐리어 밀도를 결정하게 된다. 즉, O-H결합의 밀도는 캐리어 밀도이다.

[0032] ($1 \times 10^{20} \text{ cm}^{-3}$ 이상의) 대량의 수소원자가 아모르포스 산화물 반도체중에 포함될 경우에는, 상기 과잉 산소원자와 상기 수소 원자가 상기 아모르포스 산화물 반도체에 취입될 때 수소 원자 수에 대한 과잉 산소 원자 수의 비율이 1:2 이상인 것이 중요하다. 이렇게 하여, 과잉 산소가 $5 \times 10^{19} \text{ cm}^{-3}$ 이상 포함되고, 캐리어 밀도가 TFT의 채널층 반도체로서 기능하는데 충분한 $1 \times 10^{18} \text{ cm}^{-3}$ 이어도 된다. 수소원자수가 $1 \times 10^{20} \text{ cm}^{-3}$ 미만 경우에는, 예를 들면 산소결손 등의 수소이외의 캐리어 발생원에 의한 캐리어 밀도가 O-H결합에 의한 캐리어 밀도와 경합하기(밀도의 차이가 보다 작아지기) 때문에, 본 발명에 따른 관계가 성립되지 않는(O-H결합의 밀도가 본 발명에 따른 범위 밖이다) 경우가 있으므로, 이것은 바람직하지 못하다.

[0033] 또한, ($1 \times 10^{21} \text{ cm}^{-3}$ 이상의) 대량의 수소원자가 아모르포스 산화물 반도체중에 포함될 경우에는, 캐리어 트랩으로서 기능하는 O-H-O_{EX}농도가 증가한다. 그 트랩의 증가를 억제하기 위해서는, 스퍼터링 가스로서 Ar 가스에 산소를 첨가하지 않고 수증기만 첨가하는 것이 보다 중요하다. 일 예로서, 스퍼터링 가스는, Ar 가스에 수증기만을 첨가해서 형성되어도 된다. 도 3은 본 실시예에 따라 제작한 a-IGZO의 홀 효과를 측정하여 얻어진 캐리어 밀도, 홀 이동도 및 저항률과 스퍼터 성막시의 수증기 분압의 의존성을 나타낸다. 가스압, 투입 전력 밀도등의 스퍼터 성막 조건에도 따라, $1 \times 10^{-2} \text{ Pa}$ 이상의 수증기 분압을 도입함으로써, a-IGZO의 저항률을 증대할 수 있다. 또한, 캐리어 밀도를 $1 \times 10^{18} \text{ cm}^{-3}$ 이하로 하여도 된다. 수소량의 상한치는 $1 \times 10^{22} \text{ cm}^{-3}$ 이다. 이 상한치는, 더 많은 수소를 수증기에 의해 안정하게 아모르포스 산화물 반도체 박막에 공급하는 것이 어렵기 때문에 설정되어 있다. 또한, 캐리어 트랩으로서 기능하는 O-H-O_{EX}의 밀도가 커지기 때문에, TFT가 작동하는데 필요한 전기 특성을 얻는 것이 불가능하다. 예를 들면, TFT의 임계치는 매우 높아진다.

[0034] 도 4는 본 실시예에 따라 제작한 TFT 소자 구조의 모식도이다. TFT 소자는, 기판(10) 위에 게이트 전극(15), 게이트 절연막(14), 소스 전극(12) 및 드레인 전극(11), 채널층(13) 및 보호층(16)의 순서로 설치하여서 형성된다.

[0035] 본 발명에 적용할 수 있는 반도체소자의 구성은, 상술한 것과 같은 보텀 게이트형 구조의 TFT에 한정되지 않는다. 예를 들면, 상기 TFT는, 게이트 전극 위에 게이트 절연막과 반도체 채널층을 순차적으로 설

치하고, 그 위에 소스 전극 및 드레인 전극을 형성하는 역스태거 구조나, 그 상하 반전이 되는 스태거 구조(톱 게이트형)이어도 된다.

[0036] 본 발명의 발명자들의 발견물에 의하면, In 및 Zn 중 적어도 한쪽의 원소와 수소를 포함하는 아모르포스 산화물 반도체층을 채널층으로서 사용한 박막트랜지스터는, 그 조성에 따라, 이하의 특성을 갖는 것이 바람직하다: 전기저항률이 약 $10\Omega\text{cm}$ 보다 크고 $1\times10^6\Omega\text{cm}$ 미만의 반절연성의 산화막을 사용하면, 양호한 TFT특성이 얻어질 수 있다. 예를 들면, 전기저항률이 $10\Omega\text{cm}$ 이하의 경우, 노멀리 오프 트랜지스터 또는 큰 온/오프비를 얻을 수 없다. 극단적일 경우에는, 게이트 전압이 인가되는 경우에도, 소스전극과 드레인 전극간의 전류가 온/오프되지 않고, 트랜지스터가 동작하지 않는다. 한편, 전기저항률이 $1\times10^6\Omega\text{cm}$ 이상이면, 큰 온 전류를 얻는 것이 불가능하다. 극단적일 경우에는, 게이트 전압이 인가되는 경우에도, 소스전극과 드레인 전극간의 전류가 온/오프되지 않고, 트랜지스터가 동작하지 않는다.

[0037] 통상, 산화물의 전기저항률 및 캐리어 밀도는 성막시의 도입 산소분압에 의해 제어된다. 보다 구체적으로, 산소분압을 제어함으로써, 주로 박막중의 산소결손량을 제어하고, 이에 따라 전자 캐리어 밀도를 제어한다. 그러나, 본 발명에서는, 도 3에 나타낸 수증기 분압만을 제어함으로써 전자 캐리어 밀도를 제어한다.

[0038] 이하, 본 발명에 따른 채널층의 형성 방법에 대해서 상세하게 설명한다.

[0039] 우선, 유리 등으로 제조된 기판(10)을 준비한다. DC스퍼터링법, RF스퍼터링법, 펄스레이저 증착법, 원자층 증착법 또는 전자빔증착법 등의 기상법, 그 조합 등에 의해, 아모르포스 산화물 반도체막을 성막한다. 여기서, 아모르포스 산화물 반도체막의 전기저항률이, TFT 채널층에 대한 양호한 특성이 얻어지는 저항률보다도 높은 조건하에 성막한다. 이것은, 아모르포스 산화물 반도체막의 조성이나 성막 장치에 따라, 기본적으로는 도입 수증기 분압을 $8\times10^{-4}\text{Pa}$ 이상의 범위에 설정함에 의해 실현된다. 특히, 도입 수증기 분압이 $1\times10^{-2}\text{Pa}$ 이상 일 때, 이것은 용이하게 실현할 수 있다. 진공장치를 사용하여 성막하는 경우, 도입 수증기 분압의 상한치는 성막 가스압력이다. 기상에서의 중합반응에 의한 성막의 저밀도화와 성막 속도의 저하를 막기 위해서, 도입 수증기 분압을 10Pa 정도 이하로 하는 것이 바람직하다. 저항률을 염밀하게 제어하기 위해서, 수증기와 그 수증기에 대하여 소량의 산소를 동시에 도입해 제어해도 된다.

[0040] 여기에서 사용된 것과 같은 도입 수증기 분압이란, 유량제어장치에 의해 성막 장치내에 의도적으로 도입된 수증기의 분압을 의미한다. 성막 장치 내벽등으로부터 불가피하게 끼어지는 수증기, 성막 장치가 누설되기 때문에 외부에서 진입하는 수증기, 및 타겟으로부터 끼어지는 수증기는, 성막 이력에 따라 크게 변화되어서, 제어가 대단히 어렵다. 진공 성막 장치의 배압을 $1\times10^{-8}\text{Pa}$ 이하의 초고진공으로 하고, 아모르포스 산화물중의 수소 농도를 캐리어 밀도 미만으로 제어하는 것은, 기술적으로는 가능하다. 그러나, 이것이 행해지면, 성막 장치의 비용 상승과 길어진 제조 택트 시간으로 이루어진 제조 비용을 상승시키는 과제를 수반한다. 그렇지만, 잔류 수증기압이 상기 도입 수증기 분압의 상한치를 초과하는 경우, 본 발명의 효과를 얻는 것이 어렵고, 그래서, 본 발명에서 사용된 성막 장치의 배압이 $5\times10^{-4}\text{Pa}$ 이하인 것이 바람직하다. 이때, 상기 유량제어장치는, 예를 들면 매스 플로우(mass flow) 콘트롤러이다.

[0041] 또한, 여기서, 아모르포스 산화물 반도체막의 저항률이 $1\times10^2\Omega\text{cm}$ 이상이 되는 조건하에서 성막하는 것이, TFT 소자의 성능의 관점에서 바람직하다. 이때, 본 발명에 있어서, 상기 금속막 성막 후의 저항률의 하한치는, 산화물막의 조성과 성막 조건에 따라, 예를 들면 $1\times10\Omega\text{cm}$ 이상이다.

[0042] 그 후, 그 제작된 아모르포스 산화물 반도체막을 열처리 행해도 된다. 여기서, 아모르포스 산화물 반도체막이 TFT 채널층에 대해 양호한 특성을 얻는 저항률을 갖도록 열처리조건을 설정한다. 단시간에 균일하게 저항률을 제어하기 위해서는, 분위기의 온도를 150°C 이상 500°C 이하, 바람직하게는 200°C 이상 350°C 이하로 열처리를 행하여도 된다. 또한, 산화 분위기를 사용하는 것도 균일성의 관점에서 효과적이어서, 이것도 바람직하다.

[0043] 열처리를 행할 때, 아모르포스 산화물중에서는 수소원자가 열화산되고, 캐리어 트랩으로서 기능하는 $\text{O}-\text{H}-\text{O}_{\text{EX}}$ 에 상기 확산된 수소가 결합 함에 의해 TFT의 전기 특성에 영향을 주지 않는 $\text{O}_{\text{EX}}-\text{H}_2$ 를 생성하고, 그 캐리어 트랩 밀도를 감소시킨다고 생각된다.

[0044] 저비용으로 TFT를 형성하는 바람직한 방법은, 용액도포에 의한 아모르포스 산화물 반도체막을 형성하는데 있다. 예를 들면, 우선, 용매인 2-메톡시에탄올에 용해한 $\text{Zn}(\text{C}_2\text{H}_5\text{COO})_2\text{H}_2\text{O}$, $\text{Al}\text{dri}\text{ch}$ 로부터

입수 가능) 및 $\text{In}(\text{C H}_3\text{C O O})_3$, A l d r i c h 로부터 입수 가능)의 용액은, 원료로서 잉크젯 인쇄에 의해 도포된다. 그리고, 대기중 500°C이하의 온도로 열처리하여 아모르포스 InZnO 막을 얻는다. 열처리는, 용매를 충분하게 휘발시키기 위해서, 150°C이상 500°C이하, 바람직하게는 200°C이상 350°C이하로 행해져도 된다. 열처리 온도의 상한치는, 산화물 반도체막의 결정화에 의해 제한된다. 여기서, 아모르포스 산화물 반도체막에는 $1 \times 10^{20} \text{ cm}^{-3}$ 이상의 수소 원자가 잔류하고, 본 발명의 캐리어 밀도를 실현하는 M-OH 결합수 $1 \times 10^{18} \text{ cm}^{-3}$ 이하를 실현하여도 된다. 다른 용매를 사용한 성막 방법으로서, 전기석출법을 사용하여도 된다. 예를 들면, 질산 인듐, 질산 갈륨, 질산 아연 및 디메틸아민보란(DMAB)을 함유하는 수용액을 원료로서 사용하면서, In-Ga-Zn-O 계 아모르포스 산화물 박막은 절연 기판(예를 들면, 코닝사제1737) 위에 형성되어도 된다. 퇴적 초기층으로서 무전계 퇴적한 후, 디메틸아민보란(DMAB)을 함유하지 않는 수용액을 사용하고 외부 전원을 사용해서 전계를 걸고, 전기석 출에 의해 아모르포스 산화물막을 형성한다. 여기서, 수용액의 온도는 60°C다. 이렇게 해서 형성된 아모르포스 산화물막도 막 중에는 ($1 \times 10^{20} \text{ cm}^{-3}$ 이상의) 대량의 수소원자가 잔류하고 있다. 이 막을 500°C이하로 열처리 함으로써, 본 발명의 M-OH 결합수 $1 \times 10^{18} \text{ cm}^{-3}$ 이하 및 캐리어 밀도 $1 \times 10^{18} \text{ cm}^{-3}$ 이하를 실현할 수 있다. 이렇게 해서, TFT 동작 가능한 아모르포스 산화물 반도체막을 형성하여도 된다. 열처리는, 막중에 대량으로 함유되는 수분을 휘발시키기 위해서, 150°C이상 500°C이하, 바람직하게는 200°C이상 350°C이하로 행해져도 된다. 열처리 온도의 상한치는, 산화물 반도체막의 결정화에 의해 제한된다.

[0045] 다음에, 산화물 절연체 보호막을, 산소함유 분위기에서 스퍼터링법에 의해 형성하고, 그렇게 함으로써 보호막 형성에 의한 채널층에의 데미지 및 환원 효과를 상쇄하여도 된다.

[0046] 이하, TFT 구조의 구성요소들을 상세하게 설명한다.

[0047] (게이트 절연층)

[0048] 본 발명에 있어서, 게이트 절연층에는 SiO_2 를 사용하는 것이 바람직하다. 또는, SiO_2 , Y_2O_3 , Al_2O_3 , HfO_2 및 TiO_2 중 적어도 1종을 포함하는 재료를 게이트 절연층에 사용하는 것도 바람직하다. 또한, 이들의 층들을 적층한 어떠한 막을 사용해도 된다.

[0049] 게이트 절연층의 성막법으로서는, 스퍼터링법, 펄스레이저 증착법 및 전자빔증착법 등의 기상법을 사용하여도 된다. 그러나, 성막법은 이들의 방법에 한정되지 않는다.

[0050] (전극)

[0051] 소스 전극, 드레인 전극 및 게이트 전극의 재료는, 양호한 전기전도성과 채널층에의 양호한 전기적 접속을 가능하게 하는 것이면 특히 구애되지 않는다. 예를 들면, $\text{In}_2\text{O}_3:\text{Sn}$ 또는 ZnO 로 형성된 투명도전막과, Mo , Au , Pt , Al , Ni 및 Cu 로 형성된 금속막을 사용할 수 있다. 추가로, 채널층 혹은 절연층과 상기 전극들과의 사이에, 밀착 성향상을 위한 Ti , Ni , Cr 등으로 형성된 층이 배치되어도 된다.

[0052] (기판)

[0053] 기판으로서는, 채널층의 열처리조건 등에도 따라, 유리 기판, 금속기판, 플라스틱 기판, 플라스틱 필름 등을 사용하여도 된다.

[0054] (채널층)

[0055] 채널층은, 수소와, In 과 Zn 중 적어도 1개의 원소를 함유하는 아모르포스 산화물이다.

[0056] 채널층의 성막법으로서는, 스퍼터링법, 펄스레이저 증착법 및 전자빔증착법 등의 기상법들을 사용하여도 된다. 그러나, 성막법은 이들의 방법에 한정되지 않는다.

[0057] 채널층의 성막 온도는, 아모르포스 산화물 반도체에 받아들이는 수소량을 일정하게 유지하여서, 성막 시작전에 채널층의 하지층 혹은 진공장치 챔버 벽에 수증기의 흡착을 일으키지 않도록, 80°C 이상으로 하는 것이 바람직하다.

[0058] 열처리 온도는, 유리 전이 온도 이하인 것이 바람직하고, 본 발명에서는 150°C 이상 500°C 이하인 것이 바람직하다. 열처리의 하한온도는, 금속인듐을 정련할 때 사용된 잘 알려진 재료인 In(OH)_3 의 분해가 150°C에서 시작하기 때문에 150°C이다. 열처리 시간의 단축화의 관점에서, 열처리 온도는 200°C 이상 350°C 이하로 행하

는 것이 바람직하다.

[0059] 열처리가 채널층의 형성 온도를 사용하여 행해도 되기 때문에, 열처리는, 채널층의 형성과 동시에 행해도 된다. 또한, 열처리는, 보호막이 형성된 후에 행해도 되거나, TFT가 완성된 후에 행해도 된다.

[0060] (보호막)

[0061] 보호막으로서, 적어도 1종의 금속 원소를 포함하는 금속산화물막을 사용한다. 금속산화물 중에서도, 이하에 든 것을 적어도 1종 포함하는 물질을 보호막으로서 사용하는 것이 바람직하다: SiO_2 , Al_2O_3 , Ga_2O_3 , In_2O_3 , MgO , CaO , SrO , BaO , ZnO , Nb_2O_5 , Ta_2O_5 , TiO_2 , ZrO_2 , HfO_2 , CeO_2 , Li_2O , Na_2O , K_2O , Rb_2O , Sc_2O_3 , Y_2O_3 , La_2O_3 , Nd_2O_3 , Sm_2O_3 , Gd_2O_3 , Dy_2O_3 , Er_2O_3 , Yb_2O_3 .

[0062] 이와는 달리, 이들 금속산화물 이외에, 실리콘 산질화물(SiO_xNy)을 사용해도 된다.

[0063] 상기 금속산화물 또는 SiO_xNy 를 보호막으로서 TFT 위에 형성하는 방법으로서는, 화학기상증착법(CVD), 스퍼터링법등을 사용하여도 된다. 스퍼터링법으로 보호막을 형성할 경우에는, 스퍼터링 동안에 산소함유 분위기에서 성막을 행한다. 이것은, 예를 들면, Ar 가스 분위기에서 보호막을 형성한 소자가 보호막을 성막하기 전과 비교하여 TFT 특성이 나빠지기 때문이다. TFT 특성이 나빠지는 원인은, 보호막을 성막시에 채널층의 계면으로부터 산소가 빠지는 것에 의해 캐리어가 생성되어, 채널층의 저항이 낮아지는 것이 생각된다. 그 때문에, 보호막을 스퍼터링하는 동안 산소함유 분위기에서 성막해야 한다. 산소함유량은 총 스퍼터링 가스중의 10% 내지 80%인 것이 바람직하다.

[0064] (TFT 특성)

[0065] 도 5는 본 발명의 TFT의 전형적인 트랜스퍼 특성(Vg - Id 특성)을 나타낸다. 소스 전극과 드레인 전극간에 12V의 전압Vd를 인가했을 때, 게이트 전압Vg을 $-20V \sim 20V$ 의 사이에서 소인함으로써, 소스전극과 드레인 전극간의 전류Id를 제어하여도 된다(온 및 오프하여도 된다).

[0066] 특히, 입계산란이 없고 계면특성이 뛰어나기 때문에 원래 높은 캐리어 이동도를 갖는 아모르포스 산화물을 채널층으로서 사용한 TFT에 본 발명을 적용하면, 전계 효과 이동도가 크고, 특성이 우수한 TFT를 실현할 수 있다. 이 경우에, Ga 및 Sn중 적어도 하나의 원소를 산화막에 포함함하여서, 아모르포스 상(phase)이 안정화한다. 추가로, 아모르포스 상 안정화의 관점에서는, 열처리시의 산화 분위기중의 온도를 500°C 이하로 하는 것이 바람직하다고 생각할 수 있다.

[0067] 여기에서, 아모르포스인 상태는, 측정 대상 박막에, 입사각도 0.5도정도의 저입사각에 의한 X선 회절을 행했을 경우에 명료한 회절 피크가 검출되지 않는(즉, 헤일로(halo) 패턴이 관측되는) 관측에 의해 확인되어도 된다. 이때, 본 발명은, 상기한 재료를 박막트랜지스터의 채널층에 사용할 경우에, 해당 채널층이 미결정 상태의 구성 재료를 포함하는 경우를 제외하지 않는다.

[0068] 상기 박막트랜지스터의 출력 단자인 드레인에, 유기 또는 무기의 일렉트로루미네스نس(EL)소자 또는 액정소자 등의 표시 소자의 전극을 접속함으로써, 표시장치를 구성하여도 된다. 이하에, 표시장치의 단면도를 참조하여 구체적인 표시장치 구성의 예를 설명한다.

[0069] 도 6은, 본 발명의 다른 실시예로서의 표시장치의 일례의 단면도다. TFT는 기판(611) 위에 형성된다. 그 TFT는, 게이트 전극(612)과, 게이트 절연막(613)과, 아모르포스 산화물 반도체막(614)과, 보호층(615), 소스(드레인)전극(616)과, 드레인(소스)전극(617)으로 구성된다.

[0070] 드레인(소스)전극(617)에, 충간 절연막(619)을 통해 전극(618)이 접속된다. 전극(618)은 발광층(620)과 접하여 있다. 그 발광층(620)은, 전극(621)과 접하여 있다.

[0071] 상기 구성에 의해, 발광층(620)에 주입된 전류를, 소스(드레인)전극(616)으로부터 드레인(소스)전극(617)으로 아모르포스 산화물 반도체막(614)에 형성된 채널을 거쳐서 흐르는 전류치에 의해 제어하여도 된다.

[0072] 따라서, 상기 전류는, TFT의 게이트 전극(612)의 전압에 의해 제어되어도 된다. 여기에서, 전극 618, 발광층(620) 및 전극 621은 무기 또는 유기의 일렉트로루미네스نس 소자를 형성한다.

[0073] 도 7은, 본 발명의 다른 실시예로서의 표시장치의 다른 예의 단면도다. 드레인(소스)전극(717)이 연장되어서 전극(718)의 역할도 한다. 전극(723) 및 대향 전극(718)은, 고저항막 720과 722 사이에 끼워진 액정 셀

이나 전기영동형 입자 셀(721)에 전압을 인가하도록 구성되어도 된다. 또한, 도 7은 기판(711), 게이트 절연막(713), 보호층(715) 및 충간절연막(719)을 나타낸다.

[0074] 액정 셀이나 전기영동형 입자 셀(721), 고저항막(720 및 722), 전극 718, 및 전극 723은 표시 소자를 구성한다.

[0075] 그 표시 소자에 인가된 전압을, 소스 전극(716)으로부터 드레인 전극(717)에 아모르포스 산화물 반도체 막(714)에 형성된 채널을 거쳐서 흐르는 전류치에 의해 제어되어도 된다.

[0076] 따라서, 그 전압은, TFT의 게이트 전극(712)의 전압에 의해 제어되어도 된다. 여기에서, 표시 소자의 표시 매체가 유체와 입자를 절연막중에 봉지한 캡슐인 경우, 고저항막(720, 722)은 제거되어도 된다.

[0077] 상기의 2개의 예의 TFT를 보텀 게이트 역스테거형 구조의 TFT로서 상기에서 설명하였지만, 본 발명은 이러한 구조에 한정되지 않는다.

[0078] 예를 들면, TFT의 출력 단자인 드레인 전극과 표시 소자와의 접속이 위상기하적으로 동일하면, 코플래너(coplanar) 구조 등의 기타의 구조도 가능하다.

[0079] 또한, 상기의 2개의 예의 TFT에 있어서는, 표시 소자를 구동하는 한 쌍의 전극이, 기판과 평행하게 설치되지만, 본 발명은 이러한 구성에 한정되지 않는다.

[0080] 예를 들면, TFT의 출력 단자인 드레인 전극과 표시 소자와의 접속이 위상기하적으로 동일하면, 그 전극들 중 한쪽 또는 양쪽의 전극이 기판과 수직하게 설치되어도 된다.

[0081] 또한, 상기의 2개의 예의 TFT에 있어서는, 표시 소자에 접속되는 TFT를 하나만 도시했지만, 본 발명은 이러한 구성에 한정되지 않는다. 예를 들면, 도면에 나타낸 TFT는, 도면의 TFT가 이들 TFT를 구비한 회로의 최종단에 있다면, 본 발명에 따른 또 다른 TFT에 더욱 접속되어도 된다.

[0082] 여기에서, 표시 소자를 구동하는 한 쌍의 전극이, 기판과 평행하게 설치되었을 경우, 표시 소자가 EL 소자 또는 반사형 액정소자 등의 반사형 표시 소자이면, 어느 한쪽의 전극이 발광 파장 혹은 반사광의 파장에 대하여 투명한 것이 요구된다.

[0083] 그 표시 소자가 투과형 액정소자 등의 투과형 표시 소자이면, 양쪽 전극도 투과광에 대하여 투명한 것이 요구된다.

[0084] 또한, 본 실시예에 따른 TFT에서는, 모든 구성요소를 투명하게 하는 것도 가능해서, 투명한 표시 소자를 형성할 수도 있다.

[0085] 또한, 가볍고, 유연하고, 투명한 플라스틱 수지 기판 등의 저내열성 기판 위에, 상기 표시 소자를 설치하여도 된다.

[0086] 다음에, EL소자(여기에서는, 유기EL소자)와 박막트랜지스터를 포함하는 화소를 이차원 모양으로 복수 배치한 표시장치에 대해서 도 8을 참조하여 설명한다.

[0087] 도 8에 있어서, 트랜지스터 801은 유기EL층(804)을 구동한다. 트랜지스터 802는 화소를 선택한다. 또한 콘텐서(803)는 선택된 상태를 유지하고, 공통전극선(807)과 트랜지스터 802의 소스와의 사이에 전하를 유지하고, 트랜지스터 801의 게이트의 신호를 유지하고 있다. 화소는 주사 전극선(805)과 신호 전극선(806)을 통해 선택된다.

[0088] 보다 구체적으로, 화상신호는, 드라이버 회로(도면에 나타내지 않는다)로부터 주사 전극선(805)을 통해서 게이트 전극에 펄스 신호로서 인가된다. 그와 동시에, 신호는, 별도의 드라이버 회로(도면에 나타내지 않는다)로부터 신호 전극선(806)을 통해서 역시 펄스 신호로서 트랜지스터(802)에 인가되어서 화소를 선택한다. 이 때에, 트랜지스터(802)가 온(On)이 되어 신호 전극선(806)과 트랜지스터(802)의 소스와의 사이에 있는 콘텐서(803)에 전하가 축적된다.

[0089] 이에 따라 트랜지스터(801)의 게이트가 원하는 전압으로 유지되고 트랜지스터(801)는 온이 된다. 이 상태는, 다음 신호를 받을 때까지 유지된다.

[0090] 트랜지스터(801)가 온인 기간동안, 유기EL층(804)에는 전압 및 전류가 계속 공급되어 발광이 유지되게 된다.

- [0091] 도 8에 나타낸 구성이 1화소에 트랜지스터 2개 콘덴서 1개를 갖지만, 성능을 향상시키기 위해서 보다 많은 트랜지스터 등을 내장하여도 된다.
- [0092] 필수적인 것은, 트랜지스터 부분에, 투명하고 저온에서 형성할 수 있는 In-Ga-Zn-O계의 TFT를 사용함으로써, 유효한 EL 소자를 얻을 수 있다.
- [0093] 이하, 예시를 참조하여 본 발명을 더욱 설명하지만, 본 발명은 이에 한정되지 않는다.
- [0094] (예시 1)
- [0095] 본 예시에서는, 본 발명의 TFT 소자의 실시예를 설명한다.
- [0096] 우선, 유리 기판 위에, 아모르포스 산화물 반도체로서, In-Ga-Zn-O막을 형성했다. 아르곤 분위기에서 D C 스퍼터링 성막에 의해 In-Ga-Zn-O막을 형성했다.
- [0097] 타겟(재료원)으로서는, 3인치 사이즈의 InGaZnO_4 조성을 갖는 소결체를 사용하고, 투입 R F 파워는 50W 이었다. 타겟과 기판과의 거리는 60mm이다. In-Ga-Zn-O막은, 5.0×10^{-1} Pa의 아르곤과 수증기의 혼합 분위기에서 형성된다. 도입 수증기 분압은 8.0×10^{-4} Pa 내지 6.0×10^{-2} Pa로 했다. 이때, 산소는 도입하지 않았다. 성막시의 기판온도는 25°C다.
- [0098] 얻어진 막에 대하여, 홀 효과 측정을 행하였다. 그 결과를 도 3에 나타내고, 여기에서 In-Ga-Zn-O막의 캐리어 밀도, 홀 이동도 및 저항률과 스퍼터 성막시의 수증기 분압의 의존성을 나타낸다. 1×10^{-2} Pa 이상의 수증기 분압을 도입함으로써, In-Ga-Zn-O막의 저항률을 증대할 수 있다. 또한, 캐리어 밀도를 $1 \times 10^{18} \text{ cm}^{-3}$ 이하로 할 수 있다. 이 In-Ga-Zn-O막에 대하여, 막면에 입사각도 0.5도 정도의 저입사각에 의한 X선 회절을 행하였다. 모든 경우에 대하여, 명료한 회절 피크는 관측되지 않았고, 제작한 In-Ga-Zn-O막은 아모르포스 막인 것이 확인되었다. 또한, A FM 측정을 행하고, 패턴의 해석을 행한 결과, 박막의 표면 거칠기(R a)는 약 0.4 nm이었다. 막두께는 약 200 nm이다. X선 광전자 분광(XPS) 분석의 결과로서, 박막의 금속조성비가 In:Ga:Zn=1:1:0.9인 것을 알았다.
- [0099] 또한, 타겟(재료원)으로서는, 3인치 사이즈의 InZnO (ZnO : 10.7wt.%)의 소결체를 사용해 같은 실험을 행했다. 1×10^{-2} Pa 이상의 수증기 분압을 도입 함으로써, InZnO 막의 저항률을 증대할 수 있고, 아모르포스 IZO 막을 얻을 수 있었다.
- [0100] 상기 얻어진 아모르포스 In-Ga-Zn-O막 및 IZO 막에 대해서, 2차 이온 질량분석(SIMS) 측정을 행하고, 막중 수소량의 정량을 행했다. 그 결과를 도 10에 나타낸다. 막에는 도입 수증기 분압에 따라, 본 발명에 따른 $1 \times 10^{20} \text{ cm}^{-3}$ 이상이 되는 1×10^{21} 내지 $1 \times 10^{22} \text{ cm}^{-3}$ 의 수소가 포함되어 있는 것을 알았다. 또한, 막중 수소량과 도입 수소분압의 이중 대수 플롯(plot)이 대단히 좋은 직선성을 나타내기 때문에, 막중 수소량이 도입 수소분압에 의해 정밀하게 제어 가능한 것을 알았다.
- [0101] (예시 2)
- [0102] 본 예시에서는, 본 발명에 있어서의 TFT 소자의 다른 실시예를 도 9를 참조하여 설명한다.
- [0103] 우선, 100 nm 두께의 열산화 실리콘막(904)이 형성된 n형 저저항 실리콘 기판(900) 위에, 채널층으로서, In-Ga-Zn-O막(903)을 형성했다. 아르곤 분위기에서의 D C 스퍼터링을 함으로써, In-Ga-Zn-O막을 형성했다.
- [0104] 타겟(재료원)으로서는, 3인치 사이즈의 InGaZnO_4 조성을 갖는 소결체를 사용하고, 투입 R F 파워는 50W로 하였다. 타겟과 기판과의 거리는 60mm이다. In-Ga-Zn-O막은, 5.0×10^{-1} Pa의 아르곤과 수증기의 혼합 분위기에서 형성되고, 도입 수증기 분압은 6.2×10^{-2} Pa이다. 이때, 산소는 도입하지 않았다. 성막시의 기판 온도는 25°C다. 아모르포스 InGaZnO_4 채널층의 막두께는 30 nm이다. 그 후, 포토리소그래픽법에 의해 채널층을 패터닝 했다. 그 후에 전자빔 가열증착법을 사용하여, 채널층에 가까운 층으로부터, 약 5 nm의 막두께를 갖는 Ti층과, 약 100 nm의 막두께를 갖는 Au층을 순차 적층하고, 포토리소그래픽법과 리프트 오프법에 의해, 소스 전극(902) 및 드레인 전극(901)을 형성했다. 이렇게 해서 채널길이는 30 μm , 채널 폭은 180 μm 의 보텀 게이트 역 스태거형 TFT를 완성하였다. 본 TFT 소자에서는, n형 저저항 실리콘 막(900)이 게이트 전극(905)으로서 기

능하고, 100 nm의 열산화 실리콘 막(904)이 게이트 절연층으로서 기능한다.

[0105] 다음에, 이렇게 하여 얻어진 TFT 소자의 특성평가를 행했다. 도 11은, TFT 소자를 형성 후 열처리하지 않는 경우와, 대기중 200°C 30분 열처리의 경우와, 대기중 250°C 30분 열처리의 경우에 대해 $V_d=20V$ 일 때의 실온하에서 측정한 본 예시에서 제작한 TFT 소자의 I_d-V_g 특성(트랜스퍼 특성)을 나타낸 것이다. 수증기 분압만에 의한 아모르포스 $InGaZnO_4$ 채널층의 저항률 제어가 가능해서, TFT 소자가 트랜지스터에 필적 할만한 온/오프비 및 10^4 이상의 TFT 특성을 나타내는 것을 알았다.

[0106] (예시 3)

[0107] 본 예시에서는, 본 발명에 있어서의 TFT 소자의 다른 실시예를 도 4를 참조하여 설명한다.

[0108] 우선, 유리 기판(10)에, Mo 전극을 게이트 전극으로서 스퍼터링법에 의해 형성했다. 그 후, 포토리소그래픽법에 의한 패터닝을 행하였다. 스퍼터링법에 의해 SiO_2 막을 게이트 절연막(14)으로서 형성한 후, 소스 전극(12) 및 드레인 전극(11)을 형성했다. 그 위에 채널층(13)으로서, 예시 2의 경우와 마찬가지로 $In-Ga-Zn-O$ 막을 형성했다. 아모르포스 $InGaZnO_4$ 채널층의 두께는 30 nm이다. 도입 수증기 분압은 $1.6 \times 10^{-2} Pa$, $6.2 \times 10^{-2} Pa$ 및 $8.6 \times 10^{-2} Pa$ 이었다. 이때, 산소는 도입하지 않았다. 성막시의 기판온도는 25°C다.

[0109] 또한, 그 위에 스퍼터링법에 의해 보호막(16)으로서 SiO_2 막을 100 nm 퇴적한다.

[0110] 본 예시에서, 투입 RF 파워는 300W이었다. 성막시의 분위기는, 총 압력이 0.1Pa이며, 가스 유량비는 $A_r : O_2 = 90 : 10$ 이다. 또한, 기판온도는 25°C다.

[0111] 최후에, 게이트 전극(15), 드레인 전극(12) 및 소스 전극(11) 상의 일부를 포토리소그래픽법 및 에칭법에 의해 제거하여, 컨택트 홀을 형성한다. 그리고나서, 대기중에서의 250°C 60분 열처리를 행했다. 이렇게 해서 채널길이는 30 μm , 채널 폭은 180 μm 의 보텀 게이트형 TFT를 완성하였다.

[0112] 다음에, 이렇게 하여 얻어진 TFT 소자의 특성평가를 행했다. 도 5는, 본 예시에서 제작한 TFT 소자를 실온하에서 측정했을 때의, $V_d=20V$ 에 있어서의 I_d-V_g 특성(트랜스퍼 특성)을 나타낸 그래프이다. $V_g=20V$ 에서, $I_d=1 \times 10^{-5} A$ 정도의 전류가 흘렀다. 추가로, 도입 수증기 분압 $8.6 \times 10^{-2} Pa$ 하에서 출력 특성으로부터 전계 효과 이동도를 산출한 바, 포화 영역에 있어서 약 $3cm^2/Vs$ 의 전계 효과 이동도를 얻는다.

[0113] (예시 4)

[0114] 본 예시에서는, 도 12의 박막트랜지스터를 사용한 표시장치에 관하여 설명한다. 사용된 박막트랜지스터의 채널층 형성 공정은, 예시 3의 도입 수증기 분압이 $8.6 \times 10^{-2} Pa$ 일 경우와 같다.

[0115] 상기 박막트랜지스터에 있어서 절연층(보호층)(16)이 폐복해 패터닝된 후, 드레인 전극(12)을 형성하는 ITO 막의 섬의 짧은 변을 100 μm 까지 연장하고, 그 연장된 90 μm 길이의 부분을 남기고, 소스 전극(11) 및 게이트 전극(15)에의 배선을 확보한다. 이 위에 폴리이미드 막을 도포하고, 러빙(rubbing) 공정을 실행한다. 한편, 마찬가지로, 플라스틱 기판 위에 ITO 막과 폴리이미드 막을 형성하고, 러빙 공정을 실행한 것을 준비하고, 상기 박막트랜지스터를 형성한 기판과 5 μm 의 공극을 비워서 대향시켜, 그 공극에 네마틱 액정을 주입한다. 한층 더, 한 쌍의 편광판을 설치하되, 그 편광판의 한쪽은 이 구조체의 일측에 있고, 그 편광판의 다른쪽은 그 구조체의 타측에 있다. 여기에서, 박막트랜지스터의 소스 전극에 전압을 인가하고, 게이트 전극에 인가된 전압을 변화시키면, 드레인 전극으로부터 연장된 ITO 막의 섬의 일부인 30 $\mu m \times 90 \mu m$ 의 영역에만, 광투과율이 변화된다. 또한, 그 투과율은, 박막트랜지스터가 온 상태가 되도록 게이트 전압을 인가할 때의 소스-드레인간 전압에 의해도 연속적으로 변화시킬 수 있다. 이렇게 해서, 도 7에 나타낸 것에 대응하고 액정 셀을 표시 소자로서 갖는 표시장치를 제작한다. 이때, 도 12는 기판(10), 채널층(13) 및 게이트 절연막(14)을 나타낸다.

[0116] 본 예시에 있어서, 박막트랜지스터를 형성하는 기판으로서 백색의 플라스틱 기판을 사용한다. 박막트랜지스터의 전극들을 금으로 대체하고, 폴리이미드 막과 편광판을 제거한다. 백색이고 투명한 플라스틱 기판들간의 공극에 입자와 유체를 절연막에서 폐복한 캡슐을 충전시키도록 제조된다. 상술한 구성의 표시장치의 경우, 본 박막트랜지스터에 의해 연장된 드레인 전극과 상부의 ITO 막간의 전압이 제어되고, 이에 따라서 캡슐내의 입자가 상하로 이동한다. 따라서, 투명기판측에서 본 연장된 드레인 전극영역의 반사율을 제어 함으로써, 표시

를 행하여도 된다.

[0117] 또한, 본 예시에서는, 박막트랜지스터를 복수 인접해서 형성하고, 예를 들면, 일반적인 4개의 트랜지스터와 1개의 콘덴서로 이루어진 구성의 전류제어회로를 구성하고, 그 최종단 트랜지스터의 하나를 도 12의 박막트랜지스터로서, E L소자를 구동할 수 있다. 예를 들면, 상기의 I T O막을 드레인 전극으로서 사용하는 박막트랜지스터를 사용한다. 그리고, 드레인 전극으로부터 연장된 I T O막의 섬의 일부인 $30\text{ }\mu\text{m} \times 90\text{ }\mu\text{m}$ 의 영역에 전자주입층과 발광층으로 이루어진 유기 일렉트로루미네스نس 소자를 형성한다. 이렇게 해서, 도 6에 나타낸 E L소자를 사용하는 표시장치를 형성하여도 된다.

[0118] (예시 5)

[0119] 본 예시에서는, 예시 4의 표시 소자와 박막트랜지스터를 이차원으로 배열시킨다. 예를 들면, 예시 4의 액정 셀이나 E L소자등의 표시 소자와, 박막트랜지스터를 포함하는 약 $30\text{ }\mu\text{m} \times 115\text{ }\mu\text{m}$ 의 면적을 각각 차지하는 화소를, 짧은 변 방향으로 $40\text{ }\mu\text{m}$ 피치, 긴 변 방향으로 $120\text{ }\mu\text{m}$ 피치로 각각 7425×1790 개 사각형 배열한다. 또한, 긴 변 방향으로 7425개의 박막트랜지스터의 게이트 전극을 관통하는 게이트 배선을 1790개, 1790개의 박막트랜지스터의 소스 전극이 아모르포스 산화물 반도체막의 섬으로부터 $5\text{ }\mu\text{m}$ 만큼 빼어져 나온 부분을 짧은 변 방향으로 가로지르는 신호 배선을 7425개 설치하고, 각각을 게이트 드라이버 회로와 소스 드라이버 회로에 접속한다. 액정표시 소자의 경우, 액정표시 소자와 같은 사이즈이고 그 액정표시 소자와 정렬된 칼라 필터를 그 액정 표시소자의 표면에 설치하고, 이러한 R G B의 칼라필터를 주기적으로 긴 변 방향으로 반복하여, 약 $211\text{ }\mu\text{m}$ 해상도로 A4사이즈의 액티브 매트릭스형 칼라 화상 표시장치를 구성할 수 있다.

[0120] E L소자의 경우에는, 하나의 E L소자에 포함된 2개의 박막트랜지스터 중, 제1 박막트랜지스터의 게이트 전극을 게이트 선에 접속하고, 제2 박막트랜지스터의 소스 전극을 신호 선에 접속한다. 한층 더, E L소자의 발광 과장을 긴 변 방향으로 R G B에서 주기적으로 변화시킨다. 이렇게 하여, 같은 해상도의 발광형 칼라 화상 표시장치를 구성할 수 있다.

[0121] 여기에서, 액티브 매트릭스를 구동하는 드라이버 회로는, 화소의 박막트랜지스터와 같은 본 발명에 따른 박막트랜지스터를 사용해서 구성해도 되거나, 기존의 I C 칩을 사용하여 구성해도 된다.

[0122] 본 발명은 예시적 실시예들을 참조하여 설명하였지만, 본 발명은 상술한 예시적 실시예들에 한정되지 않는다는 것을 알 것이다. 이하의 청구의 범위는 이러한 변형 및 동등한 구조 및 기능 모두를 포함하도록 가장 넓게 해석되어야 한다.

도면의 간단한 설명

[0123] 도 1a, 1b, 1c, 1d, 1e, 1f는, 본 발명에 따른 아모르포스 InGaZnO_4 (a-IGZO)구조 모델에 구조 완화 계산을 해서 얻어진 원자구조를 도시한 도면이다.

[0124] 도 2a, 2b, 2c, 2d, 2e, 2f, 2g는, 컷오프 에너지 400 eV 와 $4 \times 5 \times 6$ Monkhost-Pack 특수 k점 메쉬를 사용해서 도 1a 내지 1f에 나타낸 모델에 대한 계산에 의해 얻어진 상태밀도(DOS)를 도시한 도면이다.

[0125] 도 3은 a-IGZO의 홀 효과를 측정하여 얻어진, 캐리어 밀도, 홀 이동도, 저항률과 스퍼터 성막시의 수증기 분압간의 관계를 도시한 그래프다.

[0126] 도 4는 본 발명의 일 실시예에 따른 박막트랜지스터의 모식적인 단면도다.

[0127] 도 5는 본 발명의 일 실시예에 따른 박막트랜지스터의 전달 특성을 도시한 그래프다.

[0128] 도 6은 본 발명의 다른 실시예에 따른 표시장치의 일례의 단면도다.

[0129] 도 7은 본 발명의 다른 실시예에 따른 표시장치의 다른 예의 단면도다.

[0130] 도 8은 본 발명의 상기 다른 실시예에 따른 유기 일렉트로루미네스نس(E L)소자와 박막트랜지스터를 포함하는 화소를 이차원 모양으로 배치한 표시장치의 구성을 도시한 도면이다.

[0131] 도 9는 본 발명의 다른 실시예에 따른 박막트랜지스터의 모식적인 단면도다.

[0132] 도 10은 예시 1에서 제작한 아모르포스 산화물 반도체막중의 수소량과 스퍼터링 가스중 수증기 분압간의 관계를 도시한 그래프다.

[0133]

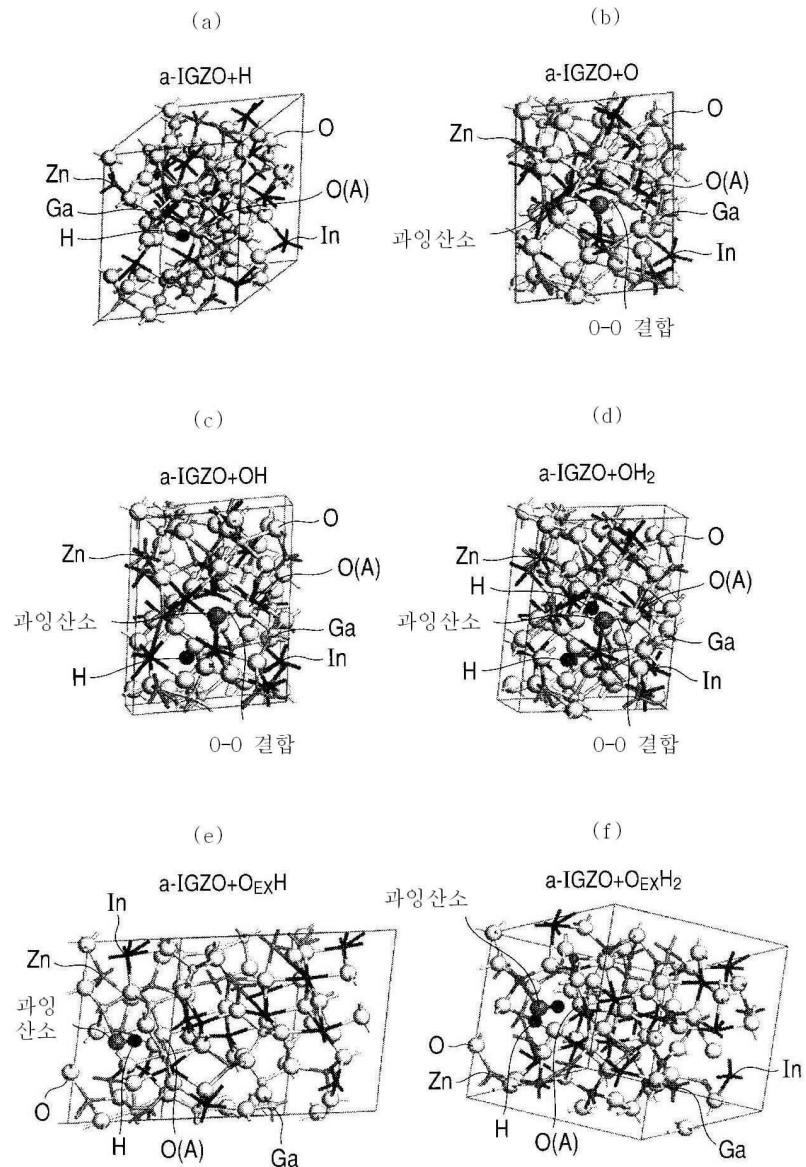
도 11은 예시 2에서 제작한 박막트랜지스터의 전달 특성을 도시한 그래프다.

[0134]

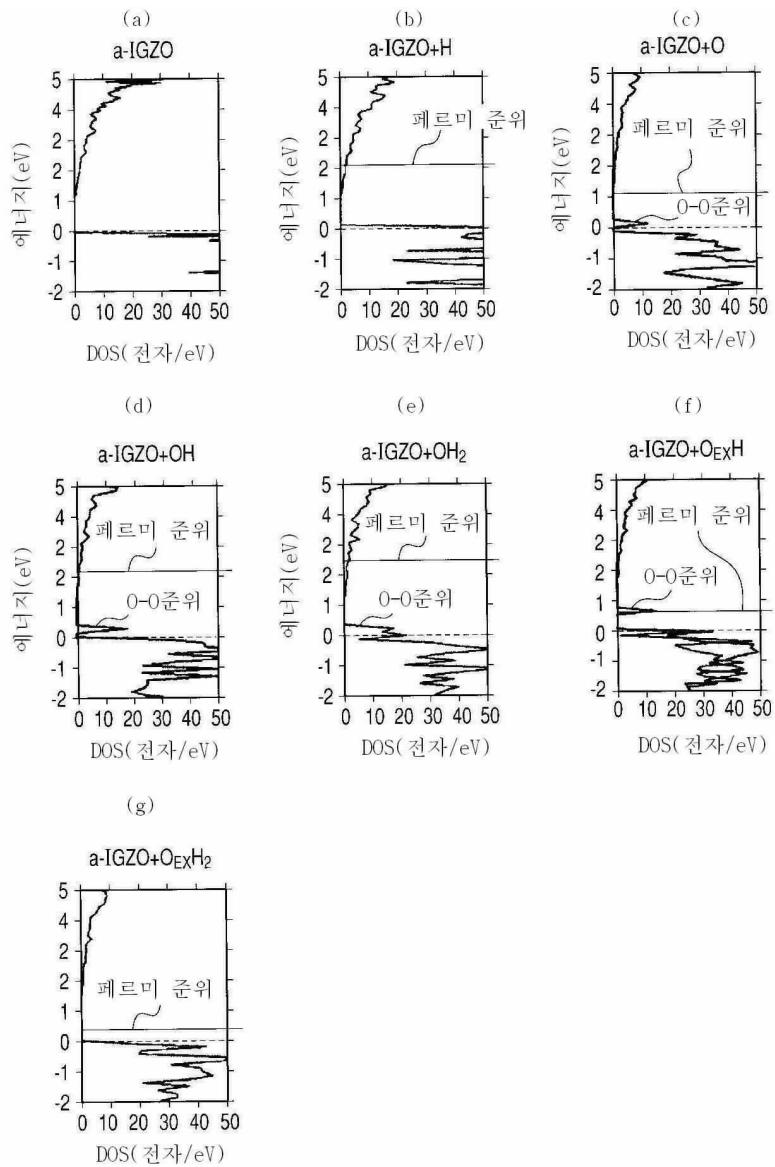
도 12는 예시 4에서 제작한 박막트랜지스터의 모식적인 단면도다.

도면

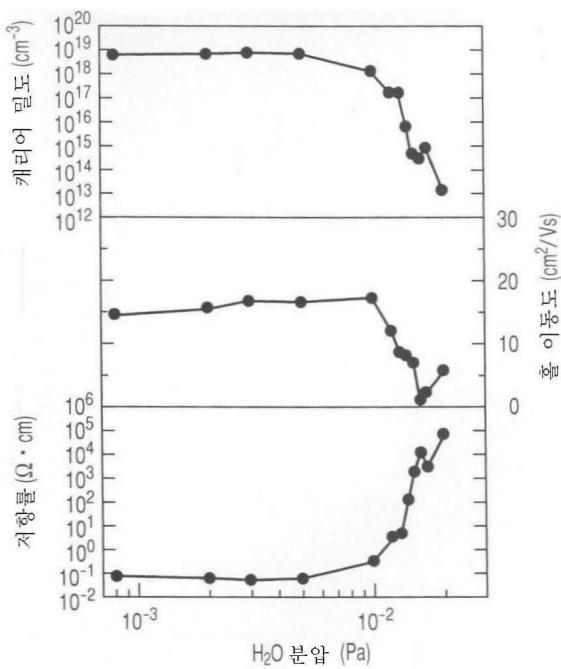
도면1



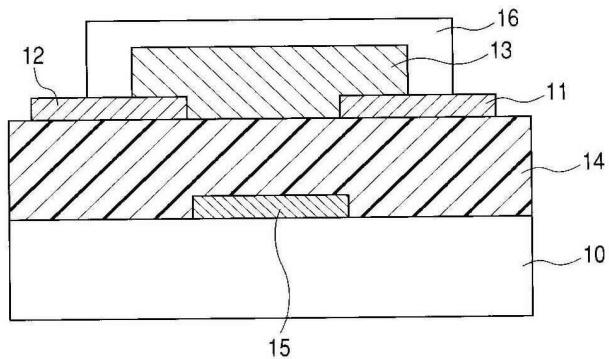
도면2



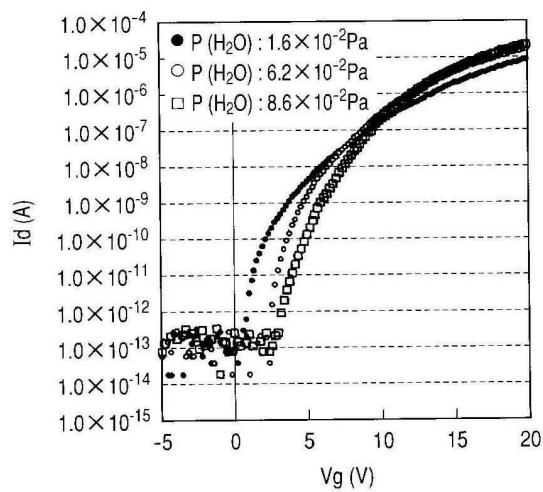
도면3



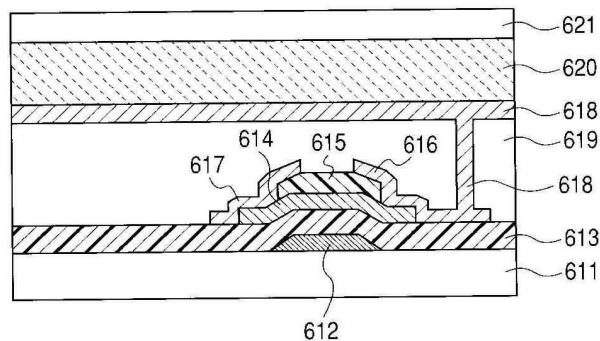
도면4



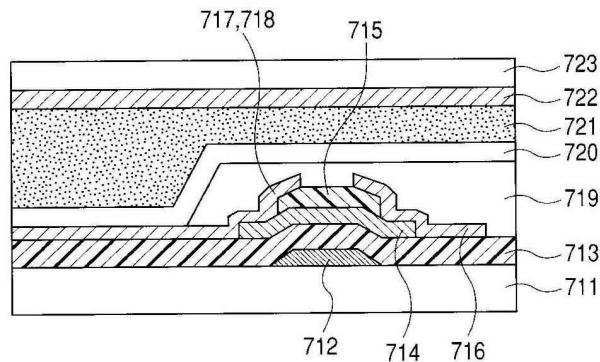
도면5



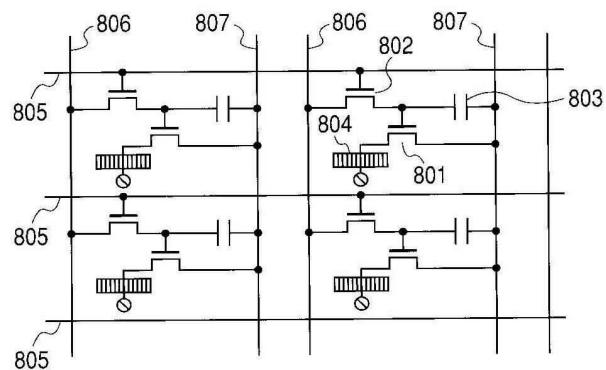
도면6



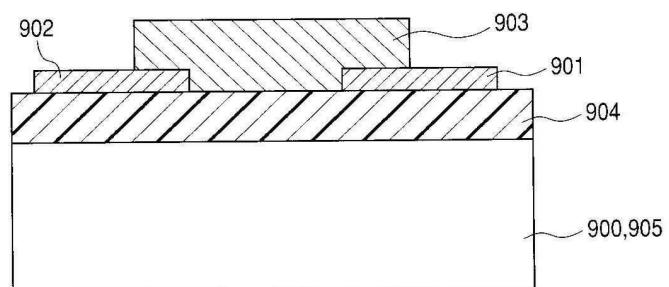
도면7



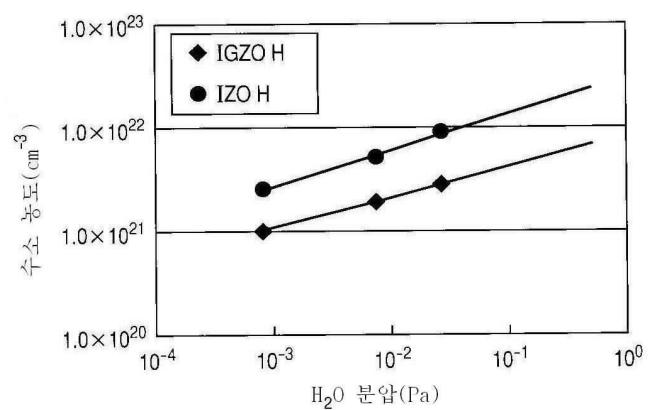
도면8



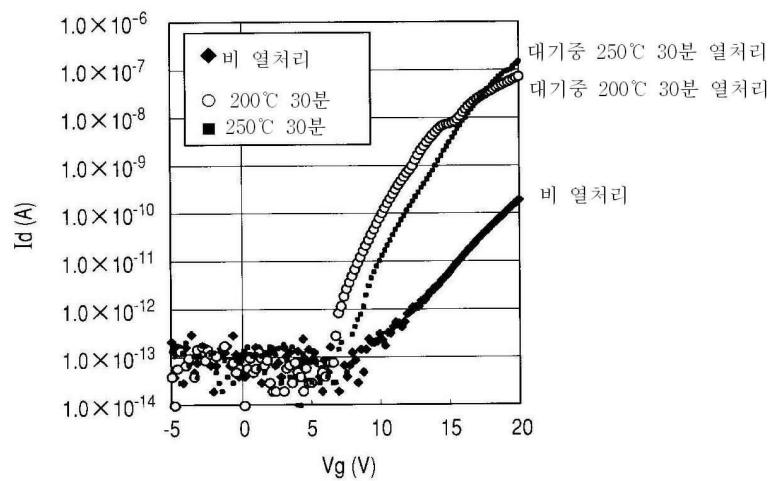
도면9



도면10



도면11



도면12

