



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

232447

(11)

(B1)

(22) Přihlášeno 06 07 83
(21) (PV 5105-83)

(51) Int. Cl.³
G 06 F 9/06

(40) Zveřejněno 14 05 84

(45) Vydáno 15 07 86

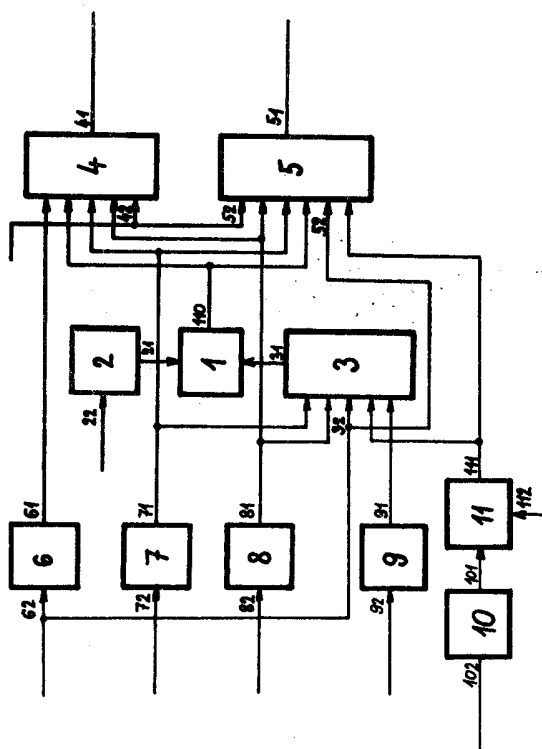
(75)

Autor vynálezu

JANDA PETR ing., PRAHA

(54) Řídicí obvod procesoru

Ovládání a koordinace činností mikro-programem řízeného procesoru sestávajícího z několika asynchronně pracujících částí. Zapojení koordinuje činnost asynchronně pracujících částí procesoru na základě řídicích signálů z těchto částí během provádění mikroinstrukce, při spuštění nebo zastavení procesoru vnějšími nebo vnitřními ovládacími signály a při zastavení procesoru v případě poruchy. Ovládání procesoru se provádí pomocí dvou blokovacích signálů.



Vynález řeší zapojení řídicího obvodu mikroprogramem řízeného procesoru, sestávajícího z několika asynchronně pracujících částí. Asynchronní činnosti koordinuje řídicí obvod prostřednictvím řídicích signálů vytvořených v průběhu mikroinstrukce v řídicích asynchronně pracujících obvodech přípravy instrukce a paměti cache a současně vyhodnocuje podmínky pro spuštění a zastavení procesoru na základě poruchového signálu nebo na základě vnějších ovládacích signálů.

Dosavadní známá zapojení řídí asynchronní činnosti řadičů pomocí jediného řídicího signálu případně synchronisují řadiče až po dokončení mikroinstrukce. Reakce na poruchové stavy vzniklé v průběhu mikroinstrukce je pomalá a v některých případech již nelze po zjištění poruchy mikroinstrukci opakovat.

Uvedené nevýhody známých zapojení odstraňuje řešení podle vynálezu, jehož podstatou je, že na nastavovací vstup paměti spuštění je připojen výstup součtového obvodu startu, jenž má vstup vnějších ovládacích signálů mikrostartu a na nulovací vstup paměti spuštění je připojen výstup nulovacího obvodu, na jehož první vstup je připojen výstup druhé paměti řídicích signálů a na jeho druhý vstup je připojen výstup paměti mezimodulového styku a má dále třetí vstup prvního řídicího signálu a na jeho čtvrtý vstup je připojen výstup paměti mikrostopu, na jeho pátý vstup je připojen výstup hradla blokování poruchy, přičemž vstup hradla blokování poruchy je pro signál poruchy procesoru a na jeho druhý vstup je připojen výstup paměti blokování poruchy, přitom vstup paměti je vstupem vnějšího signálu nastavení paměti, dále vstup paměti mikrostopu je vstupem vnějších a vnitřních ovládacích signálů. vstup paměti mezimodulového styku je určen pro řídicí signál mezimodulového styku a vstup druhé paměti řídicích signálů je určen pro druhý řídicí signál, dále první paměť řídicích signálů má vstup prvního řídicího signálu a její výstup je připojen na první vstup prvního výstupního součtového obvodu, na jehož druhý vstup je připojen výstup paměti spuštění a na jeho třetí vstup je připojen výstup druhé paměti řídicích signálů a na jehož čtvrtý vstup je připojen výstup paměti mezimodulového styku, jeho pátý vstup je pro vnější blokovací signál a dále má výstup signálu blokování činnosti procesoru, přičemž první vstup druhého výstupního součtového obvodu obsahuje vnější blokovací signál a jeho druhý vstup je spojen s výstupem paměti mezimodulového styku a na jeho třetí vstup je připojen výstup druhé paměti řídicích signálů a má čtvrtý vstup prvního řídicího signálu a jeho pátý vstup je spojen s výstupem paměti spuštění a jeho šestý vstup je spojen s výstupem hradla blokování poruchy, zatímco jeho výstup je pro signál blokování výměny mikroinstrukce.

Zapojení podle vynálezu má proti známým zapojením tyto výhody:

Pomocí řídicích signálů z řadičů asynchronně pracujících částí procesoru sleduje stav těchto obvodů vzhledem k různým fázím zpracování mikroinstrukce tak, že v případě poruchy v některé části procesoru lze s minimálním zpožděním zastavit činnost procesoru ještě před uložením výsledků mikroinstrukce do výsledkových registrů a před výměnou mikroinstrukce a tím vytvořit podmínky pro opakování mikroinstrukce. Uvedené zapojení kromě toho koordinuje funkce asynchronně pracujících částí při spouštění a zastavování procesoru na základě vnějších a vnitřních ovládacích signálů.

Zapojení podle vynálezu je schematicky znázorněno na připojeném výkresu.

Na nastavovací vstup paměti 1 spuštění je připojen výstup 21 součtového obvodu 2 startu, jenž má vstup 22 vnějších ovládacích signálů mikrostartu a na nulovací vstup paměti 1 spuštění je připojen výstup 31 nulovacího obvodu 3, na jehož první vstup je připojen výstup 71 druhé paměti 7 řídicích signálů a na jeho druhý vstup je připojen výstup 81 paměti 8 mezimodulového styku a jenž má třetí vstup 32 prvního řídicího signálu a na jehož čtvrtý vstup je připojen výstup 91 paměti 9 mikrostopu, na jeho pátý vstup je připojen výstup 111 hradla 11 blokování poruchy, přičemž hradlo 11 má vstup signálu porucha procesoru a na jeho druhý vstup je připojen výstup 101 paměti 10 blokování poruchy, při tom paměť 10 obsahuje vstup 102 vnějšího signálu nastavení paměti, paměť 9 mikrostopu má vstup 22 vnějších a vnitřních ovládacích signálů, vstup 82 paměti 8 mezimodulového styku obsahuje řídicí signál mezimodu-

lového styku a druhá paměť 7 řídících signálů má vstup 72 druhého řídícího signálu, dále první paměť 6 řídících signálů má vstup 62 prvního řídícího signálu a její výstup 61 je připojen na první vstup prvního výstupního součtového obvodu 4, na jehož druhý vstup je připojen výstup 110 paměti 1 spuštění a na jeho třetí vstup je připojen výstup 71 druhé paměti 7 řídících signálů a na jehož čtvrtý vstup je připojen výstup 81 paměti 8 mezimodulového styku, a dále má pátý vstup vnějšího blokovacího signálu a jeho výstup 41 obsahuje signál blokování činnosti procesoru. Na první vstup 52 druhého výstupního součtového obvodu 5 je vstupem vnějšího blokovacího signálu a jeho druhý vstup je spojen s výstupem 81 paměti 8 mezimodulového styku a na jeho třetí vstup je připojen výstup 71 druhé paměti 7 řídících signálů a má čtvrtý vstup prvního řídícího signálu a jeho pátý vstup je spojen s výstupem 110 paměti 1 spuštění a jeho šestý vstup je spojen s výstupem 111 hradla 11 blokování poruchy, který má výstup 51 signálu blokování výměny mikroinstrukce.

Paměť 1 spuštění se nastavuje vnějšími ovládacími signály přes součtový obvod 2 startu. Její nulování zajišťuje nulovací obvod 3 pokud je nastavena paměť 2 mikrostopu vnějšími nebo vnitřními ovládacími signály nebo signálem porucha procesoru. Signál porucha procesoru, pokud není požadován režim potlačení poruchy prostřednictvím paměti 10 blokování poruchy, nuluje paměť 1 spuštění vždy, zatímco ovládací signály se uplatní po nastavení paměti 2 mikrostopu jen tehdy, není-li přítomna některá z podmínek blokování, to je buď první řídící signál z obvodů přípravy instrukce, případně z paměti cache, nebo výstup paměti 7 druhého řídícího signálu z obvodů paměti cache nebo výstup paměti 8 mezimodulového styku. V opačném případě zůstane paměť 1 spuštění nastavena až do vymizení podmínky blokování. Současně se uplatňují první řídící signál spolu s výstupy paměti 7, 8 a výstupem paměti 1 spuštění a dále se signálem porucha procesoru a vnějším blokováním ve druhém výstupním součtovém obvodu 5, jehož výstup 51 blokuje uložení výsledků a výměnu mikroinstrukce a současně výstupy paměti řídících signálů 6, 7, 8 spolu s výstupem paměti 1 spuštění a signálem vnějšího blokování se uplatní v prvním výstupním součtovém obvodu, jehož výstup blokuje činnost ostatních obvodů procesoru.

Zapojení podle vynálezu lze s výhodou použít v procesorech číslicových počítačů.

PŘEDMĚT VYNÁLEZU

Řídící obvod procesoru, vyznačený tím, že na nastavovací vstup paměti (1) spuštění je připojen výstup (21) součtového obvodu (2) startu, jenž má vstup (22) vnějších ovládacích signálů mikrostartu a na nulovací vstup paměti (1) spuštění je připojen výstup (31) nulovacího obvodu (3), na jehož první vstup je připojen výstup (71) druhé paměti (7) řídících signálů a na jeho druhý vstup je připojen výstup (81) paměti (8) mezimodulového styku a má dále třetí vstup (32) prvního řídícího signálu a na jeho čtvrtý vstup je připojen výstup (91) paměti (9) mikrostopu, na jeho pátý vstup je připojen výstup (111) hradla (11) blokování poruchy, přičemž vstup (112) hradla (11) blokování poruchy je pro signál poruchy procesoru a na jeho druhý vstup je připojen výstup (101) paměti (10) blokování poruchy, při tom vstup (102) paměti (10) je vstupem vnějšího signálu nastavení paměti, dále vstup (92) paměti (9) mikrostopu je vstupem vnějších a vnitřních ovládacích signálů, vstup (82) paměti (8) mezimodulového styku je určen pro řídící signál mezimodulového styku a vstup (72) druhé paměti (7) řídících signálů je určen pro druhý řídící signál, dále první paměť (6) řídících signálů má vstup (62) prvního řídícího signálu a její výstup (61) je připojen na první vstup prvního výstupního součtového obvodu (4), na jehož druhý vstup je připojen výstup (110) paměti (1) spuštění a na jeho třetí vstup je připojen výstup (71) druhé paměti (7) řídících signálů a na jehož čtvrtý vstup je připojen výstup (81) paměti (8) mezimodulového styku, jeho pátý vstup je pro vnější blokovací signál a dále má výstup (41) signálu blokování činnosti procesoru, přičemž první vstup (52) druhého výstupního součtového obvodu (5) obsahuje vnější blokovací signál a jeho druhý vstup je spojen s výstupem (81) paměti (8) mezimodulového styku a na jeho třetí vstup je připojen výstup (71) druhé paměti (7) řídících

signálů a má čtvrtý vstup prvního řídícího signálu a jeho pátý vstup je spojen s výstupem (110) paměti (1) spuštění a jeho šestý vstup je spojen s výstupem (111) hradla (11) blokování poruchy, zatímco jeho výstup (51) je pro signál blokování výměny mikroinstrukce.

1 výkres

232447

