



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0156342
(43) 공개일자 2023년11월14일

(51) 국제특허분류(Int. Cl.)
H01L 21/768 (2006.01)
(52) CPC특허분류
H01L 21/76826 (2013.01)
H01L 21/76871 (2013.01)
(21) 출원번호 10-2023-7030747
(22) 출원일자(국제) 2022년03월07일
심사청구일자 없음
(85) 번역문제출일자 2023년09월08일
(86) 국제출원번호 PCT/US2022/019152
(87) 국제공개번호 WO 2022/197479
국제공개일자 2022년09월22일
(30) 우선권주장
63/161,909 2021년03월16일 미국(US)

(71) 출원인
도쿄엘렉트론가부시키키가이샤
일본 도쿄도 미나토구 아카사카 5초메 3반 1고
도쿄 일렉트론 유.에스. 홀딩스, 인크.
미국, 텍사스 78741, 오스틴, 2400 그로브 블러바드
(72) 발명자
유 카이-홍
미국 12203 뉴욕주 올버니 스위트 213 풀러 로드
255 사우스 나노랩 300
창 시셴
미국 12203 뉴욕주 올버니 스위트 213 풀러 로드
255 사우스 나노랩 300
(뒷면에 계속)
(74) 대리인
김태홍, 김진희

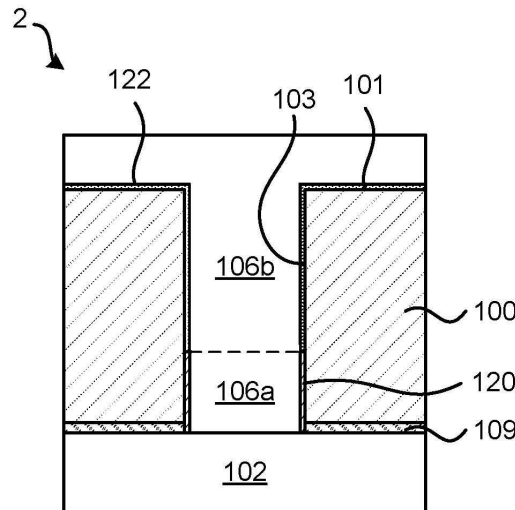
전체 청구항 수 : 총 25 항

(54) 발명의 명칭 반도체 디바이스의 함입형 형상부를 저-저항률 금속으로 충전하기 위한 방법

(57) 요약

함입형 형상부를 저-저항률 금속으로 충전하는 방법이 개시된다. 방법은, 제1 층에 형성된 함입형 형상부 및 함입형 형상부에서 노출되는 제2 층을 포함하는 패터닝된 기판을 제공하는 단계; 핵 생성 증강 층을 함입형 형상부의 제1 층의 측벽 상에 형성하는 단계; 및 기상 증착에 의해 금속 층을 함입형 형상부에 증착시키는 단계로서, 금속 층은 제2 층 및 핵 생성 증강 층 상에 증착되는, 단계를 포함한다. 핵 생성 증강 층을 형성하기 전에, 초기 금속 층이 함입형 형상부의 제2 층 상에 선택적으로 형성될 수 있다.

대표도 - 도2e



(52) CPC특허분류

H01L 21/76879 (2013.01)

(72) 발명자

트리캣 잉

미국 12203 뉴욕주 올버니 스위트 213 풀러 로드
255 사우스 나노랩 300

리우 에릭 치-광

미국 12203 뉴욕주 올버니 스위트 213 풀러 로드
255 사우스 나노랩 300

한 윤

미국 12203 뉴욕주 올버니 스위트 213 풀러 로드
255 사우스 나노랩 300

장 혜난

미국 12203 뉴욕주 올버니 스위트 213 풀러 로드
255 사우스 나노랩 300

와즈다 코리

미국 12203 뉴욕주 올버니 스위트 213 풀러 로드
255 사우스 나노랩 300

클락 로버트 디

미국 12203 뉴욕주 올버니 스위트 213 풀러 로드
255 사우스 나노랩 300

뢰싱크 게릿 제이

미국 12203 뉴욕주 올버니 스위트 213 풀러 로드
255 사우스 나노랩 300

파타나이크 가나란잔

미국 12203 뉴욕주 올버니 스위트 213 풀러 로드
255 사우스 나노랩 300

나이미 히로아키

미국 12203 뉴욕주 올버니 스위트 213 풀러 로드
255 사우스 나노랩 300

명세서

청구범위

청구항 1

반도체 디바이스 형성 방법으로서,

제1 층에 형성된 함입형 형상부, 및 상기 함입형 형상부에서 노출되는 제2 층을 포함하는 패터닝된 기판을 제공 하는 단계;

핵 생성 증강 층을 상기 함입형 형상부의 제1 층의 측벽 상에 형성하는 단계; 및

기상 증착에 의해 금속 층을 상기 함입형 형상부에 증착시키는 단계로서, 상기 금속 층은 상기 제2 층 상에 그 리고 상기 핵 생성 증강 층 상에 증착되는, 단계

를 포함하는, 방법.

청구항 2

제1항에 있어서,

상기 핵 생성 증강 층을 형성하는 단계는,

상기 패터닝된 기판을 반응물 가스에 노출시켜 핵 생성 차단 층을 상기 측벽 상에 형성하는 단계;

상기 패터닝된 기판을 플라즈마-여기된 H_2 가스로 처리하여 핵 생성 차단 층을 개질시키는 단계; 및

상기 패터닝된 기판을 H_2O 증기에 노출시켜 히드록시기를 상기 개질된 핵 생성 차단 층에 추가하는 단계

를 포함하는, 방법.

청구항 3

제2항에 있어서,

상기 핵 생성 차단 층은 자가-조립 단일층(SAM)을 포함하는, 방법.

청구항 4

제2항에 있어서,

상기 반응물 가스는, 알킬 아민 실란, 알킬 실란, 알콕시실란, 알킬 알콕시실록산, 알킬 실록산, 알콕시실록산, 알킬 알콕시실록산, 아릴 실란, 아실 실란, 아릴 실록산, 아실 실록산, 실라잔, 또는 이들의 조합을 포함하는, 방법.

청구항 5

제1항에 있어서,

상기 핵 생성 증강 층을 형성하는 단계는,

상기 패터닝된 기판을 반응물 가스에 노출시켜 핵 생성 차단 층을 상기 측벽 상에 형성하는 단계; 및

상기 패터닝된 기판을 플라즈마-여기된 질소-함유 가스에 노출시켜 상기 핵 생성 차단 층을 개질시키는 단계

를 포함하는, 방법.

청구항 6

제5항에 있어서,

상기 반응물 가스는, 알킬 아민 실란, 알킬 실란, 알콕시실란, 알킬 알콕시실록산, 알킬 실록산, 알콕시실록산,

알킬 알콕시실록산, 아릴 실란, 아실 실란, 아릴 실록산, 아실 실록산, 실라잔, 또는 이들의 조합을 포함하는, 방법.

청구항 7

제1항에 있어서,

상기 제1 층은 유전체 재료를 포함하고, 상기 제2 층은 금속을 포함하는, 방법.

청구항 8

제1항에 있어서,

상기 함입형 형상부는 비아 홀, 및 상기 비아홀 위의 트렌치를 포함하고, 상기 금속 층은 상기 전체 비아 홀보다 덜 충전되는, 방법.

청구항 9

제1항에 있어서,

상기 제2 층은 Ru 금속, Co 금속, W 금속으로 이루어진 그룹으로부터 선택되고, 상기 금속 층은 Cu 금속, Ru 금속, Co 금속, W 금속, 및 이들의 조합으로 이루어진 그룹으로부터 선택되는, 방법.

청구항 10

반도체 디바이스 형성 방법으로서,

제1 층에 형성된 함입형 형상부, 및 상기 함입형 형상부에서 노출되는 제2 층을 포함하는 패턴닝된 기판을 제공하는 단계;

초기 금속 층을 상기 함입형 형상부의 제2 층 상에 선택적으로 형성하는 단계;

그 후에, 핵 생성 증강 층을 상기 함입형 형상부의 제1 층의 측벽 상에 형성하는 단계; 및

기상 증착에 의해 금속 층을 상기 함입형 형상부에 증착시키는 단계로서, 상기 금속 층은 상기 초기 금속 층 상에 그리고 상기 핵 생성 증강 층 상에 증착되는, 단계

를 포함하는, 방법.

청구항 11

제10항에 있어서,

상기 초기 금속 층을 증착시키는 것은 금속 핵을 상기 제1 층의 측벽 상에 추가적으로 증착시키고, 상기 방법은 상기 금속 핵을 상기 측벽으로부터 제거하는 단계를 추가로 포함하는, 방법.

청구항 12

제11항에 있어서,

상기 금속 층을 증착시키는 단계 및 상기 금속 핵을 제거하는 단계를 적어도 1차례 반복하여 상기 함입형 형상부의 초기 금속 층의 두께를 증가시키는 단계를 추가로 포함하는, 방법.

청구항 13

제10항에 있어서,

상기 핵 생성 증강 층을 형성하는 단계는,

상기 패턴닝된 기판을 반응물 가스에 노출시켜 핵 생성 차단 층을 상기 측벽 상에 형성하는 단계;

상기 패턴닝된 기판을 플라즈마-여기된 H_2 가스로 처리하여 핵 생성 차단 층을 개질시키는 단계; 및

상기 패턴닝된 기판을 H_2O 증기에 노출시켜 히드록시기를 상기 개질된 핵 생성 차단 층에 부가하는 단계

를 포함하는, 방법.

청구항 14

제13항에 있어서,

상기 핵 생성 차단 층은 자가-조립 단일층(SAM)을 포함하는, 방법.

청구항 15

제13항에 있어서,

상기 반응물 가스는, 알킬 아민 실란, 알킬 실란, 알콕시실란, 알킬 알콕시실록산, 알킬 실록산, 알콕시실록산, 알킬 알콕시실록산, 아릴 실란, 아실 실란, 아릴 실록산, 아실 실록산, 실라잔, 또는 이들의 조합을 포함하는, 방법.

청구항 16

제10항에 있어서,

상기 핵 생성 증강 층을 형성하는 단계는,

상기 패터닝된 기판을 반응물 가스에 노출시켜 핵 생성 차단 층을 상기 측벽 상에 형성하는 단계; 및

상기 패터닝된 기판을 플라즈마-여기된 질소-함유 가스에 노출시켜 상기 핵 생성 차단 층을 개질시키는 단계를 포함하는, 방법.

청구항 17

제16항에 있어서,

상기 반응물 가스는, 알킬 아민 실란, 알킬 실란, 알콕시실란, 알킬 알콕시실록산, 알킬 실록산, 알콕시실록산, 알킬 알콕시실록산, 아릴 실란, 아실 실란, 아릴 실록산, 아실 실록산, 실라잔, 또는 이들의 조합을 포함하는, 방법.

청구항 18

제10항에 있어서,

상기 제1 층은 유전체 재료를 포함하고, 상기 제2 층은 금속을 포함하는, 방법.

청구항 19

제10항에 있어서,

상기 함입형 형상부는 비아 홀, 및 상기 비아홀 위의 트렌치를 포함하고, 상기 초기 금속 층은 상기 비아 홀을 부분적으로 충전하는, 방법.

청구항 20

반도체 디바이스 형성 방법으로서,

유전체 재료 내에 형성된 함입형 형상부, 및 상기 함입형 형상부에서 노출되는 제2 층을 포함하는 패터닝된 기판을 제공하는 단계;

접촉 금속을 상기 유전체 재료 상에 그리고 상기 제2 층 상에 증착시키는 단계로서, 상기 접촉 금속이 반응하여 상기 유전체 재료 상에서 금속 산화물 층을 형성하는, 단계;

상기 금속 산화물 층을 상기 함입형 형상부의 유전체 재료의 측벽으로부터 제거하는 단계;

핵 생성 증강 층을 상기 측벽 상에 형성하는 단계; 및

기상 증착에 의해 금속 층을 상기 함입형 형상부에 증착시키는 단계로서, 상기 금속 층은 상기 접촉 금속 상에 그리고 상기 핵 생성 증강 층 상에 증착되는, 단계를 포함하는, 방법.

청구항 21

제20항에 있어서,
상기 금속 층은 상기 함입형 형상부를 완전히 충전하는, 방법.

청구항 22

제20항에 있어서,
상기 접착 금속이 Ti 또는 Co를 포함하는, 방법.

청구항 23

제20항에 있어서,
상기 핵 생성 증강 층을 형성하는 단계는,
상기 패터닝된 기판을 반응물 가스에 노출시켜 핵 생성 차단 층을 상기 측벽 표면 상에 형성하는 단계; 및
상기 패터닝된 기판을 플라즈마-여기된 질소-함유 가스로 처리하여 상기 함입형 형상부의 제1 층의 측벽을 개질시키는 단계
를 포함하는, 방법.

청구항 24

제23항에 있어서,
상기 핵 생성 차단 층은 자가-조립 단일층(SAM)을 포함하는, 방법.

청구항 25

제23항에 있어서,
상기 반응물 가스는, 알킬 아민 실란, 알킬 실란, 알콕시실란, 알킬 알콕시실록산, 알킬 실록산, 알콕시실록산, 알킬 알콕시실록산, 아릴 실란, 아실 실란, 아릴 실록산, 아실 실록산, 실라잔, 또는 이들의 조합을 포함하는, 방법.

발명의 설명

기술 분야

- [0001] 관련 출원에 대한 상호 참조
- [0002] 본원은 2021년 3월 16일자로 출원된 미국 가특허출원 제63/161,909호에 대한 우선권 및 그 출원일의 이점을 주장하며, 그 전체 내용이 본원에 참조로 포함된다.
- [0003] 본 발명은 반도체 처리 및 반도체 디바이스에 관한 것으로서, 보다 구체적으로는, 반도체 디바이스의 함입형 형상부를 저-저항률 금속으로 충전하기 위한 방법에 관한 것이다.

배경 기술

- [0004] 반도체 디바이스는, 중간 유전체(ILD)와 같은 유전체 재료로 형성된 트렌치 및 비아(via)를 포함하는, 충전된 함입형 형상부(recessed feature)를 포함한다. 금속 화학 기상 증착(CVD) 중에, 유전체 재료 상의 금속 핵 생성은 일반적으로 불량하다. 이러한 문제는 금속 CVD 전에 1 내지 1.5 mm 두께의 TiN 또는 TaN과 같은 라이너를 함입형 형상부에 증착시켜 해결할 수 있다. 라이너는 양호한 핵 생성 표면 및 금속에 대한 양호한 접착력을 제공하지만, 라이너가 있으면 함입형 형상부에 증착될 수 있는 금속의 양이 줄어들고 또한, 함입형 형상부의 하단부에 고 전기 저항 층이 생긴다. 따라서, 라이너의 두께를 더 줄이거나 라이너를 사용할 필요가 없는, 함입형 형상부의 무-공극(void-free) 금속 충전을 위한 새로운 방법이 필요하다.

발명의 내용

해결하려는 과제

과제의 해결 수단

- [0005] 본 발명의 실시형태는 반도체 디바이스의 함입형 형상부를 저-저항률 금속으로 충전하는 방법을 설명한다. 일 실시형태에 따라, 방법은 제1 층에 형성된 함입형 형상부 및 함입형 형상부에서 노출되는 제2 층을 포함하는 패터닝된 기판을 제공하는 단계; 핵 생성 증강 층을 함입형 형상부의 제1 층의 측벽 상에 형성하는 단계; 및 기상 증착에 의해 금속 층을 함입형 형상부에 증착시키는 단계로서, 금속 층은 제2 층 및 핵 생성 증강 층 상에 증착되는, 단계를 포함한다.
- [0006] 다른 실시형태에 따라, 방법은 제1 층에 형성된 함입형 형상부 및 함입형 형상부에서 노출되는 제2 층을 포함하는 패터닝된 기판을 제공하는 단계; 초기 금속 층을 함입형 형상부의 제2 층 상에 선택적으로 형성하는 단계; 그 후에, 핵 생성 증강 층을 함입형 형상부의 제1 층의 측벽에 형성하는 단계; 및 기상 증착에 의해 금속 층을 함입형 형상부에 증착시키는 단계로서, 금속 층은 초기 금속 층 및 핵 생성 증강 층 상에 증착되는, 단계를 포함한다.
- [0007] 다른 실시형태에 따라, 방법은, 유전체 재료 내에 형성된 함입형 형상부 및 함입형 형상부에서 노출되는 제2 층을 포함하는 패터닝된 기판을 제공하는 단계; 접촉 금속을 유전체 재료 및 제2 층 상에 증착시키는 단계로서, 접촉 금속이 반응하여 유전체 재료 상에서 금속 산화물 층을 형성하는, 단계; 금속 산화물 층을 함입형 형상부의 유전체 재료의 측벽으로부터 제거하는 단계; 핵 생성 증강 층을 측벽 상에 형성하는 단계; 및 기상 증착에 의해 금속 층을 함입형 형상부에 증착시키는 단계로서, 금속 층은 접촉 층 및 핵 생성 증강 층 상에 증착되는, 단계를 포함한다.

도면의 간단한 설명

- [0008] 본 발명의 보다 완전한 이해 및 이의 수반되는 많은 이점은, 첨부된 도면과 관련하여 이루어지는 다음의 상세한 설명을 참조하여 더 잘 이해함으로써 용이하게 달성될 것이다.
- 도 1a 내지 도 1d는 본 발명의 실시형태에 따른, 함입형 형상부에서 금속을 형성하기 위한 방법을 개략적으로 도시한다.
- 도 2a 내지 도 2e는 본 발명의 실시형태에 따른, 함입형 형상부에서 금속을 형성하기 위한 방법을 개략적으로 도시한다.
- 도 3a 내지 도 3f는 본 발명의 실시형태에 따른, 함입형 형상부에서 금속을 형성하기 위한 방법을 개략적으로 도시한다.
- 도 4a 내지 도 4f는 본 발명의 실시형태에 따른, 함입형 형상부에서 금속을 형성하기 위한 방법을 개략적으로 도시한다.
- 도 5는 본 발명의 실시형태에 따른, 함입형 형상부의 Ru 금속 충전에 관한 투과 전자 현미경(TEM) 이미지를 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0009] 본 발명의 실시형태는 저-저항률 금속을 반도체 디바이스의 함입형 형상부에 증착시키는 방법을 설명한다. 함입형 형상부는 반도체 디바이스에서 볼 수 있는 단순한 그리고 복잡한 형상부, 예를 들어 비아, 트렌치, 및 이들의 조합을 포함할 수 있다. 방법은 금속 충전에서 공극을 형성하지 않고는 충전하기가 어려운 미세 함입형 형상부의 양호한 무-공극 금속 충전을 제공한다. 방법은 저-저항률 금속으로 함입형 형상부를 부분적으로 또는 완전히 충전하기 위해서 사용될 수 있다. 증착되는 저-저항률 금속은 예를 들어 Ru 금속, Co 금속, W 금속, 또는 이들의 조합을 포함할 수 있다. 그러나, 다른 금속도 이용될 수 있다.
- [0010] 도 1a 내지 도 1d는 본 발명의 실시형태에 따른, 함입형 형상부에서 금속을 형성하기 위한 방법을 개략적으로 도시한다. 패터닝된 기판(1)은 제1 층(100)에 형성된 함입형 형상부(110)(예를 들어, 비아 홀) 주위에서 필드 영역(101)을 포함한다. 일 예에서, 함입형 형상부(110)는 증착 패터닝 마스크(미도시)를 이용한 이방성 건식 에칭에 의해서 형성될 수 있다. 함입형 형상부(110)는 측벽(103), 및 함입형 형상부(110)의 하단부에 위치되는 노

출 표면(104)을 가지는 제2 층(102)을 포함한다. 패터닝된 기판(1)은 에칭 정지 층(109)을 추가로 포함한다.

[0011] 일 실시형태에 따라, 제1 층(100)은 유전체 재료를 포함하고, 제2 층(102)은 금속 층을 포함한다. 유전체 재료는 예를 들어, SiO_2 , SiN , SiCO , SiCN , 저-유전 상수(저-k) 재료, 예를 들어 불소화 규소 유리(FSG), 탄소 도핑된 산화물, 폴리머, SiCOH -함유 저-k 재료, 비-다공성 저-k 재료, 다공성 저-k 재료, CVD 저-k 재료, 스핀-온 유전체(SOD) 저-k 재료, 또는 고-유전 상수(고-k) 재료를 포함하는 임의의 다른 적합한 유전체 재료를 포함할 수 있다. 일부 예에서, 함입형 형상부(110)의 폭(임계 치수(CD))은 약 10 nm 내지 약 100 nm, 약 10 nm 내지 약 20 nm, 약 20 nm 내지 약 90 nm, 또는 약 40 nm 내지 약 80 nm일 수 있다. 일부 예에서, 함입형 형상부(110)의 깊이는 약 40 nm 내지 약 200 nm, 또는 약 50 nm 내지 약 150 nm일 수 있다. 그러나, 방법은 또한 더 작거나 더 큰 CD를 갖는 함입형 형상부를 무-공극 금속 충전하기 위해서 이용될 수 있다. 일부 예에서, 그리고 함입형 형상부(110)는 약 2 내지 약 20 또는 약 4 내지 약 6의 종횡비(깊이/폭)를 가질 수 있다. 제2 층(102)은 Cu 금속, Ru 금속, Co 금속, W 금속, 또는 이들의 조합과 같은 저-저항률 금속을 포함할 수 있다. 일 예에서, 제2 층(102)은 둘 이상의 적층된 금속 층을 포함할 수 있다. 적층된 금속 층의 예는, Cu 금속 상의 Co 금속(Co/Cu), 및 Cu 금속 상의 Ru 금속(Ru/Cu)을 포함한다. 일 예에서, 제1 층(100)은 SiO_2 를 포함하고, 제2 층(102)은, 반도체 디바이스의 MOL(middle-of-line) 영역에서 일반적으로 볼 수 있는 구조물인, W 금속 층을 포함한다.

[0012] 일 실시형태에 따라, 방법은, 제2 층(102)의 노출 표면(104)을 화학적으로 환원시키고 임의의 남아 있는 에칭 잔류물을 함입형 형상부(110)로부터 제거하기 위해서, 패터닝된 기판(1)을 H_2 -함유 가스에 노출시키는 세정 단계를 추가로 포함한다. 예를 들어, H_2 -함유 가스는 H_2 가스로 구성될 수 있거나, H_2 가스 및 Ar 가스를 포함할 수 있다. 세정 단계는 H_2 -함유 가스의 플라즈마 여기와 함께 또는 플라즈마 여기없이 수행될 수 있다. 일 예에서, 세정 단계는 패터닝된 기판(1)을 약 250°C 내지 약 400°C의 기판 온도, 약 250 mTorr 내지 약 7 Torr의 가스 압력에서 약 30초 내지 약 60초의 시간 동안 H_2 가스 및 Ar 가스에 노출시키는 단계를 포함한다. 일부 예에서, 제2 층(102)은 Cu 금속 또는 W 금속을 포함하고, 세정 단계는 CuO_x 또는 WO_x 표면 종(surface species)을 상용하는 원소 금속으로 화학적으로 환원시키고, 그에 따라 최종 소자에서 전기 저항을 감소시킨다.

[0013] 방법은 핵 생성 증강 층을 패터닝된 기판(1) 상에 형성하는 단계를 추가로 포함한다. 핵 생성 증강 층은 측벽(103) 및 제1 층(100)의 필드 영역(101) 상에서의 양호하지 못한 성장 표면을 기상 증착에 의해 후속 금속 증착을 위한 양호한 성장의 표면으로 변환한다. 이는, 금속 증착이 핵 생성 증강 층 및 함입형 형상부(110)의 제2 층(102) 모두에서 효과적으로 진행되는 효과를 갖는다. 이는 함입형 형상부(110)의 무-공극 금속 충전을 가능하게 한다. 핵 생성 증강 층은 통상적인 TiN 및 TaN의 증착된 라이너보다 얇고, 그에 따라 핵 생성 증강 층을 이용할 때, 함입형 형상부에 증착될 수 있는 금속의 양이 더 많아진다. 또한, 라이너가 없기 때문에 고 전기 저항 층이 함입형 형상부(110)의 하단부에 형성되는 것을 방지한다.

[0014] 일 실시형태에 따라, 핵 생성 증강 층은 먼저 핵 생성 차단 층을 형성하고, 그 후에 핵 생성 차단 층을 핵 생성 증강 층으로 변환함으로써 형성된다. 핵 생성 증강 층을 형성하는 것은 패터닝된 기판(1)을 반응물 가스로 처리하는 것을 포함할 수 있고, 이는 핵 생성 차단 층(120)을 측벽(103) 상에 그리고 제1 층(100)의 필드 영역(101) 상에 형성한다. 이러한 것이 도 1b에 개략적으로 도시되어 있다. 반응물 가스는, 제1 층(100) 상의 금속의 증착을 방해하지만 제2 층(102)은 개질시키지 않는 특성을 가지는 표면 개질제(surface modifier)를 포함한다.

[0015] 일 실시형태에 따라, 반응물 가스는, 기판 상에서 자가-조립 단일층(SAM)을 형성할 수 있는 분자를 포함한다. SAM은, 흡착에 의해서 기판 표면 상에서 자발적으로 형성되고 다소 큰 규칙적인 도메인(ordered domain)으로 조직화되는, 분자 조립체이다. SAM은, 헤드 그룹, 테일 그룹, 및 기능적 단부 그룹을 가지는 분자를 포함할 수 있고, SAM은 상온 또는 상온보다 높은 온도에서 기상으로부터 기판 상으로의 헤드 그룹(head group)의 화학흡착에 의해서, 그리고 그 후의 테일 그룹의 느린 조직화에 의해서 생성된다. 초기에, 표면 상의 낮은 분자 밀도에서, 흡착물 분자가 분자의 불규칙적인 덩어리를 형성하거나 규칙적인 2차원 "쌓이는 상(lying down phase)"을 형성하고, 더 큰 분자 커버리지가, 수 분 내지 수 시간의 기간에 걸쳐, 3차원 결정질 또는 반-결정질 구조물(semicrystalline structure)을 기판 표면 상에 형성한다. 헤드 그룹이 기판 상에서 함께 합쳐지는 반면, 테일 그룹은 기판으로부터 먼 곳에서 합쳐진다. 일 실시예에 따라, SAM을 형성하는 분자의 헤드 그룹은 티올, 실란 또는 포스포네이트를 포함할 수 있다. 실란의 예는, C, H, Cl, F, 및 Si 원자, 또는 C, H, Cl, 및 Si 원자를 포함하는 분자를 포함한다. 그러한 분자의 비제한적인 예는 퍼플루오로테실트리클로로실란($\text{CF}_3(\text{CF}_2)_7\text{CH}_2\text{CH}_2\text{SiCl}_3$),

퍼플루오로데칸티올($\text{CF}_3(\text{CF}_2)_7\text{CH}_2\text{CH}_2\text{SH}$), 클로로데실디메틸실란($\text{CH}_3(\text{CH}_2)_8\text{CH}_2\text{Si}(\text{CH}_3)_2\text{Cl}$), 및 삼차부틸(클로로)디메틸실란($(\text{CH}_3)_3\text{CSi}(\text{CH}_3)_2\text{Cl}$)을 포함한다.

[0016] 본 발명의 일부 실시형태에 따라, 반응물 가스는, 알킬 아민 실란, 알킬 실란, 알콕시실란, 알킬 알콕시실록산, 알킬 실록산, 알콕시실록산, 알킬 알콕시실록산, 아릴 실란, 아실 실란, 아릴 실록산, 아실 실록산, 실라잔, 또는 이들의 임의의 조합을 포함할 수 있다. 본 발명의 일부 실시형태에 따라, 반응물 가스는, 디메틸실란 디메틸아민(DMSDMA), 트리메틸실란 디메틸아민(TMSDMA), 비스(디메틸아미노) 디메틸실란(BDMADMS), 및 다른 알킬 아민 실란으로부터 선택될 수 있다. 다른 실시형태에 따라, 반응물 가스는, N,O 비스트리메틸실릴트리플루오르아세트아미드(BSTFA) 및 트리메틸실릴-피롤(TMS-피롤)로부터 선택될 수 있다.

[0017] 본 발명의 일부 실시형태에 따라, 반응물 가스는 실라잔 화합물을 포함할 수 있다. 실라잔은 포화 규소-질소 수소화물이다. 이들은 $-\text{O}-$ 를 치환하는 $-\text{NH}-$ 를 갖는 실록산과 구조가 유사하다. 유기 실라잔 전구체는, Si 원자(들)에 결합된 적어도 하나의 알킬기를 추가로 포함할 수 있다. 알킬기는 예를 들어, 메틸기, 에틸기, 프로필기, 또는 부틸기, 또는 이들의 조합일 수 있다. 또한, 알킬기는 페닐기와 같은 고리모양 탄화수소기일 수 있다. 또한, 알킬기는 비닐기일 수 있다. 디실라잔은 규소 원자에 부착된 1개 내지 6개의 메틸기를 갖거나 규소 원자에 부착된 1개 내지 6개 에틸기를 갖는 화합물, 또는 규소 원자에 부착된 메틸기 및 에틸기의 조합을 갖는 디실라잔 분자이다. 디실라잔의 예는 헥사메틸디실라잔(HMDS) 및 트리메틸디실라잔(TMDS)을 포함한다.

[0018] 일 예에서, 제1 층(100)은 SiO_2 층을 포함하고, TMSDMA를 함유하는 반응물 가스는 SiO_2 층 상의 친수성 히드록시기($-\text{OH}$)와 반응하여 SiO_2 층 상의 소수성 $-\text{SiMe}_3$ 기를 포함하는 핵 생성 차단 층(120)을 형성한다.

[0019] 이러한 방법은 플라즈마-여기된 H_2 가스로 패터닝된 기판(1)을 처리하여 핵 생성 차단 층(120)을 개질시키는 단계를 추가로 포함한다. 일 예에서, H_2 가스는 Ar 가스를 추가로 포함할 수 있다. SiO_2 층상의 $-\text{SiMe}_3$ 기의 경우, 플라즈마-여기된 H_2 가스에 대한 노출이 Me기의 하나 이상을 제거하여, $-\text{SiMe}_x$ 기($x < 3$)에서 또는 그 부근에서 새로운 흡착 부위를 생성하는 것으로 생각된다.

[0020] 그 후에, 이 방법은 H_2O 증기로 패터닝된 기판(1)을 처리하여 히드록시기($-\text{OH}$)를 개질된 핵 생성 차단 층에 부가하는 단계를 추가로 포함한다. 이는 도 1c에 개략적으로 도시된 핵 생성 증강 층(122)을 생성한다. 일 예에서, H_2O 증기 노출은 약 160°C 의 기판 온도에서 수행될 수 있다. SiO_2 층 상의 $-\text{SiMe}_x$ 기의 경우, H_2O 증기에 대한 노출은 $-\text{SiCOH}$ 또는 $-\text{SiCOOH}$ 표면 종을 SiO_2 층 상에서 형성하는 것으로 생각된다.

[0021] H_2O 증기 노출 후에, H^* -라디칼 세정 단계를 선택적으로 수행하여 잔류 H_2O 를 패터닝된 기판(1) 및 공정 챔버로부터 제거할 수 있다. 일 예에서, 세정 단계는 약 400°C 의 기판 온도에서 수행될 수 있다.

[0022] 다시 도 1b 및 도 1c를 참조하면, 다른 실시형태에 따라, 핵 생성 증강 층(122)은 플라즈마-여기된 질소-함유 가스로 핵 생성 차단 층(120)을 처리하여 함입형 형상부(110)의 제1 층(100)의 측벽(103)을 개질함으로써 형성될 수 있다. 질소-함유 가스의 비제한적인 예는 NH_3 가스, N_2 가스, 또는 N_2 가스 및 H_2 가스를 포함한다. 질소-함유 가스는 Ar과 같이 화학적으로 불활성인 가스를 추가로 포함할 수 있다.

[0023] 핵 생성 증강 층(122)을 형성한 후에, 방법은 기상 증착에 의해 금속 층(106)을 함입형 형상부(110)에 증착시키는 단계를 추가로 포함하고, 금속 층(106)은 제2 층(102) 상에 그리고 핵 생성 증강 층(122) 상에 증착된다. 일 실시형태에 따라, 도 1d에 개략적으로 도시된 바와 같이, 함입형 형상부(110)는 금속 층(106)에 의해서 공극없이 완전히 충전될 수 있다. 일 예에서, 필드 영역(101) 상의 과적재된 금속은 에칭 또는 화학적 기계적 폴리싱(CMP)에 의해서 제거될 수 있다.

[0024] 예를 들어, 금속 층(106)은 Ru 금속, Co 금속, 및 W 금속으로 이루어진 그룹으로부터 선택될 수 있다. 본 발명의 일 실시형태에 따라, Ru 금속은 CVD 또는 원자 층 증착(ALD)에 의해 증착될 수 있다. Ru-함유 전구체의 예는, 트리루테늄 도데카카보닐($\text{Ru}_3(\text{CO})_{12}$), (2,4-디메틸펜타디에닐) (에틸시클로펜타디에닐) 루테늄($\text{Ru}(\text{DMPD})(\text{EtCp})$), 비스(2,4-디메틸펜타디에닐) 루테늄($\text{Ru}(\text{DMPD})_2$), 4-디메틸펜타디에닐(메틸시클로펜타디에닐) 루테늄($\text{Ru}(\text{DMPD})(\text{MeCp})$), 및 비스(에틸시클로펜타디에닐) 루테늄($\text{Ru}(\text{EtCp})_2$)뿐만 아니라, 이들의 조합 및 다른 Ru 전구체를 포함한다.

- [0025] 일 예에서, Ru 금속은 약 120℃ 내지 약 250℃ 사이의 기판 온도, 약 5 mTorr 내지 약 500 mTorr 사이의 가스 압력, 및 약 100초 내지 약 1000초 사이의 가스 노출 시간에서 CO 캐리어 가스 내의 $\text{Ru}_3(\text{CO})_{12}$ 전구체를 사용하여 CVD에 의해 증착될 수 있다.
- [0026] 도 5는 본 발명의 실시형태에 따른, 함입형 형상부의 Ru 금속 층전에 관한 TEM 이미지를 도시한다. 함입형 형상부는 유전체 재료(500)에 형성되었고, 상단부 부근에서 약 24.7 nm의 폭 및 금속 층(502) 위의 하단부 부근에서 약 11.5 nm의 폭을 갖는다. TMSDMA를 함유하는 반응물 가스를 사용하여 측벽 상에 그리고 필드 영역 상에 핵 생성 차단 층을 형성하였고, 핵 생성 증강 층은 핵 생성 차단 층을 플라즈마-여기된 H_2 가스에 노출시키고, 이어서 H_2O 증기에 노출시킴으로써 형성되었다. Ru 금속(506)은 약 155℃의 기판 온도, 약 20 mTorr의 가스 압력, 및 약 600초의 가스 노출 시간에서 CO 캐리어 가스 내의 $\text{Ru}_3(\text{CO})_{12}$ 전구체를 이용하여 CVD에 의해서 증착되었다.
- [0027] 도 2a 내지 도 2e는 본 발명의 실시형태에 따른, 함입형 형상부에서 금속을 형성하기 위한 방법을 개략적으로 도시한다. 도 1b의 패터닝된 기판(1)은 도 2a의 패터닝된 기판(2)으로 재현되었다. 패터닝된 기판(2)은 측벽(103) 상에서 그리고 제1 층(100)의 필드 영역(101) 상에서 핵 생성 차단 층(120)을 포함한다.
- [0028] 방법은 기상 증착에 의해 초기 금속 층(106a)을 패터닝된 기판(2) 상에 증착시키는 단계를 포함하고, 초기 금속 층(106a)은 함입형 형상부(110)의 제2 층(102) 상에 우선적으로 증착되고, 초기 금속 층(106a)은 함입형 형상부(110)를 완전히 충전하지 않는다. 도 2b에 개략적으로 도시된 바와 같이, 금속 증착은 제2 층(102)에 대해서 완전히 선택적(selective)이지 않을 수 있고, 금속 핵(107a)이 측벽(103) 상에 그리고 필드 영역(101) 상에 증착될 수 있다. 측벽(103) 및 필드 영역(101) 상의 적절한 핵 생성 부위의 부족으로 인해서, 금속 핵(107a)의 증착은 제2 층(102)에 비해서 시간 지연된다. 초기 금속 층(106a)과 달리, 금속 핵(107a)은 불연속적인 층을 형성할 수 있고, 여기에서 금속 핵(107a)의 증착된 금속의 총량은 초기 금속 층(106a)의 금속의 양보다 적다. 일 실시형태에 따라, 금속 핵(107a)이 측벽(103) 상에 그리고 필드 영역(101) 상에 형성되기 전에, 금속 증착이 중단될 수 있다.
- [0029] 방법은 금속 핵(107a)을 패터닝된 기판(2)으로부터 제거하여 초기 금속 층(106a)을 함입형 형상부(110)의 제2 층(102) 상에 선택적으로 형성하는 단계를 추가로 포함한다. 이러한 것이 도 2c에 개략적으로 도시되어 있다. 금속 핵이 너무 커지기 전에 그리고 효율적으로 제거하기가 더 어려워지기 전에, 금속 증착을 중단시키고 금속 핵(107a)의 제거를 수행하는 것이 바람직할 수 있다. 일 예에서, Ru 금속 핵(107a)은 오존(O_3) 함유 에칭 가스 및 캐리어 가스를 이용하는 에칭에 의해서 제거되었다. O_3 를 함유하는 에칭 가스에 대한 노출 후의 패터닝된 기판(2)의 분석은 제1 층(100)의 유전체 재료의 손상이 거의 없거나 전혀 없다는 것을 보여준다. O_3 함유 에칭 가스는 패터닝된 기판(2)을 포함하는 공정 챔버의 플라즈마 여기에 의해서 생성될 수 있거나, O_3 함유 에칭 가스는 오존 생성기를 이용하여 원격으로 생성될 수 있고 O_3 는 공정 챔버로 유동되고, 이러한 공정 챔버에서 패터닝된 기판(2)에 노출된다.
- [0030] 그 후에, 에칭 가스에 노출시켜 금속 핵(107a)을 제거한 후에, 패터닝된 기판(2)을 H_2 -함유 가스에 노출시켜 초기 금속 층(106a)의 노출 표면을 화학적으로 환원시키는 것을 포함하는, 열-처리 단계를 수행할 수 있다. 예를 들어, H_2 -함유 가스는 H_2 가스로 구성될 수 있거나, H_2 가스 및 Ar 가스를 포함할 수 있다. 선택적인 열-처리 단계는 H_2 -함유 가스의 플라즈마 여기와 함께 또는 플라즈마 여기없이 수행될 수 있다. 일 예에서, 열-처리 단계는 패터닝된 기판(2)을 약 300℃ 내지 약 350℃의 기판 온도, 약 250 mTorr 내지 약 7 Torr의 가스 압력에서 약 30초 내지 약 60초의 시간 동안 H_2 가스 및 Ar 가스에 노출시키는 것을 포함한다. 일 예에서, 초기 금속 층(106a)은 Ru 금속을 포함하고, 선택적인 제2 열-처리 단계는 임의의 RuO_x 표면 층을 상응하는 Ru 원소 금속으로 화학적으로 환원시킨다.
- [0031] 일 실시형태에 따라, 초기 금속 층(106a) 및 금속 핵(107)을 증착시키는 단계, 그리고 금속 핵(107a)을 제거하는 단계를 적어도 1차례 반복하여 함입형 형상부(110)의 초기 금속 층(106a)의 두께를 증가시킬 수 있다.
- [0032] 방법은 또한 플라즈마-여기된 H_2 가스로 패터닝된 기판(2)을 처리하여, 함입형 형상부(110)의 초기 금속 층(106a) 위의 측벽(103) 상의 핵 생성 차단 층(120)을 개질시키는 단계를 포함한다. 일 예에서, H_2 가스는 Ar 가스를 추가로 포함할 수 있다. 그 후에, 이 방법은 H_2O 증기로 패터닝된 기판(2)을 처리하여 히드록시기(-OH)를

개질된 핵 생성 차단 층에 부가하는 단계를 추가로 포함한다. 이는 함입형 형상부(110)의 초기 금속 층(106a) 위에서 핵 생성 증강 층(122)을 생성한다. 이러한 것이 도 2d에 개략적으로 도시되어 있다. SiO_2 층 상의 $-\text{SiMe}_x$ 기의 경우, H_2O 증기에 대한 노출은 $-\text{SiCOH}$ 또는 $-\text{SiCOOH}$ 종을 SiO_2 층 상에서 형성하는 것으로 생각된다.

[0033] H_2O 증기 노출 후에, H^+ -라디칼 세정 단계를 수행하여 잔류 H_2O 를 패터닝된 기관(2) 및 공정 챔버로부터 제거할 수 있다. 일 예에서, 세정 단계는 약 400°C 의 기관 온도에서 수행될 수 있다.

[0034] 방법은 기상 증착에 의해 금속 층(106b)을 함입형 형상부(110)에 증착시키는 단계를 추가로 포함하고, 금속 층(106b)은 초기 금속 층(106a) 상에 그리고 측벽(103) 상의 핵 생성 증강 층(122) 상에 증착된다. 일 실시형태에 따라, 도 2e에 도시된 바와 같이, 함입형 형상부(110)는 금속 층(106a 및 106b)에 의해서 완전히 충전될 수 있다. 일 예에서, 과적재된 금속은 에칭 또는 CMP에 의해서 제거될 수 있다.

[0035] 도 2a 내지 도 2e에 설명된 방법은, 도 1a 내지 도 1d에 설명된 방법보다 개선된, 좁은 고종횡비의 함입형 형상부의 무-공극 금속 충진을 제공할 수 있다. 이는, 함입형 형상부(110)의 체적의 일부가 금속 층(106a)으로 이미 충전된 후에 도 2d의 핵 생성 증강 층(122)이 측벽 표면(103) 상에 형성되고, 그에 따라 함입형 형상부(110)를 완전히 충전할 때 필요한 부가적인 금속의 양을 줄이고 공극의 가능성을 줄인다는 사실에 기인한다.

[0036] 도 3a 내지 도 3f는 본 발명의 다른 실시형태에 따른, 함입형 형상부에서 금속을 형성하기 위한 방법을 개략적으로 도시한다. 패터닝된 기관(3)은 도 1a의 패터닝된 기관(1)과 유사하나, 제1 층(300)에 형성된 함입형 형상부(310(예를 들어, 비아) 및 312(예를 들어, 트렌치))를 포함하는 함입형 형상부(314) 주위에서 필드 영역(301)을 포함하는 듀얼 다마신 구조물(dual damascene structure)을 포함한다. 함입형 형상부(312)는 측벽(303) 및 하단부(313)를 포함하고, 함입형 형상부(310)는 측벽(305), 및 노출 표면(304)을 갖는 제2 층(302)을 포함한다. 패터닝된 기관(3)은 에칭 정지 층(309)을 추가로 포함한다. 일 예에서, 제1 층(300)은 저-k 재료를 포함하고, 제2 층(302)은 Cu 금속 층을 포함한다. 이러한 구조는 반도체 디바이스의 백-엔드-오브-라인(BEOL) 영역에서 일반적으로 발견된다.

[0037] 방법은 패터닝된 기관(3)을 H_2 -함유 가스에 노출시켜 제2 층(302)의 노출 표면(304)을 화학적으로 환원시키는 세정 단계를 추가로 포함할 수 있다. 예를 들어, H_2 -함유 가스는 H_2 가스로 구성될 수 있거나, H_2 가스 및 Ar 가스를 포함할 수 있다. 세정 단계는 H_2 -함유 가스의 플라즈마 여기와 함께 또는 플라즈마 여기없이 수행될 수 있다. 일 예에서, 세정은 패터닝된 기관(3)을 약 250°C 내지 약 400°C 의 기관 온도, 약 250 mTorr 내지 약 7 Torr의 가스 압력에서 약 30초 내지 약 60초의 시간 동안 H_2 가스 및 Ar 가스에 노출시키는 것을 포함한다. 일부 예에서, 제2 층(302)은 Cu 금속 또는 W 금속을 포함하고, 세정 단계는 CuO_x 또는 WO_x 표면 종을 상응하는 원소 금속으로 화학적으로 환원시키고, 결과적으로 최종 소자에서 전기 저항을 감소시킨다.

[0038] 방법은 패터닝된 기관(3)을 반응물 가스로 처리하는 단계를 추가로 포함할 수 있고, 이는 핵 생성 차단 층(320)을 측벽(303 및 305), 하단부(313), 그리고 제1 층(300)의 필드 영역(301) 상에 형성한다. 이러한 것이 도 3b에 개략적으로 도시되어 있다. 핵 생성 차단 층의 형성은 도 1b를 참조하여 앞서 설명되어 있다.

[0039] 방법은 기상 증착에 의해 초기 금속 층(306a)을 패터닝된 기관(3) 상에 증착시키는 단계를 추가로 포함하고, 초기 금속 층(306a)은 함입형 형상부(310)의 제2 층(302) 상에 우선적으로 증착된다. 도 3c에 개략적으로 도시된 바와 같이, 금속 증착은 완전히 선택적이지 않을 수 있고, 금속 핵(307a)은 측벽(303 및 305) 상에, 하단부(313) 상에, 그리고 필드 영역(301) 상에 증착될 수 있다. 초기 금속 층(306a)과 달리, 금속 핵(307a)은 불연속적인 층을 형성할 수 있고, 여기에서 금속 핵(307a) 내의 금속의 총량은 초기 금속 층(306a) 내의 금속의 양보다 적다.

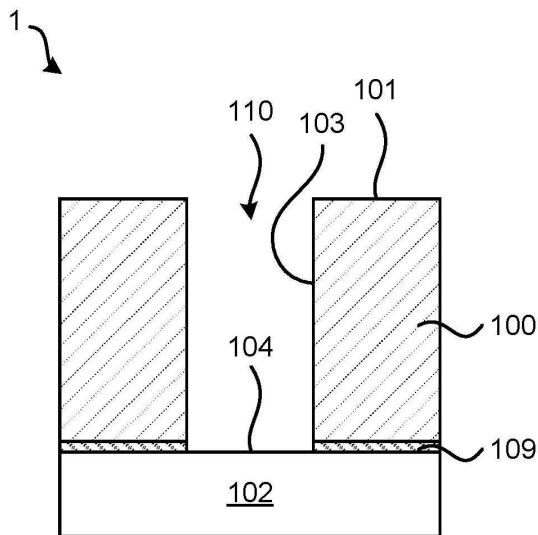
[0040] 방법은 금속 핵(307a)을 패터닝된 기관(3)으로부터 제거하여 초기 금속 층(306a)을 함입형 형상부(310)의 제2 층(302) 상에 선택적으로 형성하는 단계를 추가로 포함한다. 이러한 것이 도 3d에 개략적으로 도시되어 있다. 금속 핵이 너무 커지기 전에 그리고 효율적으로 제거하기가 더 어려워지기 전에, 금속 증착을 중단시키고 금속 핵(307a)의 제거를 수행하는 것이 바람직할 수 있다. 일 예에서, Ru 금속 핵(307a)은 오존(O_3) 및 캐리어 가스를 함유하는 에칭 가스를 이용하는 에칭에 의해서 제거되었다. O_3 함유 에칭 가스는 패터닝된 기관(3)을 포함하는 공정 챔버의 플라즈마 여기에 의해서 생성될 수 있거나, O_3 함유 에칭 가스는 오존 생성기를 이용하여 원격으로 생성될 수 있고 공정 챔버로 유동될 수 있으며, 이러한 공정 챔버에서 패터닝된 기관(3)에 노출된다.

- [0041] 그 후에, 에칭 가스에 노출시켜 금속 핵(307a)을 이동시킨 후, 패터닝된 기판(3)을 H₂-함유 가스에 노출시켜 초기 금속 층(306a)의 노출 표면을 화학적으로 환원시키는 것을 포함하는, 열-처리 단계를 수행할 수 있다. 예를 들어, H₂-함유 가스는 H₂ 가스로 구성될 수 있거나, H₂ 가스 및 Ar 가스를 포함할 수 있다. 선택적인 열-처리 단계는 H₂-함유 가스의 플라즈마 여기와 함께 또는 플라즈마 여기없이 수행될 수 있다. 일 예에서, 세정은 패터닝된 기판(3)을 약 300℃ 내지 약 350℃의 기판 온도, 약 250 mTorr 내지 약 7 Torr의 가스 압력에서 약 30초 내지 약 60초의 시간 동안 H₂ 가스 및 Ar 가스에 노출시키는 것을 포함한다. 일 예에서, 초기 금속 층(306a)은 Ru 금속을 포함하고, 선택적인 제2 열-처리 단계는 임의의 RuO_x 표면 층을 상응하는 Ru 원소 금속으로 화학적으로 환원시킨다.
- [0042] 일 실시형태에 따라, 금속 층을 증착시키는 단계 및 금속 핵을 제거하는 단계를 적어도 1차례 반복하여 함입형 형상부(310)의 초기 금속 층(306a)의 두께를 증가시킬 수 있다. 일 예에서, 금속 층을 증착시키는 단계 및 금속 핵을 제거하는 단계는 함입형 형상부(310)가 완전히 충전될 때까지 반복될 수 있다.
- [0043] 방법은 플라즈마-여기된 H₂ 가스로 패터닝된 기판(3)을 처리하여 함입형 형상부(110)의 초기 금속 층(306a) 위의 측벽(305) 상의, 측벽(303) 상의 그리고 함입형 형상부(312)의 하단부(313) 상의, 그리고 필드 영역(301) 상의 핵 생성 차단 층(320)을 개질시키는 단계를 추가로 포함한다. 그 후에, 이 방법은 H₂O 증기로 패터닝된 기판(3)을 처리하여 히드록시기(-OH)를 개질된 핵 생성 차단 층에 추가하는 단계를 추가로 포함한다. 이는, 도 3e에 개략적으로 도시된 바와 같이, 초기 금속 층(306a) 위에서 핵 생성 증강 층(322)을 생성한다. SiO₂ 층 상의 -SiMe_x기의 경우, H₂O 증기에 대한 노출은 -SiCOH 또는 -SiCOOH 층을 형성하는 것으로 생각된다.
- [0044] H₂O 증기 노출 후에, H^{*}-라디칼 세정 단계를 수행하여 잔류 H₂O를 패터닝된 기판(3) 및 공정 챔버로부터 제거할 수 있다. 일 예에서, 세정 단계는 약 400℃의 기판 온도에서 수행될 수 있다.
- [0045] 방법은 기상 증착에 의해 금속 층(306b)을 함입형 형상부(310)에 증착시키는 단계를 추가로 포함하고, 금속 층(306b)은 초기 금속 층(306a) 상에 그리고 핵 생성 증강 층(322) 상에 증착된다. 도 3f에 도시된 일 실시형태에 따라, 함입형 형상부(310 및 312)는 금속 층(306a 및 306b)으로 완전히 충전될 수 있다. 일 예에서, 과적재된 금속은 에칭 또는 CMP에 의해서 제거될 수 있다.
- [0046] 도 4a 내지 도 4f는 본 발명의 다른 실시형태에 따른, 함입형 형상부에서 금속을 형성하기 위한 방법을 개략적으로 도시한다. 도 4a에서, 패터닝된 기판(4)은 제1 층(400)에 형성된 함입형 형상부(410) 주위에서 필드 영역(401)을 포함한다. 함입형 형상부(410)는 측벽(403), 및 함입형 형상부(410)의 하단부에 위치되는 제2 층(402)을 포함한다. 제2 층(402)은 산화물 층(415)을 그 위에서 포함한다. 일 예에서, 제1 층(300)은 저-k 재료를 포함하고, 제2 층(402)은 에피텍셜 Si 또는 SiGe 층을 포함하고, 산화물 층(415)은 SiO_x 또는 SiGeO_x를 포함한다.
- [0047] 방법은, 산화물 층(415)을 제거하는 화학적 산화물 제거(COR)를 수행하는 것을 포함하는 세정 단계를 포함한다. 산화물 제거는, 도 4b에 개략적으로 도시된 바와 같이, 제2 층(402) 상에서 깨끗한 표면(404)을 생성한다. 일 예에서, COR은 NH₃ 및 HF의 기체 노출, 이어서 휘발성 반응 부산물을 패터닝된 기판(4)으로부터 제거하는 열-처리를 포함한다.
- [0048] 방법은 접촉 금속을 패터닝된 기판(4) 상에 등각적으로(conformally) 증착시키는 단계를 추가로 포함한다. 예를 들어, 접촉 금속은 티타늄(Ti) 금속 또는 코발트(Co) 금속을 포함할 수 있다. Ti 금속의 예에서, Ti 금속은 제1 층(400)의 표면 상의 산소와 반응하여 TiO_x 층(423)을 측벽(403) 상에 그리고 필드 영역(401) 상에 형성하나, Ti 금속 층(425)은 깨끗한 표면(404) 상에 증착된다. 이러한 것이 도 4c에 개략적으로 도시되어 있다. 일 예에서, Ti 금속 층은 플라즈마-증강 CVD에 의해서 증착될 수 있다.
- [0049] 그 후에, 방법은 건식 에칭 공정에 의해 TiO_x 층(423)을 측벽(403) 및 필드 영역(401)으로부터 선택적으로 제거하는 단계를 추가로 포함한다. 이러한 것이 도 4d에 개략적으로 도시되어 있다.
- [0050] 그 후에, 플라즈마-여기된 질소-함유 가스로 패터닝된 기판(4)을 처리하여 측벽(403) 및 필드 영역(401)을 개질함으로써, 핵 생성 증강 층(427)이 형성된다. 질소-함유 가스의 비제한적인 예는 NH₃ 가스, N₂ 가스, 또는 N₂ 가스 및 H₂ 가스를 포함한다. 질소-함유 가스는 Ar과 같이 화학적으로 불활성인 가스를 추가로 포함할 수 있다.

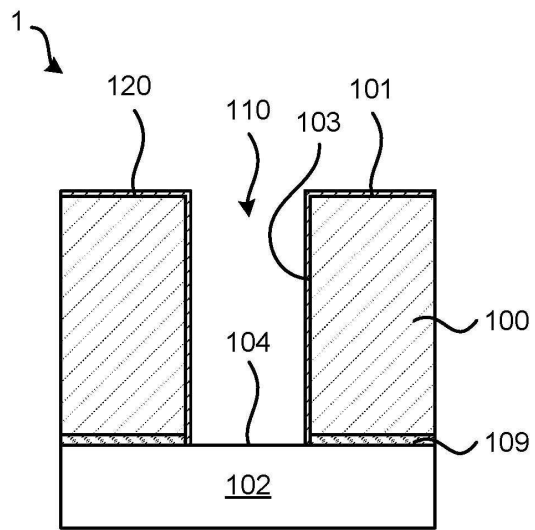
- [0051] 다른 실시형태에 따라, 핵 생성 증강 층(427)은 도 1c의 핵 생성 증강 층(122)을 참조하여 전술한 바와 같이 형성될 수 있다.
- [0052] 방법은 기상 증착에 의해 금속 층(406)을 함입형 형상부(410)에 증착시키는 단계를 추가로 포함하고, 금속 층(406)은 Ti 금속 층(425) 상에 그리고 핵 생성 증강 층(427) 상에 증착된다. 일 실시형태에 따라, 도 4f에 개략적으로 도시된 바와 같이, 함입형 형상부(410)는 금속 층(406)에 의해서 공극없이 완전히 충전될 수 있다. 일 예에서, 과적재된 금속은 에칭 또는 CMP에 의해서 제거될 수 있다.
- [0053] 반도체 디바이스 내의 함입형 형상부를 저-저항률 금속으로 충전하기 위한 방법이 여러 실시형태에서 개시되었다. 전술한 본 발명의 실시형태에 대한 설명은 예시 및 설명의 목적으로 제시되었다. 이러한 설명이 완전하다거나 본 발명을 개시된 구체적인 형태로 한정하려는 의도는 아니다. 이러한 설명 및 이하의 청구범위에는, 설명을 위한 목적으로만 사용되며, 제한적인 것으로 해석해서는 안 되는 용어가 포함되어 있다. 관련 기술분야의 당업자라면 위와 같은 교시를 고려하여 다수의 변형 및 변경이 가능하다는 것을 이해할 수 있을 것이다. 당업자라면 도면에 도시된 여러 구성 요소에 대한 등가의 다양한 조합 및 대체를 알 수 있을 것이다. 따라서, 본 발명의 범위는 이러한 상세한 설명에 의해서 제한되는 것이 아니라, 본원에 첨부된 청구범위에 의해 제한되는 것으로 의도된다.

도면

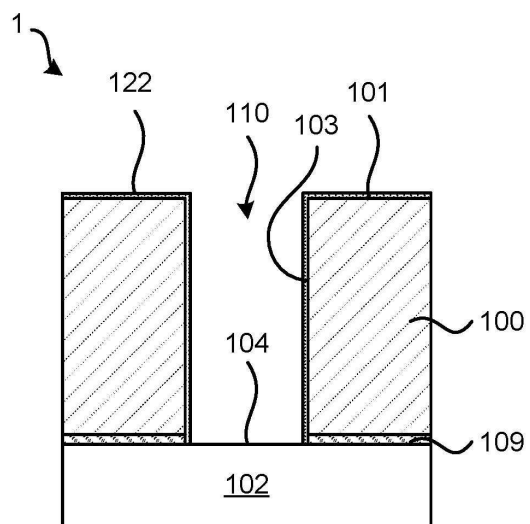
도면1a



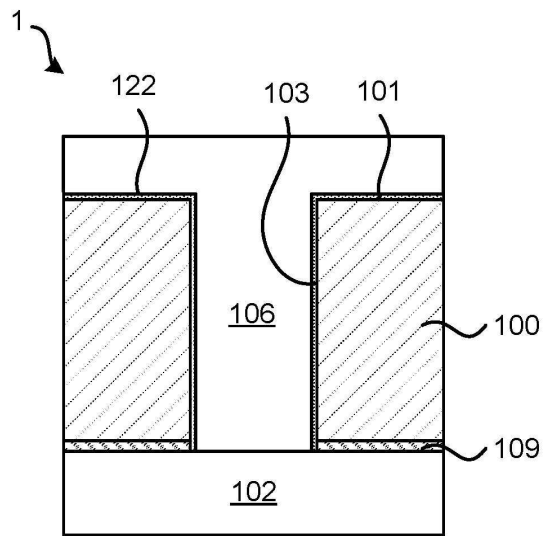
도면1b



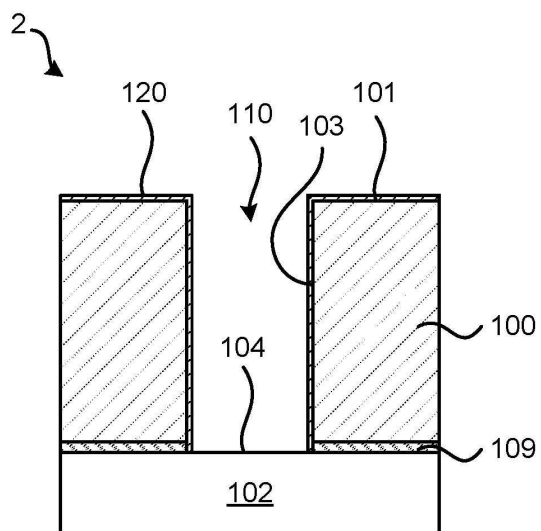
도면1c



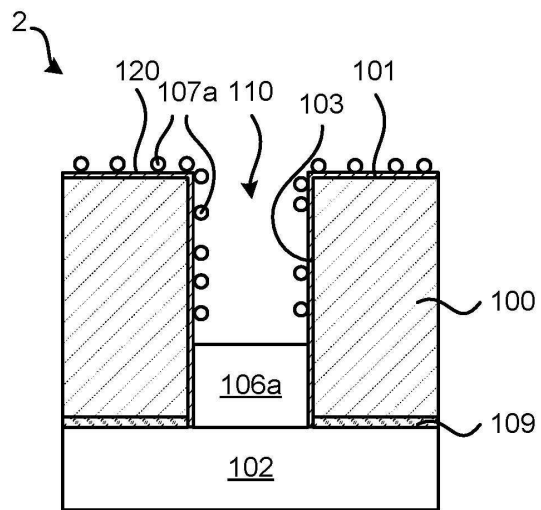
도면1d



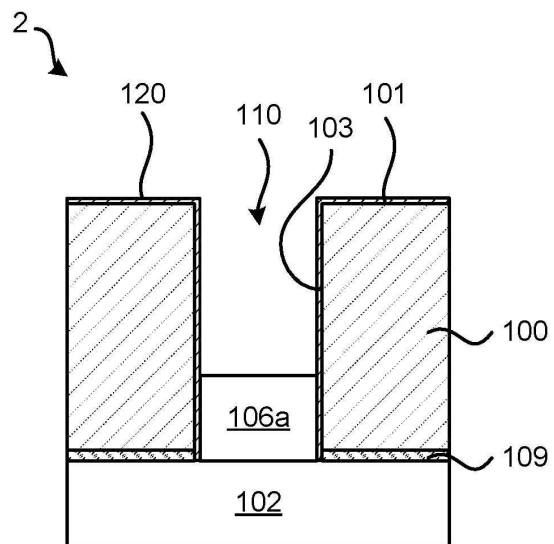
도면2a



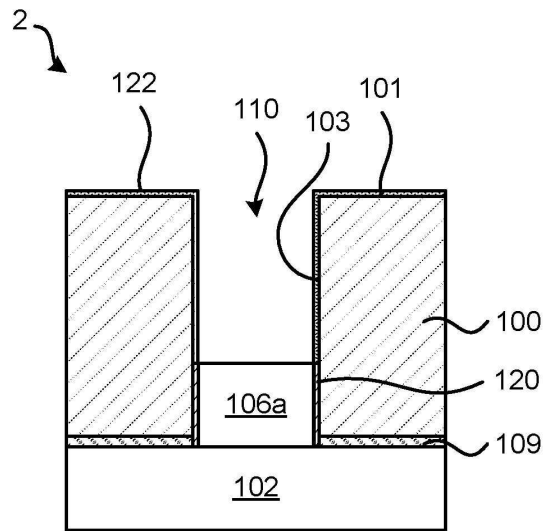
도면2b



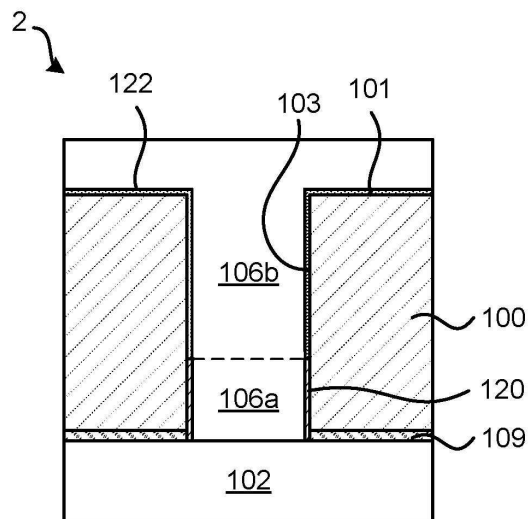
도면2c



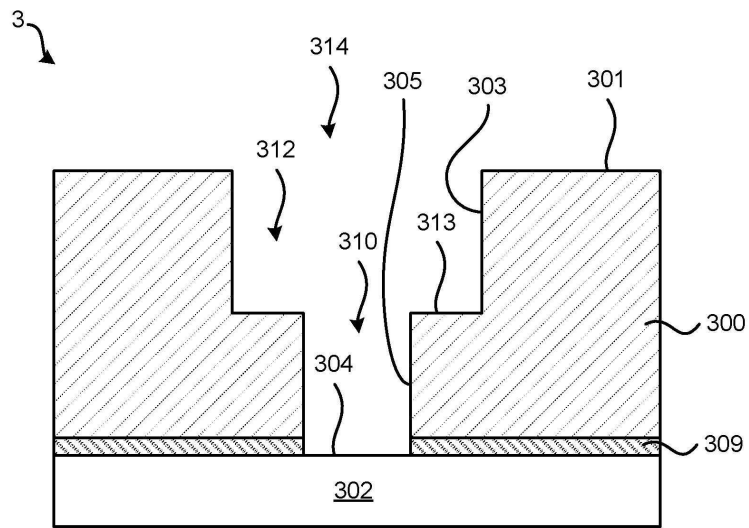
도면2d



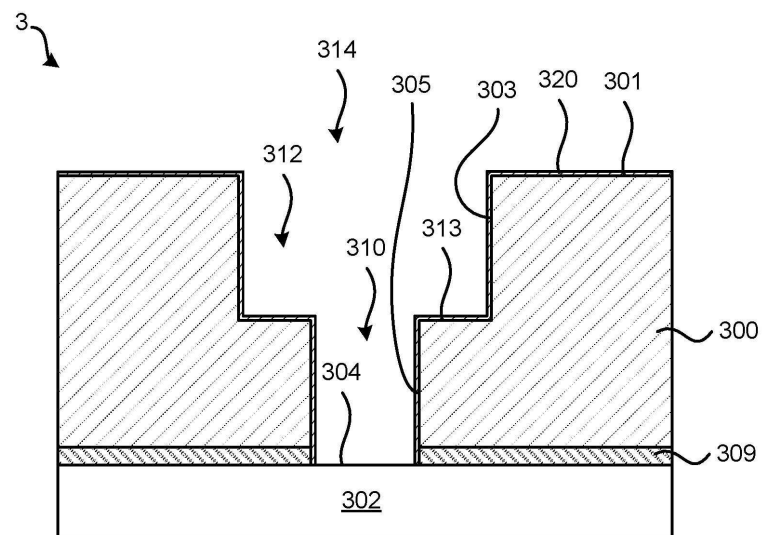
도면2e



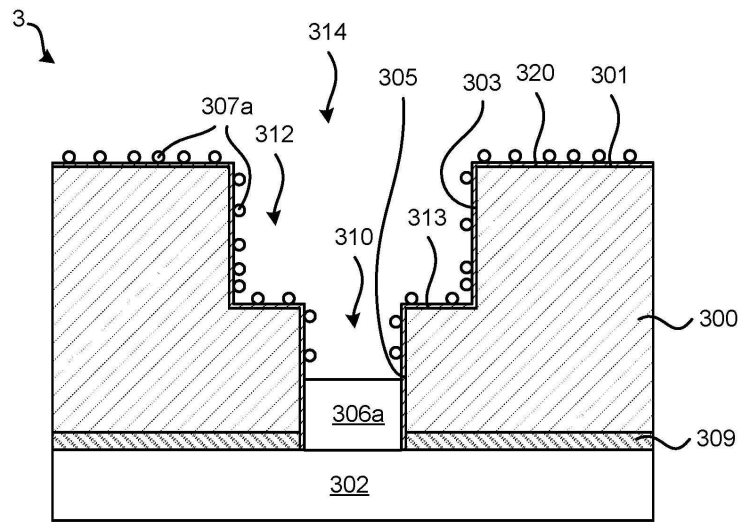
도면3a



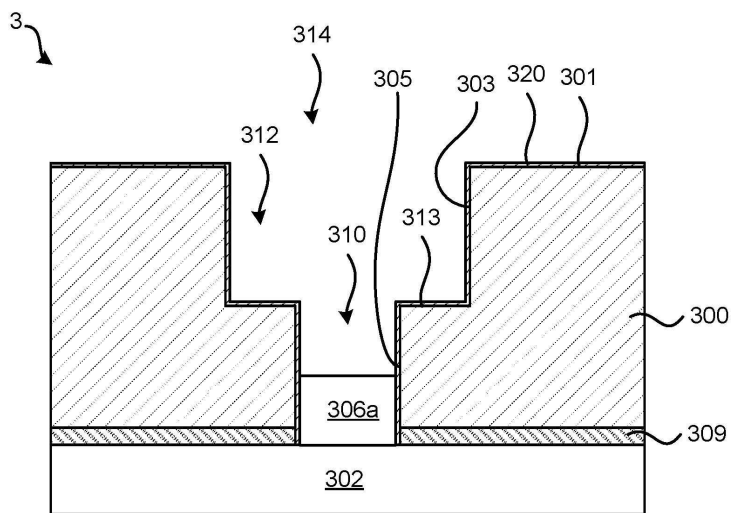
도면3b



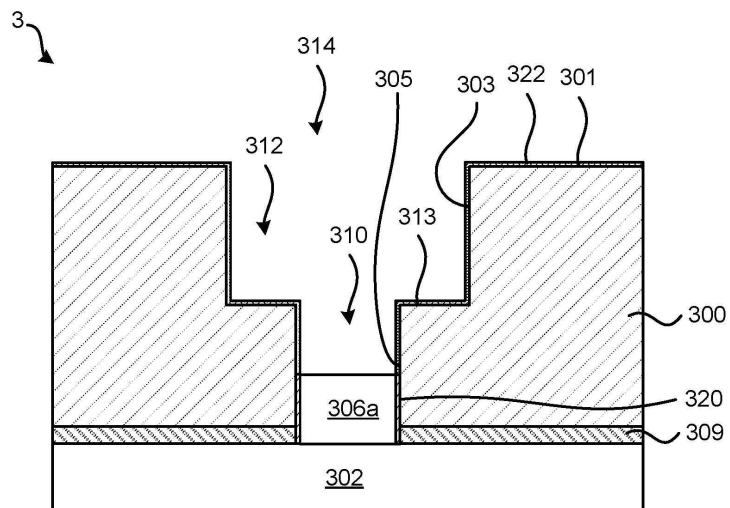
도면3c



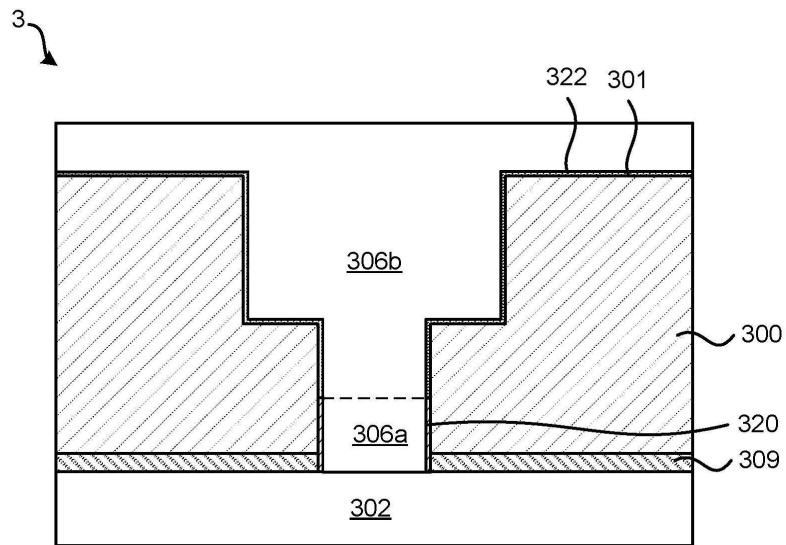
도면3d



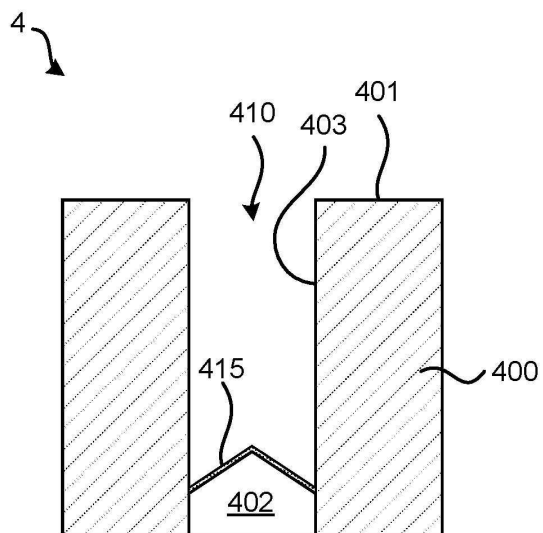
도면3e



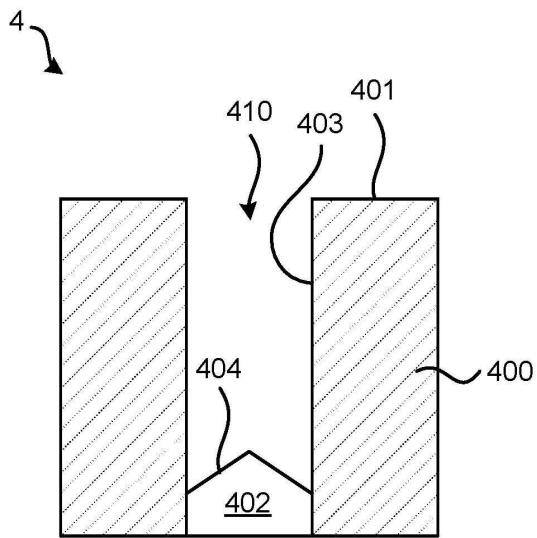
도면3f



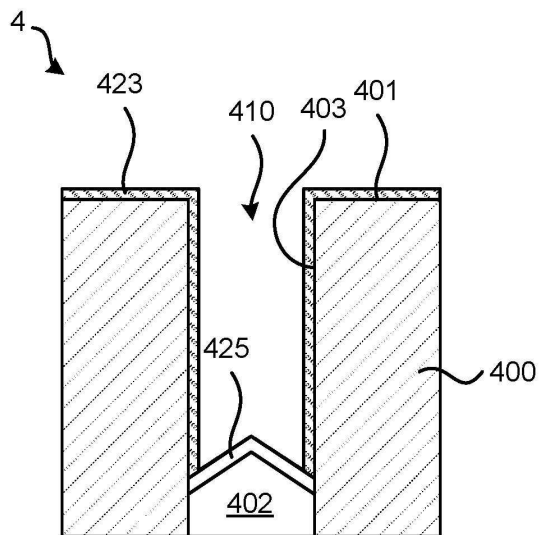
도면4a



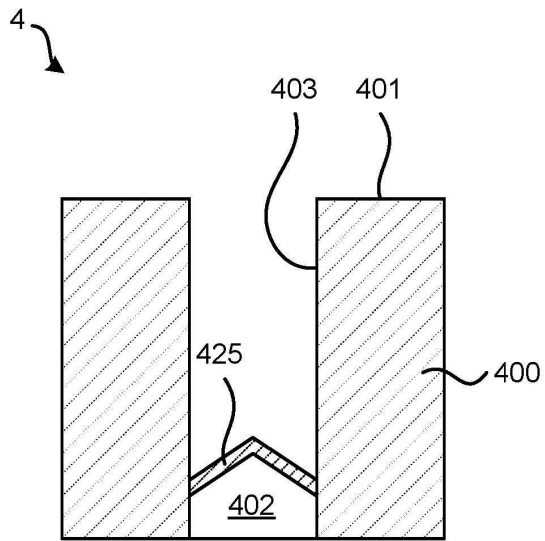
도면4b



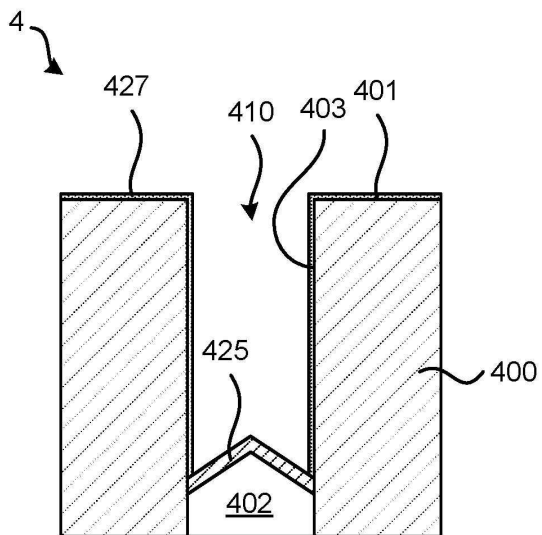
도면4c



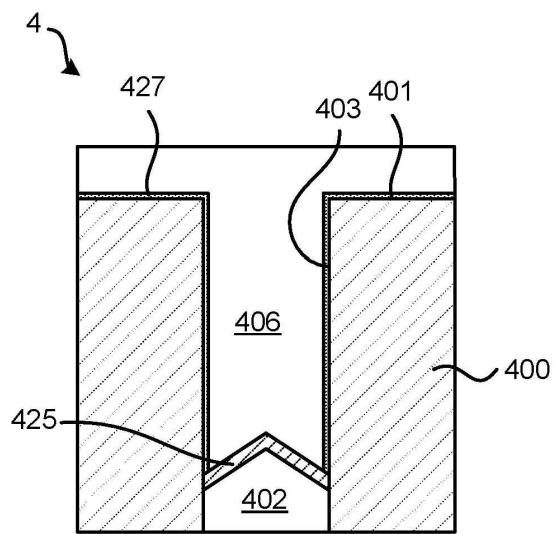
도면4d



도면4e



도면4f



도면5

