

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成23年9月22日(2011.9.22)

【公表番号】特表2010-536178(P2010-536178A)

【公表日】平成22年11月25日(2010.11.25)

【年通号数】公開・登録公報2010-047

【出願番号】特願2010-520232(P2010-520232)

【国際特許分類】

H 01 L 23/12 (2006.01)

H 01 L 25/065 (2006.01)

H 01 L 25/07 (2006.01)

H 01 L 25/18 (2006.01)

【F I】

H 01 L 23/12 501C

H 01 L 25/08 Z

【手続補正書】

【提出日】平成23年8月1日(2011.8.1)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体デバイスであって、

アクティブ面と前記アクティブ面の反対側の裏面とを有する半導体ダイと、

前記半導体ダイを封入する封入材であって、前記封入材は前面と前記前面と反対側の裏

面とを有し、前記半導体ダイの前記アクティブ面は概して前記封入材の前記前面と同一平

面にあり、前記半導体ダイの前記裏面は前記封入材に埋め込まれる、という封入材と、

前記封入材の前記前面上及び前記半導体ダイの前記アクティブ面上の導電性ラインと、

前記封入材の前記前面から前記封入材の前記裏面まで伸びる導電性ビアであって、前記

導電性ビアは前記導電性ラインと直接接触する、という導電性ビアと、を含む

ことを特徴とする半導体デバイス。

【請求項2】

請求項1に記載の半導体デバイスにおいて、

前記導電性ラインは、第1の導電性ラインであり、

前記半導体ダイは、さらに、前記半導体ダイの前記アクティブ面に、第1のボンドパッドと第2のボンドパッドとを含み、

前記第1のボンドパッドは、前記第1の導電性ラインと接触し、

前記半導体デバイスは、さらに、前記第2のボンドパッドと接触する第2の導電性ラインを含み、

前記導電性ビアは、第1の導電性ビアであり、

前記半導体デバイスは、さらに、前記封入材の前記前面から前記封入材の裏面まで伸びた第2の導電性ビアを含み、前記第2の導電性ビアは、前記第2の導電性ラインと直接接觸し、

前記第2の導電性ビアは、前記半導体ダイと前記第1の導電性ビアの両方から、横方向に間隔を空けて離れていて、

前記半導体デバイスは、さらに、前記第1の導電性ラインに取付けられた第1の半田ボ

ールと、前記第2の導電性ラインに取付けられた第2の半田ボールとを含むことを特徴とする半導体デバイス。

【請求項3】

請求項1に記載の半導体デバイスにおいて、

前記導電性ラインは、第1の導電性ラインであり、

前記半導体ダイは、第1のアクティブ面と第1の裏面とを有する第1の半導体ダイであり、

前記第1の半導体ダイは、前記第1の半導体ダイの前記第1のアクティブ面に第1のボンドパッドを含み、

前記第1のボンドパッドは、前記第1の導電性ラインと接触し、

前記半導体デバイスは、さらに、第2のアクティブ面と前記第2のアクティブ面と反対側の第2の裏面とを有する第2の半導体ダイを含み、前記第2の半導体ダイは、前記第1の半導体ダイから横方向に間隔を空けて離れていて、

前記第2の半導体ダイは、前記封入材によって封入され、その上、前記第2のアクティブ面が概して前記封入材の前記前面と同一平面にあり、

前記半導体ダイの前記第2の裏面は、前記封入材に埋め込まれ、

前記第2の半導体ダイは、前記第2の半導体ダイの前記第2のアクティブ面に第2のボンドパッドを含み、

前記半導体デバイスは、さらに、前記第2のボンドパッドと接触する第2の導電性ラインを含み、

前記導電性ビアは、第1の導電性ビアであり、

前記半導体デバイスは、さらに、前記封入材の前記前面から前記封入材の前記裏面まで伸びる第2の導電性ビアを含み、前記第2の導電性ビアは、前記第2の導電性ラインと直接接触し、

前記第2の導電性ビアは、前記第1及び前記第2の半導体ダイと前記第1の導電性ビアとから、横方向に間隔を空けて離れていて、

前記半導体デバイスは、さらに、前記第1の導電性ラインに取付けられた第1の半田ボールと、前記第2の導電性ラインに取付けられた第2の半田ボールとを含むことを特徴とする半導体デバイス。

【請求項4】

請求項1に記載の半導体デバイスにおいて、

前記導電性ビアは、前記半導体ダイから、横方向に間隔を空けて離れていることを特徴とする半導体デバイス。

【請求項5】

請求項1に記載の半導体デバイスにおいて、

前記導電性ビアは、第1の導電性ビアであり、

前記半導体デバイスは、さらに、前記封入材の前記前面から前記封入材の前記裏面まで伸びた第2の導電性ビアを含み、前記第2の導電性ビアは、前記半導体ダイ及び前記第1の導電性ビアから、横方向に間隔を空けて離れていることを特徴とする半導体デバイス。

【請求項6】

請求項1に記載の半導体デバイスにおいて、

前記導電性ラインは、第1の導電性ラインであり、

前記半導体ダイは、さらに、前記半導体ダイの前記アクティブ面に、第1のボンドパッドと第2のボンドパッドとを含み、

前記第1のボンドパッドは、前記第1の導電性ラインと接触し、

前記半導体デバイスは、さらに、前記第2のボンドパッドと接触する第2の導電性ラインを含み、

前記導電性ビアは、第1の導電性ビアであり、

前記半導体デバイスは、さらに、前記封入材の前記前面から前記封入材の前記裏面まで

伸びた第2の導電性ピアを含み、前記第2の導電性ピアは、前記第2の導電性ラインと直接接触していることを特徴とする半導体デバイス。

【請求項7】

請求項1に記載の半導体デバイスにおいて、さらに、
前記導電性ラインに取付けられた半田ボールを含むことを特徴とする半導体デバイス。

【請求項8】

請求項1に記載の半導体デバイスにおいて、
前記導電性ラインは、第1の導電性ラインであり、
前記半導体デバイスは、さらに、前記半導体ダイと接触する第2の導電性ラインを含み
前記半導体デバイスは、さらに、前記第1の導電性ラインに取付けられた第1の半田ボールと、前記第2の導電性ラインに取付けられた第2の半田ボールとを含むことを特徴とする半導体デバイス。

【請求項9】

請求項1に記載の半導体デバイスにおいて、
前記導電性ラインは、第1の導電性ラインであり、
前記半導体ダイは、さらに、前記半導体ダイの前記アクティブ面に、第1のボンドパッドと第2のボンドパッドとを含み、
前記第1のボンドパッドは、前記第1の導電性ラインと接触し、
前記半導体デバイスは、さらに、前記第2のボンドパッドと接触する第2の導電性ラインを含み、
前記半導体デバイスは、さらに、前記第1の導電性ラインに取付けられた第1の半田ボールと、前記第2の導電性ラインに取付けられた第2の半田ボールとを含むことを特徴とする半導体デバイス。

【請求項10】

半導体デバイスであって、
第1の半導体サブアセンブリと、
前記第1の半導体サブアセンブリに最も近い第2の半導体サブアセンブリであって、前記第1及び前記第2の半導体サブアセンブリが各々前側と後側を有し、その上、前記第1の半導体サブアセンブリの前記後側が前記第2の半導体サブアセンブリの前記前側と向かい合う、という第2の半導体サブアセンブリと、を含み、
前記第1及び前記第2のサブアセンブリが個々に、

封入材と、
前記封入材に埋め込まれた半導体ダイであって、前記半導体ダイは、概して前記第1または前記第2のサブアセンブリの前記前側と同一平面にあるアクティブ面と、前記封入材に埋め込まれた裏面とを有する、という半導体ダイと、

前記個々の第1及び第2のサブアセンブリの前記前側上及び前記半導体ダイの前記アクティブ面上の導電性ラインと、

前記第1または第2のサブアセンブリの前記前側から前記後側まで伸びる導電性ピアであって、前記導電性ピアが前記第1または第2のサブアセンブリの前記導電性ラインと直接接触する、という導電性ピアと、を有し、

前記第1及び第2の半導体サブアセンブリの両方の間で且つ両方に接触する導電性構造であって、前記導電性構造が前記第1及び前記第2のサブアセンブリの前記導電性ピアを電気的に接続する、という導電性構造を有することを特徴とする半導体デバイス。

【請求項11】

請求項10に記載の半導体デバイスにおいて、
前記導電性構造は、(1)前記第2のサブアセンブリの前記導電性ラインと(2)前記

第1のサブアセンブリの前記導電性ピアとの間で直接接触することを特徴とする半導体デバイス。

【請求項12】

請求項10に記載の半導体デバイスにおいて、
前記導電性構造は、(1)前記第2のサブアセンブリの前記導電性ラインと(2)前記第1のサブアセンブリの前記導電性ピアとの間で直接接触し、
前記半導体デバイスは、さらに、前記第1のサブアセンブリの前記導電性ラインに取付けられた半田ボールを含む
ことを特徴とする半導体デバイス。

【請求項13】

請求項10に記載の半導体デバイスにおいて、
前記第1のサブアセンブリの前記導電性ピアは、第1の端部と第2の端部を有し、
前記第1の端部は、前記第1のサブアセンブリの前記導電性ラインに近接し、
前記第2の端部は、前記導電性構造に近接する
ことを特徴とする半導体デバイス。

【請求項14】

請求項10に記載の半導体デバイスにおいて、
前記第1のサブアセンブリの前記導電性ピアは、第1の端部と第2の端部を有し、
前記第1の端部は、前記第1のサブアセンブリの前記導電性ラインに直接接触し、
前記第2の端部は、前記導電性構造に直接接触する
ことを特徴とする半導体デバイス。

【請求項15】

請求項10に記載の半導体デバイスにおいて、
前記第1のサブアセンブリの前記導電性ピアは、第1の端部と第2の端部を有し、
前記第1の端部は、前記第1のサブアセンブリの前記導電性ラインに直接接触し、
前記第2の端部は、前記導電性構造に直接接触し、
前記第2のサブアセンブリの前記導電性ラインもまた、前記導電性構造に直接接触する
ことを特徴とする半導体デバイス。

【請求項16】

請求項10に記載の半導体デバイスにおいて、
前記第1及び前記第2のサブアセンブリの前記導電性ピアは、個々に、第1の端部と第2の端部を有し、
前記第1のサブアセンブリの前記導電性ピアの前記第2の端部は、前記第2のサブアセンブリの前記導電性ピアの前記第1の端部に近接する
ことを特徴とする半導体デバイス。

【請求項17】

請求項10に記載の半導体デバイスにおいて、
前記第1及び前記第2のサブアセンブリの各々は、複数の集積回路ダイを含む
ことを特徴とする半導体デバイス。

【請求項18】

半導体デバイスの製造方法であって、
半導体ダイを封入材で前側と後側を有する半導体構造に封入する工程であって、前記半導体ダイは、概して前記前側と同一平面にあるアクティブ面と、前記封入材に埋め込まれた裏面とを有する、という工程と、
前記半導体構造の前記前側に導電性ラインを形成する工程と、
前記半導体構造の前記前側から前記後側まで伸びた導電性ピアを形成する工程であって、前記導電性ピアが前記導電性ラインと直接接触する、という工程と、を含む
ことを特徴とする方法。

【請求項19】

請求項18に記載の方法において、

前記半導体ダイを封入する工程は、

前記半導体ダイを犠牲構造に配置する工程であって、前記半導体ダイの前記前側が前記犠牲構造に接触する、という工程と、

前記犠牲構造に配置された前記半導体ダイを封入する工程と、

前記犠牲構造を取り除く工程と、

前記半導体ダイの前記前側を露出する工程と、を含む
ことを特徴とする方法。

【請求項 20】

請求項 18 に記載の方法において、

前記半導体ダイを封入する工程は、

複数の半導体ダイを前記封入材で封入する工程と、

前記封入された半導体ダイを単一化する工程と、を含む
ことを特徴とする方法。

【請求項 21】

請求項 18 に記載の方法において、

前記半導体ダイは、第 1 の半導体ダイであり、

前記方法は、さらに、前記第 1 の半導体ダイと第 2 の半導体ダイを犠牲構造上に配置する工程を含み、

前記半導体ダイを封入する工程は、

前記第 1 及び前記第 2 の半導体ダイの両方を前記封入材で封入しながら、前記第 1 及び前記第 2 の半導体ダイが前記犠牲構造上に置かれる、という工程と、

その後に、

前記第 1 及び前記第 2 の半導体ダイから前記犠牲構造を取り除く工程と、

前記封入された第 1 及び前記第 2 の半導体ダイを単一化する工程と、を含む
ことを特徴とする方法。

【請求項 22】

請求項 18 に記載の方法において、

前記半導体ダイは、第 1 の半導体ダイであり、

前記半導体構造は、第 1 の半導体構造であり、

前記方法は、さらに、前記第 1 の半導体ダイ及び第 2 の半導体ダイを犠牲構造上に配置する工程を含み、

前記半導体ダイを封入する工程は、

前記第 1 及び前記第 2 の半導体ダイの両方を前記封入材で封入しながら、前記第 1 及び前記第 2 の半導体ダイが前記犠牲構造上に置かれる、という工程と、

その後に、

前記第 1 及び前記第 2 の半導体ダイから前記犠牲構造を取り除く工程と、

前記封入された第 1 及び第 2 の半導体ダイを単一化して、前記第 1 の半導体構造及び第 2 の半導体構造を形成する工程と、

前記第 1 及び前記第 2 の半導体構造の間に導電性構造を配置する工程であって、前記導電性構造は、前記第 1 及び前記第 2 の半導体構造の前記導電性ピアを電気的に接続する、という工程と、を含む
ことを特徴とする方法。