

(19) 대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl. 6
H01L 27/10

(45) 공고일자 2001년11월22일
(11) 등록번호 10 - 0299563
(24) 등록일자 2001년06월11일

(21) 출원번호 10 - 1997 - 0028698
(22) 출원일자 1997년06월28일

(65) 공개번호 특1999 - 0004571
(43) 공개일자 1999년01월15일

(73) 특허권자 주식회사 하이닉스반도체
박종섭
경기 이천시 부발읍 아미리 산136 - 1

(72) 발명자 유용식
경기도 성남시 분당구 서현동 시범 한신APT 115 - 204

(74) 대리인 이정훈
이후동

심사관 : 김근모

(54) 반도체 소자의 캐패시터 제조방법

요약

본 발명은 반도체 소자의 캐패시터 제조방법에 관한 것으로, 특히 캐패시터 형성시 하부전극 상부에 강유전성 PZT 박막을 형성한 직후 냉각전에 RF 플라즈마를 끄고 그 온도구간에서 5 ~ 20분간 열처리를 하고, 분당 30℃ 이내로 냉각하여 PZT 박막의 미세구조를 기판의 수평방향으로 배향성을 갖는 입자를 수직방향의 입자보다 더 많이 가진 PZT 박막으로 변경함으로써, 강유전체 박막의 문제점인 피로도와 에이징을 개선시켜 캐패시터의 전기적 특성을 향상시킬 수 있는 반도체 소자의 캐패시터 제조 방법에 관한 것이다.

대표도
도 6

명세서

도면의 간단한 설명

제1도 내지 제10도는 본 발명의 방법에 따른 반도체 소자의 캐패시터 제조 공정단계를 도시한 단면도.

< 도면의 주요부분에 대한 부호의 설명 >

1 : 실리콘 기판 2 : 절연층

3 : 다결정실리콘 플러그 4 : Ti 또는 Ta 막

5 : TiN, TaN, TiSiN 또는 TaSiN 막 6 : Pt 또는 Ru/RuO₂ 막

7 : PZT 박막 8 : 규소 산화막

9 : Pt 또는 RuO₂ 막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 캐패시터 제조 방법에 관한 것으로, 특히 캐패시터 형성시 배향성 구조를 갖는 강유전체 박막을 만들어 강유전체 박막의 문제점인 피로도와 에이징을 개선시켜 캐패시터의 전기적 특성을 향상시킬 수 있는 반도체 소자의 캐패시터 제조 방법에 관한 것이다.

일반적으로 기가(Giga) 디램(DRAM) 시대의 캐패시터로서 강유전체 예컨데, (Pb,Zr)TiO₃ (이하 PZT라 정함)와 같은 강유전체 박막의 연구가 활발히 진행되고 있다. 이는 상온에서 유전상수가 수백에서 수천에 이르며 두개의 안정한 잔류분극(remanent polarization) 상태를 갖고 있어 이를 박막화하여 디램 메모리 소자로의 응용이 가능하기 때문이다.

PZT와 같은 강유전체 박막을 기존의 반도체 공정과 호환성을 갖고 신뢰성이 있는 소자로 응용되기에 충분한 양질의 박막을 증착하는 방법은 화학적 증착방법에 비해 실용화 측면에서 우위에 있는 물리적 증착방법이 많이 쓰이고 있다. 그 중에서도 라디오 프리퀀시 플라즈마 스퍼터링(RF Plasma Sputtering) 방법이 많이 시행되고 있다.

그러나 이러한 강유전성 박막은 같은 비율의 기판과 수직방향 또는 수평방향을 가진 입계와 분역벽을 가지므로 다성분계이며 불균일한 분역벽을 갖고 있어 전기장을 인가하여 분극의 방향을 바꿀 때 불균일한 분역벽에 의한 결함 쌍극자가 분극방향과 다른 방향을 갖게되어 역바이어스를 유발하고 분역벽의 이동을 방해하여 유전특성을 방해하기 때문에 상기 PZT 박막의 피로도와 에이징(Aging)에 의한 열화 현상이 증가되는 등 상기 PZT 박막의 메모리로서의 응용이 지연되는 데 가장 큰 요인으로 작용하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명은 상기한 문제점을 해결하기 위한 것으로, 강유전체 박막의 미세구조를 기판의 수직방향보다 수평방향을 가진 입계와 분역벽을 더 많이 갖도록 제어함으로써 강유전체 캐패시터의 특성을 향상시킴으로 반도체 소자의 신뢰도 및 수율을 향상시킬 수 있는 반도체 소자의 캐패시터 제조방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위해 본 발명에 따른 반도체 소자의 캐패시터 제조방법은,

하부기판상에 형성된 절연막의 소정부위에 하부기판과 캐패시터 사이의 수직배선 형성을 위한 콘택홀을 형성하는 단계와,

상기 콘택홀 내에 다결정실리콘을 증착하여 배선 플러그를 형성하는 단계와,

상기 배선 플러그를 포함한 절연막상에 금속확산 방지막, Pt 하부전극 및 소정 두께의 강유전성 PZT 박막을 순차적으로 형성하는 단계와,

상기 PZT 박막의 미세구조를 하부기판의 수직방향보다 수평방향으로 배향성을 갖는 입자를 더 많이 가진 PZT 박막으로 변경시키는 단계와,

상기 강유전성 PZT 박막 상부에 규소 산화막을 소정 두께로 증착하는 단계와,

포토 마스크 및 건식식각 공정을 통해 상기 규소 산화막을 부분식각하여 상기 PZT 박막의 상부면을 노출시키는 단계와,

전체구조 상부에 상부전극을 형성하는 단계로 이루어짐을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 반도체 소자의 캐패시터 제조방법에 대하여 상세히 설명을 하기로 한다.

도 1 내지 도 10은 본 발명의 기술에 따른 반도체 소자의 캐패시터 제조 공정 단계를 도시한 단면도이다.

도 1을 참조하면, 캐패시터가 위치할 절연막(2)의 소정부위에 하부기판(1)과 캐패시터 사이의 수직배선을 위하여 콘택홀(10)을 형성한다. 상기 콘택홀(10)이 형성된 상태에서 전체구조 상부에 화학기상 증착법(Cheical Vapor Deposition; 이하 CVD라 표기함)으로 다결정실리콘(3)을 500 Å - 3000 Å 두께로 증착한다. 그 후 상기 콘택홀(10) 내에 만 다결정실리콘(3)이 남아 있고 그 외의 부분에서는 완전히 제거되도록 전면식각을 한다.

도 2를 참조하면, 전체 기판 상부에 Ti 막(4)을 100 - 1000 Å 형성한다.

도 3을 참조하면, 전체 구조 상부에 TiN 막(5)을 200 - 2000 Å 두께로 증착한다.

도 4를 참조하면, 전체 구조 상부에 하부전극으로 Pt 막(6)을 1000 - 5000 Å 두께로 증착한다.

도 5를 참조하면, 하부 기판 전체 상부에 강유전성 PZT 박막(7)을 증착하되, 라디오 프리퀀시 플라즈마 스퍼터링(RF Plasma Sputtering)에 의해 300 - 700°C에서 100 - 3000 Å의 두께로 증착한다.

도 6을 참조하면, 상기 PZT 박막(7)을 형성한 직후 상기 PZT 박막(7)에 수평 방향의 배향성을 갖도록 RF 플라즈마를 켜고 그 온도 구간에서 5 - 20분간 열처리를 하고, 분당 30°C 이내로 냉각하여 PZT 박막(7)의 미세구조를 기판(1)과 수평방향으로 배향성을 갖는 입자를 PZT 박막(7)으로 바꿔준다.

즉, 도 6에서의 상기 기판(1)과 수직방향의 배향성을 갖는 입자와 상기 기판(1)과 수평방향의 배향성을 갖는 입자의 영역 크기 차이와 같이, 상기 PZT 박막(7)이 상기 기판(1)과 수직방향의 배향성을 갖는 입자들보다 상기 기판(1)과 수평방향의 배향성을 갖는 입자들을 더 많이 갖도록 하기 위한 것이다.

상기 기판(1)과 수평방향의 배향성을 갖는 입자들을 더 많이 갖도록 상기 PZT 박막(7)을 500 ~ 600°C에서 RF 플라즈마 스퍼터링(Sputtering)에서 증착한 후 즉시 RF 플라즈마를 켜고 그 온도구간에서 5 ~ 20분간 산소 열처리를 하고 쿨링챔버(Cooling Chamber)로 옮긴 후 진공 상태에서 냉각속도를 분당 30°C 이내로 느리게 냉각하여 상기 기판(1)과 수평방향의 배향성을 갖는 PZT 박막(7)을 형성한다.

도 7을 참조하면, 포토 마스크/건식식각 공정을 거쳐 PZT 박막(7), 하부전극(6), TiN 막(5), Ti 막(4)을 동시에 제거한다.

도 8을 참조하면, 전체구조 상부에 CVD 법에 의해 규소 산화막(8)을 소정두께로 형성한다.

도 9를 참조하면, 포토 마스크 및 건식식각 공정을 통해 상기 규소 산화막 (8)을 부분식각하여 상기 PZT 박막(7)의 상부면이 노출되게 한다.

도 10을 참조하면, 전체구조 상부에 상부전극으로 플라티늄(Pt)(9)을 500 - 2000 Å 두께로 증착한다.

한편, 상기 도 2와 도 3에 도시된 공정에서 사용된 Ti와 TiN 대신에 Ta와 TaN 또는 WN을 사용할 수도 있다.

또한, 상기 도 2와 도 3에서 도시된 공정에서 사용된 Ti와 TiN 대신에 Ti와 TiSiN 또는 Ta와 TaSiN을 사용할 수도 있다.

또한 상기 도 4에서 표시한 Pt 하부전극(6) 대신에 산소확산 방지막인 루테늄(Ru) 막을 100 - 1000 Å 두께로 증착한 후 전도성 산화물인 이산화 루테늄(RuO_2)을 500 - 5000 Å 두께로 증착할 수 있으며, 이 경우 상기 RuO_2 를 상부전극으로 사용할 수 있다.

발명의 효과

이상 상술한 바와 같이, 하부전극과 상부전극 사이에 기판의 수평방향으로 배향성을 갖는 입자들을 기판의 수직방향으로 배향성을 갖는 입자들보다 더 많이 가지는 PZT 박막을 형성하므로, 차지 트래핑(Charge trapping)에 의한 PZT 박막의 피로도와 에이징에 의한 열화현상을 방지하여 캐패시터의 전기적 특성을 개선시킴으로 반도체 소자의 제조수율 및 신뢰성을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

하부기판상에 형성된 절연막의 소정부위에 하부기판과 캐패시터 사이의 수직배선 형성을 위한 콘택홀을 형성하는 단계와, 상기 콘택홀 내에 다결정실리콘을 증착하여 배선 플러그를 형성하는 단계와, 상기 배선 플러그를 포함한 절연막상에 금속확산 방지막, Pt 하부전극 및 소정 두께의 강유전성 PZT 박막을 순차적으로 형성하는 단계와, 상기 PZT 박막의 미세구조를 하부기판의 수직방향보다 수평방향으로 배향성을 갖는 입자를 더 많이 가진 PZT 박막으로 변경시키는 단계와, 상기 강유전성 PZT 박막 상부에 규소 산화막을 소정 두께로 증착하는 단계와, 포토 마스크 및 건식식각 공정을 통해 상기 규소 산화막을 부분식각하여 상기 PZT 박막의 상부면을 노출시키는 단계와, 전체구조 상부에 상부전극을 형성하는 단계로 이루어짐을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 2.

제1항에 있어서, 상기 금속확산 방지막으로 Ti/TiN 막을 사용하고 그 두께는 300 - 3000 Å으로 하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 3.

제1항에 있어서, 상기 금속확산 방지막으로 Ta/TaN 막을 사용하고, 그 두께는 300 - 3000 Å으로 하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 4.

제1항에 있어서, 상기 금속확산 방지막으로 Ti/TiSiN 막 또는 Ta/TaSiN 막을 사용하고, 그 두께는 300 - 3000Å으로 하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 5.

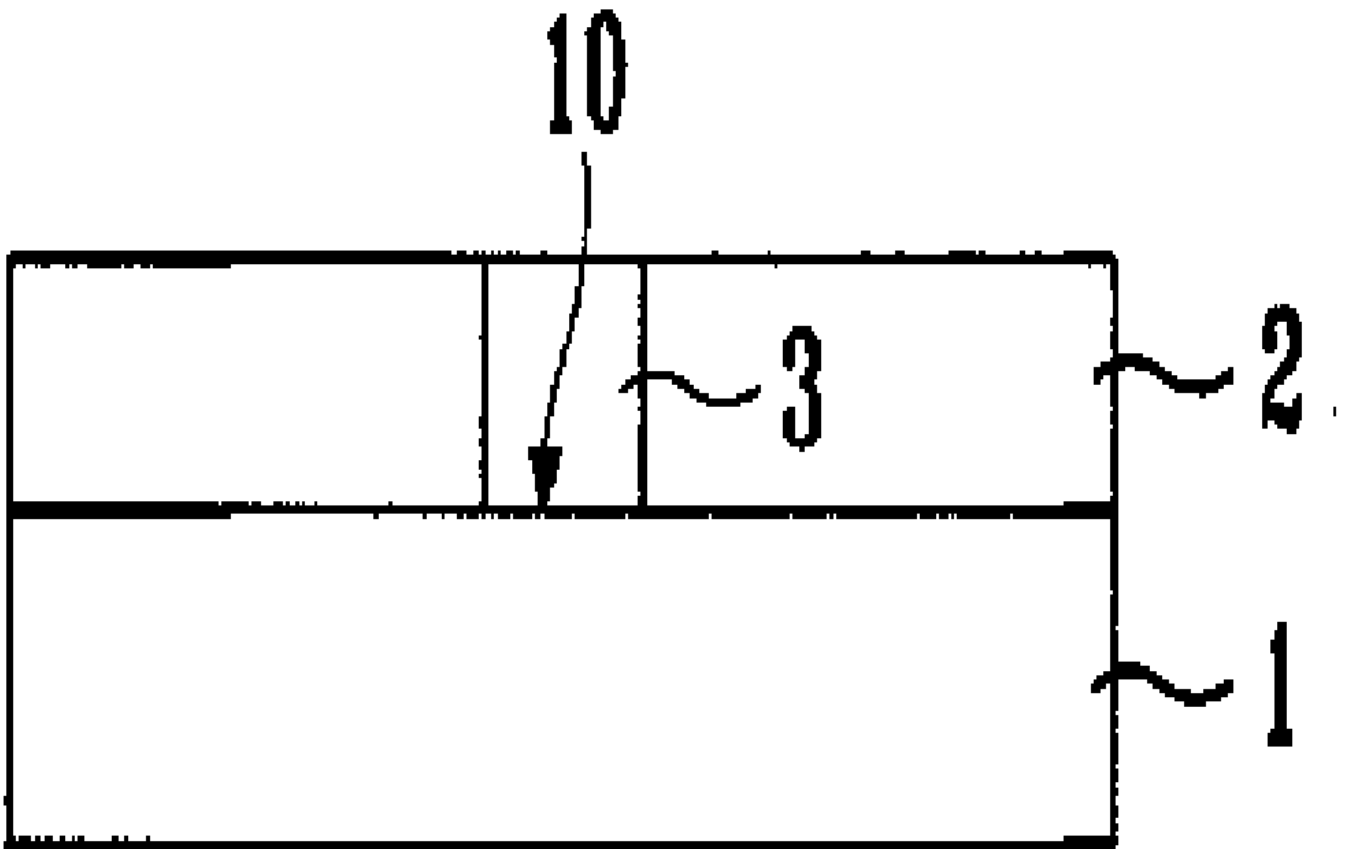
제1항에 있어서, 상기 PZT 박막 형성시 100 - 1000Å으로 전면 증착하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 6.

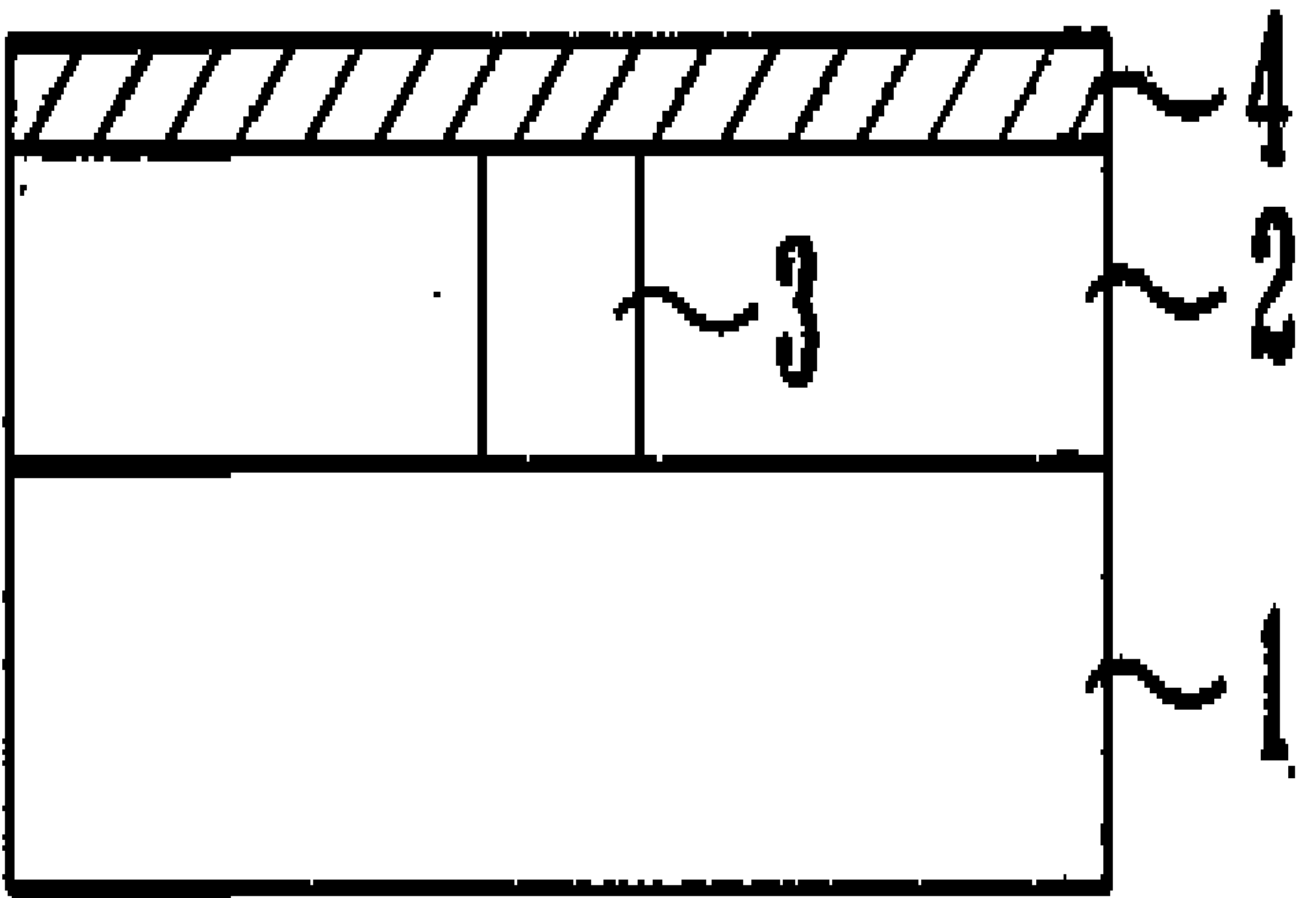
제1항에 있어서, 상기 강유전성 PZT 박막을 형성한 직후 냉각전에 RF 플라즈마를 끄고 그 온도구간에서 5 - 20분간 열처리를 하고, 분당 30°C 이내로 냉각하여 PZT 박막의 미세구조를 기판의 수평방향으로 배향성을 갖는 입자를 가진 PZT 박막으로 변경하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

도면

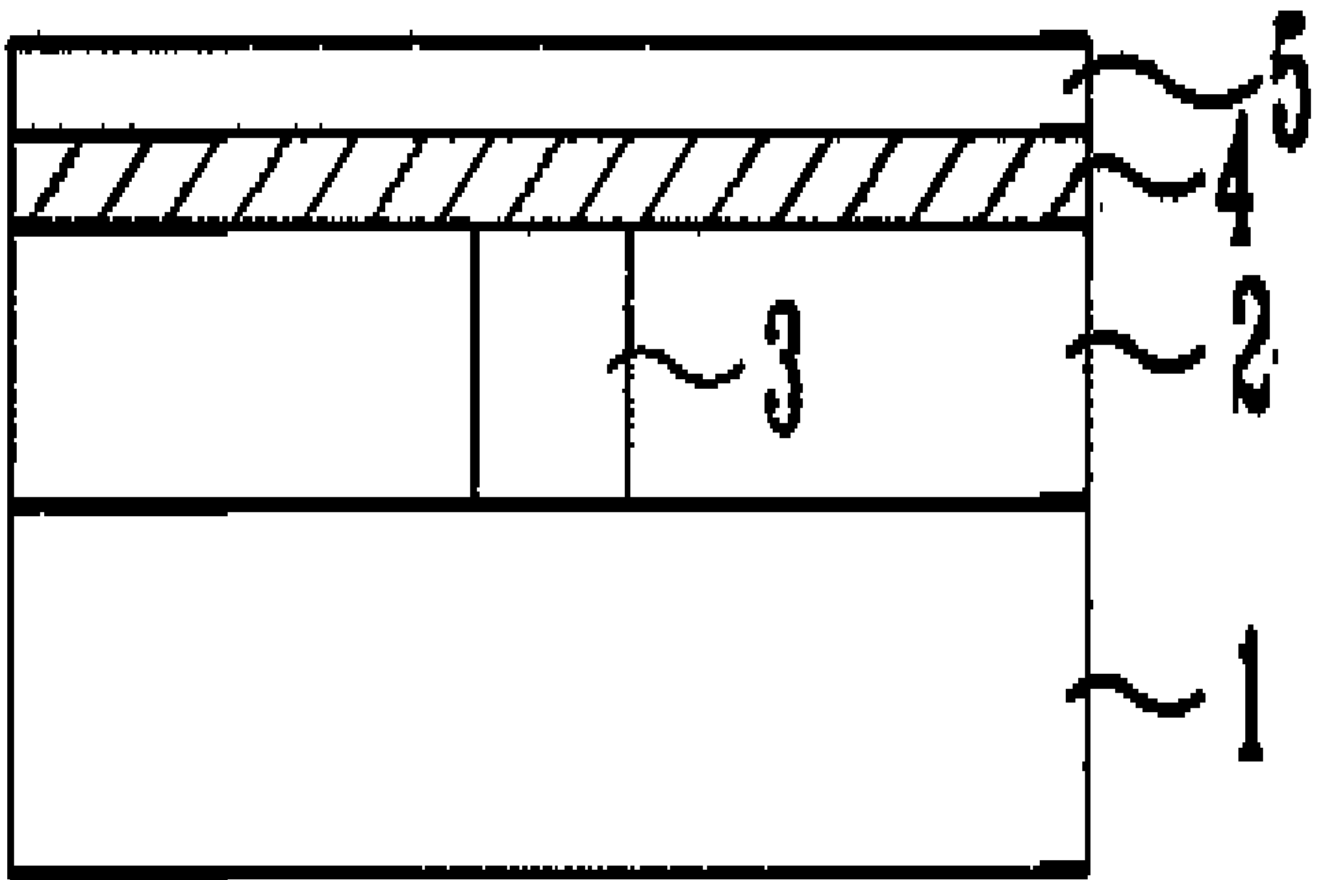
도면 1



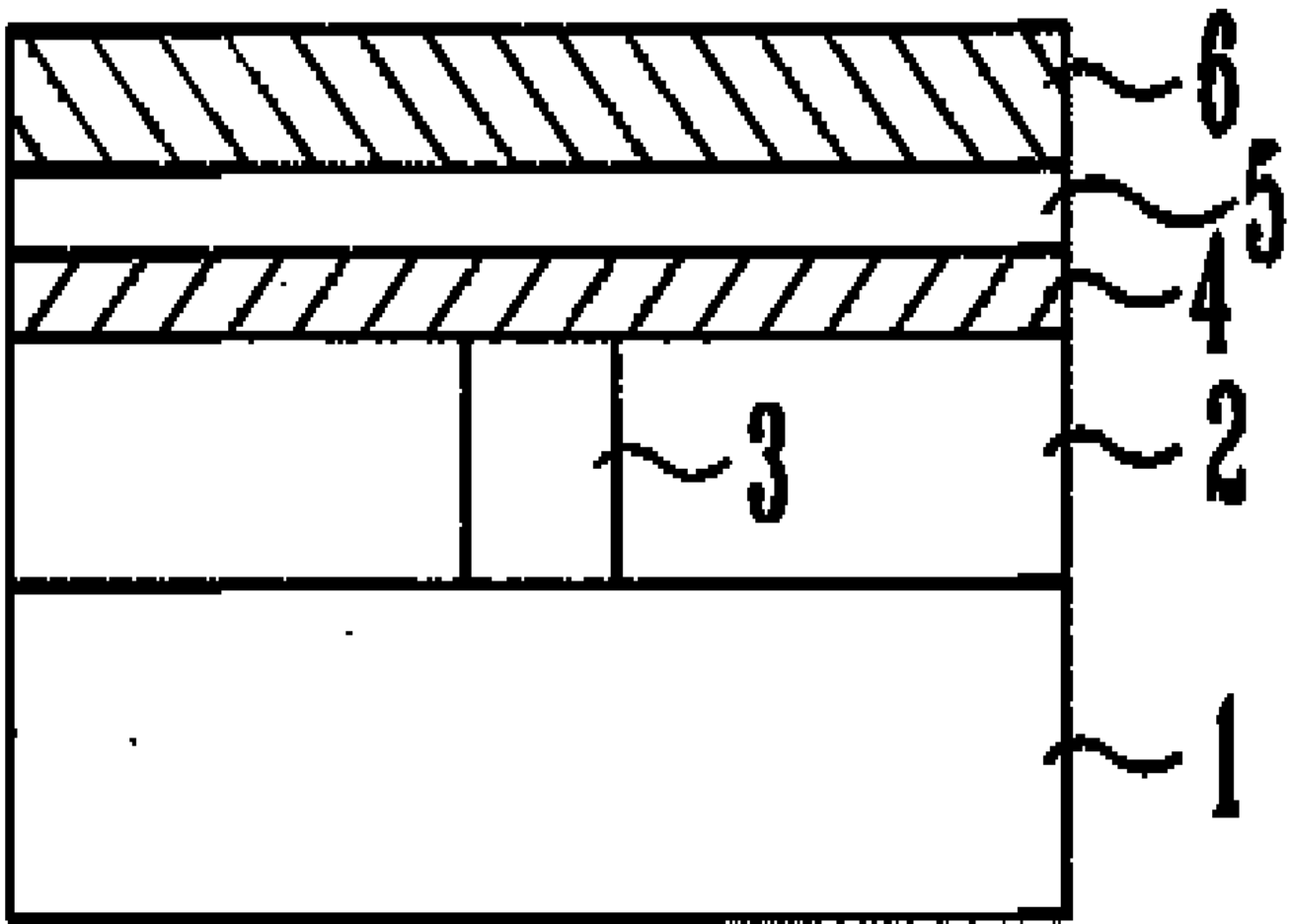
도면 2



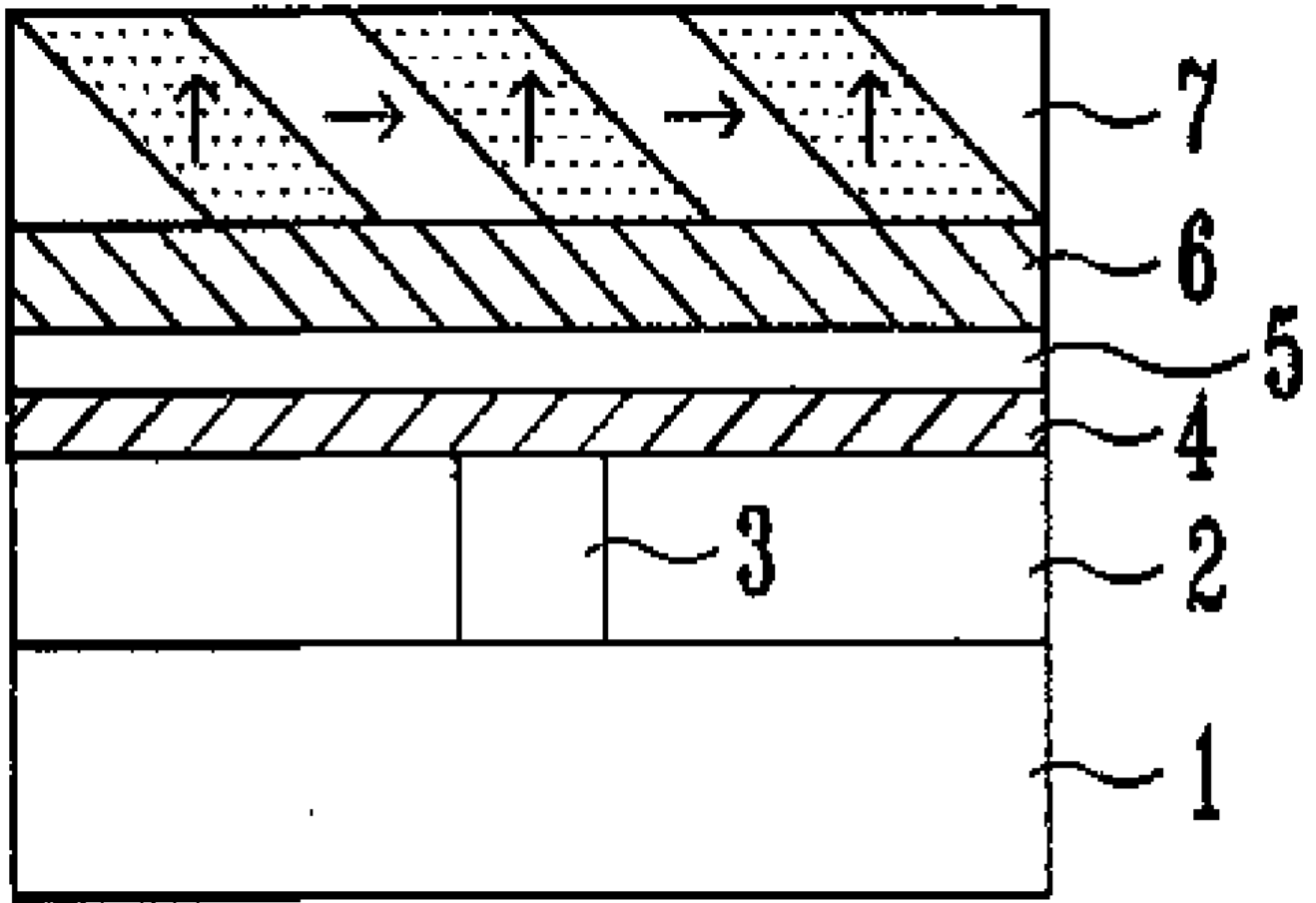
도면 3



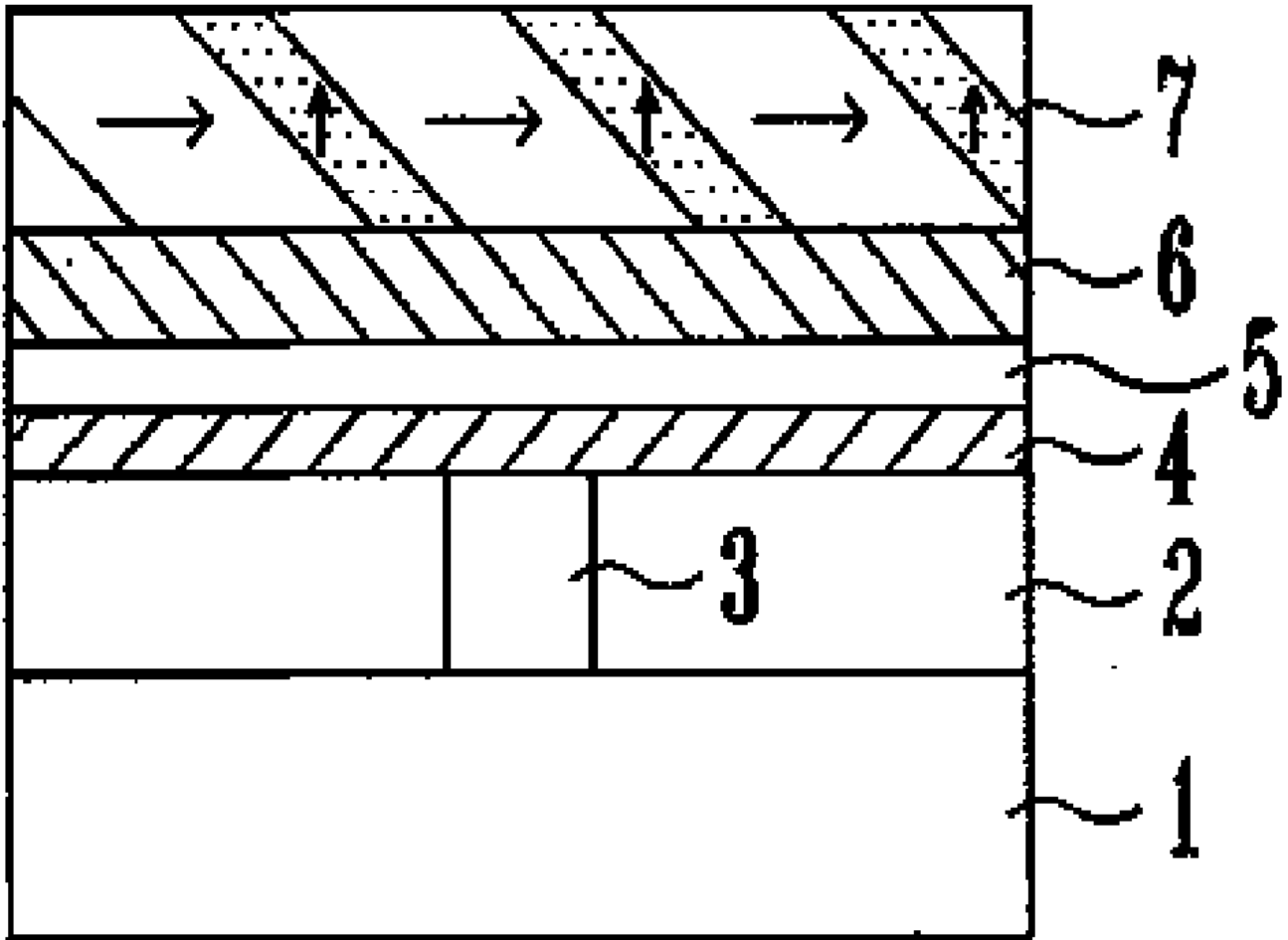
도면 4



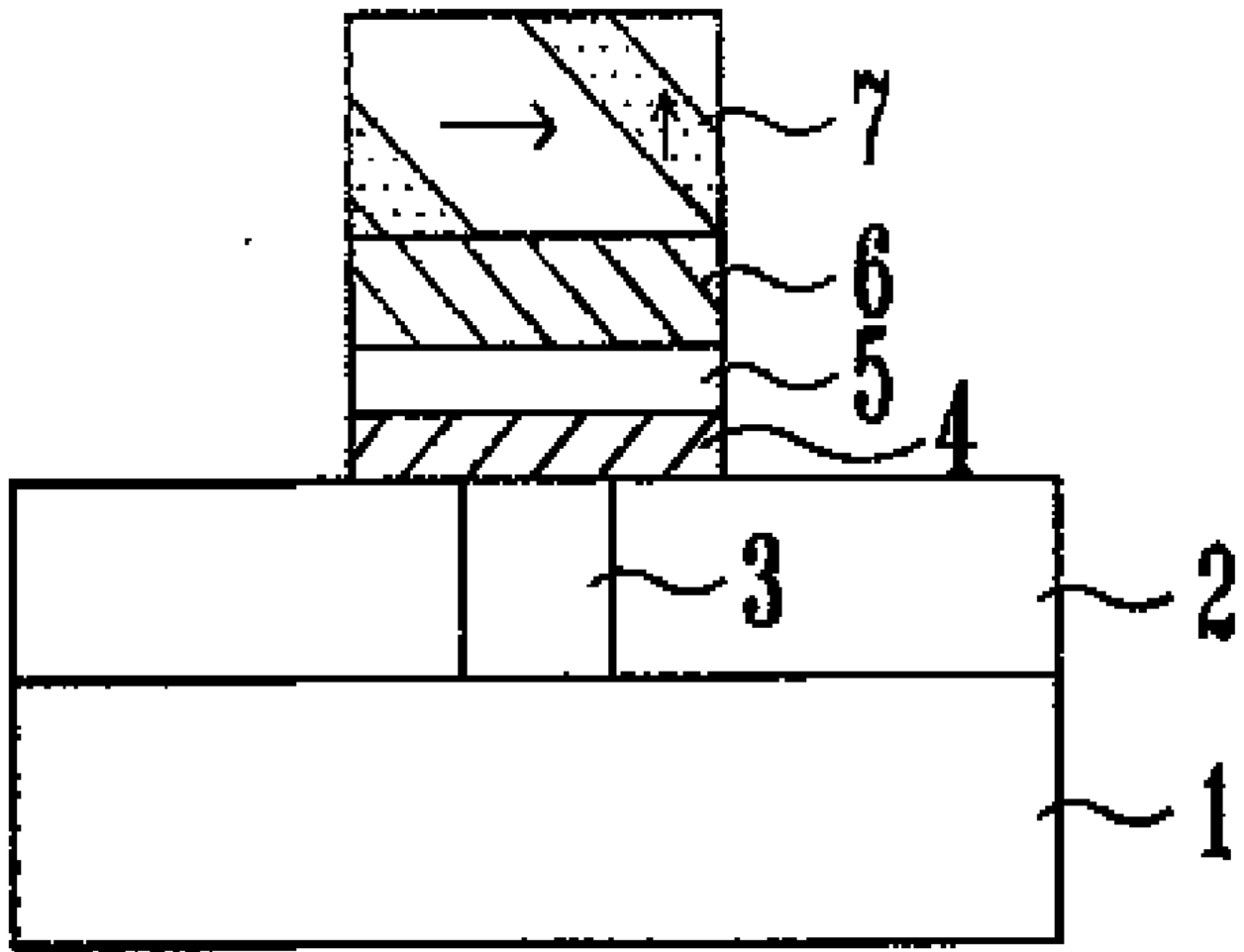
도면 5



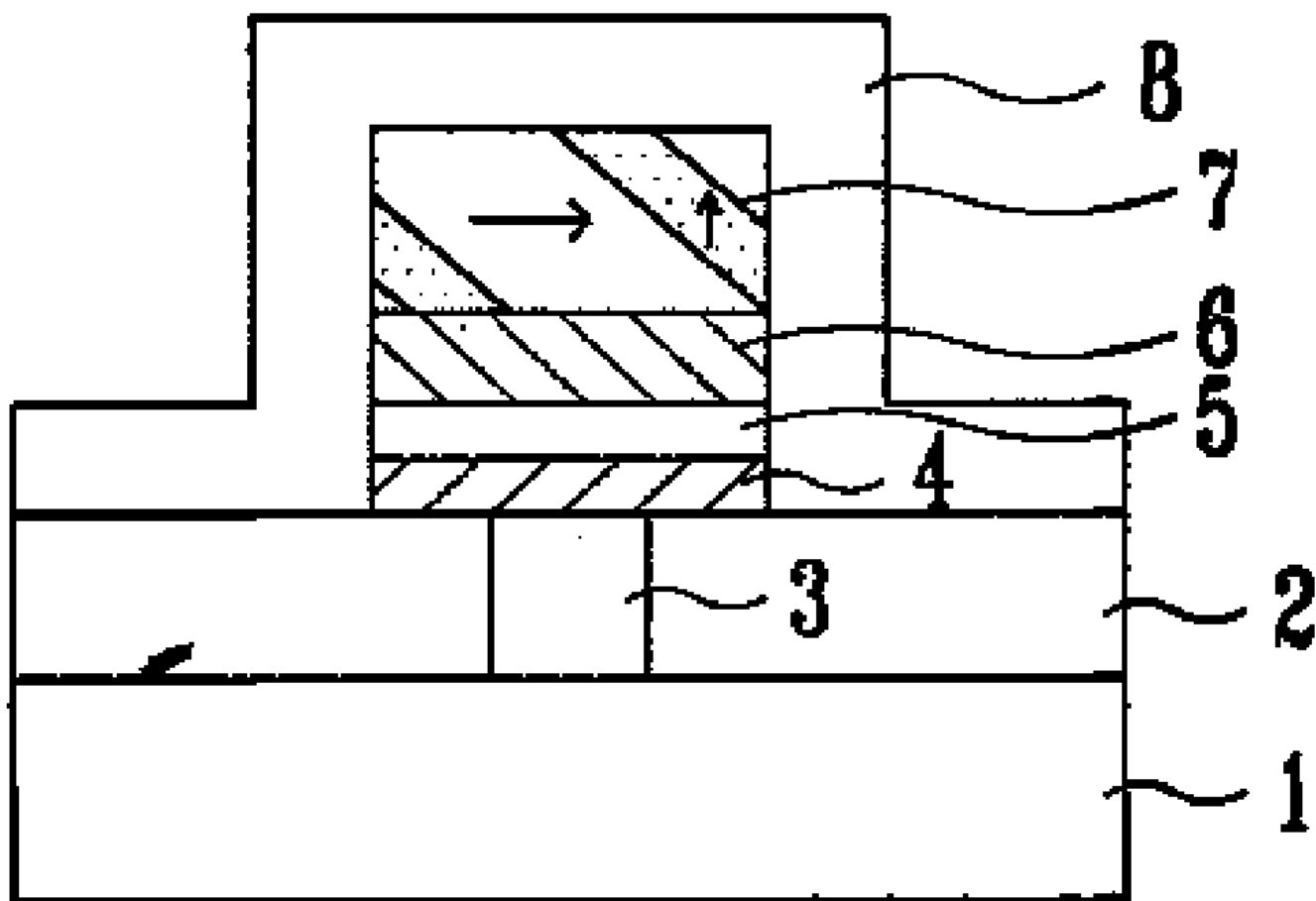
도면 6



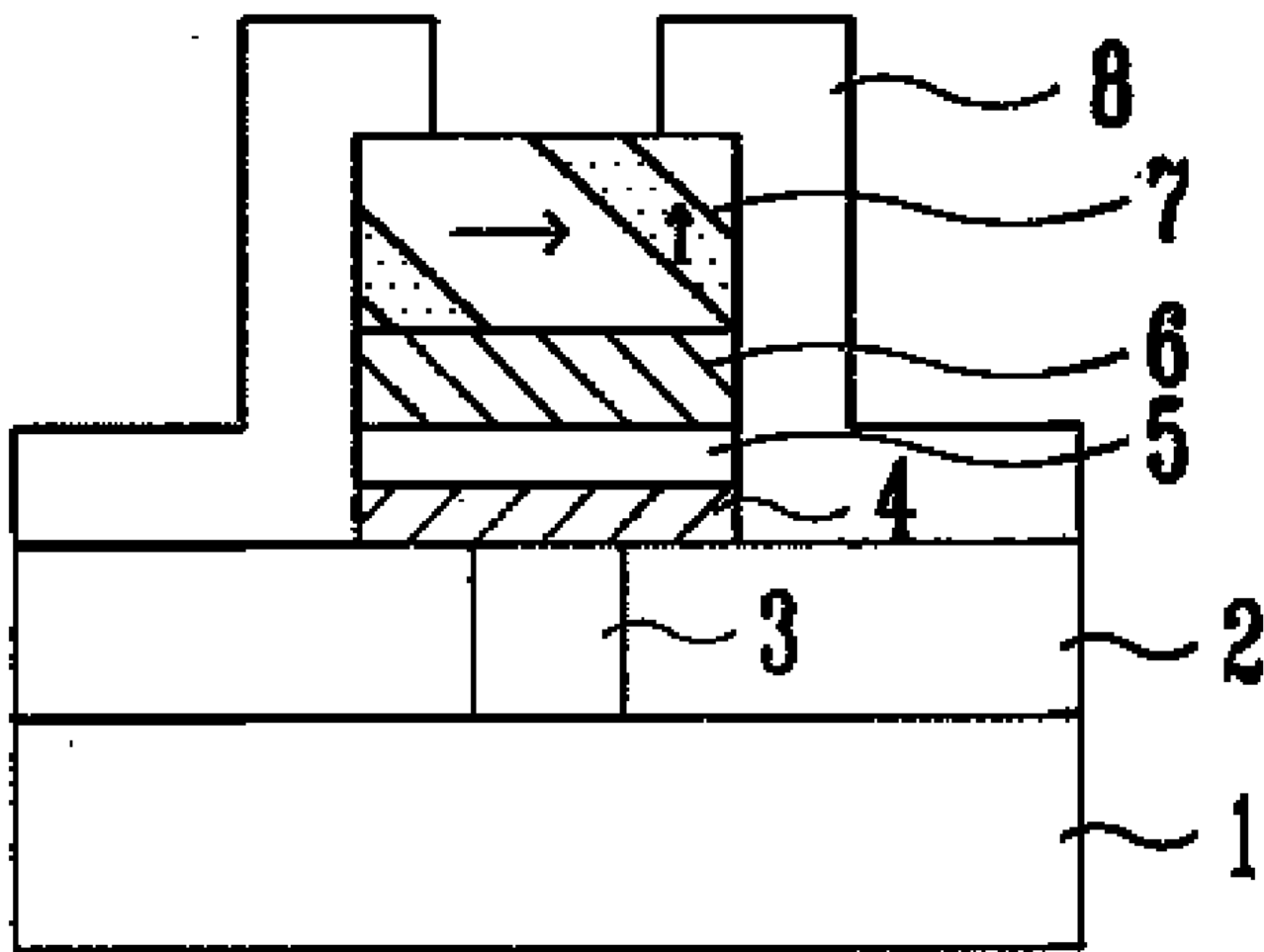
도면 7



도면 8



도면 9



도면 10

