

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成24年1月19日 (2012.1.19)

【公開番号】特開2009-110600(P2009-110600A)
 【公開日】平成21年5月21日 (2009.5.21)
 【年通号数】公開・登録公報2009-020
 【出願番号】特願2007-281979(P2007-281979)
 【国際特許分類】

G 1 1 C 11/406 (2006.01)

G 1 1 C 11/401 (2006.01)

G 0 6 F 12/00 (2006.01)

G 0 6 F 12/02 (2006.01)

【F I】

G 1 1 C 11/34 3 6 3 J

G 1 1 C 11/34 3 6 3 K

G 1 1 C 11/34 3 7 1 H

G 0 6 F 12/00 5 5 0 B

G 0 6 F 12/02 5 9 0 A

【手続補正書】
 【提出日】平成23年11月25日 (2011.11.25)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

ロウアドレスとカラムアドレスによって定められるアドレス空間を有し、定期的なりフレッシュを必要とするシンクロナスダイナミック型ランダムアクセスメモリに、1フレーム分の画像データを書き込む、もしくは、該書き込んだデータを読み出すためのアクセスを行うアクセス方法であって、

前記アドレス空間内に前記 1 フレーム分の画像データを格納するためのアクセス領域を、1つのロウアドレスと所定の範囲のコラムアドレスとによって定められるブロックを前記ロウアドレスの方向に所定のロウアドレス範囲の全体にわたって配列した 2 以上の完全ブロック列を、前記コラムアドレスの方向に配列することにより設定し、

前記ロウアドレスの方向に配列したブロックに順にアクセスすることにより、そのブロックに属するメモリセルおよび同一のロウアドレスを有する他のブロックに属するメモリセルに対してリフレッシュしたと同じ効果を発生させる操作を、1フレーム期間内に前記 2 以上の完全ブロック列に対して順に行うことを特徴とするメモリアccess方法。

【請求項 2】

前記アドレス空間は n 個 (n は 2 以上の整数) のバンクに区分けされており、
 前記アクセス領域の設定を、前記 n 個のバンクのそれぞれに 2 以上の前記完全ブロック列を配列することによって行い、

前記ロウアドレスの方向に配列されたブロックに順にアクセスする操作が、該ブロックのそれぞれに対して、前記 n 個のバンクに配列された対応するブロックに順にアクセスする操作を含むことを特徴とする請求項 1 記載のメモリアccess方法。

【請求項 3】

前記 アクセス領域を、前記 2 以上の完全ブロック列に加えて、前記ブロックを前記ロウ

アドレスの方向に前記所定のロウアドレス範囲の一部のみに配列した不完全ブロック列を、前記コラムアドレスの方向に配列することによって設定し、

前記ロウアドレスの方向に配列したブロックに順にアクセスする操作を、前記 2 以上の完全ブロック列および不完全ブロック列に対して順に行うことを特徴とする請求項 1 または 2 記載のメモリアccess方法。

【請求項 4】

前記 1 フレーム分の画像データが所定のワード数を有し、該所定のワード数が変化したときに、前記コラムアドレスの所定の範囲を変化させずに前記所定のロウアドレス範囲を変化させることを特徴とする請求項 1 ないし 3 のいずれかに記載のメモリアccess方法。

【請求項 5】

ロウアドレスとカラムアドレスによって定められるアドレス空間を有し、定期的なりフレッシュを必要とするシンクロナスダイナミック型ランダムアクセスメモリに、1 フレーム分の画像データを書き込む、もしくは、該書き込んだデータを読み出すためのアクセスを制御するメモリ制御装置であって、

前記アドレス空間内に前記 1 フレーム分の画像データを格納するためのアクセス領域を、1 つのロウアドレスと所定の範囲のコラムアドレスとによって定められるブロックを前記ロウアドレスの方向に所定のロウアドレス範囲の全体にわたって配列した 2 以上の完全ブロック列を、前記コラムアドレスの方向に配列することにより設定するアクセス領域設定部と、

前記ロウアドレス方向に配列されたブロックに順にアクセスすることにより、そのブロックに属するメモリセルおよび同一のアドレスを有する他のブロックに属するメモリセルに対してリフレッシュしたと同じ効果を発生させる操作を、1 フレーム期間内に前記 2 以上の完全ブロック列に対して順に行うように前記メモリにアドレス信号およびアクセス制御信号を供給するアクセス制御部とを備えることを特徴とするメモリ制御装置。

【請求項 6】

前記アドレス空間は、n 個（n は 2 以上の整数）のバンクに区分けされており、

前記アクセス領域設定部は、前記アクセス領域の設定を、前記 n 個のバンクのそれぞれに 2 以上の前記完全ブロック列を配列することによって行い、

前記アクセス制御部は、前記ロウアドレス方向に配列されたブロックに順にアクセスする操作が、該ブロックのそれぞれに対して、前記 n 個のバンクのそれぞれに配列された対応するブロックに順にアクセスする操作を含むように前記アドレス信号およびアクセス制御信号を前記メモリに供給することを特徴とする請求項 5 記載のメモリ制御装置。

【請求項 7】

前記アクセス領域設定部が、前記 2 以上の完全ブロック列に加えて、前記ブロックを前記ロウアドレスの方向に前記所定のロウアドレス範囲の一部のみに配列した不完全ブロック列を、前記コラムアドレスの方向に配列することによって前記アクセス領域を設定し、

前記アクセス制御部が、前記ロウアドレスの方向に配列したブロックに順にアクセスする操作を、前記 2 以上の完全ブロック列および不完全ブロック列に対して順に行うように前記メモリにアドレス信号およびアクセス制御信号を供給することを特徴とする請求項 5 または 6 記載のメモリ制御装置。

【請求項 8】

前記 1 フレーム分の画像データが所定のワード数を有し、

前記アクセス領域設定部が、所定のワード数が変化したときに前記コラムアドレスの所定の範囲を変化させずに前記所定のロウアドレス範囲を変化させるロウアドレス範囲設定部を備えることを特徴とする請求項 5 ないし 7 のいずれかに記載のメモリ制御装置。

【請求項 9】

前記ロウアドレス範囲設定部が、外部から入力された前記所定のワード数を示す信号に応じて前記所定のロウアドレス範囲を変化させることを特徴とする請求項 8 記載のメモリ制御装置。