

公告本

申請日期	85.7.25
案號	85109067
類別	H01L 23/58

A4
C4

305070

305070

(以上各欄由本局填註)

發 明 專 利 說 明 書

新 型

一、發明 名稱	中 文	半導體IC用熔斷電路
	英 文	A FUSING CIRCUIT
二、發明 創作人	姓 名	陸道相 時田 雅弘
	國 籍	1)韓國 2)日本
	住、居所	大韓民國漢城市永登浦區堂山4街92現代第2公寓701 日本國千葉縣茂原市早野3681
三、申請人	姓 名 (名稱)	三星電子股份有限公司
	國 籍	韓國
	住、居所 (事務所)	大韓民國京畿道水原市八達區梅灘洞416番地
	代 表 人 姓 名	金光浩

裝

訂

線

305070

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

韓 國 (地 區) 申 請 專 利 ， 申 請 日 期 ： 10/13/1995 案 號 ： 95-35245 ， 有 無 主 張 優 先 權

有 關 微 生 物 已 寄 存 於 ：

， 寄 存 日 期 ：

， 寄 存 號 碼 ：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

1

[發明所屬之技術領域]

本發明係關於半導體裝置之熔斷電路(fusing circuit)，尤其是關於可適合於能使IC之電氣特性無須調整之無調整化技術，而優於可靠性之熔斷電路。

[以往之技術]

於製造半導體IC時，即使製造具有相同功能之IC，但所製得之IC電氣特性仍會呈多種多樣者。這是因為總是難於以同一條件實施須經過多種複雜階段之IC製造工程之緣故。因此，經製成之IC電氣特性，最後仍難免以設計目標值為中心而呈某一程度的離散分布。但是，就使用IC之製品而言，則必須將電氣特性控制在極狹窄的特性分布。這樣的電氣特性中之一為調頻(FM)之載波(carrier)和偏差(deviation)。

例如，就VHS方式VCR之NTSC影像處理用之IC而言，在VCR之VHS規格中，則明確地規定為：以亮度為基準而將0.5V_{pp}之影像信號輸入FM電路時，所輸入影像信號之同步信號之峰頂(tip)電平為3.4MHz±0.1MHz而最白點的信號電平(white peak)為4.4MHz±0.1MHz，亦即，FM電路應輸出偏差為1.0MHz±0.1MHz之頻率。

[本發明欲解決之問題]

(請先閱讀背面之注意事項再填寫本頁)

表

訂

五、發明說明()

2

但是，即使予以設定這樣的正確IC設計目標，並據此以設計IC而製造，亦因上述製造工程上之理由乃有無法正確地滿足IC目標規格之情形會發生。因此，以往係採用在製造後之IC外部設置可變電阻之方法以為正確地達成IC品質管理目標值之手法，而利用此可變電阻來調整FM之載波與偏差，俾能輸出符合規定之FM信號。

然就此種利用可變電阻之手法而言，則須在VCR之生產線上由作業員逐一地調整FM之載波及偏差，因此，造成VCR之製造期間延長，增加製造成本等問題，而成為VCR競爭力降低之原因。

為解決此問題，亦有人使用一種在半導體製造工程中以雷射切斷襯墊(pad)兩端之可熔性環(保險絲連接)以獲得調整了載波及偏差之FM信號之手法。然此種手法，由於經予調整FM之載波及偏差後，仍須進行後續之製造工程，所以，有可能再度造成FM之載波與偏差間之變化，故由結局看起來還是未達到經常能獲致正確FM值之境地。

鑑於如上所述之傳統技術，本發明之目的在於揭露一種在半導體IC之製造後能正確地進行達到設計目標值所需之調整之熔斷電路，或者，提供一種能正確地獲得半導體IC之設計目標值而適用於無調整化技術之熔斷電路。又本發明可提供一種可進行正確的熔斷而信賴性更高之熔斷電路。又本發明之一再一目的在於提供一種能使IC之電氣特性無調整化，而不再需要在銷售對方之裝置組配廠

五、發明說明()

3

商 (set maker) 側之調整作業而可適用於無調整化技術之熔斷電路。

[解決問題之手段]

為達成上述目的，根據本發明則構成爲具備：多數個可熔斷線路，係連接於各裝置 (set) 端子而設，而藉由對任何裝置端子供應電源即可選擇；以及多數個熔斷電路，分別對於這些可熔斷線路而設，而根據輸入信號予以熔斷經選取的該可熔斷線路，俾響應根據該可熔斷線路熔斷狀態所輸出，而使半導體裝置之特性調整成爲可能。

這種熔斷電路，本發明係提供一種具備有：可熔斷線路；用來輸出響應該可熔斷線路之熔斷狀態之第一、第二比較信號之比較電壓輸出部；用來根據輸入信號而熔斷該可熔斷線路之熔斷致能部；以及藉由加以比較該第一、第二比較信號而輸出根據該可熔斷線路熔斷狀態之熔斷信號之輸出部爲其特徵之熔斷電路。

或者，提供一種具備有：可熔斷線路；用來響應輸入信號而熔斷該可熔斷線路之熔斷致能部；將電源電壓加以分壓而輸出第一、第二分壓信號之比較電壓輸出部；設在該比較電壓輸出部之第一分壓信號輸出端和該可熔斷線路之間而用來將該可熔斷線路之電阻變換爲一定值以上之狀態作爲熔斷而檢測之熔斷狀態檢測部；以及將該熔斷狀態檢測部之輸出作爲第一比較信號而輸入且將該第二分壓信號作爲比較信號而輸入，並根據這些輸入之比較結果而輸

五、發明說明()

4

出根據該可熔斷線路熔斷狀態之熔斷信號之比較部為其特徵之熔斷電路。

[發明之實施形態]

茲根據所附圖面將本發明之實施形態詳細說明於後。

於圖1，以方塊圖表示熔斷電路之一實施形態。此熔斷電路具備：例如以聚矽酮所形成保除絲之可熔斷線路 (fusible link) 110；用來輸出響應可熔斷線路110之熔斷狀態(連接狀態)之第一、第二比較信號COM1、COM2之比較電壓輸出部120；用來根據輸入信號CADJ而控制可熔斷線路110之熔斷狀態之熔斷致能部130；以及加以比較來自比較電壓輸出部120之第一、第二比較信號COM1、COM2，並根據其比較結果輸出根據可熔斷線路110之熔斷狀態之熔斷信號(FADJ)之比較部140。

根據上述第一實施形態之熔斷電路，當可熔斷線路110為根據輸入信號CADJ之熔斷致能部130所電氣性熔斷(切斷)時，來自比較電壓輸出部120之第一比較信號COM1會相對地變成比第二比較信號COM2較大而輸入於比較部140。然後，比較部140加以比較這些第一比較信號COM1和第二比較信號COM2的結果，即輸出表示可熔斷線路110已被熔斷之低電平熔斷信號FADJ。反之，可熔斷線路110未熔斷時，來自比較電壓輸出部120之第一比較信號COM1會相對地變成比第二比較信號COM2為小而輸入比較部140。於是，比較部140會輸出高電平之熔

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

5

斷信號FADJ以表示可熔斷線路110尙未被熔斷(非熔斷)。

圖2爲表示圖1之熔斷電路之具體例電路圖。比較電壓輸出部120係由將預定偏壓電壓Vbias施加於基極，並將電源電壓VDD施加於集極之npn電晶體Q11，以及設在該電晶體Q11之射極和接地GND之間，而用來根據可熔斷線路110之熔斷狀態將第一、第二比較信號COM1、COM2提供於比較部140之電阻R11、R12所構成。亦即，此比較電壓輸出部120係以使用串聯連接之電阻R11、R12之分壓電路之構成，即可根據可熔斷線路110之狀態加以調整由電阻R11之電源電壓側所輸出之第一比較信號COM1之電壓電平。比較電壓輸出部120，除此構成之外，如將第一比較信號COM1作爲電源電壓而輸出，將第二比較信號COM2作爲使用基準電壓電路之基準電壓而輸出之構成亦可使用。

熔斷致能部130包括：由輸入信號CADJ所控制之M形MOS電晶體MN11；根據該M形MOS電晶體MN11之動作狀態所驅動之npn電晶體Q12；以及根據該電晶體Q12之動作狀態所驅動之npn電晶體Q13。而且，具備有：一連接於M形MOS電晶體MN11之汲極而用來將偏壓電壓提供於npn電晶體Q12之基極之電阻R13；以及連接於npn電晶體Q12之射極而用來將偏壓電壓提供於npn電晶體Q13之基極之電阻R14。

五、發明說明 ()

6

比較部140係由用來輸入由比較電壓輸出部120所輸出之第一、第二比較信號COM1、COM2而加以比較之第一部，以及用來響應該第一部之輸出信號而輸出熔斷信號FADJ之第二部所構成。其中第一部係由將偏壓電壓Vbias2施加於閘極之P形MOS電晶體MP11，以及各源極係連接於P形MOS電晶體MP11之汲極，且第一、第二比較信號COM1、COM2係施加於各閘極之P形MOS電晶體MP13、MP14所構成。又第二部係由將偏壓電壓Vbias2施加於閘極之P形MOS電晶體MP12，分別連接於第一部之P形MOS電晶體MP13、MP14，而以各基極接受來自P形MOS電晶體MP13之電流而運作之npn電晶體Q14、Q15，以及連接於P形MOS電晶體MP12，而以基極接受來自第一部之P形MOS電晶體MP14之電流而運作之npn電晶體Q16所構成。

可熔斷線路110可由半導體IC製造工程所使用之導電物質，例如使用通常之金屬或聚矽酮之配線膜形成之。或者，可熔斷線路110亦可使用齊納二極管。

茲就具有如上述結構之第一實施形態之熔斷電路之運作加以說明。此熔斷電路主要以二種模式動作。其一為熔斷可熔斷線路110之熔斷模式(fusing mode)，另一則為不予熔斷可熔斷線路110之常態模式(normal mode)。

首先，說明常態模式之動作。於常態模式時，由於可熔斷線路110係在於非熔斷而連接之狀態，當在裝置(set)

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 ()

7

端子SET自外部施加低電平，即接地電平之電壓時，就可提供經由可熔斷線路110之短路(short)狀態。此可熔斷線路110處於短路狀態之電阻值只不過是數歐姆而已。並且，在比較電壓輸出部120中電晶體Q11之基極施加偏壓電壓Vbias1而變成接通(on)時，節點(node)C之電壓電平即根據電阻R11、R12被設定成高於節點A之電平。藉此，第一比較信號COM1就得以低電平，第二比較信號COM2就得以高電平而輸出到比較部140。

在比較部140，則自將偏壓電壓Vbias2接受於閘極之P形MOS電晶體變成接通起被供應電源，此時，MOS電晶體MP13即嚮往第一比較信號COM1而成爲強接通狀態。因此，由於電晶體Q16會因npn電晶體Q14、Q15變成接通而成爲斷開(off)，表示可熔斷線路110爲非熔斷之高電平之熔斷信號會出現在用來輸出熔斷信號FADJ之輸出端子。

其次，說明熔斷模式之動作。熔斷指令係自根據輸入信號CADJ之邏輯電平而予以熔斷可熔斷線路110起開始執行。首先，若係低電平之輸入信號CADJ提供於熔斷致能部130之情況時，由於N形MOS電晶體MN11會成爲斷開，故電晶體Q13、Q13斷開，因而，可熔斷線路110仍保持非熔斷狀態。與此相對，若係輸入信號CADJ以高電平自外部提供之情況時，由於高電平之輸入信號CADJ而N形MOS電晶體MH11即接通，所以npn電晶體Q12接通，npn電晶體Q13即嚮應於此而在飽和區域動作。結

(請先閱讀背面之注意事項再填寫本頁)

衣

訂

五、發明說明()

8

果，若對裝置端子SET供應電源時可經由可熔斷線路110使大電流流動以令由聚矽酮等所形成之可熔斷線路110熔斷。

可熔斷線路110在被熔斷之開路狀態時，該可熔斷線路110就變成具有無限大之電阻值 ∞ 歐姆者。此時，節點B和節點C之各電壓 V_B 、 V_C 可以下列數式表示之。

(數式1)

$$V_B = \nabla V_{bias} - V_{beg1}$$

$$V_C = \nabla B - R_{11} \times I_{cq1}$$

式中 V_{bias} 為 V_{bias1} 之電壓， V_{beg1} 為npn電晶體Q11之基極-射極間電壓， I_{cq1} 為npn電晶體Q11之集極電流。亦即，若 $V_B > V_C$ 成立而可熔斷線路110在開路狀態時 $V_B = V_A$ 會成立。

當可熔斷線路114在於熔斷之開路狀態時，如由上述數式1即得以明瞭，節點A之電壓電平會高於節點C，因此，第一比較信號COM1即成為高電平、第二比較信號COM2則成為低電平而提供於比較部140。在接受此信號之比較部140，其npn MOS電晶體Q16即按照低電平之第二比較信號COM2而變成接通，故自輸出端子輸出表示可熔斷線路110之熔斷之低電平熔斷信號FADJ。

於此熔斷模式中，使大電流流動於可熔斷線路110之時間，即為維持輸入信號CADJ之高電平的期間，或為以高電平施加輸入信號CADJ後直至可熔斷線路110被熔斷之期間。按為了藉熔斷致能部130之電氣性控制而完全熔

五、發明說明()

9

斷可熔斷線路110以產生完全的開路狀態，則需要恰如其分的充分時間。然在IC製造過程中儘可能地縮短TAT是對於節省成本或提高競爭力上有利，由此點而言，直至完全熔斷可熔斷線路110為止那麼長時間使電流流動就是非效率的。因此，僅靠設定合適的熔斷時間而使電流流動之方式亦可因應此種問題。

亦即，可熔斷線路110即使未完全熔斷，但其結晶結構會為大電流所破壞而呈現高電阻值。換言之，既可使可熔斷線路110完全熔斷，亦可予以設定適當的熔斷時間而使大電流流動，即使不能完全加以熔斷但亦可只令其朝預定之高電阻值變化。後者之情形時，可熔斷線路110可謂之為相當於被熔斷致能部130所改變其電阻值之可變電阻。

圖3所示熔斷電路之第二實施形態為朝此預定高電阻值控制可熔斷線路時之電路構成方塊圖。此第二實施形態所表示者，係附加有可將已經過適當大電流供應時間之可熔斷線路，或將電阻值已變化為一定值以上的高電阻值之可熔斷線路，當做已被熔斷者而予檢測之檢測功能之熔斷電路。

圖3所示熔斷電路係包括：可熔斷線路210；將電源電壓加以分壓而輸出第一及第二分壓信號之比較電壓輸出部220；用來根據輸入信號而熔斷可熔斷線路210之熔斷致能部230；連接於比較電壓輸出部220之第一分壓信號之輸出端和可熔斷線路210之間而用來將以預定時間使大

(請先閱讀背面之注意事項再填寫本頁)

衣

訂

五、發明說明()
10

電流流動而使電阻值朝一定值以上之高電阻值予以變化之可熔斷線路210，當作已熔斷者而檢出之熔斷狀態檢測部250；以及將熔斷狀態檢測部250之輸出作為第一比較信號COM1而輸入且將根據比較電壓輸出部220之第二分壓信號作為第二比較信號COM2而輸入，並加以比較這些而輸出根據可熔斷線路210之熔斷狀態之熔斷信號(FADJ)之比較部240。

根據此第二實施形態之熔斷電路，可熔斷線路210由根據輸入信號CADJ之熔斷致能部230所熔斷時，或於熔斷途中可熔斷線路210之電阻值達一定值以上之高電阻值時，則由熔斷狀態檢測部250檢測其狀態而輸出用以施加到比較部240之第一比較信號COM1。此時，施加在比較部240之第一比較信號COM1之電壓電平會相對地高於第二比較信號COM2。因此，自用來比較第一、第二比較信號COM1、COM2之比較部240，輸出表示可熔斷線路210之熔斷的低電平熔斷信號FADJ。

圖4為表示圖3之熔斷電路之具體例電路圖。比較電壓輸出部220係由預定之偏壓電壓Vbias1施加於基極，電源電壓VDD施加於集極之npn電晶體Q21，以及設在該電晶體Q21之射極和接地電源GND之間而用來輸出根據可熔斷線路210之熔斷狀態而加以分壓電源VDD之第一及第二分壓信號之電阻R21、R22所構成。又熔斷狀態檢測部250係由比較電壓輸出部220之電阻R21之電

五、發明說明 () 11

源電壓測和可熔斷線路210之間所連接之熔斷狀態檢測用電阻R25所構成。

比較電壓輸出部220之二電阻R21、R22具有相同電阻值，又熔斷狀態檢測部250之電阻25具有與可熔斷線路210應判斷為已熔斷者之最低電阻值相同之電阻值。例如，該可熔斷線路210之熔斷判斷電阻值若為110千歐姆以上，則將電阻R22之值設定為100千歐姆即可。

熔斷致能部230包括由輸入信號CADJ控制之N形MOS電晶體MN21，由該N形MOS電晶體MN21之動作狀態所驅動之npn電晶體Q22，以及由該電晶體Q22之動作狀態所驅動之npn電晶體Q23。更具備有連接於N形MOS電晶體MN21之源極，而用來將偏壓電壓施加於npn電晶體Q22之基極之電阻R23，以及連接於npn電晶體Q22之射極，而用來將偏壓電壓施加於npn電晶體Q23之基極之電阻R24。

比較部240具備有用來將由熔斷狀態檢測部250所提供之第一比較信號COM1及由比較電壓輸出部220所提供之第二比較信號COM2予以輸入而加以比較之第一部，以及用來嚮應該第一部之輸出信號而輸出根據可熔斷線路210之熔斷狀態之熔斷信號FADJ之第二部。其中第一部係由將偏壓電壓Vbias2施加於閘極之P形MOS電晶體MP21，將源極連接於該P形MOS電晶體MP21之汲極，將第一比較信號COM1施加於閘極之P形MOS電晶體MP23，以及將源極連接於P形MOS電晶體MP21之汲

(請先閱讀背面之注意事項再填寫本頁)

衣

訂

五、發明說明 ()
12

極，將第二比較信號COM2施加於閘極之P形MOS電晶體MP24所構成。又第二部係由將偏壓電壓Vbias2施加於閘極之P形MOS電晶體MP22，連接於第一部之各P形MOS電晶體MP23、MP24而將根據P形MOS電晶體MP23之電流接受於基極之npn電晶體Q24、Q25，以及連接於P形電晶體MP22，而將根據第一部之P形MOS電晶體MP24之電流接受於基極之npn電晶體Q26所構成。

茲就具有此種構成之熔斷電路之運作加以說明。首先，就常態模式而言，裝置端子SET被接地，可熔斷線路210若為非熔斷，節點A就成為短路狀態，所以第一比較信號COM1變成低電平，第二比較信號COM2變成高電平，而與第一實施形態同樣，由比較部240之輸出端子以高電平輸出熔斷信號FADJ。

另一面，就熔斷模式而言，藉由施加高電平信號CADJ N形MOS電晶體MN21即變成接通，npn電晶體Q22即變成通而使npn電晶體Q23在飽和區域動作。因此，可使大電流經由可熔斷線路210流動，藉此大電流可熔斷線路210可能被熔斷，或者可熔斷線路210之結構被破壞而呈一定值以上之高電阻值。

這樣使可熔斷線路210熔斷時，節點A之電壓VA和節點C之電壓VC可對於節點B之電壓VB以下列數式2表示之。式中之RFL係表示可熔斷線路210之等值電阻值。

(數式2)

$$V_A = V_B \times \{R_{FL} / (R_{25} + R_{FL})\}$$

五、發明說明 ()
13

$$V_C = V_B \times \{ R_{22} / (R_{21} + R_{22}) \}$$

此時，由於 $R_{21} = R_{22}$ ，所以 $V_C = V_B / 2$ 可成立，又因會變成 $R_{FL} \geq R_{25}$ ，所以 $V_A \geq V_C$ 可成立。亦即，若可熔斷線路 210 之電阻值 R_{FL} 直到超越電阻 R_{25} 之電阻值而進行熔斷時，由於 V_A 會超出 $V_B / 2$ ，比較部 140 之第一比較信號 COM1 則相對地比第二比較信號 COM2 成爲高電平。比較部 140 即隨之而與如同第一實施形態之完全熔斷之情形同樣地動作而以低電平輸出熔斷信號 FADJ。

於此第二實施形態中，將熔斷狀態檢測用電阻 R_{25} 插入於比較電壓輸出部 220 之電阻 R_{21} 之電源電壓側和可熔斷線路 210 之間之理由，如上述之說明，乃在於爲了明確地檢測由於供應預定時間之大電流之可熔斷線路 210 熔斷狀態(電阻值變化)之故。而且，除此之外，電阻 R_{25} 另可期待其於可熔斷線路 210 之非熔斷而成爲短路狀態時，防止偏壓電壓 V_{bias1} 自電晶體 Q21 之射極基極間經由節點 A 直接連接到施加於裝置端子 SET 之接地電源 GND 之狀態，以防止電路上之因素而成爲不安定狀態之功能。

以上所述第一、第二實施形態，係僅就對於 1 個可熔斷線路之 1 個熔斷電路作代表而加以說明，但實際上在半導體裝置中卻配置以多數個可熔斷線路，並以 1:1 對應在該可熔斷線路配設如同第一實施形態或第二實施形態之熔斷電路。若這樣的設置 n 個之熔斷電路，將這些加以組合就可得具有 2^n 之種類之熔斷信號 FADJ 之組合。並且，若將此各色各樣之熔斷信號 FADJ 使用於電子電路之電流控

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

14

制等，即可進行例如 2^n 事例之放大電路之增益調整。因此，將熔斷電路應用於電子電路並按該電子電路之目標特性值決定可熔斷線路之狀態時，即可獲得按照其電子電路設計值之特性。

如此在具有多數可熔斷線路與其所對應之熔斷電路之半導體裝置中欲使特定之可熔斷線路熔斷時，例如，對裝置端子SET選擇性地供應電壓而選擇多數可熔斷線路中之任一，並以高電平施加該選擇可熔斷線路所對應之熔斷線路之輸入信號CADJ，即可如上述之方式熔斷可熔斷線路。且由此即可在半導體裝置之製造中獲得正確的目標設計值。

[發明之效果]

根據本發明，半導體製造工程結束後利用熔斷電路令可熔斷線路被熔斷，因此，可獲得正確的目標設計值之電氣性特性。加之，在裝置組配廠商則可適用於不需要電氣性特性調整之無調整化技術上。

[圖面之簡單說明]

圖1為表示依照本發明之熔斷電路之第一實施形態方塊圖。

圖2為表示圖1之熔斷電路之具體構成例電路圖。

圖3為表示本發明之熔斷電路之第二實施形態方塊圖。

五、發明說明 ()
15

圖4為表示圖3之熔斷電路之具體構成例電路圖。

[符號之說明]

110、210	可熔斷線路
120、220	比較電壓輸出部(比較電壓輸出裝置)
130、230	熔斷致能部(熔斷致能裝置)
140、240	比較部(比較裝置)
250	熔斷狀態檢測部(熔斷狀態檢測裝置)

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要(發明之名稱：)

半導體IC用熔斷電路

本發明之目的即在於提供一種於半導體IC之製造後可正確地進行朝符合設計目標值之調整，而可適合於不再需要在銷售對方之裝置組配廠商作調整之無調整化技術之熔斷電路。

達成上述目的之方法為設置一熔斷電路而回應根據可熔斷線路之熔斷狀態所輸出之信號FADJ使半導體裝置之特性調整成為可能。該熔斷電路具備有：可熔斷線路110；用來輸出回應可熔斷線路110之熔斷狀態之第一、第二比較信號COM1、COM2之比較電壓輸出部120；用來根據輸入信號CADJ予以熔斷可熔斷線路110之熔斷致能部130；以及藉由比較第一、第二比較信號COM1、COM2來輸出根據可熔斷線路110之熔斷狀態之熔斷信號FADJ之比較部140。

參考圖：圖2

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種熔斷電路，其特徵為具備有：

可熔斷線路；用來輸出回應該可熔斷線路之熔斷狀態之第一、第二比較信號之比較電壓輸出部；用來根據輸入信號而熔斷該可熔斷線路之熔斷致能部；以及藉由比較該第一、第二比較信號而輸出根據該可熔斷線路之熔斷狀態之熔斷信號之比較部。

2. 如申請專利範圍第1項之熔斷電路，其中該比較電壓輸出部係由將預定偏壓電壓接受於基極而運作之電晶體，及連接於該電晶體之射極而以互異的電壓電平分壓輸出第一、第二比較信號之串聯而成之電阻所構成。

3. 如申請專利範圍第1項之熔斷電路，其中該熔斷致能部係包括將輸入信號接受於閘極而運作之MOS電晶體；由該MOS電晶體驅動之第一電晶體；以及由該第一電晶體所驅動而用來熔斷可熔斷線路之第二電晶體而構成。

4. 如申請專利範圍第3項之熔斷電路，其中該熔斷致能部更包括連接於將輸入信號接受於閘極而運作之MOS電晶體而對第一電晶體之基極提供偏壓電壓之第一電阻，以及連接於該第一電晶體之射極而對用來熔斷可熔斷線路之第二電晶體之基極提供偏壓電壓之第二電阻。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

六、申請專利範圍

5. 如申請專利範圍第1項之熔斷電路，其中該比較部係由：用來輸入根據比較電壓部之第一、第二比較信號而加以比較之第一部，以及用來回應該第一部之輸出而輸出熔斷信號之第二部所構成。

6. 如申請專利範圍第5項之熔斷電路，其中該比較部之第一部係由：將預定偏壓電壓接受於閘極而運作之第一MOS電晶體，以及並聯於該第一MOS電晶體而將第一、第二比較信號分別輸入於閘極之第2、第3MOS電晶體所構成。

7. 如申請專利範圍第6項之熔斷電路，其中比較部之第2部係由：將預定偏壓電壓接受於閘極而運作之第四MOS電晶體；分別連接於第一部之第二、第三MOS電晶體而將該第二MOS電晶體之輸出輸入於基極之第一、第二電晶體；以及連接於該第四MOS電晶體而將該第一部之第三MOS電晶體之輸出輸入於基極之第三電晶體所構成。

8. 如申請專利範圍第1項之熔斷電路，其中可熔斷線路係由聚矽酮膜或金屬膜所形成。

9. 如申請專利範圍第1項之熔斷電路，其中可熔斷線路係使用齊納二極管。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

10. 一種熔斷電路，其特徵為具備有：

可熔斷線路；用來根據輸入信號而熔斷該可熔斷線路之熔斷致能部；將電源電壓加以分壓而輸出第一、第二分壓信號之比較電壓輸出部；設在該比較電壓輸出部之第一分壓信號輸出端和該可熔斷線路之間，而用來將該可熔斷線路之電阻值變換為一定值以上之狀態當做熔斷而檢測之熔斷狀態檢測部；以及將該熔斷狀態檢測部之輸出作為第一比較信號而輸入且將該第二分壓信號作為比較信號而輸入，並根據這些輸入之比較結果而輸出根據該可熔斷線路之熔斷狀態之熔斷信號之比較部。

11. 如申請專利範圍第10項之熔斷電路，其中該比較電壓輸出部係由：在集極施加電源電壓，將預定偏壓電壓施加於基極而運作之電晶體；以及設在該電晶體之射極和接地電源之間而用來輸出第一分壓信號之第一電阻及用來輸出第二分壓信號之第二電阻所構成。

12. 如申請專利範圍第11項之熔斷電路，其中該比較電壓輸出部之第一電阻及第二電阻具有相同的電阻值。

13. 如申請專利範圍第10項之熔斷電路，其中該熔斷狀態檢測部係由連接於比較電壓輸出部和可熔斷線路間之熔斷狀態檢測用之電阻所構成。

六、申請專利範圍

14. 如申請專利範圍第13項之熔斷電路，其中熔斷狀態檢測用之電阻具有與應判斷為熔斷之可熔斷線路之電阻值相同之電阻值。

15. 如申請專利範圍第10項之熔斷電路，其中該熔斷致能部係包括：藉輸入信號之控制而動作之第一電晶體；由該第一電晶體驅動之第二電晶體；以及由該第二電晶體所驅動而用來熔斷可熔斷線路之第三電晶體而構成。

16. 如申請專利範圍第15項之熔斷電路，其中該熔斷致能裝置更包括連接於藉輸入信號之控制而運作之第一電晶體，而對於第二電晶體提供偏壓電壓之第一電阻，以及連接於該第二電晶體而對於第三電晶體提供偏壓電壓之第二電阻。

17. 如申請專利範圍第10項之熔斷電路，其中該比較部係由：用來輸入根據熔斷狀態檢測部之第一比較信號及根據比較電壓輸出部之第二比較信號而加以比較之第一部；以及用來回應該第一部之輸出而輸出根據熔斷信號之第二部所構成。

18. 如申請專利範圍第17項之熔斷電路，其中該比較部之第一部係由：由預定之偏壓電壓所控制之第一電晶

(請先閱讀背面之注意事項再填寫本頁)

衣

訂

六、申請專利範圍

體；連接於該第一電晶體而由第一比較信號所控制之第二電晶體；以及連接於該第一電晶體而由第二比較信號所控制之第三電晶體所構成。

19. 如申請專利範圍第17項之熔斷電路，其中該比較部之第二部係由：由預定之偏壓電壓所控制之第四電晶體；分別連接於第一部之第二、第三電晶體而由該第二電晶體之輸出所驅動之第五、第六電晶體；以及連接於該第四電晶體而由該第三電晶體之輸出所驅動之第七電晶體所構成。

20. 如申請專利範圍第10項之熔斷電路，其中可熔斷線路係由聚矽酮膜或金屬膜所形成。

21. 如申請專利範圍第10項之熔斷電路，其中可熔斷線路係使用齊納二極管。

22. 一種半導體裝置，包括：分別連接於各裝置端子而設，而藉對於其中之一裝置之端子供應電源即可選擇之多數個可熔斷線路；以及分別對於這些可熔斷線路而設，用來根據輸入信號將被選擇之該可熔斷線路加以熔斷之多數個熔斷電路；而

可嚮應該可熔斷線路之熔斷狀態所輸出之信號而作特性調整者。

圖 1

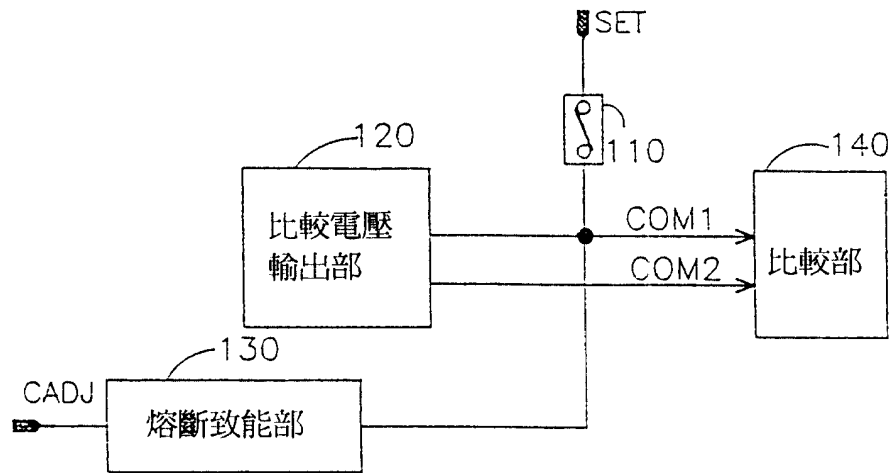


圖 2

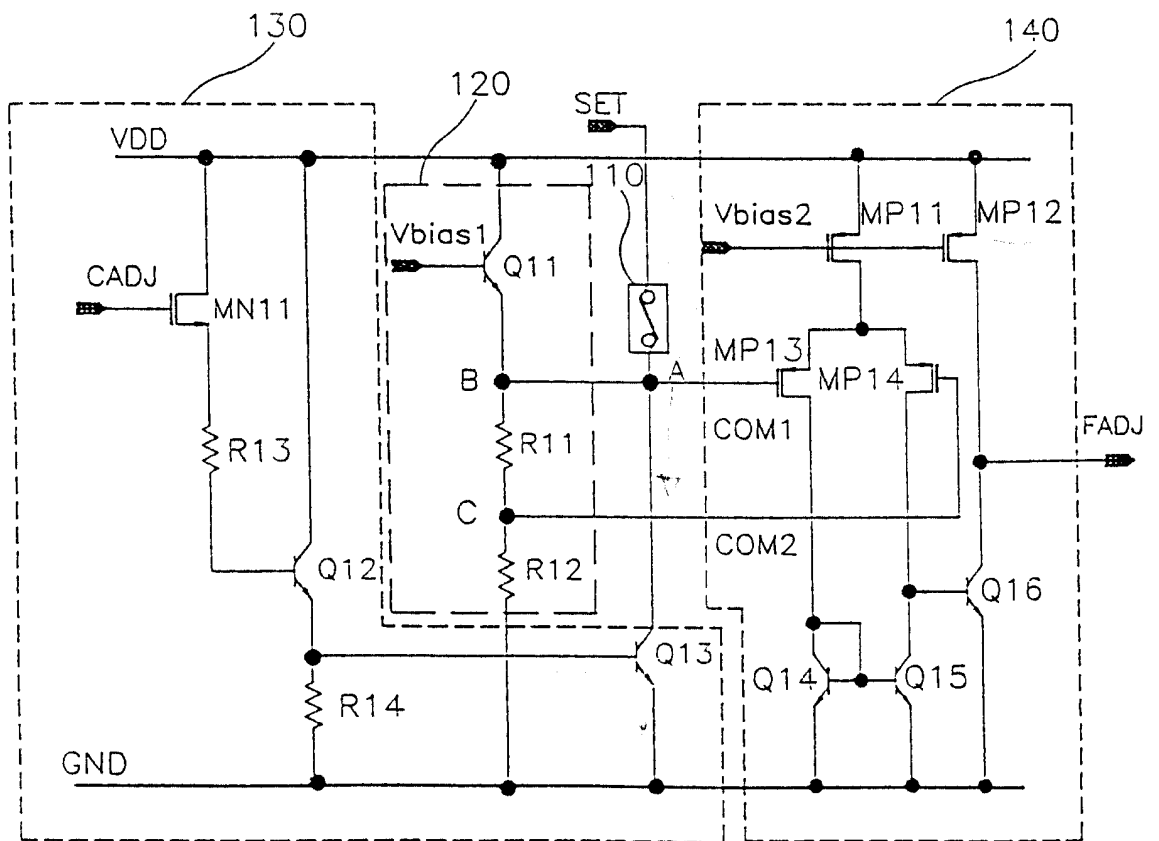


圖 3

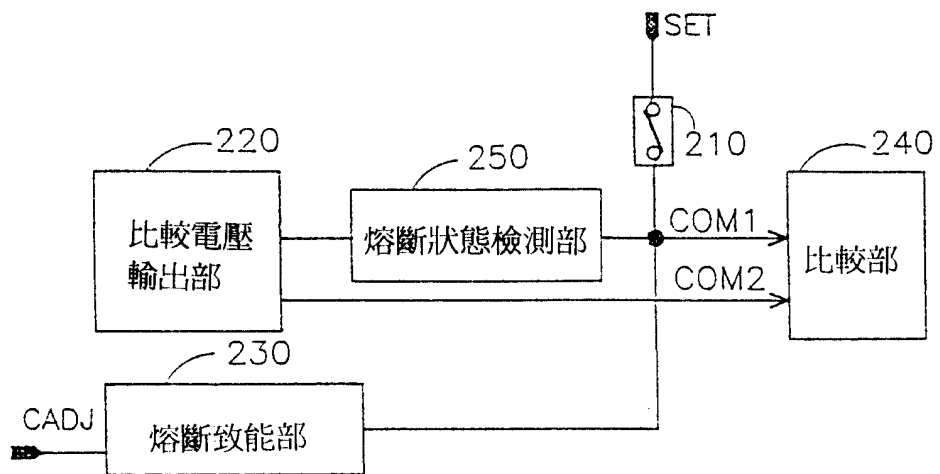


圖 4

