

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294418

(P2005-294418A)

(43) 公開日 平成17年10月20日(2005. 10. 20)

(51) Int. Cl.⁷

F I

テーマコード (参考)

H O 1 L 21/336

H O 1 L 29/78 6 1 6 A

2 H O 9 2

G O 2 F 1/1368

G O 2 F 1/1368

5 F O 3 8

H O 1 L 21/822

H O 1 L 27/08 3 3 1 E

5 F O 4 8

H O 1 L 21/8234

H O 1 L 27/04 C

5 F 1 1 0

H O 1 L 27/04

H O 1 L 27/08 1 O 2 B

審査請求 未請求 請求項の数 11 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願2004-105182 (P2004-105182)

(22) 出願日 平成16年3月31日 (2004. 3. 31)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(74) 代理人 100064746

弁理士 深見 久郎

(74) 代理人 100085132

弁理士 森田 俊雄

(74) 代理人 100083703

弁理士 仲村 義平

(74) 代理人 100096781

弁理士 堀井 豊

(74) 代理人 100098316

弁理士 野田 久登

(74) 代理人 100109162

弁理士 酒井 将行

最終頁に続く

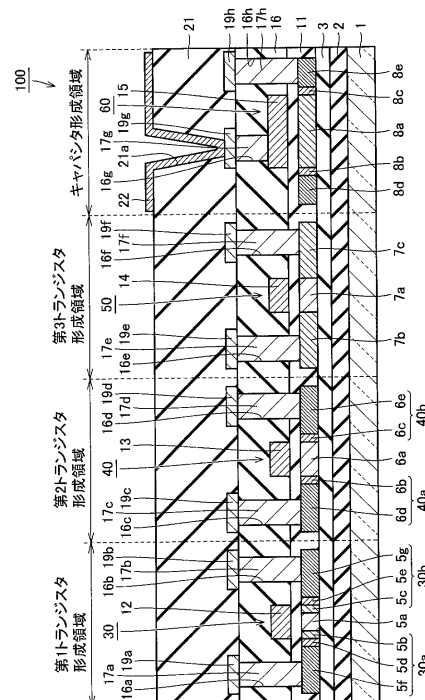
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 製造工程を削減することができ、画素電極の電圧の低下を十分に抑止することができるGOLD構造の半導体装置およびその製造方法を提供する。

【解決手段】 本発明の半導体装置100は、n型TF T 30とキャパシタ60とを備えた半導体装置であって、n型TF T 30はソース領域30aおよびドレイン領域30bを有している。ソース領域30aおよびドレイン領域30bの各々は、n型TF T 30のゲート電極12の真下に形成された第1不純物領域5b、5cと、第1不純物領域5b、5cの不純物濃度よりも高い不純物濃度を有する第2不純物領域5f、5gとを有している。第1不純物領域5b、5cの不純物濃度とキャパシタ60の一方電極8aの不純物濃度とが同じである。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

トランジスタとキャパシタとを備えた半導体装置であって、
前記トランジスタはソース領域およびドレイン領域を有し、
前記ソース領域および前記ドレイン領域の各々は、前記トランジスタのゲート電極の真下に形成された前記第 1 不純物領域と、前記第 1 不純物領域の不純物濃度よりも高い不純物濃度を有する第 2 不純物領域とを有し、
前記第 1 不純物領域の不純物濃度と前記キャパシタの一方電極の不純物濃度とが同じであることを特徴とする、半導体装置。

【請求項 2】

前記トランジスタは第 3 不純物領域をさらに有し、
前記第 3 の不純物領域は前記第 1 不純物領域と前記第 2 不純物領域との間に形成されており、
前記第 3 不純物領域の不純物濃度は、前記第 1 不純物領域の不純物濃度よりも高く、前記第 2 の不純物領域の不純物濃度よりも低いことを特徴とする、請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 不純物領域の不純物濃度と同じ不純物濃度である前記一方電極の電位よりも前記キャパシタの他方電極の電位の方が常に高いことを特徴とする、請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記キャパシタの前記一方電極または他方電極と画素電極とは電氣的に接続されていることを特徴とする、請求項 1 ~ 3 のいずれかに記載の半導体装置。

【請求項 5】

前記トランジスタは n チャンネル型トランジスタであることを特徴とする、請求項 1 ~ 4 のいずれかに記載の半導体装置。

【請求項 6】

前記第 1 不純物領域の不純物濃度は 1×10^{17} 原子 / cm^3 以上 1×10^{19} 原子 / cm^3 以下であることを特徴とする、請求項 1 ~ 5 のいずれかに記載の半導体装置。

【請求項 7】

第 1 トランジスタとキャパシタとを備えた半導体装置の製造方法であって、
第 1 トランジスタ形成領域とキャパシタ形成領域とを有する半導体膜を基板上に形成する工程と、
第 1 不純物濃度を有する 1 対の第 1 不純物領域を前記半導体膜の前記第 1 トランジスタ形成領域に形成する工程と、
前記 1 対の第 1 不純物領域の間に挟まれるチャンネル形成領域と、前記 1 対の第 1 不純物領域の各々の一部とを第 1 絶縁膜を介して覆うように、前記第 1 トランジスタの第 1 ゲート電極を前記半導体膜上に形成する工程と、
前記第 1 不純物領域よりも不純物濃度の高い第 2 不純物濃度を有する 1 対の第 2 不純物領域を前記第 1 ゲート電極の真下を除く第 1 不純物領域内に形成する工程とを備え、
前記 1 対の第 1 不純物領域を形成する工程と同一の工程により、前記第 1 不純物濃度を有する前記キャパシタの一方電極が前記半導体膜に形成されることを特徴とする、半導体装置の製造方法。

【請求項 8】

前記第 1 不純物領域よりも不純物濃度が高く、前記第 2 不純物領域よりも不純物濃度が低い第 3 不純物濃度を有する 1 対の第 3 不純物領域を前記第 1 不純物領域と前記第 2 不純物領域との間に形成する工程をさらに備えることを特徴とする、請求項 7 に記載の半導体装置の製造方法。

【請求項 9】

前記第 1 ゲート電極を形成する工程は、

前記半導体膜の前記第 1 トランジスタ形成領域上に前記第 1 絶縁膜を介して第 1 導電膜を形成する工程と、

前記チャネル形成領域と、前記 1 対の第 1 不純物領域の各々の一部とを覆うように、第 1 レジストを前記第 1 導電膜上に形成する工程と、

前記第 1 レジストをマスクとして、前記第 1 レジストよりも線幅が細くなるように前記第 1 導電膜をエッチングする工程とを含み、

前記第 1 レジストをマスクとして不純物を注入することにより前記第 2 不純物濃度を有する前記 1 対の第 2 不純物領域が前記第 1 不純物領域内に形成され、

前記第 1 のゲート電極をマスクとして不純物を注入することにより前記 1 対の第 3 不純物領域が形成されることを特徴とする、請求項 8 に記載の半導体装置の製造方法。

10

【請求項 10】

第 2 トランジスタを形成する工程をさらに備え、

前記第 2 トランジスタを形成する工程は、

前記第 1 導電膜を形成する工程と同一の工程により、前記第 2 トランジスタ形成領域をさらに有する前記半導体膜の前記第 2 トランジスタ形成領域上に第 2 絶縁膜を介して第 2 導電膜を形成する工程と、

第 1 レジストを形成する工程と同一の工程により、第 2 レジストを前記第 2 導電膜上に形成する工程と、

前記第 1 導電膜をエッチングする工程と同一の工程により、前記第 2 レジストをマスクとして、前記第 2 レジストよりも線幅が細くなるように前記第 2 導電膜をエッチングする工程と、

20

前記 1 対の第 2 不純物領域を形成する工程と同一の工程により、前記第 2 レジストをマスクとして不純物を注入することにより第 4 不純物濃度を有する 1 対の第 4 不純物領域を前記半導体層の前記第 2 トランジスタ形成領域に形成する工程と、

前記 1 対の第 3 不純物領域を形成する工程と同一の工程により、前記第 2 導電層をマスクとして不純物を注入することにより第 5 の不純物濃度を有する 1 対の第 5 不純物領域を形成する工程とを含むことを特徴とする、請求項 9 に記載の半導体装置の製造方法。

【請求項 11】

前記第 1 ゲート電極を形成する工程と同一の工程により、前記キャパシタの他方電極が形成されることを特徴とする、請求項 7 ~ 10 のいずれかに記載の半導体装置の製造方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関し、より特定的には、トランジスタとキャパシタとを備えた半導体装置およびその製造方法に関する。

【背景技術】

【0002】

近年、絶縁表面を有する基板上に形成された、厚さ数 ~ 数百 nm 程度の半導体薄膜を用いて薄膜トランジスタ (TFET: Thin Film Transistor) を構成し、この TFET で形成した大面積集積回路を有する半導体装置の開発が進んでいる。アクティブマトリクス型液晶表示装置、EL 表示装置、および密着型イメージセンサはその代表例として知られている。特に、ポリシリコン膜などの結晶質シリコン膜を活性層にした TFET は電界効果移動度が高いことから、いろいろな機能回路を形成することも可能である。

【0003】

たとえば、アクティブマトリクス型液晶表示装置は、機能ブロックごとに画像表示を行なう画素回路と、CMOS (Complementary Metal Oxide Semiconductor) 回路を基本としたシフトレジスタ回路、レベルシフト回路、バッファ回路、サンプリング回路などの画

40

50

素回路を制御するための駆動回路とが一枚の基板上に形成される。

【0004】

アクティブマトリクス型液晶表示装置の画素回路が設けられた基板には、数十から数百万個の画素の各々に画素TFTの各々が配置され、その画素TFTの各々に画素が設けられている。液晶を挟んで対向するもう一方の基板には対向電極が設けられており、液晶を誘電体とした一種のコンデンサを形成している。そして、画素の各々に印加する電圧をTFTのスイッチング機能により制御して、このコンデンサへの電荷の供給が制御される。これにより、液晶を駆動し、透過光量を制御して画像が表示される。

【0005】

画素TFTはnチャネル型TFTからなり、スイッチング素子として液晶に電圧を印加して駆動させるものである。液晶は交流で駆動させるので、フレーム反転駆動と呼ばれる方式が多く採用されている。この方式では画面を書き換えるまでの1フレームの間、液晶に印加された電圧を保持する必要がある。画素TFTのオフ電流(TFTがオフ動作時に流れるドレイン電流)が大きいと、液晶に印加された電圧が時間とともに減少し、表示品質を劣化させることになる。このため、画素TFTのオフ電流値を低減することが求められている。

【0006】

オフ電流値を低減することのできるTFTの構造として、LDD(Lightly Doped Drain)構造が知られている。LDD構造のTFTは、ソース領域およびドレイン領域の各々からチャネル形成領域側へ伸びた低濃度の不純物領域(LDD領域)の各々を有している。LDD構造のTFTによれば、ドレイン領域とチャネル形成領域との界面付近の電界を緩和することができるので、オフ電流値を低減することができる。また、LDD構造のTFTでは、ソース/ドレイン間の電界をLDD領域で緩和することでソース/ドレイン間の耐圧をある程度向上できるが、ソース/ドレイン間の耐圧はそれでもなお不十分であった。

【0007】

そこで、ソース/ドレイン間の耐圧を一層向上することのできるTFTの構造として、GOLD(Gate Overlapped Lightly Doped Drain)構造が知られている。GOLD構造のTFTは、ソース領域およびドレイン領域から伸びた低濃度の不純物領域(GOLD領域)をゲート電極の真下のチャネル形成領域に有している。GOLD構造のTFTによれば、不純物の注入によりGOLD領域の閾値電圧が低下するので、ドレイン領域側の空乏層の形成が抑制される。したがって、ソース/ドレイン間の耐圧を向上することができる。

【0008】

また、GOLD構造のTFTによれば、TFTのオン動作時にソース/ドレイン間に流れる電流(オン電流)の低下を防ぐことができる。すなわち、通常のTFTでは、ゲートに比べてドレインに高電圧を印加すると、ドレイン側の接合部に大きな電界ができる。そして、この電界により加速された電子がインパクトイオン化現象を起こし、電子・正孔対を発生する。電子・正孔対のうち、電子は、ゲート酸化膜と半導体膜との間のエネルギー障壁を超えて、ゲート酸化膜中に注入される。そして、酸化膜中に入った電子は負の固定電荷となり、TFTの閾値電圧を正側へシフトさせる。その結果、TFTのオン電流の低下を招く。これに対し、GOLD構造のTFTによれば、ゲートに比べてドレインに高電圧を印加しても、ドレイン側の接合部に大きな電界が形成されない。このため、インパクトイオン化現象が起こりにくくなるので、TFTのオン電流の低下を抑止することができる。

【0009】

しかしながら、GOLD構造のTFTでは、ゲート電極下のチャネル形成領域にまで低濃度の不純物領域が形成されているので、チャネルが形成されやすくなり、GOLD領域の閾値電圧がチャネル部分に比べて低くなる。このため、オフ電流が流れやすくなり、オフ電流値が増加するという問題があった。このような問題は、GOLD構造とLDD構造

10

20

30

40

50

とを有するTFTにも共通する問題であった。ここで、GOLD構造とLDD構造とを有するTFTとは、ソース領域およびド레인領域よりも低濃度の不純物領域であるLDD領域を、ソース領域およびド레인領域とチャンネル形成領域との間に有しており、かつLDD領域よりもさらに低濃度のGOLD領域を、LDD領域とチャンネル形成領域との間に有しているTFTである。

【0010】

オフ電流値が増加するというGOLD構造のTFTの問題を解決する方法として、画素の各々に印加する電圧を保持するためのキャパシタをさらに形成する方法がある。画素の各々に印加する電圧の低下量はオフ電流の量に比例し、キャパシタの容量に反比例する。したがって、この方法によれば、TFTのオン電流の低下を抑止しつつ、TFTのオフ電流による画素電極の電圧の低下をキャパシタに蓄積した電荷によって抑制することができる。

10

【0011】

なお、ソース領域およびド레인領域が高濃度の不純物領域と低濃度の不純物領域とを有するTFTとの製造方法が、たとえば特開2001-345448号公報(特許文献1)に開示されている。また、MOS(Metal Oxide Semiconductor)キャパシタとGOLD構造のTFTとの製造方法が、たとえば特開2002-76351号公報(特許文献2)に開示されている。

【特許文献1】特開2001-345448号公報

【特許文献2】特開2002-76351号公報

20

【発明の開示】

【発明が解決しようとする課題】

【0012】

キャパシタと、GOLD構造のTFTとを1つの基板上に形成しようとする、その製造工程が複雑なものになり、工程数が増加してしまうという問題があった。

【0013】

ここで、特許文献2に開示された技術では、GOLD構造のTFTとMOSキャパシタとがほぼ同一の工程によって製造されている。MOSキャパシタとは、MOSトランジスタとほぼ同様の構成を有するキャパシタである。MOSキャパシタにおいては、MOSトランジスタのゲート電極となる部分がキャパシタの上部電極となり、MOSトランジスタのソース領域となる部分と、ド레인領域となる部分と、チャンネル形成領域となる部分とがキャパシタの下部電極となる。MOSキャパシタにおいては、キャパシタの上部電極に印加される電圧によってキャパシタの容量が大きく変化する。このため、安定してキャパシタに電荷を蓄積することができず、TFTのオフ電流による画素電極の電圧の低下を十分に抑止することができないという問題があった。

30

【0014】

したがって、本発明の目的は、製造工程を削減することができ、画素電極の電圧の低下を十分に抑止することができるGOLD構造の半導体装置およびその製造方法を提供することである。

【課題を解決するための手段】

40

【0015】

本発明の半導体装置は、トランジスタとキャパシタとを備えた半導体装置であって、トランジスタはソース領域およびド레인領域を有している。ソース領域およびド레인領域の各々は、トランジスタのゲート電極の真下に形成された第1不純物領域と、第1不純物領域の不純物濃度よりも高い不純物濃度を有する第2不純物領域とを有している。第1不純物領域の不純物濃度とキャパシタの一方電極の不純物濃度とが同じである。

【発明の効果】

【0016】

本発明の半導体装置およびその製造方法によれば、1対の第1不純物領域を形成する工程と同一の工程により、第1不純物濃度を有するキャパシタの一方電極を形成することが

50

できる。したがって、半導体装置の製造工程を削減することができる。また、キャパシタの一方電極が1つの不純物領域で形成されるので、キャパシタの容量がキャパシタに印加される電圧によって変化しにくい。したがって、安定してキャパシタに電荷を蓄積することができ、画素電極の電圧の低下を十分に抑止することができる。

【発明を実施するための最良の形態】

【0017】

以下、本発明の実施の形態について、図に基づいて説明する。

【0018】

(実施の形態1)

図1は、本発明の実施の形態1における半導体装置の構成を示す断面図である。

10

【0019】

図1に示すように、本実施の形態の半導体装置100は、第1トランジスタ形成領域に形成されたGOLD構造とLDD構造とを有するn型TF T30と、第2トランジスタ形成領域に形成されたLDD構造のn型TF T40と、第3トランジスタ形成領域に形成されたp型TF T50と、キャパシタ形成領域に形成されたキャパシタ60とを備えている。

【0020】

基板1の上にSiN(窒化シリコン)膜2および下地膜3が積層して形成されている。n型TF T30は、ソース領域30aと、ドレイン領域30bと、チャネル形成領域5aとを第1トランジスタ形成領域の下地膜3の上に有している。ソース領域30aは、GOLD領域である第1不純物領域5bと、LDD領域である第3不純物領域5dと、第2不純物領域5fとを有している。ドレイン領域30bは、GOLD領域である第1不純物領域5cと、LDD領域である第3不純物領域5eと、第2不純物領域5gとを有している。第3の不純物領域5d, 5eの各々は、第2の不純物領域5f, 5gの各々からチャネル形成領域5aの方へ伸びるように形成されている。第1不純物領域5b, 5cの各々は、第3の不純物領域5d, 5eの各々からチャネル形成領域5aの方へ伸びるように形成されている。チャネル形成領域5aのチャネル長(図1中横方向の長さ)は、たとえば1μmである。第3の不純物領域5d, 5eの各々の不純物濃度は第1不純物領域5b, 5cの各々の不純物濃度よりも高く、第2の不純物領域5g, 5fの各々の不純物濃度は第3不純物領域5d, 5eの各々の不純物濃度よりも高い。第1不純物領域5b, 5cの各々はゲート電極12の真下に形成されている。すなわち、チャネル形成領域5aと、第1不純物領域5b, 5cの各々とをゲート絶縁膜となるSiO₂膜11を介して覆うように、n型TF T30のゲート電極12が形成されている。なお、第1不純物領域5b, 5cの不純物濃度は 10^{17} 原子/cm³以上 10^{19} 原子/cm³以下であることが好ましい。

20

30

【0021】

キャパシタ60は、下部電極8aと上部電極15とをキャパシタ形成領域の下地膜3上に有している。下部電極8aと上部電極15とは、誘電体となるSiO₂膜11を挟んで互いに対向している。本実施の形態の半導体装置においては、キャパシタ60の下部電極8aの不純物濃度と、n型TF T30の第1不純物領域5b, 5cの不純物濃度とが同じである。なお、下部電極8aの両側には中濃度不純物領域8b, 8cの各々が形成されており、中濃度領域8b, 8cの各々の両側には高濃度不純物領域8d, 8eの各々が形成されている。

40

【0022】

n型TF T40は、ソース領域40aと、ドレイン領域40bと、チャネル形成領域6aとを第2トランジスタ形成領域の下地膜3の上に有している。ソース領域40aは、LDD領域である第5不純物領域6bと、第4不純物領域6dとを有している。ドレイン領域40bは、LDD領域である第5不純物領域6cと、第4不純物領域6eとを有している。第5の不純物領域6b, 6cの各々は、第4の不純物領域6d, 6eの各々からチャネル形成領域5aの方へ伸びるように形成されている。第4の不純物領域6d, 6eの各々の不純物濃度は第5不純物領域6b, 6cの各々の不純物濃度よりも高い。チャネル形

50

成領域 6 a をゲート絶縁膜となる SiO_2 膜 1 1 を介して覆うように、n 型 TFT 4 0 のゲート電極 1 3 が形成されている。

【0023】

p 型 TFT 5 0 は、ソース領域 7 b と、ドレイン領域 7 c と、チャネル形成領域 7 a とを第 3 トランジスタ形成領域の下地膜 3 の上に有している。チャネル形成領域 7 a をゲート絶縁膜となる SiO_2 膜 1 1 を介して覆うように、p 型 TFT 5 0 のゲート電極 1 4 が形成されている。

【0024】

ゲート電極 1 2 ~ 1 4 と上部電極 1 5 とを覆うように、 SiO_2 膜 1 1 上に層間絶縁膜 1 6 が形成されている。 SiO_2 膜 1 1 および層間絶縁膜 1 6 には孔 1 6 a ~ 1 6 h の各々が形成されており、孔 1 6 a ~ 1 6 h の各々にはコンタクト 1 7 a ~ 1 7 h の各々が形成されている。コンタクト 1 7 a と n 型 TFT 3 0 の第 1 不純物領域 5 f とは電氣的に接続されており、コンタクト 1 7 b と n 型 TFT 3 0 の第 1 不純物領域 5 g とは電氣的に接続されている。コンタクト 1 7 c と n 型 TFT 4 0 の第 4 不純物領域 6 d とは電氣的に接続されており、コンタクト 1 7 d と n 型 TFT 4 0 の第 4 不純物領域 6 e とは電氣的に接続されている。コンタクト 1 7 e と p 型 TFT 5 0 のソース領域 7 b とは電氣的に接続されており、コンタクト 1 7 f と p 型 TFT 5 0 のドレイン領域 7 c とは電氣的に接続されている。コンタクト 1 7 g とキャパシタ 6 0 の上部電極 1 5 とは電氣的に接続されており、コンタクト 1 7 h とキャパシタ形成領域の高濃度不純物領域 8 e とは電氣的に接続されている。

10

20

【0025】

コンタクト 1 7 a , 1 7 b の各々と電氣的に接続するように、n 型 TFT 3 0 のソース電極 1 9 a およびドレイン電極 1 9 b の各々が層間絶縁膜 1 6 上に形成されている。コンタクト 1 7 c , 1 7 d の各々と電氣的に接続するように、n 型 TFT 4 0 のソース電極 1 9 c およびドレイン電極 1 9 d の各々が層間絶縁膜 1 6 上に形成されている。コンタクト 1 7 e , 1 7 f の各々と電氣的に接続するように、p 型 TFT 5 0 のソース電極 1 9 e およびドレイン電極 1 9 f の各々が層間絶縁膜 1 6 上に形成されている。コンタクト 1 7 g , 1 7 h の各々と電氣的に接続するように、配線 1 9 g , 1 9 h の各々が層間絶縁膜 1 6 上に形成されている。

【0026】

ソース電極 1 9 a , 1 9 c , 1 9 e 、ドレイン電極 1 9 b , 1 9 d , 1 9 f および配線 1 9 g , 1 9 h の各々を覆うように、層間絶縁膜 1 6 上に層間絶縁膜 2 1 が形成されている。層間絶縁膜 2 1 には溝 2 1 a が形成されており、溝 2 1 a の内壁に沿うように画素電極 2 2 が形成されている。画素電極 2 2 と配線 1 9 g とは電氣的に接続されている。配線 1 9 h には、配線 1 9 g よりも配線 1 9 h が低い電位となるような電圧が常に印加される。また、画素電極 2 2 は画素用トランジスタのドレイン領域と (図示なし) 電氣的に接続されている。

30

【0027】

本実施の形態の半導体装置 1 0 0 では、GOLD 構造と LDD 構造とを有する n 型 TFT 3 0 と、LDD 構造の n 型 TFT 4 0 と、p 型 TFT 5 0 とが、各々の特性に応じて適切に配置される。具体的には、画素用トランジスタのように高電圧で駆動され、低いオフ電流が要求される部分には GOLD 構造と LDD 構造とを有する n 型 TFT 3 0 が配置される。また、CMOS 駆動回路のように多数のトランジスタを集積する部分には占有面積の小さい LDD 構造の n 型 TFT 4 0 および p 型 TFT 5 0 が配置される。

40

【0028】

なお、n 型 TFT 3 0 のゲート絶縁膜と、n 型 TFT 4 0 のゲート絶縁膜と、p 型 TFT 5 0 のゲート絶縁膜と、キャパシタ 6 0 の誘電体膜とは、連続した SiO_2 膜 1 1 で形成されている場合について示したが、本発明はこのような場合の他、ゲート絶縁膜とキャパシタの誘電体膜とが互いに分離していてもよい。また、n 型 TFT 3 0 のソース領域 3 0 a およびドレイン領域 3 0 b およびチャネル形成領域 5 a (以下、半導体膜) と、n 型

50

T F T 4 0 の半導体膜と、p 型 T F T 5 0 の半導体膜と、キャパシタ 6 0 の下部電極 8 a とが互いに分離している場合について示したが、本発明はこのような場合の他、これらの半導体膜とキャパシタの下部電極とが互いに連続していてもよい。

【 0 0 2 9 】

続いて、本実施の形態の半導体装置の製造方法について説明する。

【 0 0 3 0 】

図 2 ~ 図 1 0 は、本発明の実施の形態 1 における半導体装置の製造方法を工程順に説明する図である。

【 0 0 3 1 】

図 2 に示すように、たとえば 1 7 3 7 ガラス (コーニング社製) よりなる基板 1 を準備する。そして、たとえば 1 0 0 n m の膜厚の S i N 膜 2 と、たとえば 1 0 0 n m の膜厚の S i O₂ よりなる下地膜 3 とをプラズマ C V D (Chemical Vapor Deposition) により基板 1 上に積層して形成する。ここで、S i N 膜 2 は、基板 1 からの不純物が半導体膜へ拡散するのを防ぐために形成されるものである。S i N の代わりに S i O N , S i C , A l N , A l₂O₃ などを用いてもよい。また、S i N 膜 2 と下地膜 3 とを省略してもよく、基板 1 上に他の下地膜をさらに積層してもよい。次に、アモルファスシリコン膜をプラズマ C V D により下地膜 3 上に形成し、アモルファスシリコン膜を真空中で熱処理する。この熱処理によってアモルファスシリコン中の不要な水素が除去される。次に、アモルファスシリコン膜にたとえば X e C l レーザを照射することにより、アモルファスシリコン膜を多結晶シリコン膜に変える。多結晶シリコン膜中のシリコンの結晶粒径は約 0 . 5 μ m となる。なお、X e C l レーザを照射する代わりに、たとえば Y A G (Yttrium Aluminum Garnet) レーザや C W (Continuous Wave) レーザを照射してもよく、たとえば N i (ニッケル) などの触媒を用いて熱アニールを行なってもよい。次に、多結晶シリコン膜上にレジストをパターンニングし、このレジストをマスクとして多結晶シリコン膜をドライエッチングする。これにより、半導体膜としての多結晶シリコン膜 5 ~ 8 がアイランド状に形成される。その後、アッシングと薬液処理によりレジストを除去する。

【 0 0 3 2 】

続いて、図 3 に示すように、多結晶シリコン膜 5 ~ 8 を覆うようにたとえば 1 0 0 n m の膜厚の S i O₂ 膜をプラズマ C V D により形成する。プラズマ C V D の原料としてはたとえば T E O S (Tetra Ethyl Ortho Silicate) と O₂ とを用いる。次に、第 1 トランジスタ形成領域の S i O₂ 膜 1 1 の一部と、第 2 および第 3 トランジスタ形成領域の S i O₂ 膜 1 1 とを覆うようにレジスト 7 0 a を形成する。次に、レジスト 7 0 a をマスクとして、多結晶シリコン膜 5 と多結晶シリコン膜 8 とにたとえば $1 . 3 \times 10^{-17}$ J の加速エネルギーで 5×10^{12} 原子 / c m² の注入量の P (リン) を注入する。これにより、多結晶シリコン膜 5 に第 1 不純物領域 5 b , 5 c が形成され、それと同時に、多結晶シリコン膜 8 にキャパシタ 6 0 の下部電極 8 a が形成される。なお、多結晶シリコン膜 5 における第 1 不純物領域 5 b と第 1 不純物領域 5 c との間の領域は、チャネル形成領域 5 a となる。その後、アッシングと薬液処理によりレジスト 7 0 a を除去する。

【 0 0 3 3 】

続いて、図 4 に示すように、たとえば 2 0 0 n m の膜厚の C r (クロム) よりなる導電膜 7 1 をスパッタ法により形成する。これにより、第 1 不純物領域 5 b , 5 c およびチャネル形成領域 6 a の第 1 トランジスタ形成領域上に S i O₂ 膜 1 1 を介して導電膜 7 1 が形成される。次に、第 1 および第 2 トランジスタ形成領域の導電膜 7 1 と、第 3 トランジスタ形成領域の導電膜 7 1 の一部と、キャパシタ形成領域の導電膜 7 1 とを覆うようにレジスト 7 0 b を形成する。次に、レジスト 7 0 b をマスクとして導電膜 7 1 をウエットエッチングする。これにより、p 型 T F T 5 0 のゲート電極 1 4 が形成される。その後、アッシングと薬液処理によりレジスト 7 0 b を除去する。

【 0 0 3 4 】

続いて、図 5 に示すように、導電膜 7 1 をマスクとして、第 3 トランジスタ形成領域の多結晶シリコン膜 7 にたとえば B (ボロン) を注入する。これにより、多結晶シリコン膜

7 にソース領域 7 b およびドレイン領域 7 c が形成される。多結晶シリコン膜 7 のソース領域 7 b とドレイン領域 7 c との間の領域は、チャネル形成領域 7 a となる。

【0035】

続いて、図 6 に示すように、チャネル形成領域 5 a と、第 1 不純物領域 5 b , 5 c の各々の一部とを覆うように、レジスト 70 c を導電膜 71 上に形成する。また、第 2 トランジスタ形成領域の一部と、キャパシタ形成領域の一部とを覆うように、レジスト 70 c を導電膜 71 上にも形成する。

【0036】

続いて、図 7 に示すように、レジスト 70 c をマスクとして、レジスト 70 c よりも線幅が細くなるように導電膜 71 をウエットエッチングする。ここで、「線幅」とは、チャネル長（図 7 中横方向）方向の長さである。これにより、チャネル形成領域 5 a と、第 1 不純物領域 5 b , 5 c の各々の一部とを SiO_2 膜 11 を介して覆うように、第 1 トランジスタのゲート電極 12 が形成される。ゲート電極 12 の形成と同時に、n 型 TFT 40 のゲート電極 13 が形成され、キャパシタ 60 の上部電極 15 が形成される。

【0037】

続いて、図 8 に示すように、レジスト 70 d を第 3 トランジスタ形成領域に形成する。そして、レジスト 70 c , 70 d をマスクとして、たとえば 1.3×10^{-17} J の加速エネルギーで 1×10^{14} 原子 / cm^2 の注入量の P を注入する。これにより、n 型 TFT 30 の第 2 不純物領域 5 f , 5 g が第 1 不純物領域 5 b , 5 c 内に形成され、それと同時に、第 4 不純物領域 6 d , 6 e が多結晶シリコン膜 6 に形成される。さらに、下部電極 8 a の両端に高濃度不純物領域 8 d , 8 e も形成される。

【0038】

続いて、図 9 に示すように、アッシングと薬液処理によりレジスト 70 c , 70 d を除去する。そして、ゲート電極 12 ~ 14 および上部電極 15 をマスクとして、たとえば 1.3×10^{-17} J の加速エネルギーで 1×10^{13} 原子 / cm^2 の注入量の P を注入する。このとき、ゲート電極 12 , 13 および上部電極 15 はレジスト 70 c よりも線幅が細くなっているため、ゲート電極 12 , 13 および上部電極 15 をマスクとして不純物を注入することにより、レジスト 70 c をマスクとしたときには不純物が注入されなかった領域にも不純物を注入することができる。これにより、第 3 不純物領域 5 d , 5 e が第 1 不純物領域 5 b , 5 c 内に形成され、それと同時に、第 5 不純物領域 6 b , 6 c が多結晶シリコン膜 6 に形成される。なお、多結晶シリコン膜 6 の第 5 不純物領域 6 b と第 5 不純物領域 6 c との間の領域は、チャネル形成領域 6 a となる。さらに、下部電極 8 a の両端に中濃度不純物領域 8 b , 8 c も形成される。

【0039】

続いて、図 10 に示すように、ゲート電極 12 ~ 14 および上部電極 15 を覆うように SiO_2 膜 11 上に層間絶縁膜 16 を形成する。次に、ソース領域 30 a , 40 a , 7 b の各々と、ドレイン領域 30 b , 40 b , 7 c の各々と、上部電極 15 の一部と、高濃度不純物領域 8 e とを露出するように、層間絶縁膜 16 に孔 16 a ~ 16 h の各々を形成する。次に、孔 16 a ~ 16 h の各々の内部にたとえば Cr よりなるコンタクト 17 a ~ 17 h の各々を形成する。ここで、高濃度不純物領域 8 e とコンタクト 17 h とを電氣的に接続することにより、コンタクト 17 h のコンタクト抵抗を低減することができる。次に、ソース電極 19 a , 19 c , 19 e、ドレイン電極 19 b , 19 d , 19 f および配線 19 g , 19 h の各々をコンタクト 17 a ~ 17 h の各々と電氣的に接続するように層間絶縁膜 16 上に形成する。ソース電極 19 a , 19 c , 19 e、ドレイン電極 19 b , 19 d , 19 f および配線 19 g , 19 h は、たとえば Al（アルミニウム）により形成される。

【0040】

次に、図 11 に示すように、ソース電極 19 a , 19 c , 19 e、ドレイン電極 19 b , 19 d , 19 f および配線 19 g , 19 h の各々を覆うように、層間絶縁膜 16 上に層間絶縁膜 21 を形成する。次に、配線 19 g の一部を露出するように、層間絶縁膜 21 に溝

10

20

30

40

50

2 1 a を形成する。次に、溝 2 1 a の内壁面に沿って画素電極 2 2 を形成する。以上の工程により本実施の形態の半導体装置 1 0 0 が完成する。

【 0 0 4 1 】

本実施の形態の半導体装置 1 0 0 およびその製造方法によれば、G O L D 領域である第 1 不純物領域 5 b , 5 c を形成する工程と同一の工程により、第 1 不純物領域 5 b , 5 c と同じ不純物濃度を有するキャパシタ 6 0 の下部電極 8 a を形成することができる。したがって、半導体装置の製造工程を削減することができる。また、キャパシタ 6 0 の下部電極 8 a が 1 つの不純物領域 8 a で形成されるので、キャパシタの容量がキャパシタに印加される電圧によって変化しにくい。したがって、安定してキャパシタに電荷を蓄積することができ、画素電極 2 2 の電圧の低下を十分に抑止することができる。

10

【 0 0 4 2 】

本実施の形態の半導体装置 1 0 0 においては、ソース領域 3 0 a およびドレイン領域 3 0 b は第 3 不純物領域 5 d , 5 e を有している。第 3 の不純物領域 5 d , 5 e は第 1 不純物領域 5 b , 5 c と第 2 不純物領域 5 f , 5 g との間に形成されており、第 3 不純物領域 5 d , 5 e の不純物濃度は、第 1 不純物領域 5 b , 5 c の不純物濃度よりも高く、第 2 の不純物領域 5 f , 5 g の不純物濃度よりも低い。

【 0 0 4 3 】

本実施の形態の半導体装置 1 0 0 の製造方法においては、第 1 不純物領域 5 b , 5 c よりも不純物濃度が高く、第 2 不純物領域 5 f , 5 g よりも不純物濃度が低い第 3 不純物領域 5 d , 5 e を第 1 不純物領域 5 b , 5 c と第 2 不純物領域 5 f , 5 g との間に形成する。

20

【 0 0 4 4 】

これにより、ソース領域 3 0 a およびドレイン領域 3 0 b の各々が G O L D 領域と L D 領域とを有するので、ドレイン領域 3 0 b とチャネル形成領域 5 a との界面付近の電界を一層緩和することができる。その結果、n 型 T F T 3 0 のオフ電流値を一層低減することができる。

【 0 0 4 5 】

本実施の形態の半導体装置 1 0 0 においては、キャパシタ 6 0 の下部電極 8 a の電位よりもキャパシタ 6 0 の上部電極 1 5 の電位の方が常に高い。

【 0 0 4 6 】

キャパシタの一方電極が不純物領域で形成される場合には、キャパシタの容量がキャパシタに印加される電圧により変化する。言い換えれば、キャパシタが C (容量) - V (電圧) 特性を有する。キャパシタは、電圧が一定値以下の場合に電圧により容量が変化し、電圧が一定値以上になると容量が一定になるような C - V 特性を有している。容量が一定となる電圧をフラットバンド電圧という。特許文献 2 に開示された技術におけるキャパシタは M O S キャパシタであったので、フラットバンド電圧が正の大きな値となる。すなわち、下部電極の電位に対して上部電極の電位を高くしたとしても依然としてキャパシタの容量は電圧により変化する。一方、本実施の形態のキャパシタ 6 0 の下部電極は 1 つの不純物領域により形成されているので、フラットバンド電圧がマイナスの値となる。このため、下部電極 8 a の電位よりも上部電極 1 5 の電位を高く保つことにより、キャパシタ 6 0 の容量は電圧に関わらず一定となる。

30

40

【 0 0 4 7 】

本実施の形態の半導体装置 1 0 0 においては、キャパシタ 6 0 の上部電極 1 5 と画素電極 2 0 とが電氣的に接続されている。

【 0 0 4 8 】

これにより、画素電極 2 0 に印加する電圧の低下をキャパシタ 6 0 に蓄積した電荷によって抑制することができる。

【 0 0 4 9 】

本実施の形態の半導体装置 1 0 0 において、第 1 不純物領域 5 b , 5 c の不純物濃度は 10^{17} 原子 / cm^3 以上 10^{19} 原子 / cm^3 以下である。

50

【0050】

これにより、 n 型TF T 3 0の耐圧を向上することができる。また、第1不純物領域5 b, 5 cの不純物濃度は 10^{17} 原子/cm³以上とすることにより、キャパシタ6 0のフラットバンド電圧が正の値になる。すなわち、下部電極8 aの電位よりも上部電極1 5の電位の方を高くすることによりキャパシタ6 0の容量を一定に保つことができる。

【0051】

本実施の形態の半導体装置1 0 0の製造方法において、ゲート電極1 2は、多結晶シリコン膜5 上にSiO₂膜1 1を介して導電膜7 1を形成し、チャネル形成領域5 aと、第1不純物領域5 b, 5 cの各々の一部とを覆うように、レジスト7 0 cを導電膜7 1上に形成し、レジスト7 0 cをマスクとして、レジスト7 0 cよりも線幅が細くなるように導電膜7 1をエッチングすることにより形成される。また、レジスト7 0 cをマスクとして不純物を注入することにより第2不純物領域5 f, 5 gが第1不純物領域5 b, 5 c内に形成され、ゲート電極1 2をマスクとして不純物を注入することにより第3不純物領域5 d, 5 eが形成される。

10

【0052】

これにより、簡易な方法によりゲート電極1 2と第2の不純物領域5 f, 5 gと、第3の不純物領域5 d, 5 eとが形成される。

【0053】

本実施の形態の半導体装置1 0 0の製造方法は、 p 型TF T 4 0が以下の方法により形成される。導電膜7 1を形成すると同時に、半導体膜6 上にSiO₂膜1 1を介して導電膜7 1を形成する。レジスト7 0 cを形成すると同時に、レジスト7 0 cを第2トランジスタ形成領域の導電膜7 1上に形成する。導電膜7 1をエッチングすると同時に、レジスト7 0 cをマスクとして、レジスト7 0 cよりも線幅が細くなるように第2トランジスタ形成領域の導電膜7 1をエッチングする。第2不純物領域5 f, 5 gを形成すると同時に、レジスト7 0 cをマスクとして不純物を注入することにより第4不純物領域6 d, 6 eを半導体層6に形成する。第3不純物領域5 d, 5 eを形成すると同時に、ゲート電極1 3をマスクとして不純物を注入することにより第5不純物領域6 b, 6 cを形成する。

20

【0054】

これにより、GOLD構造とLDD構造とを有する n 型TF T 3 0を形成すると同時に、LDD構造の n 型TF T 4 0を形成することができる。

30

【0055】

本実施の形態の半導体装置1 0 0においては、ゲート電極1 2を形成すると同時に、キャパシタ6 0の上部電極1 5を形成する。

【0056】

これにより、ゲート電極1 2と上部電極1 5とを別々の工程で形成する場合に比べて製造方法を簡略化できる。

【0057】

なお、本実施の形態においては、GOLD構造のTF Tが n 型TF T 3 0である場合について示したが、本発明はこのような場合に限定されるものではなく、GOLD構造のTF Tが p チャネル型トランジスタであってもよい。また、 n チャネル型トランジスタであることが好ましい。

40

【0058】

(実施の形態2)

図1 1は、本発明の実施の形態2における半導体装置の構成を示す断面図である。

【0059】

図1 1に示すように、本実施の形態の半導体装置1 0 1においては、第1トランジスタ形成領域にGOLD構造の n 型TF T 3 1が形成され、第2トランジスタ形成領域に n 型TF T 4 1が形成されている。 n 型TF T 3 1は、ソース領域3 1 aと、ドレイン領域3 1 bと、チャネル形成領域5 aとを第1トランジスタ形成領域の下地膜3 の上に有している。ソース領域3 1 aは、GOLD領域である第1不純物領域5 bと、第2不純物領域5

50

fとを有している。ドレイン領域31bは、GOLD領域である第1不純物領域5cと、第2不純物領域5gとを有している。第1不純物領域5b, 5cの各々は、第2の不純物領域5f, 5gの各々からチャンネル形成領域5aの方へ伸びるようにゲート電極12の真下に形成されている。第2の不純物領域5f, 5gの各々の不純物濃度は第1不純物領域5b, 5cの各々の不純物濃度よりも高い。チャンネル形成領域5aをゲート絶縁膜となるSiO₂膜11を介して覆うように、n型TF T 31のゲート電極12が形成されている。

【0060】

n型TF T 41は、ソース領域としての第4不純物領域6dと、ドレイン領域としての第4不純物領域6eと、チャンネル形成領域6aとを第2トランジスタ形成領域の下地膜3の上に有している。チャンネル形成領域6aをゲート絶縁膜となるSiO₂膜11を介して覆うように、n型TF T 41のゲート電極13が形成されている。

【0061】

なお、これ以外の半導体装置101の構成は、図1に示す実施の形態1の半導体装置100の構成とほぼ同様であるので、同一の部材には同一の符号を付し、その説明を省略する。

【0062】

続いて、本実施の形態の半導体装置の製造方法について説明する。

【0063】

本実施の形態の半導体装置101の製造方法は、まず図2～図7に示す実施の形態1の製造工程とほぼ同様の製造工程を経る。次に、図8に示すようなレジスト70dをマスクとしたPの注入を行わずにレジスト70dが除去される。その後、図9および図10に示す実施の形態1の製造工程とほぼ同様の製造工程を経て、本実施の形態の半導体装置101が完成する。

【0064】

本実施の形態のように、GOLD構造のn型TF T 31とn型TF T 41とキャパシタ60とを備えた半導体装置101についても、本発明を適用することによって実施の形態1と同様の効果を得ることができる。

【実施例1】

【0065】

以下本発明の実施例について説明する。

【0066】

(実施例1)

本実施例においては、まず、図1に示す実施の形態1の半導体装置100を製造した。半導体装置100におけるn型TF T 30のチャンネル幅を10μmとし、チャンネル長は5μmとした。また、第1不純物領域5b, 5cのチャンネル長方向の長さを1μmとし、第3不純物領域5d, 5eのチャンネル長方向の長さを0.5μmとした。また、ゲート電極12のチャンネル長方向の長さを7μmとした。

【0067】

なお、本実施例では第1不純物領域5b, 5cのチャンネル長方向の長さを1μmとしたが、これは設計値である、実際の第1不純物領域5b, 5cのチャンネル長方向の長さは、ゲート電極12をマスクするレジスト70cのアライメント精度の影響を受ける。現状のステッパでは、第1不純物領域5b, 5cのチャンネル長方向の長さを1μmで設計すると、実際にはチャンネル長方向の長さが1μm±0.3μmの第1不純物領域5b, 5cの長さとなる。すなわち、第1不純物領域5b, 5cのチャンネル長方向の長さを0.7μm確保するためには、本実施例のように第1不純物領域5b, 5cのチャンネル長方向の長さを1μmで設計する必要がある。以上のように、第1不純物領域5b, 5cのチャンネル長方向の長さを設計する際には、ゲート電極12をマスクするレジスト70cのアライメント精度の影響を考慮する必要がある。

【0068】

10

20

30

40

50

次に、第1不純物領域5b, 5cおよび下部電極8aの不純物濃度と、第3不純物領域5d, 5eの不純物濃度をSIMS (Secondary Ion Mass Spectrometer) によって測定した。その結果、第1不純物領域5b, 5cおよび下部電極8aの不純物濃度は 5×10^{17} 原子/cm³であり、第3不純物領域5d, 5eの不純物濃度は 1.5×10^{18} 原子/cm³であった。

【0069】

続いて、GOLD構造とLDD構造とを有するn型TFT30の耐圧およびオン電流を測定した。耐圧の測定については、ゲート電極12およびソース電極19aを接地して0Vとした状態でソース/ドレイン間に電圧を印加し、ソース/ドレイン間に流れるドレイン電流を測定した。そして、ドレイン電流が0.1μAとなるときのソース/ドレイン間の電圧(ソース電極19aに対するドレイン電極19bの電位)をn型TFT30の耐圧とした。また、比較のために、従来のLDD構造のTFTの耐圧およびオン電流も測定した。なお、従来のLDD構造のTFTのチャネル幅を10μmとし、チャネル長は5μmとした。また、LDD領域のチャネル長方向の長さを0.5μmとした。本発明のn型TFT30の耐圧およびオン電流と、LDD構造のTFTの耐圧およびオン電流との測定結果を表1に示す。

【0070】

【表1】

	本発明のGOLD構造とLDD構造とを有するTFT	従来のLDD構造のTFT
耐圧(V)	22.8	12.9
オン電流(A)	2.1×10^{-4}	2.2×10^{-4}

【0071】

表1に示すように、LDD構造のTFTの耐圧が12.9Vであるのに対し、本発明のn型TFT30の耐圧は22.8Vとなっている。このことから、本発明のn型TFT30の耐圧はLDD構造のTFTの耐圧よりも高いことが分かる。また、LDD構造のTFTのオン電流が 2.1×10^{-4} Aであるのに対し、本発明のn型TFT30のオン電流は 2.2×10^{-4} Aとなっている。このことから、本発明のn型TFT30のオン電流はLDD構造のTFTのオン電流とほぼ同様の値となっていることが分かる。

【0072】

(実施例2)

本実施例においては、第1不純物領域5b, 5cおよび下部電極8aの不純物濃度をそれぞれ 5×10^{17} 原子/cm³, 1×10^{18} 原子/cm³, 2×10^{18} 原子/cm³と変化させて図1に示す実施の形態1の半導体装置100を製造した。そして、それぞれの半導体装置100についてキャパシタ60のフラットバンド電圧を測定した。この結果を表2に示す。なお、表2のフラットバンド電圧は、下部電極8aの電位に対する上部電極15の電位で示されている。

【0073】

【表2】

	第1不純物領域(GOLD領域)の不純物濃度(原子/cm ³)		
	5×10^{17}	1×10^{18}	2×10^{18}
フラットバンド電圧(V)	-2	-5	-10

【0074】

表2に示すように、不純物濃度が 5×10^{17} 原子/cm³である場合にはフラットバン

ド電圧は - 2 V となっており、不純物濃度が 1×10^{17} 原子 / cm^3 である場合にはフラットバンド電圧は - 5 V となっており、不純物濃度が 2×10^{18} 原子 / cm^3 である場合にはフラットバンド電圧は - 10 V となっている。ここで、フラットバンド電圧が - 10 V である場合には、下部電極 8 a の電位を上部電極 15 の電位よりも - 10 V 以上高くすることでキャパシタ 60 の容量が一定になる。表 2 の結果によれば、第 1 不純物領域 5 b, 5 c および下部電極 8 a の不純物濃度がいずれの場合にもフラットバンド電圧はマイナスとなっている。上述のように、フラットバンド電圧がマイナスであれば、下部電極 8 a の電位よりも上部電極 15 の電位を高く保つことによりキャパシタ 60 の容量は電圧に関わらず一定となる。したがって、本発明の半導体装置によれば、安定してキャパシタに電荷を蓄積することができ、画素電極の電圧の低下を十分に抑止できることがわかる。

10

【0075】

(実施例3)

本実施例においては、第 1 不純物領域 5 b, 5 c および下部電極 8 a の不純物濃度をそれぞれ 5×10^{16} 原子 / cm^3 、 1×10^{17} 原子 / cm^3 、 5×10^{17} 原子 / cm^3 と変化させて図 1 に示す実施の形態 1 の半導体装置 100 を製造した。そして、それぞれの半導体装置 100 の n 型 TFT 30 について、実施例 1 と同様の方法により耐圧を測定した。この結果を表 3 に示す。

【0076】

【表3】

	第 1 不純物領域 (GOLD 領域) の不純物濃度 (原子 / cm^3)		
	5×10^{16}	1×10^{17}	5×10^{17}
耐圧 (V)	14.2	23.5	22.8

20

【0077】

表 3 に示すように、不純物濃度が 5×10^{16} 原子 / cm^3 である場合には n 型 TFT 30 の耐圧は 14.2 V となっており、不純物濃度が 1×10^{17} 原子 / cm^3 である場合には n 型 TFT 30 の耐圧は 23.5 V となっており、不純物濃度が 5×10^{17} 原子 / cm^3 である場合には n 型 TFT 30 の耐圧は 22.8 V となっている。実施例 3 と実施例 2 との結果から、不純物濃度を 1×10^{17} 原子 / cm^3 以上とすることにより、キャパシタ 60 のフラットバンド電圧がマイナスの値となり、かつ n 型 TFT 30 の耐圧が一層向上することが分かる。

30

【0078】

以上に開示された実施の形態および実施例はすべての点で例示であって制限的なものではないと考慮されるべきである。本発明の範囲は、以上の実施の形態および実施例ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての修正や変形を含むものと意図される。

【図面の簡単な説明】

【0079】

40

【図1】本発明の実施の形態 1 における半導体装置の構成を示す断面図である。

【図2】本発明の実施の形態 1 における半導体装置の製造方法の第 1 工程を示す断面図である。

【図3】本発明の実施の形態 1 における半導体装置の製造方法の第 2 工程を示す断面図である。

【図4】本発明の実施の形態 1 における半導体装置の製造方法の第 3 工程を示す断面図である。

【図5】本発明の実施の形態 1 における半導体装置の製造方法の第 4 工程を示す断面図である。

【図6】本発明の実施の形態 1 における半導体装置の製造方法の第 5 工程を示す断面図で

50

ある。

【図 7】本発明の実施の形態 1 における半導体装置の製造方法の第 6 工程を示す断面図である。

【図 8】本発明の実施の形態 1 における半導体装置の製造方法の第 7 工程を示す断面図である。

【図 9】本発明の実施の形態 1 における半導体装置の製造方法の第 8 工程を示す断面図である。

【図 10】本発明の実施の形態 1 における半導体装置の製造方法の第 9 工程を示す断面図である。

【図 11】本発明の実施の形態 2 における半導体装置の構成を示す断面図である。

10

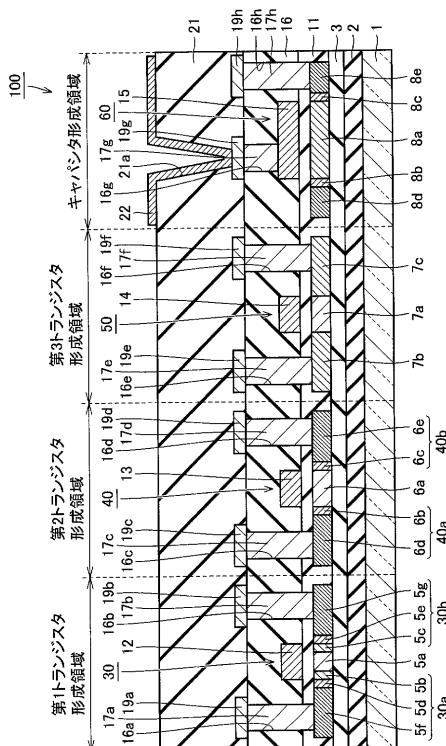
【符号の説明】

【0080】

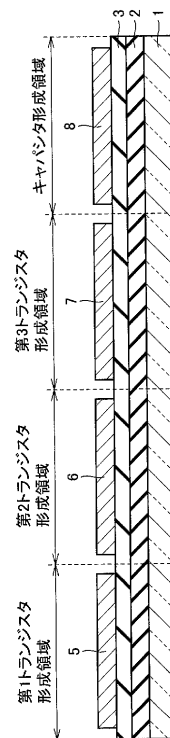
1 基板、2 SiN 膜、3 下地膜、5～8 多結晶シリコン膜、5a, 6a, 7a チャンネル形成領域、5b～5g, 6b～6e, 8b～8e 不純物領域、7b, 30a, 31a, 40a ソース領域、7c, 30b, 31b, 40b ドレイン領域、8a 下部電極、11 SiO₂ 膜、12～14 ゲート電極、15 上部電極、16, 21 層間絶縁膜、16a～16h 孔、17a～17h コンタクト、19a, 19c, 19e ソース電極、19b, 19d, 19f ドレイン電極、19g, 19h 配線、21a 溝、22 画素電極、30, 31, 40, 41 n型 TFT、50 p型 TFT、60 キャパシタ、70a～70d レジスト、71 導電膜、100, 101 半導体装置。

20

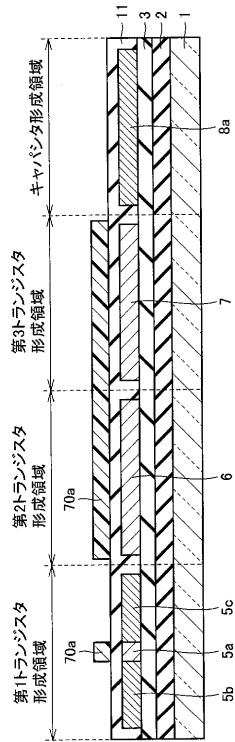
【図 1】



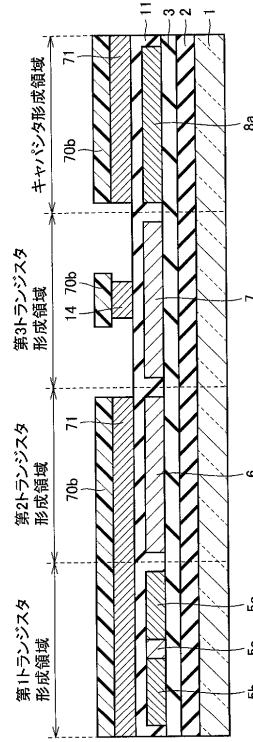
【図 2】



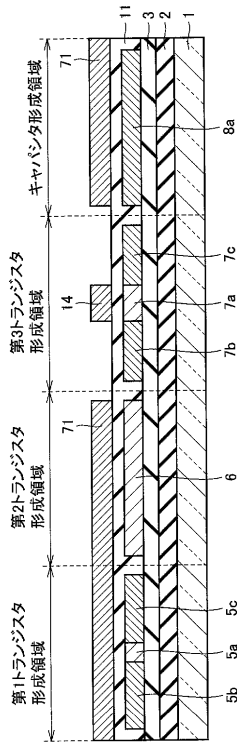
【図 3】



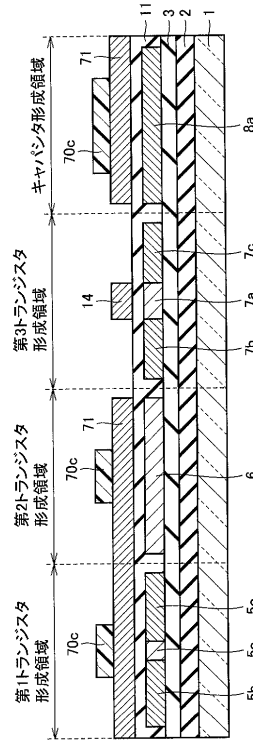
【図 4】



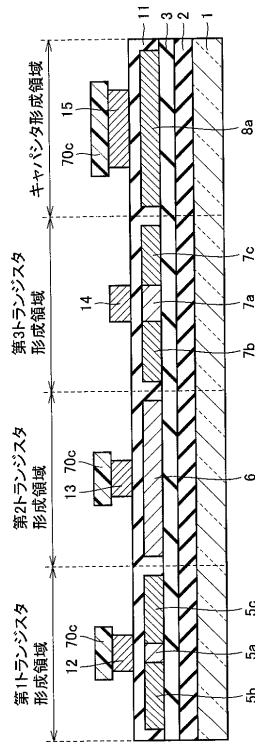
【図 5】



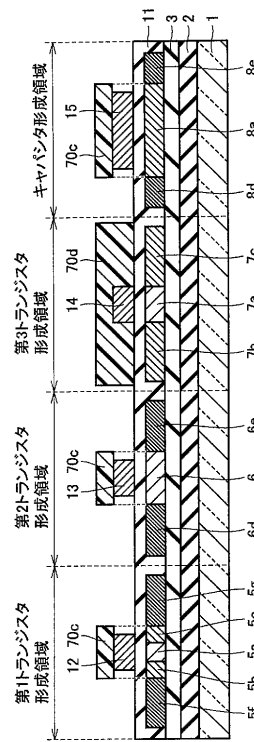
【図 6】



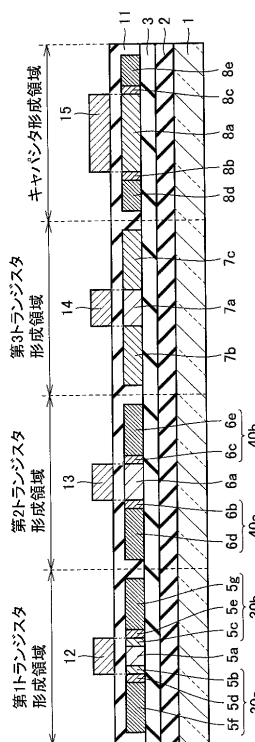
【図 7】



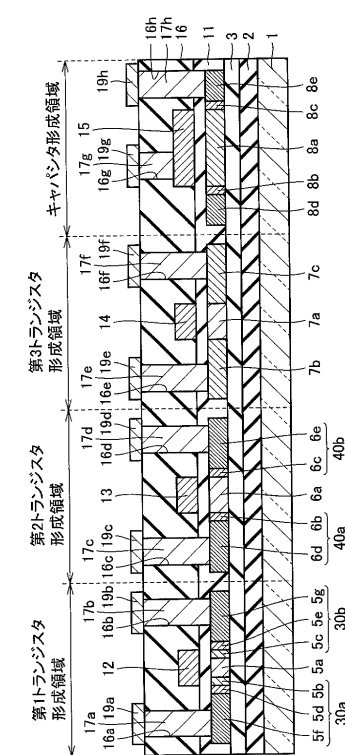
【図 8】



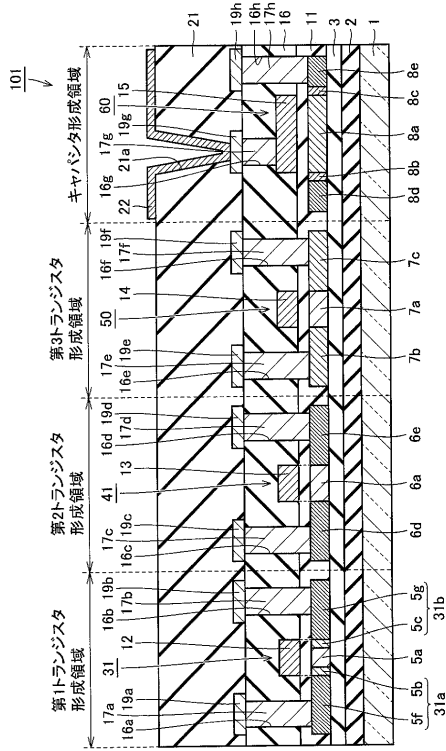
【図 9】



【図 10】



【図 11】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 1 L 27/06	H 0 1 L 29/78	6 1 2 Z
H 0 1 L 27/08	H 0 1 L 27/06	1 0 2 A
H 0 1 L 27/088		
H 0 1 L 29/786		

(72)発明者 中川 直紀
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 豊田 吉彦
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 坂本 孝雄
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 須賀原 和之
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

F ターム(参考) 2H092 JA25 JB58 JB63 MA07 MA14 MA15 MA17 MA27 MA29 MA30
MA37 NA22 NA27
5F038 AC02 AC03 AC05 AC15 AC19 DF01 EZ13 EZ14 EZ15 EZ17
EZ20
5F048 AC04 AC10 BA16 BB03 BC05 BC06 BC16 BC18 BC20 BG07
DA01
5F110 AA06 AA13 AA16 BB02 BB04 CC02 DD02 DD12 DD13 DD14
DD15 DD17 EE04 EE44 FF02 FF30 GG02 GG13 GG16 GG28
GG29 GG45 HJ01 HJ04 HJ13 HL03 HL04 HL11 HM13 HM15
NN03 NN72 NN73 NN78 PP01 PP03 PP34 PP35 QQ05 QQ08
QQ11