



(12) 发明专利申请

(10) 申请公布号 CN 102737618 A

(43) 申请公布日 2012. 10. 17

(21) 申请号 201210084346. 5

(22) 申请日 2012. 03. 23

(30) 优先权数据

2011-074348 2011. 03. 30 JP

(71) 申请人 索尼公司

地址 日本东京都

(72) 发明人 石井干夫 武昌宏 小菅庄司

(74) 专利代理机构 北京东方亿思知识产权代理
有限责任公司 11258

代理人 李晓冬

(51) Int. Cl.

G09G 5/36 (2006. 01)

G09G 5/39 (2006. 01)

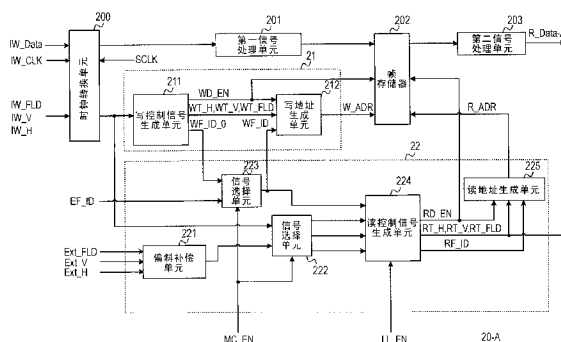
权利要求书 2 页 说明书 19 页 附图 14 页

(54) 发明名称

信号处理电路、信号处理方法和显示装置

(57) 摘要

本发明公开了信号处理电路、信号处理方法和显示装置。一种信号处理电路,包括:存储图像信号的存储器;写控制单元,生成帧识别信息和与输入图像信号同步的写控制信号,并且基于写控制信号将输入图像信号与该帧识别信息相应地存储在存储器中;以及读控制单元,通过基于具有输出水平频率的定时信号获取从外部供应的垂直同步信号来生成读控制信号,并且基于读控制信号和从外部供应的帧识别信息来从存储器读出对应于该帧识别信息的图像信号。



1. 一种信号处理电路,包括:

存储器,存储图像信号;

写控制单元,生成帧识别信息和与输入图像信号同步的写控制信号,并且基于所述写控制信号将所述输入图像信号与该帧识别信息相对应地存储在所述存储器中;以及

读控制单元,通过基于具有输出水平频率的定时信号获取从外部供应的垂直同步信号来生成读控制信号,并且基于所述读控制信号和从外部供应的帧识别信息来从所述存储器读出对应于该帧识别信息的图像信号。

2. 根据权利要求1所述的信号处理电路,其中,在同时使用多个信号处理电路执行图像显示的情况下,所述读控制单元生成所述读控制信号并且基于所述读控制信号和所述帧识别信息来从所述存储器读出对应于所述帧识别信息的图像信号。

3. 根据权利要求1所述的信号处理电路,其中,所述读控制单元检测在基于所述具有输出水平频率的定时信号所生成的垂直同步信号与从外部供应的垂直同步信号之间的相位差以及所述具有输出水平频率的定时信号与从外部供应的水平同步信号之间的相位差,调节所述具有输出水平频率的定时信号和所述基于该定时信号所生成的垂直同步信号的相位以使得所述相位差小于预定值,并且使用调节之后的信号来生成所述读控制信号。

4. 根据权利要求1所述的信号处理电路,还包括偏斜补偿单元,该偏斜补偿单元延迟从外部供应的同步信号,以使得即使所述输入图像信号和输入到另一信号处理电路的输入图像信号产生偏斜,对应于所述帧识别信息的图像信号也能够基于所述读控制信号和所述帧识别信息而被从所述存储器读出。

5. 根据权利要求1所述的信号处理电路,还包括显示停止控制单元,该显示停止控制单元在显示停止指令信号被供应时基于输入锁存信号来获取所述显示停止指令信号并且将获取的显示停止指令信号输出给所述写控制单元和所述读控制单元,

其中,所述写控制单元基于所述显示停止指令信号在显示停止时段期间停止将所述输入图像信号存储在所述存储器中,并且

所述读控制单元基于所述显示停止指令信号在所述显示停止时段期间读出在显示停止之前已被读出的对应于所述帧识别信息的图像信号。

6. 根据权利要求5所述的信号处理电路,其中,所述显示停止控制单元以帧为单位或以多个帧为单位基于所述输入锁存信号来获取所述显示停止指令信号。

7. 根据权利要求5所述的信号处理电路,其中,所述读控制单元基于从外部供应的帧识别信息来从所述存储器读出对应于所述帧识别信息的图像信号并且将读出的图像信号作为所捕获图像信号输出到外部。

8. 根据权利要求5所述的信号处理电路,其中,所述写控制单元基于从外部供应的帧识别信息来将替换图像信号与该帧识别信息相对应地存储在所述存储器中。

9. 根据权利要求8所述的信号处理电路,其中,所述读控制单元基于从外部供应的帧识别信息来读出与该帧识别信息相对应地存储在所述存储器中的替换图像信号。

10. 根据权利要求5所述的信号处理电路,其中,所述显示停止控制单元以帧为单位或以多个帧为单位基于所述输入锁存信号来获取所述显示停止指令信号。

11. 根据权利要求1所述的信号处理电路,其中,所述存储器存储供信号处理用的图像信号。

12. 一种信号处理方法,包括:

生成帧识别信息和与输入图像信号同步的写控制信号,并且基于所述写控制信号将所述输入图像信号存储在所述存储器中以使得所述输入图像信号对应于该帧识别信息;以及

通过基于具有输出水平频率的定时信号获取从外部供应的垂直同步信号来生成读控制信号,并且基于所述读控制信号和从外部供应的帧识别信息来从所述存储器读出对应于该帧识别信息的图像信号。

13. 一种显示装置,包括:

用于构成一个画面的多个显示区域的多个信号处理电路,所述多个信号处理电路分别处理对应显示区域上的图像信号,

其中,所述多个信号处理电路中的每一个包括:

存储器,存储图像信号,

写控制单元,生成帧识别信息和与输入图像信号同步的写控制信号,并且基于所述写控制信号将所述输入图像信号与该帧识别信息相对应地存储在所述存储器中,以及

读控制单元,通过基于具有输出水平频率的定时信号获取从外部共同地供应给各个信号处理电路的垂直同步信号来生成读控制信号,并且基于所述读控制信号和从外部共同地供应给所述各个信号处理电路的帧识别信息来从所述存储器读出对应于该帧识别信息的图像信号。

14. 根据权利要求 13 所述的显示装置,还包括生成参考频率信号的振荡单元,

其中,所述振荡单元将所生成的参考频率信号供应给所述各个信号处理电路,并且

所述信号处理电路的读控制单元检测在基于所述具有输出水平频率的定时信号所生成的垂直同步信号与从外部供应的垂直同步信号之间的相位差以及在所述具有输出水平频率的定时信号与从外部供应的水平同步信号之间的相位差,调节所述具有输出水平频率的定时信号和所述基于该定时信号所生成的垂直同步信号的相位以使得所述相位差小于预定值,并且使用调节之后的信号来生成所述读控制信号。

15. 根据权利要求 13 所述的显示装置,其中,所述多个信号处理电路包括偏斜补偿单元,该偏斜补偿单元延迟从外部供应的同步信号,以使得即使输入到所述多个信号处理电路的所述输入图像信号在所述信号处理电路之间产生偏斜,对应于所述帧识别信息的图像信号也能够基于所述读控制信号和所述帧识别信息而被从所述存储器读出。

16. 根据权利要求 13 所述的显示装置,其中,所述多个信号处理电路还包括显示停止控制单元,该显示停止控制单元在显示停止指令信号被供应时基于输入锁存信号来获取所述显示停止指令信号并且将获取的显示停止指令信号输出给所述写控制单元和所述读控制单元,

其中,所述写控制单元基于所述显示停止指令信号在显示停止时段期间停止将所述输入图像信号存储在所述存储器中,并且

所述读控制单元基于所述显示停止指令信号在所述显示停止时段期间读出在显示停止之前已被读出的对应于所述帧识别信息的图像信号。

信号处理电路、信号处理方法和显示装置

技术领域

[0001] 本公开涉及信号处理电路、信号处理方法和显示装置。更具体地,本公开涉及当使用多个信号处理电路以多芯片配置来执行高分辨率图像显示时使能低延迟和减小的电路尺寸的信号处理电路、信号处理方法和显示装置。

背景技术

[0002] 在现有技术中,高分辨率图像显示使用拼贴处理 (tiling process) 来执行。例如,根据日本专利申请特开 2001-195053 号公报,画面的显示区域被虚拟地分割成多个子画面,并且为每个子画面提供图形适配器。图形适配器具有两个帧缓冲器。图形适配器在将图像信号写入一个缓冲器中的同时读出存储在另一缓冲器中的图像信号,并且针对从其读出图像信号已经完成的缓冲器写入下一帧的图像信号。

[0003] 图 1 例示现有技术中的显示装置的配置,其使用多个信号处理电路利用多芯片配置来执行高分辨率图像显示。显示装置 50 包括信号处理电路 60-A 至 60-D、帧缓冲器 70-A 至 70-D、定时控制电路 (T-Con) 75-A 至 75-D、帧缓冲器控制单元 80 和振荡器 85-A 至 85-D。

[0004] 图像信号 IW_Data、对应于图像信号 IW_Data 的时钟信号 IW_CLK、水平同步信号 IW_H、垂直同步信号 IW_V 以及帧信号 IW_FLD 被提供给信号处理电路 60-A。此外,帧信号被用来在基于隔行扫描信号执行本地显示的情况中识别第一帧和第二帧,或者,用来在使用例如左视角 (viewpoint) 图像信号和右视角图像信号执行 3D 显示时识别每个视角的图像信号。信号处理电路 60-A 执行对对应于显示区域的图像信号的信号处理。

[0005] 此外,以与信号处理电路 60-A 相同的方式,图像信号、水平同步信号、垂直同步信号和帧信号被供应给信号处理电路 60-B 至 60-D,并且对对应于各自显示区域的图像信号的信号处理被执行。例如,一个画面被分割成上下左右 4 个显示区域,并且信号处理电路 60-A 执行对对应于例如左上显示区域的图像信号的信号处理。以相同的方式,信号处理电路 60-B 执行对对应于例如右上显示区域的图像信号的信号处理,信号处理电路 60-C 执行对对应于例如左下显示区域的图像信号的信号处理,并且,信号处理电路 60-D 执行对对应于例如右下显示区域的图像信号的信号处理。

[0006] 由信号处理电路 60-A 处理后的图像信号被存储在帧缓冲器 70-A 中。此外,由信号处理电路 60-B 至 60-D 处理后的图像信号分别被存储在帧缓冲器 70-B 至 70-D 中。

[0007] 存储在帧缓冲器 70-A 至 70-D 中的图像信号被同步地读出并供应给定时控制电路 75-A 至 75-D。定时控制电路 75-A 接收从帧缓冲器 70-A 读出的图像信号并将接收的信号以预定的格式并作为定时信号输出给显示设备的驱动器 (未示出)。以同样的方式,分别地,定时控制电路 75-A 至 75-D 75-B 至 75-D 接收从帧缓冲器 70-B 至 70-D 读出的图像信号,并将接收信号以预定的格式并作为定时信号输出给显示设备的驱动器 (未示出)。

[0008] 帧缓冲器控制单元 80 控制各个帧缓冲器 70-A 至 70-D 的操作。帧缓冲器控制单元 80 基于从信号处理电路 60-A 供应的同步信号或帧信号来生成写信号 WCT。帧缓冲器控制单元 80 将生成的写信号 WCT 供应给帧缓冲器 70-A 以用于存储从信号处理电路 60-A 输

出的图像信号。以相同的方式,帧缓冲器控制单元 80 基于从信号处理电路 60-B 至 60-D 供应的同步信号或帧信号来生成写信号。帧缓冲器控制单元 80 将生成的写信号提供给帧缓冲器 70-B 至 70-D 以用于存储从信号处理电路 60-B 至 60-D 输出的图像信号。此外,帧缓冲器控制单元 80 生成读信号 RCT 并将其提供给各个帧缓冲器 70-A 至 70-D,并且同步地读出所存储的图像信号并将其输出给定时控制电路 75-A 至 75-D。

[0009] 振荡器 85-A 生成作为用于操作信号处理电路 60-A 的参考频率信号的系统时钟信号。以相同的方式,振荡器 85-B 至 85-D 生成作为用于操作信号处理电路 60-B 至 60-D 的参考频率信号的系统时钟信号。

发明内容

[0010] 这里,在以多芯片配置执行高分辨率图像显示的情况中,不仅执行作为整体的一画面显示,而且还需要显示针对每个信号处理电路具有独立帧频率的输入信号。因此,帧缓冲器 70-A 到 70-D 可能具有大容量。例如,假设输入信号处理电路的图像信号的帧频率是 48Hz 并且从帧缓冲器输出的图像信号的帧频率是 60Hz。在此情况中,各个帧缓冲器 70-A 至 70-D 具有两帧的存储容量,并且,在图像信号被写入一帧的存储区域的同时存储在另一帧的存储区域中的图像信号被读出。如上所述,通过使得帧缓冲器具有大容量,可以显示具有独立帧频率的输入信号。然而,由于使用大容量帧缓冲器,所以难以降低成本或提供更小的电路。

[0011] 因此,期望提供能够在不使用帧缓冲器的情况下执行高分辨率图像显示的信号处理电路、信号处理方法和显示装置。

[0012] 一种信号处理电路,包括:存储器,存储图像信号;写控制单元,生成帧识别信息和与输入图像信号同步的写控制信号,并且基于写控制信号将输入图像信号与该帧识别信息相对应地存储在存储器中;以及读控制单元,通过基于具有输出水平频率的定时信号获取从外部供应的垂直同步信号来生成读控制信号,并且基于读控制信号和从外部供应的帧识别信息来从存储器读出对应于该帧识别信息的图像信号。

[0013] 在根据本公开实施例的信号处理电路中,用于信号处理的图像信号被存储在存储器中。写控制单元生成帧识别信息和与输入图像信号同步的写控制信号,并且基于写控制信号将输入图像信号与该帧识别信息相对应地存储在存储器中。此外,在同时使用多个信号处理电路执行图像显示的情况中,读控制单元通过基于具有输出水平频率的定时信号获取从外部供应的垂直同步信号来生成读控制信号。在生成读控制信号时,读控制单元检测在基于具有输出水平频率的定时信号所生成的垂直同步信号与从外部供应的垂直同步信号之间的相位差以及具有输出水平频率的定时信号与从外部供应的水平同步信号之间的相位差,调节具有输出水平频率的定时信号和基于定时信号所生成的垂直同步信号的相位以使得相位差小于预定值,并且使用调节之后的信号来生成读控制信号。读控制单元基于所生成的读控制信号和从外部供应的帧识别信息来从存储器读出对应于该帧识别信息的图像信号。

[0014] 可以安装偏斜补偿单元来延迟从外部供应的同步信号,以使得即使输入图像信号和输入到另一信号处理电路的输入图像信号产生偏斜,对应于帧识别信息的图像信号也能够基于读控制信号和帧识别信息而被从存储器读出。

[0015] 可以安装显示停止控制单元,并且如果显示停止指令信号被供应,则显示停止指令信号的获取基于输入锁存信号来以帧为单位或以多个帧为单位被执行,并且获得的显示停止指令信号被输出给写控制单元和读控制单元。写控制单元基于显示停止指令信号在显示停止时段期间停止将输入图像信号存储在存储器中。此外,读控制单元基于显示停止指令信号在显示停止时段期间重复读出在显示停止之前已读出的图像信号。此外,对应于帧识别信息的图像信号基于从外部供应的帧识别信息而从存储器被读出并且读出的图像信号被供应给例如用于捕获静止图像的外部设备。此外,替换图像信号基于从外部供应的帧识别信息被与该帧识别信息相对应地存储在存储器中。之后,通过基于从外部供应的帧识别信息来读出与该帧识别信息相对应地存储在存储器中的替换图像信号,即使在多芯片配置中,静止图像也可以容易地被替换为从外部设备供应的静止图像。

[0016] 本公开的另一实施例针对一种信号处理方法,包括:生成帧识别信息和与输入图像信号同步的写控制信号,并且基于写控制信号将输入图像信号存储在存储器中以使得输入图像信号对应于该帧识别信息;以及通过基于具有输出水平频率的定时信号获取从外部供应的垂直同步信号来生成读控制信号,并且基于读控制信号和从外部供应的帧识别信息来从存储器读出对应于该帧识别信息的图像信号。

[0017] 本公开的又一实施例针对一种显示装置,包括:用于构成一个画面的多个显示区域的多个信号处理电路,所述多个信号处理电路分别处理对应显示区域的图像信号,其中,所述多个信号处理电路中的每一个包括:存储器,存储图像信号;写控制单元,生成帧识别信息和与输入图像信号同步的写控制信号,并且基于写控制信号将输入图像信号与该帧识别信息相对应地存储在存储器中;以及读控制单元,通过基于具有输出水平频率的定时信号获取从外部共同地供应给各个信号处理电路的垂直同步信号来生成读控制信号,并且基于读控制信号和从外部共同地供应给各个信号处理电路的帧识别信息来从存储器读出对应于该帧识别信息的图像信号。

[0018] 在根据本公开实施例的显示装置中,针对构成一个画面的多个显示区域设置多个信号处理电路,并且各个信号处理电路处理对应显示区域上的图像信号。在各个信号处理电路中,用于信号处理的图像信号被存储在存储器中。每个信号处理电路的写控制单元生成帧识别信息和与输入图像信号同步的写控制信号,并且基于写控制信号将输入图像信号与该帧识别信息相对应地存储在存储器中。此外,在同时使用各个信号处理电路执行图像显示的情况下,每个信号处理电路的读控制单元通过基于具有输出水平频率的定时信号获取从外部共同地供应给各个信号处理电路的垂直同步信号来生成读控制信号。在生成读控制信号时,读控制单元通过基于具有输出水平频率的定时信号获取从外部供应的垂直同步信号来生成读控制信号。读控制单元基于读控制信号和从外部共同地供应给各个信号处理电路的帧识别信息来从存储器读出对应于帧识别信息的图像信号。

[0019] 可以安装偏斜补偿单元来延迟从外部供应的同步信号,以使得即使输入图像信号与输入到另一信号处理电路的输入图像信号间产生偏斜,对应于帧识别信息的图像信号也能够基于读控制信号和帧识别信息而被从存储器读出。

[0020] 由一个震荡单元产生的系统时钟信号可以被供应给各个信号处理电路,并且每个信号处理电路的读控制单元检测在基于具有输出水平频率的定时信号所生成的垂直同步信号与从外部供应的垂直同步信号之间的相位差以及具有输出水平频率的定时信号与从

外部供应的水平同步信号之间的相位差,调节具有输出水平频率的定时信号和基于定时信号所生成的垂直同步信号的相位以使得相位差小于预定值,并且使用调节之后的信号来生成读控制信号。

[0021] 可以安装显示停止控制单元,并且,如果显示停止控制指令被供应,则显示停止指令的获取基于输入锁存信号以帧为单位或以多个帧为单位被执行,并且获得的显示停止指令信号被输出给写控制单元和读控制单元。写控制单元基于显示停止指令信号在显示停止时段期间停止将输入图像信号存储在存储器中。此外,读控制单元基于显示停止指令信号在显示停止时段期间重复读出在显示停止之前已被读出的图像信号。

[0022] 根据本公开实施例,与输入图像信号同步的写控制信号和帧识别信息被生成,并且输入图像信号基于写控制信号被与该帧识别信息相对应地存储在存储器中。此外,读控制信号通过基于具有输出水平频率的定时信号获取从外部供应的垂直同步信号而被生成,并且对应于帧识别信息的图像信号基于读控制信号和从外部供应的帧识别信息被读出。因此,在将从外部供应的同步信号供应给多个信号处理电路的情况中,从信号处理电路输出的图像信号之间的相位差变得更小。通过此方案,可以使用行缓冲器来使得从信号处理电路输出的图像信号的相位相互一致。因此,高分辨率图像显示可以以低延迟、减小的电路尺寸、低功耗和小花费被执行。

附图说明

[0023] 图 1 是例示现有技术中的显示装置的配置的示意图;

[0024] 图 2 是图示出第一实施例的配置的示意图;

[0025] 图 3 是图示出信号处理电路的配置的示意图;

[0026] 图 4A 至 4K 是图示出信号处理电路的操作的时序图;

[0027] 图 5A 至 5C 是图示出显示模式的示意图;

[0028] 图 6A 至 6E 是图示出第一显示模式中的操作的时序图;

[0029] 图 7A 至 7F 是图示出第二显示模式中的操作的时序图;

[0030] 图 8 是图示出第二实施例的配置的示意图;

[0031] 图 9 是图示出具有显示停止功能的信号处理单元的配置的示意图;

[0032] 图 10A 至 10E 是图示出具有显示停止功能的信号处理单元的操作的时序图;

[0033] 图 11 是图示出 4 个信号处理电路的显示停止控制单元的示意图;

[0034] 图 12A 至 12D 是图示出 4 个信号处理电路的操作的时序图;

[0035] 图 13A 至 13E 是图示出在场(帧)顺序型图像信号被输入信号处理电路的情况中的操作的时序图;

[0036] 图 14A 至 14D 是在获取静止图像的情况中的时序图;以及

[0037] 图 15A 至 15D 是在替换静止图像的情况中的时序图。

具体实施方式

[0038] 以下,将描述本公开的实施例。将按以下次序进行说明。

[0039] 1. 第一实施例

[0040] 1-1. 第一实施例的配置

[0041] 1-2. 第一实施例的操作

[0042] 2. 第二实施例

[0043] 2-1. 第二实施例的配置

[0044] 2-2. 第二实施例的操作

[0045] 3. 第三实施例

[0046] 3-1. 第三实施例的配置

[0047] 3-2. 第三实施例的操作

[0048] <1. 第一实施例>

[0049] [1-1. 第一实施例的配置]

[0050] 图 2 是图示出第一实施例的配置的示图。显示装置 10 包括信号处理电路 20-A 至 20-D、行缓冲器 30-A 至 30-D、定时控制电路 35-A 至 35-D、信号处理电路控制单元 40 和振荡器 45-A 至 45-D。

[0051] 信号处理电路 20-A 至 20-D 处理对应于各个显示区域的图像信号。例如，一个画面被分割成上下左右 4 个显示区域，并且信号处理电路 20-A 处理对应于例如左上显示区域的图像信号。以相同的方式，信号处理电路 20-B 处理对应于例如右上显示区域的图像信号，信号处理电路 20-C 处理对应于例如左下显示区域的图像信号，并且，信号处理电路 20-D 处理对应于例如右下显示区域的图像信号。

[0052] 图像信号 IW_Data、对应于图像信号 IW_Data 的时钟信号 IW_CLK、水平同步信号 IW_H、垂直同步信号 IW_V 以及帧信号 IW_FLD 被供应给信号处理电路 20-A。此外，水平同步信号 Ext_H、垂直同步信号 Ext_V、帧信号 Ext_FLD 以及帧识别信号 EF_ID 从信号处理电路控制单元 40（之后描述）被供应给信号处理电路 20-A。此外，指示对应于多芯片配置还是单芯片配置的操作被执行的芯片配置控制信号 MC_EN 从系统控制单元（未示出）被供应给信号处理电路 20-A。信号处理电路 20-A 通过基于时钟信号 IW_CLK、水平同步信号 IW_H、垂直同步信号 IW_V 和帧信号 IW_FLD 来捕获图像信号 IW_Data，来处理对应于显示区域的图像信号。在基于芯片配置控制信号 MC_EN 执行对应于多芯片配置的操作的情况下，信号处理电路 20-A 基于水平同步信号 Ext_H、垂直同步信号 Ext_V 和帧信号 Ext_FLD 来将信号处理后的图像信号 R_Data-A 输出给行缓冲器 30-A。

[0053] 以与信号处理电路 20-A 相同的方式，信号处理电路 20-B 至 20-D 处理对应于各自显示区域的图像信号并将信号处理后的图像信号 R_Data-B 至 R_Data-D 输出给行缓冲器 30-B 至 30-D。此外，在根据芯片配置控制信号 MC_EN 执行对应于单芯片配置的操作的情况下，信号处理电路 20-A 至 20-D 基于水平同步信号 IW_H、垂直同步信号 IW_V 和帧信号 IW_FLD 读出图像信号。

[0054] 存储在行缓冲器 30-A 至 30-D 中的图像信号例如基于从信号处理电路 20-A 输出的水平读定时信号 RT_H、垂直读定时信号 RT_V 和帧信号 RT_FLD 被同步地读出，并被供应给定时控制电路 35-A 至 35-D。

[0055] 定时控制电路 35-A 接收从行缓冲器 30-A 读出的图像信号并将接收的图像信号以预定的格式并作为定时信号输出给显示设备的驱动器（未示出）。以相同的方式，定时控制电路 35-B 至 35-D 接收从行缓冲器 30-B 至 30-D 读出的图像信号，并将接收的信号以预定的格式并作为定时信号输出给显示设备的驱动器（未示出）。

[0056] 在利用多芯片配置使用信号处理电路的情况下,信号处理电路控制单元 40 生成水平同步信号 Ext_H、垂直同步信号 Ext_V、帧信号 Ext_FLD 和帧识别信号 EF_ID 并将它们供应给信号处理电路 20-A 至 20-D。

[0057] 振荡器 45-A 生成作为用于操作信号处理电路 20-A 的参考频率信号的系统时钟信号 SCLK。以相同的方式,振荡器 45-B 至 45-D 生成用于操作信号处理电路 20-B 至 20-D 的系统时钟信号 SCLK。此外,由振荡器 45-A 至 45-D 生成的系统时钟信号 SCLK 具有相同的频率。

[0058] 图 3 例示信号处理电路的配置。由于信号处理电路 20-A 至 20-D 被认为具有相同的配置,所以以下将仅针对信号处理电路 20-A 进行说明。

[0059] 图像信号 IW_Data 被供应给时钟转换单元 200。时钟转换单元 200 执行时钟信号的转换并使得图像信号 IW_Data、水平同步信号 IW_H、垂直同步信号 IW_V 和帧信号 IW_FLD 与来自时钟信号 IW_CLK 的系统时钟信号 SCLK 同步。时钟转换单元 200 将时钟转换之后的图像信号 IW_Data 输出给第一信号处理单元 201。此外,时钟转换单元 200 将时钟转换之后的水平同步信号 IW_H、垂直同步信号 IW_V 和帧信号 IW_FLD 输出给写控制单元 21 的写控制信号生成单元 211 和读控制单元 22 的信号选择单元 222。

[0060] 第一信号处理单元 201 根据来自系统控制单元的指令针对图像信号 IW_Data 执行不使用存储器的各种处理(例如,亮度校正和色彩校正处理),并将处理后的图像信号供应给帧存储器 202。帧存储器 202 将存储用于通过使用用于信号处理的图像信号(例如所存储的图像信号)来生成新的图像信号的信号处理的图像信号。帧存储器 202 连接到第二信号处理单元 203。第二信号处理单元 203 根据来自系统控制单元的指令使用存储在帧存储器 202 中的图像信号来执行各种信号处理(例如,隔行扫描/逐行扫描转换、尺寸转换和倍速转换处理),并生成新的图像信号。

[0061] 写控制单元 21 的写控制信号生成单元 211 基于水平同步信号 IW_H、垂直同步信号 IW_V 和帧信号 IW_FLD 来生成水平写定时信号 WT_H 和垂直写定时信号 WT_V。写控制信号生成单元 211 将生成的信号与和所述信号同步的帧信号 WT_FLD 一起供应给写地址生成单元 212。此外,写控制信号生成单元 211 生成写使能信号 WD_EN 并将其供应给帧存储器 202 和写地址生成单元 212。此外,写控制信号生成单元 211 基于帧信号 IW_FLD 以自运行(self-running)的方式生成写入帧识别信号 WF_ID_0,并将写入帧识别信号 WF_ID_0 供应给信号选择单元 223。

[0062] 在写准许通过写使能信号 WD_EN 被执行的情况下,写地址生成单元 212 基于水平写定时信号 WT_H、垂直写定时信号 WT_V、帧信号 WT_FLD 和从信号选择单元 223 供应的帧识别信号 WF_ID,生成写地址信号 W_ADR。写地址生成单元 212 将生成的写地址信号 W_ADR 供应给帧存储器 202,并将从第一信号处理单元 201 输出的图像信号存储在帧存储器 202 中。

[0063] 在使用多个信号处理电路以多芯片配置执行图像显示的情况下,读控制单元 22 的偏斜(skew)补偿单元 221 防止由各个信号处理电路之间的输入图像信号中可能产生的偏斜引起的误动作。偏斜补偿单元 221 基于从信号处理电路控制单元 40 供应的水平同步信号 Ext_H、垂直同步信号 Ext_V 和帧信号 Ext_FLD,调节定时以使得信号处理后的图像信号能够以减小的相位差从各自的信号处理电路输出。偏斜补偿单元 221 将定时调节后的各个信号输出给信号选择单元 222。例如,如果在各个信号处理电路之间产生了对应于系统

时钟的最大 4 个时钟的偏斜,则水平同步信号 Ext_H 被延迟 8 个时钟。在此情况中,即使产生最大 4 个时钟的偏斜,延迟之后的水平同步信号 Ext_H 的定时也变成相同垂直周期和场周期的定时。因此,获取垂直同步信号 Ext_V 和帧信号 Ext_FLD 在延迟后的水平同步信号 Ext_H 的边缘处被执行,并且获得的信号作为新的垂直同步信号 Ext_V 和帧信号 Ext_FLD 被输出。通过这样做,即使各个信号处理电路之间产生偏斜,也可以防止偏斜效应。此外,由于水平同步信号 Ext_H 的延迟是基于来自振荡器 45-A 的系统时钟信号 SCLK 执行的,所以信号处理电路控制单元 40 没有必要与水平同步信号 Ext_H、垂直同步信号 Ext_V 和帧信号 Ext_FLD 一起提供时钟信号。

[0064] 如果芯片配置控制信号 MC_EN 指示多芯片配置的操作,则信号选择单元 222 选择从偏斜补偿单元 221 输出的水平同步信号 Ext_H、垂直同步信号 Ext_V 和帧信号 Ext_FLD,并将选择的信号输出给读控制信号生成单元 224。此外,在单芯片配置的操作被指示的情况中,信号选择单元 222 选择对应于图像信号 IW_Data 的水平同步信号 IW_H、垂直同步信号 IW_V 和帧信号 IW_FLD 并将它们输出给读控制信号生成单元 224。

[0065] 来自写控制信号生成单元 211 的写入帧识别信号 WF_ID_0 和来自信号处理电路控制单元 40 的帧识别信号 EF_ID 被供应给信号选择单元 223。如果从系统控制单元供应的芯片配置控制信号 MC_EN 指示以多芯片配置执行图像显示,则信号选择单元 223 选择从信号处理电路控制单元 40 供应的帧识别信号 EF_ID。此外,如果指示以单芯片配置执行图像显示,则信号选择单元 223 选择写入帧识别信号 WF_ID_0。信号选择单元 223 将所选择的帧识别信号作为帧识别信号 WF_ID 输出给写地址生成单元 212 和读控制信号生成单元 224。此外,如果供应给信号处理电路 20-A 至 20-D 的图像信号相互不同步并且可以对应于第三显示模式(之后描述)中的另一格式或帧速率,则帧识别信号 EF_ID 可以不是与供应给信号处理电路 20-A 至 20-D 的图像信号同步的信号。因此,即使芯片配置控制信号 MC_EN 指示以第三显示模式以多芯片配置执行图像显示,信号选择单元 223 也选择写入帧识别信号 WF_ID_0。

[0066] 例如,在芯片配置控制信号 MC_EN[1:0] = [x:1] 的情况中,信号选择单元 222 选择水平同步信号 Ext_H、垂直同步信号 Ext_V 和帧信号 Ext_FLD。在芯片配置控制信号 MC_EN[1:0] = [x:0] 的情况中,信号选择单元 222 选择水平同步信号 IW_H、垂直同步信号 IW_V 和帧信号 IW_FLD。在芯片配置控制信号 MC_EN[1:0] = [1:x] 的情况中,信号选择单元 223 选择帧识别信号 EF_ID。在芯片配置控制信号 MC_EN[1:0] = [0:x] 的情况中,信号选择单元 223 选择写入帧识别信号 WF_ID_0。这里,在使用多芯片配置的情况中,第一或第二显示模式中芯片配置控制信号变为 MC_EN[1:0] = [1:1],并且在第三显示模式中,芯片配置控制信号变为 MC_EN[1:0] = [0:1]。

[0067] 读控制信号生成单元 224 基于由信号选择单元 222 选择的同步信号来生成水平读定时信号 RT_H 和垂直读定时信号 RT_V。读控制信号生成单元 224 将生成的信号连同与所述信号同步的帧信号 RT_FLD 一起供应给读地址生成单元 225。此外,读控制信号生成单元 224 生成读使能信号 RD_EN 并将其供应给帧存储器 202 和读地址生成单元 225。此外,读控制信号生成单元 224 基于从信号选择单元 223 供应的帧识别信号 WF_ID 来生成读出帧识别信号 RF_ID,并将生成的读出帧识别信号 RF_ID 供应给读地址生成单元 225。此外,在行抖动模式中,水平读定时信号 RT_H 是通过自由运行(free-running)生成的。行抖动模式是

这样的模式,其中,由于显示装置处理较宽频率范围上的帧速率信号,所以输出的垂直读定时信号 RT_V 是通过自运行输出水平频率的水平读定时信号 RT_H 并接收作为水平读定时信号 RT_H 的输入垂直同步信号而生成的。因此,在行抖动模式中,每帧的行数是变化的。此外,读控制信号生成单元 224 基于低等待时间 (LowLatency) 使能信号 LL_EN 根据低等待时间模式是否有效来控制读出帧。

[0068] 在对图像信号的读出是借助读使能信号 RD_EN 被准许的情况中,读地址生成单元 225 基于水平读定时信号 RT_H、垂直读定时信号 RT_V、帧信号 RT_FLD 和读出帧识别信号 RF_ID 来生成读地址信号 R_ADR。读地址生成单元 225 将生成的读地址信号 R_ADR 供应给帧存储器 202,并且从帧存储器 202 读出对应于读出帧识别信号 RF_ID 的图像信号以输出该图像信号。

[0069] [1-2. 第一实施例的操作]

[0070] 接着,将描述第一实施例的操作。图 4A 至 4K 是图示出信号处理电路的操作的时序图。图 4A 示出被输入各个信号处理电路 20-A 至 20-D 的图像信号 IW_Data 的帧信号 IW_FLD、垂直同步信号 IW_V 和水平同步信号 IW_H。图 4B 示出帧识别信号 WF_ID。图 4C 示出从信号处理电路控制单元 40 供应给各个信号处理电路 20-A 至 20-D 的水平同步信号 Ext_H、垂直同步信号 Ext_V 和帧信号 Ext_FLD。

[0071] 在行抖动模式中,信号处理电路的读控制信号生成单元 224 通过自由运行来生成水平读定时信号 RT_H。因此,水平读定时信号 RT_H 可能产生最大一行的偏斜。图 4D 示出由信号处理电路 20-A 的读控制信号生成单元 224 生成的帧信号 RT_FLD、垂直读定时信号 RT_V 和水平读定时信号 RT_H。这里,如果由信号处理电路 20-A 生成的水平读定时信号 RT_H 的相位与从信号处理电路控制单元 40 供应的水平同步信号 Ext_H 的相位一致,则从信号处理电路 20-A 输出的图像信号与从信号处理电路控制单元 40 供应到各个信号处理电路的信号同步。

[0072] 图 4E 示出由信号处理电路 20-B 的读控制信号生成单元 224 生成的帧信号 RT_FLD、垂直读定时信号 RT_V 和水平读定时信号 RT_H。如果由信号处理电路 20-B 生成的水平读定时信号 RT_H 相对于供应的水平同步信号 Ext_H 产生最大偏斜,则从信号处理电路 20-B 输出的图像信号相对于从信号处理电路控制单元 40 供应的信号被延迟一行。

[0073] 图 4F 示出由信号处理电路 20-C 的读控制信号生成单元 224 生成的帧信号 RT_FLD、垂直读定时信号 RT_V 和水平读定时信号 RT_H。此外,图 4G 示出由信号处理电路 20-D 的读控制信号生成单元 224 生成的帧信号 RT_FLD、垂直读定时信号 RT_V 和水平读定时信号 RT_H。以与从信号处理电路 20-A 和 20-B 输出的图像信号相同的方式,从信号处理电路 20-C 和 20-D 输出的图像信号变成根据所生成的水平读定时信号 RT_H 和所供应的水平同步信号 Ext_H 的偏斜被延迟的信号。

[0074] 图 4H 示出行缓冲器 30-A 的操作。如图 4H 中所示,行缓冲器 30-A 顺次存储按照图 4D 中示出的定时读出的图像信号 R_Data-A。图 4I 示出行缓冲器 30-B 的操作。如图 4I 中所示,行缓冲器 30-B 顺次存储按照图 4E 中示出的定时读出的图像信号 R_Data-B。图 4J 示出行缓冲器 30-C 的操作。如图 4J 中所示,行缓冲器 30-C 顺次存储按照图 4F 中示出的定时读出的图像信号 R_Data-C。图 4K 示出行缓冲器 30-D 的操作。如图 4K 中所示,行缓冲器 30-D 顺次存储按照图 4G 中示出的定时读出的图像信号 R_Data-D。

[0075] 此外,如图 4H 至 4K 中所示,在从基于从信号处理电路 20-A 供应的定时信号写图像信号 R_Data-A 开始过去了对应于两行的时间之后,存储在行缓冲器 30-A 至 30-D 中的图像信号被读出。如上所述,如果图像信号从行缓冲器 30-A 至 30-D 被读出,则从行缓冲器 30-A 至 30-D 输出的图像信号 MRD-A 至 MRD-D 变成相位一致的信号。

[0076] 即,不必为每个信号处理电路安装具有两帧的容量的帧缓冲器,而是,仅通过为每个信号处理电路安装具有两行的容量的行缓冲器,就可以使得从各个信号处理电路输出的图像信号的相位相互一致。例如,相对于信号处理电路 20-A 的输出,即使另一信号处理电路的输出产生具有最大一行的超前相位的偏斜,或,即使又一信号处理电路的输出产生具有最大一行的滞后相位的偏斜,也可以使得从各个信号处理电路输出的图像信号的相位相互一致。

[0077] 图 5A 至图 5C 示出作为拼贴处理的示例的显示模式。图 5A 示出第一显示模式,图 5B 示出第二显示模式,并且图 5C 示出第三显示模式。

[0078] 第一显示模式是这样的模式,其中,通过在垂直方向和水平方向上将画面分割成两个显示区域,一个画面被分割成 4 个显示区域 ($[2048(1920) \text{ 像素} \times 1080 \text{ 行}] \times 4$),并且 4K 图像信号被供应给 4 个分割区域的相应信号处理电路。例如,对应于左上显示区域的图像信号 IW_Data-ul 被供应给信号处理电路 20-A。此外,对应于右上显示区域的图像信号 IW_Data-ur 被供应给信号处理电路 20-B,对应于左下显示区域的图像信号 IW_Data-l1 被供应给信号处理电路 20-C,并且,对应于右下显示区域的图像信号 IW_Data-lr 被供应给信号处理电路 20-D。

[0079] 第二显示模式是这样的模式,其中,2K 图像信号,即, $[2048(1920) \text{ 像素} \times 1080 \text{ 行}]$ 的图像信号,被供应给相应的信号处理电路,并且显示区域的图像信号被切出 (cut out) 和扩大。例如,信号处理电路 20-A 通过从 2K 图像信号切出左上区域的图像信号并且纵横加倍来以 $4K \times 2K$ 图像显示执行左上区域的图像显示。

[0080] 第三显示模式是这样的模式,其中,2K 独立图像信号,即, $[2048(1920) \text{ 像素} \times 1080 \text{ 行}]$ 的图像信号,被供应给相应的信号处理电路,并且 $2K \times 1K$ 图像显示被执行,导致作为整体的 $4K \times 2K$ 图像显示被执行。图像信号 IW_Data-1 至 IW_Data-4 是不同的图像信号,并且各个图像信号可以相互不同步并且可以具有不同帧频率。

[0081] 图 6A 至 6E 是图示出第一显示模式中的操作的时序图。图 6A 示出被输入到相应信号处理电路 20-A 至 20-D 的图像信号 IW_Data 的帧信号 IW_FLD、垂直同步信号 IW_V 和水平同步信号 IW_H。图 6B 示出图像信号 IW_Data。图 6C 示出由信号选择单元 223 选择的帧识别信号 WF_ID (= EF_ID)。

[0082] 图 6D 示出低等待时间模式,并且图 6E 示出典型模式的操作。信号处理电路 20-A 至 20-B 和信号处理电路 20-C 至 20-D 基于从信号处理电路控制单元 40 供应的同步信号或帧信号来读出如上所述的图像信号。即,如上所述,使用图 4A 至 4K,在信号处理电路之间产生偏斜的情况中,信号处理电路控制单元 40 鉴于偏斜,在被延迟超过最大偏斜量的定时接收垂直同步信号 Ext_V。各个信号处理电路同步地接收偏斜补偿后的垂直同步信号 Ext_V,基于接收的垂直同步信号 Ext_V 来生成垂直读定时信号 RT_V,并从帧存储器 202 读出图像信号。这里,在图 6D 中示出的低等待时间模式中,写入的图像信号在一帧的图像信号的写入被完成之前被读出,从而,图像信号的延迟可以被降低。此外,在图 6E 中示出的典型模式

中,写入的图像信号在一帧的图像信号的写入被完成之后被读出。

[0083] 如上所述,在第一显示模式的情况中,即使在信号处理电路之间产生输入图像信号的偏斜,垂直同步信号 Ext_V、水平同步信号 Ext_H 和帧信号 Ext_FLD 的相位也被调节,并且图像信号基于调节之后的同步信号被输出。因此,图像信号可以从相应的信号处理电路被输出,而不受偏斜的影响。

[0084] 图 7A 至 7F 是图示出第二显示模式中的操作的时序图。图 7A 示出被输入相应的信号处理电路 20-A 至 20-D 的图像信号 IW_Data 的帧信号 IW_FLD 和垂直同步信号 IW_V。图 7B 示出输入到信号处理电路的图像信号。用于一个帧周期的开始 540 行的图像信号 IW_Data-A 和 B 被输入信号处理电路 20-A 和 20-B,并且用于随后 540 行的图像信号 IW_Data-C 和 D 被输入信号处理电路 20-C 和 20-D。图 7C 示出由信号处理电路 20-A 和 20-B 处理的图像信号和由信号处理电路 20-C 和 20-D 处理的图像信号。在第二显示模式的情况中,例如,用于 540 行的图像信号被扩大和处理,来作为用于一帧的图像信号 FC_Data-A 和 B、FC_Data-C 和 D。

[0085] 图 7D 示出低等待时间模式,并且图 7E 示出典型模式中的操作。信号处理电路 20-A 和 20-B 将扩大的图像信号写入帧存储器并基于从信号处理电路控制单元 40 供应的同步信号或帧信号来读出如上所述的图像信号。以相同的方式,信号处理电路 20-C 和 20-D 将扩大的图像信号写入帧存储器并基于从信号处理电路控制单元 40 供应的同步信号或帧信号来读出如上所述的图像信号。此外,从信号处理电路控制单元 40 供应给各个信号处理电路的信号相位被调节,并且对图像信号的读出在扩大的图像信号被写入信号处理电路 20-A 至 20-D 之后在信号处理电路 20-A 至 20-D 中以同步方式被执行。这里,在低等待时间模式中,写入的图像信号在一帧的图像信号的写入被完成之前被读出,因此图像信号 R_Data-A, B, R_Data-C 和 D 的延迟被降低。此外,在典型模式中,写入信号在一帧的图像信号的写入完成之后被读出,并且图像信号 R_Data-A, B, R_Data-C 和 D 被输出。此外,图 7F 示出从现有信号处理电路输出的图像信号以及从帧存储器读出的图像信号 R_Data-A 和 B, R_Data-C 和 D。然而,根据本公开的实施例的信号处理电路能够在不引起 1/2 帧周期的延迟的情况下输出图像信号,如图 7D 和 7E 所示。

[0086] 如上所述,使用根据本公开实施例的信号处理电路,在第二显示模式的情况中,信号处理电路可以在不引起 1/2 垂直周期的相位差的情况下输出图像信号。此外,由于图像信号可以在不引起 1/2 垂直周期的相位差的情况下被输出,所以上述低等待时间模式操作变得可能。

[0087] 此外,即使在第三显示模式的情况中,也不必像现有技术中那样安装用于两帧的帧缓冲器。此外,即使在供应给信号处理电路 20-A 至 20-D 的相应图像信号相互不同步或具有不同帧频率的情况中,写入帧存储器中的信号也可以基于从信号处理电路控制单元 40 供应给相应信号处理电路的信号被同步地读出。因此,图像信号可以从信号处理电路 20-A 至 20-D 被同步输出。

[0088] <2. 第二实施例>

[0089] 在第一实施例中,系统时钟信号从针对相应信号处理电路安装的振荡器供应。然而,在此实施例中,通过同步供应给各个信号处理电路的系统时钟信号,安装在信号处理电路的下游的行缓冲器的容量可以被额外地减小。

[0090] [2-1. 第二实施例的配置]

[0091] 接着,将描述其中供应给各个信号处理电路的系统时钟信号被相互同步的情况来作为第二实施例。

[0092] 图 8 是图示出第二实施例的配置的示图。显示装置 10a 包括信号处理电路 20-A 至 20-D、行缓冲器 30-A 至 30-D、定时控制电路 35-A 至 35-D、信号处理电路控制单元 40 和振荡器 45。

[0093] 信号处理电路 20-A 至 20-D 处理对应于各自显示区域的图像信号。例如,一个画面被分割成上下左右 4 个显示区域,并且信号处理电路 20-A 处理对应于例如左上显示区域的图像信号。以相同的方式,信号处理电路 20-B 处理对应于例如右上显示区域的图像信号,信号处理电路 20-C 处理对应于例如左下显示区域的图像信号,并且,信号处理电路 20-D 处理对应于例如右下显示区域的图像信号。

[0094] 图像信号 IW_Data、对应于图像信号 IW_Data 的时钟信号 IW_CLK、水平同步信号 IW_H、垂直同步信号 IW_V 以及帧信号 IW_FLD 被供应给信号处理电路 20-A。此外,水平同步信号 Ext_H、垂直同步信号 Ext_V、帧信号 Ext_FLD 以及帧识别信号 EF_ID 从信号处理电路控制单元 40(之后描述)被供应给信号处理电路 20-A。此外,指示对应于多芯片配置还是单芯片配置的操作被执行的芯片配置控制信号 MC_EN 从系统控制单元(未示出)被供应给信号处理电路 20-A。

[0095] 信号处理电路 20-A 通过基于时钟信号 IW_CLK、水平同步信号 IW_H、垂直同步信号 IW_V 和帧信号 IW_FLD 来捕获图像信号 IW_Data,来处理对应于显示区域的图像信号。在基于芯片配置控制信号 MC_EN 执行对应于多芯片配置的操作的情况下,信号处理电路 20-A 基于水平同步信号 Ext_H、垂直同步信号 Ext_V 和帧信号 Ext_FLD 来读出处理后的图像信号,并将读出的图像信号作为图像信号 R_Data-A 输出给行缓冲器 30-A。

[0096] 以与信号处理电路 20-A 相同的方式,信号处理电路 20-B 至 20-D 处理对应于各自显示区域的图像信号并将信号处理后的图像信号输出给行缓冲器 30-B 至 30-D。此外,在根据芯片配置控制信号 MC_EN 执行对应于单芯片配置的操作的情况下,信号处理电路 20-A 至 20-D 基于水平同步信号 IW_H、垂直同步信号 IW_V 和帧信号 IW_FLD 读出图像信号。

[0097] 存储在行缓冲器 30-A 至 30-D 中的图像信号例如基于水平读定时信号 RT_H、垂直读定时信号 RT_V 和帧信号 RT_FLD 被同步地读出,并被供应给定时控制电路 35-A 至 35-D。定时控制电路 35-A 接收从行缓冲器 30-A 读出的图像信号并将接收的图像信号以预定的格式并作为定时信号输出给显示设备的驱动器(未示出)。以相同的方式,定时控制电路 35-B 至 35-D 接收从行缓冲器 30-B 至 30-D 读出的图像信号,并将接收的信号以预定的格式并作为定时信号输出给显示设备的驱动器(未示出)。

[0098] 在利用多芯片配置使用信号处理电路的情况下,信号处理电路控制单元 40 生成水平同步信号 Ext_H、垂直同步信号 Ext_V、帧信号 Ext_FLD 和帧识别信号 EF_ID 并将它们供应给信号处理电路 20-A 至 20-D。

[0099] 振荡器 45 生成作为用于操作信号处理电路 20-A 至 20-D 的参考频率信号的系统时钟信号 SCLK。

[0100] [2-2. 第二实施例的操作]

[0101] 在如上配置的显示装置 10a 中,信号处理电路测量通过自运行生成的水平读定时

信号 RT_H 与从信号处理电路控制单元 40 供应的水平同步信号 Ext_H 之间的相位关系。此外,信号处理电路测量垂直读定时信号 RT_V 与从信号处理电路控制单元 40 供应的垂直同步信号 Ext_V 之间的相位关系。例如,相位差测量功能被安装在信号选择单元 222 中,并且测量结果被输出给读控制信号生成单元 224。

[0102] 这里,在其中系统时钟信号 SCLK 相互同步的情况中,信号处理电路控制单元 40 基于系统时钟信号来生成同步信号等,从而测得的相位差对于各个信号处理电路是固定的。因此,读控制信号生成单元 224 生成水平读定时信号 RT_H 和垂直读定时信号 RT_V,使得相位差例如变为小于 0.1H,从而从各个信号处理电路输出的图像信号的相位差小于 0.2H。因此,即使安装在信号处理电路的下游的行缓冲器的存储容量对应于 0.2H,从各个信号处理电路输出的图像信号的相位也相互一致。即,安装在信号处理电路的下游的行缓冲器的容量可以被额外地减小。

[0103] <3. 第三实施例>

[0104] 在第一实施例和第二实施例中,通过基于从信号处理电路控制单元 40 供应的信号来将图像信号从帧存储器 202 读出到相应的信号处理电路,从信号处理电路输出的图像信号的相位差被减小。因此,通过控制帧存储器 202 中的图像信号写入或写入图像信号的读出,仅通过显示装置将所显示的图像从运动图像切换成静止图像就可以停止图像显示。

[0105] <3-1. 第三实施例的配置>

[0106] 图 9 是图示出具有作为根据第三实施例的配置的显示停止功能的信号处理单元的配置的示意图。此外,在图 9 中,相同的标号被给与与图 3 对应的部分。由于信号处理电路 20-A 至 20-D 被认为具有相同配置,所以以下将仅针对信号处理电路 20-A 进行说明。

[0107] 图像信号 IW_Data 被供应给时钟转换单元 200。时钟转换单元 200 执行时钟信号的转换并使得图像信号 IW_Data、水平同步信号 IW_H、垂直同步信号 IW_V 和帧信号 IW_FLD 与来自时钟信号 IW_CLK 的系统时钟信号 SCLK 同步。时钟转换单元 200 将时钟转换之后的图像信号 IW_Data 输出给第一信号处理单元 201。此外,时钟转换单元 200 将时钟转换之后的水平同步信号 IW_H、垂直同步信号 IW_V 和帧信号 IW_FLD 输出给写控制单元 21 的写控制信号生成单元 211a、读控制单元 22 的信号选择单元 222 和显示停止控制单元 23-A 的信号选择单元 234。

[0108] 第一信号处理单元 201 根据来自系统控制单元的指令针对图像信号 IW_Data 执行不使用存储器的各种处理(例如,亮度校正和色彩校正处理),并将处理后的图像信号供应给帧存储器 202。帧存储器 202 连接到使用所存储的图像信号生成新的图像信号的第二信号处理单元 203。第二信号处理单元 203 根据来自系统控制单元的指令使用存储在帧存储器 202 中的图像信号来执行各种信号处理(例如,隔行扫描/逐行扫描转换、尺寸转换和倍速转换处理)。

[0109] 写控制单元 21 的写控制信号生成单元 211a 基于水平同步信号 IW_H、垂直同步信号 IW_V 和帧信号 IW_FLD 来生成水平写定时信号 WT_H 和垂直写定时信号 WT_V。写控制信号生成单元 211a 将生成的信号与和所述信号同步的帧信号 WT_FLD 一起供应给写地址生成单元 212。此外,写控制信号生成单元 211a 生成写使能信号 WD_EN 并将其供应给帧存储器 202 和写地址生成单元 212。此外,写控制信号生成单元 211a 基于帧信号 IW_FLD 以自运行的方式生成写入帧识别信号 WF_ID_0,并将写入帧识别信号 WF_ID_0 供应给信号选择单元

223。此外,在用于停止显示的指令借助显示停止信号从显示停止控制单元 23-A(之后描述)被提供时,例如,写控制信号生成单元 211a 停止生成写入帧识别信号 WF_ID_0 并且停止帧存储器 202 中的图像信号写入。

[0110] 在写准许通过写使能信号 WD_EN 被执行的情况中,写地址生成单元 212 基于水平写定时信号 WT_H、垂直写定时信号 WT_V、帧信号 WT_FLD 和从信号选择单元 223 供应的帧识别信号 WF_ID,生成写地址信号 W_ADR。写地址生成单元 212 将生成的写地址信号 W_ADR 供应给帧存储器 202,并将从第一信号处理单元 201 输出的图像信号存储在帧存储器 202 中。

[0111] 在使用多个信号处理电路以多芯片配置执行图像显示的情况中,读控制单元 22 的偏斜补偿单元 221 防止由各个信号处理电路之间的输入图像信号中可能产生的偏斜引起的误动作。偏斜补偿单元 221 基于从信号处理电路控制单元 40 供应的水平同步信号 Ext_H、垂直同步信号 Ext_V 和帧信号 Ext_FLD,调节定时以使得信号处理后的图像信号能够以减小的相位差从各自的信号处理电路输出。偏斜补偿单元 221 将定时调节后的各个信号输出给信号选择单元 222。此外,由于水平同步信号 Ext_H 的延迟基于来自振荡器 45-A 的系统时钟信号 SCLK 被执行,所以信号处理电路控制单元 40 不必与水平同步信号 Ext_H、垂直同步信号 Ext_V 和帧信号 Ext_FLD 一起提供时钟信号。

[0112] 如果芯片配置控制信号 MC_EN 指示多芯片配置的操作,则信号选择单元 222 选择从偏斜补偿单元 221 输出的水平同步信号 Ext_H、垂直同步信号 Ext_V 和帧信号 Ext_FLD,并将选择的信号输出给读控制信号生成单元 224a。此外,在单芯片配置的操作被指示的情况下,信号选择单元 222 选择对应于图像信号 IW_Data 的水平同步信号 IW_H、垂直同步信号 IW_V 和帧信号 IW_FLD 并将它们输出给读控制信号生成单元 224a。

[0113] 来自写控制信号生成单元 211a 的写入帧识别信号 WF_ID_0 和来自信号处理电路控制单元 40 的帧识别信号 EF_ID 被供应给信号选择单元 223。如果从系统控制单元供应的芯片配置控制信号 MC_EN 指示以多芯片配置执行图像显示,则信号选择单元 223 选择从信号处理电路控制单元 40 供应的帧识别信号 EF_ID。此外,如果指示以单芯片配置执行图像显示,则信号选择单元 223 选择写入帧识别信号 WF_ID_0。信号选择单元 223 将所选择的帧识别信号作为帧识别信号 WF_ID 输出给写地址生成单元 212 和读控制信号生成单元 224。此外,如果供应给信号处理电路 20-A 至 20-D 的图像信号相互不同步并且可以对应于第三显示模式中的另一格式或帧速率,则帧识别信号 EF_ID 可以不是与供应给信号处理电路 20-A 至 20-D 的图像信号同步的信号。因此,即使芯片配置控制信号 MC_EN 指示以第三显示模式以多芯片配置执行图像显示,信号选择单元 223 也选择写入帧识别信号 WF_ID_0。

[0114] 读控制信号生成单元 224a 基于由信号选择单元 222 选择的同步信号来生成水平读定时信号 RT_H 和垂直读定时信号 RT_V。读控制信号生成单元 224a 将生成的信号连同与所述信号同步的帧信号 RT_FLD 一起供应给读地址生成单元 225。此外,读控制信号生成单元 224a 生成读使能信号 RD_EN 并将其供应给帧存储器 202 和读地址生成单元 225。此外,读控制信号生成单元 224a 基于由信号选择单元 223 选择的帧识别信号来生成读出帧识别信号 RF_ID,并将生成的读出帧识别信号 RF_ID 供应给读地址生成单元 225。此外,在行抖动模式中,水平读定时信号 RT_H 是通过自由运行生成的。此外,在其中用于停止显示的指令借助显示停止信号从显示停止控制单元 23-A 被提供的情况中,例如,读控制信号生成单元 224a 通过重复生成相同的读出帧识别信号 RF_ID 来从帧存储器 202 重复读出相同的图

像信号。此外,读控制信号生成单元 224a 基于低等待时间使能信号 LL_EN 根据低等待时间模式是否有效来控制读出帧。

[0115] 在对图像信号的读出是借助读使能信号 RD_EN 被准许的情况下,读地址生成单元 225 基于水平读定时信号 RT_H、垂直读定时信号 RT_V、帧信号 RT_FLD 和读出帧识别信号 RF_ID 来生成读地址信号 R_ADR。读地址生成单元 225 将生成的读地址信号 R_ADR 供应给帧存储器 202,并且从帧存储器 202 读出对应于读出帧识别信号 RF_ID 的图像信号以输出该图像信号。

[0116] 显示停止控制单元 23-A 的接口 (I/F) 单元 231 根据从系统控制单元供应的指令来生成芯片配置控制信号 MC_EN,即,对应于多芯片配置还是单芯片配置的操作被执行。接口单元 231 将所生成的芯片配置控制信号 MC_EN 输出给信号选择单元 222、223 和 232 以及读控制信号生成单元 224a。此外,接口单元 231 根据来自系统控制单元的指令来生成显示停止指令信号 FZS 和停止设置信号 FR_FZ。接口单元 231 将显示停止指令信号 FZS 输出给锁存单元 233,并将停止设置信号 FR_FZ 输出给信号选择单元 234。

[0117] 在基于芯片配置控制信号 MC_EN 以多芯片配置执行图像显示的情况下,信号选择单元 232 选择锁存信号 TM_Latch 并将锁存信号 TM_Latch 作为门信号 GT1 输出给锁存单元 233。此外,在以单芯片配置执行图像显示的情况下,信号选择单元 232 选择“1”并将选择的信号作为门信号 GT1 输出给锁存单元 233。

[0118] 锁存单元 233 基于门信号 GT1 来锁存显示停止指令信号 FZS,并将锁存的信号作为门信号 GT2 输出给显示停止信号输出单元 235。

[0119] 信号选择单元 234 根据停止设置信号 FR_FZ 来选择垂直同步信号 IW_V 和帧信号 IW_FLD,并将所选择的信号输出给显示停止信号输出单元 235。如果认为停止设置信号 FR_FZ 例如是“0”,则信号选择单元 234 选择并输出垂直同步信号 IW_V。此外,认为停止设置信号 FR_FZ 例如是“1”,则信号选择单元 234 选择并输出帧信号 IW_FLD。

[0120] 显示停止信号输出单元 235 在由信号选择单元 234 选择的信号的定时锁存在锁存单元 233 中被锁存的显示停止指令信号 FZS 并将锁存的显示停止指令信号 FZS 作为显示停止控制信号 FZ_ON 输出给写控制信号生成单元 211a 和读控制信号生成单元 224a。

[0121] [3-2. 第三实施例的操作]

[0122] 图 10A 至 10E 是图示出具有显示停止功能的信号处理单元的操作的时序图。图 10A 示出图像信号 IW_Data、图像信号 IW_Data 的帧信号 IW_FLD、和垂直同步信号 IW_V。图 10B 示出由写控制信号生成单元 211a 生成的帧识别信号 WF_ID。图 10C 示出从接口单元 231 输出的显示停止指令信号 FZS 和从显示停止信号输出单元 235 输出的显示停止控制信号 FZ_ON。此外,图 10D 示出从信号处理电路控制单元 40 供应的垂直同步信号 Ext_V 和帧信号 Ext_FLD。此外,图 10E 示出由读控制信号生成单元 224a 生成的读出帧识别信号 RF_ID。

[0123] 如果显示停止指令信号 FZS 被锁存并被供应给显示停止信号输出单元 235,则显示停止信号输出单元 235 在基于由信号选择单元 234 选择的信号的定时输出显示停止指令信号 FZS,来作为显示停止控制信号 FZ_ON。例如,如果停止设置信号 FR_FZ 被认为是“0”,则信号选择单元 234 选择垂直同步信号 IW_V 并且显示停止信号输出单元 235 与垂直同步信号 IW_V 同步地输出显示停止控制信号 FZ_ON。因此,写控制信号生成单元 211a 通过停止

更新帧识别信号 WF_ID(如图 10B 中的点划线所示)来停止帧存储器 202 中的图像信号写入。此外,通过输出显示停止控制信号 FZ_ON,读控制信号生成单元 224a 停止读出帧识别信号 RF_ID 的更新,并且重复读出读出帧识别信号 RF_ID 为“0”的图像信号(如图 10E 中的点划线所示)。

[0124] 之后,如果显示停止指令信号 FZS 的输出被停止,则显示停止信号输出单元 235 停止与垂直同步信号 IW_V 同步地输出显示停止控制信号 FZ_ON。此外,当显示停止控制信号 FZ_ON 的输出被停止时,写控制信号生成单元 211a 重新开始帧识别信号 WF_ID 的更新,并且读控制信号生成单元 224a 重新开始读出帧识别信号 RF_ID 的更新。因此,写控制信号生成单元 211a 在由图 10B 的点划线指示的时段期间停止图像信号的写入,并且随后重新开始图像信号的写入。此外,读控制信号生成单元 224a 在由图 10E 的点划线指示的时段期间重复读出对应于相同读出帧识别信号 RF_ID 的图像信号,并随后通过按序更新读出帧识别信号 RF_ID 来重新开始新的图像信号的读出。即,在由图 10E 的点划线指示的时段期间,静止图像可以被显示。

[0125] 图 11 示出 4 个信号处理电路 20-A 至 20-D 的显示停止控制单元 23-A 至 23-D。锁存信号 TM_Latch 被供应至显示停止控制单元 23-A 至 23-D,并且在相同的定时,显示停止指令信号 FZS 被锁存到锁存单元 233 以提供给显示停止信号输出单元 235。因此,信号处理电路 20-A 至 20-D 的显示停止处理可以被同步执行。

[0126] 图 12A 至 12D 是图示出 4 个信号处理电路 20-A 至 20-D 的操作的时序图。图 12A 示出图像信号 IW_Data 和垂直同步信号 IW_V。图 12B 示出供应给信号处理电路 20-A 至 20-D 的显示停止指令 FZS-A 至 FZS-D。显示停止指令信号从系统控制单元被异步地供应并且因此具有相位差(如图所示)。图 12C 示出锁存信号 TM_Latch,并且信号处理电路 20-A 至 20-D 借助锁存信号 TM_Latch 来锁存显示停止指令信号 FZS。图 12D 示出由信号处理电路 20-A 至 20-D 生成的显示停止控制信号 FZ_ON-A 至 FZ_ON-D。显示停止控制信号是在与显示停止指令信号(例如垂直同步信号 IW_V)同步的定时被锁存的信号,并且由各个信号处理电路生成的显示停止控制信号 FZ_ON-A 至 FZ_ON-D 变成同步信号,如图所示。

[0127] 因此,在以多芯片配置执行高分辨率显示的情况中,多个信号处理电路通过同步切换到静止图像显示。因此,即使静止图像信号未被输入到显示装置,通过在向各个信号处理电路供应显示停止指令信号之后供应锁存信号 TM_Latch,静止图像也可以针对每个区域被显示。此外,通过在显示停止指令信号完成之后供应锁存信号 TM_Latch,静止图像显示可以切换到运动图像显示。

[0128] 此外,静止图像显示可以适用于多视角图像。图 13A 至图 13E 例如是图示出在场(帧)顺序型图像信号被输入到信号处理电路的情况中的操作。

[0129] 图 13A 示出图像信号 IW_Data、图像信号 IW_Data 的帧信号 IW_FLD、和垂直同步信号 IW_V。图 13B 示出由写控制信号生成单元 211a 生成的帧识别信号 WF_ID。图 13C 示出从接口单元 231 输出的显示停止指令信号 FZS 和从显示停止信号输出单元 235 输出的显示停止控制信号 FZ_ON。此外,图 13D 示出从信号处理电路控制单元 40 供应的垂直同步信号 Ext_V 和帧信号 Ext_FLD。此外,图 13E 示出由读控制信号生成单元 224a 生成的读出帧识别信号 RF_ID。

[0130] 如果显示停止指令信号 FZS 被锁存并被供应给显示停止信号输出单元 235,则显

示停止信号输出单元 235 在基于由信号选择单元 234 选择的信号的定时输出显示停止指令信号 FZS, 来作为显示停止控制信号 FZ_ON。这里, 在利用多视角图像执行静止图像显示的情况下, 例如, 停止设置信号 FR_FZ 被认为是“1”。在此情况下, 信号选择单元 234 选择帧信号 IW_FLD, 并且显示停止信号输出单元 235 与帧信号 IW_FLD 同步地输出显示停止控制信号 FZ_ON。因此, 写控制信号生成单元 211a 通过停止更新帧识别信号 WF_ID (如图 13B 中的点划线所示) 来停止帧存储器 202 中的图像信号写入。此外, 通过输出显示停止控制信号 FZ_ON, 读控制信号生成单元 224a 停止读出帧识别信号 RF_ID 的更新, 并且重复读出读出帧识别信号 RF_ID 为“0”和“1”的图像信号 (如图 13E 中的点划线所示)。

[0131] 之后, 如果显示停止指令信号 FZS 的输出被停止, 则显示停止信号输出单元 235 停止与垂直同步信号 IW_V 同步地输出显示停止控制信号 FZ_ON。此外, 当显示停止控制信号 FZ_ON 的输出被停止时, 写控制信号生成单元 211a 重新开始帧识别信号 WF_ID 的更新, 并且读控制信号生成单元 224a 重新开始读出帧识别信号 RF_ID 的更新。因此, 写控制信号生成单元 211a 在由图 13B 的点划线指示的时段期间停止图像信号的写入, 并且随后重新开始图像信号的写入。此外, 读控制信号生成单元 224a 在由图 13E 的点划线指示的时段期间重复读出对应于相同读出帧识别信号 RF_ID 的图像信号, 并随后通过按序更新读出帧识别信号 RF_ID 来重新开始新的图像信号的读出。即, 在由图 13E 的点划线指示的时段期间, 右视角图像信号和左视角图像信号被重复读出, 因此, 即使在执行多视角图像显示的情况下, 静止图像也可以被显示。

[0132] 如上所述, 通过与帧信号同步地执行显示停止控制并重复读出一帧的多视角图像信号, 多视角图像可以在期望定时被显示为高分辨率静止图像, 即使多视角静止图像的图像信号未被输入显示装置。因此, 例如, 3D 图像评估可以被有效地执行。

[0133] 在第三实施例中, 例示了基于图像信号 IW_Data 的图像从运动图像被切换成静止图像。然而, 在第一显示模式或第二显示模式中, 通过捕获和输出静止图像来作为所捕获图像信号或者通过从外部设备向信号处理电路供应期望静止图像的图像信号, 静止图像可以容易地被期望的静止图像替换。

[0134] 在图 9 中, 从显示停止控制单元 23-A 的接口单元 231 被供应给读控制单元 22 的读地址生成单元 225 的静止图像读信号 DMA_RA 是通过捕获存储在帧存储器 202 中的静止图像而被输出给外部设备的信号。从第二信号处理单元 203 供应给接口 (I/F) 单元 231 的图像信号 DMA_RD 是从帧存储器 202 读出并被输出给外部设备的所捕获图像信号。

[0135] 从显示停止控制单元 23-A 的接口单元 231 供应给第一信号处理单元 201 的替换图像信号 DMA_WD 是从外部设备供应的替换图像信号。此外, 供应给写控制单元 21 的写地址生成单元 212 的静止图像写信号 DMA_WA 是用于将从外部设备供应的替换图像信号 DMA_WD 存储在帧存储器 202 中的信号。

[0136] 从帧存储器 202 读出图像信号 DMA_RD 或向帧存储器 202 写入替换图像信号 DMA_WD 可以使用 DMA (直接存储器存取) 方法来容易地执行。

[0137] 此外, 在读出图像信号 DMA_RD 的情况下, 例如在多芯片配置的第一显示模式中, 相同的帧识别信号被保持在各个信号处理电路中, 其中使用帧识别信号 EF_ID 作为读出帧识别信号 RF_ID。通过这样做, 在以 DMA 方法将帧存储器 202 的图像信号捕获到外部设备的情况下, 对应于帧识别信号的地址变得相互等同。因此, 各个信号处理电路不必管理帧识别

信号,并且读地址信号 R_ADR 的生成变得被简化。此外,在帧识别信号 EF_ID 不被使用的情况中,由于当将图像信号记录到各个信号处理电路中时的帧识别信号相互不同,因此,对应于帧识别信号的地址变得相互不同,即使在读出所存储的图像信号的情况中也如此。因此,相比于帧识别信号 EF_ID 被使用的情况中,读地址信号 R_ADR 的生成未被简化。

[0138] 此外,在写入替换图像信号 DMA_WD 的情况中,例如在多芯片配置的第一显示模式中,相同的帧识别信号被保持在各个信号处理电路中,其中使用帧识别信号 EF_ID 作为帧识别信号 WF_ID。通过这样做,在以 DMA 方法中将来自外部设备的图像信号存储在帧存储器 202 中的情况中,对应于帧识别信号的地址变得相互等同。因此,各个信号处理电路不必管理帧识别信号,并且写地址信号 W_ADR 的生成变得被简化。

[0139] 图 14A 至 14D 是在捕获静止图像的情况中的时序图。图 14A 示出显示停止指令信号 FZS。图 14B 示出读出帧识别信号 RF_ID (= EF_ID),图 14C 示出读地址信号并且图 14D 示出读出的图像信号。这里,如果读地址信号是基于水平读定时信号 RT_H、垂直读定时信号 RT_V 和帧信号 RT_FLD 的主要读地址信号,则图像信号 R_Data-A 被输出。此外,如果读地址信号是基于静止图像读信号 DMA_RA 的 DMA 读地址信号,则从帧存储器 202 读出的图像信号 DMA_RD 作为所捕获图像信号被输出到外部。

[0140] 图 15A 至 15D 是在替换静止图像的情况中的时序图。图 15A 示出显示停止指令信号 FZS。图 15B 示出帧识别信号 WF_ID (= EF_ID),图 15C 示出写地址信号和读地址信号,并且图 15D 示出写入帧存储器 202 的图像信号和从帧存储器 202 读出的图像信号。这里,如果写地址信号是基于静止图像写信号 DMA_WA 的写地址信号,则替换图像信号 DMA_WD 被存储在帧存储器 202 中。之后,通过使用帧识别信号 EF_ID 作为读出帧识别信号 RF_ID 来基于主要地址信号读出图像信号,从外部设备供应的替换图像信号作为图像信号 R_Data-A 被输出。即,从外部设备供应的静止图像能够被容易地替换为以多芯片配置显示的静止图像。

[0141] 如上所述,在多芯片配中将静止图像的所捕获图像信号输出给外部设备的情况中或在基于从外部设备供应的替换图像信号来显示静止图像的情况中,图像信号使用读出帧识别信号 EF_ID 被读出和写入。因此,以与其中各个信号处理电路通过分别设置帧识别信号来读出或写入图像信号的情况相同的方式,各个信号处理电路不必管理帧识别信号,并且地址可以如上所述地容易地生成。

[0142] 此外,本公开不应被理解为限制于上述实施例。因为本公开的实施例以示例的形式公开了技术,所以,对于本领域技术人员显然的是,在不偏离本公开的要旨的情况下可以进行各种修改或更改。即,为了确定本公开的要旨,应当考虑所附权利要求书。

[0143] 此外,本公开可以具有如下配置。

[0144] (1) 一种信号处理电路,包括:存储器,存储图像信号;写控制单元,生成帧识别信息和与输入图像信号同步的写控制信号,并且基于所述写控制信号将所述输入图像信号与该帧识别信息相对应地存储在所述存储器中;以及读控制单元,通过基于具有输出水平频率的定时信号获取从外部供应的垂直同步信号来生成读控制信号,并且基于所述读控制信号和从外部供应的帧识别信息来从所述存储器读出对应于该帧识别信息的图像信号。

[0145] (2) 如(1)所述的信号处理电路,其中,在同时使用多个信号处理电路执行图像显示的情况中,所述读控制单元生成所述读控制信号并且基于所述读控制信号和所述帧识别

信息来从所述存储器读出对应于所述帧识别信息的图像信号。

[0146] (3) 如 (1) 或 (2) 所述的信号处理电路, 其中, 所述读控制单元检测在基于所述具有输出水平频率的定时信号所生成的垂直同步信号与从外部供应的垂直同步信号之间的相位差以及所述具有输出水平频率的定时信号与从外部供应的水平同步信号之间的相位差, 调节所述具有输出水平频率的定时信号和所述基于该定时信号所生成的垂直同步信号的相位以使得所述相位差小于预定值, 并且使用调节之后的信号来生成所述读控制信号。

[0147] (4) 如 (1) 至 (3) 中任一项所述的信号处理电路, 还包括偏斜补偿单元, 该偏斜补偿单元延迟从外部供应的同步信号, 以使得即使所述输入图像信号和输入到另一信号处理电路的输入图像信号产生偏斜, 对应于所述帧识别信息的图像信号也能够基于所述读控制信号和所述帧识别信息而被从所述存储器读出。

[0148] (5) 如 (1) 至 (4) 中任一项所述的信号处理电路, 还包括显示停止控制单元, 该显示停止控制单元在显示停止指令信号被供应时基于输入锁存信号来获取所述显示停止指令信号并且将获取的所述显示停止指令信号输出给所述写控制单元和所述读控制单元,

[0149] 其中, 所述写控制单元基于所述显示停止指令信号在显示停止时段期间停止将所述输入图像信号存储在所述存储器中, 并且

[0150] 所述读控制单元基于所述显示停止指令信号在所述显示停止时段期间读出在显示停止之前已被读出的对应于所述帧识别信息的图像信号。

[0151] (6) 如 (5) 所述的信号处理电路, 其中, 所述显示停止控制单元以帧为单位或以多个帧为单位基于所述输入锁存信号来获取所述显示停止指令信号。

[0152] (7) 如 (5) 所述的信号处理电路, 其中, 所述读控制单元基于从外部供应的帧识别信息来从所述存储器读出对应于所述帧识别信息的图像信号并且将读出的图像信号作为所捕获图像信号输出到外部。

[0153] (8) 如 (5) 所述的信号处理电路, 其中, 所述写控制单元基于从外部供应的帧识别信息来将替换图像信号与该帧识别信息相对地存储在所述存储器中。

[0154] (9) 如 (8) 所述的信号处理电路, 其中, 所述读控制单元基于从外部供应的帧识别信息来读出与该帧识别信息相对地存储在所述存储器中的替换图像信号。

[0155] (10) 如 (1) 至 (9) 中任一项所述的信号处理电路, 其中, 所述存储器存储用于信号处理的图像信号。

[0156] (11) 一种显示装置, 包括:

[0157] 用于构成一个画面的多个显示区域的多个信号处理电路, 所述多个信号处理电路分别处理对应显示区域的图像信号,

[0158] 其中, 所述多个信号处理电路中的每一个包括:

[0159] 存储器, 存储图像信号,

[0160] 写控制单元, 生成帧识别信息和与输入图像信号同步的写控制信号, 并且基于所述写控制信号将所述输入图像信号与该帧识别信息相对地存储在所述存储器中, 以及

[0161] 读控制单元, 通过基于具有输出水平频率的定时信号获取从外部共同地供应给各个信号处理电路的垂直同步信号来生成读控制信号, 并且基于所述读控制信号和从外部共同地供应给所述各个信号处理电路的帧识别信息来从所述存储器读出对应于该帧识别信息的图像信号。

[0162] (12) 如 (11) 所述的显示装置,还包括生成参考频率信号的振荡单元,

[0163] 其中,所述振荡单元将所生成的参考频率信号供应给所述各个信号处理电路,并且

[0164] 所述信号处理电路的读控制单元检测在基于所述具有输出水平频率的定时信号所生成的垂直同步信号与从外部供应的垂直同步信号之间的相位差以及在所述具有输出水平频率的定时信号与从外部供应的水平同步信号之间的相位差,调节所述具有输出水平频率的定时信号和所述基于该定时信号所生成的垂直同步信号的相位以使得所述相位差小于预定值,并且使用调节之后的信号来生成所述读控制信号。

[0165] (13) 如 (11) 或 (12) 所述的显示装置,其中,所述多个信号处理电路包括偏斜补偿单元,该偏斜补偿单元延迟从外部供应的同步信号,以使得即使输入到所述多个信号处理电路的所述输入图像信号在所述信号处理电路之间产生偏斜,对应于所述帧识别信息的图像信号也能够基于所述读控制信号和所述帧识别信息而被从所述存储器读出。

[0166] (14) 如 (11) 至 (13) 中任一项所述的显示装置,其中,所述多个信号处理电路还包括显示停止控制单元,该显示停止控制单元在显示停止指令信号被供应时基于输入锁存信号来获取所述显示停止指令信号并且将获取的显示停止指令信号输出给所述写控制单元和所述读控制单元,

[0167] 其中,所述写控制单元基于所述显示停止指令信号在显示停止时段期间停止将所述输入图像信号存储在所述存储器中,并且

[0168] 所述读控制单元基于所述显示停止指令信号在所述显示停止时段期间读出在显示停止之前已被读出的对应于所述帧识别信息的图像信号。

[0169] 在根据本公开实施例的信号处理电路、信号处理方法和显示装置中,与输入图像信号同步的写控制信号和帧识别信息被生成,并且输入图像信号基于写控制信号被与该帧识别信息相对应地存储在存储器中。此外,读控制信号通过基于具有输出水平频率的定时信号获取从外部供应的垂直同步信号而被生成,并且对应于帧识别信息的图像信号基于读控制信号和从外部供应的帧识别信息被读出。通过此方案,在将从外部供应的同步信号供应给多个信号处理电路的情况中,从信号处理电路输出的图像信号之间的相位差变得更小,从而可以使用行缓冲器来使得从信号处理电路输出的图像信号的相位相互一致。因此,高分辨率图像显示可以以低延迟、减小的电路尺寸、低功耗和小花费被执行。本公开适合于使用具有各种帧速率的图像信号来执行高精度图像显示的显示装置等等。

[0170] 本公开包含与 2011 年 3 月 30 日于日本专利局提交的日本在先专利申请 JP 2011-074348 中所公开的主题有关的主题,该在先申请的全部内容通过引用结合于此。

[0171] 本领域技术人员应当理解,根据设计要求和其它因素可以进行各种修改、组合、子组合和更改,只要它们在所附权利要求及其等同物的范围内即可。

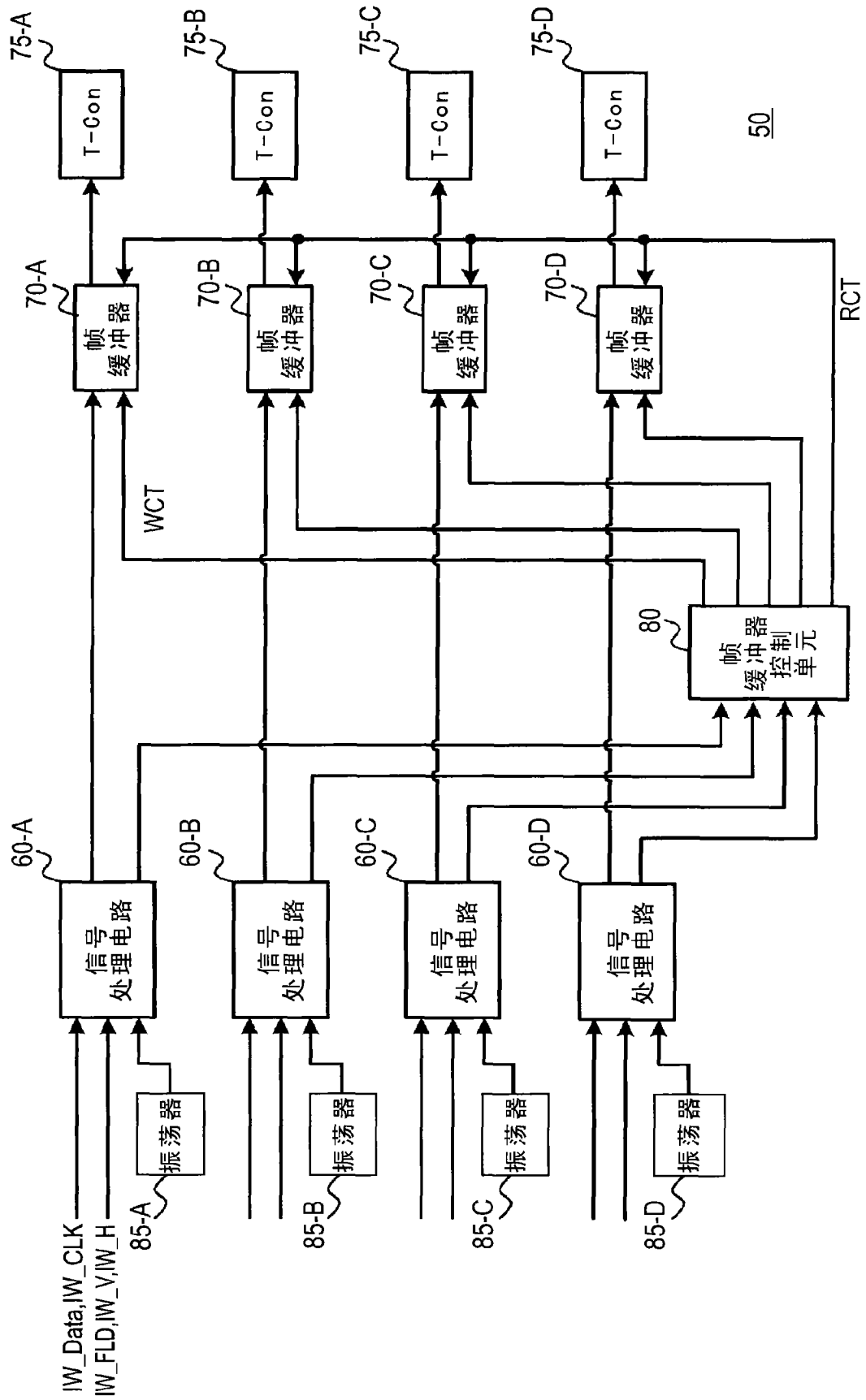


图 1

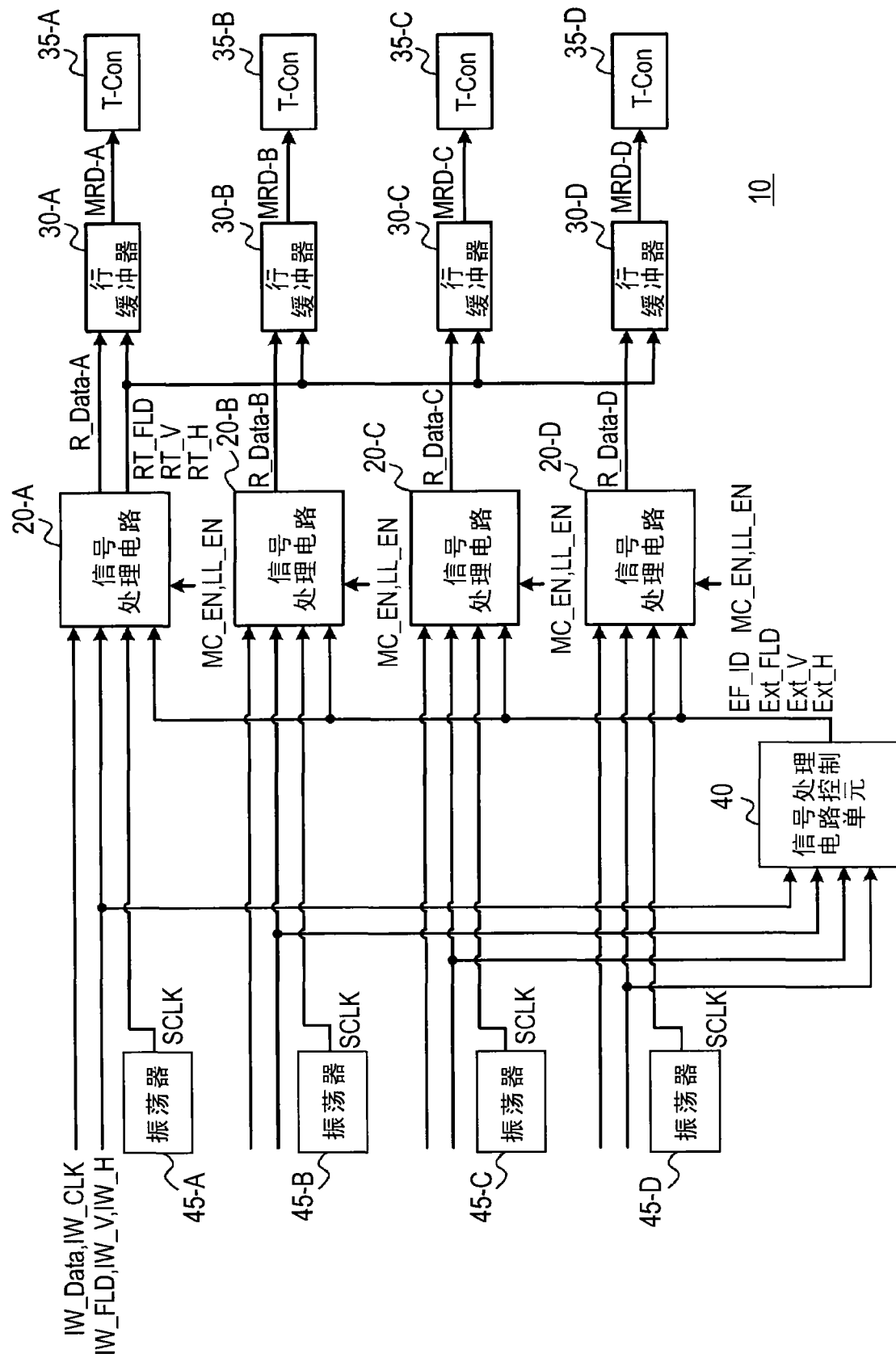


图 2

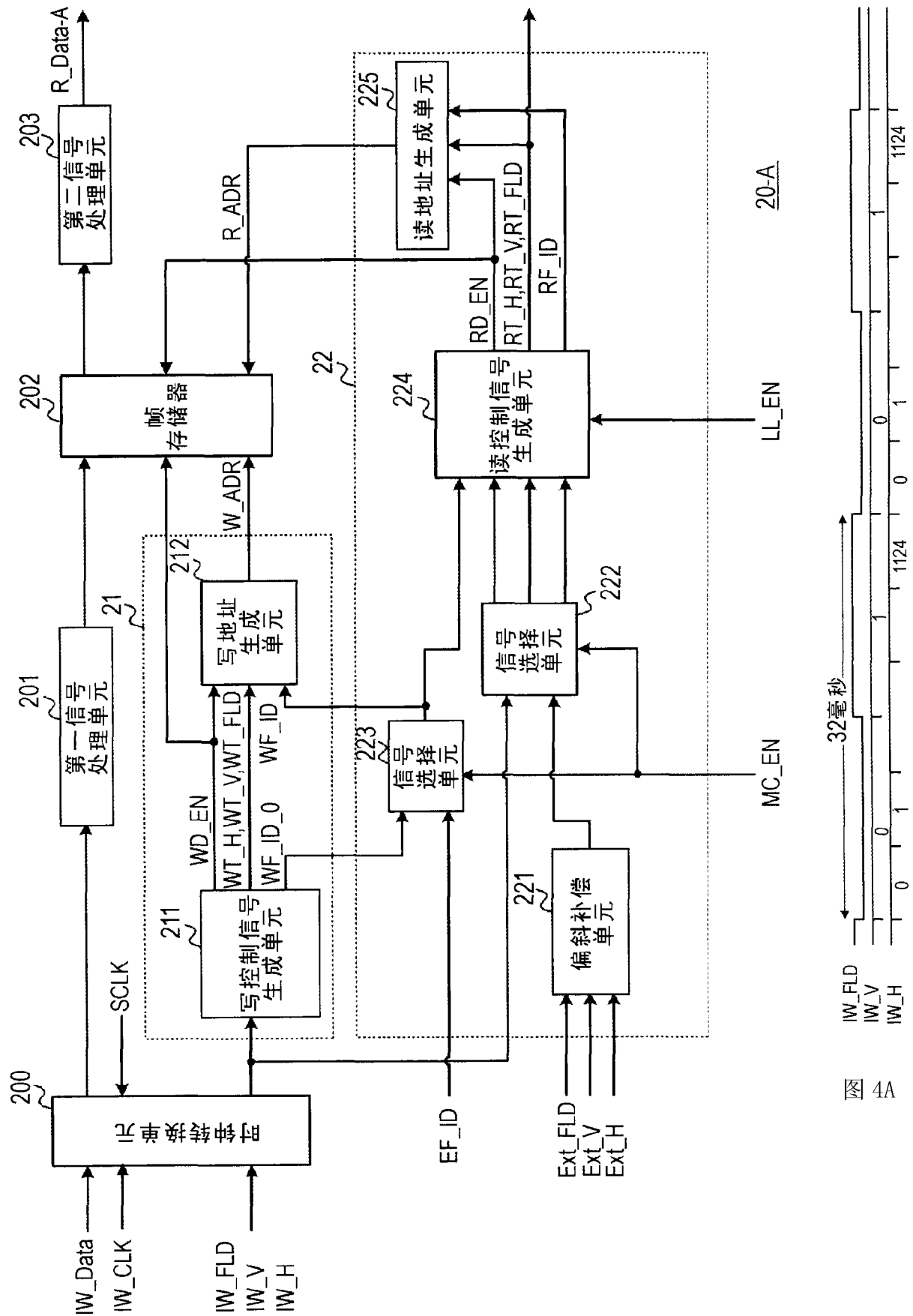
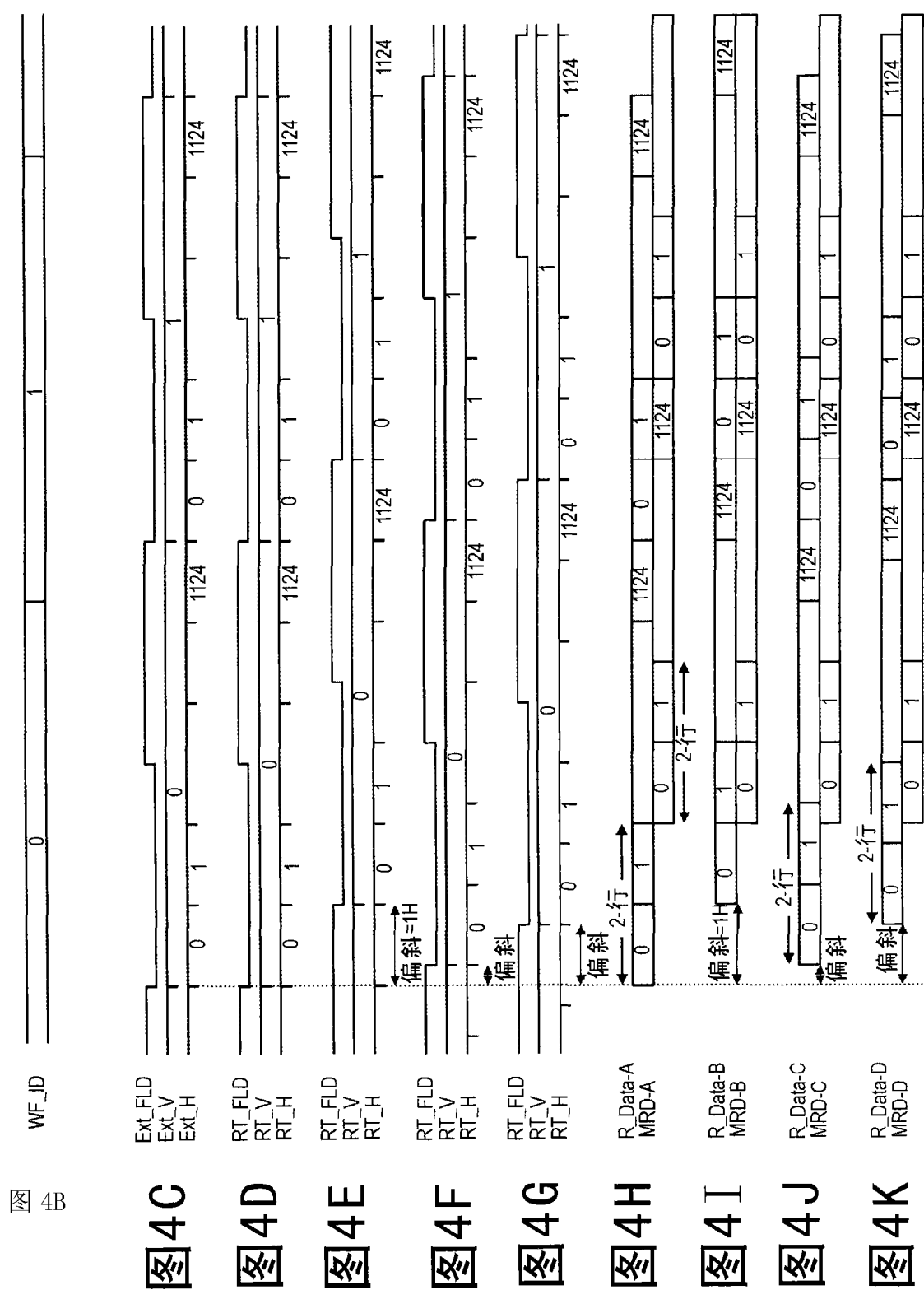


图 3

图 4A



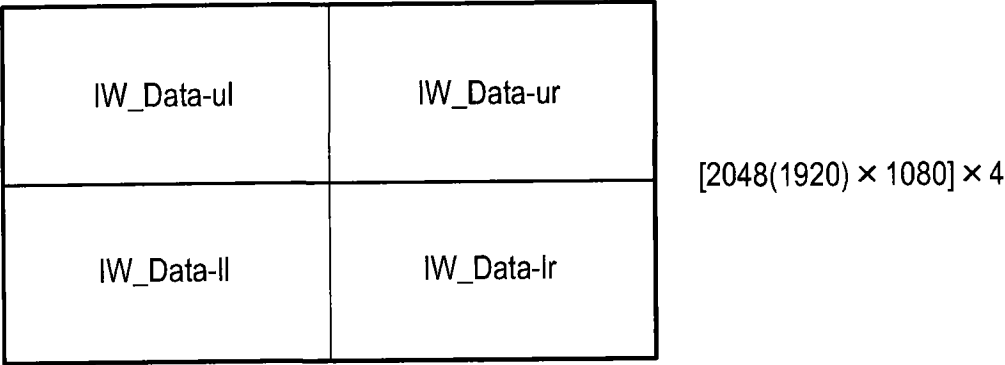


图 5A

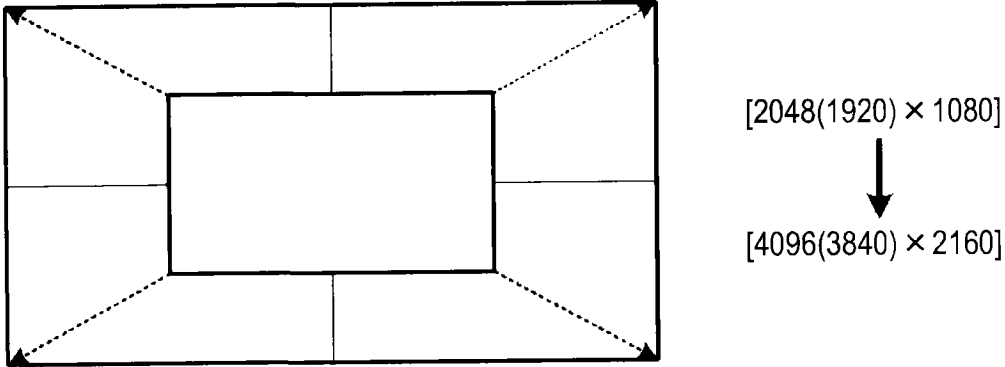


图 5B

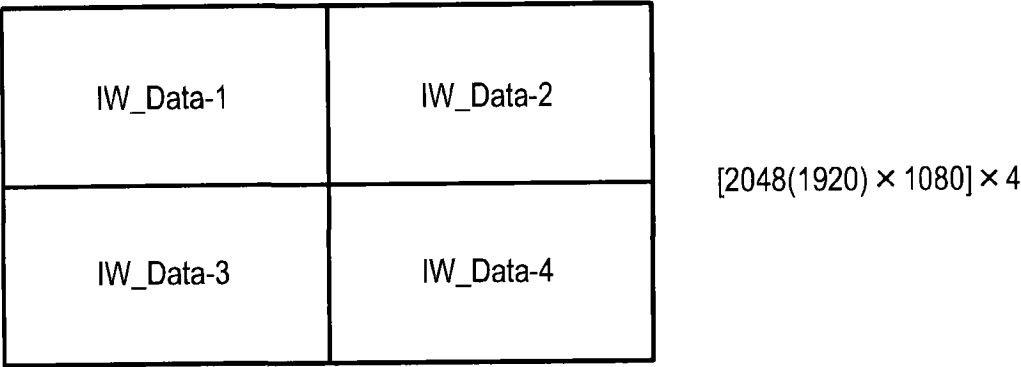
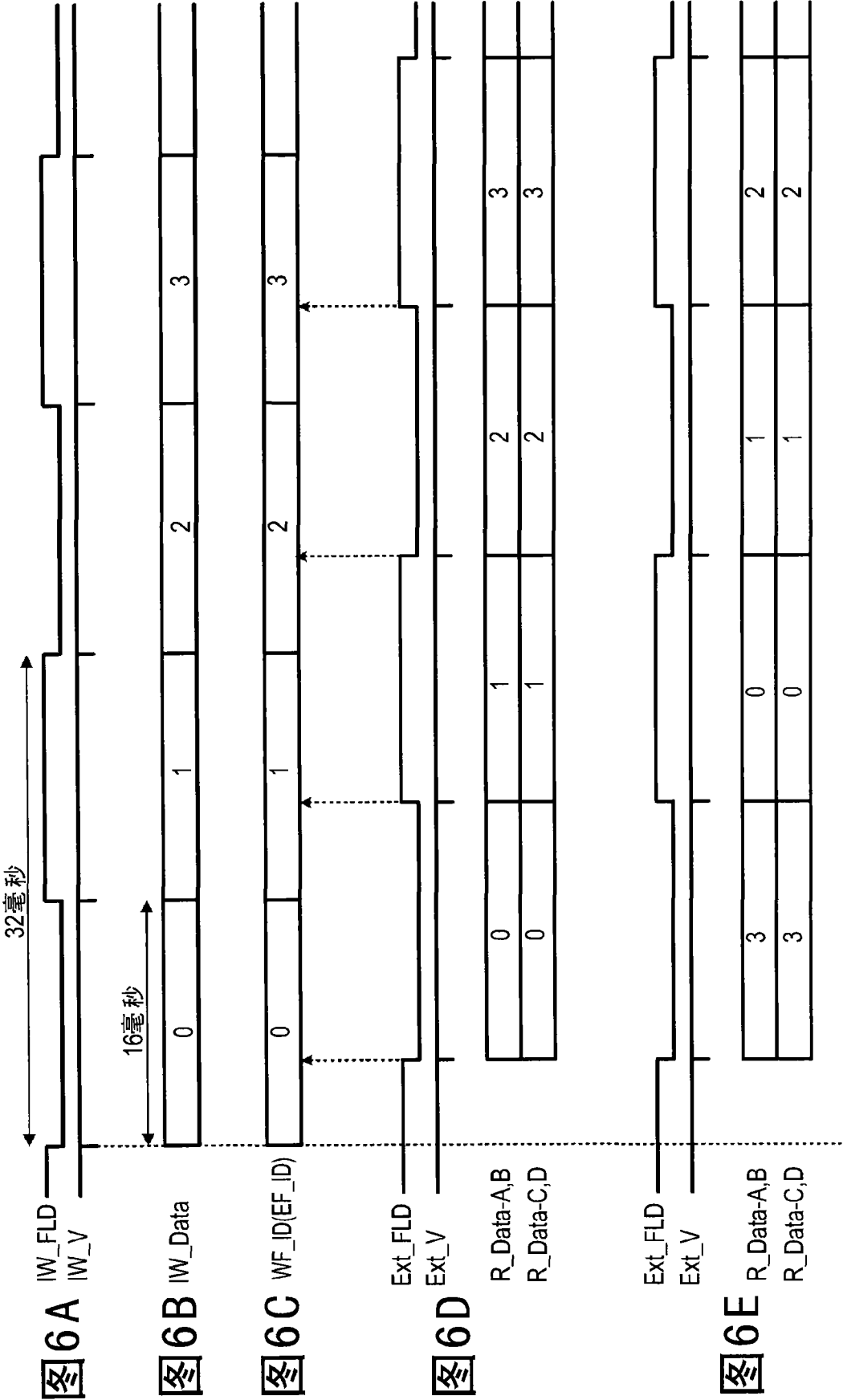
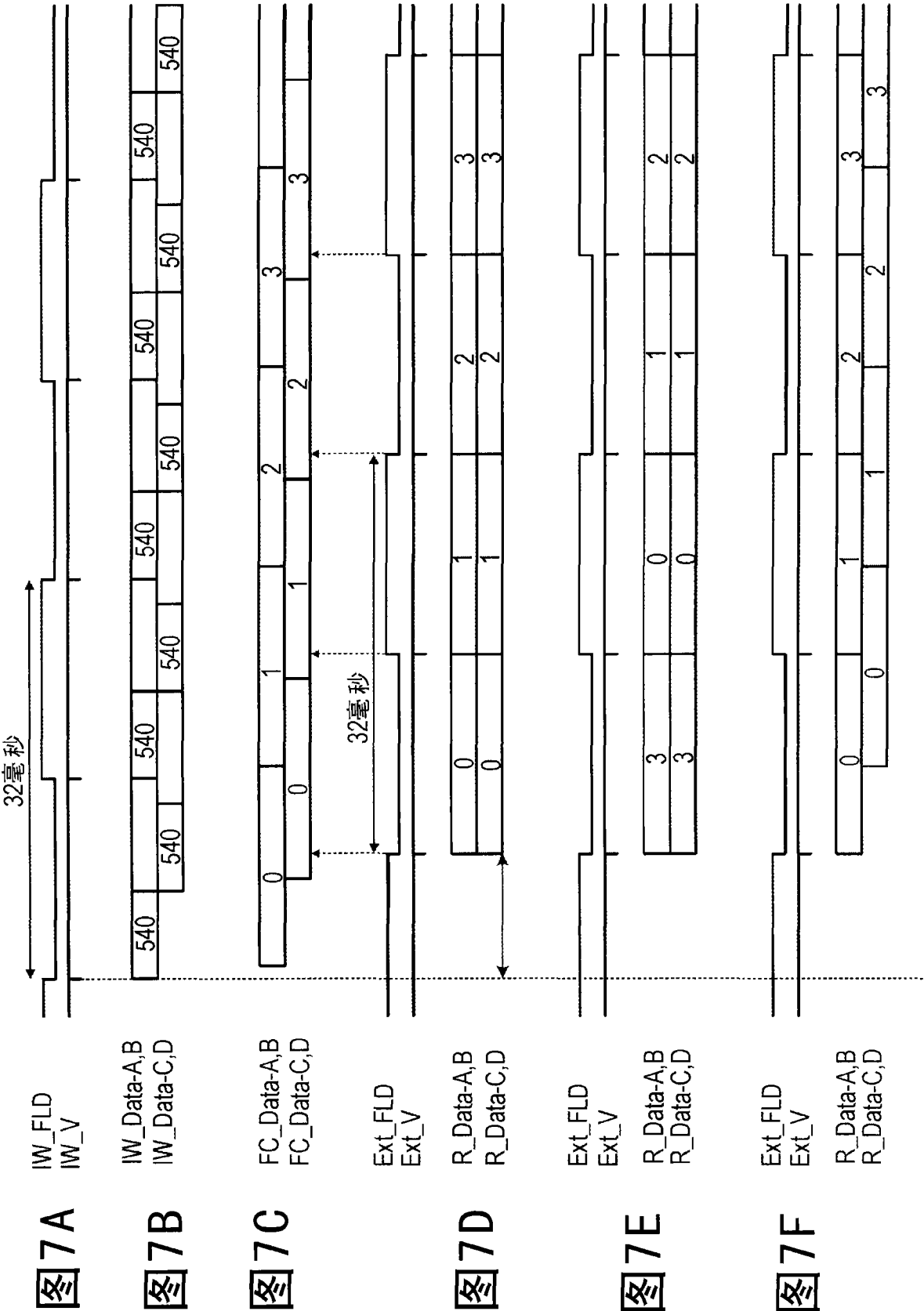


图 5C





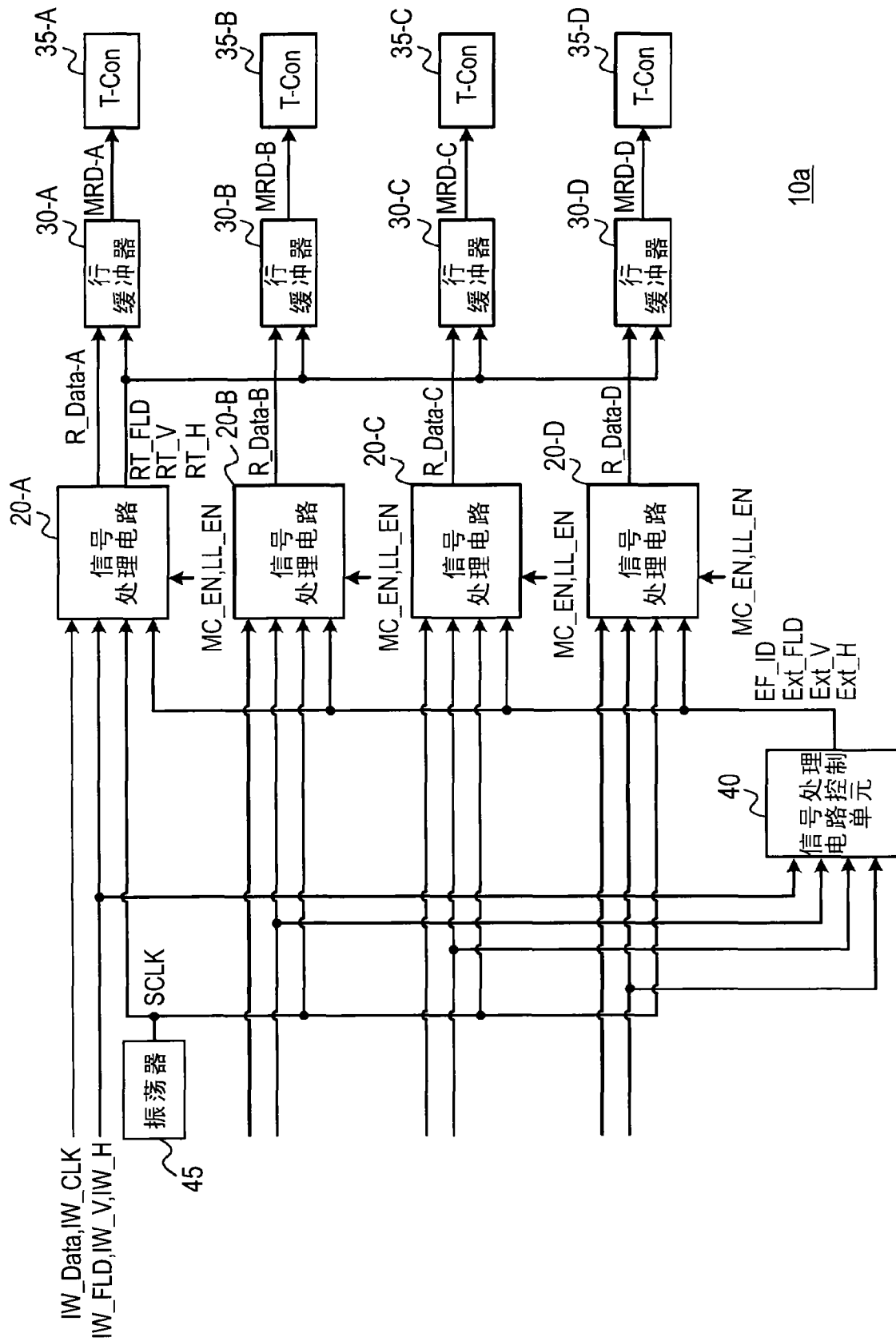


图 8

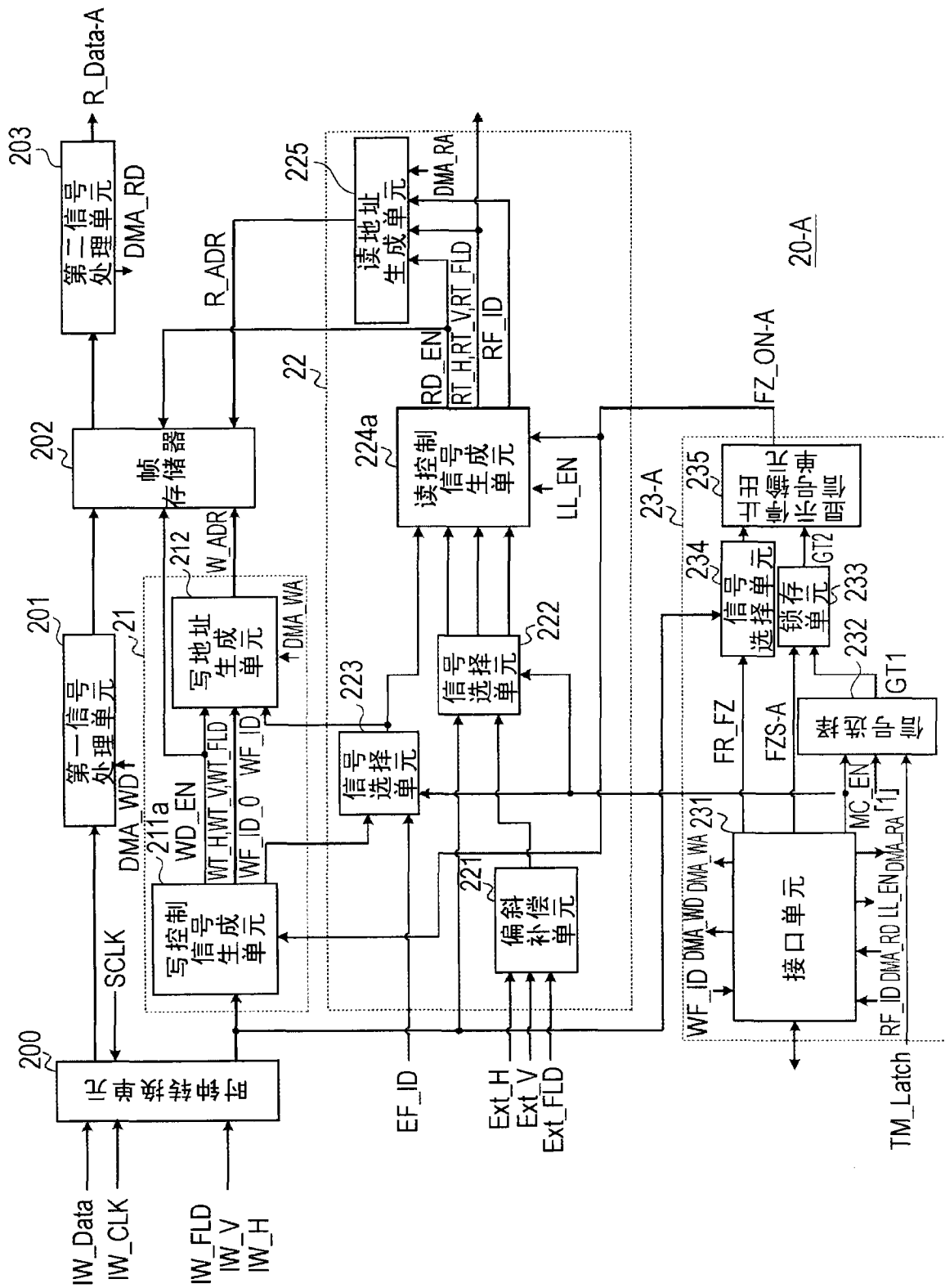
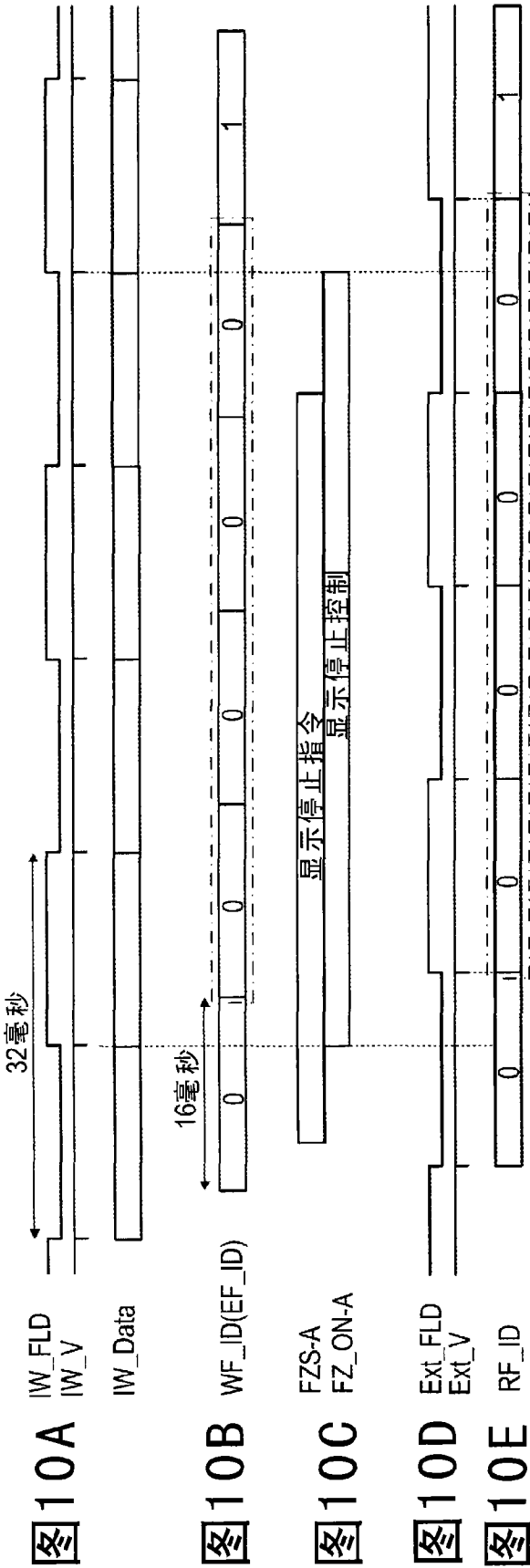


图 9



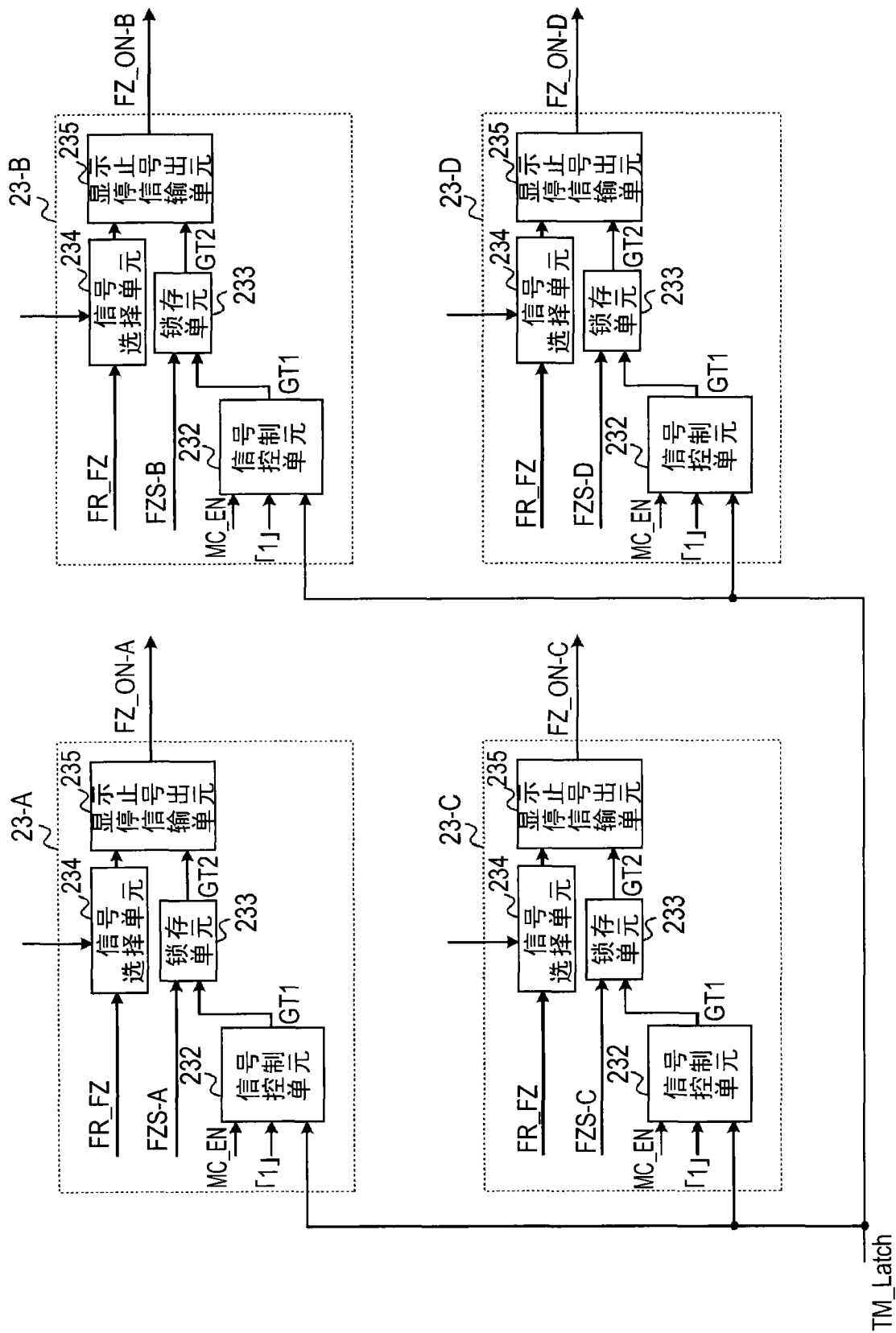


图 11

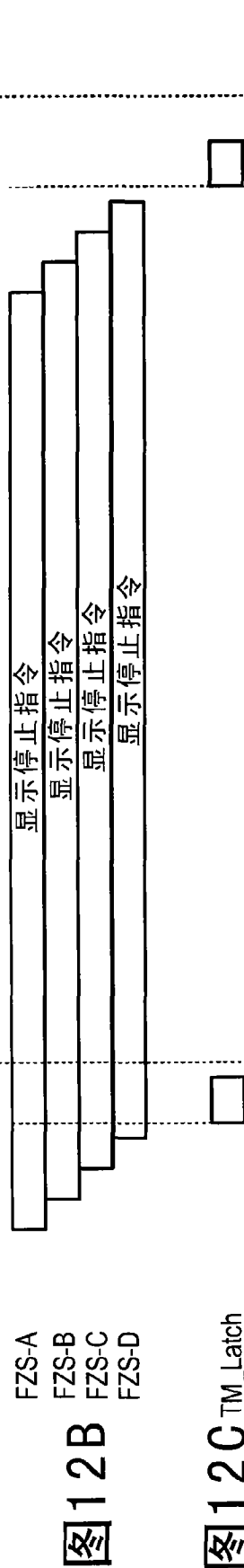
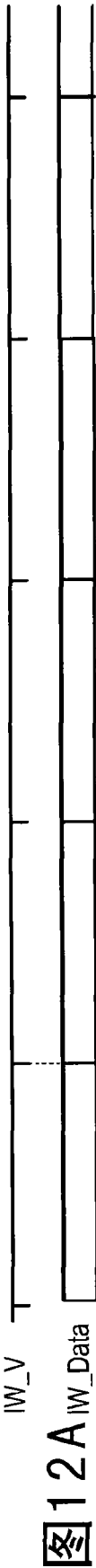


图12CTMLatch

