

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6293573号  
(P6293573)

(45) 発行日 平成30年3月14日 (2018.3.14)

(24) 登録日 平成30年2月23日 (2018.2.23)

(51) Int.Cl.

HO3K 19/173 (2006.01)

F 1

HO3K 19/173 130

請求項の数 8 (全 28 頁)

(21) 出願番号	特願2014-101945 (P2014-101945)	(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成26年5月16日 (2014.5.16)	(72) 発明者	岡本 佑樹 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(65) 公開番号	特開2014-241591 (P2014-241591A)	(72) 発明者	黒川 義元 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(43) 公開日	平成26年12月25日 (2014.12.25)		
審査請求日	平成29年5月3日 (2017.5.3)		
(31) 優先権主張番号	特願2013-105008 (P2013-105008)		
(32) 優先日	平成25年5月17日 (2013.5.17)		
(33) 優先権主張国	日本国 (JP)		

審査官 白井 亮

最終頁に続く

(54) 【発明の名称】プログラマブルロジックデバイス及び半導体装置

## (57) 【特許請求の範囲】

## 【請求項 1】

第1のトランジスタと、第2のトランジスタと、第1のノードへの信号の供給を制御する機能を有する第1のスイッチと、第2のノードへの前記信号の供給を制御する機能を有する第2のスイッチと、容量素子と、を有し、前記第1のトランジスタのゲートは、前記第2のノードに電気的に接続されており、前記第2のトランジスタのソース又はドレインの一方は、前記第1のノードに電気的に接続されており、前記第2のトランジスタのゲートは、前記第1のノードに電気的に接続されており、前記第2のトランジスタのソース又はドレインの他方は、前記第2のノードに電気的に接続されており、前記容量素子は、前記第1のノードに供給された前記信号の電位を保持する機能を有する半導体装置。

## 【請求項 2】

請求項1において、前記第2のトランジスタは、酸化物半導体膜にチャネル形成領域を有する半導体装置。

## 【請求項 3】

請求項1又は請求項2において、

10

20

前記第1のスイッチ又は前記第2のスイッチは、酸化物半導体膜にチャネル形成領域を有するトランジスタが用いられている半導体装置。

**【請求項4】**

請求項2又は請求項3において、前記酸化物半導体膜は、In、Ga、及びZnを含む半導体装置。

**【請求項5】**

第1のトランジスタと、

第2のトランジスタと、

第1のノードへの信号の供給を制御する機能を有する第1のスイッチと、

第2のノードへの前記信号の供給を制御する機能を有する第2のスイッチと、

容量素子と、を有し、

前記第1のトランジスタのゲートは、前記第2のノードに電気的に接続されており、前記第2のトランジスタのソース又はドレインの一方は、前記第1のノードに電気的に接続されており、

前記第2のトランジスタのゲートは、前記第1のノードに電気的に接続されており、

前記第2のトランジスタのソース又はドレインの他方は、前記第2のノードに電気的に接続されており、

前記容量素子は、前記第1のノードに供給された前記信号の電位を保持する機能を有し、

前記信号はコンフィギュレーションデータを含み、

前記第1のトランジスタは、第1の回路と第2の回路との電気的な接続を制御する機能を有するプログラマブルロジックデバイス。

**【請求項6】**

請求項5において、

前記第2のトランジスタは、酸化物半導体膜にチャネル形成領域を有するプログラマブルロジックデバイス。

**【請求項7】**

請求項5又は請求項6において、

前記第1のスイッチ又は前記第2のスイッチは、酸化物半導体膜にチャネル形成領域を有するトランジスタが用いられているプログラマブルロジックデバイス。

**【請求項8】**

請求項6又は請求項7において、前記酸化物半導体膜は、In、Ga、及びZnを含むプログラマブルロジックデバイス。

**【発明の詳細な説明】**

**【技術分野】**

**【0001】**

本発明の一態様は半導体装置に関する。例えば、本発明は、ハードウェアの構成を変更することができるプログラマブルロジックデバイスと、上記プログラマブルロジックデバイスを用いた半導体装置に関する。

**【背景技術】**

**【0002】**

プログラマブルロジックデバイス(PLD: Programmable Logic Device)は、適当な規模の論理回路(論理ブロック、プログラマブルロジックエレメント)どうしが配線リソースにより電気的に接続された構成を有しており、各論理ブロックの機能や、論理ブロック間の接続構造を、製造後において変更できることを特徴とする。各論理ブロックの機能と、配線リソースにより構成される論理ブロック間の接続構造とは、コンフィギュレーションデータにより定義され、上記コンフィギュレーションデータは、各論理ブロックが有するレジスタ、または配線リソースが有するレジスタに格納される。以下、コンフィギュレーションデータを格納するためのレジスタを、コンフィギュレーションメモリと呼ぶ。

10

20

30

40

50

## 【0003】

下記の非特許文献1には、S R A Mセルがアイソレータートランジスタを介してパストランジスタのゲートに接続された回路により、配線リソースが構成されたF P G A ( F i e l d P r o g r a m m a b l e G a t e A r r a y )について記載されている。

## 【先行技術文献】

## 【非特許文献】

## 【0004】

【非特許文献1】F . E s l a m i a n d M . S i m a , " C a p a c i t i v e B o o s t i n g f o r F P G A I n t e r c o n n e c t i o n N e t w o r k s " I n t . C o n f . o n F i e l d P r o g r a m m a b l e L o g i c a n d A p p l i c a t i o n s , 2 0 1 1 , p p . 4 5 3 - 4 5 8 .

10

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0005】

ところで、低消費電力であることと、高速動作が可能であることとは、プログラマブルロジックデバイスなどの半導体装置の性能を評価する上で共に重要なポイントである。しかし、半導体装置の低消費電力化を図るために電源電圧を小さくすると、トランジスタのオン電流が小さくなるので、半導体装置の動作速度も低くなってしまう。すなわち、消費電力の低減と動作速度の向上とはトレードオフの関係にあり、動作速度を考慮すると、低消費電力化のためだけに、単純に電源電圧を小さくすることはできない。

20

## 【0006】

また、nチャネル型のトランジスタを介して半導体装置内のノードに与えられるハイレベルの電位は、当該トランジスタの閾値電圧分降下する。よって、消費電力を低減するために半導体装置の電源電圧を小さくすると、半導体装置内部のノードにおける電位が低くなりすぎて、半導体装置から出力される信号の論理レベルが変化するため、データの信頼性が低下しやすい。

## 【0007】

上述したような技術的背景のもと、本発明の一態様は、動作速度の低減を抑えつつ、低消費電力化を実現できる、プログラマブルロジックデバイス、プログラマブルスイッチ、または半導体装置の提供を、課題の一つとする。或いは、本発明の一態様は、正常な動作を確保しつつ、低消費電力化を実現できる、プログラマブルロジックデバイス、プログラマブルスイッチ、または半導体装置の提供を、課題の一つとする。

30

## 【課題を解決するための手段】

## 【0008】

本発明の一態様では、第1スイッチを介して第1ノードに電荷を蓄積することで、半導体装置へのデータの書き込みを行う。また、第2スイッチを介して、第2ノードに電荷を蓄積することで、半導体装置への上記データの書き込みを行う。第2ノードには第1トランジスタのゲートが接続されている。そして、第1ノードと第2ノードとの電気的な接続は、ゲートが第1ノードに電気的に接続された第2トランジスタにより制御されるものとする。また、第1ノードには、容量素子が電気的に接続されている。

40

## 【0009】

また、本発明の一態様では、第1スイッチ及び第2スイッチは、オフ電流が著しく小さいものとする。また、第2トランジスタのオフ電流は、著しく小さいものとする。上記構成により、第1スイッチ及び第2トランジスタが非導通状態のとき、第1ノードを他の電極や配線との間ににおける絶縁性が極めて高い浮遊状態とすることができます。また、上記構成により、第2スイッチ及び第2トランジスタが非導通状態のとき、第2ノードを他の電極や配線との間ににおける絶縁性が極めて高い浮遊状態とすることができます。よって、第1スイッチ及び第2スイッチと、第2トランジスタとが非導通状態のとき、上記第1ノード及び上記第2ノードにおいて、データを含む信号の電位が保持される。

## 【0010】

50

そして、上記信号の電位がハイレベルである場合において、第1スイッチ及び第2スイッチと、第2トランジスタとが非導通状態であるとき、時間の経過に伴って第2ノードの電位が降下すると第2トランジスタを介して保持容量に蓄積されている電荷が第2ノードに供給されるため、第2ノードの電位が降下するのを防ぐことができる。

【0011】

さらに、本発明の一態様にかかる半導体装置において、第2ノードにゲートが電気的に接続された第1トランジスタを有している。第1トランジスタのソース及びドレインの一方の電位がローレベルからハイレベルに上昇する時に、第2ノードが浮遊状態にあることと、第1トランジスタのソースとゲートの間に形成される容量Cの容量結合により、第1トランジスタのゲートの電位、すなわち第2ノードの電位も上昇する。

10

【0012】

よって、上記信号の電位がハイレベルである場合において、当該電位に対し、第2スイッチが有するトランジスタの閾値電圧分、第2ノードの電位が降下していたとしても、上記動作により第2ノードの電位を上昇させることができる。よって、第2ノードにゲートが電気的に接続された第1トランジスタのゲート電圧を閾値電圧よりも十分大きくすることができ、第1トランジスタの導通状態を確保することができる。したがって、本発明の一態様に係る半導体装置では、半導体装置に供給される電源電圧が小さくなつたとしても、半導体装置の動作速度が低下するのを防ぐことができる。

【0013】

具体的に、本発明の一態様にかかる半導体装置は、導通または非導通の選択がゲートの電位に従って制御される第1トランジスタと、第1ノードへの信号の供給を制御する第1スイッチと、第2ノードへの上記信号の供給を制御する第2スイッチと、ソース及びドレインの一方とゲートとが上記第1ノードに電気的に接続されており、なおかつ、上記ソース及び上記ドレインの他方が上記第2ノードに電気的に接続されている第2トランジスタと、上記第1ノードに供給された上記信号の電位を保持する容量素子と、を有する。

20

【0014】

具体的に、本発明の一態様にかかるプログラマブルロジックデバイスは、第1回路と、第2回路と、上記第1回路と上記第2回路の電気的な接続をゲートの電位に従って制御する第1トランジスタと、第1ノードへの信号の供給を制御する第1スイッチと、第2ノードへの上記信号の供給を制御する第2スイッチと、ソース及びドレインの一方とゲートとが上記第1ノードに電気的に接続されており、なおかつ、上記ソース及び上記ドレインの他方が上記第2ノードに電気的に接続されている第2トランジスタと、上記第1ノードに供給された上記信号の電位を保持する容量素子と、を有する。

30

【発明の効果】

【0015】

本発明の一態様により、動作速度の低減を抑えつつ、低消費電力化を実現できる、プログラマブルロジックデバイスまたは半導体装置を提供することができる。或いは、本発明の一態様により、正常な動作を確保しつつ、低消費電力化を実現できる、プログラマブルロジックデバイスまたは半導体装置を提供することができる。

【図面の簡単な説明】

40

【0016】

【図1】半導体装置の構成を示す図。

【図2】半導体装置の構成を示す図。

【図3】タイミングチャート。

【図4】半導体装置の構成を示す図。

【図5】半導体装置の構成を示す図。

【図6】初期化用のスイッチと、ラッチの構成を示す図。

【図7】論理ブロックの構成を示す図。

【図8】P L Dの構成を示す図。

【図9】P L Dの構成を示す図。

50

【図10】半導体装置の断面構造を示す図。

【図11】電子機器の図。

【発明を実施するための形態】

【0017】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0018】

なお、本発明の一態様の半導体装置は、マイクロプロセッサ、画像処理回路、半導体表示装置用のコントローラ、DSP (Digital Signal Processor)、マイクロコントローラ、2次電池などのバッテリーの制御回路または保護回路などの、半導体素子を用いた各種半導体集積回路をその範疇に含む。また、本発明の一態様の半導体装置は、上記半導体集積回路を用いたRFタグ、半導体表示装置などの各種装置を、その範疇に含む。半導体表示装置には、液晶表示装置、有機発光素子に代表される発光素子を各画素に備えた発光装置、電子ペーパー、DMD (Digital Micro mirror Device)、PDP (Plasma Display Panel)、FED (Field Emission Display) 等や、半導体素子を駆動回路に有しているその他の半導体表示装置が、その範疇に含まれる。

【0019】

なお、本明細書において接続とは電気的な接続を意味しており、電流、電圧または電位が、供給可能、或いは伝送可能な状態に相当する。従って、接続している状態とは、直接接続している状態を必ずしも指すわけではなく、電流、電圧または電位が、供給可能、或いは伝送可能であるように、配線、抵抗、ダイオード、トランジスタなどの回路素子を介して電気的に接続している状態も、その範疇に含む。

【0020】

また、トランジスタのソースとは、活性層として機能する半導体膜の一部であるソース領域、或いは上記半導体膜に電気的に接続されたソース電極を意味する。同様に、トランジスタのドレインとは、活性層として機能する半導体膜の一部であるドレイン領域、或いは上記半導体膜に電気的に接続されたドレイン電極を意味する。また、ゲートはゲート電極を意味する。

【0021】

トランジスタが有するソースとドレインは、トランジスタの導電型及び各端子に与えられる電位の高低によって、その呼び方が入れ替わる。一般的に、nチャネル型トランジスタでは、低い電位が与えられる端子がソースと呼ばれ、高い電位が与えられる端子がドレインと呼ばれる。また、pチャネル型トランジスタでは、低い電位が与えられる端子がドレインと呼ばれ、高い電位が与えられる端子がソースと呼ばれる。本明細書では、便宜上、ソースとドレインとが固定されているものと仮定して、トランジスタの接続関係を説明する場合があるが、実際には上記電位の関係に従ってソースとドレインの呼び方が入れ替わる。

【0022】

半導体装置の構成例 1

まず、本発明の一態様に係る半導体装置の構成例について説明する。図1(A)に、本発明の一態様に係る半導体装置10の構成を例示する。

【0023】

本発明の一態様に係る半導体装置10は、第1スイッチ11と、第2スイッチ12と、トランジスタ13と、トランジスタ14と、容量素子15とを有する。第1スイッチ11は、配線BLから供給される、データを含む信号の、ノードND1への供給を制御する機能を有する。図1(A)では、第1スイッチ11及び第2スイッチ12の導通または非導通の選択が、配線WLに供給される信号の電位に従って行われる場合を例示しているが、

10

20

30

40

50

第1スイッチ11と第2スイッチ12とが、別々の配線を介して供給される信号に従って、導通または非導通の選択が行われていてもよい。

【0024】

当該信号の電位が第1スイッチ11を介してノードND1に供給されることで、当該電位に対応する電荷がノードND1に蓄積され、ノードND1へのデータの書き込みが行われる。第2スイッチ12は、配線BLから供給される、データを含む信号の、ノードND2への供給を制御する機能を有する。当該信号の電位が第2スイッチ12を介してノードND2に供給されることで、当該電位に対応する電荷がノードND2に蓄積され、ノードND2へのデータの書き込みが行われる。

【0025】

トランジスタ13は、ソース及びドレインの一方と、ゲートとが、ノードND1に電気的に接続されている。トランジスタ13は、ソース及びドレインの他方がノードND2に電気的に接続されている。容量素子15は、第1スイッチ11を介してノードND1に供給された信号の電位を保持する機能を有する。具体的に、容量素子15は一対の電極を有しており、一方の電極がノードND1に電気的に接続されている。

【0026】

また、ノードND2は配線DLに接続されている。トランジスタ14は、ノードND2の電位に従って導通または非導通が選択される。具体的に、配線DLはトランジスタ14のゲートに接続されている。そして、トランジスタ14が導通状態にあるとき、トランジスタ14のソースまたはドレインの一方に接続された端子16aと、トランジスタ14のソースまたはドレインの他方に接続された端子16bとが電気的に接続される。また、トランジスタ14が非導通状態にあるとき、トランジスタ14のソースまたはドレインの一方に接続された端子16aと、トランジスタ14のソースまたはドレインの他方に接続された端子16bとが、電気的に分離される。

【0027】

そして、本発明の一態様では、第1スイッチ11及び第2スイッチ12のオフ電流が著しく小さいものとする。具体的には、第1スイッチ11が有するトランジスタと、第2スイッチ12が有するトランジスタのオフ電流が著しく小さいものとする。さらに、本発明の一態様では、トランジスタ13のオフ電流が著しく小さいものとする。

【0028】

シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体膜に、チャネル形成領域が形成されるトランジスタは、通常のシリコンやゲルマニウムなどの半導体で形成されたトランジスタに比べて、オフ電流を著しく小さくすることが可能である。よって、上記トランジスタは、第1スイッチ11及び第2スイッチ12と、トランジスタ13として用いるのに好適である。このような半導体としては、例えば、シリコンの2倍以上の大きなバンドギャップを有する、酸化物半導体、窒化ガリウムなどが挙げられる。

【0029】

上記構成により、第1スイッチ11及びトランジスタ13が非導通状態のとき、ノードND1を他の電極や配線との間ににおける絶縁性が極めて高い浮遊状態とすることができます。また、上記構成により、第2スイッチ12及びトランジスタ13が非導通状態のとき、ノードND2を他の電極や配線との間ににおける絶縁性が極めて高い浮遊状態とすることができます。よって、第1スイッチ11及び第2スイッチ12と、トランジスタ13とが非導通状態のとき、上記ノードND1及び上記ノードND2において、データを含む信号の電位が保持される。

【0030】

なお、特に断りがない限り、本明細書でオフ電流とは、遮断領域においてトランジスタのソースとドレイン間に流れる電流を意味する。

【0031】

次いで、本発明の一態様にかかるPLDの構成例について説明する。図1(B)に、本

10

20

30

40

50

発明の一態様にかかるPLD10aの構成を、一例として示す。

【0032】

図1(B)に示すPLD10aでは、図1(A)に示した半導体装置10の端子16aに論理ブロック18aの出力端子が接続され、端子16bに論理ブロック18bの入力端子が接続されている。そして、図1(B)では、PLD10aにおいて、ノードND2の電位、すなわち配線DLの電位に従って、論理ブロック18aと論理ブロック18bの電気的な接続が定められる場合を例示している。

【0033】

よって、配線BLからPLD10aに供給されるデータがコンフィギュレーションデータである場合、ノードND2に保持されている当該コンフィギュレーションデータに従って、論理ブロック18aと論理ブロック18bの電気的な接続を制御することができる。

10

【0034】

半導体装置の具体的な構成例

次いで、図1(A)に示した半導体装置10の、より具体的な構成例について説明する。図2に、本発明の一態様に係る半導体装置10の構成を、一例として示す。

【0035】

図2に示す半導体装置10は、第1スイッチ11として機能するトランジスタ11tと、第2スイッチ12として機能するトランジスタ12tと、トランジスタ13と、トランジスタ14と、容量素子15とを有する。

【0036】

トランジスタ11tは、ゲートが配線WLに接続されている。また、トランジスタ11tは、ソース及びドレインの一方が配線BLに接続されており、ソース及びドレインの他方がノードND1に接続されている。トランジスタ12tは、ゲートが配線WLに接続されている。また、トランジスタ12tは、ソース及びドレインの一方が配線BLに接続されており、ソース及びドレインの他方がノードND2に接続されている。トランジスタ13は、ソース及びドレインの一方と、ゲートとが、ノードND1に接続されている。また、トランジスタ13は、ソース及びドレインの他方がノードND2に接続されている。ノードND2は配線DLに接続されており、配線DLはトランジスタ14のゲートに接続されている。トランジスタ14は、ソース及びドレインの一方が端子16aに接続されており、ソース及びドレインの他方が端子16bに接続されている。

20

【0037】

半導体装置の動作例

次いで、図2に示した半導体装置10の、動作の一例について、図3に示すタイミングチャートを用いて説明する。ただし、トランジスタ11t、トランジスタ12t、トランジスタ13、及びトランジスタ14が全てnチャネル型である場合を例に挙げて、半導体装置10の動作について説明する。

【0038】

まず、配線WLにハイレベルの電位VDDが与えられることで、トランジスタ11t及びトランジスタ12tが導通状態になる。そして、配線BLに供給される"1"の論理レベルに対応したハイレベルの電位VDDが、トランジスタ11tを介してノードND1に、トランジスタ12tを介してノードND2に、それぞれ与えられる。具体的に、ノードND1は、電位VDDからトランジスタ11tの閾値電圧を差し引いた電位となる。また、ノードND2は、電位VDDからトランジスタ12tの閾値電圧を差し引いた電位(電位VDD - Vthとする)となる。

40

【0039】

なお、トランジスタ11t及びトランジスタ12tが導通状態であるときに、配線BLに"0"の論理レベルに対応したローレベルの電位(例えば接地電位GND)が供給される場合、ノードND1及びノードND2には接地電位GNDが与えられる。以下の説明では、"1"の論理レベルに対応した電位VDDが配線BLからノードND1及びノードND2に与えられる場合を例に挙げて、半導体装置10の動作について説明する。

50

## 【0040】

次いで、配線WLにローレベルの電位が与えられることで、トランジスタ11t及びトランジスタ12tが非導通状態になる。よって、ノードND1及びノードND2には、“1”の論理レベルに対応したデータが保持される。また、トランジスタ13は非導通状態にあるため、ノードND1及びノードND2は浮遊状態となる。よって、配線DLも、ノードND2と同様に、電位VDDからトランジスタ12tの閾値電圧を差し引いた電位VDD-Vthが保持される。

## 【0041】

次いで、時刻T1において、端子16aの電位が接地電位GNDから電位VDDまで上昇する。そして、トランジスタ14のソースとゲートの間に形成される容量Cの容量結合により、端子16aの電位の上昇に伴い、トランジスタ14のゲート、すなわち配線DL及びノードND2の電位も上昇を開始する。ノードND2に付加された寄生容量がトランジスタ14のソースとゲートの間に形成される容量Cに比べて著しく小さい理想的な状態の場合、配線DL及びノードND2の電位は、電位VDDからトランジスタ12tの閾値電圧を差し引いた電位VDD-Vthに、接地電位GNDと電位VDDの差分に相当する電圧が加算された電位2VDD-Vthにまで、上昇する。そのため、トランジスタ14のゲート電圧を閾値電圧よりも十分大きくすることができ、上記トランジスタ14の導通状態を確保することができる。よって、端子16bには、端子16aの電位が供給される。

## 【0042】

本発明の一態様に係る半導体装置10では、半導体装置10に供給する電源電圧が小さくなり、電位VDDと接地電位GNDとの電位差が小さくなつたとしても、トランジスタ14のオン電流が低下するのを防ぎ、それにより、半導体装置10の動作速度が低下するのを防ぐことができる。

## 【0043】

ノードND2の電位の上昇幅は、ノードND2に付加された寄生容量とトランジスタ14のソースとゲートの間に形成される容量Cとの、容量比によって変化する。すなわち、ノードND2に付加された寄生容量が容量Cに比べて小さいほど、ノードND2の電位の上昇幅は大きく、ノードND2に付加された寄生容量が容量Cに比べて大きいほど、ノードND2の電位の上昇幅は小さい。したがって、ノードND2の寄生容量が小さいほど、トランジスタ14のオン電流を上昇させることができ、半導体装置10の動作速度を高めることができると言える。

## 【0044】

なお、ノードND2においてデータに対応する電位をより長く保持できるほど、半導体装置10におけるデータの保持時間も長くすることができる。よって、データの保持時間を長く確保するためには、ノードND2により大きな容量値の容量素子が接続されていることが望ましい。しかし、上述したように、トランジスタ14の容量Cの容量結合によるゲートの電位の上昇幅を大きくするためには、ノードND2には、寄生容量を含め、容量値の大きな容量素子が接続されていることは好ましくない。すなわち、トランジスタ14の容量Cの容量結合によるゲートの電位の上昇幅と、半導体装置10におけるデータの保持時間とは、トレードオフの関係にあると言える。

## 【0045】

本発明の一態様にかかる半導体装置10では、ノードND1に容量素子15が接続されており、なおかつ、ゲートがノードND1に接続されているトランジスタ13により、ノードND1とノードND2の接続が制御されている。よって、トランジスタ13が非導通状態にあるとき、ノードND2と、容量素子15とは電気的に分離しており、トランジスタ14の容量Cの容量結合によるトランジスタ14のゲートの電位の上昇幅には、容量素子15の容量値は関与しない。そして、時間の経過に伴い、トランジスタ12tのオフ電流や、トランジスタ14のゲートと、ソースまたはドレインとの間に流れるリーク電流等により、ノードND2の電位が、ノードND1の電位よりも低下しそうになると、トラン

10

20

30

40

50

ジスタ13を介して、ノードND1からノードND2に電位が供給される。よって、ノードND2における電位の保持には、容量素子15が寄与することとなる。すなわち、本発明の一態様では、上記容量Cの容量結合によるトランジスタ14のゲートの電位の上昇幅を高めつつ、半導体装置10におけるデータの保持時間を長く確保することができると言える。

【0046】

なお、ノードND1に接続された容量素子15の容量値は、ノードND2に付加された寄生容量の容量値よりも大きいため、ノードND1への電位の供給を制御するトランジスタ11tのチャネル幅は、ノードND2への電位の供給を制御するトランジスタ12t及びトランジスタ13のチャネル幅よりも、大きいほうが望ましい。

10

【0047】

時刻T2にて、端子16aが電位VDDから接地電位GNDに変化すると、トランジスタ14の容量Cの容量結合により、ノードND2の電位は、電位VDDからトランジスタ12tの閾値電圧を差し引いた電位VDD-Vthまで降下する。

【0048】

半導体装置の構成例2

次いで、図1(A)に示した半導体装置10の、別の構成例について説明する。図4(A)に、半導体装置10の一例を示す。図4(A)に示す半導体装置10は、図1(A)に示した半導体装置10と同様に、スイッチ11、スイッチ12、トランジスタ13、及びトランジスタ14を有する。ただし、図4(A)に示す半導体装置10は、容量素子15の代わりに、ノードND1の電位を保持するためのインバータ30及びインバータ31が設けられている点において、図1(A)に示す半導体装置10とは構成が異なる。

20

【0049】

具体的に、図4(A)では、インバータ30の入力端子及びインバータ31の出力端子が、ノードND1に電気的に接続されており、インバータ30の出力端子とインバータ31の入力端子とは電気的に接続されている。図4(A)に示す半導体装置10では、上記構成により、ノードND1の電位を、インバータ30及びインバータ31により保持することができる。

【0050】

次いで、図1(A)に示した半導体装置10の、別の構成例について説明する。図4(B)に、半導体装置10の一例を示す。図4(B)に示す半導体装置10は、図1(A)に示した半導体装置10と同様に、スイッチ11、トランジスタ13、トランジスタ14、及び容量素子15を有する。ただし、図4(B)に示す半導体装置10は、スイッチ12を有しておらず、トランジスタ13が、半導体膜を間に挟んで重なり合った一対のゲートを有する点において、図1(A)に示す半導体装置10とは構成が異なる。

30

【0051】

具体的に、図4(B)では、トランジスタ13が有する一方のゲート(フロントゲート)がノードND1に接続されており、トランジスタ13が有する他方のゲートが配線BGに接続されている。そして、ノードND1及びノードND2に、データを含む信号の電位を供給する際、配線BGに、トランジスタ13のソース及びドレインよりも高い電位を供給することで、トランジスタ13の閾値電圧をマイナス方向にシフトさせる。上記構成により、ノードND2にハイレベルの電位が保持されている場合に、スイッチ12を設けなくとも、ローレベルの電位を、トランジスタ13を介してノードND2に供給することができる。

40

【0052】

図4(A)及び図4(B)に示した半導体装置10は、必要に応じて、トランジスタ、ダイオード、抵抗素子、容量素子、インダクタなどのその他の回路素子を、さらに有していても良い。

【0053】

半導体装置の構成例3

50

次いで、図2に示した半導体装置10を複数組み合わせて、端子16aと端子16bの電気的な接続を制御する半導体装置10bの構成例について説明する。

【0054】

図5に、半導体装置10bの一例を示す。半導体装置10bは、図2に示した半導体装置10を複数有する。図5では、半導体装置10bが、半導体装置10-1及び半導体装置10-2で示される2つの半導体装置を、有する場合を例示している。

【0055】

また、半導体装置10bは、端子16aと端子16bの電気的な接続を制御するためのトランジスタ17-1が、半導体装置10-1が有するトランジスタ14と、直列に接続されている。さらに、半導体装置10bは、端子16aと端子16bの電気的な接続を制御するためのトランジスタ17-2が、半導体装置10-2が有するトランジスタ14と、直列に接続されている。トランジスタ17-1のゲートには配線CL1が接続されており、トランジスタ17-2のゲートには配線CL2が接続されている。

【0056】

半導体装置10-1及び半導体装置10-2では、ノードND2及び配線DLに保持されている、データを含む信号の電位に従って、トランジスタ14の導通または非導通が選択される。よって、配線CL1及び配線CL2のいずれか一つを選択してハイレベルの電位とすることで、端子16aと端子16bの接続が、半導体装置10-1及び半導体装置10-2のいずれかに保持されている、データを含む信号の電位に従って、制御されることとなる。

【0057】

具体的に、配線CL1にハイレベルの電位が供給され、配線CL2にローレベルの電位が供給される場合、トランジスタ17-1が導通状態となり、トランジスタ17-2が非導通状態となる。よって、半導体装置10-1に保持されている、データを含む信号の電位に従って、半導体装置10-1が有するトランジスタ14により、端子16aと端子16bの接続が制御される。配線CL1にローレベルの電位が供給され、配線CL2にハイレベルの電位が供給される場合、トランジスタ17-2が導通状態となり、トランジスタ17-1が非導通状態となる。よって、半導体装置10-2に保持されている、データを含む信号の電位に従って、半導体装置10-2が有するトランジスタ14により、端子16aと端子16bの接続が制御される。

【0058】

P LDのより詳細な構成例

本発明の一態様に係るP LDでは、端子16bに、端子16bの電位を初期化するためのスイッチ、または端子16bの電位を保持するためのラッチが、電気的に接続されても良い。端子16bの電位を初期化するためのスイッチ20と、端子16bの電位を保持するためのラッチ22とが、端子16bに電気的に接続されている様子を、図6に示す。

【0059】

スイッチ20は、端子16bと、初期化用の電位が与えられた配線21との電気的な接続を制御する機能を有する。本発明の一態様では、スイッチ20を端子16bに電気的に接続させることによって、P LDに電源が投入された後に、端子16bの電位をローレベルに保つことができるので、中間の電位が端子16bに与えられるのを防ぐことができ、その結果、端子16bにその入力端子が接続された論理ブロック18bに貫通電流が生じるのを、防ぐことができる。

【0060】

また、図6に示すラッチ22は、端子16bの電位を、ハイレベルかローレベルのいずれか一方に保つ機能を有する。具体的に、ラッチ22は、インバータ23と、pチャネル型のトランジスタ24とを有する。インバータ23の入力端子は端子16bに電気的に接続され、インバータ23の出力端子はトランジスタ24のゲートに電気的に接続されている。トランジスタ24のソース及びドレインは、一方が、配線21よりも高い電位が与え

10

20

30

40

50

られている配線 25 に電気的に接続され、他方が、端子 16b に電気的に接続されている。

【0061】

本発明の一態様では、上記構成を有するラッチ 22 を端子 16b に電気的に接続させることによって、PLD に電源が投入された後に、端子 16b の電位をハイレベルかローレベルのいずれか一方に保つことができるので、中間の電位が端子 16b に与えられるのを防ぐことができ、その結果、端子 16b にその入力端子が接続された論理ブロック 18b に貫通電流が生じるのを、防ぐことができる。

【0062】

図 7 (A) に、論理ブロック (LB) 40 の一形態を例示する。図 7 (A) に示す論理ブロック 40 は、LUT (ルックアップテーブル) 41 と、フリップフロップ 42 と、記憶装置 43 と、を有する。LUT 41 は、記憶装置 43 が有するコンフィギュレーションデータに従って、行われる論理演算が定義される。具体的に LUT 41 は、入力端子 44 に与えられた複数の入力信号の入力値に対する、一の出力値が定まる。そして、LUT 41 からは、上記出力値を含む信号が出力される。フリップフロップ 42 は、LUT 41 から出力される信号を保持し、信号 CLK に同期して当該信号に対応した出力信号を、第 1 出力端子 45 及び第 2 出力端子 46 から出力する。

【0063】

なお、論理ブロック 40 がさらにマルチプレクサ回路を有し、当該マルチプレクサ回路によって、LUT 41 からの出力信号がフリップフロップ 42 を経由するか否かを選択できるようにしても良い。

【0064】

また、コンフィギュレーションデータによって、フリップフロップ 42 の種類を定義できる構成にしても良い。具体的には、コンフィギュレーションデータによって、フリップフロップ 42 が D 型フリップフロップ、T 型フリップフロップ、JK 型フリップフロップ、または RS 型フリップフロップのいずれかの機能を有するようにしても良い。

【0065】

また、図 7 (B) に、論理ブロック 40 の別の一形態を例示する。図 7 (B) に示す論理ブロック 40 は、図 7 (A) に示した論理ブロック 40 に、AND 回路 47 が追加された構成を有している。AND 回路 47 には、フリップフロップ 42 からの信号が、正論理の入力として与えられ、配線 DL の電位を初期化するための信号 INIT 2 が、負論理の入力として与えられている。上記構成により、論理ブロック 40 からの出力信号が供給される配線の電位を初期化することができる。よって、論理ブロック 40 間で大量の電流が流れることを未然に防ぎ、PLD の破損が引き起こされるのを防ぐことができる。

【0066】

また、図 7 (C) に、論理ブロック 40 の別の一形態を例示する。図 7 (C) に示す論理ブロック 40 は、図 7 (A) に示した論理ブロック 40 に、マルチプレクサ 48 が追加された構成を有している。また、図 7 (C) に示す論理ブロック 40 は、記憶装置 43a 及び記憶装置 43b で示される二つの記憶装置 43 を有する。LUT 41 は、記憶装置 43a が有するコンフィギュレーションデータに従って、行われる論理演算が定義される。また、マルチプレクサ 48 は、LUT 41 からの出力信号と、フリップフロップ 42 からの出力信号とが入力されている。そして、マルチプレクサ 48 は、記憶装置 43b に格納されているコンフィギュレーションデータに従って、上記 2 つの出力信号のいずれか一方を選択し、出力する機能を有する。マルチプレクサ 48 からの出力信号は、第 1 出力端子 45 及び第 2 出力端子 46 から出力される。

【0067】

図 8 (A) に PLD 50 の構造の一部を、一例として模式的に示す。図 8 (A) に示す PLD 50 は、複数の論理ブロック (LB) 40 と、複数の論理ブロック 40 のいずれかに接続された配線群 51 と、配線群 51 を構成する配線どうしの接続を制御するスイッチ回路 52 とを有する。配線群 51 とスイッチ回路 52 とが、配線リソース 53 に相当する

10

20

30

40

50

。

## 【0068】

図8(B)に、スイッチ回路52の構成例を示す。図8(B)に示すスイッチ回路52は、配線群51に含まれる配線55と配線56の接続構造を制御する機能を有する。具体的に、スイッチ回路52は、トランジスタ57乃至トランジスタ62を有する。トランジスタ57乃至トランジスタ62は、半導体装置10が有するトランジスタ14に相当する。なお、図示しないが、トランジスタ57乃至トランジスタ62のゲートは、複数の半導体装置10の配線DLとノードND2に、それぞれ接続されている。そして、トランジスタ57乃至トランジスタ62の導通状態または非導通状態の選択(スイッチング)は、半導体装置10のノードND2及び配線DLに保持されているデータにより定まる。

10

## 【0069】

トランジスタ57は、配線55におけるPointAと、配線56におけるPointCの電気的な接続を制御する機能を有する。トランジスタ58は、配線55におけるPointBと、配線56におけるPointCの電気的な接続を制御する機能を有する。トランジスタ59は、配線55におけるPointAと、配線56におけるPointDの電気的な接続を制御する機能を有する。トランジスタ60は、配線55におけるPointBと、配線56におけるPointDの電気的な接続を制御する機能を有する。トランジスタ61は、配線55におけるPointAとPointBの電気的な接続を制御する機能を有する。トランジスタ62は、配線56におけるPointCとPointDの電気的な接続を制御する機能を有する。

20

## 【0070】

また、スイッチ回路52は、配線群51と、PLD50の端子54の、電気的な接続を制御する機能を有する。

## 【0071】

図9に、PLD50全体の構成を一例として示す。図9では、PLD50に、I/Oエレメント70、PLL(phase lock loop)71、RAM72、乗算器73が設けられている。I/Oエレメント70は、PLD50の外部回路からの信号の入力、または外部回路への信号の出力を制御する、インターフェースとしての機能を有する。PLL71は、信号CLKを生成する機能を有する。RAM72は、論理演算に用いられるデータを格納する機能を有する。乗算器73は、乗算専用の論理回路に相当する。PLD50に乗算を行う機能が含まれていれば、乗算器73は必ずしも設ける必要はない。

30

## 【0072】

## 半導体装置の断面構造の例

次いで、図2に示した半導体装置10が有する、トランジスタ13、及びトランジスタ14の断面構造を、図10に一例として示す。

## 【0073】

なお、図10では、酸化物半導体膜にチャネル形成領域を有するトランジスタ13が、単結晶のシリコン基板にチャネル形成領域を有するトランジスタ14上に形成されている場合を例示している。

## 【0074】

トランジスタ14は、非晶質、微結晶、多結晶または単結晶である、シリコン又はゲルマニウムなどの半導体膜または半導体基板に、チャネル形成領域を有していても良い。或いは、トランジスタ14は、酸化物半導体膜または酸化物半導体基板に、チャネル形成領域を有していても良い。全てのトランジスタが酸化物半導体膜または酸化物半導体基板に、チャネル形成領域を有している場合、トランジスタ13はトランジスタ14上に積層されていなくとも良く、トランジスタ13とトランジスタ14とは、同一の層に形成されていても良い。

40

## 【0075】

シリコンの薄膜を用いてトランジスタ14を形成する場合、当該薄膜には、プラズマCVD法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質

50

シリコンをレーザーアニールなどの処理により結晶化させた多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

【0076】

半導体基板400は、例えば、シリコン基板、ゲルマニウム基板、シリコンゲルマニウム基板等を用いることができる。図10では、単結晶シリコン基板を半導体基板400として用いる場合を例示している。

【0077】

また、トランジスタ14は、素子分離法により電気的に分離されている。素子分離法として、選択酸化法（LOCOS法：Local Oxidation of Silicon法）、トレンチ分離法（STI法：Shallow Trench Isolation）等を用いることができる。図10では、トレンチ分離法を用いてトランジスタ14を電気的に分離する場合を例示している。具体的に、図10では、半導体基板400にエッチング等によりトレンチを形成した後、酸化珪素などを含む絶縁物を当該トレンチに埋め込むことで形成される素子分離領域401により、トランジスタ14を素子分離させる場合を例示している。

【0078】

また、素子分離領域401において、nチャネル型であるトランジスタ14が形成される領域には、p型の導電性を付与する不純物元素が選択的に導入されたpウェル402が設けられている。

【0079】

そして、トランジスタ14は、pウェル402に形成された、ソース領域またはドレイン領域として機能する不純物領域404及び不純物領域405と、ゲート電極406と、半導体基板400とゲート電極406の間に設けられたゲート絶縁膜407とを有する。ゲート電極406は、ゲート絶縁膜407を間に挟んで、不純物領域404と不純物領域405の間に形成されるチャネル形成領域と重なる。

【0080】

トランジスタ14上には、絶縁膜411が設けられている。絶縁膜411には開口部が形成されている。そして、上記開口部には、不純物領域404、不純物領域405にそれぞれ電気的に接続されている導電膜412、導電膜413が、形成されている。

【0081】

そして、導電膜412は、絶縁膜411上に形成された導電膜418に電気的に接続されており、導電膜413は、絶縁膜411上に形成された導電膜419に電気的に接続されている。

【0082】

導電膜418及び導電膜419上には、絶縁膜420が形成されている。絶縁膜420には開口部が形成されており、上記開口部に、導電膜419に電気的に接続された導電膜421が形成されている。

【0083】

そして、図10では、絶縁膜420上にトランジスタ13が形成されている。

【0084】

トランジスタ13は、絶縁膜420上に、酸化物半導体を含む半導体膜430と、半導体膜430上の、ソース電極またはドレイン電極として機能する導電膜432及び導電膜433と、半導体膜430、導電膜432及び導電膜433上のゲート絶縁膜431と、ゲート絶縁膜431上に位置し、導電膜432と導電膜433の間に半導体膜430と重なっており、ゲート電極として機能する導電膜434と、を有する。なお、導電膜433は、導電膜421に電気的に接続されている。

【0085】

そして、トランジスタ13上に、絶縁膜441及び絶縁膜442が順に積層するように設けられている。絶縁膜441及び絶縁膜442には開口部が設けられており、上記開口

10

20

30

40

50

部において導電膜 432 及び導電膜 434 に接する導電膜 443 が、絶縁膜 442 上に設けられている。

【0086】

なお、図 10において、トランジスタ 13 は、導電膜 434 を半導体膜 430 の片側において少なくとも有していれば良いが、半導体膜 430 を間に挟んで存在する一対のゲート電極を有していても良い。

【0087】

トランジスタ 13 が、半導体膜 430 を間に挟んで存在する一対のゲート電極を有している場合、一方のゲート電極には導通状態または非導通状態を制御するための信号が与えられ、他方のゲート電極は、電位が他から与えられている状態であっても良い。この場合、一対のゲート電極に、同じ高さの電位が与えられても良いし、他方のゲート電極にのみ接地電位などの固定の電位が与えられても良い。他方のゲート電極に与える電位の高さを制御することで、トランジスタの閾値電圧を制御することができる。

【0088】

また、図 10 では、トランジスタ 13 が、一の導電膜 434 に対応した一のチャネル形成領域を有する、シングルゲート構造である場合を例示している。しかし、トランジスタ 13 は、電気的に接続された複数のゲート電極を有することで、一の活性層にチャネル形成領域を複数有する、マルチゲート構造であっても良い。

【0089】

半導体膜について

なお、電子供与体（ドナー）となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体（p u r i f i e d O x i d e S e m i c o n d u c t o r）は、i型（真性半導体）又はi型に限りなく近い。そのため、高純度化された酸化物半導体膜にチャネル形成領域を有するトランジスタは、オフ電流が著しく小さく、信頼性が高い。

【0090】

具体的に、高純度化された酸化物半導体膜にチャネル形成領域を有するトランジスタのオフ電流が小さいことは、いろいろな実験により証明できる。例えば、チャネル幅が  $1 \times 10^6 \mu\text{m}$  でチャネル長が  $10 \mu\text{m}$  の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が  $1 \text{V}$  から  $10 \text{V}$  の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち  $1 \times 10^{-13} \text{A}$  以下という特性を得ることができる。この場合、トランジスタのチャネル幅で規格化したオフ電流は、 $100 \text{zA} / \mu\text{m}$  以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、高純度化された酸化物半導体膜を上記トランジスタのチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が  $3 \text{V}$  の場合に、 $50 \text{yA} / \mu\text{m}$  という、さらに小さいオフ電流が得られることが分かった。従って、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく小さい。

【0091】

なお、半導体膜として酸化物半導体膜を用いる場合、酸化物半導体としては、少なくともインジウム（In）あるいは亜鉛（Zn）を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気的特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム（Ga）を有することが好ましい。また、スタビライザーとしてスズ（Sn）を有することが好ましい。また、スタビライザーとしてハフニウム（Hf）を有することが好ましい。また、スタビライザーとしてアルミニウム（Al）を有することが好ましい。また、スタビライザーとしてジルコニウム（Zr）を含むことが好ましい。

【0092】

10

20

30

40

50

酸化物半導体の中でも In - Ga - Zn 系酸化物、In - Sn - Zn 系酸化物などは、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、スパッタリング法や湿式法により電気的特性の優れたトランジスタを作製することが可能であり、量産性に優れるといった利点がある。また、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、上記 In - Ga - Zn 系酸化物は、ガラス基板上に、電気的特性の優れたトランジスタを作製することが可能である。また、基板の大型化にも対応が可能である。

#### 【0093】

また、他のスタビライザーとして、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジム (Pr)、ネオジム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) のいずれか一種または複数種を含んでいてもよい。

#### 【0094】

例えは、酸化物半導体として、酸化インジウム、酸化ガリウム、酸化スズ、酸化亜鉛、In - Zn 系酸化物、Sn - Zn 系酸化物、Al - Zn 系酸化物、Zn - Mg 系酸化物、Sn - Mg 系酸化物、In - Mg 系酸化物、In - Ga 系酸化物、In - Ga - Zn 系酸化物 (IGZOとも表記する)、In - Al - Zn 系酸化物、In - Sn - Zn 系酸化物、Sn - Ga - Zn 系酸化物、Al - Ga - Zn 系酸化物、Sn - Al - Zn 系酸化物、In - Hf - Zn 系酸化物、In - La - Zn 系酸化物、In - Pr - Zn 系酸化物、In - Nd - Zn 系酸化物、In - Ce - Zn 系酸化物、In - Sm - Zn 系酸化物、In - Eu - Zn 系酸化物、In - Gd - Zn 系酸化物、In - Tb - Zn 系酸化物、In - Dy - Zn 系酸化物、In - Ho - Zn 系酸化物、In - Er - Zn 系酸化物、In - Tm - Zn 系酸化物、In - Yb - Zn 系酸化物、In - Lu - Zn 系酸化物、In - Sn - Ga - Zn 系酸化物、In - Hf - Ga - Zn 系酸化物、In - Al - Ga - Zn 系酸化物、In - Sn - Al - Zn 系酸化物、In - Sn - Hf - Zn 系酸化物、In - Hf - Al - Zn 系酸化物を用いることができる。

#### 【0095】

なお、例えは、In - Ga - Zn 系酸化物とは、In と Ga と Zn を含む酸化物という意味であり、In と Ga と Zn の比率は問わない。また、In と Ga と Zn 以外の金属元素を含んでいてもよい。In - Ga - Zn 系酸化物は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、移動度も高い。

#### 【0096】

例えは、In - Sn - Zn 系酸化物では比較的容易に高い移動度が得られる。しかしながら、In - Ga - Zn 系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

#### 【0097】

以下では、酸化物半導体膜の構造について説明する。

#### 【0098】

酸化物半導体膜は、単結晶酸化物半導体膜と非単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、非晶質酸化物半導体膜、微結晶酸化物半導体膜、多結晶酸化物半導体膜、CAAC - OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜などをいう。

#### 【0099】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶成分を有さない酸化物半導体膜である。微小領域においても結晶部を有さず、膜全体が完全な非晶質構造の酸化物半導体膜が典型である。

#### 【0100】

微結晶酸化物半導体膜は、例えは、1 nm 以上 10 nm 未満の大きさの微結晶 (ナノ結晶ともいう。) を含む。従って、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも原子配列の規則性が高い。そのため、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よ

10

20

30

40

50

りも欠陥準位密度が低いという特徴がある。

【0101】

C AAC - OS 膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が 100 nm 未満の立方体内に収まる大きさである。従って、C AAC - OS 膜に含まれる結晶部は、一辺が 10 nm 未満、5 nm 未満または 3 nm 未満の立方体内に収まる大きさの場合も含まれる。C AAC - OS 膜は、微結晶酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。以下、C AAC - OS 膜について詳細な説明を行う。

【0102】

C AAC - OS 膜を透過型電子顕微鏡 (TEM : Transmission Electron Microscope) によって観察すると、結晶部同士の明確な境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、C AAC - OS 膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0103】

C AAC - OS 膜を、試料面と概略平行な方向から TEM によって観察 (断面 TEM 観察) すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、C AAC - OS 膜の膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映した形状であり、C AAC - OS 膜の被形成面または上面と平行に配列する。

【0104】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、-5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、85° 以上 95° 以下の場合も含まれる。

【0105】

一方、C AAC - OS 膜を、試料面と概略垂直な方向から TEM によって観察 (平面 TEM 観察) すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0106】

断面 TEM 観察および平面 TEM 観察より、C AAC - OS 膜の結晶部は配向性を有していることがわかる。

【0107】

C AAC - OS 膜に対し、X 線回折 (XRD : X - Ray Diffraction) 装置を用いて構造解析を行うと、例えば  $InGaZnO_4$  の結晶を有する C AAC - OS 膜の out-of-plane 法による解析では、回折角 (2 $\theta$ ) が 31° 近傍にピークが現れる場合がある。このピークは、 $InGaZnO_4$  の結晶の (009) 面に帰属されることから、C AAC - OS 膜の結晶が c 軸配向性を有し、c 軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【0108】

一方、C AAC - OS 膜に対し、c 軸に概略垂直な方向から X 線を入射させる in - plane 法による解析では、2 $\theta$  が 56° 近傍にピークが現れる場合がある。このピークは、 $InGaZnO_4$  の結晶の (110) 面に帰属される。 $InGaZnO_4$  の単結晶酸化物半導体膜であれば、2 $\theta$  を 56° 近傍に固定し、試料面の法線ベクトルを軸 (c 軸) として試料を回転させながら分析 (スキャン) を行うと、(110) 面と等価な結晶面に帰属されるピークが 6 本観察される。これに対し、C AAC - OS 膜の場合は、2 $\theta$  を 56° 近傍に固定して スキャンした場合でも、明瞭なピークが現れない。

【0109】

以上のことから、C AAC - OS 膜では、異なる結晶部間では a 軸および b 軸の配向は不規則であるが、c 軸配向性を有し、かつ c 軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面 TEM 観察で確認された層状に

10

20

30

40

50

配列した金属原子の各層は、結晶の a b 面に平行な面である。

【 0 1 1 0 】

なお、結晶部は、 C A A C - O S 膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶の c 軸は、 C A A C - O S 膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、 C A A C - O S 膜の形状をエッチングなどによって変化させた場合、結晶の c 軸が C A A C - O S 膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【 0 1 1 1 】

また、 C A A C - O S 膜中の結晶化度が均一でなくてもよい。例えば、 C A A C - O S 膜の結晶部が、 C A A C - O S 膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることがある。また、 C A A C - O S 膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

【 0 1 1 2 】

なお、 I n G a Z n O<sub>4</sub> の結晶を有する C A A C - O S 膜の out - of - plane 法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、 C A A C - O S 膜中の一部に、 c 軸配向性を有さない結晶が含まれることを示している。 C A A C - O S 膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

【 0 1 1 3 】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気的特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【 0 1 1 4 】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、 C A A C - O S 膜のうち、二種以上を有する積層膜であってもよい。

【 0 1 1 5 】

また、 C A A C - O S 膜を成膜するために、以下の条件を適用することが好ましい。

【 0 1 1 6 】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、処理室内に存在する不純物濃度（水素、水、二酸化炭素、及び窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が -80 以下、好ましくは -100 以下である成膜ガスを用いる。

【 0 1 1 7 】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を 100 以上 740 以下、好ましくは 200 以上 500 以下として成膜する。成膜時の基板加熱温度を高めることで、平板状又はペレット状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

【 0 1 1 8 】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、 30 体積 % 以上、好ましくは 100 体積 % とする。

【 0 1 1 9 】

ターゲットの一例として、 I n - G a - Z n 系酸化物ターゲットについて以下に示す。

【 0 1 2 0 】

I n O<sub>x</sub> 粉末、 G a O<sub>y</sub> 粉末及び Z n O<sub>z</sub> 粉末を所定の m o l 数比で混合し、加圧処理後、 1000 以上 1500 以下の温度で加熱処理することで多結晶である I n - G a - Z n 系酸化物ターゲットとする。なお、 X 、 Y 及び Z は任意の正数である。ここで、所定の m o l 数比は、例えば、 I n O<sub>x</sub> 粉末、 G a O<sub>y</sub> 粉末及び Z n O<sub>z</sub> 粉末が、 2 : 2 : 1 、 8 : 4 : 3 、 3 : 1 : 1 、 1 : 1 : 1 、 4 : 2 : 3 または 3 : 1 : 2 である。なお

10

20

30

40

50

、粉末の種類、及びその混合するm o l数比は、作製するターゲットによって適宜変更すればよい。

【0121】

なお、アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうちNaは、酸化物半導体膜に接する絶縁膜が酸化物である場合、当該絶縁膜中に拡散してNa<sup>+</sup>となる。また、Naは、酸化物半導体膜内において、酸化物半導体を構成する金属と酸素の結合を分断する、或いは、その結合中に割り込む。その結果、例えば、閾値電圧がマイナス方向にシフトすることによるノーマリオン化、移動度の低下等の、トランジスタの電気的特性の劣化が起こり、加えて、特性のばらつきも生じる。具体的に、二次イオン質量分析法によるNa濃度の測定値は、 $5 \times 10^{-6} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{-6} / \text{cm}^3$ 以下、更に好ましくは $1 \times 10^{-5} / \text{cm}^3$ 以下とするとよい。同様に、Li濃度の測定値は、 $5 \times 10^{-5} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{-5} / \text{cm}^3$ 以下とするとよい。同様に、K濃度の測定値は、 $5 \times 10^{-5} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{-5} / \text{cm}^3$ 以下とするとよい。

10

【0122】

また、インジウムを含む金属酸化物が用いられている場合に、酸素との結合エネルギーがインジウムよりも大きいシリコンや炭素が、インジウムと酸素の結合を切断し、酸素欠損を形成することがある。そのため、シリコンや炭素が酸化物半導体膜に混入していると、アルカリ金属やアルカリ土類金属の場合と同様に、トランジスタの電気的特性の劣化が起こりやすい。よって、酸化物半導体膜中におけるシリコンや炭素の濃度は低いことが望ましい。具体的に、二次イオン質量分析法によるC濃度の測定値、またはSi濃度の測定値は、 $1 \times 10^{-8} / \text{cm}^3$ 以下とするとよい。上記構成により、トランジスタの電気的特性の劣化を防ぐことができ、半導体装置の信頼性を高めることができる。

20

【0123】

また、ソース電極及びドレイン電極に用いられる導電性材料によっては、ソース電極及びドレイン電極中の金属が、酸化物半導体膜から酸素を引き抜くことがある。この場合、酸化物半導体膜のうち、ソース電極及びドレイン電極に接する領域が、酸素欠損の形成によりn型化される。

【0124】

30

n型化された領域は、ソース領域またはドレイン領域として機能するため、酸化物半導体膜とソース電極及びドレイン電極との間におけるコンタクト抵抗を下げることができる。よって、n型化された領域が形成されることで、トランジスタの移動度及びオン電流を高めることができ、それにより、トランジスタを用いたスイッチ回路の高速動作を実現することができる。

【0125】

なお、ソース電極及びドレイン電極中の金属による酸素の引き抜きは、ソース電極及びドレイン電極をスパッタリング法などにより形成する際に起こりうるし、ソース電極及びドレイン電極を形成した後に行われる加熱処理によっても起こりうる。

【0126】

40

また、n型化される領域は、酸素と結合し易い導電性材料をソース電極及びドレイン電極に用いることで、より形成されやすくなる。上記導電性材料としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wなどが挙げられる。

【0127】

また、酸化物半導体膜は、単数の金属酸化物膜で構成されているとは限らず、積層された複数の金属酸化物膜で構成されていても良い。例えば、第1乃至第3の金属酸化物膜が順に積層されている半導体膜の場合、第1の金属酸化物膜及び第3の金属酸化物膜は、第2の金属酸化物膜を構成する金属元素の少なくとも1つを、その構成要素に含み、伝導帯下端のエネルギーが第2の金属酸化物膜よりも0.05eV以上、0.07eV以上、0.1eV以上または0.15eV以上、かつ2eV以下、1eV以下、0.5eV以下ま

50

たは 0.4 eV 以下、真空準位に近い酸化物膜である。さらに、第 2 の金属酸化物膜は、少なくともインジウムを含むと、キャリア移動度が高くなるため好ましい。

【 0 1 2 8 】

上記構成の半導体膜をトランジスタが有する場合、ゲート電極に電圧を印加することで、半導体膜に電界が加わると、半導体膜のうち、伝導帯下端のエネルギーが小さい第 2 の金属酸化物膜にチャネル領域が形成される。即ち、第 2 の金属酸化物膜とゲート絶縁膜との間に第 3 の金属酸化物膜が設けられることによって、ゲート絶縁膜と離隔している第 2 の金属酸化物膜に、チャネル領域を形成することができる。

【 0 1 2 9 】

また、第 3 の金属酸化物膜は、第 2 の金属酸化物膜を構成する金属元素の少なくとも 1 つをその構成要素に含むため、第 2 の金属酸化物膜と第 3 の金属酸化物膜の界面では、界面散乱が起こりにくい。従って、当該界面においてキャリアの動きが阻害されにくいため、トランジスタの電界効果移動度が高くなる。

【 0 1 3 0 】

また、第 2 の金属酸化物膜と第 1 の金属酸化物膜の界面に界面準位が形成されると、界面近傍の領域にもチャネル領域が形成されるために、トランジスタの閾値電圧が変動してしまう。しかし、第 1 の金属酸化物膜は、第 2 の金属酸化物膜を構成する金属元素の少なくとも 1 つをその構成要素に含むため、第 2 の金属酸化物膜と第 1 の金属酸化物膜の界面には、界面準位が形成されにくい。よって、上記構成により、トランジスタの閾値電圧等の電気的特性のばらつきを、低減することができる。

【 0 1 3 1 】

また、金属酸化物膜間に不純物が存在することによって、各膜の界面にキャリアの流れを阻害する界面準位が形成されることがないよう、複数の酸化物半導体膜を積層させることができ望ましい。積層された金属酸化物膜の膜間に不純物が存在していると、金属酸化物膜間ににおける伝導帯下端のエネルギーの連続性が失われ、界面近傍において、キャリアがトラップされるか、あるいは再結合により消滅してしまうからである。膜間ににおける不純物を低減させることで、主成分である一の金属を少なくとも共に有する複数の金属酸化物膜を、単に積層させるよりも、連続接合（ここでは特に伝導帯下端のエネルギーが各膜の間で連続的に変化する U 字型の井戸構造を有している状態）が形成されやすくなる。

【 0 1 3 2 】

連続接合を形成するためには、ロードロック室を備えたマルチチャンバー方式の成膜装置（スパッタリング装置）を用いて各膜を大気に触れさせることなく連続して積層することが必要となる。スパッタリング装置における各チャンバーは、酸化物半導体にとって不純物となる水等を可能な限り除去すべくクライオポンプのような吸着式の真空排気ポンプを用いて高真空排気（ $5 \times 10^{-7}$  Pa 乃至  $1 \times 10^{-4}$  Pa 程度まで）することが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせて排気系からチャンバー内に気体が逆流しないようにしておくことが好ましい。

【 0 1 3 3 】

高純度の真性な酸化物半導体を得るためにには、各チャンバー内を高真空排気するのみならず、スパッタリングに用いるガスの高純度化も重要である。上記ガスとして用いる酸素ガスやアルゴンガスの露点を、-40 以下、好ましくは -80 以下、より好ましくは -100 以下とし、使用するガスの高純度化を図ることで、酸化物半導体膜に水分等が取り込まれることを可能な限り防ぐことができる。具体的に、第 2 の金属酸化物膜が In - M - Zn 酸化物（M は、Ga、Y、Zr、La、Ce、または Nd）の場合、第 2 の金属酸化物膜を成膜するために用いるターゲットにおいて、金属元素の原子数比を In : M : Zn = x<sub>1</sub> : y<sub>1</sub> : z<sub>1</sub> とすると、x<sub>1</sub> / y<sub>1</sub> は、1 / 3 以上 6 以下、さらには 1 以上 6 以下であって、z<sub>1</sub> / y<sub>1</sub> は、1 / 3 以上 6 以下、さらには 1 以上 6 以下であることが好ましい。なお、z<sub>1</sub> / y<sub>1</sub> を 1 以上 6 以下とすることで、第 2 の金属酸化物膜として CaAC - OS 膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、In : M : Zn = 1 : 1 : 1、In : M : Zn = 3 : 1 : 2 等がある。

10

20

30

40

50

## 【0134】

具体的に、第1の金属酸化物膜、第3の金属酸化物膜がIn-M-Zn酸化物(Mは、Ga、Y、Zr、La、Ce、またはNd)の場合、第1の金属酸化物膜、第3の金属酸化物膜を成膜するために用いるターゲットにおいて、金属元素の原子数比をIn:M:Zn=x<sub>2</sub>:y<sub>2</sub>:z<sub>2</sub>とすると、x<sub>2</sub>/y<sub>2</sub><x<sub>1</sub>/y<sub>1</sub>であって、z<sub>2</sub>/y<sub>2</sub>は、1/3以上6以下、さらには1以上6以下であることが好ましい。なお、z<sub>2</sub>/y<sub>2</sub>を1以上6以下とすることで、第1の金属酸化物膜、第3の金属酸化物膜としてCAC-O<sub>5</sub>膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、In:M:Zn=1:3:2、In:M:Zn=1:3:4、In:M:Zn=1:3:6、In:M:Zn=1:3:8等がある。

10

## 【0135】

なお、第1の金属酸化物膜及び第3の金属酸化物膜の厚さは、3nm以上100nm以下、好ましくは3nm以上50nm以下とする。また、第2の金属酸化物膜の厚さは、3nm以上200nm以下、好ましくは3nm以上100nm以下であり、さらに好ましくは3nm以上50nm以下である。

## 【0136】

3層構造の半導体膜において、第1の金属酸化物膜乃至第3の金属酸化物膜は、非晶質または結晶質の両方の形態を取りうる。ただし、チャネル領域が形成される第2の金属酸化物膜が結晶質であることにより、トランジスタに安定した電気的特性を付与することができるため、第2の金属酸化物膜は結晶質であることが好ましい。

20

## 【0137】

なお、チャネル形成領域とは、トランジスタの半導体膜のうち、ゲート電極と重なり、かつソース電極とドレイン電極に挟まれる領域を意味する。また、チャネル領域とは、チャネル形成領域において、電流が主として流れる領域をいう。

## 【0138】

例えば、第1の金属酸化物膜及び第3の金属酸化物膜として、スパッタリング法により形成したIn-Ga-Zn系酸化物膜を用いる場合、第1の金属酸化物膜及び第3の金属酸化物膜の成膜には、In-Ga-Zn系酸化物(In:Ga:Zn=1:3:2[原子数比])であるターゲットを用いることができる。成膜条件は、例えば、成膜ガスとしてアルゴンガスを30sccm、酸素ガスを15sccm用い、圧力0.4Paとし、基板温度を200とし、DC電力0.5kWとすればよい。

30

## 【0139】

また、第2の金属酸化物膜をCAC-O<sub>5</sub>膜とする場合、第2の金属酸化物膜の成膜には、In-Ga-Zn系酸化物(In:Ga:Zn=1:1:1[原子数比])であり、多結晶のIn-Ga-Zn系酸化物を含むターゲットを用いることが好ましい。成膜条件は、例えば、成膜ガスとしてアルゴンガスを30sccm、酸素ガスを15sccm用い、圧力を0.4Paとし、基板の温度300とし、DC電力0.5kWとすることができる。

## 【0140】

なお、トランジスタは、半導体膜の端部が傾斜している構造を有していても良いし、半導体膜の端部が丸みを帯びる構造を有していても良い。

40

## 【0141】

また、複数の積層された金属酸化物膜を有する半導体膜をトランジスタに用いる場合においても、ソース電極及びドレイン電極に接する領域が、n型化されていても良い。上記構成により、トランジスタの移動度及びオン電流を高め、トランジスタを用いた半導体装置の高速動作を実現することができる。さらに、複数の積層された金属酸化物膜を有する半導体膜をトランジスタに用いる場合、n型化される領域は、チャネル領域となる第2の金属酸化物膜にまで達していることが、トランジスタの移動度及びオン電流を高め、半導体装置のさらなる高速動作を実現する上で、より好ましい。

## 【0142】

50

### 電子機器の例

本発明の一態様に係るP L Dまたは半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはD V D：D i g i t a l V e r s a t i l e D i s c等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係るP L Dまたは半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（A T M）、自動販売機などが挙げられる。これら電子機器の具体例を図11に示す。 10

#### 【0143】

図11（A）は携帯型ゲーム機であり、筐体5001、筐体5002、表示部5003、表示部5004、マイクロホン5005、スピーカー5006、操作キー5007、スタイルス5008等を有する。なお、図11（A）に示した携帯型ゲーム機は、2つの表示部5003と表示部5004とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

#### 【0144】

図11（B）は携帯情報端末であり、第1筐体5601、第2筐体5602、第1表示部5603、第2表示部5604、接続部5605、操作キー5606等を有する。第1表示部5603は第1筐体5601に設けられており、第2表示部5604は第2筐体5602に設けられている。そして、第1筐体5601と第2筐体5602とは、接続部5605により接続されており、第1筐体5601と第2筐体5602の間の角度は、接続部5605により変更が可能である。第1表示部5603における映像を、接続部5605における第1筐体5601と第2筐体5602との間の角度に従って、切り替える構成としても良い。また、第1表示部5603及び第2表示部5604の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。 30

#### 【0145】

図11（C）はノート型パーソナルコンピュータであり、筐体5401、表示部5402、キーボード5403、ポインティングデバイス5404等を有する。

#### 【0146】

図11（D）は電気冷凍冷蔵庫であり、筐体5301、冷蔵室用扉5302、冷凍室用扉5303等を有する。

#### 【0147】

図11（E）はビデオカメラであり、第1筐体5801、第2筐体5802、表示部5803、操作キー5804、レンズ5805、接続部5806等を有する。操作キー5804及びレンズ5805は第1筐体5801に設けられており、表示部5803は第2筐体5802に設けられている。そして、第1筐体5801と第2筐体5802とは、接続部5806により接続されており、第1筐体5801と第2筐体5802の間の角度は、接続部5806により変更が可能である。表示部5803における映像を、接続部5806における第1筐体5801と第2筐体5802との間の角度に従って切り替える構成としても良い。 40

#### 【0148】

図11（F）は普通自動車であり、車体5101、車輪5102、ダッシュボード5103、ライト5104等を有する。

#### 【符号の説明】

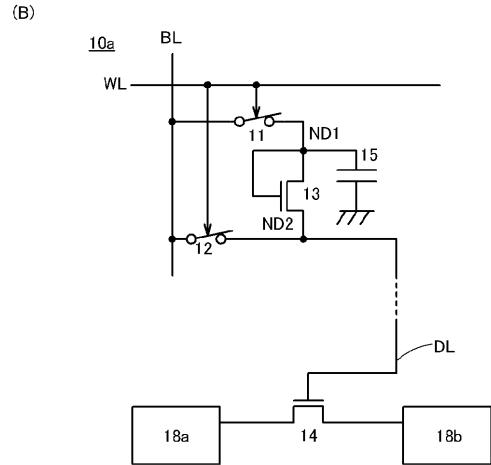
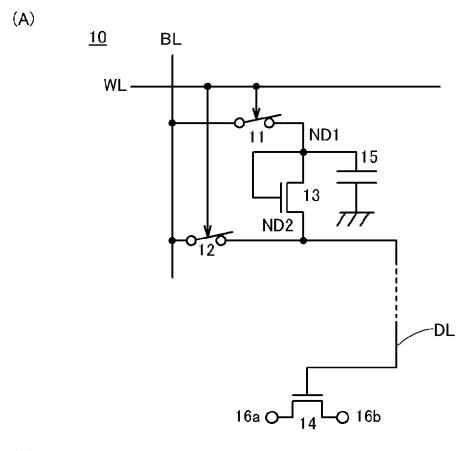
#### 【0149】

1 0	半導体装置	
1 0 - 1	半導体装置	
1 0 - 2	半導体装置	
1 0 a	P L D	
1 0 b	半導体装置	
1 1	スイッチ	
1 1 t	トランジスタ	
1 2	スイッチ	
1 2 t	トランジスタ	10
1 3	トランジスタ	
1 4	トランジスタ	
1 5	容量素子	
1 6 a	端子	
1 6 b	端子	
1 7 - 1	トランジスタ	
1 7 - 2	トランジスタ	
1 8 a	論理ブロック	
1 8 b	論理ブロック	
2 0	スイッチ	
2 1	配線	20
2 2	ラッチ	
2 3	インバータ	
2 4	トランジスタ	
2 5	配線	
3 0	インバータ	
3 1	インバータ	
4 0	論理ブロック	
4 1	L U T	
4 2	フリップフロップ	
4 3	記憶装置	30
4 3 a	記憶装置	
4 3 b	記憶装置	
4 4	入力端子	
4 5	出力端子	
4 6	出力端子	
4 7	A N D 回路	
4 8	マルチプレクサ	
5 0	P L D	
5 1	配線群	
5 2	スイッチ回路	40
5 3	配線リソース	
5 4	端子	
5 5	配線	
5 6	配線	
5 7	トランジスタ	
5 8	トランジスタ	
5 9	トランジスタ	
6 0	トランジスタ	
6 1	トランジスタ	
6 2	トランジスタ	50

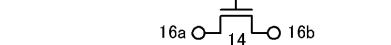
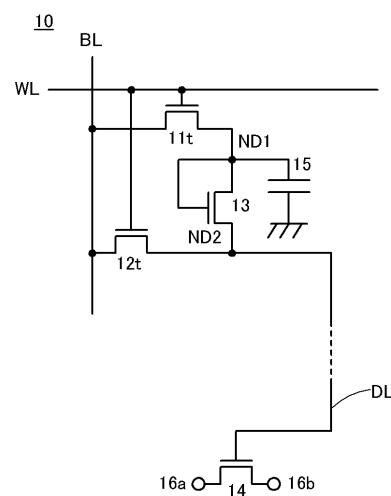
7 0	I / O エレメント	
7 1	P L L	
7 2	R A M	
7 3	乗算器	
4 0 0	半導体基板	
4 0 1	素子分離領域	
4 0 2	p ウエル	
4 0 4	不純物領域	
4 0 5	不純物領域	
4 0 6	ゲート電極	10
4 0 7	ゲート絶縁膜	
4 1 1	絶縁膜	
4 1 2	導電膜	
4 1 3	導電膜	
4 1 8	導電膜	
4 1 9	導電膜	
4 2 0	絶縁膜	
4 2 1	導電膜	
4 3 0	半導体膜	
4 3 1	ゲート絶縁膜	20
4 3 2	導電膜	
4 3 3	導電膜	
4 3 4	導電膜	
4 4 1	絶縁膜	
4 4 2	絶縁膜	
4 4 3	導電膜	
5 0 0 1	筐体	
5 0 0 2	筐体	
5 0 0 3	表示部	
5 0 0 4	表示部	30
5 0 0 5	マイクロホン	
5 0 0 6	スピーカー	
5 0 0 7	操作キー	
5 0 0 8	スタイラス	
5 1 0 1	車体	
5 1 0 2	車輪	
5 1 0 3	ダッシュボード	
5 1 0 4	ライト	
5 3 0 1	筐体	
5 3 0 2	冷蔵室用扉	40
5 3 0 3	冷凍室用扉	
5 4 0 1	筐体	
5 4 0 2	表示部	
5 4 0 3	キーボード	
5 4 0 4	ポインティングデバイス	
5 6 0 1	筐体	
5 6 0 2	筐体	
5 6 0 3	表示部	
5 6 0 4	表示部	
5 6 0 5	接続部	50

- 5 6 0 6 操作キー  
 5 8 0 1 筐体  
 5 8 0 2 筐体  
 5 8 0 3 表示部  
 5 8 0 4 操作キー  
 5 8 0 5 レンズ  
 5 8 0 6 接続部

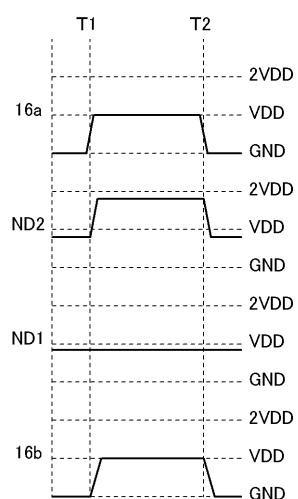
【図1】



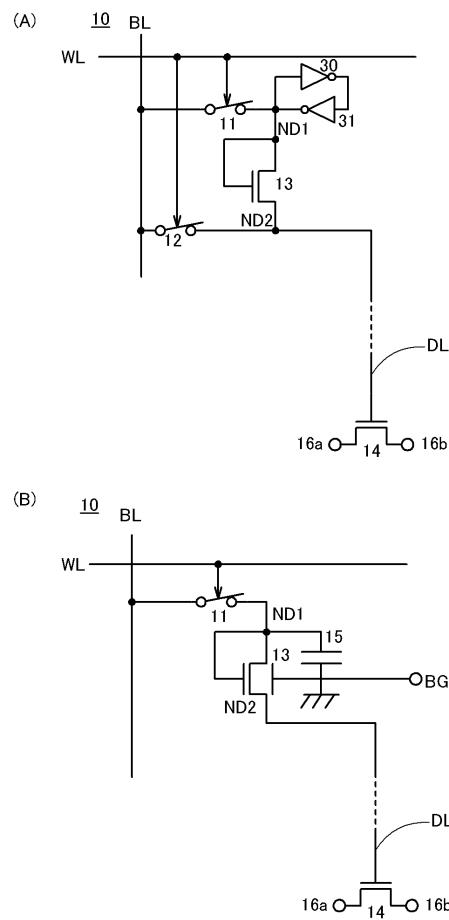
【図2】



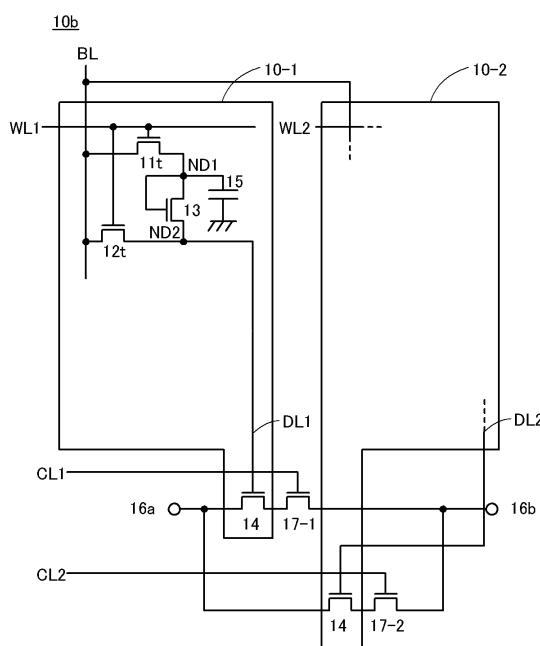
【図3】



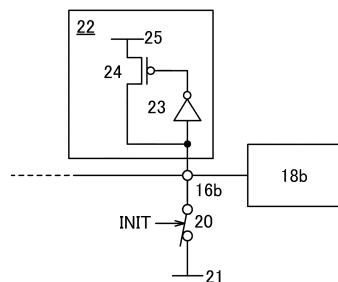
【図4】



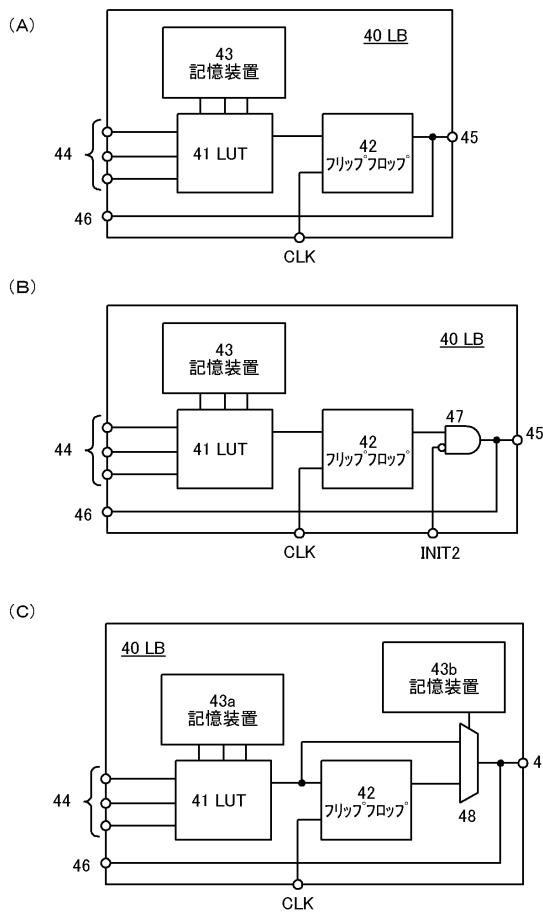
【図5】



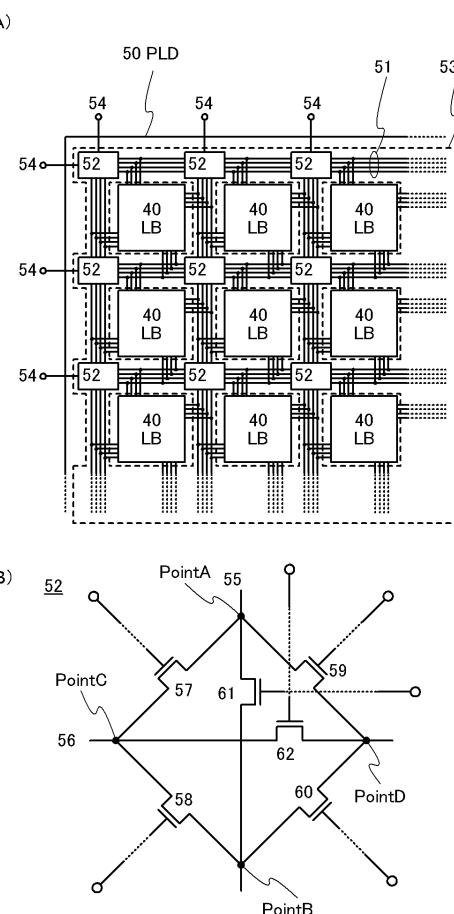
【図6】



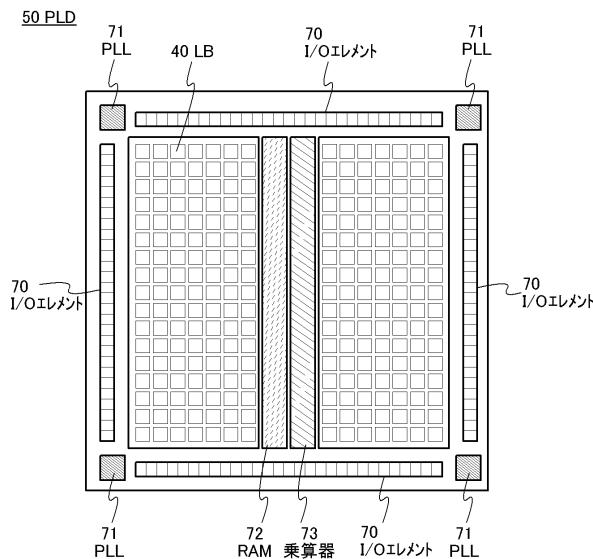
【図7】



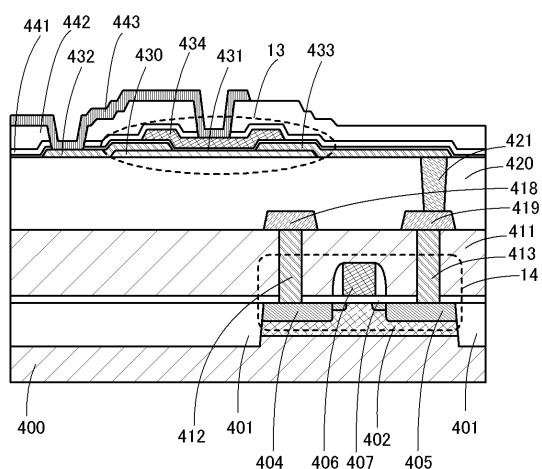
【 四 8 】



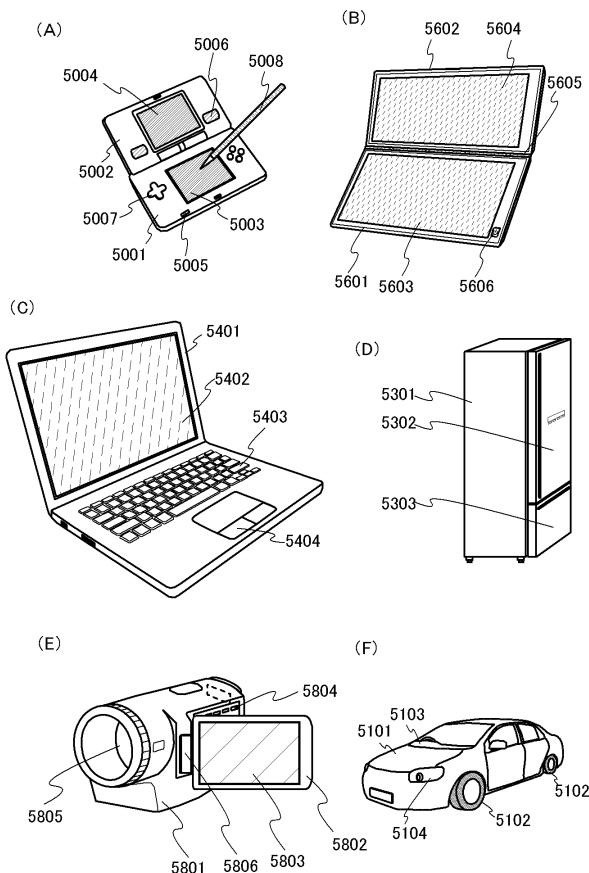
【図9】



【 図 1 0 】



## 【図 1 1】



---

フロントページの続き

(56)参考文献 特開2003-202833(JP,A)  
特開2012-257216(JP,A)  
特開2005-050514(JP,A)  
特開昭58-212226(JP,A)  
特開2006-323376(JP,A)  
特開2013-062014(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 19/173