

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6293573号
(P6293573)

(45) 発行日 平成30年3月14日(2018.3.14)

(24) 登録日 平成30年2月23日(2018.2.23)

(51) Int.Cl.

F I

H03K 19/173 (2006.01)

H03K 19/173 130

請求項の数 8 (全 28 頁)

(21) 出願番号 特願2014-101945 (P2014-101945)
 (22) 出願日 平成26年5月16日(2014.5.16)
 (65) 公開番号 特開2014-241591 (P2014-241591A)
 (43) 公開日 平成26年12月25日(2014.12.25)
 審査請求日 平成29年5月3日(2017.5.3)
 (31) 優先権主張番号 特願2013-105008 (P2013-105008)
 (32) 優先日 平成25年5月17日(2013.5.17)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 岡本 佑樹
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 黒川 義元
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 白井 亮

最終頁に続く

(54) 【発明の名称】 プログラマブルロジックデバイス及び半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1のトランジスタと、第2のトランジスタと、第1のノードへの信号の供給を制御する機能を有する第1のスイッチと、第2のノードへの前記信号の供給を制御する機能を有する第2のスイッチと、容量素子と、を有し、前記第1のトランジスタのゲートは、前記第2のノードに電氣的に接続されており、前記第2のトランジスタのソース又はドレインの一方は、前記第1のノードに電氣的に接続されており、前記第2のトランジスタのゲートは、前記第1のノードに電氣的に接続されており、前記第2のトランジスタのソース又はドレインの他方は、前記第2のノードに電氣的に接続されており、前記容量素子は、前記第1のノードに供給された前記信号の電位を保持する機能を有する半導体装置。

【請求項2】

請求項1において、前記第2のトランジスタは、酸化物半導体膜にチャネル形成領域を有する半導体装置。

【請求項3】

請求項1又は請求項2において、

10

20

前記第 1 のスイッチ又は前記第 2 のスイッチは、酸化物半導体膜にチャネル形成領域を有するトランジスタが用いられている半導体装置。

【請求項 4】

請求項 2 又は請求項 3 において、前記酸化物半導体膜は、I n、G a、及びZ nを含む半導体装置。

【請求項 5】

第 1 のトランジスタと、

第 2 のトランジスタと、

第 1 のノードへの信号の供給を制御する機能を有する第 1 のスイッチと、

第 2 のノードへの前記信号の供給を制御する機能を有する第 2 のスイッチと、

容量素子と、を有し、

前記第 1 のトランジスタのゲートは、前記第 2 のノードに電氣的に接続されており、
前記第 2 のトランジスタのソース又はドレインの一方は、前記第 1 のノードに電氣的に接続されており、

前記第 2 のトランジスタのゲートは、前記第 1 のノードに電氣的に接続されており、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 2 のノードに電氣的に接続されており、

前記容量素子は、前記第 1 のノードに供給された前記信号の電位を保持する機能を有し

、

前記信号はコンフィギュレーションデータを含み、

前記第 1 のトランジスタは、第 1 の回路と第 2 の回路との電氣的な接続を制御する機能を有するプログラマブルロジックデバイス。

【請求項 6】

請求項 5 において、

前記第 2 のトランジスタは、酸化物半導体膜にチャネル形成領域を有するプログラマブルロジックデバイス。

【請求項 7】

請求項 5 又は請求項 6 において、

前記第 1 のスイッチ又は前記第 2 のスイッチは、酸化物半導体膜にチャネル形成領域を有するトランジスタが用いられているプログラマブルロジックデバイス。

【請求項 8】

請求項 6 又は請求項 7 において、前記酸化物半導体膜は、I n、G a、及びZ nを含むプログラマブルロジックデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は半導体装置に関する。例えば、本発明は、ハードウェアの構成を変更することができるプログラマブルロジックデバイスと、上記プログラマブルロジックデバイスを用いた半導体装置に関する。

【背景技術】

【0002】

プログラマブルロジックデバイス (PLD: Programmable Logic Device) は、適当な規模の論理回路 (論理ブロック、プログラマブルロジックエレメント) oughが配線リソースにより電氣的に接続された構成を有しており、各論理ブロックの機能や、論理ブロック間の接続構造を、製造後において変更できることを特徴とする。各論理ブロックの機能と、配線リソースにより構成される論理ブロック間の接続構造とは、コンフィギュレーションデータにより定義され、上記コンフィギュレーションデータは、各論理ブロックが有するレジスタ、または配線リソースが有するレジスタに格納される。以下、コンフィギュレーションデータを格納するためのレジスタを、コンフィギュレーションメモリと呼ぶ。

【0003】

下記の非特許文献1には、SRAMセルがアイソレータートランジスタを介してパストランジスタのゲートに接続された回路により、配線リソースが構成されたFPGA(Field Programmable Gate Array)について記載されている。

【先行技術文献】

【非特許文献】

【0004】

【非特許文献1】F. Eslami and M. Sima, "Capacitive Boosting for FPGA Interconnection Networks" Int. Conf. on Field Programmable Logic and Applications, 2011, pp. 453 - 458.

10

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、低消費電力であることと、高速動作が可能であることとは、プログラマブルロジックデバイスなどの半導体装置の性能を評価する上で共に重要なポイントである。しかし、半導体装置の低消費電力化を図るために電源電圧を小さくすると、トランジスタのオン電流が小さくなるので、半導体装置の動作速度も低くなってしまう。すなわち、消費電力の低減と動作速度の向上とはトレードオフの関係にあり、動作速度を考慮すると、低消費電力化のためだけに、単純に電源電圧を小さくすることはできない。

20

【0006】

また、nチャネル型のトランジスタを介して半導体装置内のノードに与えられるハイレベルの電位は、当該トランジスタの閾値電圧分降下する。よって、消費電力を低減するために半導体装置の電源電圧を小さくすると、半導体装置内部のノードにおける電位が低くなりすぎて、半導体装置から出力される信号の論理レベルが変化するため、データの信頼性が低下しやすい。

【0007】

上述したような技術的背景のもと、本発明の一態様は、動作速度の低減を抑えつつ、低消費電力化を実現できる、プログラマブルロジックデバイス、プログラマブルスイッチ、または半導体装置の提供を、課題の一つとする。或いは、本発明の一態様は、正常な動作を確保しつつ、低消費電力化を実現できる、プログラマブルロジックデバイス、プログラマブルスイッチ、または半導体装置の提供を、課題の一つとする。

30

【課題を解決するための手段】

【0008】

本発明の一態様では、第1スイッチを介して第1ノードに電荷を蓄積させることで、半導体装置へのデータの書き込みを行う。また、第2スイッチを介して、第2ノードに電荷を蓄積させることで、半導体装置への上記データの書き込みを行う。第2ノードには第1トランジスタのゲートが接続されている。そして、第1ノードと第2ノードとの電気的な接続は、ゲートが第1ノードに電気的に接続された第2トランジスタにより制御されるものとする。また、第1ノードには、容量素子が電気的に接続されている。

40

【0009】

また、本発明の一態様では、第1スイッチ及び第2スイッチは、オフ電流が著しく小さいものとする。また、第2トランジスタのオフ電流は、著しく小さいものとする。上記構成により、第1スイッチ及び第2トランジスタが非導通状態のとき、第1ノードを他の電極や配線との間における絶縁性が極めて高い浮遊状態とすることができる。また、上記構成により、第2スイッチ及び第2トランジスタが非導通状態のとき、第2ノードを他の電極や配線との間における絶縁性が極めて高い浮遊状態とすることができる。よって、第1スイッチ及び第2スイッチと、第2トランジスタとが非導通状態のとき、上記第1ノード及び上記第2ノードにおいて、データを含む信号の電位が保持される。

【0010】

50

そして、上記信号の電位がハイレベルである場合において、第1スイッチ及び第2スイッチと、第2トランジスタとが非導通状態であるとき、時間の経過に伴って第2ノードの電位が低下すると第2トランジスタを介して保持容量に蓄積されている電荷が第2ノードに供給されるため、第2ノードの電位が低下するのを防ぐことができる。

【0011】

さらに、本発明の一態様にかかる半導体装置において、第2ノードにゲートが電氣的に接続された第1トランジスタを有している。第1トランジスタのソース及びドレインの一方の電位がローレベルからハイレベルに上昇する時に、第2ノードが浮遊状態にあることと、第1トランジスタのソースとゲートの間に形成される容量Cの容量結合により、第1トランジスタのゲートの電位、すなわち第2ノードの電位も上昇する。

10

【0012】

よって、上記信号の電位がハイレベルである場合において、当該電位に対し、第2スイッチが有するトランジスタの閾値電圧分、第2ノードの電位が低下していたとしても、上記動作により第2ノードの電位を上昇させることができる。よって、第2ノードにゲートが電氣的に接続された第1トランジスタのゲート電圧を閾値電圧よりも十分大きくすることができ、第1トランジスタの導通状態を確保することができる。したがって、本発明の一態様に係る半導体装置では、半導体装置に供給される電源電圧が小さくなったとしても、半導体装置の動作速度が低下するのを防ぐことができる。

【0013】

具体的に、本発明の一態様にかかる半導体装置は、導通または非導通の選択がゲートの電位に従って制御される第1トランジスタと、第1ノードへの信号の供給を制御する第1スイッチと、第2ノードへの上記信号の供給を制御する第2スイッチと、ソース及びドレインの一方とゲートとが上記第1ノードに電氣的に接続されており、なおかつ、上記ソース及び上記ドレインの他方が上記第2ノードに電氣的に接続されている第2トランジスタと、上記第1ノードに供給された上記信号の電位を保持する容量素子と、を有する。

20

【0014】

具体的に、本発明の一態様にかかるプログラマブルロジックデバイスは、第1回路と、第2回路と、上記第1回路と上記第2回路の電氣的な接続をゲートの電位に従って制御する第1トランジスタと、第1ノードへの信号の供給を制御する第1スイッチと、第2ノードへの上記信号の供給を制御する第2スイッチと、ソース及びドレインの一方とゲートとが上記第1ノードに電氣的に接続されており、なおかつ、上記ソース及び上記ドレインの他方が上記第2ノードに電氣的に接続されている第2トランジスタと、上記第1ノードに供給された上記信号の電位を保持する容量素子と、を有する。

30

【発明の効果】

【0015】

本発明の一態様により、動作速度の低減を抑えつつ、低消費電力化を実現できる、プログラマブルロジックデバイスまたは半導体装置を提供することができる。或いは、本発明の一態様により、正常な動作を確保しつつ、低消費電力化を実現できる、プログラマブルロジックデバイスまたは半導体装置を提供することができる。

【図面の簡単な説明】

40

【0016】

【図1】半導体装置の構成を示す図。

【図2】半導体装置の構成を示す図。

【図3】タイミングチャート。

【図4】半導体装置の構成を示す図。

【図5】半導体装置の構成を示す図。

【図6】初期化用のスイッチと、ラッチの構成を示す図。

【図7】論理ブロックの構成を示す図。

【図8】PLDの構成を示す図。

【図9】PLDの構成を示す図。

50

【図 10】半導体装置の断面構造を示す図。

【図 11】電子機器の図。

【発明を実施するための形態】

【0017】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0018】

なお、本発明の一態様の半導体装置は、マイクロプロセッサ、画像処理回路、半導体表示装置用のコントローラ、DSP (Digital Signal Processor)、マイクロコントローラ、2次電池などのバッテリーの制御回路または保護回路などの、半導体素子を用いた各種半導体集積回路をその範疇に含む。また、本発明の一態様の半導体装置は、上記半導体集積回路を用いたRFタグ、半導体表示装置などの各種装置を、その範疇に含む。半導体表示装置には、液晶表示装置、有機発光素子に代表される発光素子を各画素に備えた発光装置、電子ペーパー、DMD (Digital Micromirror Device)、PDP (Plasma Display Panel)、FED (Field Emission Display) 等や、半導体素子を駆動回路に有しているその他の半導体表示装置が、その範疇に含まれる。

【0019】

なお、本明細書において接続とは電気的な接続を意味しており、電流、電圧または電位が、供給可能、或いは伝送可能な状態に相当する。従って、接続している状態とは、直接接続している状態を必ずしも指すわけではなく、電流、電圧または電位が、供給可能、或いは伝送可能であるように、配線、抵抗、ダイオード、トランジスタなどの回路素子を介して電気的に接続している状態も、その範疇に含む。

【0020】

また、トランジスタのソースとは、活性層として機能する半導体膜の一部であるソース領域、或いは上記半導体膜に電気的に接続されたソース電極を意味する。同様に、トランジスタのドレインとは、活性層として機能する半導体膜の一部であるドレイン領域、或いは上記半導体膜に電気的に接続されたドレイン電極を意味する。また、ゲートはゲート電極を意味する。

【0021】

トランジスタが有するソースとドレインは、トランジスタの導電型及び各端子に与えられる電位の高低によって、その呼び方が入れ替わる。一般的に、nチャネル型トランジスタでは、低い電位が与えられる端子がソースと呼ばれ、高い電位が与えられる端子がドレインと呼ばれる。また、pチャネル型トランジスタでは、低い電位が与えられる端子がドレインと呼ばれ、高い電位が与えられる端子がソースと呼ばれる。本明細書では、便宜上、ソースとドレインとが固定されているものと仮定して、トランジスタの接続関係を説明する場合があるが、実際には上記電位の関係に従ってソースとドレインの呼び方が入れ替わる。

【0022】

半導体装置の構成例 1

まず、本発明の一態様に係る半導体装置の構成例について説明する。図 1 (A) に、本発明の一態様に係る半導体装置 10 の構成を例示する。

【0023】

本発明の一態様に係る半導体装置 10 は、第 1 スイッチ 11 と、第 2 スイッチ 12 と、トランジスタ 13 と、トランジスタ 14 と、容量素子 15 とを有する。第 1 スイッチ 11 は、配線 BL から供給される、データを含む信号の、ノード ND 1 への供給を制御する機能を有する。図 1 (A) では、第 1 スイッチ 11 及び第 2 スイッチ 12 の導通または非導通の選択が、配線 WL に供給される信号の電位に従って行われる場合を例示しているが、

10

20

30

40

50

第 1 スイッチ 1 1 と第 2 スイッチ 1 2 とが、別々の配線を介して供給される信号に従って、導通または非導通の選択が行われていてもよい。

【 0 0 2 4 】

当該信号の電位が第 1 スイッチ 1 1 を介してノード N D 1 に供給されることで、当該電位に対応する電荷がノード N D 1 に蓄積され、ノード N D 1 へのデータの書き込みが行われる。第 2 スイッチ 1 2 は、配線 B L から供給される、データを含む信号の、ノード N D 2 への供給を制御する機能を有する。当該信号の電位が第 2 スイッチ 1 2 を介してノード N D 2 に供給されることで、当該電位に対応する電荷がノード N D 2 に蓄積され、ノード N D 2 へのデータの書き込みが行われる。

【 0 0 2 5 】

トランジスタ 1 3 は、ソース及びドレインの一方と、ゲートとが、ノード N D 1 に電氣的に接続されている。トランジスタ 1 3 は、ソース及びドレインの他方がノード N D 2 に電氣的に接続されている。容量素子 1 5 は、第 1 スイッチ 1 1 を介してノード N D 1 に供給された信号の電位を保持する機能を有する。具体的に、容量素子 1 5 は一対の電極を有しており、一方の電極がノード N D 1 に電氣的に接続されている。

【 0 0 2 6 】

また、ノード N D 2 は配線 D L に接続されている。トランジスタ 1 4 は、ノード N D 2 の電位に従って導通または非導通が選択される。具体的に、配線 D L はトランジスタ 1 4 のゲートに接続されている。そして、トランジスタ 1 4 が導通状態にあるとき、トランジスタ 1 4 のソースまたはドレインの一方に接続された端子 1 6 a と、トランジスタ 1 4 のソースまたはドレインの他方に接続された端子 1 6 b とが電氣的に接続される。また、トランジスタ 1 4 が非導通状態にあるとき、トランジスタ 1 4 のソースまたはドレインの一方に接続された端子 1 6 a と、トランジスタ 1 4 のソースまたはドレインの他方に接続された端子 1 6 b とが、電氣的に分離される。

【 0 0 2 7 】

そして、本発明の一態様では、第 1 スイッチ 1 1 及び第 2 スイッチ 1 2 のオフ電流が著しく小さいものとする。具体的には、第 1 スイッチ 1 1 が有するトランジスタと、第 2 スイッチ 1 2 が有するトランジスタのオフ電流が著しく小さいものとする。さらに、本発明の一態様では、トランジスタ 1 3 のオフ電流が著しく小さいものとする。

【 0 0 2 8 】

シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体膜に、チャネル形成領域が形成されるトランジスタは、通常のシリコンやゲルマニウムなどの半導体で形成されたトランジスタに比べて、オフ電流を著しく小さくすることが可能である。よって、上記トランジスタは、第 1 スイッチ 1 1 及び第 2 スイッチ 1 2 と、トランジスタ 1 3 として用いるのに好適である。このような半導体としては、例えば、シリコンの 2 倍以上の大きなバンドギャップを有する、酸化物半導体、窒化ガリウムなどが挙げられる。

【 0 0 2 9 】

上記構成により、第 1 スイッチ 1 1 及びトランジスタ 1 3 が非導通状態のとき、ノード N D 1 を他の電極や配線との間における絶縁性が極めて高い浮遊状態とすることができる。また、上記構成により、第 2 スイッチ 1 2 及びトランジスタ 1 3 が非導通状態のとき、ノード N D 2 を他の電極や配線との間における絶縁性が極めて高い浮遊状態とすることができる。よって、第 1 スイッチ 1 1 及び第 2 スイッチ 1 2 と、トランジスタ 1 3 とが非導通状態のとき、上記ノード N D 1 及び上記ノード N D 2 において、データを含む信号の電位が保持される。

【 0 0 3 0 】

なお、特に断りがない限り、本明細書でオフ電流とは、遮断領域においてトランジスタのソースとドレイン間に流れる電流を意味する。

【 0 0 3 1 】

次いで、本発明の一態様にかかる P L D の構成例について説明する。図 1 (B) に、本

10

20

30

40

50

発明の一態様にかかる P L D 1 0 a の構成を、一例として示す。

【 0 0 3 2 】

図 1 (B) に示す P L D 1 0 a では、図 1 (A) に示した半導体装置 1 0 の端子 1 6 a に論理ブロック 1 8 a の出力端子が接続され、端子 1 6 b に論理ブロック 1 8 b の入力端子が接続されている。そして、図 1 (B) では、P L D 1 0 a において、ノード N D 2 の電位、すなわち配線 D L の電位に従って、論理ブロック 1 8 a と論理ブロック 1 8 b の電氣的な接続が定められる場合を例示している。

【 0 0 3 3 】

よって、配線 B L から P L D 1 0 a に供給されるデータがコンフィギュレーションデータである場合、ノード N D 2 に保持されている当該コンフィギュレーションデータに従って、論理ブロック 1 8 a と論理ブロック 1 8 b の電氣的な接続を制御することができる。

【 0 0 3 4 】

半導体装置の具体的な構成例

次いで、図 1 (A) に示した半導体装置 1 0 の、より具体的な構成例について説明する。図 2 に、本発明の一態様に係る半導体装置 1 0 の構成を、一例として示す。

【 0 0 3 5 】

図 2 に示す半導体装置 1 0 は、第 1 スイッチ 1 1 として機能するトランジスタ 1 1 t と、第 2 スイッチ 1 2 として機能するトランジスタ 1 2 t と、トランジスタ 1 3 と、トランジスタ 1 4 と、容量素子 1 5 とを有する。

【 0 0 3 6 】

トランジスタ 1 1 t は、ゲートが配線 W L に接続されている。また、トランジスタ 1 1 t は、ソース及びドレインの一方が配線 B L に接続されており、ソース及びドレインの他方がノード N D 1 に接続されている。トランジスタ 1 2 t は、ゲートが配線 W L に接続されている。また、トランジスタ 1 2 t は、ソース及びドレインの一方が配線 B L に接続されており、ソース及びドレインの他方がノード N D 2 に接続されている。トランジスタ 1 3 は、ソース及びドレインの一方と、ゲートとが、ノード N D 1 に接続されている。また、トランジスタ 1 3 は、ソース及びドレインの他方がノード N D 2 に接続されている。ノード N D 2 は配線 D L に接続されており、配線 D L はトランジスタ 1 4 のゲートに接続されている。トランジスタ 1 4 は、ソース及びドレインの一方が端子 1 6 a に接続されており、ソース及びドレインの他方が端子 1 6 b に接続されている。

【 0 0 3 7 】

半導体装置の動作例

次いで、図 2 に示した半導体装置 1 0 の、動作の一例について、図 3 に示すタイミングチャートを用いて説明する。ただし、トランジスタ 1 1 t、トランジスタ 1 2 t、トランジスタ 1 3、及びトランジスタ 1 4 が全て n チャネル型である場合を例に挙げて、半導体装置 1 0 の動作について説明する。

【 0 0 3 8 】

まず、配線 W L にハイレベルの電位 V D D が与えられることで、トランジスタ 1 1 t 及びトランジスタ 1 2 t が導通状態になる。そして、配線 B L に供給される " 1 " の論理レベルに対応したハイレベルの電位 V D D が、トランジスタ 1 1 t を介してノード N D 1 に、トランジスタ 1 2 t を介してノード N D 2 に、それぞれ与えられる。具体的に、ノード N D 1 は、電位 V D D からトランジスタ 1 1 t の閾値電圧を差し引いた電位となる。また、ノード N D 2 は、電位 V D D からトランジスタ 1 2 t の閾値電圧を差し引いた電位 (電位 V D D - V t h とする) となる。

【 0 0 3 9 】

なお、トランジスタ 1 1 t 及びトランジスタ 1 2 t が導通状態であるときに、配線 B L に " 0 " の論理レベルに対応したローレベルの電位 (例えば接地電位 G N D) が供給される場合、ノード N D 1 及びノード N D 2 には接地電位 G N D が与えられる。以下の説明では、" 1 " の論理レベルに対応した電位 V D D が配線 B L からノード N D 1 及びノード N D 2 に与えられる場合を例に挙げて、半導体装置 1 0 の動作について説明する。

【 0 0 4 0 】

次いで、配線WLにローレベルの電位が与えられることで、トランジスタ11t及びトランジスタ12tが非導通状態になる。よって、ノードND1及びノードND2には、“1”の論理レベルに対応したデータが保持される。また、トランジスタ13は非導通状態にあるため、ノードND1及びノードND2は浮遊状態となる。よって、配線DLも、ノードND2と同様に、電位VDDからトランジスタ12tの閾値電圧を差し引いた電位VDD - Vthが保持される。

【 0 0 4 1 】

次いで、時刻T1において、端子16aの電位が接地電位GNDから電位VDDまで上昇する。そして、トランジスタ14のソースとゲートの間に形成される容量Cの容量結合により、端子16aの電位の上昇に伴い、トランジスタ14のゲート、すなわち配線DL及びノードND2の電位も上昇を開始する。ノードND2に付加された寄生容量がトランジスタ14のソースとゲートの間に形成される容量Cに比べて著しく小さい理想的な状態の場合、配線DL及びノードND2の電位は、電位VDDからトランジスタ12tの閾値電圧を差し引いた電位VDD - Vthに、接地電位GNDと電位VDDの差分に相当する電圧が加算された電位2VDD - Vthにまで、上昇する。そのため、トランジスタ14のゲート電圧を閾値電圧よりも十分大きくすることができ、上記トランジスタ14の導通状態を確保することができる。よって、端子16bには、端子16aの電位が供給される。

【 0 0 4 2 】

本発明の一態様に係る半導体装置10では、半導体装置10に供給する電源電圧が小さくなり、電位VDDと接地電位GNDとの電位差が小さくなったとしても、トランジスタ14のオン電流が低下するのを防ぎ、それにより、半導体装置10の動作速度が低下するのを防ぐことができる。

【 0 0 4 3 】

ノードND2の電位の上昇幅は、ノードND2に付加された寄生容量とトランジスタ14のソースとゲートの間に形成される容量Cとの、容量比によって変化する。すなわち、ノードND2に付加された寄生容量が容量Cに比べて小さいほど、ノードND2の電位の上昇幅は大きく、ノードND2に付加された寄生容量が容量Cに比べて大きいほど、ノードND2の電位の上昇幅は小さい。したがって、ノードND2の寄生容量が小さいほど、トランジスタ14のオン電流を上昇させることができ、半導体装置10の動作速度を高めることができると言える。

【 0 0 4 4 】

なお、ノードND2においてデータに対応する電位をより長く保持できるほど、半導体装置10におけるデータの保持時間も長くすることができる。よって、データの保持時間を長く確保するためには、ノードND2により大きな容量値の容量素子が接続されていることが望ましい。しかし、上述したように、トランジスタ14の容量Cの容量結合によるゲートの電位の上昇幅を大きくするためには、ノードND2には、寄生容量を含め、容量値の大きな容量素子が接続されていることは好ましくない。すなわち、トランジスタ14の容量Cの容量結合によるゲートの電位の上昇幅と、半導体装置10におけるデータの保持時間とは、トレードオフの関係にあると言える。

【 0 0 4 5 】

本発明の一態様にかかる半導体装置10では、ノードND1に容量素子15が接続されており、なおかつ、ゲートがノードND1に接続されているトランジスタ13により、ノードND1とノードND2の接続が制御されている。よって、トランジスタ13が非導通状態にあるとき、ノードND2と、容量素子15とは電氣的に分離しており、トランジスタ14の容量Cの容量結合によるトランジスタ14のゲートの電位の上昇幅には、容量素子15の容量値は関与しない。そして、時間の経過に伴い、トランジスタ12tのオフ電流や、トランジスタ14のゲートと、ソースまたはドレインとの間に流れるリーク電流等により、ノードND2の電位が、ノードND1の電位よりも低下しそうになると、トラン

ジスタ 13 を介して、ノード N D 1 から ノード N D 2 に電位が供給される。よって、ノード N D 2 における電位の保持には、容量素子 15 が寄与することとなる。すなわち、本発明の一態様では、上記容量 C の容量結合によるトランジスタ 14 のゲートの電位の上昇幅を高めつつ、半導体装置 10 におけるデータの保持時間を長く確保することができると言える。

【 0 0 4 6 】

なお、ノード N D 1 に接続された容量素子 15 の容量値は、ノード N D 2 に付加された寄生容量の容量値よりも大きいため、ノード N D 1 への電位の供給を制御するトランジスタ 11 t のチャネル幅は、ノード N D 2 への電位の供給を制御するトランジスタ 12 t 及びトランジスタ 13 のチャネル幅よりも、大きいほうが望ましい。

10

【 0 0 4 7 】

時刻 T 2 にて、端子 16 a が電位 V D D から接地電位 G N D に変化すると、トランジスタ 14 の容量 C の容量結合により、ノード N D 2 の電位は、電位 V D D からトランジスタ 12 t の閾値電圧を差し引いた電位 V D D - V t h まで降下する。

【 0 0 4 8 】

半導体装置の構成例 2

次いで、図 1 (A) に示した半導体装置 10 の、別の構成例について説明する。図 4 (A) に、半導体装置 10 の一例を示す。図 4 (A) に示す半導体装置 10 は、図 1 (A) に示した半導体装置 10 と同様に、スイッチ 11、スイッチ 12、トランジスタ 13、及びトランジスタ 14 を有する。ただし、図 4 (A) に示す半導体装置 10 は、容量素子 15 の代わりに、ノード N D 1 の電位を保持するためのインバータ 30 及びインバータ 31 が設けられている点において、図 1 (A) に示す半導体装置 10 とは構成が異なる。

20

【 0 0 4 9 】

具体的に、図 4 (A) では、インバータ 30 の入力端子及びインバータ 31 の出力端子が、ノード N D 1 に電氣的に接続されており、インバータ 30 の出力端子とインバータ 31 の入力端子とは電氣的に接続されている。図 4 (A) に示す半導体装置 10 では、上記構成により、ノード N D 1 の電位を、インバータ 30 及びインバータ 31 により保持することができる。

【 0 0 5 0 】

次いで、図 1 (A) に示した半導体装置 10 の、別の構成例について説明する。図 4 (B) に、半導体装置 10 の一例を示す。図 4 (B) に示す半導体装置 10 は、図 1 (A) に示した半導体装置 10 と同様に、スイッチ 11、トランジスタ 13、トランジスタ 14、及び容量素子 15 を有する。ただし、図 4 (B) に示す半導体装置 10 は、スイッチ 12 を有しておらず、トランジスタ 13 が、半導体膜を間に挟んで重なり合った一対のゲートを有する点において、図 1 (A) に示す半導体装置 10 とは構成が異なる。

30

【 0 0 5 1 】

具体的に、図 4 (B) では、トランジスタ 13 が有する一方のゲート (フロントゲート) がノード N D 1 に接続されており、トランジスタ 13 が有する他方のゲートが配線 B G に接続されている。そして、ノード N D 1 及びノード N D 2 に、データを含む信号の電位を供給する際、配線 B G に、トランジスタ 13 のソース及びドレインよりも高い電位を供給することで、トランジスタ 13 の閾値電圧をマイナス方向にシフトさせる。上記構成により、ノード N D 2 にハイレベルの電位が保持されている場合に、スイッチ 12 を設けなくとも、ローレベルの電位を、トランジスタ 13 を介してノード N D 2 に供給することができる。

40

【 0 0 5 2 】

図 4 (A) 及び図 4 (B) に示した半導体装置 10 は、必要に応じて、トランジスタ、ダイオード、抵抗素子、容量素子、インダクタなどのその他の回路素子を、さらに有していても良い。

【 0 0 5 3 】

半導体装置の構成例 3

50

次いで、図 2 に示した半導体装置 10 を複数組み合わせ、端子 16 a と端子 16 b の電気的な接続を制御する半導体装置 10 b の構成例について説明する。

【0054】

図 5 に、半導体装置 10 b の一例を示す。半導体装置 10 b は、図 2 に示した半導体装置 10 を複数有する。図 5 では、半導体装置 10 b が、半導体装置 10 - 1 及び半導体装置 10 - 2 で示される 2 つの半導体装置を、有する場合を例示している。

【0055】

また、半導体装置 10 b は、端子 16 a と端子 16 b の電気的な接続を制御するためのトランジスタ 17 - 1 が、半導体装置 10 - 1 が有するトランジスタ 14 と、直列に接続されている。さらに、半導体装置 10 b は、端子 16 a と端子 16 b の電気的な接続を制御するためのトランジスタ 17 - 2 が、半導体装置 10 - 2 が有するトランジスタ 14 と、直列に接続されている。トランジスタ 17 - 1 のゲートには配線 CL 1 が接続されており、トランジスタ 17 - 2 のゲートには配線 CL 2 が接続されている。

【0056】

半導体装置 10 - 1 及び半導体装置 10 - 2 では、ノード ND 2 及び配線 DL に保持されている、データを含む信号の電位に従って、トランジスタ 14 の導通または非導通が選択される。よって、配線 CL 1 及び配線 CL 2 のいずれか一つを選択してハイレベルの電位とすることで、端子 16 a と端子 16 b の接続が、半導体装置 10 - 1 及び半導体装置 10 - 2 のいずれかに保持されている、データを含む信号の電位に従って、制御されることとなる。

【0057】

具体的に、配線 CL 1 にハイレベルの電位が供給され、配線 CL 2 にローレベルの電位が供給される場合、トランジスタ 17 - 1 が導通状態となり、トランジスタ 17 - 2 が非導通状態となる。よって、半導体装置 10 - 1 に保持されている、データを含む信号の電位に従って、半導体装置 10 - 1 が有するトランジスタ 14 により、端子 16 a と端子 16 b の接続が制御される。配線 CL 1 にローレベルの電位が供給され、配線 CL 2 にハイレベルの電位が供給される場合、トランジスタ 17 - 2 が導通状態となり、トランジスタ 17 - 1 が非導通状態となる。よって、半導体装置 10 - 2 に保持されている、データを含む信号の電位に従って、半導体装置 10 - 2 が有するトランジスタ 14 により、端子 16 a と端子 16 b の接続が制御される。

【0058】

PLD のより詳細な構成例

本発明の一態様に係る PLD では、端子 16 b に、端子 16 b の電位を初期化するためのスイッチ、または端子 16 b の電位を保持するためのラッチが、電気的に接続されていても良い。端子 16 b の電位を初期化するためのスイッチ 20 と、端子 16 b の電位を保持するためのラッチ 22 とが、端子 16 b に電気的に接続されている様子を、図 6 に示す。

【0059】

スイッチ 20 は、端子 16 b と、初期化用の電位が与えられた配線 21 との電気的な接続を制御する機能を有する。本発明の一態様では、スイッチ 20 を端子 16 b に電気的に接続させることによって、PLD に電源が投入された後に、端子 16 b の電位をローレベルに保つことができるので、中間の電位が端子 16 b に与えられるのを防ぐことができ、その結果、端子 16 b にその入力端子が接続された論理ブロック 18 b に貫通電流が生じるのを、防ぐことができる。

【0060】

また、図 6 に示すラッチ 22 は、端子 16 b の電位を、ハイレベルかローレベルのいずれか一方に保つ機能を有する。具体的に、ラッチ 22 は、インバータ 23 と、p チャネル型のトランジスタ 24 とを有する。インバータ 23 の入力端子は端子 16 b に電気的に接続され、インバータ 23 の出力端子はトランジスタ 24 のゲートに電気的に接続されている。トランジスタ 24 のソース及びドレインは、一方が、配線 21 よりも高い電位が与え

られている配線 2 5 に電氣的に接続され、他方が、端子 1 6 b に電氣的に接続されている。

【 0 0 6 1 】

本発明の一態様では、上記構成を有するラッチ 2 2 を端子 1 6 b に電氣的に接続させることによって、P L D に電源が投入された後に、端子 1 6 b の電位をハイレベルかローレベルのいずれか一方に保つことができるので、中間の電位が端子 1 6 b に与えられるのを防ぐことができ、その結果、端子 1 6 b にその入力端子が接続された論理ブロック 1 8 b に貫通電流が生じるのを、防ぐことができる。

【 0 0 6 2 】

図 7 (A) に、論理ブロック (L B) 4 0 の一形態を例示する。図 7 (A) に示す論理ブロック 4 0 は、L U T (ルックアップテーブル) 4 1 と、フリップフロップ 4 2 と、記憶装置 4 3 と、を有する。L U T 4 1 は、記憶装置 4 3 が有するコンフィギュレーションデータに従って、行われる論理演算が定義される。具体的に L U T 4 1 は、入力端子 4 4 に与えられた複数の入力信号の入力値に対する、一の出力値が定まる。そして、L U T 4 1 からは、上記出力値を含む信号が出力される。フリップフロップ 4 2 は、L U T 4 1 から出力される信号を保持し、信号 C L K に同期して当該信号に対応した出力信号を、第 1 出力端子 4 5 及び第 2 出力端子 4 6 から出力する。

【 0 0 6 3 】

なお、論理ブロック 4 0 がさらにマルチプレクサ回路を有し、当該マルチプレクサ回路によって、L U T 4 1 からの出力信号がフリップフロップ 4 2 を経由するか否かを選択できるようにしても良い。

【 0 0 6 4 】

また、コンフィギュレーションデータによって、フリップフロップ 4 2 の種類を定義できる構成にしても良い。具体的には、コンフィギュレーションデータによって、フリップフロップ 4 2 が D 型フリップフロップ、T 型フリップフロップ、J K 型フリップフロップ、または R S 型フリップフロップのいずれかの機能を有するようにしても良い。

【 0 0 6 5 】

また、図 7 (B) に、論理ブロック 4 0 の別の形態を例示する。図 7 (B) に示す論理ブロック 4 0 は、図 7 (A) に示した論理ブロック 4 0 に、A N D 回路 4 7 が追加された構成を有している。A N D 回路 4 7 には、フリップフロップ 4 2 からの信号が、正論理の入力として与えられ、配線 D L の電位を初期化するための信号 I N I T 2 が、負論理の入力として与えられている。上記構成により、論理ブロック 4 0 からの出力信号が供給される配線の電位を初期化することができる。よって、論理ブロック 4 0 間で大量の電流が流れることを未然に防ぎ、P L D の破損が引き起こされるのを防ぐことができる。

【 0 0 6 6 】

また、図 7 (C) に、論理ブロック 4 0 の別の形態を例示する。図 7 (C) に示す論理ブロック 4 0 は、図 7 (A) に示した論理ブロック 4 0 に、マルチプレクサ 4 8 が追加された構成を有している。また、図 7 (C) に示す論理ブロック 4 0 は、記憶装置 4 3 a 及び記憶装置 4 3 b で示される二つの記憶装置 4 3 を有する。L U T 4 1 は、記憶装置 4 3 a が有するコンフィギュレーションデータに従って、行われる論理演算が定義される。また、マルチプレクサ 4 8 は、L U T 4 1 からの出力信号と、フリップフロップ 4 2 からの出力信号とが入力されている。そして、マルチプレクサ 4 8 は、記憶装置 4 3 b に格納されているコンフィギュレーションデータに従って、上記 2 つの出力信号のいずれか一方を選択し、出力する機能を有する。マルチプレクサ 4 8 からの出力信号は、第 1 出力端子 4 5 及び第 2 出力端子 4 6 から出力される。

【 0 0 6 7 】

図 8 (A) に P L D 5 0 の構造の一部を、一例として模式的に示す。図 8 (A) に示す P L D 5 0 は、複数の論理ブロック (L B) 4 0 と、複数の論理ブロック 4 0 のいずれかに接続された配線群 5 1 と、配線群 5 1 を構成する配線どうしの接続を制御するスイッチ回路 5 2 とを有する。配線群 5 1 とスイッチ回路 5 2 とが、配線リソース 5 3 に相当する

10

20

30

40

50

。

【 0 0 6 8 】

図 8 (B) に、スイッチ回路 5 2 の構成例を示す。図 8 (B) に示すスイッチ回路 5 2 は、配線群 5 1 に含まれる配線 5 5 と配線 5 6 の接続構造を制御する機能を有する。具体的に、スイッチ回路 5 2 は、トランジスタ 5 7 乃至トランジスタ 6 2 を有する。トランジスタ 5 7 乃至トランジスタ 6 2 は、半導体装置 1 0 が有するトランジスタ 1 4 に相当する。なお、図示しないが、トランジスタ 5 7 乃至トランジスタ 6 2 のゲートは、複数の半導体装置 1 0 の配線 D L とノード N D 2 に、それぞれ接続されている。そして、トランジスタ 5 7 乃至トランジスタ 6 2 の導通状態または非導通状態の選択 (スイッチング) は、半導体装置 1 0 のノード N D 2 及び配線 D L に保持されているデータにより定まる。

10

【 0 0 6 9 】

トランジスタ 5 7 は、配線 5 5 における P o i n t A と、配線 5 6 における P o i n t C の電氣的な接続を制御する機能を有する。トランジスタ 5 8 は、配線 5 5 における P o i n t B と、配線 5 6 における P o i n t C の電氣的な接続を制御する機能を有する。トランジスタ 5 9 は、配線 5 5 における P o i n t A と、配線 5 6 における P o i n t D の電氣的な接続を制御する機能を有する。トランジスタ 6 0 は、配線 5 5 における P o i n t B と、配線 5 6 における P o i n t D の電氣的な接続を制御する機能を有する。トランジスタ 6 1 は、配線 5 5 における P o i n t A と P o i n t B の電氣的な接続を制御する機能を有する。トランジスタ 6 2 は、配線 5 6 における P o i n t C と P o i n t D の電氣的な接続を制御する機能を有する。

20

【 0 0 7 0 】

また、スイッチ回路 5 2 は、配線群 5 1 と、 P L D 5 0 の端子 5 4 の、電氣的な接続を制御する機能を有する。

【 0 0 7 1 】

図 9 に、 P L D 5 0 全体の構成を一例として示す。図 9 では、 P L D 5 0 に、 I / O エレメント 7 0、 P L L (p h a s e l o c k l o o p) 7 1、 R A M 7 2、乗算器 7 3 が設けられている。 I / O エレメント 7 0 は、 P L D 5 0 の外部回路からの信号の入力、または外部回路への信号の出力を制御する、インターフェースとしての機能を有する。 P L L 7 1 は、信号 C L K を生成する機能を有する。 R A M 7 2 は、論理演算に用いられるデータを格納する機能を有する。乗算器 7 3 は、乗算専用の論理回路に相当する。 P L D 5 0 に乗算を行う機能が含まれていれば、乗算器 7 3 は必ずしも設ける必要はない。

30

【 0 0 7 2 】

半導体装置の断面構造の例

次いで、図 2 に示した半導体装置 1 0 が有する、トランジスタ 1 3、及びトランジスタ 1 4 の断面構造を、図 1 0 に一例として示す。

【 0 0 7 3 】

なお、図 1 0 では、酸化物半導体膜にチャネル形成領域を有するトランジスタ 1 3 が、単結晶のシリコン基板にチャネル形成領域を有するトランジスタ 1 4 上に形成されている場合を例示している。

【 0 0 7 4 】

トランジスタ 1 4 は、非晶質、微結晶、多結晶または単結晶である、シリコン又はゲルマニウムなどの半導体膜または半導体基板に、チャネル形成領域を有していても良い。或いは、トランジスタ 1 4 は、酸化物半導体膜または酸化物半導体基板に、チャネル形成領域を有していても良い。全てのトランジスタが酸化物半導体膜または酸化物半導体基板に、チャネル形成領域を有している場合、トランジスタ 1 3 はトランジスタ 1 4 上に積層されていなくとも良く、トランジスタ 1 3 とトランジスタ 1 4 とは、同一の層に形成されていても良い。

40

【 0 0 7 5 】

シリコンの薄膜を用いてトランジスタ 1 4 を形成する場合、当該薄膜には、プラズマ C V D 法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質

50

シリコンをレーザーアニールなどの処理により結晶化させた多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

【0076】

半導体基板400は、例えば、シリコン基板、ゲルマニウム基板、シリコンゲルマニウム基板等を用いることができる。図10では、単結晶シリコン基板を半導体基板400として用いる場合を例示している。

【0077】

また、トランジスタ14は、素子分離法により電氣的に分離されている。素子分離法として、選択酸化法(LOCOS法: Local Oxidation of Silicon法)、トレンチ分離法(STI法: Shallow Trench Isolation)等を用いることができる。図10では、トレンチ分離法を用いてトランジスタ14を電氣的に分離する場合を例示している。具体的に、図10では、半導体基板400にエッチング等によりトレンチを形成した後、酸化珪素などを含む絶縁物を当該トレンチに埋め込むことで形成される素子分離領域401により、トランジスタ14を素子分離させる場合を例示している。

【0078】

また、素子分離領域401間において、nチャネル型であるトランジスタ14が形成される領域には、p型の導電性を付与する不純物元素が選択的に導入されたpウェル402が設けられている。

【0079】

そして、トランジスタ14は、pウェル402に形成された、ソース領域またはドレイン領域として機能する不純物領域404及び不純物領域405と、ゲート電極406と、半導体基板400とゲート電極406の間に設けられたゲート絶縁膜407とを有する。ゲート電極406は、ゲート絶縁膜407を間に挟んで、不純物領域404と不純物領域405の間に形成されるチャネル形成領域と重なる。

【0080】

トランジスタ14上には、絶縁膜411が設けられている。絶縁膜411には開口部が形成されている。そして、上記開口部には、不純物領域404、不純物領域405にそれぞれ電氣的に接続されている導電膜412、導電膜413が、形成されている。

【0081】

そして、導電膜412は、絶縁膜411上に形成された導電膜418に電氣的に接続されており、導電膜413は、絶縁膜411上に形成された導電膜419に電氣的に接続されている。

【0082】

導電膜418及び導電膜419上には、絶縁膜420が形成されている。絶縁膜420には開口部が形成されており、上記開口部に、導電膜419に電氣的に接続された導電膜421が形成されている。

【0083】

そして、図10では、絶縁膜420上にトランジスタ13が形成されている。

【0084】

トランジスタ13は、絶縁膜420上に、酸化物半導体を含む半導体膜430と、半導体膜430上の、ソース電極またはドレイン電極として機能する導電膜432及び導電膜433と、半導体膜430、導電膜432及び導電膜433上のゲート絶縁膜431と、ゲート絶縁膜431上に位置し、導電膜432と導電膜433の間において半導体膜430と重なっており、ゲート電極として機能する導電膜434と、を有する。なお、導電膜433は、導電膜421に電氣的に接続されている。

【0085】

そして、トランジスタ13上に、絶縁膜441及び絶縁膜442が順に積層するように設けられている。絶縁膜441及び絶縁膜442には開口部が設けられており、上記開口

10

20

30

40

50

部において導電膜 4 3 2 及び導電膜 4 3 4 に接する導電膜 4 4 3 が、絶縁膜 4 4 2 上に設けられている。

【 0 0 8 6 】

なお、図 1 0 において、トランジスタ 1 3 は、導電膜 4 3 4 を半導体膜 4 3 0 の片側において少なくとも有していれば良いが、半導体膜 4 3 0 を間に挟んで存在する一対のゲート電極を有していても良い。

【 0 0 8 7 】

トランジスタ 1 3 が、半導体膜 4 3 0 を間に挟んで存在する一対のゲート電極を有している場合、一方のゲート電極には導通状態または非導通状態を制御するための信号が与えられ、他方のゲート電極は、電位が他から与えられている状態であっても良い。この場合、一対のゲート電極に、同じ高さの電位が与えられていても良いし、他方のゲート電極にのみ接地電位などの固定の電位が与えられていても良い。他方のゲート電極に与える電位の高さを制御することで、トランジスタの閾値電圧を制御することができる。

【 0 0 8 8 】

また、図 1 0 では、トランジスタ 1 3 が、一の導電膜 4 3 4 に対応した一のチャネル形成領域を有する、シングルゲート構造である場合を例示している。しかし、トランジスタ 1 3 は、電氣的に接続された複数のゲート電極を有することで、一の活性層にチャネル形成領域を複数有する、マルチゲート構造であっても良い。

【 0 0 8 9 】

半導体膜について

なお、電子供与体（ドナー）となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体（*purified Oxide Semiconductor*）は、*i* 型（真性半導体）又は *i* 型に限りなく近い。そのため、高純度化された酸化物半導体膜にチャネル形成領域を有するトランジスタは、オフ電流が著しく小さく、信頼性が高い。

【 0 0 9 0 】

具体的に、高純度化された酸化物半導体膜にチャネル形成領域を有するトランジスタのオフ電流が小さいことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が 1 V から 10 V の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{ A}$ 以下という特性を得ることができる。この場合、トランジスタのチャネル幅で規格化したオフ電流は、 $100 \text{ z A} / \mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、高純度化された酸化物半導体膜を上記トランジスタのチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が 3 V の場合に、数十 $\text{y A} / \mu\text{m}$ という、さらに小さいオフ電流が得られることが分かった。従って、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく小さい。

【 0 0 9 1 】

なお、半導体膜として酸化物半導体膜を用いる場合、酸化物半導体としては、少なくともインジウム（*In*）あるいは亜鉛（*Zn*）を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電氣的特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム（*Ga*）を有することが好ましい。また、スタビライザーとしてスズ（*Sn*）を有することが好ましい。また、スタビライザーとしてハフニウム（*Hf*）を有することが好ましい。また、スタビライザーとしてアルミニウム（*Al*）を有することが好ましい。また、スタビライザーとしてジルコニウム（*Zr*）を含むことが好ましい。

【 0 0 9 2 】

酸化物半導体の中でも In - Ga - Zn 系酸化物、In - Sn - Zn 系酸化物などは、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、スパッタリング法や湿式法により電気的特性の優れたトランジスタを作製することが可能であり、量産性に優れるといった利点がある。また、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、上記 In - Ga - Zn 系酸化物は、ガラス基板上に、電気的特性の優れたトランジスタを作製することが可能である。また、基板の大型化にも対応が可能である。

【0093】

また、他のスタビライザーとして、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジウム (Pr)、ネオジウム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) のいずれか一種または複数種を含んでいてもよい。

10

【0094】

例えば、酸化物半導体として、酸化インジウム、酸化ガリウム、酸化スズ、酸化亜鉛、In - Zn 系酸化物、Sn - Zn 系酸化物、Al - Zn 系酸化物、Zn - Mg 系酸化物、Sn - Mg 系酸化物、In - Mg 系酸化物、In - Ga 系酸化物、In - Ga - Zn 系酸化物 (IGZO とも表記する)、In - Al - Zn 系酸化物、In - Sn - Zn 系酸化物、Sn - Ga - Zn 系酸化物、Al - Ga - Zn 系酸化物、Sn - Al - Zn 系酸化物、In - Hf - Zn 系酸化物、In - La - Zn 系酸化物、In - Pr - Zn 系酸化物、In - Nd - Zn 系酸化物、In - Ce - Zn 系酸化物、In - Sm - Zn 系酸化物、In - Eu - Zn 系酸化物、In - Gd - Zn 系酸化物、In - Tb - Zn 系酸化物、In - Dy - Zn 系酸化物、In - Ho - Zn 系酸化物、In - Er - Zn 系酸化物、In - Tm - Zn 系酸化物、In - Yb - Zn 系酸化物、In - Lu - Zn 系酸化物、In - Sn - Ga - Zn 系酸化物、In - Hf - Ga - Zn 系酸化物、In - Al - Ga - Zn 系酸化物、In - Sn - Al - Zn 系酸化物、In - Sn - Hf - Zn 系酸化物、In - Hf - Al - Zn 系酸化物を用いることができる。

20

【0095】

なお、例えば、In - Ga - Zn 系酸化物とは、In と Ga と Zn を含む酸化物という意味であり、In と Ga と Zn の比率は問わない。また、In と Ga と Zn 以外の金属元素を含んでいてもよい。In - Ga - Zn 系酸化物は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、移動度も高い。

30

【0096】

例えば、In - Sn - Zn 系酸化物では比較的容易に高い移動度が得られる。しかしながら、In - Ga - Zn 系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【0097】

以下では、酸化物半導体膜の構造について説明する。

【0098】

酸化物半導体膜は、単結晶酸化物半導体膜と非単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、非晶質酸化物半導体膜、微結晶酸化物半導体膜、多結晶酸化物半導体膜、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜などをいう。

40

【0099】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶成分を有さない酸化物半導体膜である。微小領域においても結晶部を有さず、膜全体が完全な非晶質構造の酸化物半導体膜が典型である。

【0100】

微結晶酸化物半導体膜は、例えば、1 nm 以上 10 nm 未満の大きさの微結晶 (ナノ結晶ともいう。) を含む。従って、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも原子配列の規則性が高い。そのため、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よ

50

りも欠陥準位密度が低いという特徴がある。

【0101】

C A A C - O S 膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が100nm未満の立方体内に収まる大きさである。従って、C A A C - O S 膜に含まれる結晶部は、一辺が10nm未満、5nm未満または3nm未満の立方体内に収まる大きさの場合も含まれる。C A A C - O S 膜は、微結晶酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。以下、C A A C - O S 膜について詳細な説明を行う。

【0102】

C A A C - O S 膜を透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって観察すると、結晶部同士の明確な境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、C A A C - O S 膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

10

【0103】

C A A C - O S 膜を、試料面と概略平行な方向からTEMによって観察 (断面TEM観察) すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、C A A C - O S 膜の膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映した形状であり、C A A C - O S 膜の被形成面または上面と平行に配列する。

【0104】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。

20

【0105】

一方、C A A C - O S 膜を、試料面と概略垂直な方向からTEMによって観察 (平面TEM観察) すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0106】

断面TEM観察および平面TEM観察より、C A A C - O S 膜の結晶部は配向性を有していることがわかる。

30

【0107】

C A A C - O S 膜に対し、X線回折 (XRD: X-Ray Diffraction) 装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するC A A C - O S 膜のout-of-plane法による解析では、回折角(2 θ)が 31° 近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、C A A C - O S 膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【0108】

一方、C A A C - O S 膜に対し、c軸に概略垂直な方向からX線を入射させるin-plane法による解析では、2 θ が 56° 近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(110)面に帰属される。InGaZnO₄の単結晶酸化物半導体膜であれば、2 θ を 56° 近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行うと、(110)面と等価な結晶面に帰属されるピークが6本観察される。これに対し、C A A C - O S 膜の場合は、2 θ を 56° 近傍に固定してスキャンした場合でも、明瞭なピークが現れない。

40

【0109】

以上のことから、C A A C - O S 膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面TEM観察で確認された層状に

50

配列した金属原子の各層は、結晶の a b 面に平行な面である。

【 0 1 1 0 】

なお、結晶部は、C A A C - O S 膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶の c 軸は、C A A C - O S 膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、C A A C - O S 膜の形状をエッチングなどによって変化させた場合、結晶の c 軸が C A A C - O S 膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【 0 1 1 1 】

また、C A A C - O S 膜中の結晶化度が均一でなくてもよい。例えば、C A A C - O S 膜の結晶部が、C A A C - O S 膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることがある。また、C A A C - O S 膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

【 0 1 1 2 】

なお、 InGaZnO_4 の結晶を有する C A A C - O S 膜の *out - of - plane* 法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、C A A C - O S 膜中の一部に、c 軸配向性を有さない結晶が含まれることを示している。C A A C - O S 膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

【 0 1 1 3 】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気的特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【 0 1 1 4 】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、C A A C - O S 膜のうち、二種以上を有する積層膜であってもよい。

【 0 1 1 5 】

また、C A A C - O S 膜を成膜するために、以下の条件を適用することが好ましい。

【 0 1 1 6 】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、処理室内に存在する不純物濃度（水素、水、二酸化炭素、及び窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点 が -80 以下、好ましくは -100 以下である成膜ガスを用いる。

【 0 1 1 7 】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を 100 以上 740 以下、好ましくは 200 以上 500 以下として成膜する。成膜時の基板加熱温度を高めることで、平板状又はペレット状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

【 0 1 1 8 】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、 30 体積%以上、好ましくは 100 体積%とする。

【 0 1 1 9 】

ターゲットの一例として、 In - Ga - Zn 系酸化物ターゲットについて以下に示す。

【 0 1 2 0 】

InO_x 粉末、 GaO_y 粉末及び ZnO_z 粉末を所定の mol 数比で混合し、加圧処理後、 1000 以上 1500 以下の温度で加熱処理をすることで多結晶である In - Ga - Zn 系酸化物ターゲットとする。なお、 x 、 y 及び z は任意の正数である。ここで、所定の mol 数比は、例えば、 InO_x 粉末、 GaO_y 粉末及び ZnO_z 粉末が、 $2 : 2 : 1$ 、 $8 : 4 : 3$ 、 $3 : 1 : 1$ 、 $1 : 1 : 1$ 、 $4 : 2 : 3$ または $3 : 1 : 2$ である。なお

10

20

30

40

50

、粉末の種類、及びその混合するmol数比は、作製するターゲットによって適宜変更すればよい。

【0121】

なお、アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうちNaは、酸化物半導体膜に接する絶縁膜が酸化物である場合、当該絶縁膜中に拡散して Na^+ となる。また、Naは、酸化物半導体膜内において、酸化物半導体を構成する金属と酸素の結合を分断する、或いは、その結合中に割り込む。その結果、例えば、閾値電圧がマイナス方向にシフトすることによるノーマリオン化、移動度の低下等の、トランジスタの電気的特性の劣化が起こり、加えて、特性のばらつきも生じる。具体的に、二次イオン質量分析法によるNa濃度の測定値は、 $5 \times 10^{16} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{16} / \text{cm}^3$ 以下、更に好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。同様に、Li濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。同様に、K濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。

10

【0122】

また、インジウムを含む金属酸化物が用いられている場合に、酸素との結合エネルギーがインジウムよりも大きいシリコンや炭素が、インジウムと酸素の結合を切断し、酸素欠損を形成することがある。そのため、シリコンや炭素が酸化物半導体膜に混入していると、アルカリ金属やアルカリ土類金属の場合と同様に、トランジスタの電気的特性の劣化が起こりやすい。よって、酸化物半導体膜中におけるシリコンや炭素の濃度は低いことが望ましい。具体的に、二次イオン質量分析法によるC濃度の測定値、またはSi濃度の測定値は、 $1 \times 10^{18} / \text{cm}^3$ 以下とするとよい。上記構成により、トランジスタの電気的特性の劣化を防ぐことができ、半導体装置の信頼性を高めることができる。

20

【0123】

また、ソース電極及びドレイン電極に用いられる導電性材料によっては、ソース電極及びドレイン電極中の金属が、酸化物半導体膜から酸素を引き抜くことがある。この場合、酸化物半導体膜のうち、ソース電極及びドレイン電極に接する領域が、酸素欠損の形成によりn型化される。

【0124】

n型化された領域は、ソース領域またはドレイン領域として機能するため、酸化物半導体膜とソース電極及びドレイン電極との間におけるコンタクト抵抗を下げることができる。よって、n型化された領域が形成されることで、トランジスタの移動度及びオン電流を高めることができ、それにより、トランジスタを用いたスイッチ回路の高速動作を実現することができる。

30

【0125】

なお、ソース電極及びドレイン電極中の金属による酸素の引き抜きは、ソース電極及びドレイン電極をスパッタリング法などにより形成する際に起こりうるし、ソース電極及びドレイン電極を形成した後に行われる加熱処理によっても起こりうる。

【0126】

また、n型化される領域は、酸素と結合し易い導電性材料をソース電極及びドレイン電極に用いることで、より形成されやすくなる。上記導電性材料としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wなどが挙げられる。

40

【0127】

また、酸化物半導体膜は、単数の金属酸化物膜で構成されているとは限らず、積層された複数の金属酸化物膜で構成されていても良い。例えば、第1乃至第3の金属酸化物膜が順に積層されている半導体膜の場合、第1の金属酸化物膜及び第3の金属酸化物膜は、第2の金属酸化物膜を構成する金属元素の少なくとも1つを、その構成要素に含み、伝導帯下端のエネルギーが第2の金属酸化物膜よりも0.05 eV以上、0.07 eV以上、0.1 eV以上または0.15 eV以上、かつ2 eV以下、1 eV以下、0.5 eV以下ま

50

たは 0.4 eV 以下、真空準位に近い酸化物膜である。さらに、第2の金属酸化物膜は、少なくともインジウムを含むと、キャリア移動度が高くなるため好ましい。

【0128】

上記構成の半導体膜をトランジスタが有する場合、ゲート電極に電圧を印加することで、半導体膜に電界が加わると、半導体膜のうち、伝導帯下端のエネルギーが小さい第2の金属酸化物膜にチャネル領域が形成される。即ち、第2の金属酸化物膜とゲート絶縁膜との間に第3の金属酸化物膜が設けられていることによって、ゲート絶縁膜と離隔している第2の金属酸化物膜に、チャネル領域を形成することができる。

【0129】

また、第3の金属酸化物膜は、第2の金属酸化物膜を構成する金属元素の少なくとも1つをその構成要素に含むため、第2の金属酸化物膜と第3の金属酸化物膜の界面では、界面散乱が起こりにくい。従って、当該界面においてキャリアの動きが阻害されにくいため、トランジスタの電界効果移動度が高くなる。

【0130】

また、第2の金属酸化物膜と第1の金属酸化物膜の界面に界面準位が形成されると、界面近傍の領域にもチャネル領域が形成されるために、トランジスタの閾値電圧が変動してしまう。しかし、第1の金属酸化物膜は、第2の金属酸化物膜を構成する金属元素の少なくとも1つをその構成要素に含むため、第2の金属酸化物膜と第1の金属酸化物膜の界面には、界面準位が形成されにくい。よって、上記構成により、トランジスタの閾値電圧等の電気的特性のばらつきを、低減することができる。

【0131】

また、金属酸化物膜間に不純物が存在することによって、各膜の界面にキャリアの流れを阻害する界面準位が形成されることがないように、複数の酸化物半導体膜を積層させることが望ましい。積層された金属酸化物膜の膜間に不純物が存在していると、金属酸化物膜間における伝導帯下端のエネルギーの連続性が失われ、界面近傍において、キャリアがトラップされるか、あるいは再結合により消滅してしまうからである。膜間における不純物を低減させることで、主成分である一の金属を少なくとも共に有する複数の金属酸化物膜を、単に積層させるよりも、連続接合（ここでは特に伝導帯下端のエネルギーが各膜の間で連続的に変化するU字型の井戸構造を有している状態）が形成されやすくなる。

【0132】

連続接合を形成するためには、ロードロック室を備えたマルチチャンバー方式の成膜装置（スパッタリング装置）を用いて各膜を大気に触れさせることなく連続して積層することが必要となる。スパッタリング装置における各チャンバーは、酸化物半導体にとって不純物となる水等を可能な限り除去すべくクライオポンプのような吸着式の真空排気ポンプを用いて高真空排気（ $5 \times 10^{-7} \text{ Pa}$ 乃至 $1 \times 10^{-4} \text{ Pa}$ 程度まで）することが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせることで排気系からチャンバー内に気体が逆流しないようにしておくことが好ましい。

【0133】

高純度の真性な酸化物半導体を得るためには、各チャンバー内を高真空排気するのみならず、スパッタリングに用いるガスの高純度化も重要である。上記ガスとして用いる酸素ガスやアルゴンガスの露点を、 -40 以下、好ましくは -80 以下、より好ましくは -100 以下とし、使用するガスの高純度化を図ることで、酸化物半導体膜に水分等が取り込まれることを可能な限り防ぐことができる。具体的に、第2の金属酸化物膜が In-M-Zn 酸化物（Mは、Ga、Y、Zr、La、Ce、またはNd）の場合、第2の金属酸化物膜を成膜するために用いるターゲットにおいて、金属元素の原子数比を $\text{In} : \text{M} : \text{Zn} = x_1 : y_1 : z_1$ とすると、 x_1 / y_1 は、 $1/3$ 以上6以下、さらには1以上6以下であって、 z_1 / y_1 は、 $1/3$ 以上6以下、さらには1以上6以下であることが好ましい。なお、 z_1 / y_1 を1以上6以下とすることで、第2の金属酸化物膜として CAAC-OS 膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、 $\text{In} : \text{M} : \text{Zn} = 1 : 1 : 1$ 、 $\text{In} : \text{M} : \text{Zn} = 3 : 1 : 2$ 等がある。

【0134】

具体的に、第1の金属酸化物膜、第3の金属酸化物膜がIn-M-Zn酸化物(Mは、Ga、Y、Zr、La、Ce、またはNd)の場合、第1の金属酸化物膜、第3の金属酸化物膜を成膜するために用いるターゲットにおいて、金属元素の原子数比をIn:M:Zn = $x_2 : y_2 : z_2$ とすると、 $x_2 / y_2 < x_1 / y_1$ であって、 z_2 / y_2 は、1/3以上6以下、さらには1以上6以下であることが好ましい。なお、 z_2 / y_2 を1以上6以下とすることで、第1の金属酸化物膜、第3の金属酸化物膜としてCAAC-OS膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、In:M:Zn = 1:3:2、In:M:Zn = 1:3:4、In:M:Zn = 1:3:6、In:M:Zn = 1:3:8等がある。

10

【0135】

なお、第1の金属酸化物膜及び第3の金属酸化物膜の厚さは、3nm以上100nm以下、好ましくは3nm以上50nm以下とする。また、第2の金属酸化物膜の厚さは、3nm以上200nm以下、好ましくは3nm以上100nm以下であり、さらに好ましくは3nm以上50nm以下である。

【0136】

3層構造の半導体膜において、第1の金属酸化物膜乃至第3の金属酸化物膜は、非晶質または結晶質の両方の形態を取りうる。ただし、チャネル領域が形成される第2の金属酸化物膜が結晶質であることにより、トランジスタに安定した電気的特性を付与することができるため、第2の金属酸化物膜は結晶質であることが好ましい。

20

【0137】

なお、チャネル形成領域とは、トランジスタの半導体膜のうち、ゲート電極と重なり、かつソース電極とドレイン電極に挟まれる領域を意味する。また、チャネル領域とは、チャネル形成領域において、電流が主として流れる領域をいう。

【0138】

例えば、第1の金属酸化物膜及び第3の金属酸化物膜として、スパッタリング法により形成したIn-Ga-Zn系酸化物膜を用いる場合、第1の金属酸化物膜及び第3の金属酸化物膜の成膜には、In-Ga-Zn系酸化物(In:Ga:Zn = 1:3:2[原子数比])であるターゲットを用いることができる。成膜条件は、例えば、成膜ガスとしてアルゴンガスを30sccm、酸素ガスを15sccm用い、圧力0.4Paとし、基板温度を200とし、DC電力0.5kWとすればよい。

30

【0139】

また、第2の金属酸化物膜をCAAC-OS膜とする場合、第2の金属酸化物膜の成膜には、In-Ga-Zn系酸化物(In:Ga:Zn = 1:1:1[原子数比])であり、多結晶のIn-Ga-Zn系酸化物を含むターゲットを用いることが好ましい。成膜条件は、例えば、成膜ガスとしてアルゴンガスを30sccm、酸素ガスを15sccm用い、圧力を0.4Paとし、基板の温度300とし、DC電力0.5kWとすることができる。

【0140】

なお、トランジスタは、半導体膜の端部が傾斜している構造を有していても良いし、半導体膜の端部が丸みを帯びる構造を有していても良い。

40

【0141】

また、複数の積層された金属酸化物膜を有する半導体膜をトランジスタに用いる場合においても、ソース電極及びドレイン電極に接する領域が、n型化されていても良い。上記構成により、トランジスタの移動度及びオン電流を高め、トランジスタを用いた半導体装置の高速動作を実現することができる。さらに、複数の積層された金属酸化物膜を有する半導体膜をトランジスタに用いる場合、n型化される領域は、チャネル領域となる第2の金属酸化物膜にまで達していることが、トランジスタの移動度及びオン電流を高め、半導体装置のさらなる高速動作を実現する上で、より好ましい。

【0142】

50

電子機器の例

本発明の一態様に係るＰＬＤまたは半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはＤＶＤ：Ｄｉｇｉｔａｌ　Ｖｅｒｓａｔｉｌｅ　Ｄｉｓｃ等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係るＰＬＤまたは半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（ＡＴＭ）、自動販売機などが挙げられる。これら電子機器の具体例を図１１に示す。

10

【０１４３】

図１１（Ａ）は携帯型ゲーム機であり、筐体５００１、筐体５００２、表示部５００３、表示部５００４、マイクロホン５００５、スピーカー５００６、操作キー５００７、スタイラス５００８等を有する。なお、図１１（Ａ）に示した携帯型ゲーム機は、２つの表示部５００３と表示部５００４とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【０１４４】

図１１（Ｂ）は携帯情報端末であり、第１筐体５６０１、第２筐体５６０２、第１表示部５６０３、第２表示部５６０４、接続部５６０５、操作キー５６０６等を有する。第１表示部５６０３は第１筐体５６０１に設けられており、第２表示部５６０４は第２筐体５６０２に設けられている。そして、第１筐体５６０１と第２筐体５６０２とは、接続部５６０５により接続されており、第１筐体５６０１と第２筐体５６０２の間の角度は、接続部５６０５により変更が可能である。第１表示部５６０３における映像を、接続部５６０５における第１筐体５６０１と第２筐体５６０２との間の角度に従って、切り替える構成としても良い。また、第１表示部５６０３及び第２表示部５６０４の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

20

30

【０１４５】

図１１（Ｃ）はノート型パーソナルコンピュータであり、筐体５４０１、表示部５４０２、キーボード５４０３、ポインティングデバイス５４０４等を有する。

【０１４６】

図１１（Ｄ）は電気冷凍冷蔵庫であり、筐体５３０１、冷蔵室用扉５３０２、冷凍室用扉５３０３等を有する。

【０１４７】

図１１（Ｅ）はビデオカメラであり、第１筐体５８０１、第２筐体５８０２、表示部５８０３、操作キー５８０４、レンズ５８０５、接続部５８０６等を有する。操作キー５８０４及びレンズ５８０５は第１筐体５８０１に設けられており、表示部５８０３は第２筐体５８０２に設けられている。そして、第１筐体５８０１と第２筐体５８０２とは、接続部５８０６により接続されており、第１筐体５８０１と第２筐体５８０２の間の角度は、接続部５８０６により変更が可能である。表示部５８０３における映像を、接続部５８０６における第１筐体５８０１と第２筐体５８０２との間の角度に従って切り替える構成としても良い。

40

【０１４８】

図１１（Ｆ）は普通自動車であり、車体５１０１、車輪５１０２、ダッシュボード５１０３、ライト５１０４等を有する。

【符号の説明】

【０１４９】

50

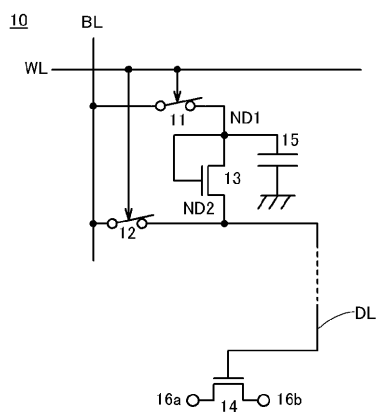
1 0	半 導 体 装 置	
1 0 - 1	半 導 体 装 置	
1 0 - 2	半 導 体 装 置	
1 0 a	P L D	
1 0 b	半 導 体 装 置	
1 1	ス イ ッ チ	
1 1 t	ト ラ ン ジ ス タ	
1 2	ス イ ッ チ	
1 2 t	ト ラ ン ジ ス タ	
1 3	ト ラ ン ジ ス タ	10
1 4	ト ラ ン ジ ス タ	
1 5	容 量 素 子	
1 6 a	端 子	
1 6 b	端 子	
1 7 - 1	ト ラ ン ジ ス タ	
1 7 - 2	ト ラ ン ジ ス タ	
1 8 a	論 理 ブ ロ ッ ク	
1 8 b	論 理 ブ ロ ッ ク	
2 0	ス イ ッ チ	
2 1	配 線	20
2 2	ラ ッ チ	
2 3	イ ン バ ー タ	
2 4	ト ラ ン ジ ス タ	
2 5	配 線	
3 0	イ ン バ ー タ	
3 1	イ ン バ ー タ	
4 0	論 理 ブ ロ ッ ク	
4 1	L U T	
4 2	フ リ ッ プ フ ロ ッ プ	
4 3	記 憶 装 置	30
4 3 a	記 憶 装 置	
4 3 b	記 憶 装 置	
4 4	入 力 端 子	
4 5	出 力 端 子	
4 6	出 力 端 子	
4 7	A N D 回 路	
4 8	マ ル チ プ レ ク サ	
5 0	P L D	
5 1	配 線 群	
5 2	ス イ ッ チ 回 路	40
5 3	配 線 リ ソ ー ス	
5 4	端 子	
5 5	配 線	
5 6	配 線	
5 7	ト ラ ン ジ ス タ	
5 8	ト ラ ン ジ ス タ	
5 9	ト ラ ン ジ ス タ	
6 0	ト ラ ン ジ ス タ	
6 1	ト ラ ン ジ ス タ	
6 2	ト ラ ン ジ ス タ	50

7 0	I / Oエレメント	
7 1	P L L	
7 2	R A M	
7 3	乗算器	
4 0 0	半導体基板	
4 0 1	素子分離領域	
4 0 2	pウェル	
4 0 4	不純物領域	
4 0 5	不純物領域	
4 0 6	ゲート電極	10
4 0 7	ゲート絶縁膜	
4 1 1	絶縁膜	
4 1 2	導電膜	
4 1 3	導電膜	
4 1 8	導電膜	
4 1 9	導電膜	
4 2 0	絶縁膜	
4 2 1	導電膜	
4 3 0	半導体膜	
4 3 1	ゲート絶縁膜	20
4 3 2	導電膜	
4 3 3	導電膜	
4 3 4	導電膜	
4 4 1	絶縁膜	
4 4 2	絶縁膜	
4 4 3	導電膜	
5 0 0 1	筐体	
5 0 0 2	筐体	
5 0 0 3	表示部	
5 0 0 4	表示部	30
5 0 0 5	マイクロホン	
5 0 0 6	スピーカー	
5 0 0 7	操作キー	
5 0 0 8	スタイラス	
5 1 0 1	車体	
5 1 0 2	車輪	
5 1 0 3	ダッシュボード	
5 1 0 4	ライト	
5 3 0 1	筐体	
5 3 0 2	冷蔵室用扉	40
5 3 0 3	冷凍室用扉	
5 4 0 1	筐体	
5 4 0 2	表示部	
5 4 0 3	キーボード	
5 4 0 4	ポインティングデバイス	
5 6 0 1	筐体	
5 6 0 2	筐体	
5 6 0 3	表示部	
5 6 0 4	表示部	
5 6 0 5	接続部	50

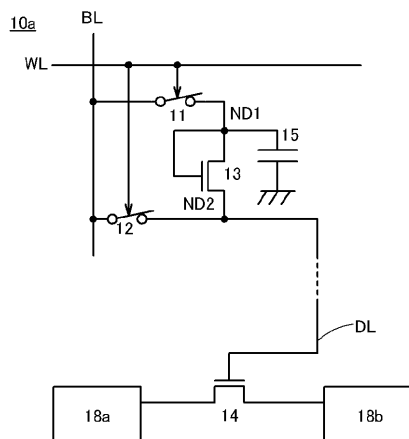
5 6 0 6	操作キー
5 8 0 1	筐体
5 8 0 2	筐体
5 8 0 3	表示部
5 8 0 4	操作キー
5 8 0 5	レンズ
5 8 0 6	接続部

【図 1】

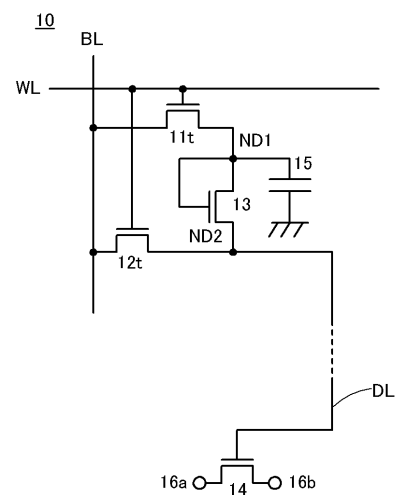
(A)



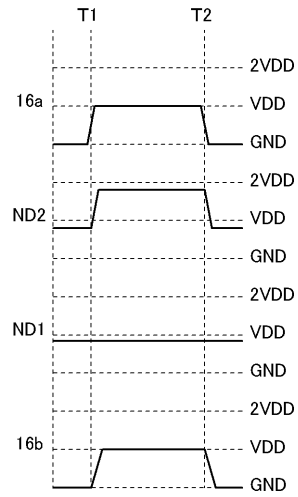
(B)



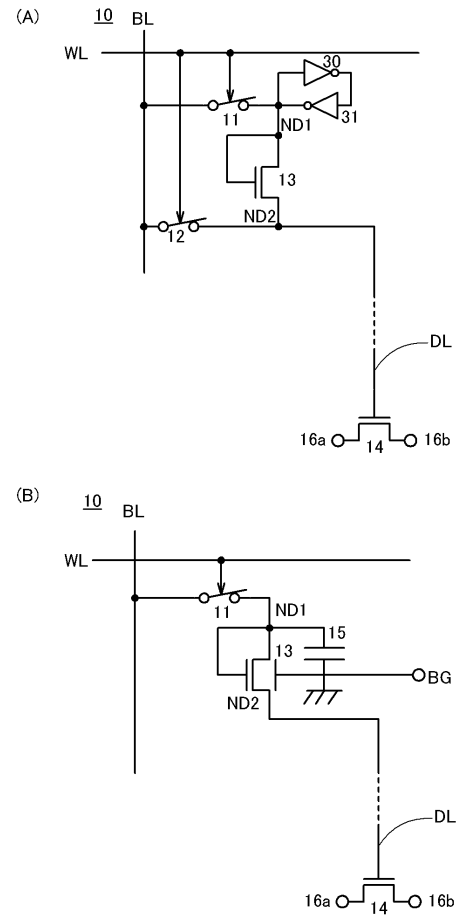
【図 2】



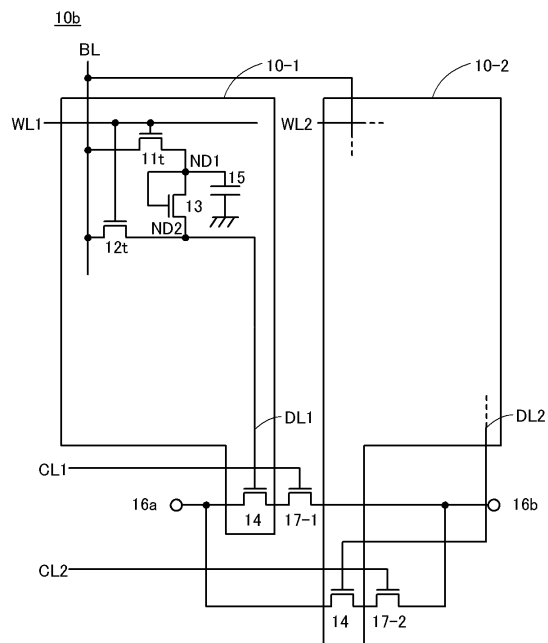
【図 3】



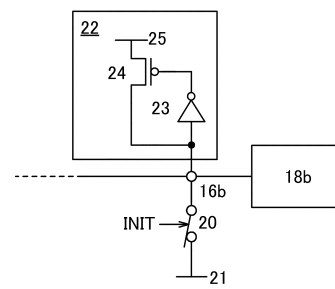
【図 4】



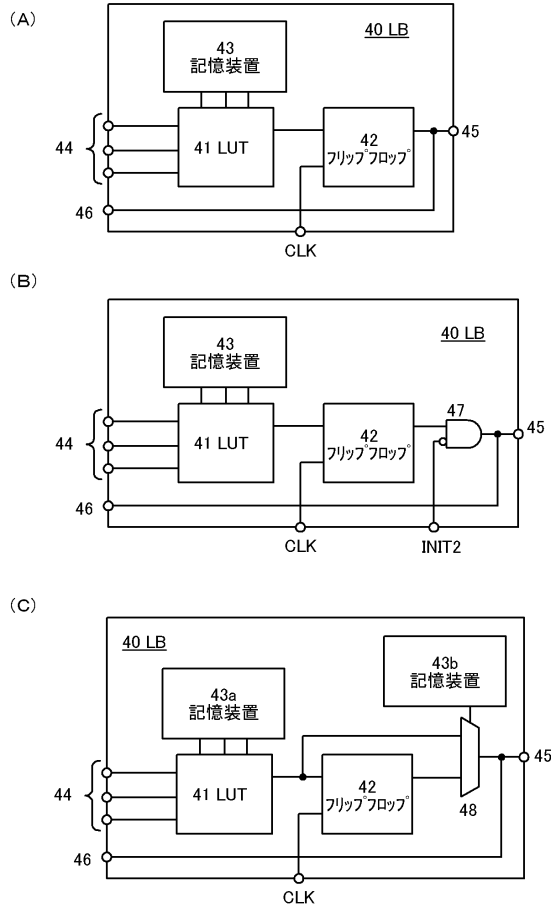
【図 5】



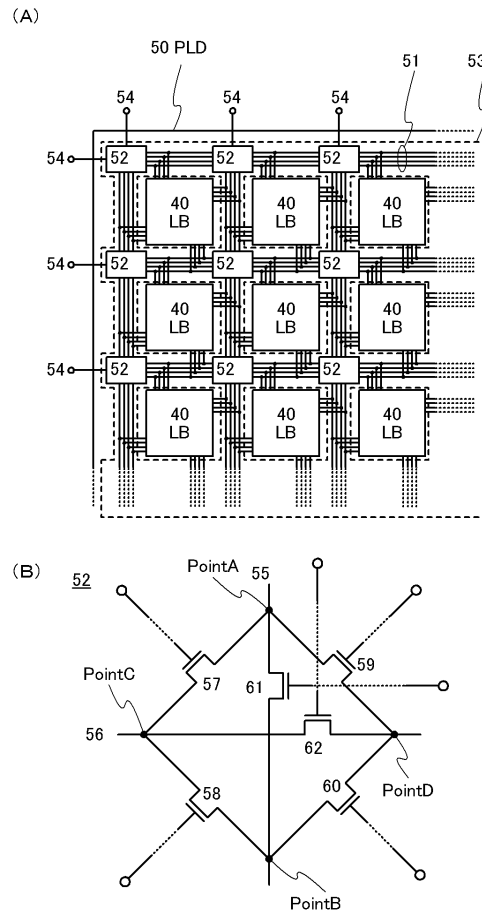
【図 6】



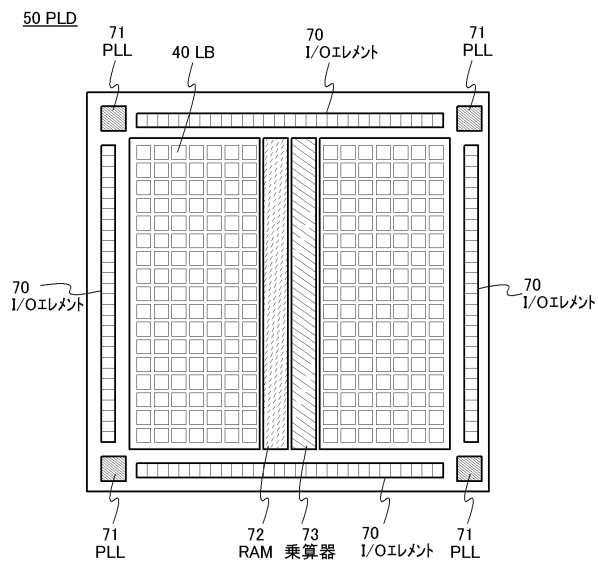
【図 7】



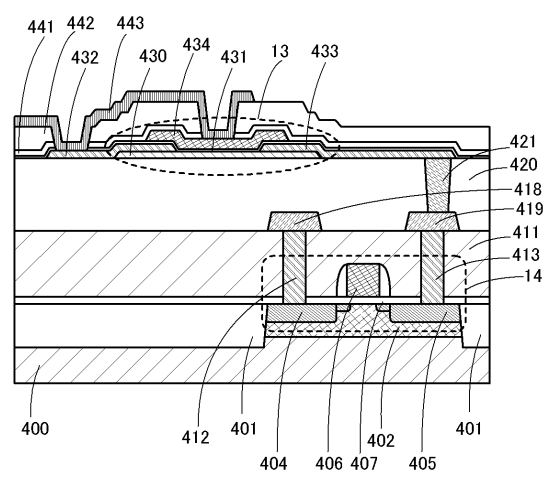
【図 8】



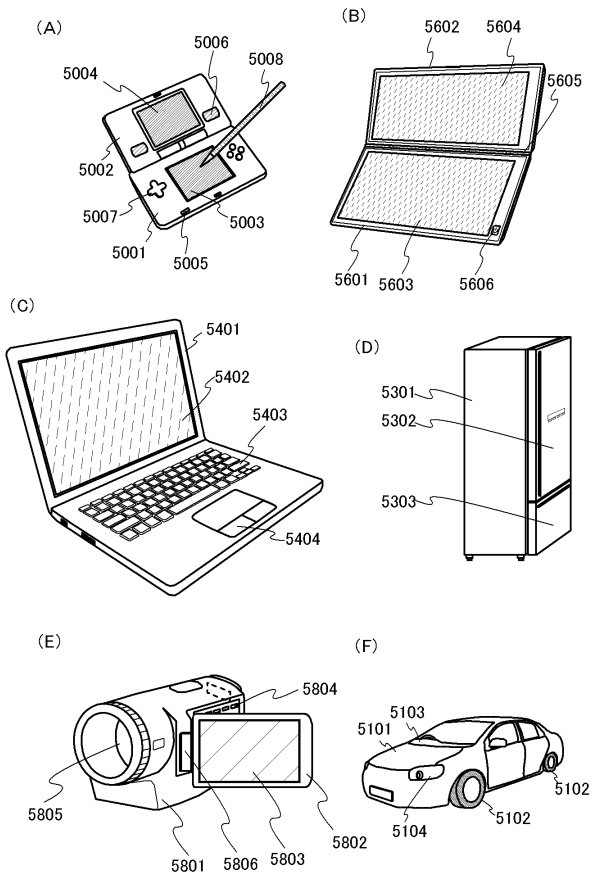
【図 9】



【図 10】



【図 11】



フロントページの続き

(56)参考文献 特開2003-202833(JP,A)
特開2012-257216(JP,A)
特開2005-050514(JP,A)
特開昭58-212226(JP,A)
特開2006-323376(JP,A)
特開2013-062014(JP,A)

(58)調査した分野(Int.Cl., DB名)
H03K 19/173