



(21)申請案號：100103540

(22)申請日：中華民國 100 (2011) 年 01 月 31 日

(51)Int. Cl. : G11C7/12 (2006.01)

H01L21/8239(2006.01)

H01L27/105 (2006.01)

(30)優先權：2010/02/05 日本

2010-024867

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：齋藤利彥 SAITO, TOSHIHIKO (JP)

(74)代理人：林志剛

(56)參考文獻：

JP	2002-368226A	US	3838404
US	4375600	US	4401897
US	5297104	US	6674112B1
US	7402506B2	US	7411209B2
US	7612605B2	US	2005/0281071A1
US	2006/0238135A1	US	2007/0072439A1
US	2008/0308804A1	US	2009/0002590A1
US	2009/0068773A1		

審查人員：蕭明椿

申請專利範圍項數：27 項 圖式數：20 共 84 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

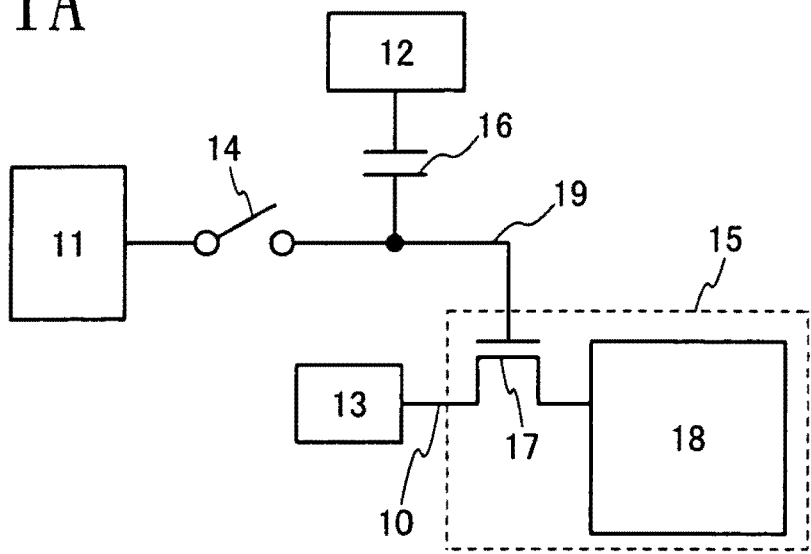
(57)摘要

本發明的目的在於設置半導體裝置，其甚至以包括空乏模式電晶體之記憶體元件仍能夠準確資料保留。將用以控制輸入信號到信號保持部之電晶體的閘極端子事先充以負電。將到供電的連接全然破壞，藉以將負電荷保持在該閘極端子。另外，設置電容器，其具有其中之一電連接到該電晶體的該閘極端子之端子，及如此以該電容器控制該電晶體的切換操作。

An object is to provide a semiconductor device capable of accurate data retention even with a memory element including a depletion mode transistor. A gate terminal of a transistor for controlling input of a signal to a signal holding portion is negatively charged in advance. The connection to a power supply is physically broken, whereby negative charge is held at the gate terminal. Further, a capacitor having terminals one of which is electrically connected to the gate terminal of the transistor is provided, and thus switching operation of the transistor is controlled with the capacitor.

指定代表圖：

圖 1A



- 符號簡單說明：
- 10 . . . 位元線
 - 11 . . . 供電電路
 - 12 . . . 字元線驅動器電路
 - 13 . . . 位元線驅動器電路
 - 14 . . . 開關
 - 15 . . . 記憶體元件
 - 16 . . . 電容器
 - 17 . . . 電晶體
 - 18 . . . 信號保持部
 - 19 . . . 字元線

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

公告本

※申請案號：100103540

※申請日：100 年 01 月 31 日

※IPC 分類：G11C 7/2 (2006.01)

一、發明名稱：(中文／英文)

HOL 21/8239 (2006.01)

半導體裝置

Semiconductor device

27/105 (2006.01)

二、中文發明摘要：

本發明的目的在於設置半導體裝置，其甚至以包括空乏模式電晶體之記憶體元件仍能夠準確資料保留。將用以控制輸入信號到信號保持部之電晶體的閘極端子事先充以負電。將到供電的連接全然破壞，藉以將負電荷保持在該閘極端子。另外，設置電容器，其具有其中之一電連接到該電晶體的該閘極端子之端子，及如此以該電容器控制該電晶體的切換操作。

三、英文發明摘要：

An object is to provide a semiconductor device capable of accurate data retention even with a memory element including a depletion mode transistor. A gate terminal of a transistor for controlling input of a signal to a signal holding portion is negatively charged in advance. The connection to a power supply is physically broken, whereby negative charge is held at the gate terminal. Further, a capacitor having terminals one of which is electrically connected to the gate terminal of the transistor is provided, and thus switching operation of the transistor is controlled with the capacitor.

四、指定代表圖：

(一) 本案指定代表圖為：第(1A)圖。

(二) 本代表圖之元件符號簡單說明：

10：位元線

11：供電電路

12：字元線驅動器電路

13：位元線驅動器電路

14：開關

15：記憶體元件

16：電容器

17：電晶體

18：信號保持部

19：字元線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係相關於使用半導體元件之半導體裝置。本發明尤其係相關於包括具有半導體元件的記憶體裝置之半導體裝置（亦稱作半導體記憶體裝置）。需注意的是，此說明書中的半導體裝置意指可藉由利用半導體特性來操作之一般裝置。

【先前技術】

使用半導體元件之記憶體裝置被大體上分類成兩類：揮發性裝置，其在電力供應停止時喪失所儲存的資料；及非揮發性裝置，其甚至當未供應電力時仍保持所儲存的資料。

揮發性記憶體裝置的典型例子為DRAM（動態隨機存取記憶體）。DRAM以選擇包括在記憶體元件中的電晶體以及將電荷累積在電容器中之方式來儲存資料。

依據上述原則，在DRAM中，因為當讀取資料時喪失電容器中的電荷，所以每次讀取資料時，必須再次執行寫入，使得資料能夠再次被儲存。此外，甚至當未選擇電晶體時，包括在記憶體元件中的電晶體仍具有漏電流並且電荷流入或流出電容器，藉以資料保持週期短。為那裡由，預定間隔的另一次寫入操作（更新操作）是必要的，及難以充分降低電力消耗。而且，因為當停止電力供應時喪失所儲存的資料，所以為了將資料保持較長的週期，必須使

用磁性材料或光學材料的額外記憶體裝置。

揮發性記憶體裝置的另一例子為SRAM（靜態隨機存取記憶體）。SRAM藉由使用諸如正反器等電路來保持所儲存的資料，如此不需要更新操作。此意謂SRAM具有優於DRAM的有利點。然而，因為使用諸如正反器等電路，所以增加每一儲存電容的成本。而且，如在DRAM中，當電力供應停止時喪失SRAM中所儲存的資料。

非揮發性記憶體裝置的典型例子為快閃記憶體。快閃記憶體具有浮動閘極在閘極電極和電晶體中的通道形成區之間，及藉由保持電荷在浮動閘極中來儲存資料。因此，快閃記憶體具有資料保持週期極長（半永久性）及不需要揮發性記憶體裝置所需之更新操作之有利點（如、見專利文件1）。

然而，因為包括在記憶體元件中的閘極絕緣層由於寫入時所產生的隧道電流而劣化，所以記憶體元件在預定寫入操作數目之後停止其功能。為了降低此問題的不利影響，例如，利用使記憶體元件的寫入操作數目相等之方法。然而，實現此方法需要複雜的周邊電路。而且，利用此種方法無法解決使用期的基本問題。也就是說，快閃記憶體不適用於經常重寫資料之應用。

此外，保持電荷在浮動閘極或移開電荷必須高電壓，因此需要電路。而且，其花費相當長的時間來保持或移開電荷，及不容易以較高速度來執行寫入和拭除。

作為可應用到上述薄膜電晶體之半導體薄膜，已普遍

使用矽類半導體材料，但是氧化物半導體作為另一選擇的材料已引起注意。經由製造具有非晶矽之電晶體的相同低溫處理可製造具有氧化物半導體之電晶體，及具有比具有非晶矽之電晶體高的場效遷移率。因此，具有氧化物半導體之電晶體已被預期成為可取代或優於具有非晶矽之電晶體的半導體元件。

[參考]

[專利文件1]日本已出版專利申請案號碼S57-105889

【發明內容】

然而，雖然在具有矽類半導體材料之電晶體的領域中已建立用以控制諸如臨界電壓等電特性之技術，但是在具有氧化物半導體材料之電晶體的領域中尚未建立。尤其是，針對具有矽類半導體材料之電晶體可達成藉由例如摻雜有雜質之臨界電壓控制，但是針對具有氧化物半導體材料之電晶體而言此種控制有困難。

因此，本發明的一實施例之目的在於設置半導體裝置，其具有能夠資料保持在記憶體元件中之記憶體裝置，甚至當記憶體裝置具有包括顯示臨界電壓明顯變化或具有負臨界電壓之電晶體（其為空乏模式電晶體）的記憶體元件時。

在本發明的一實施例之半導體裝置中，將用以控制輸入信號到信號保持部之電晶體的閘極端子事先充以負電，

及將負電荷保持在閘極端子。另外，設置電容器，其具有其中之一電連接到電晶體的閘極端子之端子，及如此以電容器控制電晶體的切換操作。

尤其是，本發明的一實施例為半導體裝置，其包括：充以負電的字元線；位元線；記憶體元件，其包括電晶體和信號保持部，其中電晶體的閘極端子係電連接到字元線，電晶體之源極端子和汲極端子的其中之一係電連接到位元線，及源極和汲極端子的其中另一個係電連接到信號保持部；電容器，其包括其中之一電連接到字元線之端子；字元線驅動器電路，其控制電容器的端子之其中另一個的電位；以及位元線驅動器電路，其控制位元線的電位。

在本發明的一實施例之半導體裝置中，將用以控制輸入信號到信號保持部之電晶體的閘極端子事先充以負電，及將負電荷保持在閘極端子。如此，甚至當電晶體為空乏模式電晶體時仍可保持關閉狀態。本發明的一實施例之半導體裝置亦包括電容器，其具有其中之一電連接到電晶體的閘極端子之端子。因此，可長週期保持電晶體的閘極端子之電位。另外，藉由控制電容器之端子的其中另一個之電位，可控制電晶體的切換操作。因此，甚至以包括空乏模式電晶體之記憶體元件，本發明的一實施例之半導體裝置仍能夠準確資料保持在記憶體元件中。

【實施方式】

下面，將參考附圖詳細說明本發明的實施例。需注意

的是，本發明並不侷限於下面說明，及精於本技藝之人士應容易明白，在不違背本發明的精神和範疇之下可進行各種變化和修改。因此，本發明不應被侷限於下面實施例模式的說明和實施例。

（實施例1）

此實施例參考圖1A至1C給予具有記憶體裝置的半導體裝置之例子。

圖1A圖解此實施例的半導體裝置之結構。圖1A所示之半導體裝置包括：字元線19；位元線10；供電電路11；字元線驅動器電路12；位元線驅動器電路13，用以控制位元線10的電位；開關14，具有其中之一電連接到供電電路11，而其中另一個電連接到字元線19之端子；記憶體元件15，電連接到字元線19和位元線10；以及電容器16，具有其中之一電連接到字元線19，而其中另一個電連接到字元線驅動器電路12之端子。需注意的是，字元線驅動器電路12藉由控制電容器16之端子的其中之一的電位來控制字元線19之電位；即、字元線驅動器電路12藉由使用電容耦合來控制字元線19的電位。另外，記憶體元件15包括電晶體17，其具有電連接到字元線19之閘極端子；以及其中之一電連接到位元線10之源極端子和汲極端子。記憶體元件15亦包括信號保持部18，其電連接到電晶體17之源極和汲極端子的其中另一個。需注意的是，電晶體17為n通道電晶體。關於開關14，能夠應用例如電晶體、MEMS開關、或

控制字元線 19 和設置在供電電路 11 中的針狀物之間的電連接之方法。關於開關 14，亦能夠應用藉由雷射切割來切斷供電電路 11 和字元線 19 之間的電連接之方法。

在此實施例的半導體裝置中，輸出自位元線驅動器電路 13 之信號可保持在記憶體元件 15。換言之，在記憶體元件 15 中，電晶體 17 充作開關，其控制從位元線驅動器電路 13 輸出到信號保持部 18 之信號，及信號保持部 18 具有保持所輸入的信號之功能。

此實施例的半導體裝置之操作週期包括將字元線 19、電容器 16 之端子的其中之一、和電晶體 17 的閘極端子充以負電之週期（充電週期）。另外，此實施例的半導體之操作週期包括在充電週期之後將信號輸入到信號保持部 18 之週期（寫入週期）。

圖 1B 圖解充電週期中之此實施例的半導體裝置。在充電週期中，開關 14 被開通，供電電路 11 輸出負電位之電源電位，及字元線驅動器電路 12 輸出高於輸出自供電電路 11 之電位的電位。結果，將電容器 16 之端子的其中之一充以負電，及端子的其中另一個充以正電。另外，將電連接到電容器 16 之端子的其中之一之字元線 19 以及電晶體 17 的閘極端子充以負電。需注意的是，電晶體 17 在此時是關閉的。

圖 1C 圖解寫入週期中之此實施例的半導體裝置。在寫入週期中，開關 14 是關閉的，及字元線驅動器電路 12 輸出比充電週期的電位高之電位。結果，字元線 19、電容器 16

之端子的其中之一、和電晶體 17 的閘極端子連接之節點在浮動狀態中，使得能夠藉由電容耦合來增加節點的電位。此時，電晶體 17 是開通的。

在此實施例的半導體裝置中，電晶體 17 的閘極端子電連接到電容器 16 之端子的其中之一，藉以能夠將閘極端子的電位保持一段長週期。例如，可將負電荷保持在閘極端子一段延長的週期。另外，藉由控制電容器 16 之端子的其中另一個之電位，可控制電晶體 17 的切換操作。此實施例的半導體裝置如此甚至當電晶體 17 為空乏模式電晶體時，仍能夠容易控制電晶體 17 的切換操作。結果，信號可被準確地輸入和保持在記憶體元件 15。

此實施例的所有或部分可與另一實施例的所有或部分適當組合。

（實施例 2）

參考圖 2，此實施例給予具有記憶體裝置之半導體裝置的例子。

圖 2 圖解此實施例的半導體裝置之結構。圖 2 所示之半導體裝置為藉由以電晶體 21 取代開關 14 並且添加供電電路 22 的此種方式來修改圖 1A 所示的半導體裝置而獲得之半導體裝置。尤其是，在電晶體 21 中，源極端子和汲極端子的其中之一電連接到供電電路 11，及源極和汲極端子的其中另一個電連接到字元線 19。另外，供電電路 22 電連接到電晶體 21 的閘極端子。需注意的是，電晶體 21 為 n 通道電晶

體。

此實施例之半導體裝置的操作週期包括充電週期和寫入週期，像實施例1所說明之半導體裝置一樣。需注意的是，充電週期和寫入週期時之實施例2的半導體裝置之操作與實施例1的半導體裝置相同。換言之，供電電路22在充電週期輸出高位準電源電位，而在寫入週期輸出低位準電源電位。結果，電晶體21在充電週期時是開通的，而在寫入週期時是關閉的。需注意的是，在實施例1中已說明包括在半導體裝置中之其他組件的操作，及可應用到此實施例。

此實施例的半導體裝置具有與實施例1所說明之半導體裝置相同效果。而且，實施例2的半導體裝置包括作為包括在實施例1所說明的半導體裝置中之開關14的電晶體21。如此，關於實施例2所說明之半導體裝置，電晶體17和電晶體21係可以相同步驟來形成。因此，由於生產步驟的減少，能夠減少生產半導體裝置的成本及提高產量。

此實施例的所有或部分可與另一實施例的所有或部分適當組合。

（實施例3）

參考圖3A及3B、圖4A及4B、和圖5A及5B，此實施例給予具有記憶體裝置之半導體裝置的例子。

圖3A圖解此實施例的半導體裝置之結構。圖3A所示之半導體裝置為藉由以在供電電路11和電晶體21之源極和

汲極端子的其中之一之間添加開關 31 和在電晶體 21 的閘極端子和供電電路 22 之間添加開關 32 的此種方式來修改圖 2 所示的半導體裝置而獲得之半導體裝置。換言之，圖 3A 所示之半導體裝置為除了圖 2 所示之半導體裝置的結構之外還包括開關 31，其具有其中之一電連接到供電電路 11 而其中另一個電連接到電晶體 21 之源極和汲極端子的其中之一之端子；以及包括開關 32，其具有其中之一電連接到供電電路 22 而其中另一個電連接到電晶體 21 的閘極端子之端子。關於開關 31，例如能夠應用 MEMS 開關，或控制設置在供電電路 11 中的針狀物和電晶體 21 之源極和汲極端子的其中之一之間的電連接之方法。關於開關 32，同樣能夠例如應用 MEMS 開關，或控制設置在供電電路 22 中之針狀物和電晶體 21 的閘極端子之間的電連接之方法。關於開關 31，亦能夠應用供電電路 11 中的針狀物和電晶體 21 之源極和汲極端子的其中之一之間的電連接被雷射切割切斷之方法。同樣地關於開關 32，能夠應用供電電路 22 和電晶體 21 的閘極端子之間的電連接被雷射切割切斷之方法。

此實施例的半導體裝置之操作週期包括充電週期和寫入週期，像實施例 1 及 2 所說明之半導體裝置一樣。而且，實施例 3 之半導體裝置的操作週期包括第一至第三電晶體週期在充電週期和寫入週期之間。

圖 3B 圖解充電週期中之此實施例的半導體裝置。在充電週期中，開關 31 及 32 被開通，供電電路 11 輸出負電位之電源電位，字元線驅動器電路 12 輸出高於輸出自供電電路

11的電位之電源電位，及供電電路22輸出高於輸出自供電電路11之電源電位和電晶體21之臨界電壓的總和之電源電位。例如，若輸出自供電電路11之電源電位為 -2V 及電晶體21之臨界電壓為 -1V ，則輸出自供電電路22的電源電位為高於 -3V 之電位。結果電晶體21是開通的。如此，電容器16之端子的其中之一被充以負電，及端子的其中另一個被充以正電。另外，與電容器16之端子的其中之一在同一節點的字元線19和電晶體17之閘極端子被充以負電。需注意的是，此時電晶體17是關閉的。

圖4A圖解第一過渡週期中之此實施例的半導體裝置。在第一過渡週期中，輸出自供電電路22之電源電位降低。尤其是，輸出自供電電路22之電源電位低於輸出自供電電路11之電源電位和電晶體21之臨界電壓的總和。例如，若輸出自供電電路11之電源電位為 -2V 及電晶體21之臨界電壓為 -1V ，則輸出自供電電路22的電源電位為低於 -3V 之電位。結果電晶體21是關閉的。如此，字元線19，電容器16之端子的其中之一，及電晶體17之閘極端子的每一個都在浮動狀態中。

圖4B圖解第二過渡週期中之此實施例的半導體裝置。在第二過渡週期中，開關31是關閉的。在此例中，電晶體21被保持關閉。因此，能夠減少開關31的切換操作對字元線19、電容器16之端子的其中之一、及電晶體17之閘極端子的電位之不利影響。

圖5A圖解第三過渡週期中之此實施例的半導體裝置。

在第三過渡週期中，開關 32 是關閉的。如此，電晶體 21 之閘極端子、源極端子、和汲極端子的每一個都在浮動狀態中。結果，電晶體 21 可能是開通的。需注意的是，供電電路 11 和電晶體 21 之源極和汲極端子的其中之一之間的電連接被切斷。因此，即使電晶體 21 是開通的，仍能夠減少對字元線 19、電容器 16 之端子的其中之一、及電晶體 17 之閘極端子的電位之不利影響。

圖 5B 圖解寫入週期中之此實施例的半導體裝置。在寫入週期中，字元線驅動器電路 12 輸出比充電週期中高的電源電位。結果，藉由與電容器 16 之端子的其中另一個電容耦合來增加字元線 19、電容器 16 之端子的其中之一、及電晶體 17 之閘極端子的電位。此時電晶體 17 是開通的。

此實施例的半導體裝置具有與實施例 1 及 2 所說明之半導體裝置相同效果。另外，實施例 3 之半導體裝置為以添加開關 31 及 32 的此種方式來修改圖 2 所示的半導體裝置而獲得之半導體裝置。在此實施例之半導體裝置中，藉由如上述控制開關 21 及 32，可減少電容器 16 之端子的其中之一和電晶體 17 的閘極端子之電位變化。因此，在此實施例之半導體裝置中，可比在實施例 1 及 2 之半導體裝置中更準確地將信號輸入和保持在記憶體元件 15。

此實施例的所有或部分可與另一實施例的所有或部分適當組合。

(實施例 4)

此實施例給予與圖6A及6B相關聯之具有記憶體裝置的半導體裝置之例子。尤其是，將參考圖6A及6B說明包括在實施例1至3之半導體裝置中的記憶體元件之例子。

圖6A圖解記憶體元件15的結構之例子。記憶體元件15具有電晶體17和信號保持部18。而且，信號保持部18包括下面組件：電晶體61，其具有電連接到電晶體17之源極和汲極端子的其中另一個之閘極端子，及具有其中之一接地的源極端子和汲極端子；電容器62，具有其中之一電連接到電晶體17之源極和汲極端子的其中另一個而其中另一個接地之端子；以及電晶體63，其具有電連接到控制端子之閘極端子，及具有其中之一電連接到電晶體61之源極和汲極端子的其中之一而其中另一個電連接到輸出端子之源極端子和汲極端子。

在圖6A所示之記憶體元件15中，在寫入週期中，電晶體17是開通的，及信號被輸入到信號保持部18，如實施例1至3所說明一般。尤其是，信號被輸入到電晶體61的閘極端子和電容器62之端子的其中之一。需注意的是，信號為二元信號（具有高於電晶體61的臨界電壓之電位和低於電晶體61的臨界電壓之電位）。也就是說，信號是兩值的哪一個決定電晶體61的狀態（開通或關閉狀態）。

在圖6A所示之從記憶體元件15讀取信號的讀取週期中，高電位信號從控制端子輸入到電晶體63的閘極端子，使得電晶體63被開通。此時，藉由形成具有電晶體61作為電阻器之除法器電路，可識別保持在記憶體元件15中之信號

。尤其是，當電晶體 61 開通時，輸出自除法器電路之信號的電位是低的，或者當電晶體 61 關閉時，此信號的電位是高的。藉由識別所輸出的信號，可識別保持在記憶體元件 15 中之信號。

圖 6B 圖解記憶體元件 15 之結構的例子。記憶體元件 15 具有電晶體 17 和信號保持部 18。而且，信號保持部 18 包括電容器 64，其具有其中之一電連接到電晶體 17 之源極和汲極端子的其中另一個而其中另一個接地之端子。需注意的是，電晶體 17 之源極和汲極端子的其中之一充作記憶體元件 15 的輸入-輸出端子。

在圖 6B 所示之記憶體元件 15 中，在寫入週期中，電晶體 17 是開通的，及信號被輸入到信號保持部 18，如實施例 1 至 3 所說明一般。尤其是，信號被輸入到電容器 64 之端子的其中之一。

在圖 6B 所示之從記憶體元件 15 讀取信號的讀取週期中，如同在寫入週期中一般，電晶體 17 是開通的。此時，保持在電容器 64 中之信號係從電晶體 17 之源極和汲極端子的其中之一輸出。

此實施例的所有或部分可與另一實施例的所有或部分適當組合。

(實施例 5)

參考圖 7、圖 8、及圖 9，此實施例給予具有記憶體裝置之半導體裝置的例子。尤其是，將參考圖 7、圖 8、及圖

9說明具有複數個記憶體元件之半導體裝置的例子。

圖 7圖解此實施例的半導體裝置之結構。圖 7所示之半導體裝置包括下面組件：複數個記憶體元件 15，被排列成矩陣；複數個字元線 71，各個電連接到包括在排列成矩陣之記憶體元件 15之中被排列在某一系列的記憶體元件 15中之電晶體 17的閘極端子；以及複數個位元線 72，各個電連接到包括在排列成矩陣之記憶體元件 15之中被排列在某一行的記憶體元件 15中之電晶體 17的汲極端子和源極端子的其中之一。需注意的是，各字元線 71的電位受供電電路 11、字元線驅動器電路 12、開關 14、及電容器 16控制。另外，信號從位元線驅動器電路 13輸入到各位元線 72。

藉由如實施例 1所說明一般操作，甚至當包括在各記憶體元件 15中之電晶體為空乏模式電晶體時，此實施例之半導體裝置仍能夠容易控制電晶體 17的切換操作。結果，信號可被準確地輸入和保持在記憶體元件 15。下面將說明包括在此實施例的半導體裝置中之複數個記憶體元件 15的特定結構及其在讀取週期中的操作。

圖 8圖解複數個記憶體元件 15之結構的例子。各記憶體元件 15具有電晶體 17和信號保持部 18。而且，信號保持部 18包括電晶體 81，其具有電連接到電晶體 17之源極和汲極端子的其中另一個之閘極端子；及包括電容器 82，其具有其中之一電連接到電晶體 17之源極和汲極端子的其中另一個和電晶體 81的閘極端子之端子。另外，在行方向上鄰接之兩記憶體元件 15中，包括在記憶體元件 15的其中之一

中的電晶體 81 之源極端子和汲極端子的其中之一電連接到包括在記憶體元件 15 的其中另一個中之電晶體 81 的源極端子和汲極端子之其中另一個。需注意的是，在排列同一行的記憶體元件 15 中，包括在位於行的兩端的其中之一之記憶體元件 15 中之電晶體 81 的源極端子和汲極端子之其中之一接地，而包括在位於行的兩端的其中另一個之記憶體元件 15 中的電晶體 81 之源極端子和汲極端子的其中另一個電連接到輸出端子。而且，包括在各記憶體元件 15 中之電容器 82 的端子之其中另一個電連接到控制端子。

在圖 8 所示之複數個記憶體元件 15 的每一個中，在寫入週期中，電晶體 17 是開通的，及信號被輸入到信號保持部 18，如實施例 1 所說明一般。尤其是，信號被輸入到電晶體 81 的閘極端子和電容器 82 之端子的其中之一。需注意的是，信號為二元信號（具有高於電晶體 81 的臨界電壓之電位和低於電晶體 81 的臨界電壓之電位）。也就是說，信號是兩值的哪一個決定電晶體 81 的狀態（開通或關閉狀態）。

下面將說明從圖 8 所示的複數個記憶體元件 15 之中的一選定記憶體元件 15 讀取信號之讀取週期中的操作。

首先，包括在一選定記憶體元件 15 中的電晶體 81 之源極和汲極端子的其中之一被供應有接地電位，而源極和汲極端子的其中另一個電連接到輸出端子。以在排列在行方向上的複數個記憶體元件 15 之中除了選定者之外其他在記憶體元件 15 中的電晶體 81 是開通的此種方式來執行。尤其

是，高電位從控制端子輸入到包括在各記憶體元件15中之電容器82的端子之其中另一個。結果，以電容耦合增加電容器82之端子的其中之一和電晶體81之閘極端子的電位。此處，這些電位被設定成高於電晶體81的臨界電壓，藉以電晶體81可被開通。此時，藉由形成具有電晶體81作為包括在一選定記憶體元件15中的電阻器之除法器電路，可識別保持在記憶體元件15中的信號。尤其是，當包括在一選定記憶體元件15中之電晶體81開通時，輸出自除法器電路之信號的電位低，當包括在一選定記憶體元件15中之電晶體81關閉時，此信號的電位高。藉由識別所輸出的信號，可識別保持在一選定記憶體元件15中之信號。

圖9圖解複數個記憶體元件15的結構之例子。各記憶體元件15具有電晶體17和信號保持部18。而且信號保持部18包括電晶體91，其具有電連接到電晶體17之源極和汲極端子的其中另一個之閘極端子，及包括電容器92其具有其中之一電連接到電晶體17之源極和汲極端子的其中另一個而其中另一個電連接到讀取字元線93之端子。需注意的是，各讀取字元線93電連接到包括在排列於某一系列中的所有記憶體元件15中之電容器92的每一個之端子的其中另一個。此外，包括在排列於某一行中的所有記憶體元件15中之電容器91的源極端子和汲極端子之其中之一接地，而源極和汲極端子的其中另一個電連接到預定輸出端子。

在圖9所示之各記憶體元件15中，在寫入週期中，電晶體17是開通，及信號被輸入到信號保持部18，如實施例

1 所說明一般。尤其是，信號被輸入到電晶體 91 的閘極端子和電容器 92 之端子的其中之一。需注意的是，信號為二元信號（具有高於電晶體 91 的臨界電壓之電位和低於電晶體 91 的臨界電壓之電位）。也就是說，信號是兩值的哪一個決定電晶體 91 的狀態（開通或關閉狀態）。

下面將說明從圖 9 所示的複數個記憶體元件 15 中的一選定記憶體元件 15 讀取信號之讀取週期中的操作。

首先，經由除了一選定的記憶體元件 15 之外的複數個記憶體元件 15，將輸出端子避開接地。以在排列在行方向上的複數個記憶體元件 15 之中除了選定者之外其他在記憶體元件 15 中的電晶體 81 是關閉的此種方式來執行。尤其是，低電位從讀取字元線 93 輸入到包括在複數個記憶體元件 15 中之電容器 92 的每一個之端子的其中另一個。結果，以電容耦合降低電容器 92 之端子的其中之一和電晶體 91 之閘極端子的電位。此處，這些電位被設定成低於電晶體 91 的臨界電壓，藉以包括在與選定的記憶體元件 15 相同行之所有記憶體元件 15 中的電晶體 91 可被關閉。此時，藉由形成具有電晶體 91 作為包括在一選定記憶體元件 15 中的電阻器之除法器電路，可識別保持在記憶體元件 15 中的信號。尤其是，當電晶體 91 開通時，輸出自除法器電路之信號的電位低，或者當電晶體 91 關閉時是高的。藉由識別所輸出的信號，可識別保持在一選定記憶體元件 15 中之信號。

此實施例的所有或部分可與另一實施例的所有或部分適當組合。

(實施例 6)

在此實施例中，說明包括在實施例 1 至 5 所說明之半導體裝置中的電晶體之例子。尤其是，說明具有使用包括半導體材料之基板所形成的電晶體和使用氧化物半導體所形成之電晶體的半導體裝置。

< 結構例子 >

圖 10 爲此實施例的半導體裝置之橫剖面圖。

圖 10 所示之電晶體 160 包括：通道形成區 116，其設置在包括半導體材料的基板 100 之上；一對雜質區 114a 及 114b 和一對高濃度雜質區 120a 及 120b（這些區域亦統一被稱作雜質區），其被設置，使得通道形成區 116 插入在其間；閘極絕緣層 108a，係設置在通道形成區 116 之上；閘極電極層 110a，係設置在閘極絕緣層 108a 之上；源極電極層 130a，其電連接到雜質區 114a；以及汲極電極層 130b，其電連接到雜質區 114b。

需注意的是，側壁絕緣層 118 係設置在閘極電極層 110a 的側表面上。包括半導體材料之基板 100 被設置有一對高濃度雜質區 120a 及 120b 在未與側壁絕緣層 118 重疊的區域中。基板 100 亦被設置有一對金屬化合物區 124a 及 124b 在一對高濃度雜質區 120a 及 120b 之上。另外，元件隔離絕緣層 106 係設置在基板 100 之上，使得電晶體 160 可插入在其間，及中間層絕緣層 126 和中間層絕緣層 128 被設置

以便覆蓋電晶體 160。經由形成在中間層絕緣層 126 和中間層絕緣層 128 中之開口，源極電極層 130a 和汲極電極層 130b 分別電連接到金屬化合物區 124a 和金屬化合物區 124b。換言之，源極電極層 130a 經由金屬化合物區 124a 電連接到高濃度雜質區 124a，而汲極電極層 130b 經由金屬化合物區 124b 電連接到高濃度雜質區 124b。

此外，作為稍後將說明之電晶體 164 下方的層，具有包括與閘極絕緣層 108a 相同材料之絕緣層 108b，包括與閘極電極層 110a 相同材料之電極層 110b，及包括與源極電極層 130a 和汲極電極層 130b 相同材料之電極層 130c。

圖 10 所示之電晶體 164 包括：閘極電極層 136d，係設置在中間層絕緣層 128 之上；閘極絕緣層 138b，係設置在閘極電極層 136d 之上；氧化物半導體層 140，係設置在閘極絕緣層 138 之上；以及源極電極層 142a 和汲極電極層 142b，其係設置在氧化物半導體層 140 之上並且電連接到氧化物半導體層 140。

此處，閘極電極層 136d 被設置，以便嵌入形成在中間層絕緣層 128 之上的絕緣層 132 中。像閘極電極層 136d 一樣，形成電極層 136a 和電極層 136b，它們分別與包括在電晶體 160 中之源極電極層 130a 和汲極電極層 130b 相接觸。此外，形成與電極層 130c 相接觸之電極層 136c。

在電晶體 164 之上，保護絕緣層 144 被設置成與氧化物半導體層 140 部分相接觸，及中間層絕緣層 146 係設置在保護絕緣層 144 之上。此處，到達源極電極層 142a 和汲極電

極層 142b 之開口係設置在保護絕緣層 144 和中間層絕緣層 146 中。形成電極層 150d 和電極層 150e，它們經由開口分別與源極電極層 142a 和汲極電極層 142b 相接觸。像電極層 150d 及 150e 一樣，形成電極層 150a、電極層 150b、和電極層 150c，它們經由設置在閘極絕緣層 138、保護絕緣層 144、和中間層絕緣層 146 中之開口分別與電極層 136a、電極層 136b、和電極層 136c 相接觸。

藉由充分去除其內諸如氫等雜質，將氧化物半導體層 140 高度淨化。尤其是，氧化物半導體層 140 的氫濃度為 5×10^{19} (atoms/cm³) 或更低。需注意的是，氧化物半導體層 140 的較佳氫濃度為 5×10^{18} (atoms/cm³) 或更低、 5×10^{17} (atoms/cm³) 或更低更好。藉由使用具有充分減少的氫濃度之高度淨化的氧化物半導體層 140，可獲得具有絕佳關閉電流特性之電晶體 164。例如，在汲極電壓 V_d 為 +1V 或 +10V 之例子中，漏電流為 1×10^{-13} [A] 或更低。應用具有充分減少的氫濃度之高度淨化的氧化物半導體層 140 能夠減少電晶體 164 的漏電流。需注意的是，氧化物半導體層 140 中的氫濃度係藉由二次離子質譜儀 (SIMS) 來測量。

在中間層絕緣層 146 之上，設置絕緣層 152，及電極層 154a、電極層 154b、電極層 154c、和電極層 154d 被設置，以便嵌入在絕緣層 152 中。電極層 154a 係與電極層 150a 相接觸；電極層 154b 係與電極層 150b 相接觸；電極層 154c 係與電極層 150c 和電極層 150d 相接觸；以及電極層 154d 係與電極層 150e 相接觸。

此實施例的電晶體 160 中之源極電極層 130a 電連接到設置在上區中的電極層 136a、150a、及 154a。如此，適當形成用於上述電極層之導電層，藉以電晶體 160 中之源極電極層 130a 可電連接到包括在設置於上區的電晶體 164 中之電極層的任一者。電晶體 160 中之汲極電極層 130b 亦可電連接到包括在設置於上區的電晶體 164 中之電極層的任一者。雖然圖 10 未圖解，但是經由設置在上區中的電極層，電晶體 160 中的閘極電極層 110a 可電連接到包括在電晶體 164 中之電極層的任一者。

同樣地，此實施例所說明之電晶體 164 中的源極電極層 142a 電連接到設置在下區中之電極層 130c 及 110b。如此，適當形成用於上述電極層之導電層，藉以電晶體 164 中之源極電極層 142a 可電連接到包括在設置於下區的電晶體 160 中之電極層的閘極電極層 110a、源極電極層 130a、和汲極電極層 130b。雖然圖 10 未圖解，但是經由設置在下區中的電極層，電晶體 164 中的閘極電極層 136d 或汲極電極層 142b 可電連接到包括在電晶體 160 中之電極層的任一者。

適當設置上述電晶體 160 及 164，如此可形成包括在實施例 1 至 5 所說明之半導體裝置的任一者中之電晶體。包括氧化物半導體之電晶體 164 被應用到包括在實施例 1 至 5 所說明之半導體裝置的任一者中之電晶體 17（見圖 1A 至 1C），以及應用到包括在實施例 2 及 3 所說明之半導體裝置的任一者中之電晶體 21（見圖 2）較佳。電晶體 164 的漏電流低

於電晶體 160 的漏電流。因此，藉由應用電晶體 164 到電晶體 17 及 21，可將信號準確地保持在記憶體元件 15 中達一段延長的週期。

<製造步驟的例子>

接著，說明電晶體 160 和電晶體 164 之製造方法的例子。下面，首先參考圖 11A 至 11H 說明電晶體 160 的製造方法，而後參考圖 12A 至 12G 及圖 13A 至 13D 說明電晶體 164 的製造方法。

首先，備製包括半導體材料之基板 100（見圖 11A）。作為包括半導體材料之基板 100，例如，能夠應用含矽、碳化矽等等之單晶半導體基板，多晶半導體基板、含矽鍺之化合物半導體基板等等，或 SOI 基板。此處，說明使用單晶矽基板作為包括半導體材料之基板 100 的例子之說明。需注意的是，通常，“SOI 基板”意指矽半導體層設置在絕緣表面上之半導體基板。在此說明書等等中，“SOI 基板”亦包括含除了矽之外的材料之半導體層設置在絕緣表面之上的半導體基板在其種類中。也就是說，包括在“SOI 基板”中之半導體層並不侷限於矽半導體層。另外，“SOI 基板”包括半導體層係設置在諸如玻璃基板等絕緣基板之上，且絕緣層插入在半導體層和絕緣基板之間的結構。

在基板 100 之上，形成充作形成元件隔離絕緣層用的遮罩之保護層 102（見圖 11A）。作為保護層 102，例如，可使用含諸如氧化矽、氮化矽、或氧氮化矽等材料的絕緣

層。需注意的是，在此步驟之前或之後，給予n型導電性之雜質元素或給予p型導電性之雜質元素可添加到基板100，以控制半導體裝置的臨界電壓。在半導體為矽之例子中，可使用磷、砷等等作為給予n型導電性之雜質元素。作為給予p型導電性之雜質元素，可使用硼、鋁、鎵等等。

接著，藉由使用保護層102作為遮罩來蝕刻未覆蓋有保護層102（露出區）的區域中之基板100的部分。藉由此蝕刻，形成被隔離的半導體區104（見圖11B）。作為蝕刻，利用乾蝕刻較佳，但是可利用濕蝕刻。可依據欲待蝕刻之層的材料，適當選擇蝕刻氣體和蝕刻劑。

接著，絕緣層被形成，以覆蓋半導體區104，及選擇性去除與半導體區104重疊之區域中的絕緣層，使得元件隔離絕緣層106被形成（見圖11B）。絕緣層係使用氧化矽、氮化矽、氧氮化矽等等所形成。作為去除絕緣層之方法，可指定諸如CMP（化學機械拋光）等拋光處理、蝕刻處理等等，及可使用上述處理的任一者。需注意的是，在形成半導體區104之後或者在形成元件隔離絕緣層106之後去除保護層102。

接著，絕緣層係形成在半導體區104之上，及包括導電材料之層係形成在絕緣層之上。

絕緣層稍後充作閘極絕緣層，及為藉由CVD法、濺鍍法等等所形成之含氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、氧化鉬等等的膜之單層結構，或其疊層結構。另一選擇是，藉由高密度電漿處理或熱氧化處理，可將半導

體區 104 的表面氧化或氮化，使得絕緣層被形成。高密度電漿處理係可使用例如諸如 He（氦）、Ar（氬）、Kr（氪）、或 Xe（氙）等稀有氣體和諸如氧、氧化氮、氮、或氮等氣體之混合氣體來執行。並未特別限制絕緣層的厚度，但是例如可將厚度設定成大於或等於 1 nm 及小於或等於 100 nm。

可使用諸如鋁、銅、鈦、鉭、或鎢等金屬材料來形成包括導電材料之層。包括導電材料的層亦可使用包括導電材料之諸如多晶矽等半導體材料來形成。亦並未特別限制形成包括導電材料之層的方法，及可利用諸如蒸發法、CVD 法、濺鍍法、或旋轉塗佈法等各種膜形成法。需注意的是，在此實施例中，說明使用金屬材料來形成包括導電材料之層的例子。

然後，選擇性蝕刻絕緣層和包括導電材料之層，使得閘極絕緣層 108a 和閘極電極層 110a 被形成（見圖 11C）。

接著，形成覆蓋閘極電極層 110a 之絕緣層 112（見圖 11C）。然後，將硼（B）、磷（P）、砷（As）等等添加到半導體區 104，使得具有淺接合之一對雜質區 114a 及 114b 被形成（見圖 11C）。需注意的是，藉由形成一對雜質區 114a 及 114b，在閘極絕緣層 108a 之下的半導體區 104 之部位中形成通道形成區 116（見圖 11C）。此處，可適當設定所添加的雜質之濃度，但是當半導體元件的尺寸高度微型化時，增加濃度較佳。雖然此處在形成絕緣層 112 之後形成一對雜質區 114a 及 114b，但是可在形成一對雜質區

114a及114b之後形成絕緣層112。

接著，形成側壁絕緣層118（見圖11D）。絕緣層被形成，以便覆蓋絕緣層112，及在絕緣層上執行高度各向異性蝕刻處理，藉以能夠以自我對準方式來形成側壁絕緣層118。此時，藉由局部蝕刻絕緣層112，露出閘極電極層110a的頂表面和雜質區114a及114b的頂表面較佳。

接著，絕緣層被形成，以覆蓋閘極電極層110a、一對雜質區114a及114b、側壁絕緣層118等等。然後，將硼（B）、磷（P）、砷（As）等等添加到雜質區114a及114b的部分，使得一對高濃度雜質區120a及120b被形成（見圖11E）。之後，去除絕緣層，及金屬層122被形成，以覆蓋閘極電極層110a、側壁絕緣層118、一對高濃度雜質區120a及120b等等（見圖11E）。金屬層122係可藉由各種膜形成法來形成，諸如真空蒸發法、濺鍍法、或旋轉塗佈法等。金屬層122係使用與包括在半導體區104中之半導體材料起化學作用之金屬材料來形成較佳，以形成具有低電阻的金屬化合物。此種金屬材料的例子包括鈦、鉭、鎢、鎳、鈷、鉑等等。

接著，執行熱處理，使得金屬層122與半導體材料起化學作用。結果，形成一對金屬化合物區124a及124b，其係與一對高濃度雜質區120a及120b相接觸（見圖11F）。在多晶矽等被用於閘極電極層110a之例子中，與金屬層122相接觸之閘極電極層110a的部位亦變成金屬化合物區。

作為熱處理，可利用以閃光燈的照射。雖然無須說可使用其他熱處理法，但是為了提高形成金屬化合物時之化學反應的可控制性，利用可達成極短時間熱處理之方法較佳。需注意的是，藉由金屬材料和半導體材料的反應來形成各金屬化合物區，及為具有大幅增加的導電性之區域。形成金屬化合物區可大幅減少電阻和提高元件特性。需注意的是，在形成一對金屬化合物區 124a 及 124b 之後去除金屬層 122。

接著，中間層絕緣層 126 和中間層絕緣層 128 被形成，以便覆蓋上述步驟所形成之組件（見圖 11G）。中間層絕緣層 126 及 128 係可使用包括諸如氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、或氧化鉭等無機絕緣材料之材料來形成。亦可使用諸如聚醯亞胺或丙烯酸等有機絕緣材料。需注意的是，此處利用具有中間層絕緣層 126 及 128 之兩層結構；然而，中間層絕緣層的結構並不侷限於此結構。在形成中間層絕緣層 128 之後，以 CMP、蝕刻等等將其表面平面化較佳。

然後，到達一對金屬化合物區 124a 及 124b 之開口形成在中間層絕緣層中，及源極電極層 130a 和汲極電極層 130b 係形成在開口中（見圖 11H）。可以藉由 PVD 法、CVD 法等等將導電層形成在包括開口的區域中，而後藉由諸如蝕刻或 CMP 等方法去除導電層的部分之此種方法來形成源極電極層 130a 和汲極電極層 130b。

可將源極電極層 130a 和汲極電極層 130b 形成具有平面

表面較佳。例如，當薄的鈦膜或薄的氮化鈦膜形成在包括開口的區域中，而後形成鎢膜以待嵌入在開口中時，去除過量的鎢、鈦、氮化鈦等等，及藉由隨後的CMP提高表面的平坦性。當以此種方式將包括源極電極層130a和汲極電極層130b之表面平面化時，在稍後步驟中可令人滿意地形成電極、配線、絕緣層、半導體層等等。

需注意的是，此處只圖解與金屬化合物區124a及124b相接觸之源極電極層130a和汲極電極層130b；然而，亦可在此步驟形成充作配線之電極層（如、圖10之電極層130c）。並未特別限制可用於源極電極層130a和汲極電極層130b之材料，及可使用各種導電材料。例如，可使用諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹、或鈳等導電材料。

經由上述步驟，形成使用包括半導體材料之基板100的電晶體160。需注意的是，在上述步驟之後可進一步形成電極、配線、絕緣層等等。當配線具有包括中間層絕緣層和導電層之堆疊的多層結構時，可設置高度整合的電路。

接著，參考圖12A至12G及圖13A至13D說明在中間層絕緣層128之上製造電晶體164之步驟。需注意的是，12A至12G及圖13A至13D圖解製造各種電極層、電晶體164等在中間層絕緣層128之上的步驟，及省略置放在電晶體164下方之電晶體160的說明。

首先，絕緣層132係形成在中間層絕緣層128、源極電極層130a、汲極電極層130b、和電極層130c之上（見圖

12A)。絕緣層 132 係可藉由 PVD 法、CVD 法等等來形成。絕緣層 132 亦可使用包括諸如氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、或氧化鉬等無機絕緣材料之材料來形成。

接著，到達源極電極層 130a、汲極電極層 130b、和電極層 130c 之開口係形成在絕緣層 132 中。此時，開口亦形成在稍後欲待形成之閘極電極層 136d 的區域中。然後，導電層 134 被形成嵌入於開口中（見圖 12B）。開口係可藉由諸如使用遮罩之蝕刻等方法來形成。遮罩係可藉由諸如使用光遮罩之曝光等方法來形成。濕蝕刻或者乾蝕刻可被使用作為蝕刻；關於微製造使用乾蝕刻較佳。藉由諸如 PVD 法或 CVD 法等膜形成法來形成導電層 134。作為可用於形成導電層 134 之材料，例如，可指定鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹、或鈳，或者這些材料的任一者之合金或化合物（如、氮化物）。

尤其是，能夠利用例如藉由 PVD 法將薄的鈦膜形成在包括開口之區域中，及藉由 CVD 法將薄的氮化鈦膜，而後鎢膜被形成嵌入於開口中之方法。此處，以 PVD 法所形成之鈦膜具有在介面中將氧化物膜脫氧之功能，以降低與下電極層（此處為源極電極層 130a、汲極電極層 130b、電極層 130c 等等）的接觸電阻。另外，在形成鈦膜之後所形成的氮化鈦膜具有抑制導電材料的擴散之障壁功能。亦可在形成鈦、氮化鈦等等的障壁膜之後，藉由電鍍法形成銅膜。

在形成導電層 134 之後，藉由諸如蝕刻、CMP 等方法去除導電層 134 的部分，使得露出絕緣層 132，及形成電極層 136a、電極層 136b、電極層 136c、和閘極電極層 136d（見圖 12C）。需注意的是，當藉由去除導電層 134 的部分來形成電極層 136a、電極層 136b、電極層 136c、和閘極電極層 136d 時，執行處理使得表面被平面化較佳。當以此種方式將電極層 136a、電極層 136b、電極層 136c、和閘極電極層 136d 的表面平面化時，可在稍後步驟中令人滿意地形成電極、配線、絕緣層、半導體層等等。

接著，閘極絕緣層 138 被形成，以覆蓋絕緣層 132、電極層 136a、電極層 136b、電極層 136c、和閘極電極層 136d（見圖 12D）。閘極絕緣層 138 係可藉由 CVD 法、濺鍍法等等來形成。閘極絕緣層 138 係形成包括氧化矽、氮化矽、氮氧化矽、氧氮化矽、氧化鋁、氧化鉛、氧化鉭等等較佳。需注意的是，閘極絕緣層 138 可具有單層結構或疊層結構。例如，氮氧化矽製的閘極絕緣層 138 係可使用矽烷（ SiH_4 ）、氧、和氮作為來源氣體，藉由電漿 CVD 法來形成。並未特別限制閘極絕緣層 138 的厚度；例如可將厚度設定成 10 nm 至 500 nm（含）。在疊層結構之例子中，例如，利用具有厚度 50 nm 至 200 nm（含）之第一閘極絕緣層和具有厚度 5 nm 至 300 nm（含）之第二閘極絕緣層的堆疊較佳。

需注意的是，藉由去除雜質（高度淨化的氧化物半導體）而變成本徵或實質上為本徵之氧化物半導體對介面能

階和介面電荷極為敏感；因此，當此種氧化物半導體被用於氧化物半導體層時，與閘極絕緣層的介面很重要。換言之，欲與高度淨化的氧化物半導體層相接觸之閘極絕緣層138必須具有高品質。

例如，閘極絕緣層138係藉由使用微波（2.45 GHz）之高密度電漿CVD法來形成較佳，因為閘極絕緣層138可以是濃密的，及具有高耐壓和高品質。當高度淨化的氧化物半導體層和高品質的閘極絕緣層彼此緊密接觸時，可減少介面能階及可獲得令人滿意的介面特性。

無須說，甚至當使用高度淨化的氧化物半導體層時，只要能夠形成高品質的絕緣層作為閘極絕緣層，可利用諸如濺鍍法或電漿CVD法等另一方法。而且，能夠使用絕緣層，其品質和介面特性係藉由在形成絕緣層之所執行的熱處理來提高。在任一例子中，形成絕緣層，其具有令人滿意的膜品質作為閘極絕緣層138及可降低與氧化物半導體層的介面之能態密度，以形成令人滿意的介面。

在以 2×10^6 (V/cm) 在 85°C 中達 12 小時之閘極偏壓溫度應力測試 (BT 測試) 中，若將雜質添加到氧化物半導體，則雜質和氧化物半導體的主要成分之間的接合被高電場 (B：偏壓) 和高溫 (T：溫度) 破壞，及所產生的懸鍵引起臨界電壓 (V_{th}) 的飄浮。

相比之下，如上述，當氧化物半導體中的雜質（尤其是氫和水）被減至最少，使得與閘極絕緣層的介面可具有較佳的特性時，可獲得經過 BT 測試是穩定的電晶體。

接著，氧化物半導體層係形成在閘極絕緣層 138 之上，並且由諸如使用遮罩之蝕刻等方法來處理，使得島型氧化物半導體層 140 被形成（見圖 12E）。

作為氧化物半導體層，使用 In-Ga-Zn-O 類氧化物半導體層、In-Sn-Zn-O 類氧化物半導體層、In-Al-Zn-O 類氧化物半導體層、Sn-Ga-Zn-O 類氧化物半導體層、Al-Ga-Zn-O 類氧化物半導體層、Sn-Al-Zn-O 類氧化物半導體層、In-Zn-O 類氧化物半導體層、Sn-Zn-O 類氧化物半導體層、Al-Zn-O 類氧化物半導體層、In-O 類氧化物半導體層、Sn-O 類氧化物半導體層、或 Zn-O 類氧化物半導體層較佳，尤其是非晶的較佳。在此實施例中，作為氧化物半導體層，使用 In-Ga-Zn-O 類氧化物半導體靶材，藉由濺鍍法形成非晶氧化物半導體層。需注意的是，因為可藉由添加矽到非晶氧化物半導體層來抑制層之結晶，所以可形成氧化物半導體層，例如，可使用含 2 wt% 至 10 wt%（含）之 SiO_2 的靶材，形成氧化物半導體層。

作為藉由濺鍍法形成氧化物半導體層所使用之靶材，例如，可使用含氧化鋅等等作為其主要成分之金屬氧化物靶材。例如，亦可使用含 In（銦）、Ga（鎵）、及 Zn（鋅）之氧化物半導體靶材（作為組成比， In_2O_3 對 Ga_2O_3 及 ZnO 的比率為 1:1:1 [莫耳比]，或者 In 對 Ga 及 Zn 的比率為 1:1:0.5 [原子比]）。作為含 In（銦）、Ga（鎵）、及 Zn（鋅）之氧化物半導體靶材，亦可使用 In 對 Ga 及 Zn 的組成比為 1:1:1 [原子比] 之靶材，或 In 對 Ga 及 Zn 的組成比為 1:1:2 [

原子比]之靶材。氧化物半導體靶材的充填率大於或等於90%及小於或等於100%、大於或等於95%（如、99.9%）較佳。藉由使用具有高充填率之氧化物半導體靶材來形成濃密的氧化物半導體層。

形成氧化物半導體層之大氣為稀有氣體（典型上為氬）大氣、氧大氣、或含稀有氣體（典型上為氬）和氧之混合大氣較佳。尤其是，使用例如將諸如氬、水、氫氧根、或氫化物等雜質去除至約百萬分之幾（ppm）（約十億分之幾（ppb）較佳）之高純度氣體較佳。

在形成氧化物半導體層時，將基板支托在維持在降壓之處理室中，及基板溫度被設定成100℃至600℃（含）、200℃至400℃（含）較佳。在加熱基板的同時形成氧化物半導體層，使得能夠減少氧化物半導體層中的雜質濃度。此外，減少由於濺鍍所導致的破壞。然後，在去除處理室中所剩餘的濕氣同時，將去除氬和水之濺鍍氣體引進到處理室內，及以金屬氧化物作為靶材來形成氧化物半導體層。為了去除處理室中所剩餘的濕氣使用誘捕式真空泵較佳。例如，可使用低溫泵、離子泵、或鈦昇華泵。抽空單元可以是具有冷阱之渦輪泵。在以低溫泵抽空之沉積室中，去除氬原子、諸如水（ H_2O ）等含氬原子之化合物（及含碳原子之化合物亦佳）等等，因此，可減少沉積室所形成之氧化物半導體層中的雜質濃度。

在下面條件之下形成氧化物半導體層，例如：基板和靶材之間的距離為100 mm；壓力為0.6 Pa；直流（DC）電

力為 0.5 kW；及大氣為氧（氧的流率比為 100%）。需注意的是，使用脈衝直流（DC）供電較佳，因為可減少沉積時所產生的灰塵及使厚度分佈均勻。氧化物半導體層的厚度為 2 nm 至 200 nm（含）、5 nm 至 30 nm（含）較佳。需注意的是，適當厚度依據氧化物半導體材料而有所不同，及依據欲待使用的材料來適當設定厚度。

需注意的是，在藉由濺鍍法形成氧化物半導體層之前，黏附於閘極絕緣層 138 的表面之灰塵係藉由引進氬氣和產生電漿之逆向濺鍍來去除較佳。此處，逆向濺鍍為離子與欲待處理的表面碰撞，使得表面的品質被改變之方法，與離子與濺鍍靶材碰撞之一般濺鍍相反。使離子與欲待處理的表面碰撞之方法的例子為在氬大氣中施加高頻電壓到表面，使得在基板附近產生電漿之方法。需注意的是，可使用氮、氦、氧等等的大氣來取代氬大氣。

作為氧化物半導體層的蝕刻，可利用乾蝕刻或濕蝕刻。無須說，可組合使用乾蝕刻和濕蝕刻。依據材料可適當設定蝕刻條件（如、蝕刻氣體或蝕刻溶液、蝕刻時間、和溫度），使得氧化物半導體層能夠被蝕刻成想要的形狀。

乾蝕刻所使用之蝕刻氣體的例子為含氯之氣體（氯基氣體，諸如氯（ Cl_2 ）、氯化硼（ BCl_3 ）、氯化矽（ SiCl_4 ）、或四氯化碳（ CCl_4 ）等）。亦可使用含氟氣體（氟基氣體，諸如四氟化碳（ CF_4 ）、氟化硫（ SF_6 ）、氟化氮（ NF_3 ）、或三氟甲烷（ CHF_3 ）等）；溴化氫（ HBr ）；氧（ O_2 ）；添加諸如氦（ He ）或氬（ Ar ）等稀有氣體之這些

氣體的任何者等等。

作為乾蝕刻方法，可使用平行板 RIE（反應性離子蝕刻）法或 ICP（電感式耦合電漿）蝕刻法。為了將氧化物半導體層蝕刻成想要的形狀，適當設定蝕刻條件（如、施加上線圈電極之電力量，施加上基板側上的電極之電力量，及基板側上的電極溫度）。

作為濕蝕刻所使用之蝕刻劑，可使用磷酸、乙酸、硝酸的溶液。亦可使用 ITO07N（由 KANTO 化學股份有限公司所製造）。

然後，在氧化物半導體層上執行第一熱處理較佳。可藉由第一熱處理將氧化物半導體層脫水或除氫。第一熱處理的溫度大於或等於 300℃ 及小於或等於 750℃、大於或等於 400℃ 及小於基板的應變點較佳。例如，將基板引進使用電阻加熱元件等等之電爐，及在氮大氣中以 450℃ 將氧化物半導體層 140 經過熱處理達一小時。在熱處理期間氧化物半導體層 140 未暴露至空氣，使得能夠防止水和氫再進入。

熱處理設備並不侷限於電爐，及可以是藉由來自諸如加熱氣體等媒體的熱傳導或熱輻射加熱物體之設備。例如，能夠使用諸如 GRTA（氣體快速熱退火）設備或 LRTA（燈快速熱退火）設備等 RTA（快速熱退火）設備。LRTA 設備為用以藉由從諸如鹵素燈、金屬鹵化物燈、氬弧光燈、碳弧光燈、高壓鈉燈、或高壓水銀燈等燈所發出的光之輻射（電磁波）來加熱欲待處理的物體之設備。GRTA 設備

為使用高溫氣體來執行熱處理之設備。作為氣體，使用不由於熱處理而與欲待處理的物體起反應之鈍氣，例如，氮或諸如氬等稀有氣體等。

例如，作為第一熱處理，GRTA處理可被執行如下。將基板置放在已加熱至高溫 650°C 至 700°C 之鈍氣中，加熱幾分鐘，及從鈍氣中取出。藉由使用GRTA處理，可達成短時間高溫熱處理。而且，甚至當溫度超過基板的應變點時仍可利用GRTA處理，因為其為短時間的熱處理。

需注意的是，在含氮或稀有氣體（如、氮、氬、或氬）作為其主要成分並且不含有水、氫等等之大氣中執行第一熱處理較佳。例如，引進熱處理設備之氮或諸如氮、氬、或氬等稀有氣體的純度大於或等於 6N （ 99.9999% ），大於或等於 7N （ 99.99999% ）較佳（即、雜質濃度為 1 ppm 或更低， 0.1 ppm 或更低較佳）。

依據第一熱處理的條件或氧化物半導體層的材料，氧化物半導體層有時被結晶成微晶或多晶。例如，氧化物半導體層有時變成具有結晶程度 90% 或更大、或 80% 或更大之微晶氧化物半導體層。另外，依據第一熱處理的條件或氧化物半導體層的材料，氧化物半導體層可以是未含有結晶成分之非晶氧化物半導體層。

而且，氧化物半導體層有時變成微晶體（具有晶粒尺寸 1 nm 至 20 nm （含）、典型上 2 nm 至 4 nm （含））混合在非晶氧化物半導體層中（如、氧化物半導體層的表面）之層。

可藉由對準非晶結構中的微晶體來改變氧化物半導體層之電特性。例如，當使用 In-Ga-Zn-O 類氧化物半導體靶材來形成氧化物半導體層時，可藉由形成具有電方面各向異性之 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶粒被對準之微晶部來改變氧化物半導體層的電特性。

尤其是，例如，當晶粒被排列，使得 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的 c 軸垂直於氧化物半導體層的表面時，可提高平行於氧化物半導體層的表面之方向上的導電性，及可提高垂直於氧化物半導體層的表面之方向上的絕緣特性。而且，此種微晶部具有抑制諸如水或氫等雜質滲透入氧化物半導體層之功能。

需注意的是，包括微晶部之氧化物半導體層係可在 GTRA 處理中藉由加熱氧化物半導體層的表面來形成。另外，可藉由使用 Zn 的量小於 In 或 Ga 的量之濺鍍靶材，以更好的方式來形成氧化物半導體層。

可在尚未被處理成島型氧化物半導體層 140 之氧化物半導體層上執行用於氧化物半導體層 140 之第一熱處理。在那例子中，在第一熱處理之後，從加熱設備取出基板，及執行光致微影步驟。

需注意的是，上述熱處理可被稱作脫水處理、除氫處理等等，因為其在將氧化物半導體層 140 脫水或除氫上是有效的。例如，在形成氧化物半導體層之後、在氧化物半導體層之上堆疊源極和汲極電極層之後、或在源極和汲極電極層之上形成保護絕緣層之後，可執行此種脫水處理或

除氫處理。此種種脫水處理或除氫處理可被實施一次以上。

接著，源極電極層 142a 和汲極電極層 142b 被形成，以便與氧化物半導體層 140 相接觸（見圖 12F）。能夠以形成導電層以覆蓋氧化物半導體層 140，而後選擇性蝕刻之此種方式來形成源極電極層 142a 和汲極電極層 142b。

可藉由諸如濺鍍法等 PVD 法、諸如電漿 CVD 法等 CVD 法來形成導電層。作為用於導電層之材料，可使用選自鋁、鉻、銅、鈮、鈦、鉬、及鎢之元素；含這些元素的任一者作為成分之合金等等。可使用選自錳、鎂、鋅、銻、及鈦之一或多個材料。亦能夠使用與選自鈦、鉬、鎢、鉬、鉻、釷、和釷的一或多個元素組合之鋁。導電層可具有單層結構或包括兩或多層之疊層結構。例如，導電層可具有含矽之鋁膜的單層結構，鈦膜堆疊在鋁膜之上的兩層結構，堆疊鈦膜、鋁膜、和鈦膜之三層結構等等。

此處，在形成蝕刻所使用的遮罩時，紫外光、KrF 雷射光、或 ArF 雷射光被用於曝光較佳。

電晶體的通道長度（L）係藉由源極電極層 142a 的下邊緣部和汲極電極 142b 的下邊緣部之間的距離所決定。需注意的是，在通道長度（L）小於 25 nm 的例子中，以波長極短如幾奈米至幾百奈米的超紫外線來執行用以形成遮罩的曝光。在以超紫外線的曝光中，解析度高及焦點深度大。由於這些原因，稍後欲待形成之電晶體的通道長度（L）可在 10 nm 至 1000 nm（含）的範圍中，及可以較高速度

操作電路。

適當調整導電層和氧化物半導體層140的材料和蝕刻條件，使得在蝕刻導電層時未去除氧化物半導體層140。需注意的是，依據材料和蝕刻條件，在某些例子中，在蝕刻步驟中局部蝕刻氧化物半導體層140，如此具有溝槽部（凹下部）。

氧化物導電層可形成在氧化物半導體層140和源極電極層142a之間或者在氧化物半導體層140和汲極電極層142b之間。可連續形成（連續沉積）氧化物導電層和用以形成源極電極層142a和汲極電極層142b之金屬層。氧化物導電層可充作源極區或汲極區。此種氧化物導電層的置放可減少源極區或汲極區的電阻，使得電晶體可以高速操作。

爲了減少欲待使用之上述遮罩的數目及減少步驟數目，可使用以多色調遮罩所形成之抗蝕遮罩來執行蝕刻步驟，多色調遮罩爲透射光以使其具有多種強度之曝光遮罩。使用多色調所形成之抗蝕遮罩具有多個厚度之形狀（具有台階式形狀），及形狀可進一步藉由灰化加以改變；因此，可將抗蝕遮罩用於製作不同圖案用之處理的多重蝕刻步驟中。也就是說，可使用多色調遮罩來形成對應於至少兩種不同圖案之抗蝕遮罩。如此，可減少曝光遮罩的數目，及亦可減少對應的光致微影步驟之數目，藉以可簡化處理。

需注意的是，在上述步驟之後，藉由使用諸如 N_2O 、

N_2 、或 Ar 等氣體來執行電漿處理較佳。電漿處理去除黏附於氧化物半導體層的露出表面之水等等。在電漿處理中，可使用氧和氬之混合氣體。

接著，在未暴露至空氣之下，保護絕緣層 144 被形成與氧化物半導體層 140 的部分相接觸（見圖 12G）。

保護絕緣層 144 係可適當藉由諸如濺鍍等方法來形成，藉此可防止諸如水和氬等雜質被混合到保護絕緣層 144。保護絕緣層 144 具有至少 1 nm 或更多的厚度。保護絕緣層 144 係可使用氧化矽、氮化矽、氮氧化矽、氧氮化矽等等來形成。保護絕緣層 144 可具有單層結構或疊層結構。形成保護絕緣層 144 時之基板溫度從室溫到 300℃（含）較佳。用以形成保護絕緣層 144 之大氣為稀有氣體（典型上為氬）大氣、氧大氣、或含稀有氣體（典型上為氬）和氧之混合大氣較佳。

若氬包含在保護絕緣層 144 中，則氬可滲透到氧化物半導體層 140 或擷取氧化物半導體層 140 中的氧，例如，藉以可降低背通道側上的氧化物半導體層 140 之電阻，及可形成寄生通道。因此，在形成保護絕緣層 144 時不使用氬，使得保護絕緣層 144 含有盡可能少的氬是重要的。

而且，在去除留在處理室中之濕氣的同時形成保護絕緣層 144 較佳，以使氬、氬氧根、或濕氣不含在氧化物半導體層 140 和保護絕緣層 144 中。

為了去除處理室所剩餘的濕氣，使用誘捕式真空泵較佳。例如，使用低溫泵、離子泵、或鈦昇華泵。抽空單元

可以是具有冷凝阱之渦輪泵。在以低溫泵抽空之沉積室中，例如去除氫原子和諸如水（ H_2O ）等含氫原子之化合物，因此，可減少沉積室所形成之保護絕緣層 144 中的雜質濃度。

作為形成保護絕緣層 144 所使用的濺鍍氣體，使用將諸如氫、水、氫氧根、或氫化物等雜質去除至約百萬分之幾（ppm）（約十億分之幾（ppb）較佳）之高純度氣體較佳。

接著，在鈍氣大氣或氧氣大氣中執行第二熱處理較佳（以 200°C 至 400°C （含），例如，以 250°C 至 350°C （含））。例如，在氮大氣中以 250°C 執行第二熱處理達一小時。第二熱處理可減少電晶體的電特性變化。

可在空氣中以 100°C 至 200°C （含）執行熱處理達 1 小時至 30 小時。在此熱處理中，可在維持固定加熱溫度的同時或者在從室溫增加到範圍從 100°C 至 200°C （含）之加熱溫度及從加熱溫度降至室溫被重複一次以上的同時執行加熱。可在形成保護絕緣層之前，在降壓之下執行此熱處理。可在降壓之下縮短熱處理。例如，可執行此熱處理來取代第二熱處理，或可在第二熱處理之前或之後執行。

接著，中間層絕緣層 146 係形成在保護絕緣層 144 之上（見圖 13A）。中間層絕緣層 146 係可藉由 PVD 法、CVD 法等等來形成。中間層絕緣層 146 係可使用包括諸如氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、或氧化鉭等無機絕緣材料之材料來形成。在形成中間層絕緣層 146 之後，

可藉由諸如 CMP 或蝕刻等方法將中間層絕緣層 146 的表面平面化較佳。

接著，到達電極層 136a、電極層 136b、電極層 136c、源極電極層 142a、和汲極電極層 142b 之開口係形成在中間層絕緣層 146、保護絕緣層 144、和閘極絕緣層 138 中。然後，導電層 148 被形成嵌入於開口中（見圖 13B）。開口係可藉由諸如使用遮罩之蝕刻等方法來形成。遮罩係可藉由諸如使用光遮罩之曝光等方法來形成。濕蝕刻或者乾蝕刻可被使用作為蝕刻；關於微製造使用乾蝕刻較佳。藉由諸如 PVD 法或 CVD 法等膜形成法來形成導電層 148。作為可用於形成導電層 134 之材料，例如，可指定鉬、鈦、鉻、鉕、鎢、鋁、銅、鈳、或鈦，或者這些材料的任一者之合金或化合物（如、氮化物）。

尤其是，能夠利用例如藉由 PVD 法將薄的鈦膜形成在包括開口之區域中，及藉由 CVD 法將薄的氮化鈦膜，而後鎢膜被形成嵌入於開口中之方法。此處，以 PVD 法所形成之鈦膜具有在介面中將氧化物膜脫氧之功能，以降低與下電極層（此處為電極層 136a、電極層 136b、電極層 136c、源極電極層 142a、和汲極電極層 142b）的接觸電阻。在形成鈦膜之後所形成的氮化鈦膜具有抑制導電材料的擴散之障壁功能。亦可在形成鈦、氮化鈦等等的障壁膜之後，藉由電鍍法形成銅膜。

在形成導電層 148 之後，藉由諸如蝕刻或 CMP 等方法去除導電層 148 的部分，使得露出中間層絕緣層 146，及形

成電極層 150a、電極層 150b、電極層 150c、電極層 150d、和電極層 150e（見圖 13C）。需注意的是，當藉由去除導電層 148 的部分來形成電極層 150a、電極層 150b、電極層 150c、電極層 150d、和電極層 150e 時，執行處理使得表面被平面化較佳。當以此種方式將中間層絕緣層 146、電極層 150a、電極層 150b、電極層 150c、電極層 150d、和電極層 150e 的表面平面化時，可在稍後步驟中令人滿意地形成電極、配線、絕緣層、半導體層等等。

然後，形成絕緣層 152，及到達電極層 150a、電極層 150b、電極層 150c、電極層 150d、和電極層 150e 之開口係形成在絕緣層 152 中。在導電層被形成嵌入開口中之後，藉由諸如蝕刻或 CMP 等方法來去除導電層的部分。如此，露出絕緣層 152 及形成電極層 154a、電極層 154b、電極層 154c、和電極層 154d（見圖 13D）。此步驟與形成電極層 150a 等等之步驟相同，因此不詳述。

在藉由上述方法形成電晶體 164 之例子中，氧化物半導體層 140 的氫濃度為 5×10^{19} (atoms/cm³) 或更低，及電晶體 164 的關閉電流為 1×10^{-13} [A] 或更低。

<修改例子>

圖 14、圖 15A 及 15B、圖 16A 及 16B、和圖 17A 及 17B 圖解電晶體 164 的結構之修改例子。即、電晶體 160 的結構與上述相同。

圖 14 圖解具有結構如下的電晶體 164 之例子：閘極電

極層 136d 置放在氧化物半導體層 140 下方，及彼此面對之源極電極層 142a 的端面和汲極電極層 142b 的端面係與氧化物半導體層 140 相接觸。

圖 10 及圖 14 之間的結構中之大差異為氧化物半導體層 140 連接到源極和汲極電極層 142a 及 142b 之位置。也就是說，在圖 10 之結構中，氧化物半導體層 140 的上表面與源極和汲極電極層 142a 及 142b 相接觸，反之在圖 14 之結構中，氧化物半導體層 140 的下表面與源極和汲極電極層 142a 及 142b 相接觸。而且，接觸位置的此差異導致其他電極層、絕緣層等等的排列差異。需注意的是，各組件的細節與圖 10 的細節等等相同。

尤其是，圖 14 所示之電晶體 164 包括：閘極電極層 136d，係設置在中間層絕緣層 128 之上；閘極絕緣層 138，係設置在閘極電極層 136d 之上；源極和汲極電極層 142a 及 142b，係設置在閘極絕緣層 138 之上；以及氧化物半導體層 140，係與源極和汲極電極層 142a 及 142b 的上表面相接觸。此外，在電晶體 164 之上，設置保護絕緣層 144，以便覆蓋氧化物半導體層 140。

圖 15A 及 15B 各圖解電晶體 164，其中閘極電極層 136d 係設置在氧化物半導體層 140 之上。圖 15A 圖解源極和汲極電極層 142a 及 142b 係與氧化物半導體層 140 的下表面相接觸之結構的例子。圖 15B 圖解源極和汲極電極層 142a 及 142b 係與氧化物半導體層 140 的上表面相接觸之結構的例子。

圖 15A 及 15B 的結構與圖 10 及圖 14 的結構之大差異在於閘極電極層 136d 置放在氧化物半導體層 140 之上。而且，圖 15A 及圖 15B 之間的結構之大差異為源極和汲極電極層 142a 及 142b 是與氧化物半導體層 140 的下表面還是上表面相接觸。而且，這些差異導致其他電極層、絕緣層等等的排列差異。各組件的細節與圖 10 的細節等等相同。

尤其是，圖 15A 所示之電晶體 164 包括：源極和汲極電極層 142a 及 142b，係設置在中間層絕緣層 128 之上；氧化物半導體層 140，係與源極和汲極電極層 142a 及 142b 的上表面相接觸；閘極絕緣層 138，係設置在氧化物半導體層 140 之上；以及閘極電極層 136d，係在與氧化物半導體層 140 重疊之區域中的閘極絕緣層 138 之上。

圖 15B 所示之電晶體 164 包括：氧化物半導體層 140，係設置在中間層絕緣層 128 之上；源極和汲極電極層 142a 及 142b，係設置成與氧化物半導體層 140 的上表面相接觸；閘極絕緣層 138，係設置在氧化物半導體層 140 和源極和汲極電極層 142a 及 142b 之上；以及閘極電極層 136d，係設置在閘極絕緣層 138 之上並且在與氧化物半導體層 140 重疊之區域中。

需注意的是，在圖 15A 及 15B 的結構中，有時從圖 10 的結構等等省略組件（如、電極層 150a 或電極層 154a）。在此例中，可獲得諸如簡化製造處理等次要效果。無須說，亦可在圖 10 的結構等中等省略可有可無的組件。

圖 16A 及 16B 各圖解元件的尺寸極大及閘極電極層 136d

置放在氧化物半導體層 140 下方之例子中的電晶體 164。在此例中，對表面的平坦性和覆蓋性之要求相當溫和，使得配線、電極等等不一定要嵌入絕緣層中。例如，可在形成導電層之後藉由圖案化來形成閘極電極層 136d 等等。

圖 16A 及圖 16B 之間的結構之大差異為源極和汲極電極層 142a 及 142b 是與氧化物半導體層 140 的下表面還是上表面相接觸。而且，這些差異導致其他電極層、絕緣層等等的排列差異。需注意的是，各組件的細節與圖 7 等等的細節相同。

尤其是，圖 16A 所示之電晶體 164 包括：閘極電極層 136d，係設置在中間層絕緣層 128 之上；閘極絕緣層 138，係設置在閘極電極層 136d 之上；源極和汲極電極層 142a 及 142b，係設置在閘極絕緣層 138 之上；以及氧化物半導體層 140，係與源極和汲極電極層 142a 及 142b 的上表面相接觸。

另外，圖 16B 所示之電晶體 164 包括：閘極電極層 136d，係設置在中間層絕緣層 128 之上；閘極絕緣層 138，係設置在閘極電極層 136d 之上；氧化物半導體層 140，係設置在閘極絕緣層 138 之上，以便與閘極電極層 136d 重疊；以及源極和汲極電極層 142a 及 142b，係設置成與氧化物半導體層 140 的上表面相接觸。

需注意的是，同樣在圖 16A 及圖 16B 的結構中，有時從圖 10 的結構等等省略組件。同樣在此例中，可獲得諸如簡化製造處理等次要效果。

圖 17A 及 17B 各圖解元件的尺寸極大及閘極電極層 136d 置放在氧化物半導體層 140 之上之例子中的電晶體 164。同樣在此例中，對表面的平坦性和覆蓋性之要求相當溫和，使得配線、電極等等不一定要嵌入絕緣層中。例如，可在形成導電層之後藉由圖案化來形成閘極電極層 136d 等等。

圖 17A 及圖 17B 之間的結構之大差異為源極和汲極電極層 142a 及 142b 是與氧化物半導體層 140 的下表面還是上表面相接觸。而且，這些差異導致其他電極層、絕緣層等等的排列差異。各組件的細節與圖 7 等等的細節相同。

尤其是，圖 17A 所示之電晶體 164 包括：源極和汲極電極層 142a 及 142b，係設置在中間層絕緣層 128 之上；氧化物半導體層 140，係與源極和汲極電極層 142a 及 142b 的上表面相接觸；閘極絕緣層 138，係設置在源極和汲極電極層 142a 及 142b 和氧化物半導體層 140 之上；以及閘極電極層 136d，係設置在閘極絕緣層 138 之上，以便與氧化物半導體層 140 重疊。

圖 17B 所示之電晶體 164 包括：氧化物半導體層 140，係設置在中間層絕緣層 128 之上；源極和汲極電極層 142a 及 142b，係設置成與氧化物半導體層 140 的上表面相接觸；閘極絕緣層 138，係設置在源極和汲極電極層 142a 及 142b 與氧化物半導體層 140 之上；以及閘極電極層 136d，係設置在閘極絕緣層 138 之上。需注意的是，閘極電極層 136d 係設置在與氧化物半導體層 140 重疊之區域中，且閘極絕緣層 138 插入在其間。

需注意的是，同樣在圖17A及圖17B的結構中，有時從圖10的結構等等省略組件。同樣在此例中，可獲得諸如簡化製造處理等次要效果。

在此實施例中，說明電晶體164堆疊在電晶體160之上的例子；然而，電晶體160和電晶體164的結構並不侷限於上述。例如，p通道電晶體和n通道電晶體係可形成在同一平坦表面上。另外，電晶體160和電晶體164可被設置成彼此重疊。

上述電晶體164被應用到包括在實施例1至5所說明之半導體裝置的任一者中之電晶體17（見圖1A至1C）以及包括在實施例2及3所說明之半導體裝置的任一者中之電晶體21（見圖2）較佳。電晶體164的漏電流低於電晶體160的漏電流。因此，藉由應用電晶體164到電晶體17及21，可將信號準確地保持在記憶體元件15中達一段延長的週期。

此實施例的所有或部分可與另一實施例的所有或部分適當組合。

（實施例7）

在此實施例中，將說明RFID（射頻識別）標籤500作為上述實施例所說明的具有記憶體裝置之半導體裝置的應用例子（見圖18）。

RFID標籤500包括天線電路501和信號處理電路502。信號處理電路502包括整流器電路503、供電電路504、解調變電路505、振盪電路506、邏輯電路507、記憶體控制

電路 508、記憶體電路 509、邏輯電路 510、放大器 511、和調變電路 512。記憶體電路 509 包括上述實施例所說明之半導體裝置的任一者。

由天線電路 501 所接收之通訊信號被輸入到解調變電路 505。所接收的通訊信號之頻率（即、在天線電路 501 和閱讀器/寫入器之間通訊之信號）例如是超高頻帶中的 13.56 MHz、915 MHz、或 2.45 GHz，其係依據 ISO 標準等等所決定。無須說，在天線電路 501 和閱讀器/寫入器之間通訊的信號之頻率並不侷限於此，及例如可使用下面頻率的任一者：亞毫米波之 300 GHz 至 3 THz、毫米波之 30 GHz 至 300 GHz、微波之 3 GHz 至 30 GHz、超高頻之 300 MHz 至 3 GHz、及特高頻之 30 MHz 至 300 MHz。另外，在天線電路 501 和閱讀器/寫入器之間通訊的信號為經由載波調變所獲得之信號。載波係藉由類比調變或數位調變所調變，其可利用振幅調變、相位調變、頻率調變、展開頻譜的任一者。使用振幅調變或頻率調變較佳。

輸出自振盪電路 506 的振盪信號被供應作為到邏輯電路 507 的時脈信號。此外，已被調變之載波在解調變電路 505 中被解調變。解調變之後的信號亦被傳送到邏輯電路 507 及被分析。在邏輯電路 507 中被分析之信號被傳送到記憶體控制電路 508。記憶體控制電路 508 控制記憶體電路 509，取出儲存在記憶體電路 509 中的資料，及傳送資料到邏輯電路 510。傳送到邏輯電路 510 之信號在邏輯電路 510 中被編碼及在放大器 511 中被放大。利用放大之信號，調

變電路 512 調變載波。根據已調變的載波，閱讀器/寫入器辨識來自 RFID 標籤 500 的信號。

輸入到整流器電路 503 之載波被整流及被輸入到供電電路 504。以此方式所獲得之供電電壓從供電電路 504 被供應到解調變電路 505、振盪器電路 506、邏輯電路 507、記憶體控制電路 508、記憶體電路 509、邏輯電路 510、放大器 511、調變電路 512 等等。

並未特別限制信號處理電路 502 和天線電路 501 中的天線之間的連接。例如，天線和信號處理電路 502 係由配線接合或碰撞連接所連接。另一選擇是，信號處理電路 502 被形成具有晶片形狀，及其一表面被使用作為電極及裝附至天線。信號處理電路 502 和天線可藉由使用 ACF（各向異性導電膜）彼此裝附。

天線堆疊在與信號處理電路 502 相同的基板之上，或者被形成作為外部天線。無須說，天線被設置在信號處理電路的上方或下方。

在整流器電路 503 中，將由天線電路 501 所接收之載波所感應的 AC 信號轉換成 DC 信號。

RFID 標籤 500 可包括電池 561（見圖 19）。當輸出自整流器電路 503 之供電電壓未足夠高到能夠操作信號處理電路 502 時，電池 561 亦供應供電電壓到包括在信號處理電路 502 中之電路的每一個（諸如解調變電路 505、振盪器電路 506、邏輯電路 507、記憶體控制電路 508、記憶體電路 509、邏輯電路 510、放大器 511、及調變電路 512 等電路）。

輸出自整流器電路503之供電電壓的剩餘電壓可在電池561中充電。當除了天線電路501和整流器電路503之外還在RFID標籤中設置天線電路和整流器電路時，可從隨機產生之電池波等等獲得儲存在電池561中的能量。

可藉由充電連續使用電池。作為電池，使用被形成薄片形的電池。例如，藉由使用包括膠狀電解質之鋰聚合物電池、鋰離子電池、鋰二次電池等等，可減少電池的尺寸。例如，可指定鎳金屬氫化物電池、鎳鎘電池、具有大電容之電容器等等。

（實施例8）

在此實施例中，將參考圖20A至20F說明上述實施例所說明之半導體裝置的應用例子。

如圖20A至20F所示，半導體裝置可被廣泛使用，及被設置給例如諸如紙幣、硬幣、證券、不記名債券、文件（如、駕駛執照或居留證，見圖20A）、記錄媒體（如、DVD軟體或視頻帶等等，見圖20B）、包裝容器（如、包裝紙或瓶子，見圖20C）、交通工具（如腳踏車，見圖20D）、個人財物（如、袋子或眼鏡）、食物、植物、動物、人體、衣服、家庭用品、和電子產品（如、液晶顯示裝置、EL顯示裝置、電視接收器、或蜂巢式電話）等產品，或產品上的標籤（見圖20E及20F）。

藉由安裝在印刷板上、裝附於產品的表面、或嵌入在產中，將半導體裝置1500固定於產品。例如，藉由嵌入在

書本的紙張中，或者嵌入在有機樹脂製成的包裝用之有機樹脂中，將半導體裝置1500固定於各產品。因為半導體裝置1500可減少尺寸、厚度、和重量，所以其可被固定於產品卻不會破壞產品的設計。另外，藉由被設置有半導體裝置1500，紙幣、硬幣、證券、不記名債券、文件等等可具有識別功能，及識別功能可被用於防止仿冒。而且，藉由將本發明的半導體裝置裝附於包裝容器、記錄媒體、個人財物、食物、衣服、家庭用品、電子裝置等等時，可有效使用諸如檢測系統等系統。藉由將RFID標籤1520裝附於交通工具，可提高防止偷竊等等安全性。

藉由如此將上述實施例所說明之半導體裝置的任一者用於此實施例所指定之目的，可準確保持資料通訊所使用的資料；因此，可提高產品的認證、安全性等等。

此申請案係依據日本專利局於2010、2、5所發表之日本專利申請案序號2010-024867，藉以併入其全文做為參考。

【圖式簡單說明】

圖1A至1C為根據實施例1之半導體裝置圖。

圖2為根據實施例2之半導體裝置圖。

圖3A及3B為根據實施例3之半導體裝置圖。

圖4A及4B為根據實施例3之半導體裝置圖。

圖5A及5B為根據實施例3之半導體裝置圖。

圖6A及6B為根據實施例4之半導體裝置圖。

圖 7 為 根 據 實 施 例 5 之 半 導 體 裝 置 圖 。

圖 8 為 根 據 實 施 例 5 之 半 導 體 裝 置 圖 。

圖 9 為 根 據 實 施 例 5 之 半 導 體 裝 置 圖 。

圖 10 為 根 據 實 施 例 6 之 半 導 體 裝 置 圖 。

圖 11 A 至 11 H 為 根 據 實 施 例 6 之 半 導 體 裝 置 圖 。

圖 12 A 至 12 G 為 根 據 實 施 例 6 之 半 導 體 裝 置 圖 。

圖 13 A 至 13 D 為 根 據 實 施 例 6 之 半 導 體 裝 置 圖 。

圖 14 為 根 據 實 施 例 6 之 半 導 體 裝 置 圖 。

圖 15 A 及 15 B 為 根 據 實 施 例 6 之 半 導 體 裝 置 圖 。

圖 16 A 及 16 B 為 根 據 實 施 例 6 之 半 導 體 裝 置 圖 。

圖 17 A 及 17 B 為 根 據 實 施 例 6 之 半 導 體 裝 置 圖 。

圖 18 為 根 據 實 施 例 7 所 說 明 之 半 導 體 裝 置 的 應 用 例 子 圖 。

圖 19 為 根 據 實 施 例 7 所 說 明 之 半 導 體 裝 置 的 應 用 例 子 圖 。

圖 20 A 至 20 F 為 根 據 實 施 例 8 所 說 明 之 半 導 體 裝 置 的 應 用 例 子 圖 。

【 主 要 元 件 符 號 說 明 】

10：位元線

11：供電電路

12：字元線驅動器電路

13：位元線驅動器電路

14：開關

- 15 : 記 憶 體 元 件
- 16 : 電 容 器
- 17 : 電 晶 體
- 18 : 信 號 保 持 部
- 19 : 字 元 線
- 21 : 電 晶 體
- 22 : 供 電 電 路
- 31 : 開 關
- 32 : 開 關
- 61 : 電 晶 體
- 62 : 電 容 器
- 63 : 電 晶 體
- 64 : 電 容 器
- 71 : 字 元 線
- 72 : 位 元 線
- 81 : 電 晶 體
- 82 : 電 容 器
- 91 : 電 晶 體
- 92 : 電 容 器
- 93 : 讀 取 字 元 線
- 100 : 基 板
- 102 : 保 護 層
- 104 : 半 導 體 區
- 106 : 元 件 隔 離 絕 緣 層

- 108a：閘極絕緣層
- 108b：絕緣層
- 110a：閘極電極層
- 110b：電極層
- 112：絕緣層
- 114a：雜質區
- 114b：雜質區
- 116：通道形成區
- 118：側壁絕緣層
- 120a：高濃度雜質區
- 120b：高濃度雜質區
- 122：金屬層
- 124a：金屬化合物區
- 124b：金屬化合物區
- 126：中間層絕緣層
- 128：中間層絕緣層
- 130a：源極電極層
- 130b：汲極電極層
- 130c：電極層
- 132：絕緣層
- 134：導電層
- 136a：電極層
- 136b：電極層
- 136c：電極層

136d : 閘極電極層

138 : 閘極絕緣層

140 : 氧化物半導體層

142a : 源極電極層

142b : 汲極電極層

144 : 保護絕緣層

146 : 中間層絕緣層

148 : 導電層

150a : 電極層

150b : 電極層

150c : 電極層

150d : 電極層

150e : 電極層

152 : 絕緣層

154a : 電極層

154b : 電極層

154c : 電極層

154d : 電極層

160 : 電晶體

164 : 電晶體

500 : 射頻識別標籤

501 : 天線電路

502 : 信號處理電路

503 : 整流器電路

- 504：供電電路
- 505：解調變電路
- 506：振盪電路
- 507：邏輯電路
- 508：記憶體控制電路
- 509：記憶體電路
- 510：邏輯電路
- 511：放大器
- 512：調變電路
- 1500：半導體裝置

七、申請專利範圍：

1. 一種半導體裝置，包含：

字元線；

位元線；

記憶體元件，包含：

第一電晶體；以及

信號保持部，

其中，該第一電晶體的閘極端子係電連接到該字元線，

其中，該第一電晶體之源極端子和汲極端子的其中之一係電連接到該位元線，並且

其中，該第一電晶體之該源極端子和該汲極端子的其中另一個係電連接到該信號保持部；

電容器，係能夠保持該第一電晶體的該閘極端子之電位，其中，該電容器的第一端子係電連接到該字元線；

字元線驅動器電路，被組構成控制該電容器的第二端子之電位；以及

位元線驅動器電路，被組構成控制該位元線的電位。

2. 根據申請專利範圍第 1 項之半導體裝置，另包含開關，

其中，該開關的第一端子係電連接到該字元線，及該開關的第二端子係電連接到供電電路。

3. 根據申請專利範圍第 2 項之半導體裝置，

其中，該開關為第二電晶體。

4.根據申請專利範圍第1項之半導體裝置，

其中，該信號保持部包含第二電晶體和第二電容器。

5.根據申請專利範圍第1項之半導體裝置，

其中，該第一電晶體包含氧化物半導體。

6.根據申請專利範圍第1項之半導體裝置，另包含第二電晶體，其中，該第二電晶體之源極端子和汲極端子的其中之一係電連接到該字元線。

7.根據申請專利範圍第6項之半導體裝置，另包含：

第一供電電路；

第二供電電路；

第一開關，

其中，該第一開關的第一端子係電連接到該第二電晶體的閘極端子，並且

其中，該第一開關的第二端子係電連接到該第一供電電路；以及

第二開關，

其中，該第二開關的第一端子係電連接到該第二電晶體之該源極端子和該汲極端子的其中另一個，並且

其中，該第二開關的第二端子係電連接到該第二供電電路。

8.根據申請專利範圍第7項之半導體裝置，

其中，該第一開關為第三電晶體，以及

其中，該第二開關為第四電晶體。

9.根據申請專利範圍第6項之半導體裝置，

其中，該信號保持部包含第三電晶體和第二電容器。

10.根據申請專利範圍第1或6項之半導體裝置，

其中，該字元線為帶負電。

11.根據申請專利範圍第6項之半導體裝置，

其中，該第一電晶體和該第二電晶體各包含氧化物半導體。

12.一種電子裝置，包含根據申請專利範圍第1或6項之半導體裝置，其中，該電子裝置係選自由液晶顯示裝置、EL（電致發光）顯示裝置、電視接收器、和蜂巢式電話所組成的群組。

13.一種半導體裝置，包含：

第一佈線；

第一電晶體，該第一電晶體的閘極端子係電連接到該第一佈線，

第一電容器，該第一電容器的第一端子係電連接到該第一電晶體的該閘極端子；並且

第二電容器，電連接到該第一電晶體的源極端子和汲極端子的其中之一，

其中，該第一電晶體為空乏模式電晶體，並且

其中，該第一電容器之該第一端子係組構成帶負電。

14.根據申請專利範圍第13項之半導體裝置，

其中，該第一電晶體包含氧化物半導體。

15.根據申請專利範圍第13項之半導體裝置，

其中，該第一電容器係電連接到該第一電晶體的該閘

極端子，並且

其中，該第一電容器係能夠保持該第一電晶體的該閘極端子之電位。

16.一種半導體裝置，包含：

第一佈線；

第一電晶體，該第一電晶體的閘極端子係電連接到該第一佈線，

第一電容器，該第一電容器的第一端子係電連接到該第一電晶體的該閘極端子；並且

第二電晶體，該第二電晶體的閘極端子係電連接到該第一電晶體的源極端子和汲極端子的其中之一，

其中，該第一電晶體為空乏模式電晶體，

其中，該第一電容器之該第一端子係組構成帶負電，並且

其中，包括在該第一電晶體中的第一半導體材料不同於包括在該第二電晶體中的第二半導體材料。

17.根據申請專利範圍第 16 項之半導體裝置，其中，該第一半導體材料為氧化物半導體。

18.根據申請專利範圍第 16 項之半導體裝置，另包含第二電容器，電連接到該第一電晶體的該源極端子和該汲極端子的其中之一。

19.根據申請專利範圍第 13 或 16 項之半導體裝置，

其中，該第一電容器電連接到該第一電晶體的該閘極端子，並且

其中，該第一電容器係能夠保持該第一電晶體的該閘極端子之電位。

20.根據申請專利範圍第13或16項之半導體裝置，另包含第二佈線，電連接到該第一電晶體之該源極端子和該汲極端子的其中另一個。

21.根據申請專利範圍第20項之半導體裝置，另包含：
第一驅動電路，組構成控制該第一電容器的第二端子的電位；以及

第二驅動電路，組構成控制該第二佈線的電位。

22.一種半導體裝置，包含：

第一佈線；

第一電容器，該第一電容器的第一端子係電連接到該第一佈線，以及

記憶體元件，該等記憶體元件各包含：

第一電晶體，該第一電晶體的閘極端子係電連接到該第一佈線；以及

第二電容器，電連接到該第一電晶體的源極端子和汲極端子的其中之一，

其中，該第一電晶體包含氧化物半導體，以及

其中，該第一電容器係能夠保持該第一電晶體的該閘極端子之電位。

23.根據申請專利範圍第22項之半導體裝置，

其中，該第一電晶體為空乏模式電晶體。

24.根據申請專利範圍第22項之半導體裝置，另包含

第二電晶體，該第二電晶體的閘極端子係電連接到該第一電晶體的該源極端子和該汲極端子的其中之一。

25.根據申請專利範圍第22項之半導體裝置，另包含：

第二佈線，電連接到該第一電晶體之該源極端子和該汲極端子的其中另一個，該第一電晶體包括在該等記憶體元件的其中之一中；

第一驅動電路，組構成控制該第一電容器的第二端子的電位；以及

第二驅動電路，組構成控制該第二佈線的電位。

26.根據申請專利範圍第13、16、及22項中任一項之半導體裝置，其中，該第一佈線為帶負電。

27.根據申請專利範圍第1、6、13、16、及22項中任一項之半導體裝置，其中，該半導體裝置為射頻識別(RFID)標籤。

圖 1A

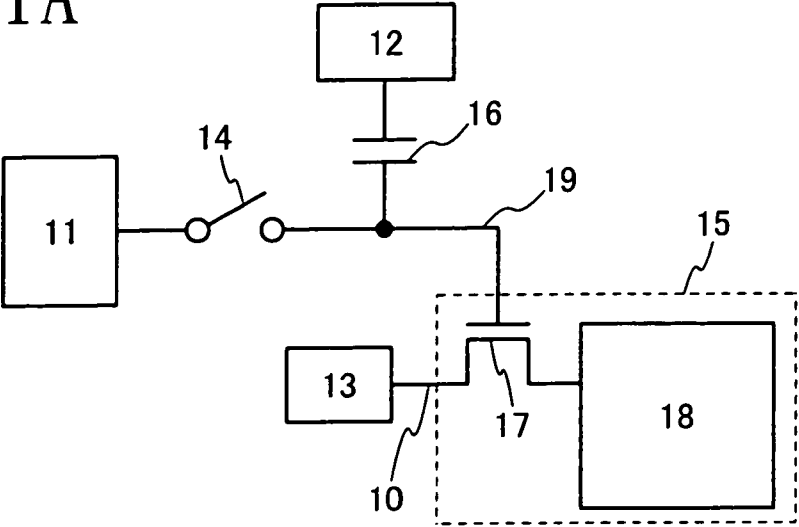


圖 1B

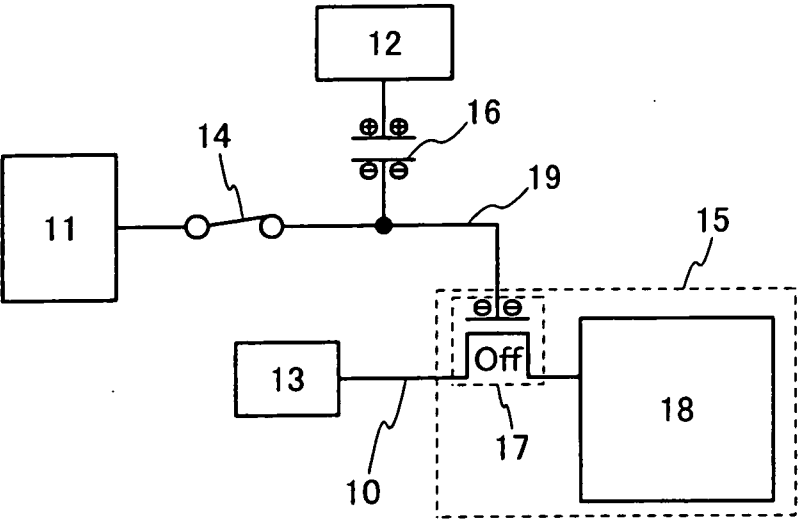


圖 1C

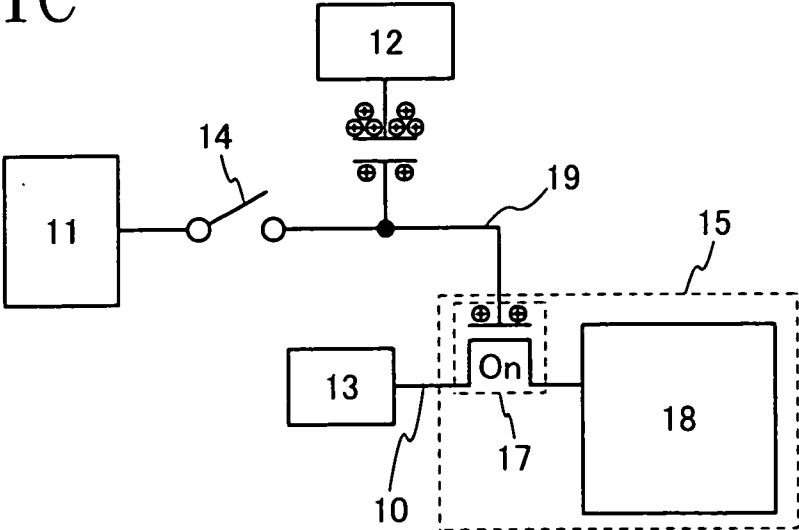


圖 2

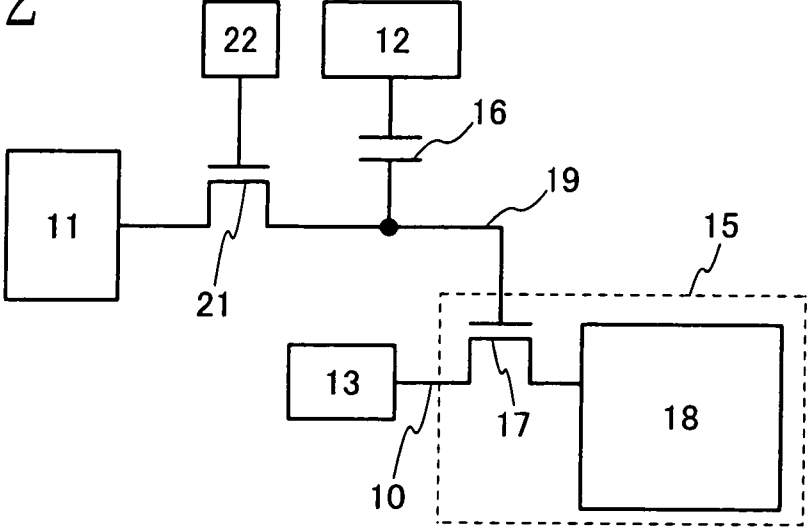


圖 3A

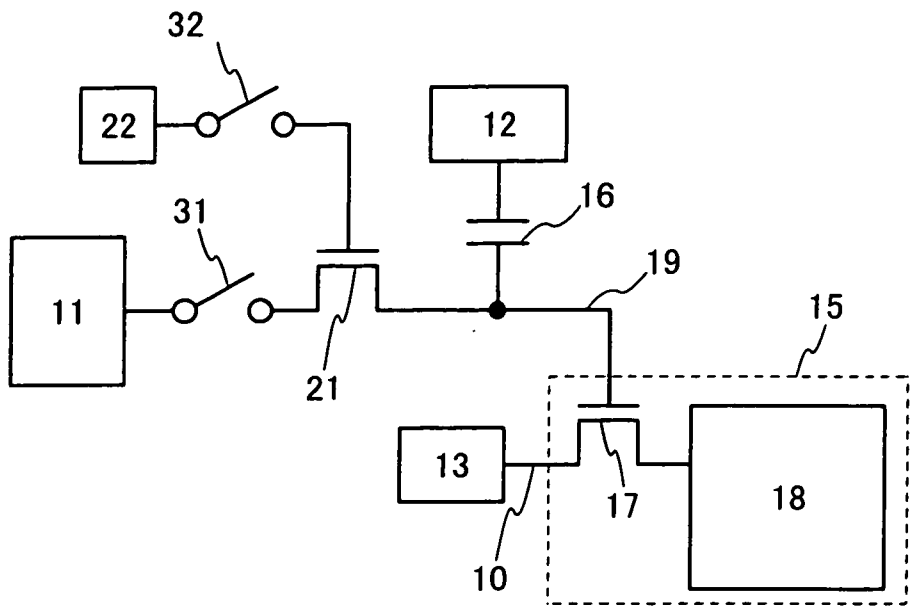


圖 3B

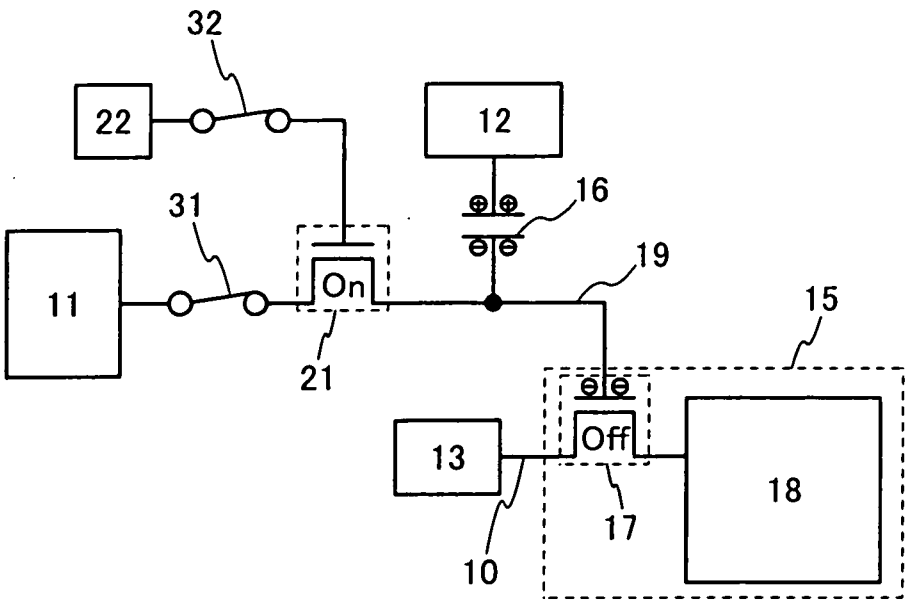


圖 4A

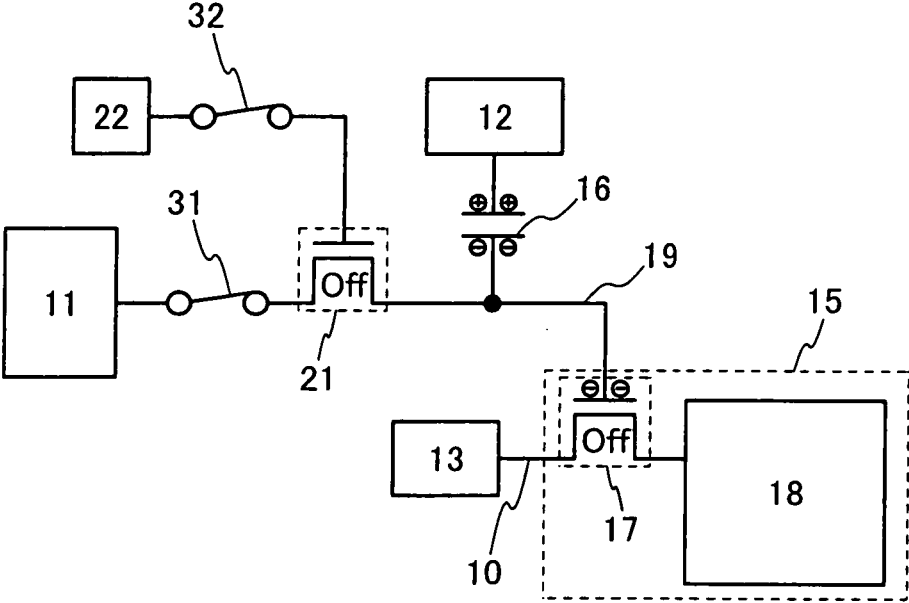


圖 4B

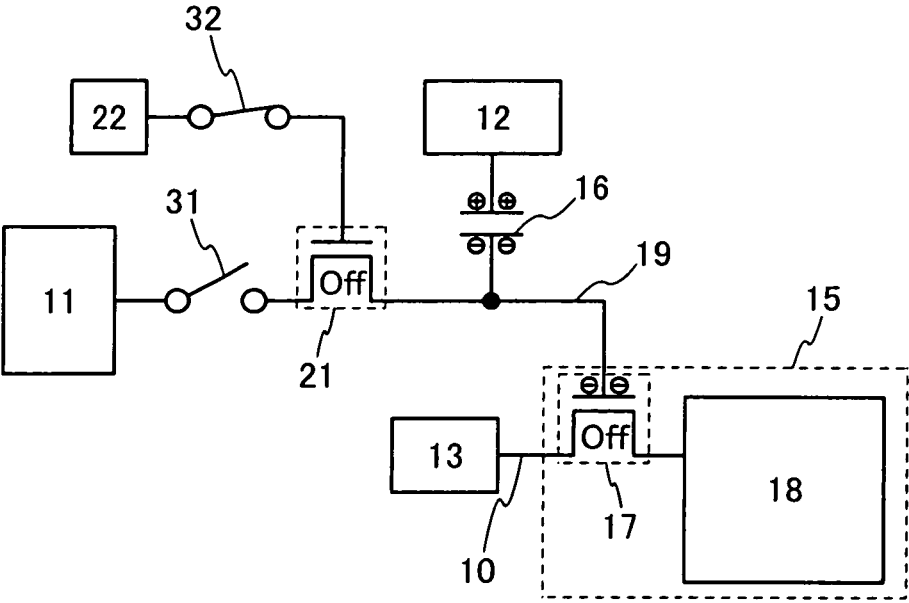


圖 5A

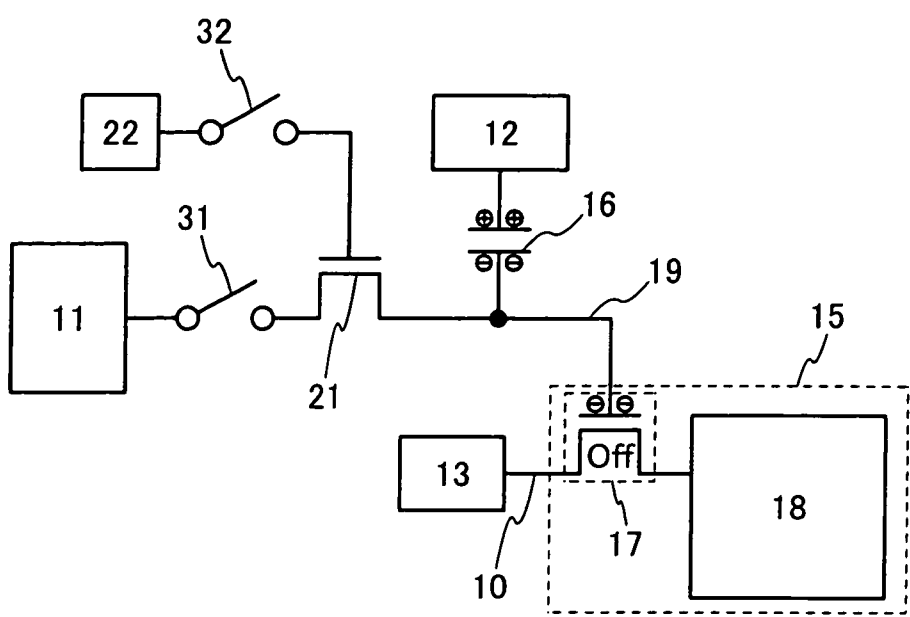


圖 5B

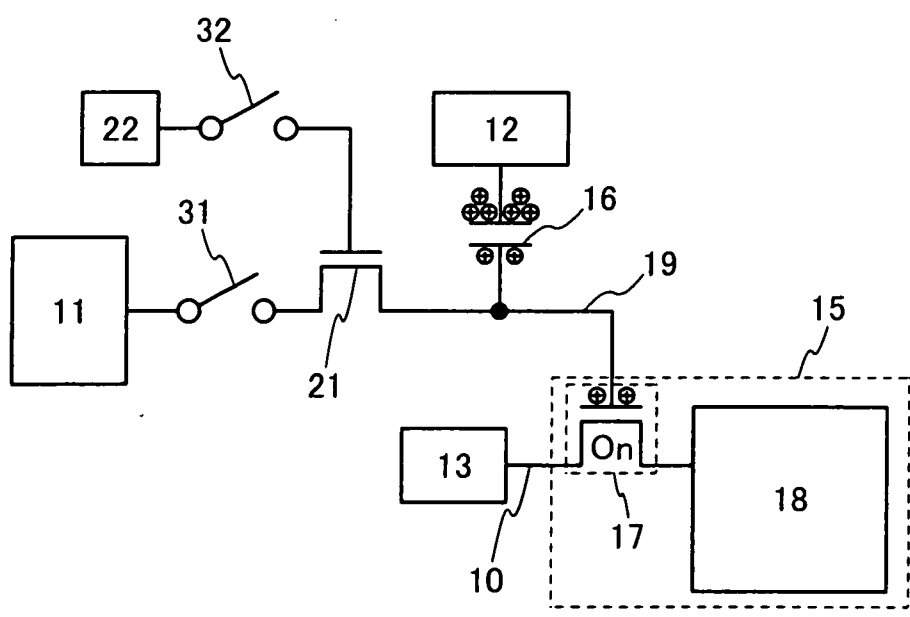


圖 6A

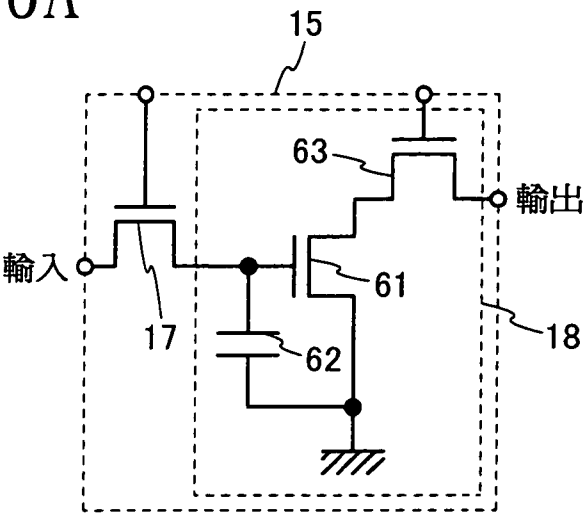


圖 6B

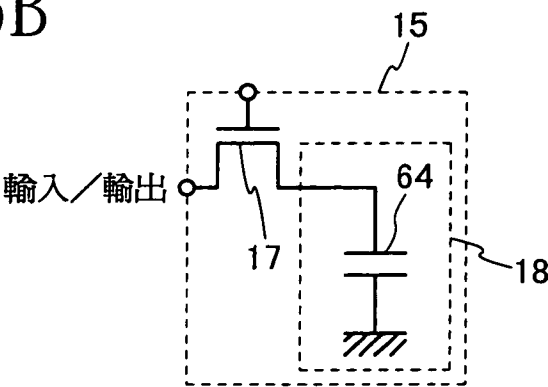


圖 7

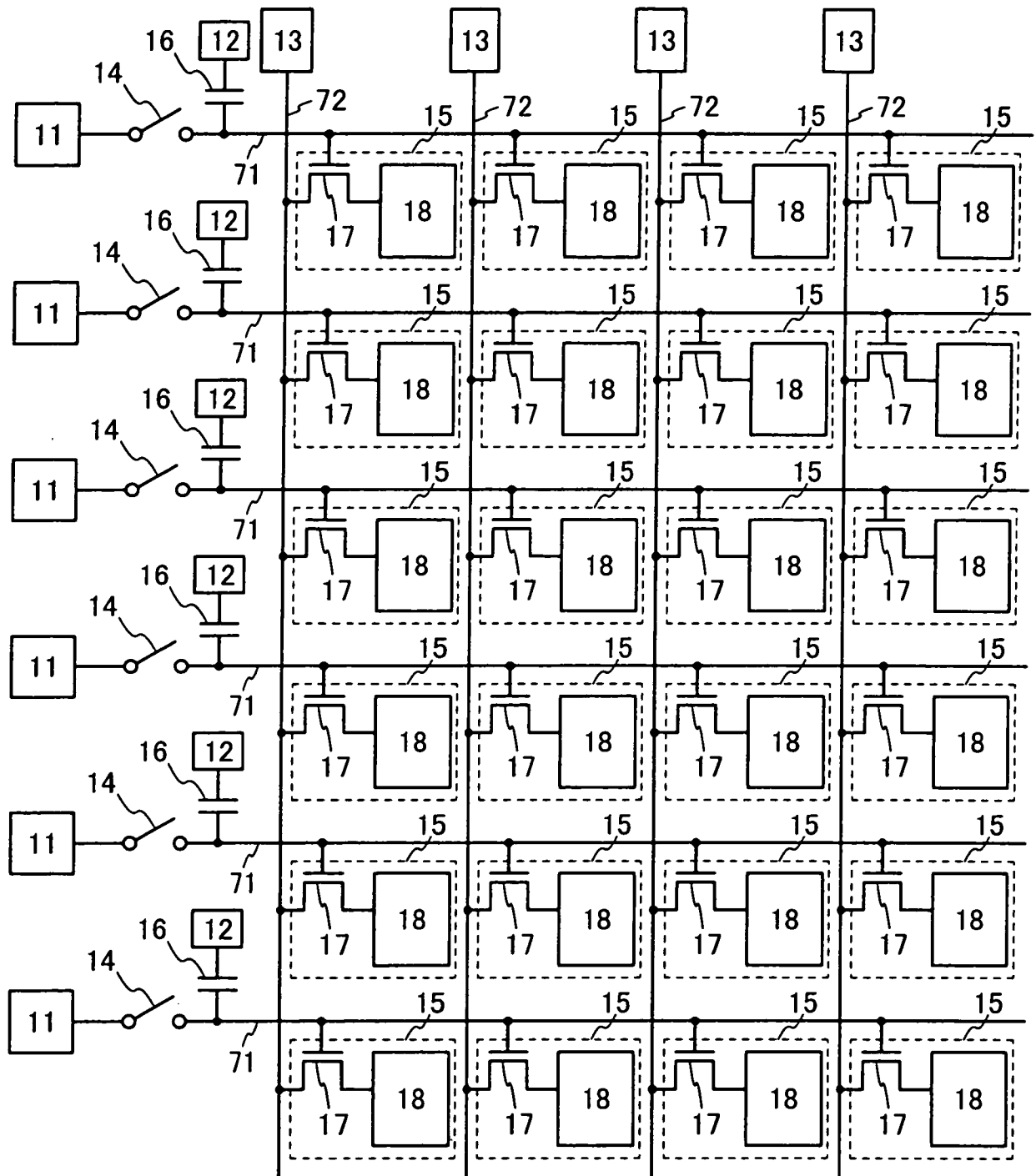


圖 8

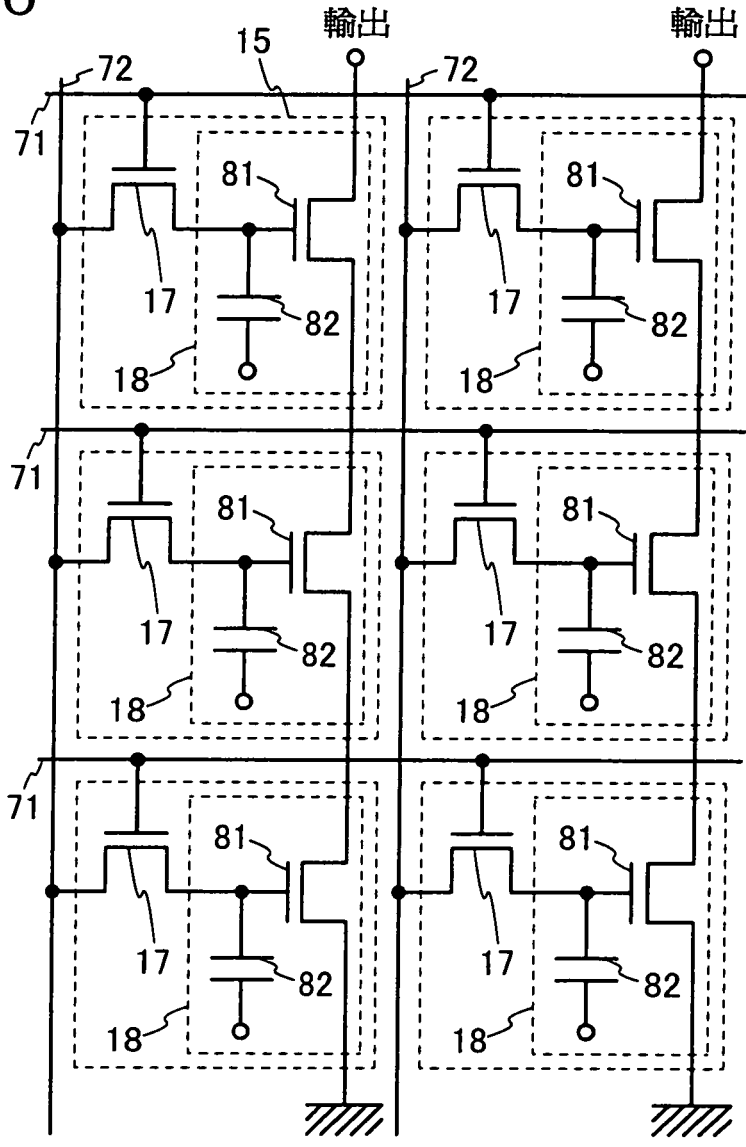


圖 9

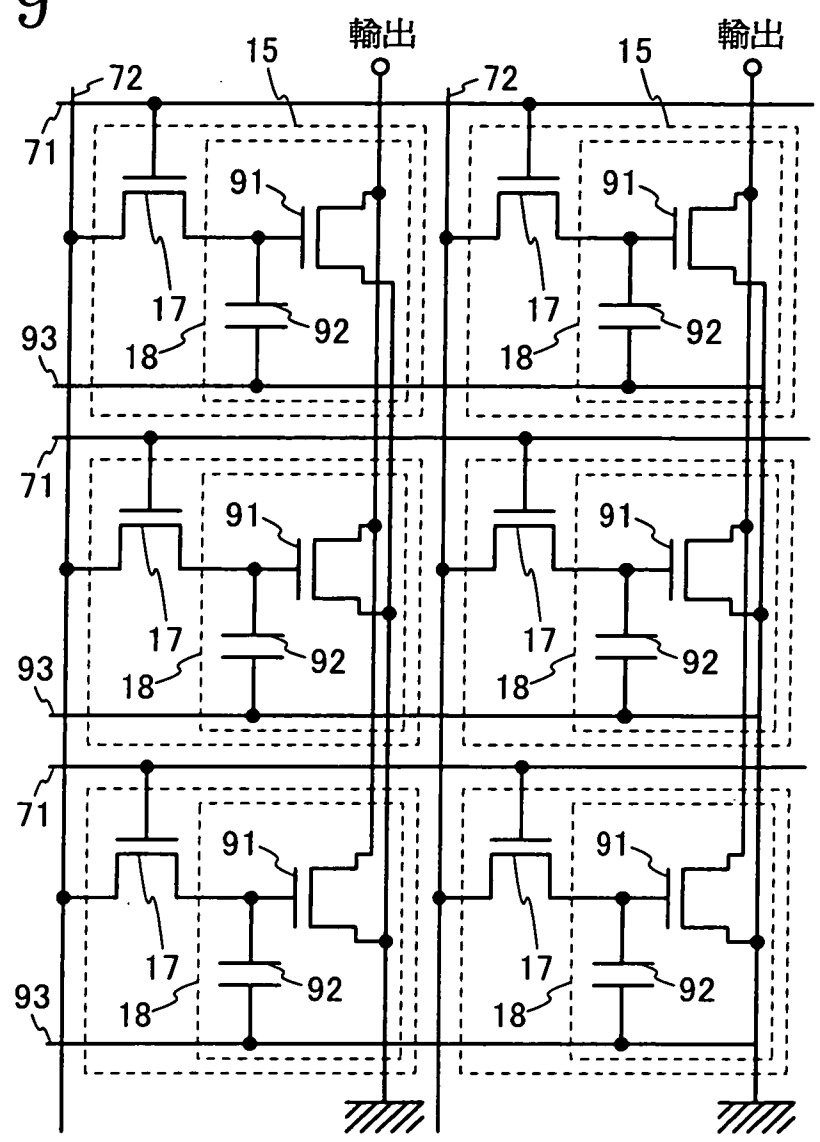


圖 10

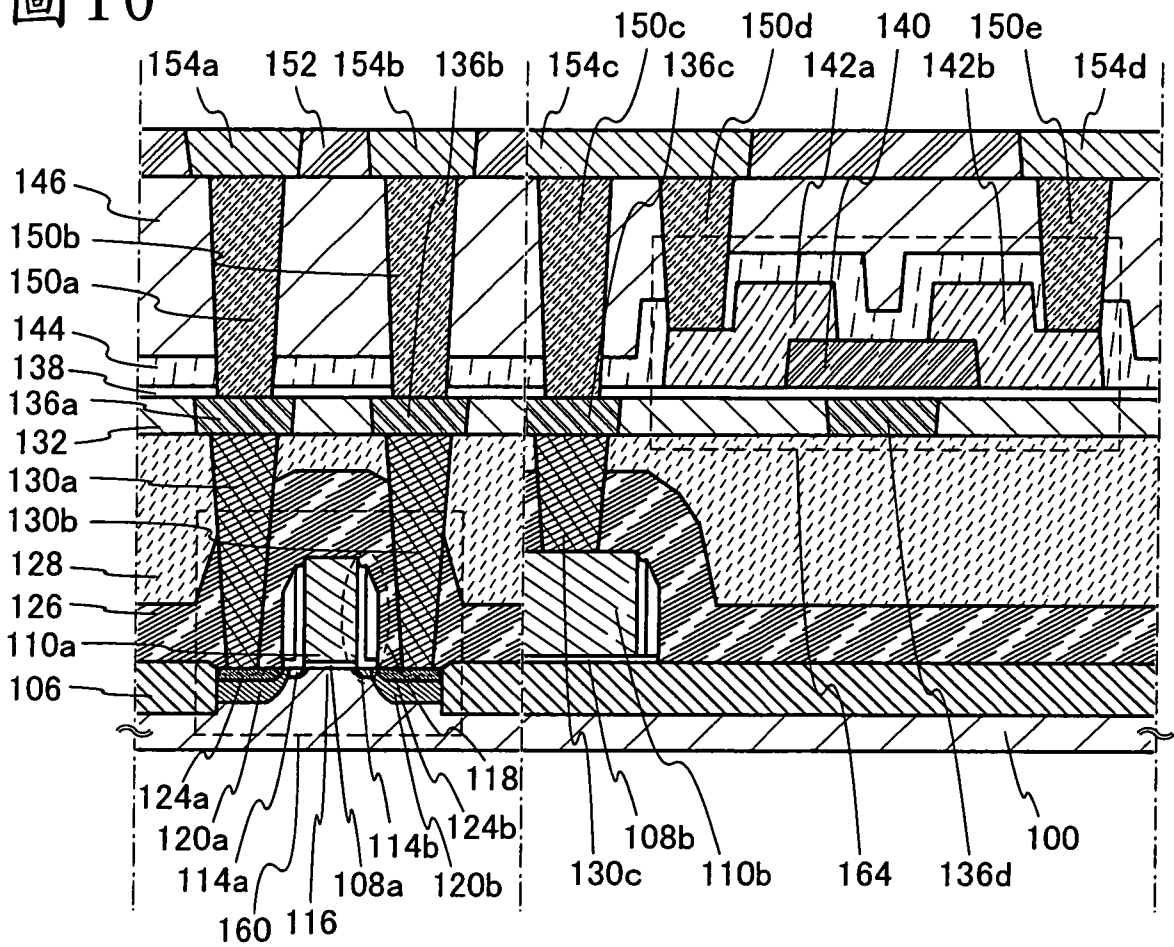


圖 11A

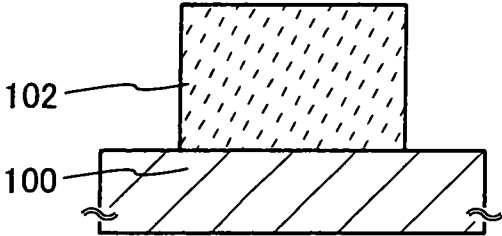


圖 11E

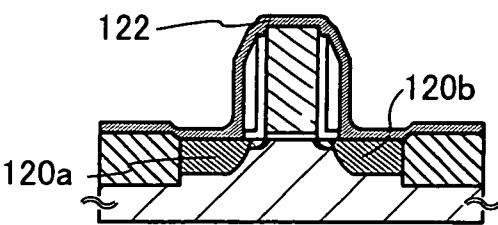


圖 11B

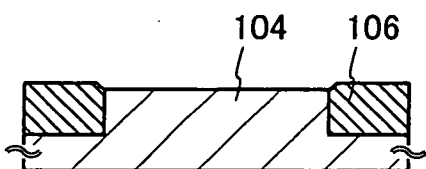


圖 11F

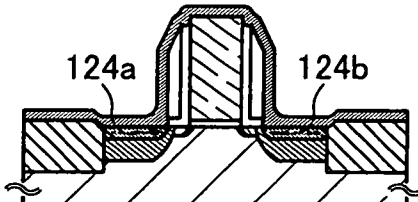


圖 11C

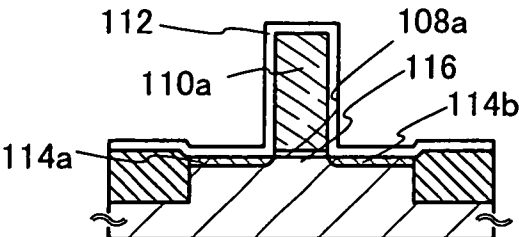


圖 11G

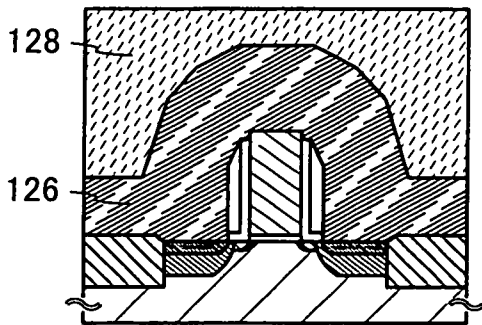


圖 11D

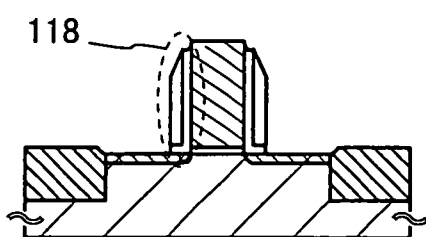


圖 11H

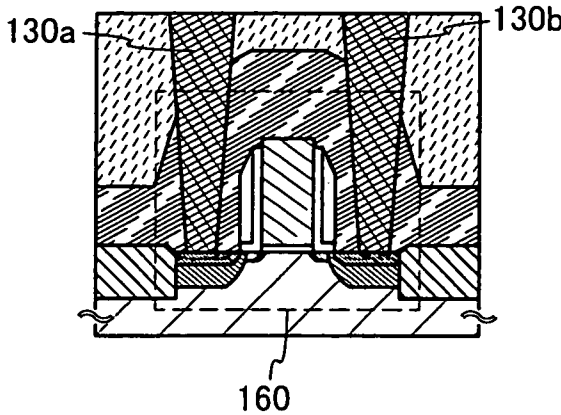


圖 12A

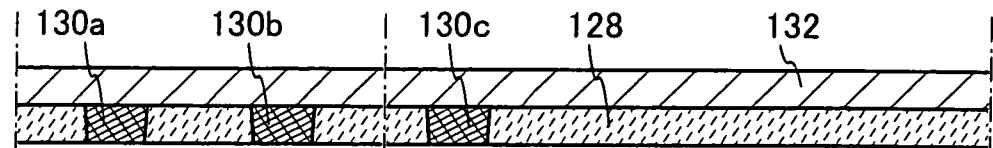


圖 12B

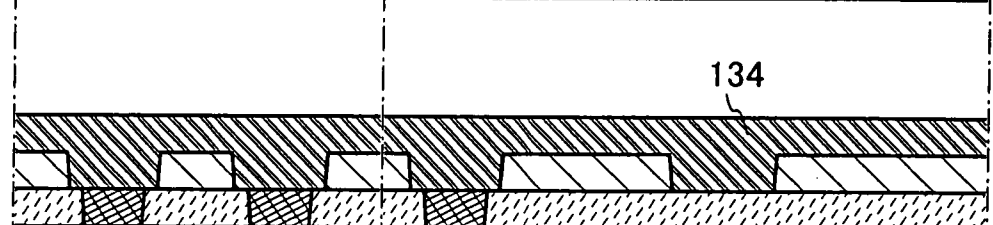


圖 12C

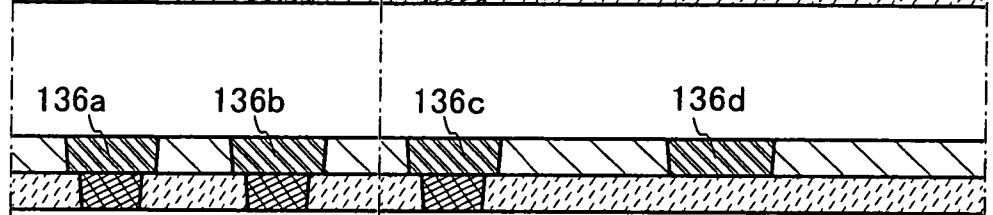


圖 12D

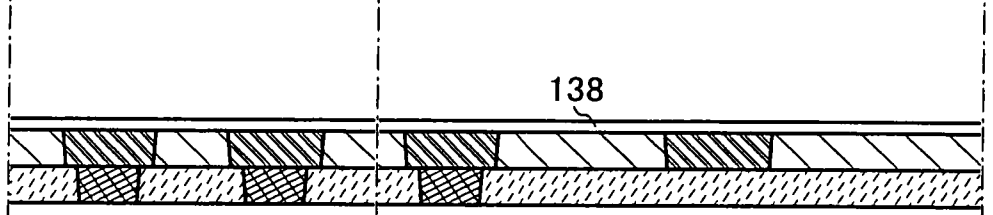


圖 12E

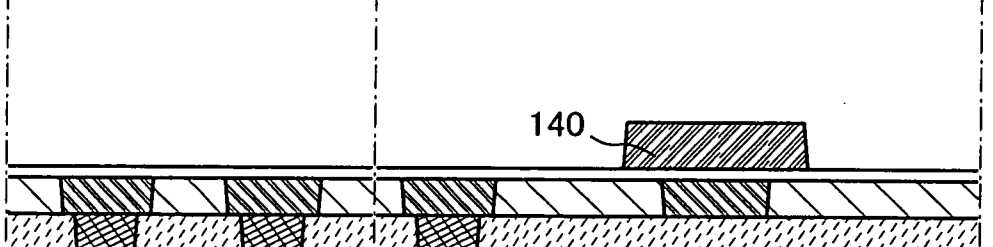


圖 12F

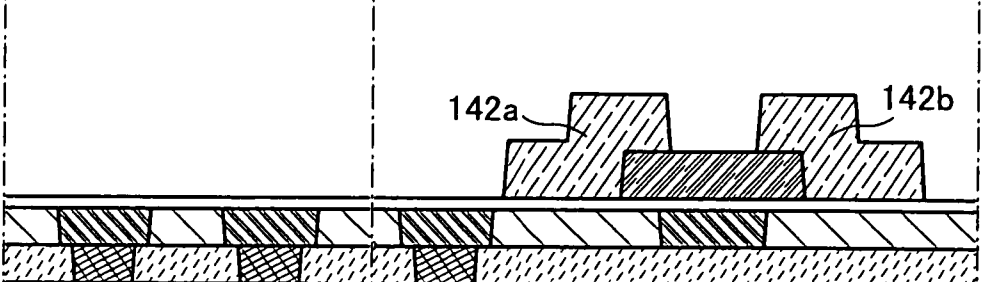


圖 12G

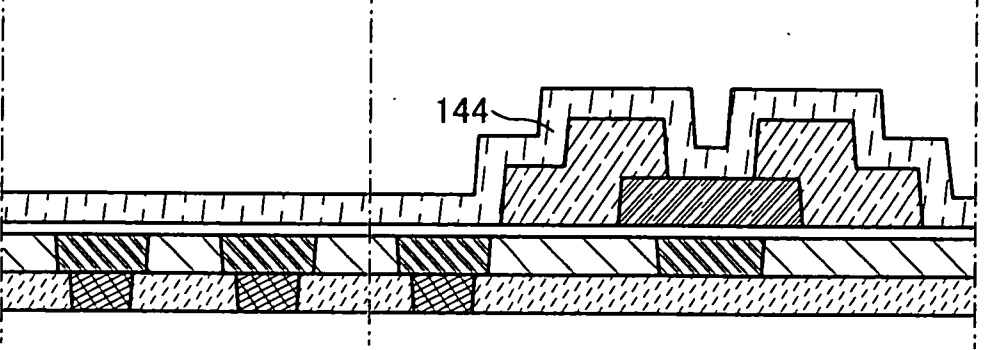


圖 13A

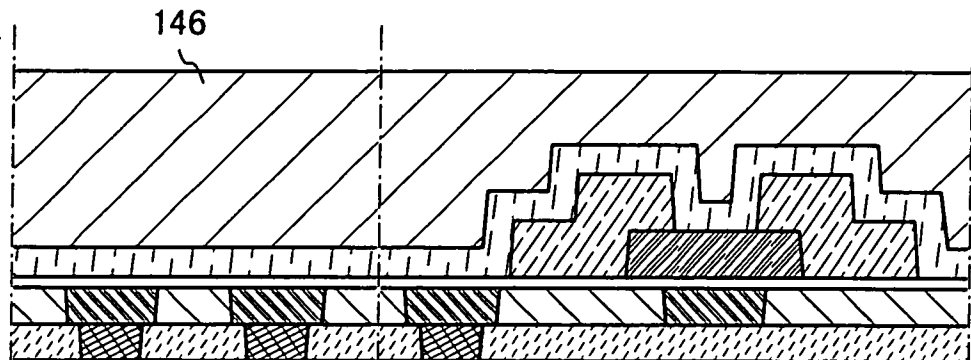


圖 13B

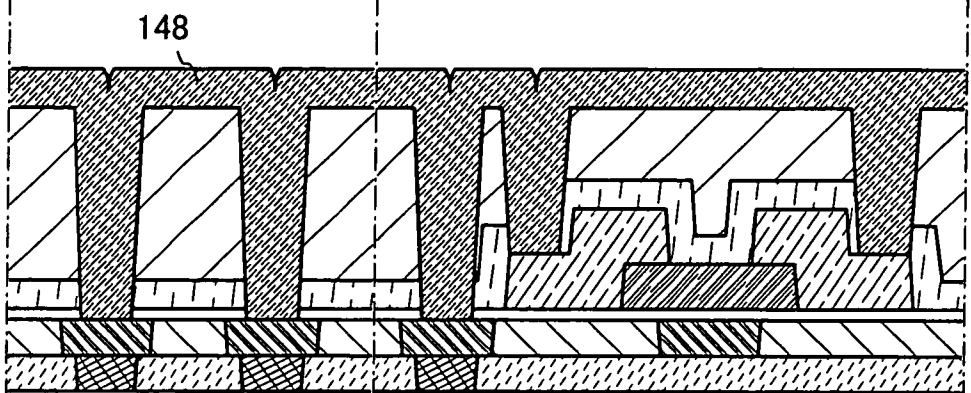


圖 13C

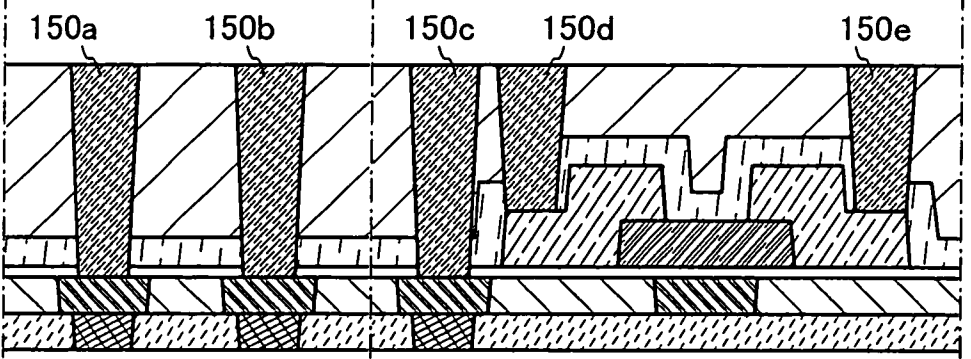


圖 13D

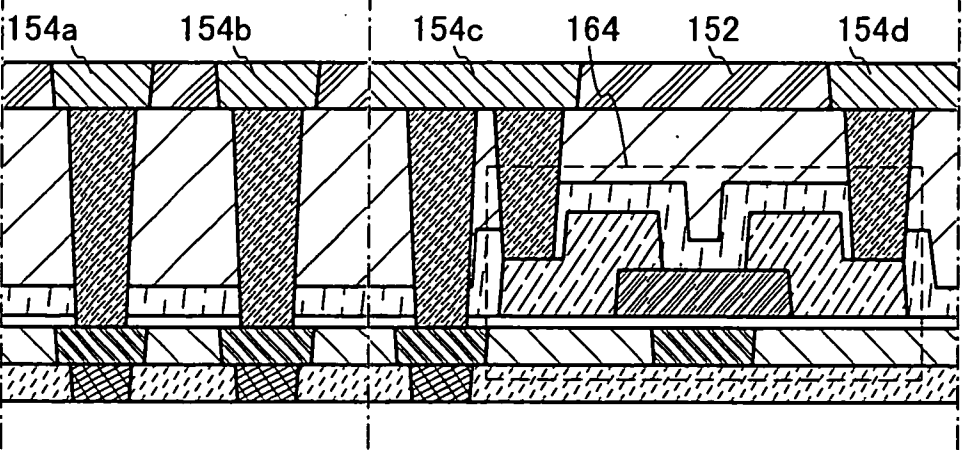


圖 14

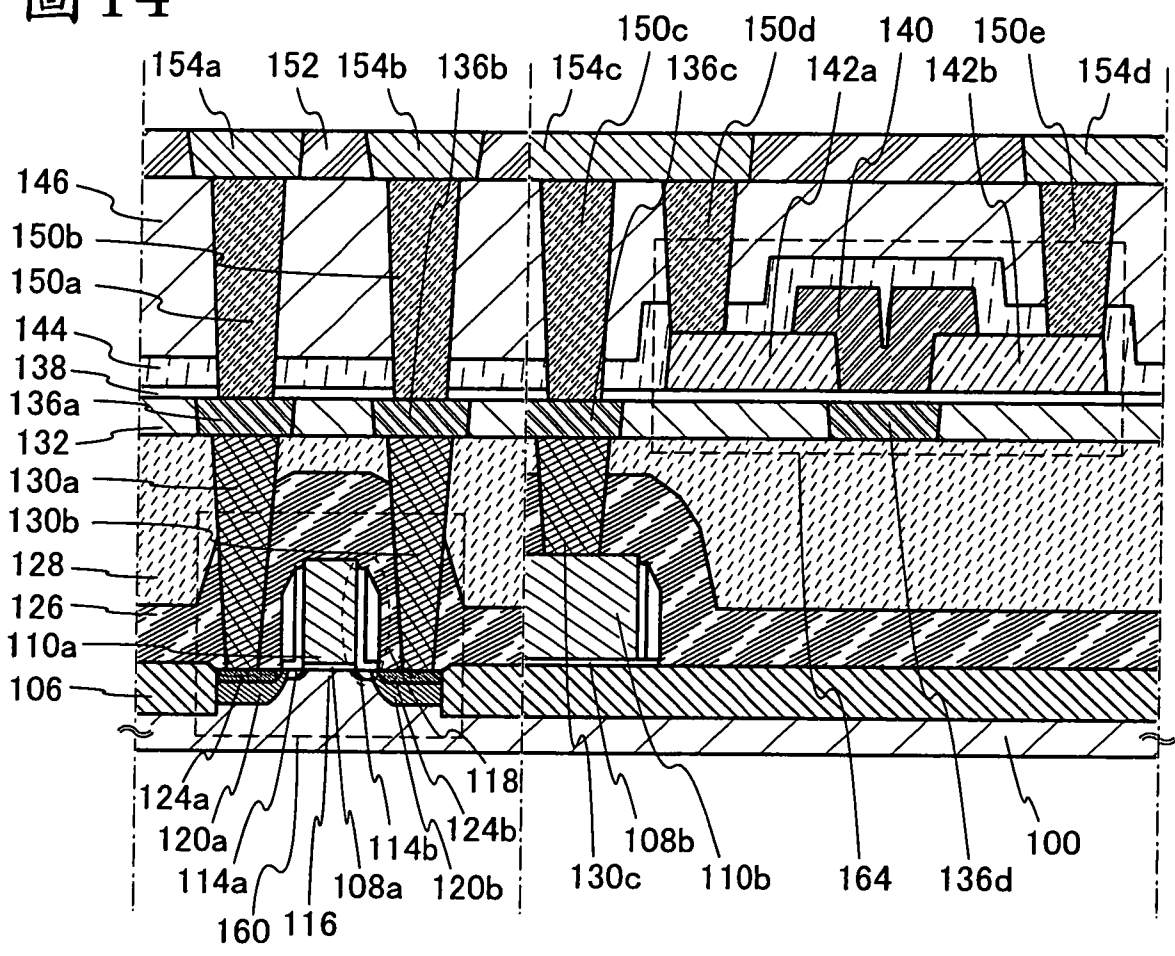


圖 15A

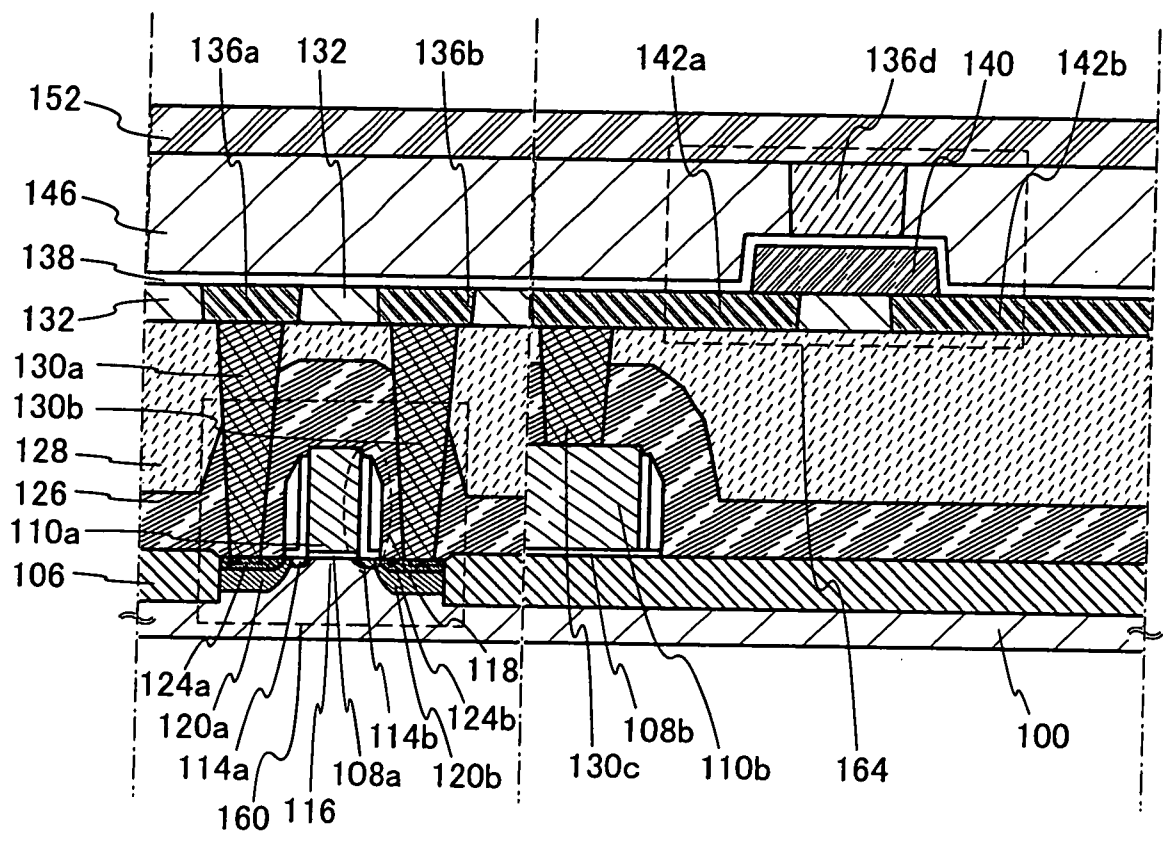


圖 15B

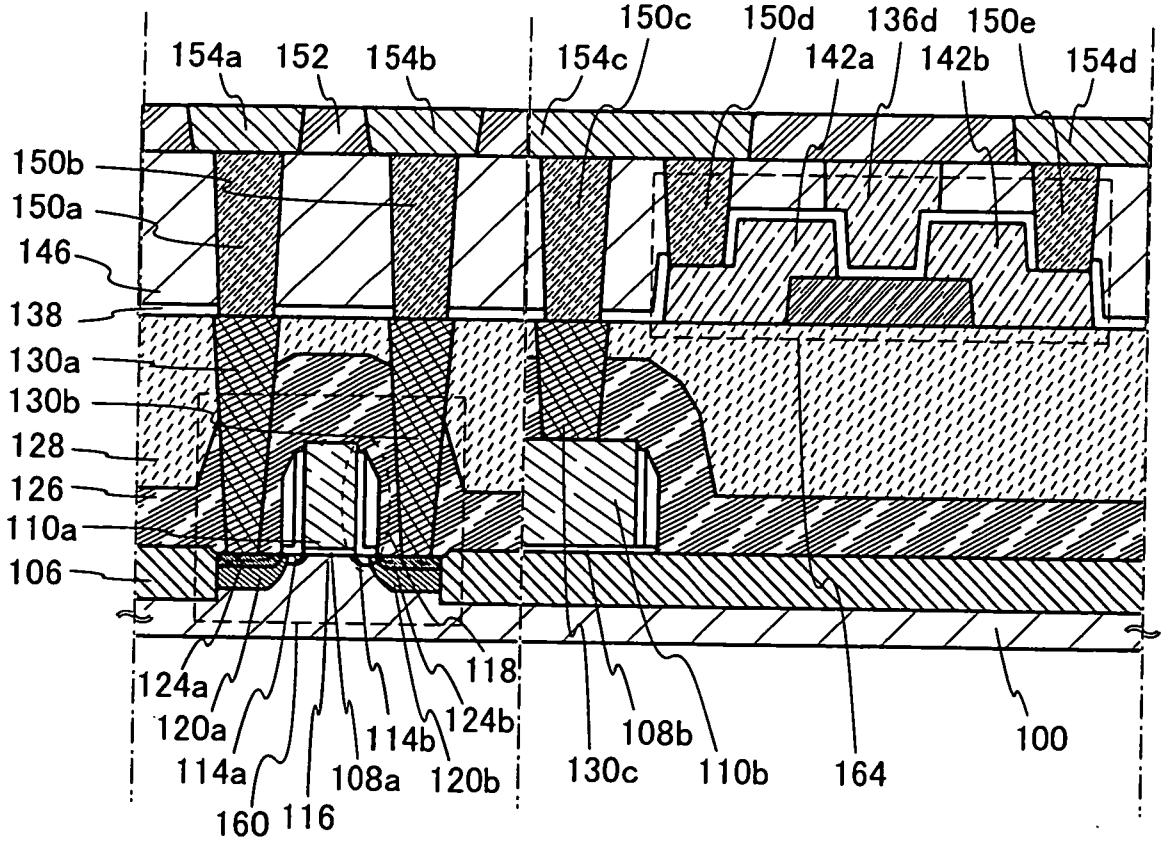


圖 16A

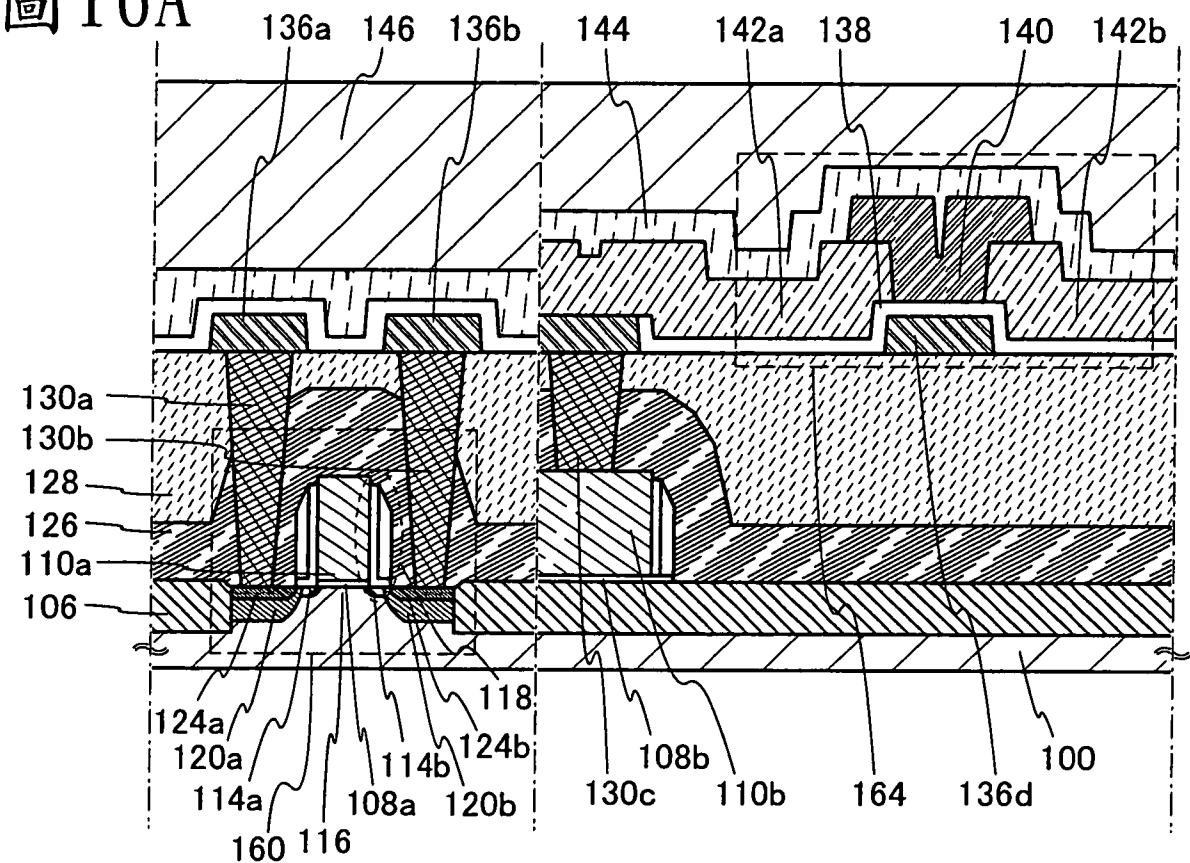


圖 16B

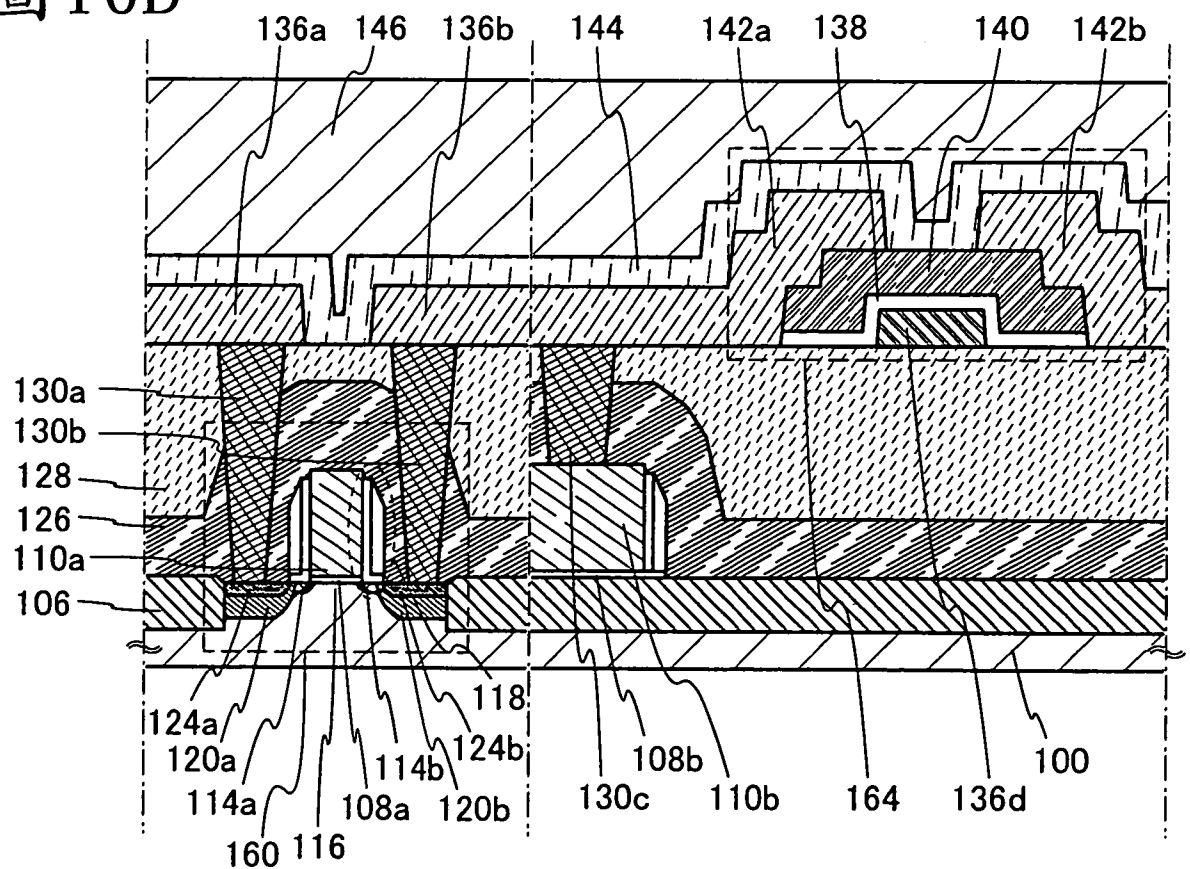


圖17A

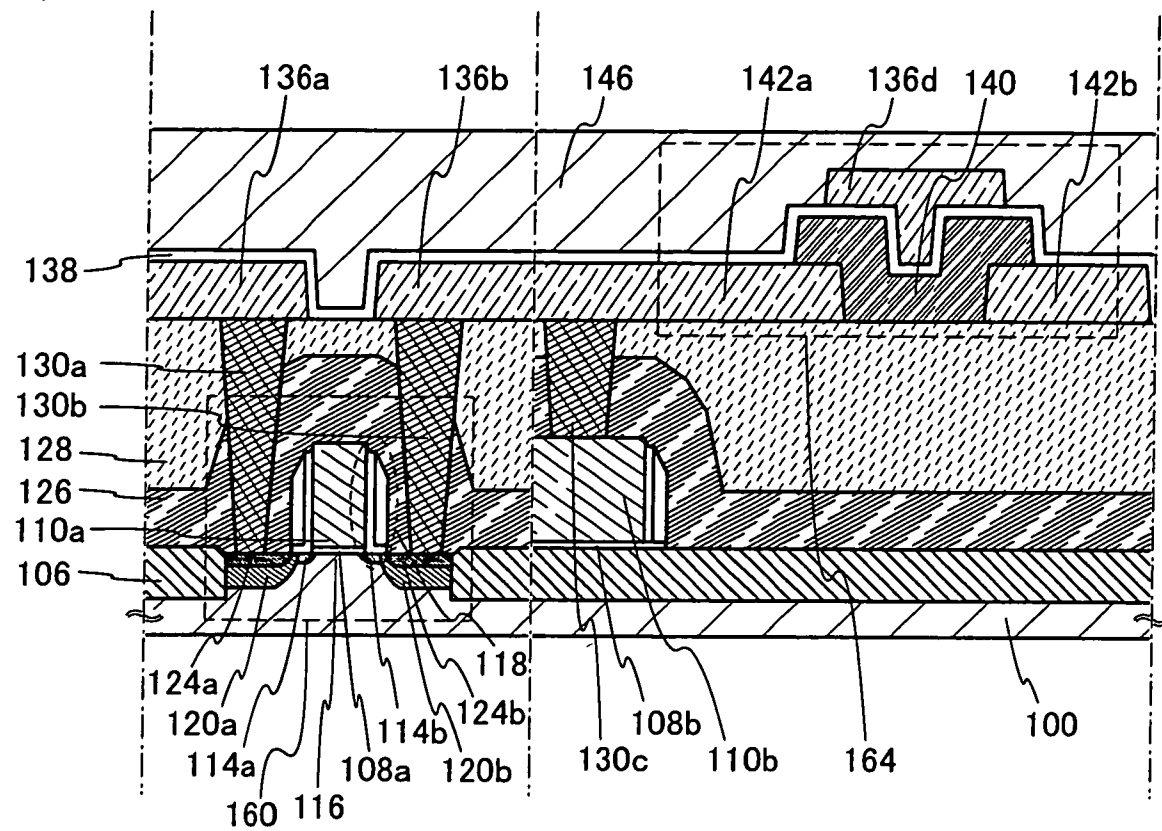


圖17B

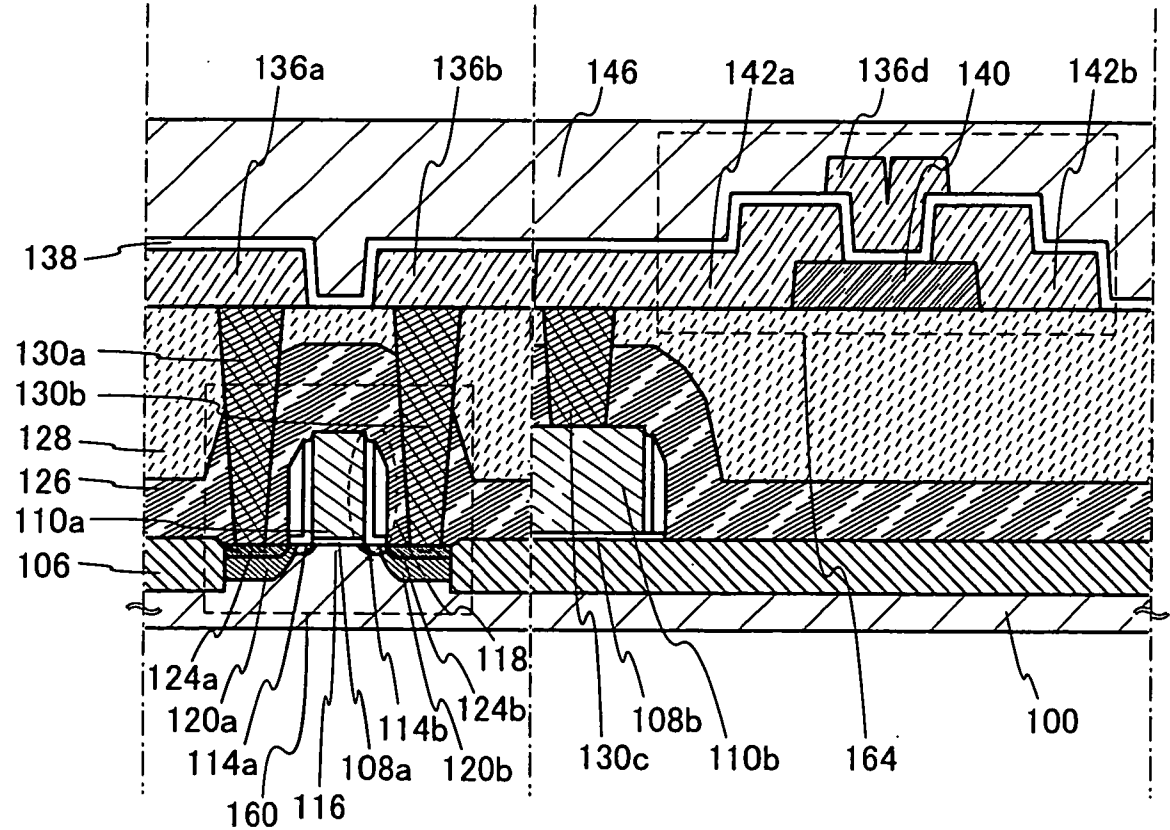
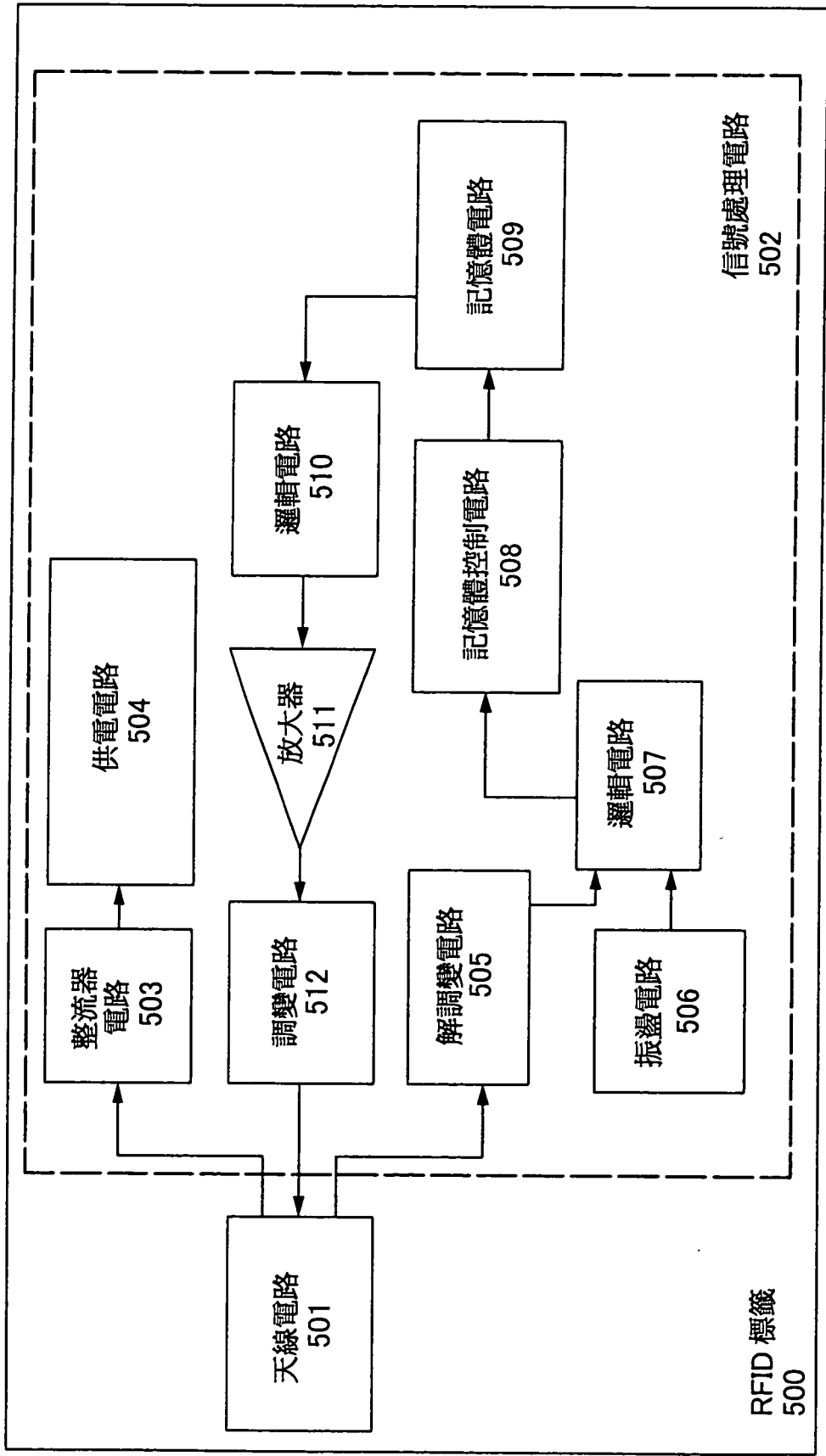


圖18



19

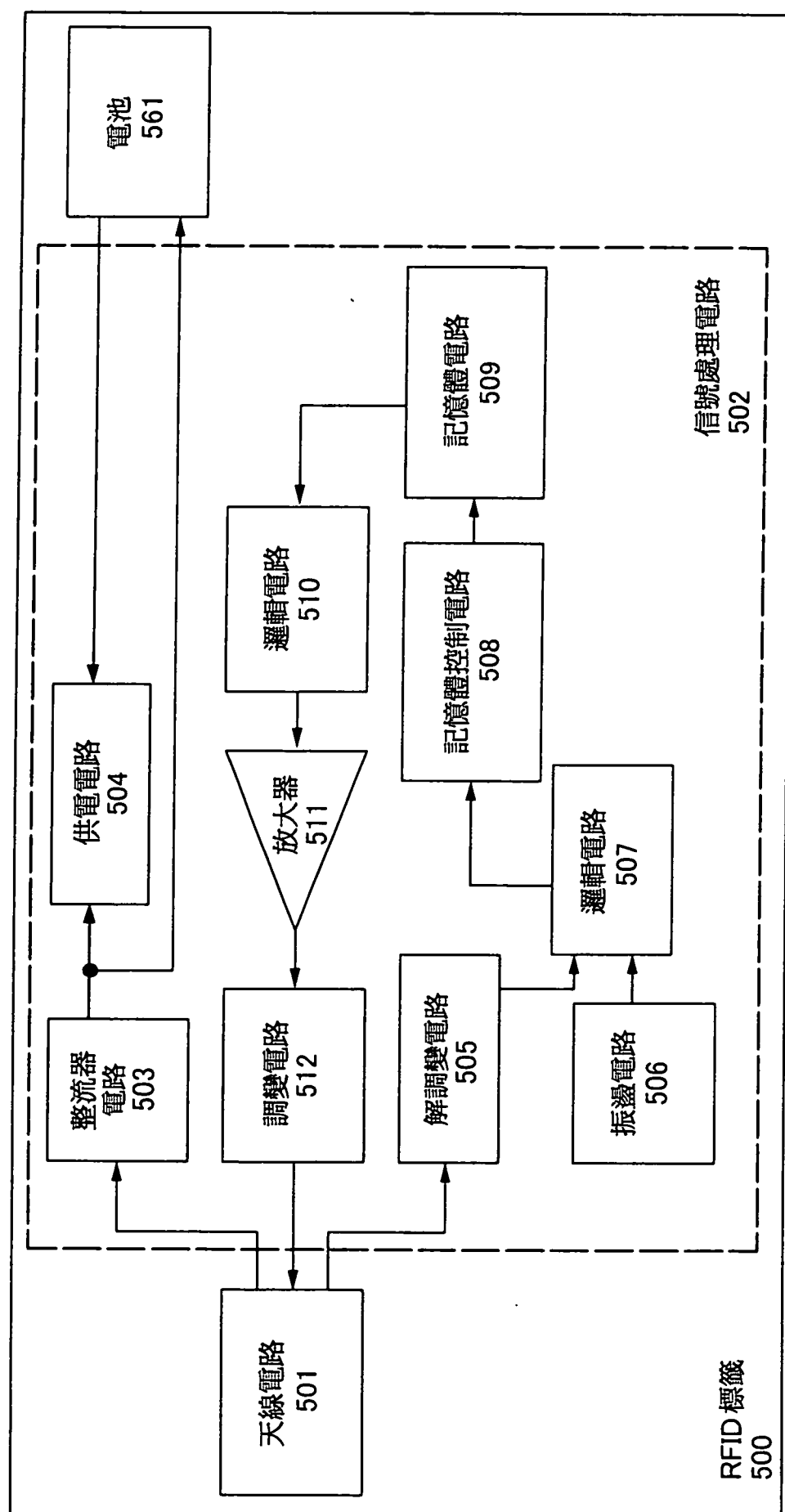


圖 20A

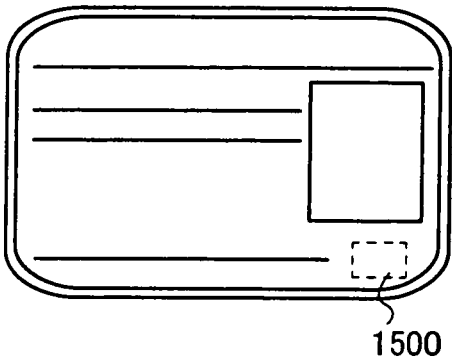


圖 20B

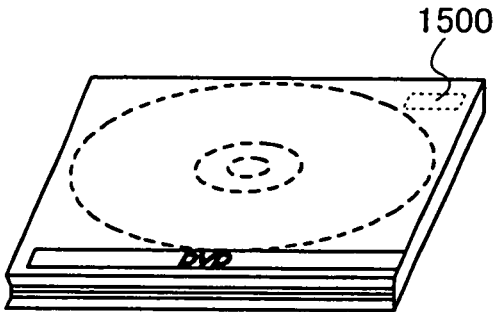


圖 20C

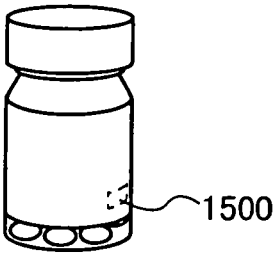


圖 20D

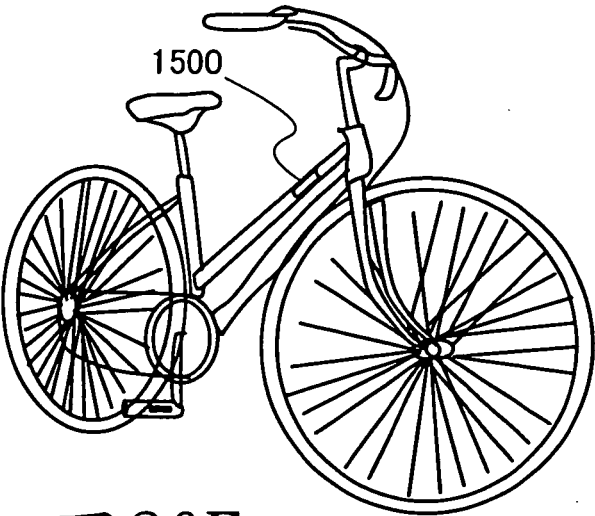


圖 20E



圖 20F

