(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 11 月 19 日(19.11.2015)

WIPO | PCT

(10) 国際公開番号
WO 2015/174151 A1

(51) 国際特許分類:
H01L 21/66 (2006.01) *G01R 31/26* (2014.01)

(21) 国際出願番号: PCT/JP2015/059896

(22) 国際出願日: 2015 年 3 月 30 日(30.03.2015)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2014-101569 2014 年 5 月 15 日(15.05.2014) JP

(71) 出願人: 住友電気工業株式会社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目５番３３号 Osaka (JP).

(72) 発明者: 山田　里美(YAMADA, Satomi); 〒5540024 大阪府大阪市此花区島屋一丁目１番３号　住友電気工業株式会社　大阪製作所内 Osaka (JP).

(74) 代理人: 特許業務法人深見特許事務所 (FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島二丁目２番７号　中之島セントラルタワー Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

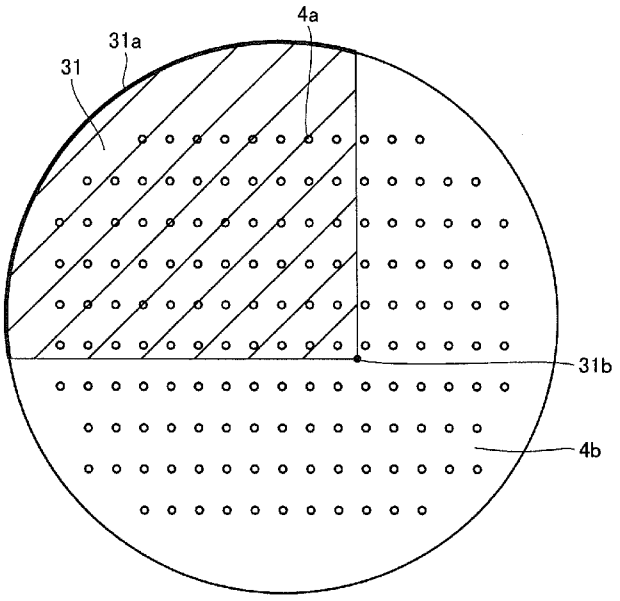
添付公開書類:
— 国際調査報告（条約第 21 条(3)）

WO 2015/174151 A1

(54) **Title**: METHOD FOR MEASURING ON-RESISTANCES OF SEMICONDUCTOR ELEMENTS AND DEVICE FOR MEASURING ON-RESISTANCES OF SEMICONDUCTOR ELEMENTS

(54) 発明の名称 : 半導体素子のオン抵抗測定方法および半導体素子のオン抵抗測定装置

FIG.8



(57) **Abstract**: Steps for measuring the on-resistances of semiconductor elements (1a) include the following steps: a step in which, while applying suction to a substrate (1) via one or more suction holes (4a) located in a first region (31) but not applying suction to the substrate (1) via one or more suction holes (4a) located in a region of the surface (4b) of the substrate (1) other than the first region (31), the on-resistance of a semiconductor element (1a) provided on a portion of the substrate (1) in the first region (31) is measured; and a step in which, while applying suction to the substrate (1) via one or more suction holes located in a second region (32) but not applying suction to the substrate (1) via one or more suction holes (4a) located in a region of the surface (4b) of the substrate (1) other than the second region (32), the on-resistance of a semiconductor element (1a) provided on a portion of the substrate (1) in the second region (32) is measured. This allows the provision of a method for measuring the on-resistances of semiconductor elements and a device for measuring the on-resistances of semiconductor elements whereby the on-resistances of semiconductor elements can be measured with a high degree of precision.

(57) 要約:

[続葉有]

半導体素子（１ａ）のオン抵抗を測定する工程は、第１領域（３１）に位置する少なくとも１以上の吸着孔（４ａ）により基板（１）を吸引しつつ、表面（４ｂ）から第１領域（３１）を除いた領域に位置する少なくとも１以上の吸着孔（４ａ）により基板（１）を吸引しない状態で、第１領域（３１）上における基板（１）の部分に設けられた半導体素子（１ａ）のオン抵抗を測定する工程と、第２領域（３２）に位置する少なくとも１以上の吸着孔により基板（１）を吸引しつつ、表面（４ｂ）から第２領域（３２）を除いた領域に位置する少なくとも１以上の吸着孔（４ａ）により基板（１）を吸引しない状態で、第２領域（３２）上における基板（１）の部分に設けられた半導体素子（１ａ）のオン抵抗を測定する工程を含む。これにより、精度良く半導体素子のオン抵抗を測定可能な、半導体素子のオン抵抗測定方法および半導体素子のオン抵抗測定装置を提供する。

明　細　書

発明の名称 ：

半導体素子のオン抵抗測定方法および半導体素子のオン抵抗測定装置

技術分野

[0001] 本発明は、半導体素子のオン抵抗測定方法および半導体素子のオン抵抗測定装置に関し、特定的には、複数の吸着孔が設けられた基板支持部を用いた半導体素子のオン抵抗測定方法および半導体素子のオン抵抗測定装置に関する。

背景技術

[0002] オン抵抗は、パワー半導体装置の重要な特性の一つであり、半導体素子が形成された後の検査工程において測定される。オン抵抗の測定は、通常、複数の半導体素子が形成されたウェハ状態で実施される。たとえば、ＭＯＳＦＥＴ（Ｍｅｔａｌ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｆｉｅｌｄ　Ｅｆｆｅｃｔ　Ｔｒａｎｓｉｓｔｏｒ）のオン抵抗を測定する場合、ゲート電極にゲート電圧を印加してＭＯＳＦＥＴをオン状態とし、あるドレイン電流を流した場合におけるソース電極およびドレイン電極の間の電圧を測定することでオン抵抗が求められる。

[0003] 検査工程において、たとえば真空吸着によりウェハがステージに保持された後、ウェハ上に形成された半導体素子の電極にプローブを接触させ、当該プローブを介して半導体素子のオン抵抗が測定される。特開２００３－５９９８５号公報（特許文献１）には、加熱冷却装置と、ステージを移動させるステージ機構部と、断熱部とが設けられたステージが記載されている。当該ステージによれば、断熱部が加熱冷却装置とステージ機構部との間に設けられることにより、加熱冷却装置からステージ機構部への熱伝達量を低減することで、ウェハの反りが低減される。

先行技術文献

特許文献

[0004] 特許文献1：特開２００３－５９９８５号公報

発明の概要

発明が解決しようとする課題

[0005] 近年、半導体基板の直径は大きくなり、かつ低損失化のために半導体基板の厚みが小さくなる傾向にある。半導体基板の直径が大きくなって、かつ厚みが小さくなると、半導体基板は反りやすくなる。特に、炭化珪素などの化合物半導体を用いた半導体基板は、珪素基板と比較して反りが大きくなる。半導体基板の反りが大きくなると、半導体基板の裏面に形成された電極が、基板保持部の表面と良好に接触できない領域が発生するため、精度良く半導体素子のオン抵抗を測定することが困難となる。

[0006] 本発明の一態様の目的は、精度良く半導体素子のオン抵抗を測定可能な、半導体素子のオン抵抗測定方法および半導体素子のオン抵抗測定装置を提供することである。

課題を解決するための手段

[0007] 本発明の一態様に係る半導体素子のオン抵抗測定方法は以下の工程を備えている。表面に複数の吸着孔が設けられた基板支持部と、第１プローブを含む測定部とが準備される。複数の半導体素子が形成された基板が基板支持部の表面に配置される。第１プローブが、複数の半導体素子の中の少なくとも１つの半導体素子の電極に接続される。測定部を用いて半導体素子のオン抵抗が測定される。半導体素子のオン抵抗を測定する工程は、基板支持部の表面の外周に囲まれた領域内の位置から、外周全体の中の一部である第１外周部に向かって放射状に広がる第１領域に位置する少なくとも１以上の吸着孔により基板を吸引しつつ、表面から第１領域を除いた領域に位置する少なくとも１以上の吸着孔により基板を吸引しない状態で、第１領域上における基板の部分に設けられた半導体素子のオン抵抗を測定する工程と、基板支持部の表面の外周に囲まれた領域内の位置から、外周全体の中の一部であって、かつ第１外周部と少なくとも一部は異なる第２外周部に向かって放射状に広がる第２領域に位置する少なくとも１以上の吸着孔により基板を吸引しつつ

、表面から第２領域を除いた領域に位置する少なくとも１以上の吸着孔により基板を吸引しない状態で、第２領域上における基板の部分に設けられた半導体素子のオン抵抗を測定する工程とを含む。

[0008] 本発明の一態様に係る半導体素子のオン抵抗測定装置は、吸着機構と、測定部とを備えている。吸着機構は、複数の半導体素子が形成された基板を吸着可能である。測定部は、複数の半導体素子のオン抵抗を測定可能である。吸着機構は、表面に複数の吸着孔が設けられた基板支持部と、複数の吸着孔による吸引を制御可能な制御部とを含む。測定部は、半導体素子の電極に電気的に接続可能な第１プローブを含む。制御部は、第１状態において、基板支持部の表面の外周に囲まれた領域内の位置から、外周全体の中の一部である第１外周部に向かって放射状に広がる第１領域に位置する少なくとも１以上の吸着孔により基板を吸引しつつ、表面から第１領域を除いた領域に位置する少なくとも１以上の吸着孔により基板を吸引しないように制御可能に構成され、かつ、第２状態において、基板支持部の表面の外周に囲まれた領域内の位置から、外周全体の中の一部であって、かつ第１外周部と少なくとも一部は異なる第２外周部に向かって放射状に広がる第２領域に位置する少なくとも１以上の吸着孔により基板を吸引しつつ、表面から第２領域を除いた領域に位置する少なくとも１以上の吸着孔により基板を吸引しないように制御可能に構成されている。

発明の効果

[0009] 本発明の一態様によれば、精度良く半導体素子のオン抵抗を測定可能な、半導体素子のオン抵抗測定方法および半導体素子のオン抵抗測定装置を提供することができる。

図面の簡単な説明

[0010] [図1]本発明の一実施の形態に係る半導体素子のオン抵抗測定装置の構成を概略的に示す断面模式図である。

[図2]本発明の一実施の形態に係る半導体素子のオン抵抗測定方法に用いられる基板の構成を概略的に示す平面模式図である。

[図3]図２の領域ＩＩＩの拡大図である。

[図4]本発明の一実施の形態に係る半導体素子のチップの構成を示す平面模式図である。

[図5]本発明の一実施の形態に係る半導体素子の構成を概略的に示す断面模式図である。

[図6]本発明の一実施の形態に係る半導体素子のオン抵抗測定装置の基板支持部の表面の構成を概略的に示す平面模式図である。

[図7]本発明の一実施の形態に係る半導体素子のオン抵抗測定方法を概略的に示すフロー図である。

[図8]本発明の一実施の形態に係る半導体素子のオン抵抗測定方法の第１状態を示す平面模式図である。

[図9]本発明の一実施の形態に係る半導体素子のオン抵抗測定方法の第２状態を示す平面模式図である。

[図10]第１領域と第２領域との重なり状態を示す平面模式図である。

[図11]本発明の一実施の形態に係る半導体素子のオン抵抗測定方法の第３状態を示す平面模式図である。

[図12]本発明の一実施の形態に係る半導体素子のオン抵抗測定方法の第４状態を示す平面模式図である。

[図13]本発明の一実施の形態に係る半導体素子のオン抵抗測定方法の第５状態を示す平面模式図である。

[図14]本発明の一実施の形態に係る半導体素子のオン抵抗測定方法の第６状態を示す平面模式図である。

発明を実施するための形態

[0011] ［本発明の実施形態の説明］

最初に本発明の実施態様を列記して説明する。

[0012] 発明者は、半導体素子のオン抵抗を精度良く測定する方策について鋭意研究の結果、以下の知見を得て本発明を見出した。

[0013] 基板１の直径が大きくなり、かつ基板１の厚みが小さくなると、基板１は

反りやすくなる。また基板１を構成する半導体材料が炭化珪素などの化合物半導体の場合は、珪素などの単一の元素からなる場合よりも、基板１は反りやすい。基板１は、高温の場合だけでなく常温の場合においても反っている。常温において、基板１が大きく反っている場合においては、基板１の裏面に形成された電極の表面全体を基板支持部４の表面４ｂ全体に接触させることは困難である。つまり、基板支持部４の表面４ｂに基板１を配置すると、基板１の裏面に形成された電極の表面の一部は、基板支持部４の表面４ｂに良好に接するが、その他の部分は、基板支持部４の表面４ｂには十分に接しない。この状態で、半導体素子１ａのオン抵抗を測定すると、基板支持部４の表面４ｂと接している基板１の部分に形成された半導体素子１ａのオン抵抗は精度良く測定されるが、基板支持部４の表面４ｂと十分に接していない基板１の部分に形成された半導体素子１ａのオン抵抗を測定すると、半導体素子１ａを流れる電流が、良好に接触している電極の部分に向かって曲がるので、半導体素子１ａのオン抵抗の値が高く測定される傾向にある。つまり、半導体素子１ａのオン抵抗の測定精度が劣化する。またオン抵抗が、たとえば１０ｍΩ以下程度と小さくなってくると、より高精度に半導体素子１ａのオン抵抗を測定することが必要とされる。

[0014] 基板１の裏面に形成された電極の表面の一部だけ見ると、当該一部はある程度平坦である。そのため、基板１の裏面に形成された電極の表面の一部のみを基板支持部４の表面４ｂの一部に吸着させることで、当該電極の表面の一部は、基板支持部４の表面４ｂの一部と良好に接触させることができる。良好に接している領域上に形成されている半導体素子１ａのオン抵抗を測定することで、当該領域上における半導体素子１ａのオン抵抗を精度良く測定することができる。次に、基板１の裏面に形成された電極の表面の他の一部のみを基板支持部４の表面４ｂの他の一部に吸着させた状態で、良好に吸着している領域上の半導体素子１ａのオン抵抗を測定する。上記作業を繰り返すことにより、基板１の全面における半導体素子１ａのオン抵抗を精度良く測定することが可能となる。

[0015] （１）本発明の一態様に係る半導体素子のオン抵抗測定方法は以下の工程を備えている。表面４ｂに複数の吸着孔４ａが設けられた基板支持部４と、第１プローブ６ｂを含む測定部３とが準備される。複数の半導体素子１ａが形成された基板１が基板支持部４の表面４ｂに配置される。第１プローブ６ｂが、複数の半導体素子１ａの中の少なくとも１つの半導体素子１ａの電極１６に接続される。測定部３を用いて半導体素子１ａのオン抵抗が測定される。半導体素子１ａのオン抵抗を測定する工程は、基板支持部４の表面４ｂの外周に囲まれた領域内の位置から、外周全体の中の一部である第１外周部３１ａに向かって放射状に広がる第１領域３１に位置する少なくとも１以上の吸着孔４ａにより基板１を吸引しつつ、表面４ｂから第１領域３１を除いた領域に位置する少なくとも１以上の吸着孔４ａにより基板１を吸引しない状態で、第１領域３１上における基板１の部分に設けられた半導体素子１ａのオン抵抗を測定する工程と、基板支持部４の表面４ｂの外周に囲まれた領域内の位置から、外周全体の中の一部であって、かつ第１外周部と少なくとも一部は異なる第２外周部３２ａに向かって放射状に広がる第２領域３２に位置する少なくとも１以上の吸着孔により基板１を吸引しつつ、表面４ｂから第２領域３２を除いた領域に位置する少なくとも１以上の吸着孔４ａにより基板１を吸引しない状態で、第２領域３２上における基板１の部分に設けられた半導体素子１ａのオン抵抗を測定する工程とを含む。

[0016] 上記（１）に係る半導体素子のオン抵抗測定方法によれば、常温時において基板１が大きく反っている場合においても、基板１の裏面に形成された電極の表面の一部のみを基板支持部４の表面４ｂの一部に吸着させることで、当該電極の表面の一部は、基板支持部４の表面４ｂの一部と良好に接触可能である。良好に接している電極の領域上に形成されている半導体素子１ａのオン抵抗を測定することで、当該領域上に形成されている半導体素子１ａのオン抵抗を精度良く測定することができる。また基板支持部４の表面４ｂの一部に設けられた吸着孔４ａのみにより基板１を吸引するので、吸引力の弱いポンプであっても基板１を基板支持部４の表面４ｂに吸着させることがで

きる。

[0017] （２）上記（１）に係る半導体素子のオン抵抗測定方法において好ましくは、第１領域３１は、第２領域３２と重なる領域３１ｃと、第２領域３２と重ならない領域３１ｄとを有する。これにより、重なる領域３１ｃにおいて、基板１の裏面に形成された電極が、基板支持部４の表面４ｂと良好に接触することができる。結果として、半導体素子１ａのオン抵抗を精度良く測定することができる。

[0018] （３）上記（２）に係る半導体素子のオン抵抗測定方法において好ましくは、半導体素子１ａのオン抵抗を測定する工程は、第１領域３１および第２領域３２上に位置する少なくとも１以上の吸着孔４ａにより基板１を吸引しつつ、表面４ｂから第１領域３１および第２領域３２を除いた領域に位置する少なくとも１以上の吸着孔４ａにより基板１を吸着しない状態で、第１領域３１と第２領域３２とが重なる領域上における基板１の部分に設けられた半導体素子１ａのオン抵抗を測定する工程をさらに含む。これにより、第１領域３１が第２領域３２と重なる領域３１ｃにおいて、基板１の裏面に形成された電極が、基板支持部４の表面４ｂと良好に接触することができる。結果として、第１領域３１が第２領域３２と重なる領域３１ｃにおいて、半導体素子１ａのオン抵抗を精度良く測定することができる。

[0019] （４）上記（１）～（３）のいずれかに係る半導体素子のオン抵抗測定方法において好ましくは、半導体素子１ａは、裏面電極２０を有する。電極に接続する工程は、第１プローブ６ｂを電極１６に電気的に接続する工程と、第２プローブ６ａを裏面電極２０に電気的に接続する工程とを含む。半導体のオン抵抗を測定する工程は、第１プローブ６ｂと第２プローブ６ａとの間において半導体素子１ａのオン抵抗が測定される。これにより、表面電極１６および裏面電極２０の間のオン抵抗を精度良く測定することができる。

[0020] （５）上記（１）～（４）のいずれかに係る半導体素子のオン抵抗測定方法において好ましくは、基板１は、炭化珪素基板を含む。炭化珪素は化合物半導体であるため、常温においても大きな反りを有する。上記半導体素子の

オン抵抗測定方法は、常温においても大きな反りを有する炭化珪素基板を含む基板に対して好適に利用可能である。

[0021] （６）上記（１）～（５）のいずれかに係る半導体素子のオン抵抗測定方法において好ましくは、基板１の主面１ｄの最大径は、１００ｍｍ以上である。基板１の主面１ｄの最大径が大きくなると、基板１は反りやすくなる。上記半導体素子のオン抵抗測定方法は、基板１の主面１ｄの最大径が１００ｍｍ以上の基板１に対して好適に利用可能である。

[0022] （７）上記（１）～（６）のいずれかに係る半導体素子のオン抵抗測定方法において好ましくは、基板１の厚みは、３００μｍ以下である。基板１の厚みが小さくなると、基板１は反りやすくなる。上記半導体素子のオン抵抗測定方法は、基板１の厚みが３００μｍ以下の基板１に対して好適に利用可能である。

[0023] （８）本発明の一態様に係る半導体素子のオン抵抗測定装置１００は、吸着機構２と、測定部３とを備えている。吸着機構２は、複数の半導体素子１ａが形成された基板１を吸着可能である。測定部３は、複数の半導体素子１ａのオン抵抗を測定可能である。吸着機構２は、表面４ｂに複数の吸着孔４ａが設けられた基板支持部４と、複数の吸着孔４ａによる吸引を制御可能な制御部５とを含む。測定部３は、半導体素子１ａの電極１６に電気的に接続可能な第１プローブ６ｂを含む。制御部５は、第１状態において、基板支持部４の表面４ｂの外周に囲まれた領域内の位置３１ｂから、外周全体の中の一部である第１外周部３１ａに向かって放射状に広がる第１領域３１に位置する少なくとも１以上の吸着孔により基板１を吸引しつつ、表面４ｂから第１領域３１を除いた領域に位置する少なくとも１以上の吸着孔４ａにより基板１を吸引しないように制御可能に構成され、かつ、第２状態において、基板支持部４の表面４ｂの外周に囲まれた領域内の位置３２ｂから、外周全体の中の一部であって、かつ第１外周部３１ａと少なくとも一部は異なる第２外周部３２ａに向かって放射状に広がる第２領域３２に位置する少なくとも１以上の吸着孔４ａにより基板１を吸引しつつ、表面４ｂから第２領域３２

を除いた領域に位置する少なくとも１以上の吸着孔４ａにより基板１を吸引しないように制御可能に構成されている。

[0024] 上記（８）に係る半導体素子のオン抵抗測定装置１００によれば、常温時において基板１が大きく反っている場合においても、基板１の裏面に形成された電極の表面の一部のみを基板支持部４の表面４ｂの一部に吸着させることで、当該電極の表面の一部は、基板支持部４の表面４ｂの一部と良好に接触可能である。良好に接している電極の領域上に形成されている半導体素子１ａのオン抵抗を測定することで、当該領域上に形成されている半導体素子１ａのオン抵抗を精度良く測定することができる。また基板支持部４の表面４ｂの一部に設けられた吸着孔４ａのみにより基板１を吸引するので、吸引力の弱いポンプであっても基板１を基板支持部４の表面４ｂに吸着させることができる。

[0025] （９）上記（８）に係る半導体素子のオン抵抗測定装置１００において好ましくは、第１領域３１は、第２領域３２と重なる領域３１ｃと、第２領域３２と重ならない領域３１ｄとを有する。これにより、重なる領域３１ｃにおいて、基板１の裏面に形成された電極が、基板支持部４の表面４ｂと良好に接触することができる。結果として、半導体素子１ａのオン抵抗を精度良く測定することができる。

[0026] （１０）上記（８）または（９）に係る半導体素子のオン抵抗測定装置１００において好ましくは、半導体素子１ａは、裏面電極２０を有する。測定部３は、裏面電極２０に電気的に接続される第２プローブ６ａを含む。測定部は、第１プローブおよび第２プローブの間において半導体素子のオン抵抗を測定可能に構成されている。これにより、表面電極１６および裏面電極２０の間のオン抵抗を精度良く測定することができる。

[0027] （１１）上記（８）～（１０）のいずれかに係る半導体素子のオン抵抗測定装置１００において好ましくは、基板支持部４の表面４ｂの最大径Ｗは、１００ｍｍ以上である。これにより、基板１の最大径が１００ｍｍ以上の場合であっても、基板１を基板支持部４の表面４ｂに強固に吸着することがで

きる。

[0028] （１２）上記（８）～（１１）のいずれかに係る半導体素子のオン抵抗測定装置１００において好ましくは、基板支持部４の表面４ｂと垂直な方向から見て、吸着孔４ａの面積は、半導体素子１ａのチップ１ｂの面積の２％以上１０％以下である。吸着孔４ａの面積は、半導体素子１ａのチップ１ｂの面積の２％未満であれば、基板１を基板支持部４の表面４ｂに吸着する力が十分ではない。吸着孔４ａの面積は、半導体素子１ａのチップ１ｂの面積の１０％以上であれば、基板１に設けられた裏面電極が基板支持部４の表面４ｂと接触する面積が小さくなるので、オン抵抗を精度良く測定することが困難となる。吸着孔４ａの面積を、半導体素子１ａのチップ１ｂの面積の２％以上１０％以下とすることにより、十分な吸着力で基板１を基板支持部４の表面４ｂに吸着しながら、半導体素子１ａのオン抵抗を精度良く測定することができる。

[0029] （１３）上記（８）～（１２）のいずれかに係る半導体素子のオン抵抗測定装置１００において好ましくは、基板支持部４の表面４ｂと平行な方向における、半導体素子１ａのチップ１ｂの短辺方向に沿った吸着孔４ａのピッチｘ２は、短辺方向に沿った半導体素子１ａのチップ１ｂのピッチｘ１以下である。これにより、少なくともチップ１ｂに対して１以上の吸着孔４ａが割り当てられるため、各チップ１ｂを強固に基板支持部４の表面４ｂに吸着することができる。

[0030] （１４）上記（８）～（１３）のいずれかに係る半導体素子のオン抵抗測定装置１００において好ましくは、制御部５は、第１状態において、第１領域３１上に位置する基板１の部分に設けられた半導体素子１ａのオン抵抗を測定可能に構成され、かつ第２状態において、第２領域３２上に位置する基板１の部分に設けられた半導体素子１ａのオン抵抗を測定可能に構成されている。これにより、制御部５により自動で各領域上における半導体素子１ａのオン抵抗を測定することができる。

［本発明の実施形態の詳細］

以下、図面に基づいて本発明の実施の形態について説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付しその説明は繰返さない。また、本明細書中の結晶学的記載においては、個別方位を［］、集合方位を＜＞、個別面を（）、集合面を｛｝でそれぞれ示している。また、負の指数については、結晶学上、”－”（バー）を数字の上に付けることになっているが、本明細書中では、数字の前に負の符号を付けている。

[0031] まず、本発明の一実施の形態に係る半導体素子のオン抵抗測定装置１００の構成について説明する。

[0032] 図１を参照して、実施の形態１に係る半導体素子のオン抵抗測定装置１００は、吸着機構２と、測定部３とを主に有している。吸着機構２は、基板支持部４と、吸引ポンプ７と、制御部５とを主に有しており、複数の半導体素子１ａが形成された基板１を吸着可能に構成されている。基板支持部４は、基板１を支持可能な表面４ｂを有している。基板支持部４の表面４ｂには、複数の吸着孔４ａが設けられている。複数の吸着孔４ａは、たとえば基板支持部４を貫通し、基板支持部４の裏面に開口している。基板支持部４の裏面に設けられた開口部は、たとえば吸引ポンプ７に接続されている。制御部５は、複数の吸着孔４ａによる吸引を制御可能に構成されている。

[0033] 測定部３は、ゲート駆動部８と、電圧源９と、プローブ６とを主に有しており、複数の半導体素子１ａのオン抵抗を測定可能に構成されている。ゲート駆動部８は、ゲート電極２７にゲート電圧を印加可能に設けられている。電圧源９は、ソース電極１６およびドレイン電極２０の間にドレイン電圧を印加可能に設けられている。測定部３は、ソース電極１６およびドレイン電極２０の間のドレイン電流を測定可能な電流測定部（図示せず）を有していてもよい。

[0034] プローブ６は、半導体素子１ａの電極１６に電気的に接続可能に構成されている。プローブ６は、たとえば、第１プローブ６ｂと、第２プローブ６ａと、第３プローブ６ｃとを有している。半導体素子１ａが、たとえば表面電極１６と、裏面電極２０、ゲート電極２７とを有する縦型半導体である場合

、第１プローブ６ｂは、表面電極１６に電気的に接続されるように構成されており、第２プローブ６ａは、裏面電極２０に電気的に接続されるように構成されており、第３プローブ６ｃは、ゲート電極２７に電気的に接続されるように構成されている。ゲート駆動部８は、第１プローブ６ｂと第３プローブ６ｃとの間に設けられていてよい。電圧源９は、第２プローブ６ａと第３プローブ６ｃとの間に設けられていてもよい。測定部３は、第１プローブ６ｂおよび第２プローブ６ａの間において半導体素子１ａのオン抵抗を測定可能に構成されている。

[0035] 次に、基板支持部４により表面４ｂに吸着される基板の構成について説明する。

図２を参照して、基板１の主面１ｄにおいて、外周部１ｃに囲まれた領域には、複数の半導体素子１ａが形成されている。複数の半導体素子１ａの各々は、たとえばダイシングライン５０により分離可能に構成されている。ダイシングライン５０は、ある特定の方向（たとえば＜１－１００＞方向）に沿って延在する第１ダイシングライン５０ａと、ある特定の方向に対して垂直な方向（たとえば＜１１－２０＞方向）に沿って延在する第２ダイシングライン５０ｂとを含む。

[0036] 図３は、図２の領域ＩＩＩの拡大図である。図３を参照して、複数の半導体素子１ａの各々は、ダイシングライン５０によって互いに隔てられている。複数の半導体素子１ａの各々の表面には、たとえばゲート電極２７とソース電極１６とが露出している。つまり、ゲート電極２７およびソース電極１６の各々は、基板１の第１の主面１ｄ側に露出している。半導体素子１ａのチップは、平面視において、たとえば長方形の形状を有する。複数の半導体素子１ａのチップの各々は、第１ダイシングライン５０ａが延在する方向に沿って一定の間隔ｙ１で設けられており、かつ第２ダイシングライン５０ｂが延在する方向に沿って一定の間隔ｘ１で設けられている。

[0037] 図４は、基板１がダイシングライン５０に沿って切断された場合に形成される半導体素子１ａのチップ１ｂである。図４に示すように半導体素子１ａ

のチップ１ｂは、平面視（基板１の主面１ｄに対して垂直な方向から見た視野）において、たとえば長方形または正方形の形状を有する。つまり、半導体素子１ａのチップ１ｂが長方形の場合、半導体素子１ａのチップ１ｂは、長辺と短辺とを有する。半導体素子１ａのチップ１ｂの長辺の長さｙ３および短辺の長さｘ３の各々は、たとえば２ｍｍ以上６ｍｍ以下程度である。

[0038] 次に、半導体素子１ａの一例としてのＭＯＳＦＥＴの構成について説明する。

図５は、基板１の第１の主面１ｄに平行な方向に沿った視野（断面視）における、半導体素子１ａの構成を示す断面模式図である。図５を参照して、半導体素子１ａの一例としてのＭＯＳＦＥＴ１ａは、たとえば縦型半導体素子であり、炭化珪素基板１０と、ゲート電極２７と、ゲート酸化膜１５と、層間絶縁膜２１と、ソース電極１６と、ドレイン電極２０とを主に有している。炭化珪素基板１０は、第１の主面１０ａと、第１の主面１０ａと反対側の第２の主面１０ｂとを有し、炭化珪素単結晶基板１１と、炭化珪素単結晶基板１１上に設けられた炭化珪素エピタキシャル層１７とを主に含む。

[0039] 炭化珪素単結晶基板１１は、たとえばポリタイプ４Ｈの六方晶炭化珪素単結晶からなる。炭化珪素基板１０の第１の主面１０ａの最大径は、たとえば１００ｍｍより大きく、好ましくは１５０ｍｍ以上である。炭化珪素基板１０の第１の主面１０ａは、たとえば｛０００１｝面または｛０００１｝面から８°以下オフした面である。具体的には、第１の主面１０ａは、たとえば（０００１）面または（０００１）面から８°以下程度オフした面であり、第２の主面１０ｂは、（０００－１）面または（０００－１）面から８°以下程度オフした面である。炭化珪素基板１０の厚みは、たとえば６００μｍ以下であり、好ましくは３００μｍ以下である。

[0040] 炭化珪素エピタキシャル層１７は、ドリフト領域１２と、ボディ領域１３と、ソース領域１４と、コンタクト領域１８とを有している。ドリフト領域１２は、窒素などのドナー不純物を含むｎ型（第１導電型）の領域である。ドリフト領域１２におけるドナー不純物の濃度は、たとえば５．０×10^{15}ｃ

m^{-3}程度である。ボディ領域１３はｐ型（第２導電型）を有する領域である。ボディ領域１３に含まれるアクセプタ不純物は、たとえばＡｌ（アルミニウム）またはＢ（ホウ素）などである。ボディ領域１３に含まれるアクセプタ不純物の濃度は、たとえば$１\times１０^{17}ｃｍ^{-3}$程度である。

[0041] ソース領域１４は、リンなどのドナー不純物を含むｎ型の領域である。ソース領域１４は、ボディ領域１３に取り囲まれるように形成されている。ソース領域１４のドナー不純物の濃度は、ドリフト領域１２のドナー不純物の濃度よりも高い。ソース領域１４のドナー不純物の濃度はたとえば$１\times１０^{20}ｃｍ^{-3}$である。ソース領域１４は、ボディ領域１３によりドリフト領域１２と隔てられている。

[0042] コンタクト領域１８は、アルミニウムなどのアクセプタ不純物を含むｐ型領域である。コンタクト領域１８は、ソース領域１４に囲まれて設けられており、ボディ領域１３に接して形成されている。コンタクト領域１８のアクセプタ不純物の濃度は、ボディ領域１３のアクセプタ不純物の濃度よりも高い。コンタクト領域１８におけるＡｌまたはＢなどの不純物濃度はたとえば$１\times１０^{20}ｃｍ^{-3}$である。

[0043] ゲート酸化膜１５は、一方のソース領域１４の上部表面から他方のソース領域１４の上部表面にまで延在するように炭化珪素基板１０の第１の主面１０ａに接して形成されている。ゲート酸化膜１５は、炭化珪素基板１０の第１の主面１０ａにおいてソース領域１４、ボディ領域１３およびドリフト領域１２に接している。ゲート酸化膜１５は、たとえば二酸化珪素からなっている。ゲート酸化膜１５の厚みは、たとえば４０ｎｍ以上６０ｎｍ以下程度である。

[0044] ゲート電極２７は、一方のソース領域１４上から他方のソース領域１４上にまで延在するように、ゲート酸化膜１５に接触して配置されている。ゲート電極２７は、炭化珪素基板１０との間にゲート酸化膜１５を挟むようにゲート酸化膜１５上に設けられている。ゲート電極２７は、ソース領域１４、ボディ領域１３およびドリフト領域１２の上方にゲート酸化膜１５を介して

形成されている。ゲート電極２７は、たとえば不純物がドーピングされたポリシリコンまたはＡｌなどの導電体からなっている。ゲート電極２７は、第３プローブ６ｃ（図１参照）に電気的に接続される。

[0045] ソース電極１６は、ソース電極部１６ａと表面保護電極１６ｂと有する。ソース電極部１６ａは、炭化珪素基板１０の第１の主面１０ａにおいてソース領域１４およびコンタクト領域１８と接する。ソース電極部１６ａは、たとえばＴｉＡｌＳｉを含む。ソース電極部１６ａは、ソース領域１４とオーミック接合している。表面保護電極１６ｂは、ソース電極部１６ａと直接接触しており、層間絶縁膜２１を覆うように設けられている。表面保護電極１６ｂは、ソース電極１６を介してソース領域１４と電気的に接続されている。ソース電極１６の表面保護電極１６ｂは、第１プローブ６ｂ（図１参照）に電気的に接続される。

[0046] 層間絶縁膜２１は、ゲート電極２７を覆うようにゲート電極２７およびゲート酸化膜１５の各々に接して設けられている。層間絶縁膜２１は、ゲート電極２７とソース電極１６とを電気的に絶縁している。

[0047] ドレイン電極２０は、ドレイン電極部２０ａと、裏面保護電極２０ｂとを含む。ドレイン電極部２０ａは、炭化珪素基板１０の第２の主面１０ｂに接して設けられている。ドレイン電極部２０ａは、ＮｉＳｉ（ニッケルシリサイド）など、炭化珪素単結晶基板１１とオーミックコンタクト可能な材料からなっている。裏面保護電極２０ｂは、ドレイン電極部２０ａと電気的に接続されており、基板支持部４の表面４ｂに接し、基板支持部４を介して第２プローブ６ａ（図１参照）に電気的に接続される。

[0048] 次に、基板支持部４の表面４ｂの構成について図６を参照して説明する。図６において、基板支持部４の表面４ｂに基板１が配置された状態を破線で示す。基板支持部４の表面４ｂに対して垂直な方向から見た場合、基板支持部４の表面４ｂは、たとえば円形の形状を有する。基板１の外周部１ｃは、基板支持部４の表面４ｂの外周部の内側に位置する。つまり、基板１の表面４ｂの直径は、基板支持部４の表面４ｂの直径よりも小さい。基板支持部４

の表面４ｂの最大径Wは、たとえば１００ｍｍ以上であり、このましくは１５０ｍｍ以上である。

[0049] 図６に示すように、基板支持部４の表面４ｂには複数の吸着孔４ａが設けられている。複数の吸着孔４ａの各々は、一定の間隔を隔てて設けられている。たとえば、半導体素子１ａのチップ１ｂの各々の直下において、一つの吸着孔４ａが設けられている。基板１において半導体素子１ａのチップ１ｂが設けられていない領域の直下においても複数の吸着孔４ａの一部が設けられていてもよい。図３、図４および図６を参照して、基板支持部４の表面４ｂと平行な方向における、半導体素子１ａのチップ１ｂの短辺方向に沿った吸着孔のピッチｘ２は、短辺方向に沿った半導体素子１ａのチップ１ｂのピッチｘ１以下であることが好ましい。同様に、基板支持部４の表面４ｂと平行な方向における、半導体素子１ａのチップ１ｂの長辺方向に沿った吸着孔のピッチｙ２は、長辺方向に沿った半導体素子１ａのチップ１ｂのピッチｙ１以下であってもよい。たとえば、半導体素子１ａのチップ１ｂの短辺方向の長さが４ｍｍの場合、半導体素子１ａのチップ１ｂの短辺方向のピッチは、たとえば４．１ｍｍ以上４．５ｍｍ以下である。また半導体素子１ａのチップ１ｂの短辺方向に沿った吸着孔４ａのピッチｘ２は、たとえば４．１ｍｍ以上４．５ｍｍ以下である。

[0050] 好ましくは、基板支持部４の表面４ｂと垂直な方向から見て、吸着孔４ａの面積は、半導体素子１ａのチップ１ｂの面積の２％以上１０％以下である。図４を参照して、半導体素子１ａのチップ１ｂの面積は、長辺方向の長さｙ３と短辺方向の長さｘ３との積で計算される。基板支持部４の表面４ｂに対して垂直な方向で見た場合、吸着孔４ａの形状はたとえば円形であり、吸着孔４ａの面積は、当該円の面積（図４において斜線で示す部分の面積）となる。

[0051] 次に、基板１を基板支持部４の表面４ｂに吸着する方法について説明する。

本実施の形態の吸着機構２は、基板支持部４の表面４ｂのある特定の領域

に設けられた吸着孔４ａを用いた吸引を行うことにより、基板１を表面４ｂに吸着させ、かつ表面４ｂにおいて当該ある特定の領域以外の領域に設けられた吸着孔４ａを用いた吸引を行わないように構成されている。制御部５が吸着孔４ａを用いて基板１の吸引を制御するように構成されている。

[0052] 図８を参照して、制御部５は、第１状態において、基板支持部４の表面４ｂの外周に囲まれた領域内の第１位置３１ｂから、表面４ｂの外周全体の中の一部である第１外周部３１ａに向かって放射状に広がる第１領域３１に位置する全ての吸着孔により基板１を吸引しつつ、表面４ｂから第１領域３１を除いた領域に位置する全ての吸着孔４ａにより基板１を吸引しないように制御可能に構成されている。つまり、図８において、斜線で示された第１領域３１に位置する吸着孔４ａにより基板１が基板支持部４の表面４ｂに吸着され、かつ表面４ｂにおいて斜線で示された第１領域３１以外の領域に位置する吸着孔４ａによっては基板１を基板支持部４の表面４ｂには吸着しないように構成されている。第１領域３１には、少なくとも１以上の吸着孔４ａが設けられており、好ましくは複数の吸着孔４ａが設けられている。なお、上記第１位置３１ｂは、表面４ｂにおいて外周よりも内側の領域に位置し、外周上には位置しない。好ましくは、制御部５は、第１状態において、第１領域３１上に位置する基板１の部分に設けられた半導体素子１ａのオン抵抗を測定可能に構成されている。

[0053] 図９を参照して、制御部５は、第１状態とは異なる第２状態において、基板支持部４の表面４ｂの外周に囲まれた領域内の第２位置３２ｂから、外周全体の中の一部であって、かつ第１外周部３１ａと少なくとも一部は異なる第２外周部３２ａに向かって放射状に広がる第２領域３２に位置する全ての吸着孔４ａにより基板１を吸引しつつ、表面４ｂから第２領域３２を除いた領域に位置する全ての吸着孔により基板１を吸引しないように制御可能に構成されている。つまり、図９において、斜線で示された第２領域３２に位置する吸着孔４ａにより基板１が基板支持部４の表面４ｂに吸着され、かつ表面４ｂにおいて斜線で示された第２領域３２以外の領域に位置する吸着孔４

ａによっては基板１を基板支持部４の表面４ｂには吸着しないように構成されている。第２領域３２には、少なくとも１以上の吸着孔４ａが設けられており、好ましくは複数の吸着孔４ａが設けられている。なお、上記第２位置３２ｂは、表面４ｂにおいて外周よりも内側の領域に位置し、外周上には位置しない。上記第２位置３２ｂは、上記第１位置３１ｂと同じ位置であってもよいし、異なる位置であってもよい。好ましくは、制御部５は、第２状態において、第２領域３２上に位置する基板１の部分に設けられた半導体素子１ａのオン抵抗を測定可能に構成されている。

[0054] 図１０を参照して、好ましくは、第１領域３１は、第２領域３２と重なる領域３１ｃと、第２領域３２と重ならない領域３１ｄとを有する。つまり、第１領域３１は、第２領域３２と一部重なる。第１領域３１および第２領域３２は、基板支持部４の表面４ｂの中心に対して対角線上に設けられていてもよい。たとえば第２領域３２の第２位置３２ｂは、第１領域３１内に設けられ、かつ第１領域３１の第１位置３１ｂは、第２領域３２内に設けられていてもよい。好ましくは、制御部５は、ある状態において、第１領域３１および第２領域３２上に位置する全ての吸着孔４ａにより基板１を吸引しつつ、表面４ｂから第１領域３１および第２領域３２を除いた領域に位置する全ての吸着孔４ａにより基板１を吸着しないように構成されていてもよい。好ましくは、制御部５は、この状態において、第１領域３１と第２領域３２とが重なる領域３１ｃ上における基板１の部分に設けられた半導体素子１ａのオン抵抗を測定可能に構成されていてもよい。

[0055] 以上のように、制御部５は、基板支持部４の表面４ｂを一部が重なる２以上の領域に分割し、各領域における吸着孔４ａによる吸引を独立に制御するように構成されている。分割される領域の数は、たとえば４以上であることが好ましいが、分割される領域の数は、特に限定されない。たとえば、各吸着孔４ａに連通するパイプに電磁弁を設け、当該電磁弁の開閉を制御部５によって制御することにより、上記各領域における吸着孔４ａによる吸引を独立に制御可能である。代替的な方法としては、各領域に連通する複数の吸引

ポンプを設け、各吸引ポンプによる吸引を制御部５によって制御することによって、上記各領域における吸着孔４ａによる吸引を独立に制御してもよい。

[0056] 次に、本発明の一実施の形態に係る半導体素子のオン抵抗測定方法について説明する。

まず、基板支持部及び測定部準備工程（Ｓ１０：図７）が実施される。具体的には、図１を参照して、基板支持部４と、プローブ６を含む測定部３とが準備される。基板支持部４の表面４ｂには複数の吸着孔４ａが設けられている。基板支持部４および測定部３の構成は上述の通りである。

[0057] 次に、基板を基板支持部の表面に配置する工程（Ｓ２０：図７）が実施される。図１および図６を参照して、複数の半導体素子１ａが形成された基板１が基板支持部４の表面４ｂに配置される。好ましくは、基板１が含む半導体基板１０の第１の主面１０ａの最大径は、１００ｍｍ以上であり、より好ましくは１５０ｍｍ以上である。好ましくは、基板１が含む半導体基板１０の厚みは、３００μｍ以下であり、より好ましくは２００μｍ以下である。なお、半導体基板１０の厚みは、半導体基板１０の第２の主面１０ｂが研磨された後に第２の主面１０ｂに裏面電極２０が形成された後における厚みである。半導体素子１ａは、たとえば縦型半導体素子である。縦型半導体素子は、たとえばＭＯＳＦＥＴおよびショットキーバリアダイオードなどである。好ましくは、半導体基板１０は、ワイドバンドギャップ半導体基板である。ワイドバンドギャップ半導体とは、シリコンよりもバンドギャップが大きい半導体であり、たとえば炭化珪素、窒化ガリウムおよびダイアモンドなどである。基板１が含む半導体基板１０は、たとえば炭化珪素基板である。

[0058] 半導体素子１ａが縦型半導体素子の場合、半導体素子１ａは、表面電極１６と、裏面電極２０とを有する。半導体素子１ａが、ＭＯＳＦＥＴの場合、表面電極１６は、たとえばソース電極であり、裏面電極２０は、たとえばドレイン電極である。半導体素子１ａが、ショットキーバリアダイオードの場合、表面電極１６は、たとえばショットキー電極であり、裏面電極２０は、

たとえばオーミック電極である。基板１を基板支持部４の表面４ｂに配置する工程において、半導体素子１ａの裏面電極２０が基板支持部４の表面４ｂに電気的に接するように配置される。

[0059] 次に、プローブを電極に接続する工程（Ｓ３０：図７）が実施される。具体的には、プローブ６が、複数の半導体素子１ａの中の少なくとも１つの半導体素子１ａの電極１６に接続される。具体的には、図１を参照して、プローブ６は、たとえば表面電極１６に接続される第１プローブ６ｂと、裏面電極２０に接続される第２プローブ６ａとを有している。プローブ６は、ゲート電極２７と接続される第３プローブ６ｃを有していてもよい。たとえば半導体素子１ａがＭＯＳＦＥＴの場合、第１プローブ６ｂは、ソース電極１６に電気的に接続され、第２プローブ６ａは、基板支持部４を介してドレイン電極２０に電気的に接続され、第３プローブ６ｃは、ゲート電極２７に電気的に接続される。

[0060] 次に、オン抵抗を測定する工程（Ｓ４０：図７）が実施される。具体的には、制御部５によって、基板支持部４の表面４ｂに設けられた吸着孔４ａによって基板１が吸引されて基板支持部４の表面４ｂに吸着されるように制御された状態で、測定部３を用いて半導体素子１ａのオン抵抗が測定される。第１プローブ６ｂと第２プローブ６ａとの間において半導体素子１ａのオン抵抗が測定される。たとえば、ゲート駆動部８により、ゲート電極２７にゲート電圧を印加して、ＭＯＳＦＥＴをオン状態にした状態で、ソース電極１６およびドレイン電極２０の間に電圧源９によりドレイン電圧を印加して、ソース電極１６およびドレイン電極２０の間のドレイン電流を測定する。ソース電極１６およびドレイン電極２０の間のドレイン電圧をドレイン電流で割ることにより、半導体素子１ａのオン抵抗が算出可能である。

[0061] 図８を参照して、まず第１状態において、基板支持部４の表面４ｂの外周に囲まれた領域内の第１位置３１ｂから、外周全体の中の一部である第１外周部３１ａに向かって放射状に広がる第１領域３１に位置する全ての吸着孔４ａにより基板１を吸引しつつ、表面４ｂから第１領域３１を除いた領域に

位置する全ての吸着孔４ａにより基板１を吸引しない状態で、第１領域３１上における基板１の部分に設けられた半導体素子１ａのオン抵抗が測定される。つまり、図８において、斜線で示された第１領域３１に位置する吸着孔４ａにより基板１が基板支持部４の表面４ｂに吸着され、かつ表面４ｂにおいて斜線で示された第１領域３１以外の領域に位置する吸着孔４ａによっては基板１を基板支持部４の表面４ｂには吸着しないように基板１が基板支持部４の表面４ｂに保持される。第１領域３１には、少なくとも１以上の吸着孔４ａが設けられており、好ましくは複数の吸着孔４ａが設けられている。なお、上記第１位置３１ｂは、表面４ｂにおいて外周よりも内側の領域に位置し、外周上には位置しない。

[0062] 図９を参照して、次に第２状態において、基板支持部４の表面４ｂの外周に囲まれた領域内の第２位置３２ｂから、外周全体の中の一部であって、かつ第１外周部と少なくとも一部は異なる第２外周部３２ａに向かって放射状に広がる第２領域３２に位置する全ての吸着孔により基板１を吸引しつつ、表面４ｂから第２領域３２を除いた領域に位置する全ての吸着孔４ａにより基板１を吸引しない状態で、第２領域３２上における基板１の部分に設けられた半導体素子１ａのオン抵抗が測定される。つまり、図９において、斜線で示された第２領域３２に位置する吸着孔４ａにより基板１が基板支持部４の表面４ｂに吸着され、かつ表面４ｂにおいて斜線で示された第２領域３２以外の領域に位置する吸着孔４ａによっては基板１を基板支持部４の表面４ｂには吸着しないようにして、基板１が基板支持部４の表面４ｂに保持される。第２領域３２には、少なくとも１以上の吸着孔４ａが設けられており、好ましくは複数の吸着孔４ａが設けられている。なお、上記第２位置３２ｂは、表面４ｂにおいて外周よりも内側の領域に位置し、外周上には位置しない。上記第２位置３２ｂは、上記第１位置３１ｂと同じ位置であってもよいし、異なる位置であってもよい。

[0063] 図１０を参照して、好ましくは、第１領域３１は、第２領域３２と重なる領域３１ｃと、第２領域３２と重ならない領域３１ｄとを有する。つまり、

第１領域３１は、第２領域３２と一部重なる。第１位置３１ｂは、第２領域３２内に位置し、第２位置３２ｂは、第１領域３１内に位置していてもよい。

[0064] 図１１を参照して、次に第３状態において、基板支持部４の表面４ｂの外周に囲まれた領域内の第３位置３３ｂから、外周全体の中の一部である第３外周部３３ａに向かって放射状に広がる第３領域３３に位置する全ての吸着孔４ａにより基板１を吸引しつつ、表面４ｂから第３領域３３を除いた領域に位置する全ての吸着孔４ａにより基板１を吸引しない状態で、第３領域３３上における基板１の部分に設けられた半導体素子１ａのオン抵抗が測定される。つまり、図１１において、斜線で示された第３領域３３に位置する吸着孔４ａにより基板１が基板支持部４の表面４ｂに吸着され、かつ表面４ｂにおいて斜線で示された第３領域３３以外の領域に位置する吸着孔４ａによっては基板１を基板支持部４の表面４ｂには吸着しないように基板１が基板支持部４の表面４ｂに保持される。第３領域３３には、少なくとも１以上の吸着孔４ａが設けられており、好ましくは複数の吸着孔４ａが設けられている。なお、上記第３位置３３ｂは、表面４ｂにおいて外周よりも内側の領域に位置し、外周上には位置しない。

[0065] 図１１に示すように、第３外周部３３ａは、第１外周部３１ａおよび第２外周部３２ａの各々の一部と重なる。第３領域３３は、第１領域３１と一部重なっており、かつ第２領域３２と一部重なっている。第３領域３３は、第１領域３１および第２領域３２の双方と重なっている領域を有する。第１位置３１ｂおよび第３位置３３ｂの各々は、第２領域３２内に位置する。

[0066] 図１２を参照して、次に第４状態において、基板支持部４の表面４ｂの外周に囲まれた領域内の第４位置３４ｂから、外周全体の中の一部である第４外周部３４ａに向かって放射状に広がる第４領域３４に位置する全ての吸着孔４ａにより基板１を吸引しつつ、表面４ｂから第４領域３４を除いた領域に位置する全ての吸着孔４ａにより基板１を吸引しない状態で、第４領域３４上における基板１の部分に設けられた半導体素子１ａのオン抵抗が測定さ

れる。つまり、図１２において、斜線で示された第４領域３４に位置する吸着孔４ａにより基板１が基板支持部４の表面４ｂに吸着され、かつ表面４ｂにおいて斜線で示された第４領域３４以外の領域に位置する吸着孔４ａによっては基板１を基板支持部４の表面４ｂには吸着しないように基板１が基板支持部４の表面４ｂに保持される。第４領域３４には、少なくとも１以上の吸着孔４ａが設けられており、好ましくは複数の吸着孔４ａが設けられている。なお、上記第４位置３４ｂは、表面４ｂにおいて外周よりも内側の領域に位置し、外周上には位置しない。

[0067] 図１２に示すように、第４外周部３４ａは、第１外周部３１ａおよび第２外周部３２ａの各々の一部と重なる。第４領域３４は、第１領域３１と一部重なっており、第２領域３２と一部重なっており、かつ第３領域３３と一部重なっている。第４領域３４は、第１領域３１、第２領域３２および第３領域３３の各々と重なっている領域を有する。第１位置３１ｂおよび第４位置３４ｂの各々は、第３領域３３内に位置する。

[0068] 図１３を参照して、次に第５状態において、第１領域３１および第２領域３２上に位置する全ての吸着孔４ａにより基板１を吸引しつつ、表面４ｂから第１領域３１および第２領域３２を除いた領域に位置する全ての吸着孔４ａにより基板１を吸着しない状態で、第１領域３１と第２領域３２とが重なる領域３１ｃ上における基板１の部分に設けられた半導体素子１ａのオン抵抗が測定される。つまり、図１３において、斜線で示された第１領域３１および第２領域３２に位置する吸着孔４ａにより基板１が基板支持部４の表面４ｂに吸着され、かつ表面４ｂにおいて斜線で示された第１領域３１および第２領域３２以外の領域に位置する吸着孔４ａによっては基板１を基板支持部４の表面４ｂには吸着しないように基板１が基板支持部４の表面４ｂに保持される。

[0069] 図１４を参照して、次に第６状態において、第３領域３３および第４領域３４上に位置する全ての吸着孔４ａにより基板１を吸引しつつ、表面４ｂから第３領域３３および第４領域３４を除いた領域に位置する全ての吸着孔４

ａにより基板１を吸着しない状態で、第３領域３３と第４領域３４とが重なる領域３４ｃ上における基板１の部分に設けられた半導体素子１ａのオン抵抗が測定される。つまり、図１４において、斜線で示された第３領域３３および第４領域３４に位置する吸着孔４ａにより基板１が基板支持部４の表面４ｂに吸着され、かつ表面４ｂにおいて斜線で示された第３領域３３および第４領域３４以外の領域に位置する吸着孔４ａによっては基板１を基板支持部４の表面４ｂには吸着しないように基板１が基板支持部４の表面４ｂに保持される。

[0070] なお、上記実施の形態において、第１状態から第６状態の順番の先後が入れ替わってもよい。たとえば第５状態の後に第１状態が行われてもよい。また第１状態および第２状態が実施されていればよく、他のいずれかの状態は実施されなくてもよい。たとえば第６状態が省略されてもよい。さらに上記実施の形態において、第１導電型はｎ型であり、かつ第２導電型はｐ型であるとして説明したが、第１導電型をｐ型とし、かつ第２導電型をｎ型としてもよい。半導体素子の一例としてＭＯＳＦＥＴを例に挙げて説明したが、半導体素子は、ダイオード、ＩＧＢＴ（Ｉｎｓｕｌａｔｅｄ Ｇａｔｅ Ｂｉｐｏｌａｒ Ｔｒａｎｓｉｓｔｏｒ）およびＪＦＥＴ（Ｊｕｎｃｔｉｏｎ Ｆｉｅｌｄ Ｅｆｆｅｃｔ Ｔｒａｎｓｉｓｔｏｒ）などであってもよい。

[0071] 次に、本実施の形態に係る半導体素子のオン抵抗測定方法およびオン抵抗測定装置の作用効果について説明する。

[0072] 本実施の形態に係るＭＯＳＦＥＴ１ａのオン抵抗測定方法によれば、常温時において基板１が大きく反っている場合においても、基板１の裏面に形成された電極の表面の一部のみを基板支持部４の表面４ｂの一部に吸着させることで、当該電極の表面の一部は、基板支持部４の表面４ｂの一部と良好に接触可能である。良好に接している電極の領域上に形成されている半導体素子１ａのオン抵抗を測定することで、当該領域上に形成されている半導体素子１ａのオン抵抗を精度良く測定することができる。また基板支持部４の表面４ｂの一部に設けられた吸着孔４ａのみにより基板１を吸引するので、吸

引力の弱いポンプであっても基板１を基板支持部４の表面４ｂに吸着させることができる。

[0073] また本実施の形態に係るＭＯＳＦＥＴ１ａのオン抵抗測定方法によれば、第１領域３１は、第２領域３２と重なる領域３１ｃと、第２領域３２と重ならない領域３１ｄとを有する。これにより、重なる領域３１ｃにおいて、基板１の裏面に形成された電極が、基板支持部４の表面４ｂと良好に接触することができる。結果として、半導体素子１ａのオン抵抗を精度良く測定することができる。

[0074] さらに本実施の形態に係るＭＯＳＦＥＴ１ａのオン抵抗測定方法によれば、半導体素子１ａのオン抵抗を測定する工程は、第１領域３１および第２領域３２上に位置する少なくとも１以上の吸着孔４ａにより基板１を吸引しつつ、表面４ｂから第１領域３１および第２領域３２を除いた領域に位置する少なくとも１以上の吸着孔４ａにより基板１を吸着しない状態で、第１領域３１と第２領域３２とが重なる領域上における基板１の部分に設けられた半導体素子１ａのオン抵抗を測定する工程をさらに含む。これにより、第１領域３１が第２領域３２と重なる領域３１ｃにおいて、基板１の裏面に形成された電極が、基板支持部４の表面４ｂと良好に接触することができる。結果として、第１領域３１が第２領域３２と重なる領域３１ｃにおいて、半導体素子１ａのオン抵抗を精度良く測定することができる。

[0075] さらに本実施の形態に係るＭＯＳＦＥＴ１ａのオン抵抗測定方法によれば、半導体素子１ａは、裏面電極２０を有する。電極に接続する工程は、第１プローブ６ｂを電極１６に電気的に接続する工程と、第２プローブ６ａを裏面電極２０に電気的に接続する工程とを含む。半導体のオン抵抗を測定する工程は、第１プローブ６ｂと第２プローブ６ａとの間において半導体素子１ａのオン抵抗が測定される。これにより、表面電極１６および裏面電極２０の間のオン抵抗を精度良く測定することができる。

[0076] さらに本実施の形態に係るＭＯＳＦＥＴ１ａのオン抵抗測定方法によれば、基板１は、炭化珪素基板を含む。炭化珪素は化合物半導体であるため、常

温においても大きな反りを有する。上記半導体素子のオン抵抗測定方法は、常温においても大きな反りを有する炭化珪素基板を含む基板に対して好適に利用可能である。

[0077] さらに本実施の形態に係るＭＯＳＦＥＴ１ａのオン抵抗測定方法によれば、基板１の主面１ｄの最大径は、１００ｍｍ以上である。基板１の主面１ｄの最大径が大きくなると、基板１は反りやすくなる。上記半導体素子のオン抵抗測定方法は、基板１の主面１ｄの最大径が１００ｍｍ以上の基板１に対して好適に利用可能である。

[0078] さらに本実施の形態に係るＭＯＳＦＥＴ１ａのオン抵抗測定方法によれば、基板１の厚みは、３００μｍ以下である。基板１の厚みが小さくなると、基板１は反りやすくなる。上記半導体素子のオン抵抗測定方法は、基板１の厚みが３００μｍ以下の基板１に対して好適に利用可能である。

[0079] 本実施の形態に係るＭＯＳＦＥＴ１ａのオン抵抗測定装置１００によれば、常温時において基板１が大きく反っている場合においても、基板１の裏面に形成された電極の表面の一部のみを基板支持部４の表面４ｂの一部に吸着させることで、当該電極の表面の一部は、基板支持部４の表面４ｂの一部と良好に接触可能である。良好に接している電極の領域上に形成されている半導体素子１ａのオン抵抗を測定することで、当該領域上に形成されている半導体素子１ａのオン抵抗を精度良く測定することができる。また基板支持部４の表面４ｂの一部に設けられた吸着孔４ａのみにより基板１を吸引するので、吸引力の弱いポンプであっても基板１を基板支持部４の表面４ｂに吸着させることができる。

[0080] また本実施の形態に係るＭＯＳＦＥＴ１ａのオン抵抗測定装置１００によれば、第１領域３１は、第２領域３２と重なる領域３１ｃと、第２領域３２と重ならない領域３１ｄとを有する。これにより、重なる領域３１ｃにおいて、基板１の裏面に形成された電極が、基板支持部４の表面４ｂと良好に接触することができる。結果として、半導体素子１ａのオン抵抗を精度良く測定することができる。

[0081] さらに本実施の形態に係るＭＯＳＦＥＴ１ａのオン抵抗測定装置１００によれば、半導体素子１ａは、裏面電極２０を有する。測定部３は、裏面電極２０に電気的に接続される第２プローブ６ａを含む。測定部は、第１プローブおよび第２プローブの間において半導体素子のオン抵抗を測定可能に構成されている。これにより、表面電極１６および裏面電極２０の間のオン抵抗を精度良く測定することができる。

[0082] さらに本実施の形態に係るＭＯＳＦＥＴ１ａのオン抵抗測定装置１００によれば、基板支持部４の表面４ｂの最大径Wは、１００ｍｍ以上である。これにより、基板１の最大径が１００ｍｍ以上の場合であっても、基板１を基板支持部４の表面４ｂに強固に吸着することができる。

[0083] さらに本実施の形態に係るＭＯＳＦＥＴ１ａのオン抵抗測定装置１００によれば、基板支持部４の表面４ｂと垂直な方向から見て、吸着孔４ａの面積は、半導体素子１ａのチップ１ｂの面積の２％以上１０％以下である。吸着孔４ａの面積は、半導体素子１ａのチップ１ｂの面積の２％未満であれば、基板１を基板支持部４の表面４ｂに吸着する力が十分ではない。吸着孔４ａの面積は、半導体素子１ａのチップ１ｂの面積の１０％以上であれば、基板１に設けられた裏面電極が基板支持部４の表面４ｂと接触する面積が小さくなるので、オン抵抗を精度良く測定することが困難となる。吸着孔４ａの面積を、半導体素子１ａのチップ１ｂの面積の２％以上１０％以下とすることにより、十分な吸着力で基板１を基板支持部４の表面４ｂに吸着しながら、半導体素子１ａのオン抵抗を精度良く測定することができる。

[0084] さらに本実施の形態に係るＭＯＳＦＥＴ１ａのオン抵抗測定装置１００によれば、基板支持部４の表面４ｂと平行な方向における、半導体素子１ａのチップ１ｂの短辺方向に沿った吸着孔４ａのピッチｘ２は、短辺方向に沿った半導体素子１ａのチップ１ｂのピッチｘ１以下である。これにより、少なくともチップ１ｂに対して１以上の吸着孔４ａが割り当てられるため、各チップ１ｂを強固に基板支持部４の表面４ｂに吸着することができる。

[0085] さらに本実施の形態に係るＭＯＳＦＥＴ１ａのオン抵抗測定装置１００に

よれば、制御部５は、第１状態において、第１領域３１上に位置する基板１の部分に設けられた半導体素子１ａのオン抵抗を測定可能に構成され、かつ第２状態において、第２領域３２上に位置する基板１の部分に設けられた半導体素子１ａのオン抵抗を測定可能に構成されている。これにより、制御部５により自動で各領域上における半導体素子１ａのオン抵抗を測定することができる。

[0086] 今回開示された実施の形態はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味、および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0087] １　基板、１ａ　ＭＯＳＦＥＴ、１ａ　半導体素子、１ｂ　チップ、１ｃ　外周部、１ｄ　主面、２　吸着機構、３　測定部、４　基板支持部、４ａ　吸着孔、４ｂ　表面、５　制御部、６　プローブ、６ａ　第２プローブ、６ｂ　第１プローブ、６ｃ　第３プローブ、７　吸引ポンプ、８　ゲート駆動部、９　電圧源、１０　半導体基板（炭化珪素基板）

１０ａ　第１の主面、１０ｂ　第２の主面、１１　炭化珪素単結晶基板、１２　ドリフト領域、１３　ボディ領域、１４　ソース領域、１５　ゲート酸化膜、１６　電極（表面電極，ソース電極）、１６ａ　ソース電極部、１６ｂ　表面保護電極、１７　炭化珪素エピタキシャル層、１８　コンタクト領域、２０　裏面電極（ドレイン電極）、２０ａ　ドレイン電極部、２０ｂ　裏面保護電極、２１　層間絶縁膜、２７　ゲート電極、３１　第１領域、３１ａ　第１外周部、３１ｂ　第１位置、３２　第２領域、３２ａ　第２外周部、３２ｂ　第２位置、３３　第３領域、３３ａ　第３外周部、３３ｂ　第３位置、３４　第４領域、３４ａ　第４外周部、３４ｂ　第４位置、５０　ダイシングライン、５０ａ　第１ダイシングライン、５０ｂ　第２ダイシングライン、１００　オン抵抗測定装置、Ｗ　最大径、ｘ１，ｘ２，ｙ１，ｙ２　ピッチ、ｘ３，ｙ３　長さ

請求の範囲

[請求項1] 表面に複数の吸着孔が設けられた基板支持部と、第１プローブを含む測定部とを準備する工程と、

複数の半導体素子が形成された基板を前記基板支持部の前記表面に配置する工程と、

前記第１プローブを、複数の前記半導体素子の中の少なくとも１つの前記半導体素子の電極に接続する工程と、

前記測定部を用いて前記半導体素子のオン抵抗を測定する工程とを備え、

前記半導体素子のオン抵抗を測定する工程は、

前記基板支持部の前記表面の外周に囲まれた領域内の位置から、前記外周全体の中の一部である第１外周部に向かって放射状に広がる第１領域に位置する少なくとも１以上の前記吸着孔により前記基板を吸引しつつ、前記表面から前記第１領域を除いた領域に位置する少なくとも１以上の前記吸着孔により前記基板を吸引しない状態で、前記第１領域上における前記基板の部分に設けられた前記半導体素子のオン抵抗を測定する工程と、

前記基板支持部の前記表面の前記外周に囲まれた領域内の位置から、前記外周全体の中の一部であって、かつ前記第１外周部と少なくとも一部は異なる第２外周部に向かって放射状に広がる第２領域に位置する少なくとも１以上の前記吸着孔により前記基板を吸引しつつ、前記表面から前記第２領域を除いた領域に位置する少なくとも１以上の前記吸着孔により前記基板を吸引しない状態で、前記第２領域上における前記基板の部分に設けられた前記半導体素子のオン抵抗を測定する工程とを含む、半導体素子のオン抵抗測定方法。

[請求項2] 前記第１領域は、前記第２領域と重なる領域と、前記第２領域と重ならない領域とを有する、請求項１に記載の半導体素子のオン抵抗測定方法。

[請求項3] 前記半導体素子のオン抵抗を測定する工程は、

前記第１領域および前記第２領域上に位置する少なくとも１以上の前記吸着孔により前記基板を吸引しつつ、前記表面から前記第１領域および前記第２領域を除いた領域に位置する少なくとも１以上の前記吸着孔により前記基板を吸着しない状態で、前記第１領域と前記第２領域とが重なる領域上における前記基板の部分に設けられた前記半導体素子のオン抵抗を測定する工程をさらに含む、請求項２に記載の半導体素子のオン抵抗測定方法。

[請求項4] 前記半導体素子は、裏面電極を有し、

前記電極に接続する工程は、前記第１プローブを前記電極に電気的に接続する工程と、第２プローブを前記裏面電極に電気的に接続する工程とを含み、

前記半導体素子のオン抵抗を測定する工程は、前記第１プローブと前記第２プローブとの間において前記半導体素子のオン抵抗が測定される、請求項１～請求項３のいずれか１項に記載の半導体素子のオン抵抗測定方法。

[請求項5] 前記基板は、炭化珪素基板を含む、請求項１～請求項４のいずれか１項に記載の半導体素子のオン抵抗測定方法。

[請求項6] 前記基板の主面の最大径は、１００ｍｍ以上である、請求項１～請求項５のいずれか１項に記載の半導体素子のオン抵抗測定方法。

[請求項7] 前記基板の厚みは、３００μｍ以下である、請求項１～請求項６のいずれか１項に記載の半導体素子のオン抵抗測定方法。

[請求項8] 複数の半導体素子が形成された基板を吸着可能な吸着機構と、

複数の前記半導体素子のオン抵抗を測定可能な測定部とを備え、

前記吸着機構は、表面に複数の吸着孔が設けられた基板支持部と、複数の前記吸着孔による吸引を制御可能な制御部とを含み、

前記測定部は、前記半導体素子の電極に電気的に接続可能な第１プローブを含み、

前記制御部は、

第１状態において、前記基板支持部の前記表面の外周に囲まれた領域内の位置から、前記外周全体の中の一部である第１外周部に向かって放射状に広がる第１領域に位置する少なくとも１以上の前記吸着孔により前記基板を吸引しつつ、前記表面から前記第１領域を除いた領域に位置する少なくとも１以上の前記吸着孔により前記基板を吸引しないように制御可能に構成され、かつ、

第２状態において、前記基板支持部の前記表面の前記外周に囲まれた領域内の位置から、前記外周全体の中の一部であって、かつ前記第１外周部と少なくとも一部は異なる第２外周部に向かって放射状に広がる第２領域に位置する少なくとも１以上の前記吸着孔により前記基板を吸引しつつ、前記表面から前記第２領域を除いた領域に位置する少なくとも１以上の前記吸着孔により前記基板を吸引しないように制御可能に構成されている、半導体素子のオン抵抗測定装置。

[請求項9] 前記第１領域は、前記第２領域と重なる領域と、前記第２領域と重ならない領域とを有する、請求項８に記載の半導体素子のオン抵抗測定装置。

[請求項10] 前記半導体素子は、裏面電極を有し、

前記測定部は、前記裏面電極に電気的に接続される第２プローブを含み、

前記測定部は、前記第１プローブおよび前記第２プローブの間において前記半導体素子のオン抵抗を測定可能に構成されている、請求項８または請求項９に記載の半導体素子のオン抵抗測定装置。

[請求項11] 前記基板支持部の前記表面の最大径は、１００ｍｍ以上である、請求項８～請求項１０のいずれか１項に記載の半導体素子のオン抵抗測定装置。

[請求項12] 前記基板支持部の前記表面と垂直な方向から見て、前記吸着孔の面積は、前記半導体素子のチップの面積の２％以上１０％以下である、

請求項８～請求項１１のいずれか１項に記載の半導体素子のオン抵抗測定装置。

[請求項13] 前記基板支持部の前記表面と平行な方向における、前記半導体素子のチップの短辺方向に沿った前記吸着孔のピッチは、前記短辺方向に沿った前記半導体素子のチップのピッチ以下である、請求項８～請求項１２のいずれか１項に記載の半導体素子のオン抵抗測定装置。

[請求項14] 前記制御部は、

前記第１状態において、前記第１領域上に位置する前記基板の部分に設けられた前記半導体素子のオン抵抗を測定可能に構成され、かつ、

前記第２状態において、前記第２領域上に位置する前記基板の部分に設けられた前記半導体素子のオン抵抗を測定可能に構成されている、請求項８～請求項１３のいずれか１項に記載の半導体素子のオン抵抗測定装置。

[図1]

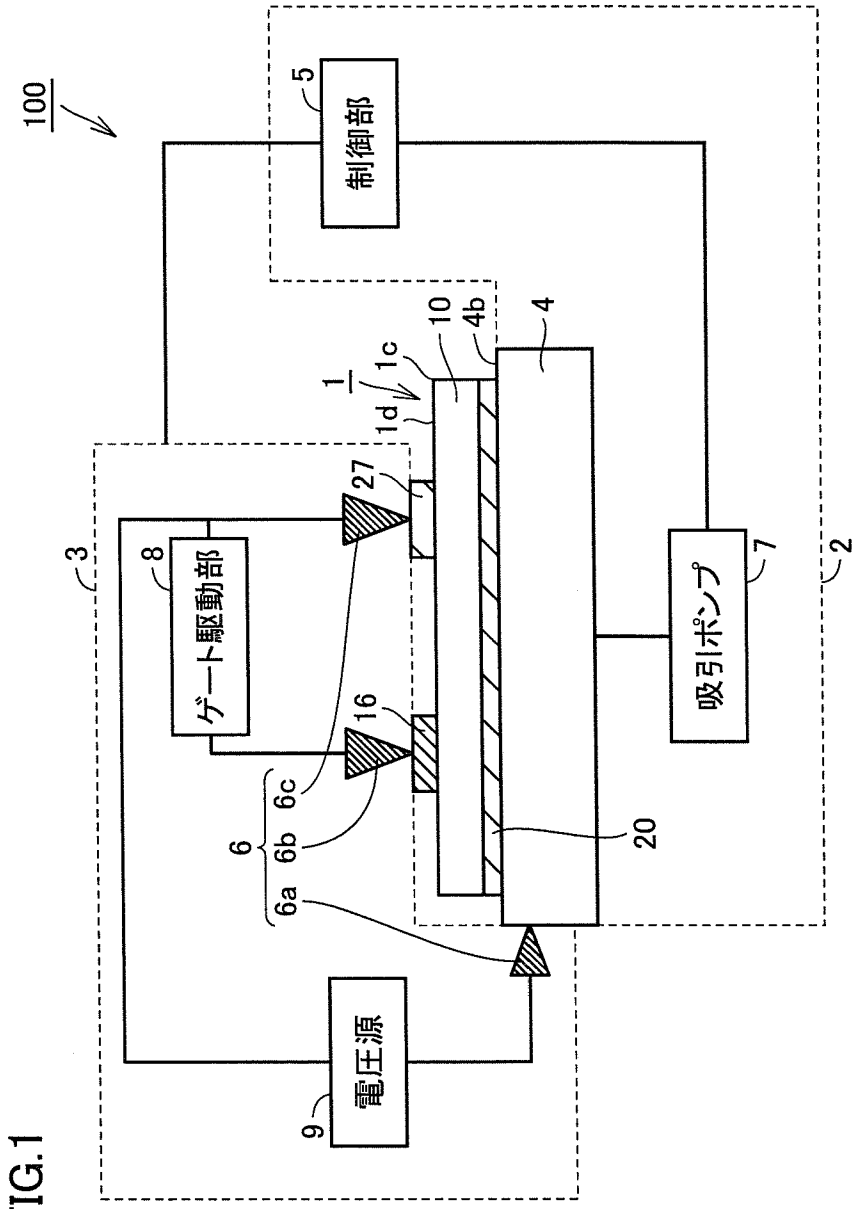
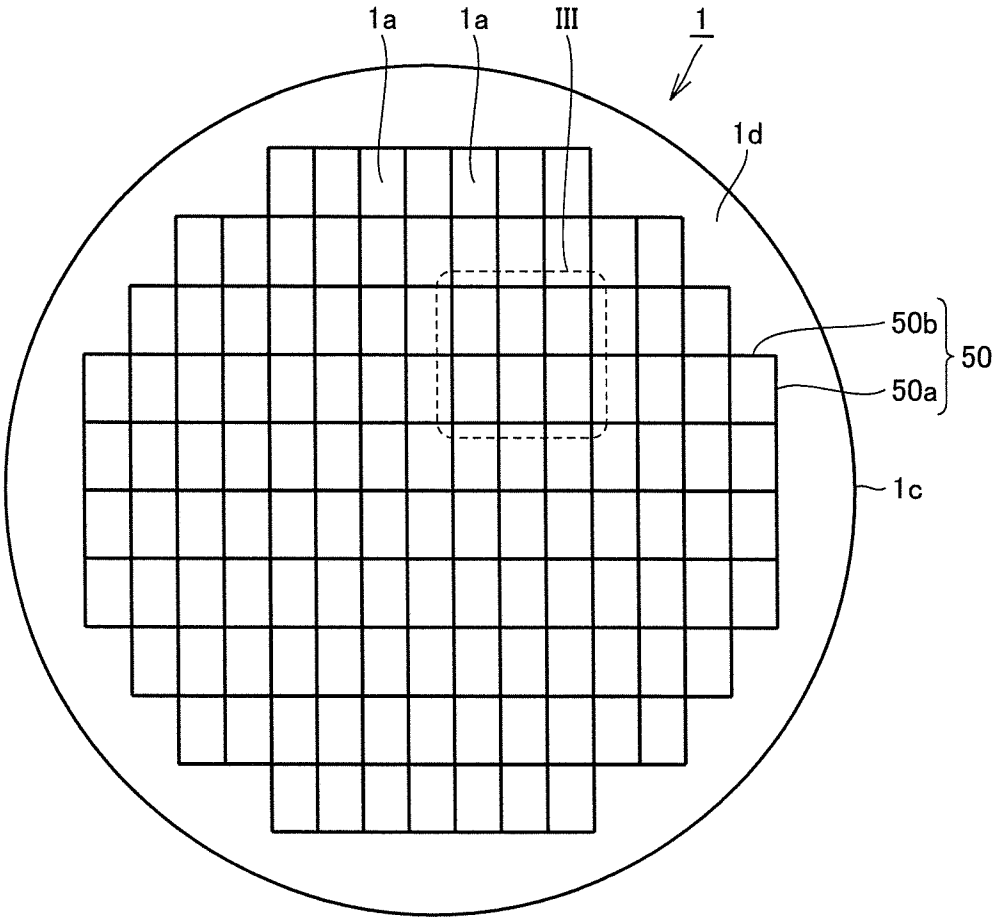


FIG.1

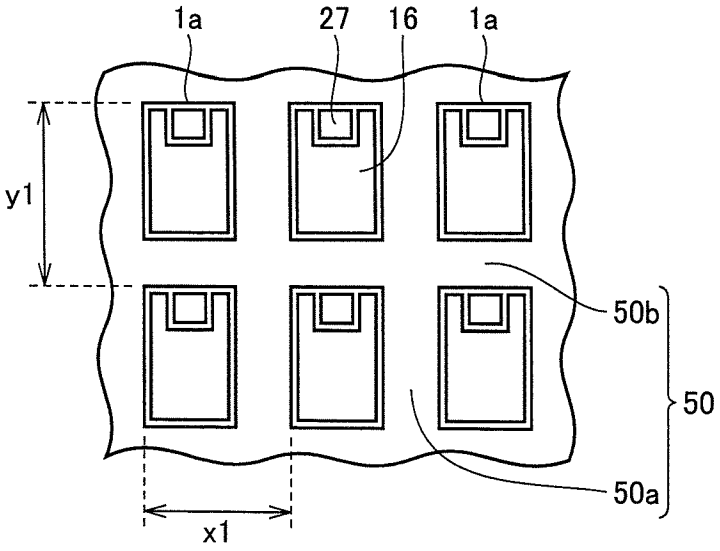
[図2]

FIG.2



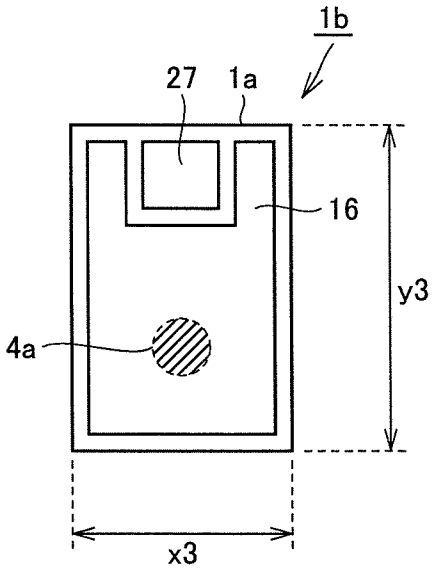
[図3]

FIG.3



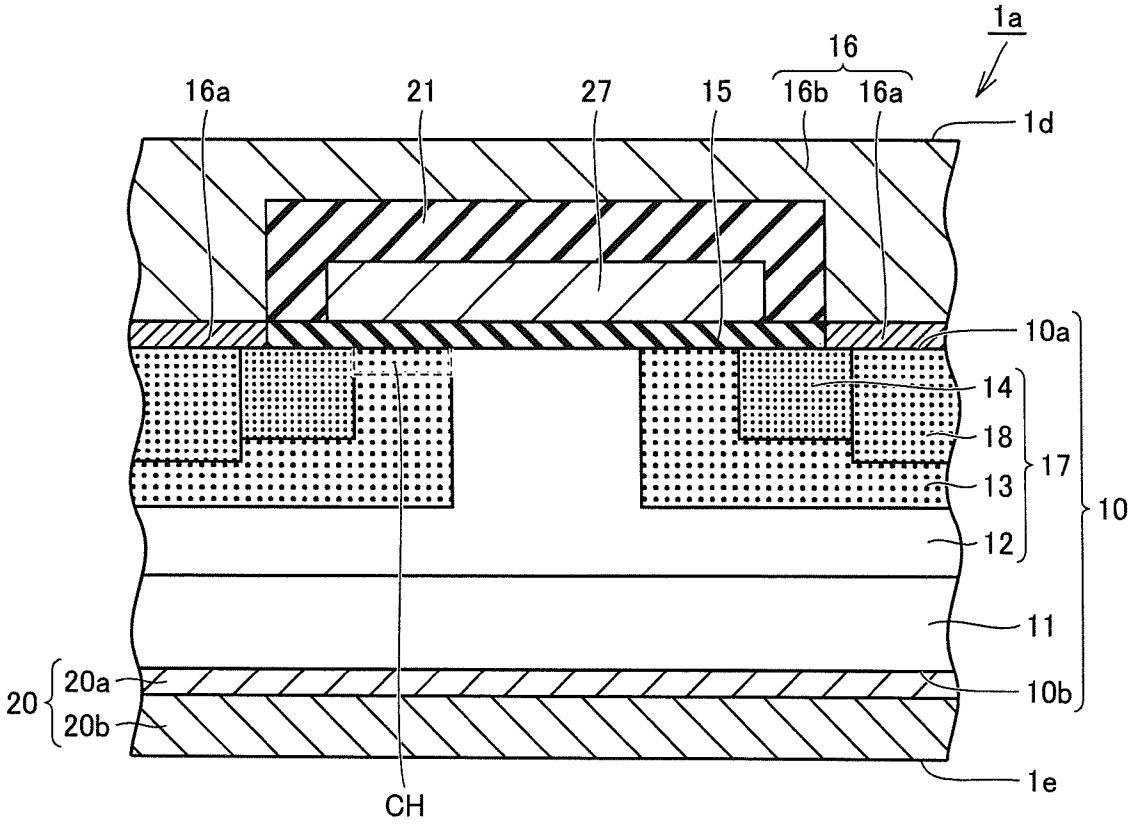
[図4]

FIG.4



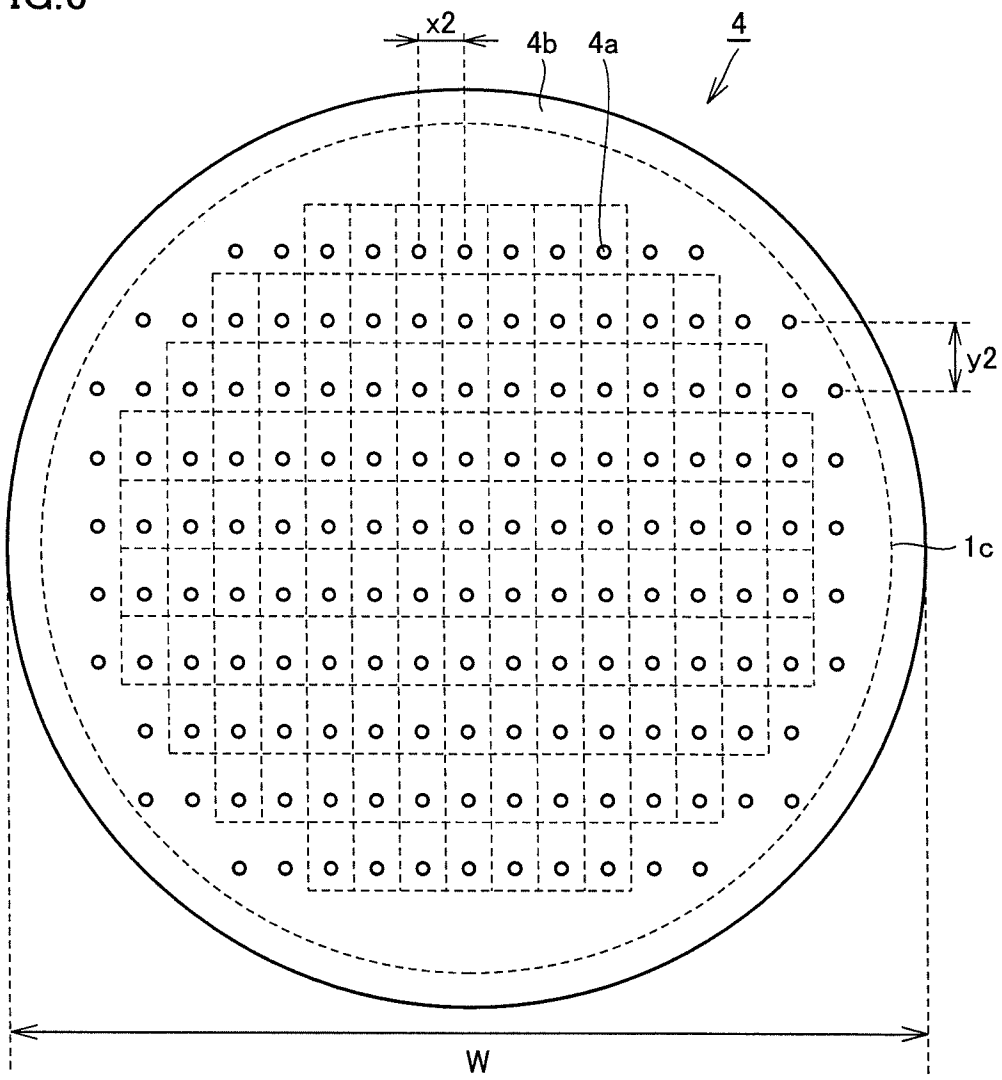
[図5]

FIG.5



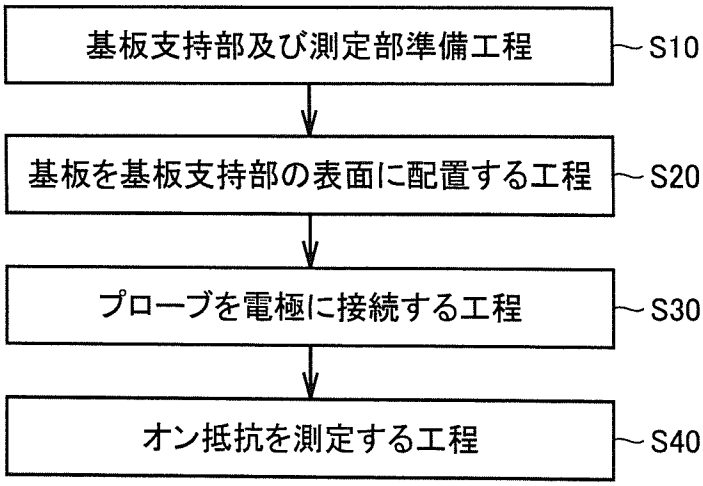
[図6]

FIG.6



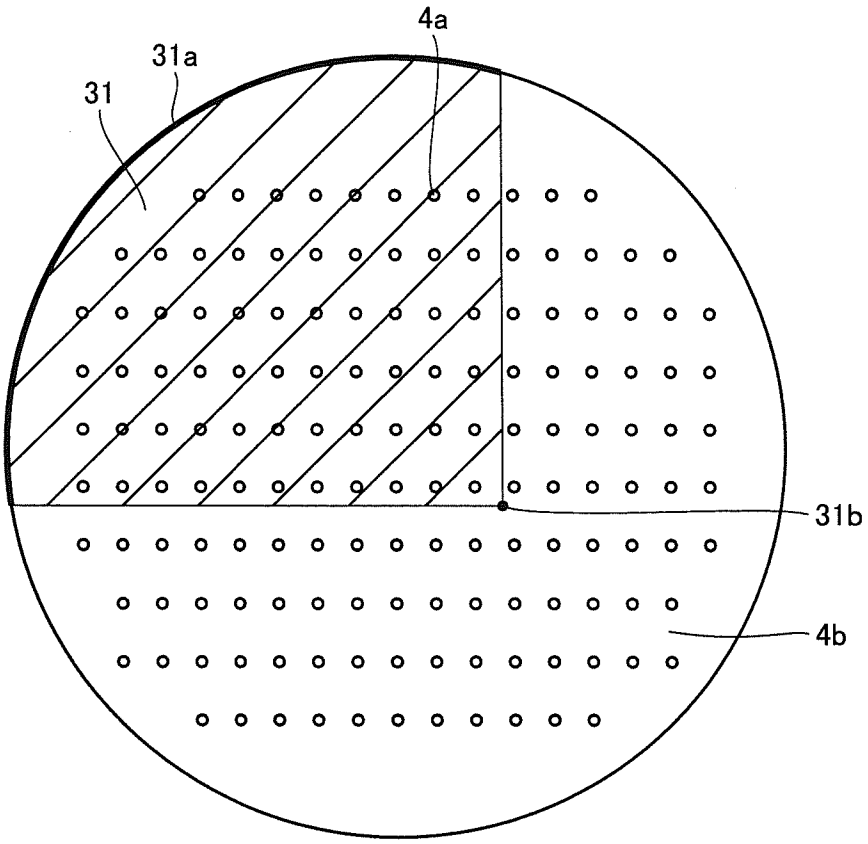
[図7]

FIG.7



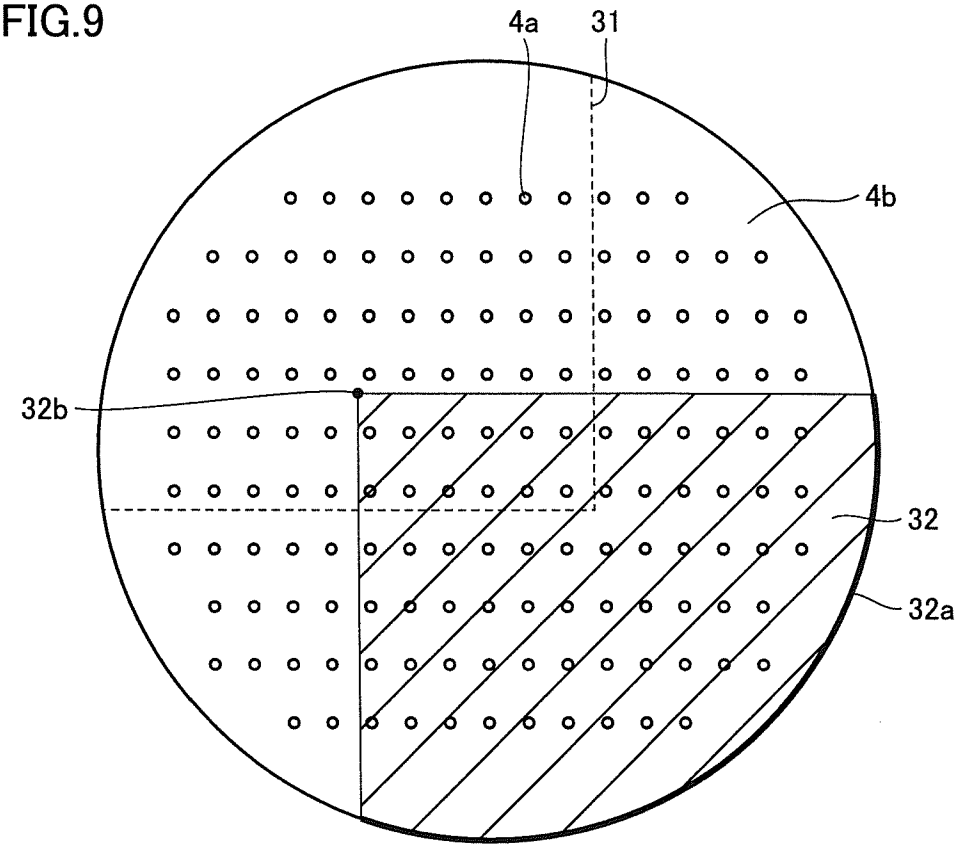
[図8]

FIG.8



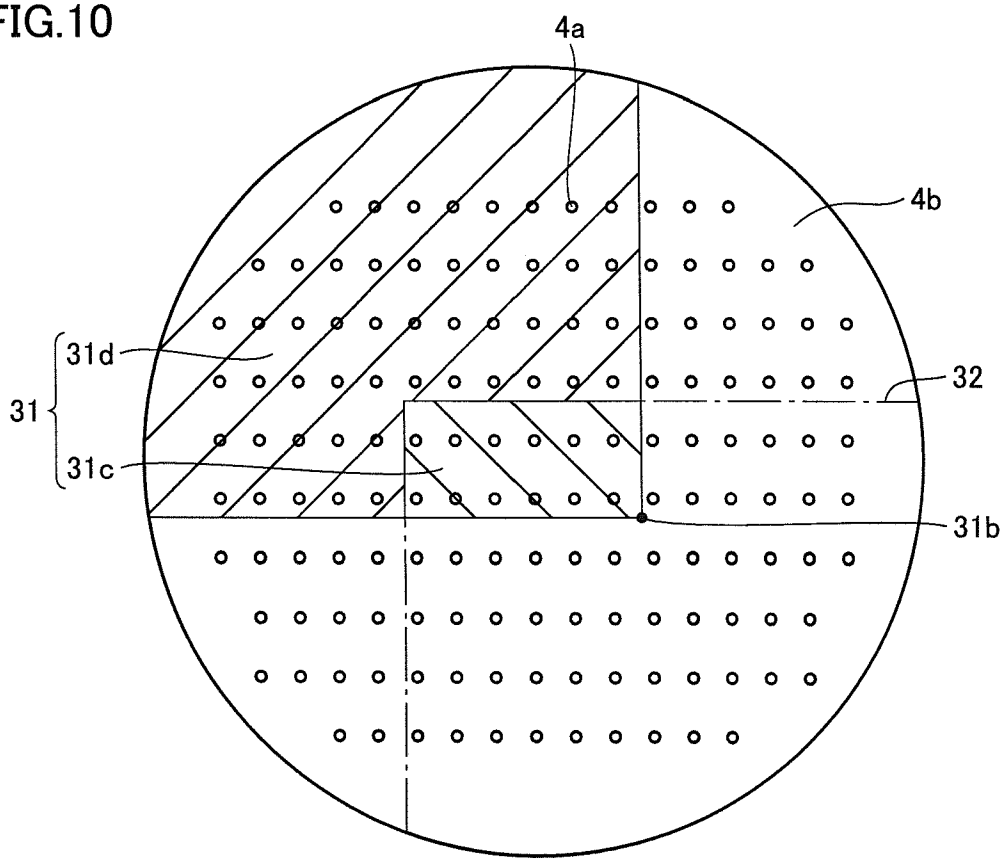
[図9]

FIG.9



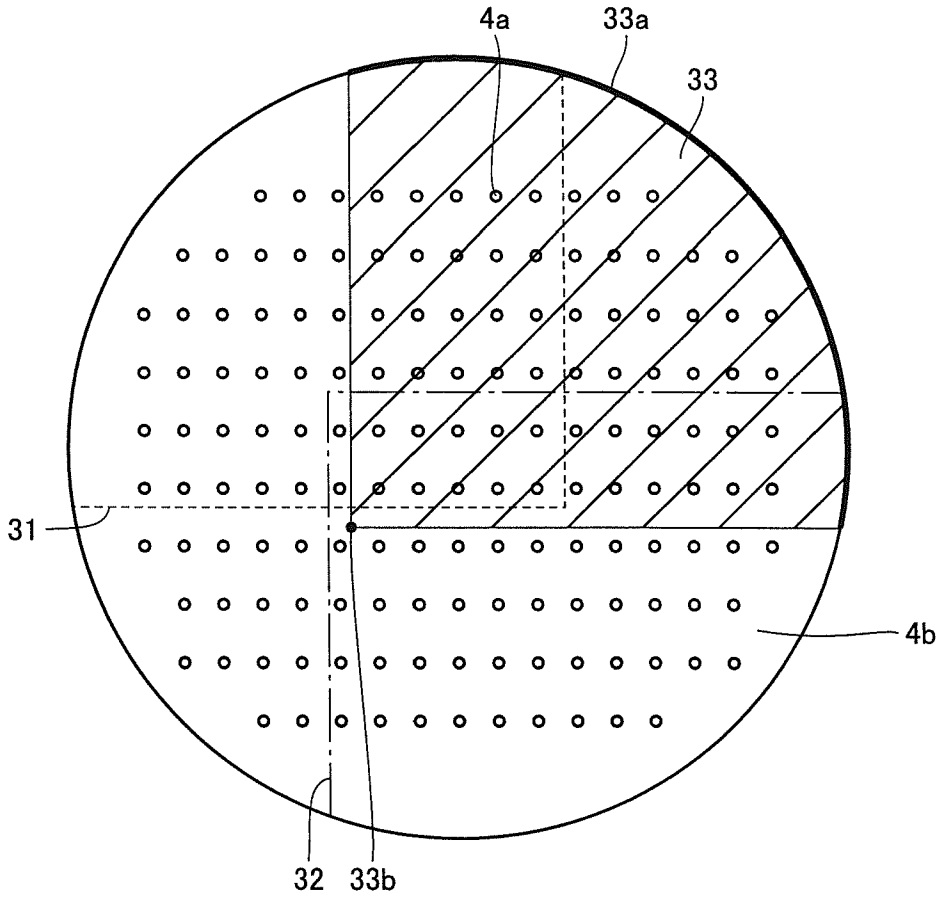
[図10]

FIG.10



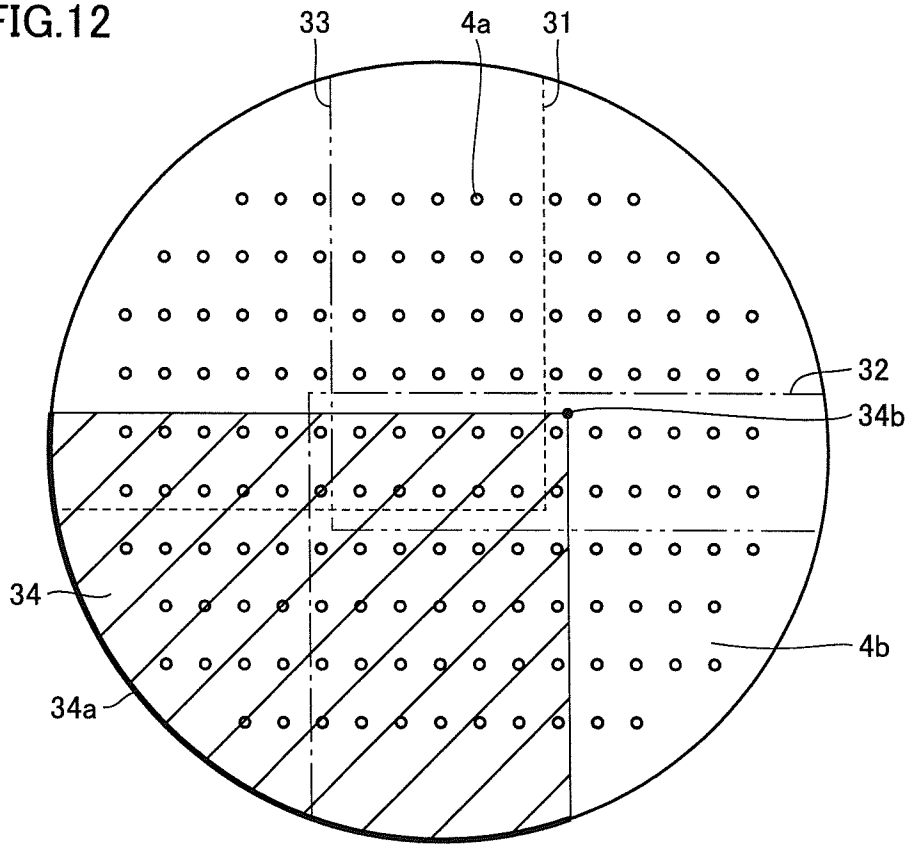
[図11]

FIG.11



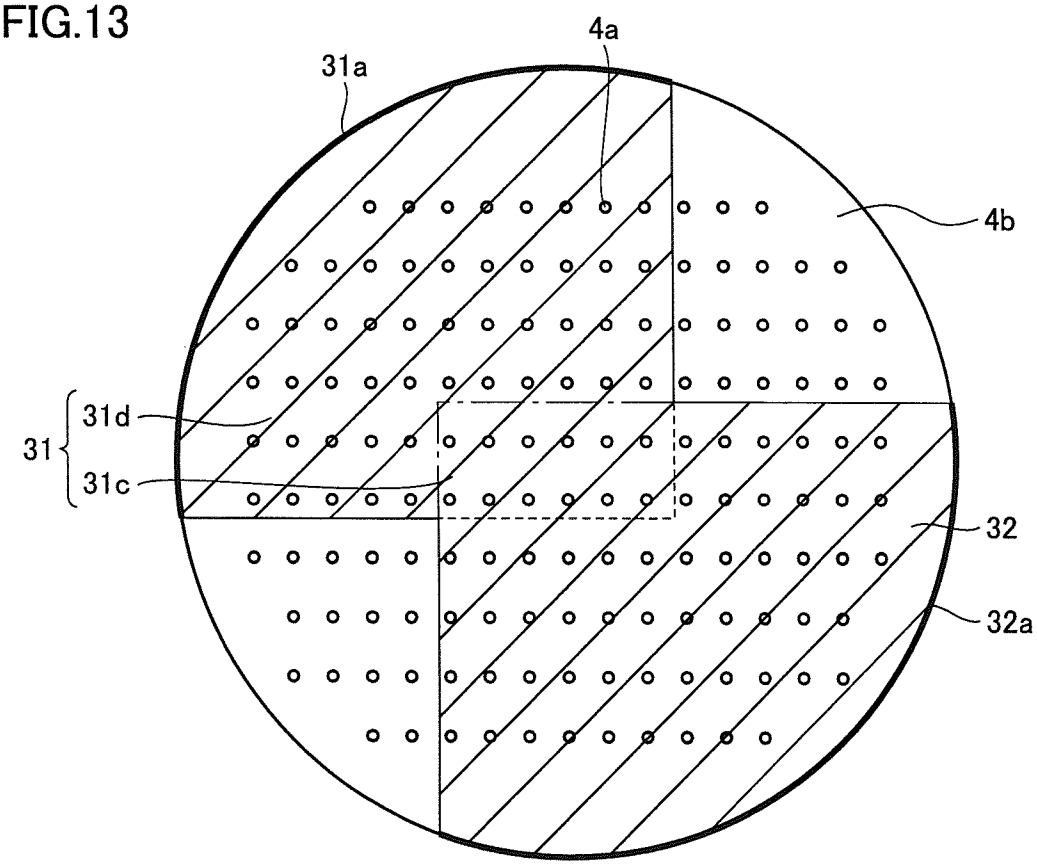
[図12]

FIG.12



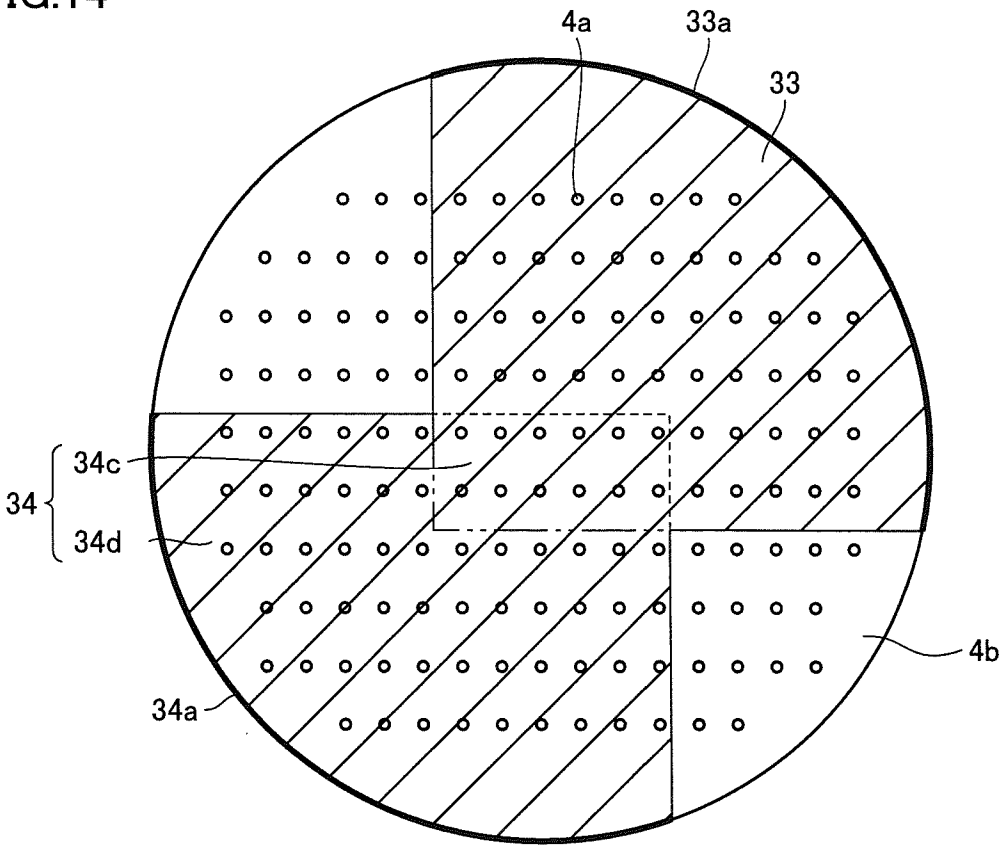
[図13]

FIG.13



[図14]

FIG.14



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/059896

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/66(2006.01)i, *G01R31/26*(2014.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/66, G01R31/26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-144197 A (Fujitsu Ltd.), 25 May 2001 (25.05.2001), paragraphs [0081] to [0087]; fig. 32 & US 7112889 B1 & TW 452963 B & KR 2001-0049480 A	1-14
A	JP 58-92232 A (New Nippon Electric Co., Ltd.), 01 June 1983 (01.06.1983), page 1, lower left column, line 19 to page 2, lower right column, line 6; fig. 1 to 3 (Family: none)	1-14
A	JP 2-25050 A (Fujikura Electric Wire Corp.), 26 January 1990 (26.01.1990), page 2, lower left column, line 3 to page 3, lower left column, line 7; fig. 1 to 3 (Family: none)	1-14

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
30 April 2015 (30.04.15)	19 May 2015 (19.05.15)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１５／０５９８９６

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/66(2006.01)i, G01R31/26(2014.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/66, G01R31/26

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１５年
日本国実用新案登録公報	１９９６－２０１５年
日本国登録実用新案公報	１９９４－２０１５年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2001-144197 A（富士通株式会社）2001.05.25, ［００８１］－［００８７］、［図３２］ & US 7112889 B1 & TW 452963 B & KR 2001-0049480 A	1-14
A	JP 58-92232 A（新日本電気株式会社）1983.06.01, 第１ページ左下欄第１９行目－第２ページ右下欄第６行目、第１－３図 (ファミリーなし)	1-14

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
３０．０４．２０１５	１９．０５．２０１５

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　４４４７
行武　哲太郎
電話番号　０３－３５８１－１１０１　内線　３５１６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2-25050 A（藤倉電線株式会社）1990.01.26, 第２ページ左下欄第３行目－第３ページ左下欄第７行目、第１－３図 (ファミリーなし)	1-14