

公告本

申請日期	88 年 9 月 3 日
案 號	88115244
類 別	H01L 27/12, H01L 21/84

A4
C4

(以上各欄由本局填註)

465101

發明專利說明書

一、發明 名稱	中 文	半導體基底和其製法
	英 文	Semiconductor substrate and method for producing the same
二、發明 人	姓 名	(1) 佐藤信彦
	國 籍	(1) 日本
	住、居所	(1) 日本國東京都大田區下丸子三丁目三〇番二號 佳能股份有限公司內
三、申請人	姓 名 (名稱)	(1) 佳能股份有限公司 キャノン株式会社
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都大田區下丸子三丁目三〇番二號
	代 表 人 姓 名	(1) 御手洗富士夫

裝

訂

線

465101

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： 有 無主張優先權

日本 1998年9月4日 10-251270 有主張優先權

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明背景

發明領域

本發明係關於一種半導體基底和其製法，且更特別而言，係關於形成在多孔半導體層上之非多孔半導體層和其製法。

本發明亦關於使用一半導體基底當成一基礎構件以用於主要使用MOSFET和雙極電晶體之積體電路，和其製法。

相關技藝之說明

在積體電路(IC)領域中，已進行對於矽基半導體裝置之各種研發以完成一矽上絕緣體(SOI)構造，其中單晶矽膜設置在一絕緣體上，因為此構造降低寄生電容和利於元件隔離，藉以改善電晶體之操作速度，降低能量耗損，改善整合密度，和降低整體成本。

為了形成SOI構造，已有由Imai在1970年代至1980年代初期所提出之以多孔矽全隔離法(FIPOS)(K. Imai, 固態電子24(1981), p. 159)。FIPOS法使用多孔矽之加速氧化現象，以形成一SOI構造，但是，於此之問題是其只可以島形內在的形成一表面矽層。

近年來吸引世界注意之SOI形成技術之一為晶圓結合技術，而已提出許多環繞此技術之方法，因為SOI構

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(2)

造提供在表面矽層和掩埋矽氧化層之厚度中之不定性，和表面矽層之良好晶性。

雖然此結合方法，（藉此晶圓結合而無需黏著劑或任何其它中介層），最初由Nakamura等人所提出，但是直到當J. B. Lasky等人發表使兩結合晶圓之一變薄之方法和形成在其上之MOS電晶體之操作時（J. B. Lasky, S. R. Stiffler, F. R. White, 和J. R. Abernathey, 國際電子裝置會議之技術文摘（IEEE, 紐約, 1985）, p. 684），即其研發直到1984才顯著的進行。

藉由Lasky等人之方法，配合有高濃度之硼且具有一低濃度或n型磊晶矽層之單晶矽晶圓之第一晶圓和具有氧化膜形成在表面上之第二晶圓乃依需要的提供和清潔，而後互相緊密接觸，因此兩晶圓以凡得瓦爾力互相結合。兩晶圓歷經熱處理以於其間形成共價鍵，藉此，結合強度增強至不會干擾裝置生產之位準。而後，第一晶圓以氫氟酸，硝酸，和醋酸之混合液體蝕刻其背側，以選擇移除 p^+ 矽晶圓，因此，只有磊晶矽層留在第二晶圓上，其亦稱為單蝕刻阻止法。但是， p^+ 矽之蝕刻率對磊晶矽（ p^- 或n型）之蝕刻率比例低至數10s，因此需要進一步改進以留下均勻厚度之磊晶矽層在整個晶圓表面上。

因此，已揭示一方法以進行選擇性蝕刻兩次。亦即，當第一基底提供有低雜質濃度矽晶圓基底在堆疊有 p^- 型矽層和一低雜質濃度層之表面上時；而後，此第一晶圓結合至一第二晶圓，如上所述。而後，第一基底以研磨，拋

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(3)

光或其它機械方法在其背側上削薄。其次，第一基底進行選擇性蝕刻直到埋在第一基底中之 p^+ 矽層之整個表面露出。在此例中，由於在基底之雜質濃度中之差異之選擇性蝕刻乃藉由使用如乙二胺，磷苯二酚，KOH等之鹼性液體而作用。而後，曝露 p^+ 矽層以如同上述Lasky法使用氫氟酸，硝酸，和醋酸之混合液體選擇性蝕刻，而選擇性移除，因此只有上述低雜質濃度單晶矽層轉換至第二基底，其稱為雙蝕刻阻止法。此方法，藉由執行多次選擇性蝕刻，已證明會改善整體之蝕刻選擇性，而導致在SOI中在表面矽層之厚度中之較佳均勻性。

但是，可預期的，藉由使用在雜質濃度中之上述差異或基底之組成之選擇性蝕刻而使層變薄會受到雜質濃度之深度輪廓之影響。亦即，如果晶圓，在結合後，在高溫熱處理以增強結合強度時，在掩埋層中之雜質會擴散，因此，蝕刻選擇的降低，導致在膜厚度之均勻性降低。因此，在結合後之熱處理必須在 800°C 或更低之溫度下執行。再者，由於多次蝕刻之每一次皆會提供一低的蝕刻選擇性，大量生產時之控制性亦是令人擔心的。

相對於上述之方法，其中蝕刻選擇性決定於在雜質濃度或組成上之差異，日本專利申請案第5-21338號使用構造上之差異以提供蝕刻選擇性。亦即，由於介於具有每單位體積之表面積如 $200\text{ m}^2/\text{cm}^3$ 之多孔矽和非多孔矽間之構造差異，此方法實施高達100000之蝕刻選擇性，其亦稱為使用多孔矽之構造差異之選擇蝕刻方

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

法。藉由此方法，提供用於第一基底之單晶矽晶圓之表面陽極化以形成多孔，而後，非多孔單晶矽層磊晶成長在其上以提供第一基底。而後，其結合至第二基底且依需要進行熱處理以增加結合強度。後續執行研磨，拋光等以移除第一基底之背側，以曝露多孔矽層在其整個表面上。其次，多孔矽以蝕刻選擇性移除，而結果為上述之非多孔單晶矽層轉換至第二基底。由於可獲得高達100000之蝕刻選擇性，所獲得SOI層之厚度上之均勻性極少受到蝕刻之損壞，而反應如同在磊晶成長時之單晶矽層之均勻性。亦即，如同在以商用CVD磊晶成長裝置之例中，此方法可獲得對於SOI-Si層之晶圓中均勻性，如1.5%至3%或更低。如同用於選擇性蝕刻之材料，此方法使用多孔矽，其亦使用於在FIPOS方法中之選擇性氧化之材料。因此，此方法不會限制多孔性至約56%，而是最好為相當低的值如約20%。用以製造上述日本專利申請案第5-21338號所揭示之SOI構造之方法被稱為ELTRAN（商標名），由Yonehara等人所發表(T. Yonehara, K. Sakaguchi, N. Sato, Appl, Phys, Lett, 64 (1994), p. 2108)。

再者，由於多孔矽不會變成最終產品之構造構件，多孔矽之構造改變和粗糙是可忍受的，只要它們不會傷害蝕刻選擇性。

Sato等人，其為本發明之發明人，進行一化學蒸氣沉積(CVD)法，使用SiH₂Cl₂氣體當成源氣體，以磊

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(5)

晶成長在多孔基底上，在磊晶成長前之熱處理之處理溫度為 1040°C ，和在磊晶成長時為 900 至 950°C (N. Sato, K. Sakaguchi, K. Yamagata, Y. Fujiyama, T. Yonehara, Proc. of the Seventh Int. Symp. on Silicon Matter. Sci. and Tech., Semiconductor Silicon, (Pennington, The Electrochem. Soc. Inc., 1994), p. 443)。

為了防止在熱處理時之高溫而引起多孔矽之顯著構造粗糙，Sato等人在磊晶成長步驟前加入一預先氧化步驟以形成保護膜在多孔矽之孔壁上，以幾乎抑制在熱處理中之多孔矽層之構造粗糙。此預先氧化在例如 400°C 之氧氣中執行。

此方法之一關鍵因素為在多孔矽上之非多孔單晶矽之磊晶成長時如何降低所形成之缺陷。所製成之 SOI 晶圓具有堆疊錯誤，其為主要缺點，且具有 10^3 至 $10^4 / \text{cm}^2$ 之堆疊錯誤密度在多孔矽上之磊晶矽層中。

一般指出堆疊錯誤會降低氧化膜之介電強度。此乃因為當一金屬雜質沉澱在環繞堆疊錯誤之偏置部份時，p-n 接面之漏電流會增加，因而降低少數載子之壽命。以光學顯微鏡觀察，在多孔基底上之磊晶成長上之其它報告，在以低偵測限制之缺陷蝕刻後，不會有小於 $10^3 / \text{cm}^2$ 之晶體缺陷密度。雖然相較於塊矽晶圓而言，位於 $1 \mu\text{m}^2$ 之閘極區域上之 10^3 至 $10^4 / \text{cm}^2$ 之堆疊錯誤之可能性低於 0.0001 至 0.00001 ，此缺陷密度仍然

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

太高，且因此會降低 I C 製造之良率。爲了由上述方法所獲得之 S O I 晶圓之實際應用，必須降低堆疊錯誤密度至少 $1000 / \text{cm}^2$ 。

發明概要

本發明之第一目的乃在提供一種半導體基底，其具有含降低晶體缺陷之非多孔單晶層在多孔矽層上，和該基底之製法。

本發明之第二目的乃在提供一種基底，其具有含較少晶體缺陷之非多孔單晶層在一絕緣體上，和該基底之製法。

依照本發明之第一觀點，於此提供一種半導體基底之製法，包含：提供含有一多孔矽層之基底之步驟；熱處理多孔矽層之熱處理步驟；和成長非多孔單晶層在多孔矽層上之成長步驟，其中熱處理步驟乃在不含非多孔單晶層之源氣體之大氣中進行，因此，由於熱處理之矽之蝕刻厚度不超過 2 nm ，和由（在熱處理後之表面孔密度）／（在熱處理前之表面孔密度）所界定之多孔矽層表面孔之變化率 r 滿足 $(1 / 10000) \leq r \leq 1$ 。

依照本發明之第二觀點，於此提供一種半導體基底之製法，包含：提供含有一多孔矽層之第一基底之步驟；熱處理多孔矽層之熱處理步驟；成長非多孔單晶層在多孔矽層上之成長步驟；和轉換成長在第一基底上之非多孔單晶層至第二基底，其中熱處理步驟乃在不含非多孔單晶層之

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明(7)

源氣體之大氣中進行，因此，由於熱處理之矽之蝕刻厚度不超過 2 nm ，和由（在熱處理後之表面孔密度）／（在熱處理前之表面孔密度）所界定之多孔矽層表面孔之變化率 r 滿足 $(1 / 10000) \leq r \leq 1$ 。

再者，本發明之特點為上述之變化率 r 滿足 $1 / 100 \leq r \leq 1$ 。

再者，本發明之特點為熱處理步驟包含移除在多孔矽層之表面上之氧化物。

圖式簡單說明

圖 1 為形成非多孔單晶層在一多孔矽層上之步驟之流程圖；

圖 2 為具有負載鎖室之磊晶成長裝置例之示意圖；

圖 3 A，3 B，和 3 C 為多孔構件之表面孔之 SEM 照片；

圖 4 A，4 B，和 4 C 為多孔構件之表面孔狀態之示意圖；

圖 5 為介於熱處理時間和殘餘表面孔密度間之關係圖；

圖 6 為介於殘餘孔密度和堆疊錯誤密度間之關係圖；

圖 7 為介於熱處理溫度和堆疊錯誤密度間之關係圖；

圖 8 為介於熱處理時間和蝕刻厚度間之關係圖；

圖 9 A，9 B，9 C，9 D，和 9 E 為依照本發明之步驟之示意圖；

（請先閱讀背面之注意事項再填寫本頁）

裝 · · · · · 訂 · · · · · 線

五、發明說明(8)

圖 10 A, 10 B, 10 C, 10 D, 和 10 E 為依照本發明之製造 S O I 基底之步驟之示意圖;

圖 1 1 為介於添加些微量之 $S i H_4$ 之處理時間和堆疊錯誤密度間之關係圖;

圖 1 2 為介於熱處理時間和堆疊錯誤密度間之關係圖;
和

圖 1 3 為介於熱處理時間和堆疊錯誤密度間之關係圖。

主要元件對照表

2 1	反應室
2 2	負載鎖室
3 2	運送室
2 3	閘閥
2 4	閘閥
2 5	加熱器
2 6	接受器
2 7	排放系統
2 8	排放系統
3 3	排放系統
2 9, 3 0, 3 4	氣體供應系統
3 1	運送臂
3 5	晶圓匣
1	基底

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(9)

- 9 0 多孔矽層
- 4 薄保護膜
- 3 孔壁
- 1 2 , 6 非多孔單晶矽層
- 1 4 絕緣層
- 5 保護膜

較佳實施例之詳細說明

首先參考圖 1 之流程圖說明形成非多孔單晶層（磊晶成長層）之方法。

首先，提供具有多孔矽層之一基底（S 1）。其次，在非多孔單晶層成長前，多孔矽層在不含非多孔單晶層之源氣體之大氣中熱處理。

此熱處理稱為預先烘烤步驟（S 2），藉此，可移除形成在多孔矽層之表面上之一自然氧化膜。

上述在不含非多孔單晶層之源氣體之大氣中之熱處理特別為在含氫氣之還原氣體，如 H e , A r , N e 等惰性氣體，或超高真空中。

在上述預先烘烤步驟後，導入一源氣體以成長非多孔單晶層（S 3）。因此，非多孔單晶層成長在多孔矽層上。

其次，說明引導至本發明之技術發現如下。

（實驗 1）

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

五、發明說明(10)

本發明人觀察在預先烘烤步驟後，在多孔矽層之表面上之孔密度如何改變，以詳細檢查預先烘烤步驟是否會影響導入在多孔矽層上之單晶矽之堆疊錯誤。

於此，本發明人小心以避免水或氧氣進入使用於預先烘烤之裝置中，以減少在預先烘烤時，其對孔徑和孔密度之影響。

特別的，如下所述，提供有負載鎖室以允許於取出或置入晶圓時，不會直接曝露反應室至大氣中。

由反應室之洩漏量最好為 $20 \text{ m Torr} / \text{min}$ 或更小，且更好為 $10 \text{ m Torr} / \text{min}$ 或更小。

再者，來自氣體供應系統之氣體板之洩漏量最好為 $0.5 \text{ psi} / 24 \text{ h}$ ，更好為 $0.2 \text{ psi} / 24 \text{ h}$ 。

再者，關於供應氣體方面，最好為高純化氣體。特別的，當使用 H_2 執行預先烘烤步驟時，最好使用通過位於約 20 公尺內之氣體純化器之 H_2 氣體，更好為離裝置約 10 公尺。關於純化器方面，最好使用使氣體通過熱鈦擴散胞之型或具有吸收劑之過濾型。

圖 2 為處理裝置之示意圖，其中參考數字 21 表示一反應室（處理室），參考數字 22 表示一負載鎖室，參考數字 32 表示一載子室（傳送室），參考數字 23 表示一閘閥，其提供介於反應室 21 和載子室 32 間之間隔，和參考數字 24 表示一閘閥，其提供介於載子室 32 和負載鎖室 22 間之間隔。參考數字 25 表示例如燈之加熱器，以加熱基底 W，參考數字 26 表示一接受器用以握持基底

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

五、發明說明(11)

W 在其上，參考數字 27，28，和 33 表示排放系統用以排放相關的反應室 21，負載鎖室 22，和載子室 32，參考數字 29 表示一氣體源系統用以將一處理氣體導入反應室 21，和參考數字 30 和 34 表示氣體供應系統用以導入一氣體分別至載子室 32 和負載鎖室 22，以於內側升壓。參考數字 31 表示一載子臂用以運送基底 W 進出反應室 21。參考數字 35 表示一品圓匣。再者，可使用之修改為負載鎖室 22 整合載子室 32 以容納運送臂，而非以閘閥 24 將其與載子室 32 分離。

為方便起見，使用裝設有負載鎖室之處理裝置進行之熱處理稱為在系統 A 中之熱處理。

在系統 A 中，反應室之加熱器可在預先加熱接受器之前預先充能至 600 至 1000 °C。

藉由使用此方法，最好增加晶圓置入反應室之溫度達成 600 至 1000 °C 約 10 秒，藉以降低溫度上升時間和抑制因為熱處理而在多孔矽表面上之孔狀態之改變之進行。

在形成有多孔矽之基底只受到使用安裝有負載鎖室之裝置熱處理時（預先烘烤），其由反應室中取出，且比高解析度掃描電子顯微鏡（HR-SEM）觀察。

多孔矽藉由在 HF - C₂H₅OH - H₂O 混合溶液中陽極化，而後在 400 °C 之氧氣中熱處理 1 小時產生（預先氧化步驟）。而後，將其浸入 1.25% HF 水溶液中 25 秒（HF 浸入步驟），清潔，乾燥，而後設置在磊晶

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明(12)

成長裝置中。圖 3 A 為剛好在多孔矽層置入磊晶成長裝置前，其表面之 S E M 影像。觀察到具有約 1 0 n m 直徑之孔已形成 $1 0^{11} / \text{cm}^2$ 之密度。

圖 3 B 為多孔矽層剛好在氫氣中在 950°C ，600 Torr 下進行 2 秒熱處理後，其表面之 S E M 影像。孔密度些微降低，但是仍在 $1 0^{10} / \text{cm}^2$ 之級。孔直徑幾乎沒有改變，仍為 1 0 n m。

另一方面，在氫氣中 1100°C 處理 2 秒之另一多孔層表面之孔密度經觀察顯著的降低至 $1 0^6 / \text{cm}^2$ 。如圖 3 C 所示，殘餘孔之直徑有些增加達 4 0 n m。在孔直徑上之增加被視為因以殘餘氧氣和水之擴大，蝕刻，或表面擴散，或相鄰孔之合併所引起的。

在圖 3 B 之例中，導入在多孔矽層上之非多孔單晶矽之堆疊錯誤密度為 $1 \times 1 0^2 / \text{cm}^2$ ，而在圖 3 C 之例中為 $2 \times 1 0^4 / \text{cm}^2$ 。

關於預先烘烤步驟方面，如日本專利申請案第 9 - 1 0 0 1 9 7 號所述，孔會因矽原子之滲透而受到阻擋，如此導致堆疊錯誤密度之降低。

雖然在用於預先烘烤之相關裝置中仍受到其它參數，如預先烘烤溫度，時間，和環境之影響，此實驗顯示孔受到阻擋，而同時產生具有大孔直徑之殘餘孔，其數目較少。於此發現預先烘烤步驟降低孔密度，而增加堆疊錯誤密度，如圖 3 C 所示。

但是，N. Sato 等人在 Jpn. J. Appl. Phys. 35.

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

五、發明說明(13)

973 (1996)中揭示雖然整個表面之大部份孔以預先烘烤密封，會呈現殘餘孔，雖然其數目較少，但是其會引起堆疊錯誤之導入。

例如，表面孔密度之由 $10^{11} / \text{cm}^2$ 降低至 $10^4 / \text{cm}^2$ 意即 99.99999% 之表面孔皆受到密封，而孔保持為 $10^4 / \text{cm}^2$ 之密度。

此實驗顯示在圖 3 C 之例中，因為預先烘烤步驟而引起孔密度降低較多，且堆疊錯誤密度較大，而在圖 3 B 之例中，孔密度降低較少。

此意即預先烘烤步驟降低在多孔矽層表面接近非多孔表面之孔密度，而同時，殘餘孔之直徑增加，而結果是無法預期降低堆疊錯誤密度。

亦即，預先烘烤步驟降低多孔表面之孔密度且同時，增加一些孔之直徑。圖 4 A，4 B，4 C 分別為圖 3 A，3 B，3 C 之 SEM 影像之示意表示圖。再者，圖 5 為介於多孔矽層表面之殘餘孔密度和使用上述具有負載鎖室之裝置而在實驗中獲得之熱處理時間間之關係。關於熱處理條件方面，使用溫度為 950°C ，壓力為 600 Torr ，和氫氣。

在熱處理時間經過 200 秒後，殘餘孔密度逐漸降低，且在多孔表面上之孔密度變成約 $10^7 / \text{cm}^2$ ，相較於在熱處理前之 $10^{11} / \text{cm}^2$ 。當然，當孔密度變成 $10^7 / \text{cm}^2$ 時，具有較大直徑之殘餘孔以較少的數目產生。

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(14)

(實驗2)

本發明人進一步檢查在預先烘烤後介於殘餘孔密和堆疊錯誤密度間之關係。其結果如圖6所示。

預先烘烤步驟使用上述具有負載鎖室之裝置執行以防止由呈現在用於此步驟之裝置中之水和氧氣之影響。亦即，此熱處理在系統A中。

以多孔矽層表面之孔密度約為 $10^{11} / \text{cm}^2$ ，由圖6可知，當在預先烘烤步驟後之殘餘孔密度為 $10^7 / \text{cm}^2$ 或更多時，堆疊錯誤密度會顯著的降低。亦即，當介於預先烘烤步驟前後間之殘餘孔密度之改變率 r ($r = (\text{在預先烘烤後之殘餘孔密度} / \text{在預先烘烤前之殘餘孔密度})$) 為 $1 / 10000 \leq r \leq 1$ ，最好為 $1 / 100 \leq r \leq 1$ 時，可降低堆疊錯誤密度。較佳的，當 $1 / 100 \leq r \leq 1$ 時，可顯著的降低堆疊錯誤密度。

於此，藉由缺陷曝露蝕刻，而後以顯微鏡觀察，可獲得堆疊錯誤密度。特別的，使用 $\text{K}_2\text{Cr}_2\text{O}_7$ 和 49% HF 以 2:1 混合之水溶液當成蝕刻劑（其一般使用於 Secco 蝕刻），以純水稀釋以降低蝕刻率，可曝露導入晶圓表面之非多孔單晶矽層之晶體缺陷，而後以 Nomarski 微分干擾顯微鏡觀察以決定堆疊錯誤密度。

於此發現在預先烘烤後在多孔矽層表面之孔密度中之較大改變會影響在多孔矽層上之非多孔單晶矽層之堆疊錯誤密度。

特別的，當導入矽源氣體，且非多孔單晶矽之沉積在

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明 (15)

表面孔由矽之表面擴散而形變前啓始，和因此孔密度顯著的降低時，堆疊錯誤密度降低。

亦即，本發明人首先發現藉由控制在預先烘烤步驟中之孔密度之降低在 4 位內，最好為 2 位或更小，晶體缺陷密度可降低至約 $10^2 / \text{cm}^2$ 。

此外，由於熱處理（預先烘烤步驟）之結果，一張力應用在多孔矽層中，且因此，晶格內容變成大於單晶矽者。藉此，在多孔矽層表面之殘餘孔之週邊上，張力集中以使晶格內容更大，因此，由於晶格不匹配，晶體缺陷更易於導入。

當孔密度為 $10^{11} / \text{cm}^2$ 時，多孔矽表面之平均孔間距離約為 30 nm。相較於 10 - 20 nm 之孔尺寸，此距離並不大，多數的孔會互相影響，因此，在孔週邊上之應力集中可受到鬆弛。上述在孔密度為 $10^{10} / \text{cm}^2$ 上之平均孔間距離為 100 nm，而在孔密度為 $10^9 / \text{cm}^2$ 時為 300 nm。相較於孔直徑，此距離足夠大，因此在孔之週邊上因為孔間影響之應力集中之鬆弛效果幾乎消除，藉以輕易的導入晶體缺陷在部份殘餘孔上。

(實驗 3)

本發明人進一步檢查介於堆疊錯誤密度和預先烘烤溫度間之關係。其結果如圖 7 所示。在圖 7 中，A 表示在系統 A 中進行用於預先烘烤步驟之資料。此時之壓力為 600 Torr。資料 B - 1 和 B - 2 說明如下。

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

五、發明說明(16)

堆疊錯誤密度在超過 1000°C 之高溫為 $10^4 / \text{cm}^2$ 級。但是，當溫度降低時，堆疊錯誤密度之最小值呈現在約 950°C ，而密度降低至約 $10^2 / \text{cm}^2$ 。亦即，預先烘烤溫度最好不超過 1000°C ，特別是不低於 880°C 且不超過 1000°C ，更好為不低於 870°C 且不超過 900°C 。

於此，介於預先烘烤溫度和堆疊錯誤密度間之關係並非始終如圖 7 之 A 所示。相對於系統 A，使用一裝置在 760 Torr 之壓力下進行相似之實驗，該裝置具有未安裝負載鎖室之開放型反應室（使用此種裝置進行之熱處理以下稱為在系統 B 中之熱處理），其中顯示當預先烘烤溫度上升時，堆疊錯誤密度降低（系統 B - 1）。於此，在系統 B - 2 中，矽源氣體之供應率在成長之最初級降低以顯著的抑制成長率。相較於系統 B - 1，在系統 B - 2 中，堆疊錯誤密度降低至約 $1/3$ ，而無關於溫度，但是，如同在系統 B - 1，堆疊錯誤密度可只在熱處理溫度增加後降低。對於系統 B，可參考 Sato 等人所發表（N. Sato 等人，Jpn. J. Appl. Phys. 35 (1996) 973）之報告。

堆疊錯誤密度可在較高熱處理溫度上降低之原因如下。在系統 B - 1 和 B - 2 中，在裝置中呈現有較多氧氣和水，因此，當溫度上升時，氧化矽會由殘餘氧氣和水一次形成在矽之表面。

在低溫上（ 1050°C 或更低），如此所形成的氧化矽無法完全移除，因此，堆疊錯誤密度較高。但是，在充

五、發明說明(17)

分高的溫度下和經過充分長之時間後觀察，所形成之氧化矽可完全的移除，且結果晶體缺陷密度開始降低。

由上可知，介於預先烘烤溫度和堆疊錯誤密度間之關係根據如氧氣和水量之預先烘烤環境而改變。

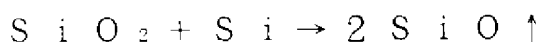
(實驗 4)

本發明人檢查在熱處理(預先烘烤步驟)時，矽受到多少蝕刻，以決定在系統 A 和 B 中呈現在反應室中之氧氣和水量之差異。其結果如圖 8 所示。

在 F. W. Smith 等人於 J. Electrochem. Soc. 129, 1300 (1982), 和 G. Ghidini 等人於 J. Electrochem.

Soc. 131, 2924 (1984) 之報告中說明當些微量之氧氣或水呈現在系統中時，且當濃度相當低時，矽受到蝕刻。

另一方面，當水之濃度高時，矽受到氧化以形成氧化矽。當溫度上升時，所形成之氧化矽和相鄰的矽反應，藉以受到蝕刻。亦即，會發生下述之反應。



而後，留在系統中之氧氣或水在溫度上升時有助於矽之蝕刻，因此，在反應室中之殘餘氧氣或水量可藉由檢查蝕刻之矽量而知。

圖 8 為在兩系統 A 和 B 中，由於非多孔單晶矽之蝕刻在厚度上降低之量之時間相依性。在系統 A 中，熱處理在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

1100℃和600 Torr 下進行，而在系統 B 中，在1050℃和760 Torr 下進行，和對於兩系統之熱處理氣體為氫氣。藉由使用一 SOI 基底和量測 SOI 層，即單晶矽層之厚度降低量，可決定蝕刻厚度。在系統 A 和 B 間溫度和壓力些微不同之原因為在相關裝置間之最佳條件是些微不同的。

在系統 B 中，即使熱處理時間為零（圖中之 y 截距），蝕刻厚度為 7 nm 或更多。此即為當欲處理之基底加熱至設定溫度而後立即冷卻之蝕刻厚度。亦即，只有以溫度上升，矽膜厚度降低約 7 nm。另一方面，在系統 A 中，即使熱處理 10 分鐘，蝕刻厚度仍小於 2 nm。

此外，在系統 A 中，熱處理時間逝去之蝕刻厚度在 1100℃之設定溫度時大於在 1050℃時。

因此，藉由因為在由矽之氧化所形成之氧化矽之膜厚度之蝕刻而降低可知在反應室中氧氣和水量之差異。

亦即，在系統 A 中，在裝置中只有非常少量的氧氣和水，因此，在溫度上升時，多數矽不會氧化成氧化矽，而導致小的蝕刻厚度。

另一方面，在系統 B 中，在裝置中有多量的氧氣和水，因此，矽受到蝕刻甚多。

在反應室中之氧氣和水量乃由所供應氣體之純度，在供應線上吸收之水量，微小的洩漏，反應室本身之氣密性，和當載送一基底進入反應室時反應室之污染而決定。在載送一基底進入反應室時，反應室受到氧化和水污染之程

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(19)

度會因爲基底經由一負載鎖導入反應室(系統A)或導入對於大氣開放之反應室而顯著的影響。但是,即使在系統B中,其中基底送至對大氣開放之反應室,只要在室中之氣體可充分的取代而無需溫度上升,則可降低殘餘的氧氣和水量,但此效率並不足以用於大量生產。再者,蝕刻厚度由需用於溫度上升至一設定溫度所需之時間所影響。當基底以一小熱容量支持在一基底保持器上時,可增加溫度上升率。

再者,在系統A中,如圖7所示,堆疊錯誤密度在約900°C至950°C上,在高於如上述預先烘烤會降低殘餘孔密度和增加堆疊錯誤密度之溫度上,會有最小值。

另一方面,在850°C上,其低於最小值,氫氣預先烘烤步驟引起約 $10^5 / \text{cm}^2$ 之堆疊錯誤密度。在這些條件下,以HR-SEM觀察在預先烘烤後之多孔矽表面顯示相較於圖3A,殘餘孔之狀態只少許的改變。亦即,孔密度並不降低。由於如自然氧化膜之氧化矽膜留在多孔矽層之表面上,堆疊錯誤密度乃如 $10^5 / \text{cm}^2$ 的高。

上述之實驗1至實驗4顯示在一系統中(在實驗1至4之系統A),其中在反應室中之水和氧氣在預先烘烤之溫度上升步驟中和預先烘烤步驟中減少,藉由控制在因預先烘烤之殘餘孔密度之改變,預先烘烤溫度,和預先烘烤時間,可降低堆疊錯誤密度。

以下說明本發明之實施例。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (20)

(第一實施例)

圖 9 A 至 9 E 為依照本發明之形成半導體基底之方法。

如圖 9 A 所示，提供一基底，其具有多孔矽層至少在一自由表面側上。

其次，如果有需要，如圖 9 B 所示，一薄保護膜 4 形成在多孔單晶矽層之孔壁 3 上（預先氧化步驟）。

由於此預先氧化步驟使保護膜 5，如氧化矽膜，形成在多孔矽層表面，此基底乃浸入低濃度 H F 水溶液中以移除在多孔矽表面上之保護膜（以下稱 H F 浸入）。圖 9 C 為移除狀態之橫截面圖。

其次，具有多孔單晶矽之基底設置在一磊晶成長裝置中，且熱處理如圖 9 D 所示（預先烘烤），而後，一非多孔單晶層 6 形成在其上，如圖 9 E 所示。

在用於預先烘烤之溫度上升步驟中，在預先烘烤時之條件乃是它們滿足條件 1，其中多孔矽層之厚度（ t ）改變，亦即，在多孔矽層之厚度（ t ）之降低（蝕刻厚度 t_e ）為 2 nm 或更少，最好為 1 nm 或更少，和條件 2，其中在多孔矽層之表面孔密度之改變率（ r ）為 $1 / 10000 \leq r \leq 1$ ，最好為 $1 / 100 \leq r \leq 1$ 。關於條件 1，在用於預先烘烤和預先烘烤步驟之溫度上升中，最好為蝕刻厚度為 2 nm 或更小，更好為 1 nm 或更小。

蝕刻厚度 t_e 可表示為 $t_e = t_0 - t_1$ ，其中 t_0 為在預先烘烤初始前之多孔矽層之層厚度和 t_1 為在預先烘烤完

五、發明說明 (21)

成後之多孔矽層之層厚度。在表面孔密度中之改變率 (r) 如下式所示。

$$r = d_1 / d_0,$$

其中 d_0 為在預先烘烤前之表面孔密度，和 d_1 為在預先烘烤後之表面孔密度。

再者，使用於此熱處理之氣體最好為不含矽基氣體者，更好為含氫氣或氮氣之還原氣體，惰性氣體或超高真空。以下說明此熱處理。

(1) 置入裝置中

表面形成有多孔矽層之基底置入反應室（未顯示）中，其中該室可抑制殘餘氧氣量和水量。使用於本發明中之熱處理可功能性的分成兩步驟，即，溫度上升步驟和自然氧化膜移除步驟。此處之自然氧化膜意即在 HF 浸入步驟後之步驟時，不經意形成在多孔矽層之表面上之氧化矽膜或在 HF 浸入步驟中未移除之氧化膜。

藉由溫度上升步驟和自然氧化膜移除步驟（預先烘烤步驟）時控制在反應室中之殘餘氧氣和水量，可完成蝕刻厚度之抑制。藉由抑制包含在供應氣體系統中之氧氣和水量，和進一步藉由經由負載鎖室運送基底進出反應室，可有效的獲得在反應室中對殘餘氧氣和水量之抑制，藉以防止反應室之內部免於直接接觸大氣。

五、發明說明 (22)

再者，視情況需要，可有效的置入一用於當成載送氣體之氫氣之純化器於靠近裝置處。再者，可改善供應線和室之氣密性。如上所述，藉此，在溫度上升步驟和自然氧化膜移除步驟時，可控制多孔矽層之蝕刻厚度至 2 nm 或更小，最好為 1 nm 或更小。但是，用以抑制蝕刻厚度之方法並不限於上述者。

(2) 溫度上升步驟

表面形成有多孔矽層之基底，在置入反應室後，受熱。當反應室以例如石英之透光材料形成時，基底以在反應室外側之紅外線燈照射而受熱。除了紅外線燈之熱外，亦可使用利用高頻之感應熱或電阻熱。再者，除了石英外，反應室亦可以不鏽鋼，SiC 等形成。溫度上升率愈大，因為殘餘氧氣和水之氧化 / 蝕刻可更有效的受到抑制。溫度上升率最好為 1 °C / 秒或更大，更好為 5 °C / 秒或更大。

當基底不經由負載室運送至反應室時，反應室在基底運入後充分的洗滌，且在移除會污染室之氧氣和水後，基底受熱以作用溫度上升。無論如何，最好使此處理在超高真空或無氧化氣體中進行。

(3) 自然氧化膜移除步驟

隨著溫度上升後，執行自然氧化膜移除步驟。亦即，自然氧化膜在氫氣中，在含氫還原氣體中，或在超高真空

五、發明說明(23)

中藉由熱處理移除。在此例中，多孔矽層之表面孔密度之改變率 r 為 $1/1000$ 或更高，最好為 $1/100$ 或更高。此處之 r 值不超過 1。

為了達成上述之條件，在熱處理時可達到的溫度，即預先烘烤溫度，不小於 850°C 且不大於 1000°C ，最好不小於 870°C ，且不大於 970°C 。

雖然未特別限制，壓力最好為大氣壓力或更小，較好為 700 Torr 或更小，且更好為 100 Torr 或更小。

除了用於溫度上升步驟外之熱處理時間，即預先烘烤時間，為 200 秒或更少，較好為 100 秒或更少，且最好為 60 秒或更少，和最好在該時間逝去後立即降低溫度。無論如何，只要自然氧化膜可移除，預先烘烤時間愈短好。

由於自然氧化膜藉由 $\text{SiO}_2 + \text{Si} \rightarrow 2\text{SiO} \uparrow$ 之反應而消除成為氣相，如果自然氧化膜之厚度太大，靠近或在多孔矽層表面中之矽會受到蝕刻。

自然氧化膜形成在 HF 浸入步驟後之清洗時，在清洗和乾燥後直到置入一磊晶成長裝置之空氣中，在置入磊晶成長裝置時，和在溫度上升步驟時。特別的，如果水和氧氣留在溫度上升步驟時，矽會因溫度上升而氧化以形成氧化矽膜。結果，所形成之氧化矽會和鄰近的矽作用以將其蝕刻。

再者，在溫度上升時，所形成之氧化矽膜愈厚，需要

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(24)

用以完全移除所形成氧化矽膜之熱處理時間愈長。如果熱處理時間因為變長，多孔矽表面之構造改變會如下所述，其是不佳的。

依照本發明，蝕刻厚度必須為至多 2 nm 或更少，最好為 1 nm 或更少。矽之蝕刻厚度較少意即在裝置中之矽氧化程度較小。

如果持續熱處理，會發生表面原子之遷移，以使在多孔矽表面中之微小不均勻性平滑，藉以降低表面能量，以消除大部份之表面孔洞。但是，由上述之實驗可知，在孔密度中之大改變會顯著的增加殘餘孔之孔直徑，因此，所需的是控制孔密度之改變在四位或更小內。

藉由一應力作用在多孔矽和非多孔單晶矽基底間，在多孔矽表面中之晶格會受到扭曲。因此，當孔密度降低時，扭曲集中在熱處理後留下之殘餘孔之週邊部份，因此，晶體缺陷易於導入殘餘孔部份。

依照本發明，在孔密度以熱處理降低四位或更多，最好為二位或更多之前，藉由開始供應用於形成非多孔薄膜之源氣體至多孔矽層表面，可防止由於孔密度之降低而使對殘餘孔部份之扭曲之集中，以抑制晶體缺陷之導入。此方法在下述之環境中相當有效，即，在熱處理時，裝置中之水和氧氣含量降低至符合矽之蝕刻厚度（即小於 2 nm 或更小）之條件之程度。

只要矽之蝕刻厚度受限於上述範圍內，自然氧化膜可在其它步驟中使用 HF 氣體移除。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (25)

(4) 磊晶成長

在熱處理步驟後，供應源氣體以密封多孔構件之孔，和形成非多孔單晶矽層至所欲膜厚度。因此，可在多孔矽上形成含降低堆疊錯誤密度之非多孔單晶矽層。當非多孔單晶層為單晶矽時，源氣體包括 SiH_4 ， SiH_2Cl_2 ， SiHCl_3 ， SiCl_4 ， Si_2H_6 等。

非多孔單晶矽層可為均質磊晶成長矽，異質磊晶成長 SiGe ， SiC ， GaAs ， InP 等。

(多孔矽層)

在本發明中使用之多孔矽實質相同於迄今由 Uhler 等人於 1964 年所發現者，且以陽極化方法產生，但是其不受限於基底雜質，表面方向性，產生方法等，只要其為多孔矽即可。

當一多孔矽層以陽極化方法形成時，此陽極化溶液為含有氫氟酸當成主要成份之水溶液。由於當陽極化時，氣體一般傾向於黏著至電極或矽之表面以使多孔層不均勻，一般添加如乙醇或丙醇之酒精以擴大接觸角度，藉以增強黏著氣泡之移除，以使陽極化均勻的發生。當然，即使無乙醇，亦可形成多孔基底。雖然不另限制，當依照本發明之多孔矽使用在 F I P O S 方法中時，約 56% 之多孔性是適當的，而如果使用在結合方法時，約 50% 之低多孔性或更小，最好為 30% 或更小是適當的。

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

五、發明說明(26)

由於多孔矽層乃藉由蝕刻而形成如上所述，除了孔穿透深入多孔基底外，相關的表面具有淺孔以表示成淺的不均勻性，因此它們可以場發射型掃描電子顯微鏡（F E S E M）觀察。

多孔矽之較少多孔性（%）導致多孔基底之較少堆疊錯誤密度。具有低多孔性之多孔矽可藉由增強HF濃度，降低電流密度，或增加陽極化時之溫度而形成。特別的，所謂低多孔性即10%至30%。

再者，多孔單晶矽層亦可藉由使多孔只在矽基底之一主要表面或在整個矽基底上而形成。

（預先氧化）

在本發明中，依情況需要，保護膜可形成在多孔矽層之孔壁上。由於介於多孔矽之相鄰孔間之壁薄至數nm至數十nm，多孔層之相鄰孔可能在磊晶成長時由熱處理或磊晶成長層之熱氧化，或在結合後會凝結，粗糙，或甚至斷開。多孔層之孔之凝結和粗糙現象會導致選擇蝕刻率之降低和破壞蝕刻選擇性。在F I P O S之例中，孔之斷開和孔壁厚度之增加會限制多孔層氧化之進行，如此會使難以完全氧化多孔層。為了防止此種情形，可在多孔層形成後進行熱氧化等方法，以事先形成一薄的保護膜在孔壁上，藉以抑制孔之凝結和粗糙。當形成保護層時，特別在使用氧化之例中，必須留下一單晶矽區域在孔壁之內側。因此，其足以提供數nm厚之膜。

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明(27)

如果當 S O I 基底以結合方法產生時，在結合後，隨著熱處理後之後續步驟在充分低的溫度下執行，以抑制多孔基質之構造改變，但是，此步驟亦可省略。

(H F 浸入)

受到上述預先氧化之多孔矽層亦可受到 H F 浸入處理。

關於 H F 浸入處理方面，Sato 等人(N. Sato, K. Sakaguchi, K. Yamagata, Y. Fujiyama, T. Yonehara, Proc. of the Seventh Int. Symp. on Silicon Matter. Sci. and Tech., Semiconductor Silicon, (Pennington, The Electrochem. Soc. Inc., 1994), p. 443)報告藉由延長 H F 浸入處理時間，堆疊錯誤密度可降低至約 $10^2 / \text{cm}^2$ 。由本發明人進一步實驗顯示在 H F 浸入處理之一些例中，氫氟酸溶液局部的深導入多孔矽以移除由預先氧化而形成在孔側壁上之非常薄的氧化膜。如此有時會導致在多孔層中局部的構造粗糙化，因此，多孔矽甚至不能以選擇性蝕刻移除，而以島形留下。亦即，以過多的時間或至少需要移除在表面上之自然氧化膜之濃度執行 H F 浸入處理並非較佳的。

再者，當 H F 浸入處理如上所述執行一段長時間時，在結合後使用之一些退火溫度會使多孔層之構造之粗糙化進行著，因此在多孔矽之蝕刻後會留下未蝕刻部份（蝕刻殘餘），因此，必須控制 H F 浸入時間在一適當範圍內。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (28)

在 H F 浸入處理後，可執行清洗和乾燥以降低在多孔基質之孔中之殘餘 H F 濃度。

(藉由供應些微量之源氣體之孔之密封)

依照本發明，最好使用矽基氣體，如 SiH_2Cl_2 ， SiH_4 ， SiHCl_3 ， SiCl_4 等，在多孔基質之密封孔之最初成長級，且設定源氣體之流動率以提供 20 nm / 分之成長率或更低，較好為 10 nm / 分或更低，且最好為 2 nm / 分或更低。如此可進一步降低晶體缺陷。在 MBE 方法中，其中由一固態源供應矽，且基底溫度低至 800 °C 或更低，此時成長率最好為 0.1 nm / 分或更小。在密封孔之步驟由供應些微量之源氣體之步驟完成後（其稱為預先注入步驟），成長率並不特別限制。

其亦可在如同成長在一般塊矽上相同的條件下執行。因此，密封在預先注入步驟之部份為多孔層之表面部份。反之，此成長可以如同上述供應些微量之源氣體之步驟相同的成長率而持續或氣體之種類亦可改變，但其仍未能脫離本發明之範疇。再者，在供應些微量之源氣體後之步驟可為一旦停止供應源氣體後供應一所需源氣體以持續成長之步驟。Sato 等人所發表 (N. Sato 等人, Jpn. J. Appl. Phys. 35 (1996) 973) 報告中指出，相較於習知之方法，藉由在成長之最初級降低 SiH_2Cl_2 之些微量之供應率，亦可降低堆疊錯誤密度。但是，此方法在某些觀點和習知方法相同，即，藉由在磊晶成長前增加預先烘烤之溫度

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(29)

可降低堆疊錯誤密度，且有時會因上述之多孔層構造之粗糙化而導致蝕刻殘餘之發生。本發明可在約900℃至950℃上之成長之前執行熱處理，其低於習知溫度，因此可抑制多孔構造之粗糙化。

依照本發明，藉由具有多孔矽層之基底在一裝置中，其中在熱處理時，矽少量的蝕刻以控制在成長前之熱處理時間，可防止熱處理如在習知方法中使用之高溫。以此，可降低晶體缺陷密度，藉以抑制多孔構造之粗糙化和孔之斷開。

再者，由於可控制成長溫度，壓力，氣體流率等，而無關於上述之初始成長步驟，處理溫度可降低以抑制多孔矽構造之粗糙化，自動摻雜如來自多孔矽之硼，磷等之雜質，或矽源氣體之流動率，成長溫度或固相擴散皆可增加，以加速成長率，藉以在短暫的逝去時間形成一厚非多孔單晶矽層。

再者，如前所述，所成長之非多孔單晶層並不限於矽，其亦可為第IV群型異磊晶材料，如SiGe，SiC等，或以GaAs表示之複合半導體。再者，使用矽基氣體在上述供應些微量之源氣體而後使用另一氣體以執行異磊晶成長之步驟亦屬本發明之範疇。

再者，在密封多孔層表面之孔之步驟後（亦即，預先烘烤／預先注入步驟）和在所需膜成長前，基底最好在高於預先烘烤／預先注入之溫度下，在不含半導體膜之任何源氣體（例如，含氫之還原氣體）下熱處理。此熱處理視

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (30)

爲“內烘烤”。

...

(第二實施例)

以下參考圖 10 說明產生具有含低堆疊錯誤密度之非單晶矽層在一多孔單晶矽層上之半導體基底之例。

具有多孔矽層 11 之基底 10 藉由在單晶矽基礎構件之整體上或至少一表面側上形成多孔而產生 (圖 10 A)

。圖 10 A 顯示使矽基礎構件製成部份多孔之例。

執行和第一實施例幾乎相同的熱處理，亦即，熱處理其中矽受到 2 nm 或更少之蝕刻，且最好爲 1 nm 或更少，在用於預先烘烤之溫度上升步階中，和多孔矽層表面孔密度之改變率 r 爲 $1 / 10000$ 或更大，最好爲 $1 / 100$ 或更大 (圖 10 B)。而後，非多孔單晶層 12 形成在多孔單晶矽層上 (圖 10 C)。

在此例中，上述之預先氧化或 HF 浸入可在熱處理前執行。再者，在熱處理後，最好進行些微量源氣體之供應 (預先注入) 以執行孔密封步驟。

其次，此結合方法使用以產生一 SOI 基底，以使一絕緣層首先形成在至少非多孔單晶矽層和第二基底之主表面上，而後，它們互相結合以設置非多孔單晶層在內側，藉以形成多層構造構件 (圖 10 D)。而後，依需要，可執行熱處理以增強結合強度，而後執行選擇性蝕刻多孔矽之移除步驟 (圖 10 E) 以傳送在多孔矽上之磊晶成長層至第二基底，藉以獲得 SOI 構造。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (31)

此處之絕緣層可為以氧化非多孔單晶層之表面而形成之氧化膜或形成在第二基底之表面上之氧化膜。

再者，氧化膜可形成在非多孔單晶層表面和第二基底之表面兩者上。

再者，除了非多孔單晶矽層外，形成在多孔矽層上之非多孔單晶層亦可為異磊晶層。

如果第二基底本身為如石英，石英玻璃，塑膠等之透光絕緣材料時，可省略絕緣層 1 4。

如果所獲得之結合強度強到足以承受後續步驟時，此處理進行至後續步驟。而後執行如研磨之機械方法或如蝕刻之化學方法以移除形成有多孔層之基底之背側，以曝露多孔層。替代的，基底之背側部份亦可在多孔層上分離以曝露多孔層。此分離可藉由從緣表面插入一楔至基底或噴射如水之液體而執行機械的分離，或可執行使用超音波或熱應力執行該分離。藉由預先形成具有低機械應力之高多孔副層在多孔層中，亦可輕易的分離該部份。例如，多孔層可由具有 10 至 30 % 多孔性之第一多孔層，形成在第一多孔層上且具有 30 至 70 % 多孔性之第二多孔層，和形成在第二多孔層上之非多孔單晶層所構成。

(多孔基底之選擇性蝕刻)

留在非多孔單晶層 1 2 上之多孔層以選擇性蝕刻移除。較佳的，此選擇性蝕刻劑為 HF， H_2O_2 ，和 H_2O 之混合液體。為了鼻除在反應時產生之氣泡，可添加乙醇，

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

五、發明說明 (32)

異丙醇或表面劑至混合液體中。

本方法可抑制多孔層之構造改變和粗糙化和孔之斷開，藉以降低在選擇蝕刻時對選擇性之破壞。

於此對於結合形成在多孔矽上之非多孔單晶矽層之第二基底並無特別限制，只要其具有可與非多孔單晶矽層之表面或一膜之表面緊密接觸之平坦性即可。例如，可使用矽晶圓，形成有熱氧化矽膜之矽晶圓，如石英晶圓，藍寶石晶圓等之透明基底等。當其結合至絕緣基底時，可省略絕緣層 14。

再者，非多孔單晶矽層可如此結合至第二基底，或亦可首先受到膜之形成，而後，結合至第二基底。所形成之膜可為氧化矽或氮化矽之膜，或 SiC, SiGe 之單晶膜，或 III-V 群複合物，如 InP, GaAs, InGaAs, 和 GaAsAl, 或 III-VI 群複合物亦可堆疊其上。

在結合之前最好清洗結合表面。清洗步驟可為使用於習知半導體處理者。再者，藉由在結合前以氮電漿照射可改善結合強度。

在結合後，最好執行熱處理以增強結合強度。

(氬氣退火)

在移除多孔矽後，非多孔單晶層 12 具有反應介於孔和呈現在表面上之多孔矽之側壁間之週期之不均勻性。此表面相關於介於非多孔單晶矽和多孔矽間之介面，而此兩

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (33)

者皆為單晶矽，其間之不同點為其是否具有孔。藉由典型為化學機械拋光 (CMP) 之拋光等可移除表面之不均勻性，且當受到在氫氣中之熱處理時 (稱為氫氣退火)，不均勻性可實質移除而未降低非多孔單晶矽膜之厚度。氫氣退火可在大氣壓力，高壓，低壓，或些微低壓下執行。再者，溫度為由 800 °C 至單晶矽之熔點，最好為 900 °C 至 1350 °C。

(硼濃度控制)

另一方面，雖然在多孔矽層上之磊晶層之晶體成長在 p^+Si ($0.01 \Omega - cm$ 硼摻雜) 多孔之例比在陽極化 p^+Si ($0.01 \Omega - cm$ 硼摻雜) 之例佳，於此之例為當高濃度硼在磊晶成長時自動摻雜或固相擴散至磊晶矽層中。擴散進入磊晶矽層中之硼會在多孔矽移除後留下，因此造成控制在 SOI 中之主動層之雜質濃度之問題。為了解決此一問題，Sato 等人所發表 (N. Sato, T.

Yonehara, Appl. Lett. 65 (1994) p1924) 報告中指出 SOI 構造完成基底在氫氣中退火以移除在具有低硼擴散速度之 SOI 層表面上之自然氧化膜，且在 SOI 層中之硼擴散至外界以獲得低硼濃度。但是，硼之過度擴散至磊晶矽層會引起硼之置入掩埋氧化膜中和延長氫氣退火時間，因此導致在處理成本上之增加，或降低在掩埋氧化膜中之硼濃度之可控制性。為了解決此一問題，可形成磊晶矽層在低溫上以抑制硼之擴散。依照本發明，由於條件之設

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

五、發明說明 (34)

定和孔之密封無關，因此可適當的設定用於磊晶矽層形成之條件。

(F I P O S 方法)

再者，除了結合方法外，亦可使用 F I P O S 方法以部份移除磊晶成長層，而後以氧化處理選擇性氧化多孔矽藉以形成 S O I 構造。本方法可抑制多孔層之構造改變和粗糙化和孔之斷開，藉以降低在選擇性氧化中之選擇性降低。

(異磊晶)

在多孔矽層上，除了矽外，比 G a A s 或其它複合半導體或如 S i C , S i G e 之第 I V 群材料亦可異磊晶成長。在異磊晶中，多孔矽作用當成應力緩和材料，藉由緩和因晶格不匹配所生之應力，和降低非多孔單晶矽層之晶體缺陷密度以降低異磊晶成長層之缺陷密度。本方法可抑制多孔層之構造改變和粗糙化和孔之斷開，藉以降低對應力緩和效果之破壞。

(其它應用)

由於多孔層具有集合之效果，因此在處理時，除了如上所述形成 S O I 構造外，藉由在由本發明所產生之非多孔單晶矽層中直接形成 M O S 電晶體和雙極電晶體，可產生具有抵抗金屬污染之高雜質抗力之基底。

五、發明說明 (35)

相較於習知者，由於本方法可降低熱處理溫度，特別是在孔密封之前，因此可抑制在多孔層中之孔之凝結，擴張，和斷開，藉以防止破壞在結合步驟後之步驟中對多孔層之選擇性蝕刻之選擇性。亦即，可改善非多孔單晶矽層之晶性而在多孔層之移除時不產生蝕刻殘餘。再者，F I P O S 方法不會降低選擇性氧化多孔層之速率。

以下說明本發明之特別例。

(第一例：950℃，600 Torr，預先烘烤(2秒，120秒)，預先注入，Epi-2μm)

1) 添加硼當成p型雜質以提供具有0.015Ωcm + / - 0.005Ωcm電阻率之CZ6-吋(100)p'矽晶圓。

2) 在49%HF和乙醇以2:1比例混合之溶液中，上述之矽晶圓設置當成陽極，和6吋直徑白金板設置當成陰極以相對於矽晶圓。矽晶圓之背側相對於另一p'矽晶圓之表面側，其間有相同的溶液，藉以使最遠的晶圓面對6吋直徑白金板。介於晶圓間之相關溶液互相分離，藉以防止其間之電傳導。一10mA/cm²之電流密度之電流在上述矽晶圓和白金板間流動12分鐘以陽極化矽晶圓，藉以在每個表面上形成12μm厚之多孔矽層。

3) 而後，形成有多孔矽層之每個晶圓受到在氧氣中400℃之氧化1小時。由於此氧化處理只提供約50Å或更低厚度之氧化膜，氧化矽膜只形成在多孔矽表面和孔

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(36)

側壁，留下單晶矽區域在晶圓之內側。

4) 上述之晶圓浸入稀釋至 1.25% 之 HF 水溶液中 30 秒，且而後，在純水中 10 分鐘以溢流清洗，以移除形成在多孔層表面上之超薄氧化矽膜。

5) 上述之晶圓，當放置在一晶圓載送器上時，乃設置在磊晶 CVD 成長裝置之負載鎖室，其中連接有用以設定晶圓在晶圓載送器上之負載鎖室，具有晶圓傳送機器人之傳送室，和一處理室。

負載鎖室以乾燥泵從大氣壓力抽空降低至 1 Torr 或更小，且導入 N₂ 氣體以使壓力成爲 80 Torr。傳送室以氮氣之預先導入而保持在 80 Torr。在處理室中設置一接受器，其以塗覆有 CVD-SiC 之碳製成以用於保持晶圓。接受器事先以 IR 燈加熱至約 750°C。使用熱鈹合金之氫純化器經由約 10 米長內部拋光不鏽鋼管供應純化氫氣至處理室。

此晶圓以傳送機器人由負載鎖室經由傳送室傳送至處理室，和設置在接受器上。

6) 在處理室之內側設定在 600 Torr 之壓力時，在接受器上傳送之晶圓以 IR 燈以 100°C/分之速率加熱至高達 950°C，並保持在此溫度 2 秒，而後冷卻至 750°C，並以傳送機器人再次經由傳送室取出至負載鎖室。其它晶圓保持在 950°C 約 120 秒，而後受到如上所述相同的處理，而後返回至負載鎖室。

7) 負載鎖室對大氣開啓，而後取出晶圓。多孔層

五、發明說明 (37)

表面以 H R - S E M 觀察以顯示 2 秒處理晶圓具有 $6.8 \times 10^{10} / \text{cm}^2$ 之多孔層之表面孔密度，而 120 秒處理晶圓具有 $3.0 \times 10^9 / \text{cm}^2$ 之多孔層之表面孔密度。由於在置入磊晶成長裝置前樣本具有 $9.8 \times 10^{10} / \text{cm}^2$ 之多孔層之表面孔密度，它們的改變率 r 分別為 $7/10$ 和 $3/100$ 。亦即，它們滿足條件 2。

8) 再者，事先提供之 S O I 基底浸入 H F 溶液中，而後以水清潔和乾燥，並以光學干擾型膜厚度計量測 S O I 層之膜厚度，並受到 5) 和 6) 之處理，且由負載鎖室取出。而後，再度量測 S O I 層之厚度而發現在兩樣本中之膜厚度只降低少於 1 n m。亦即，它們滿足條件 1。

9) 受到上述 4) 處理之晶圓以上述 5) 之方式傳送至磊晶成長裝置之處理室。

10) 在處理室之壓力設定在 600 T o r r 後，在接受器上傳送之晶圓以 I R 燈以 $100^\circ\text{C} / \text{分}$ 之速率加熱且受到熱處理（預先烘烤處理）至保持在 950°C 2 秒；而後添加 S i H₄ 至氫氣載送氣體以提供 28 p p m 之濃度，藉以處理晶圓 200 秒且而後停止 S i H₄ 之添加。而後，壓力降低至 80 T o r r，且溫度降低至 900°C ，和添加 S i H₂ C l₂ 以提供 0.5 m o l % 濃度，藉以形成厚度為 2 μm 之非多孔單晶矽膜。而後，在氫氣中之溫度降低至 750°C 且晶圓再度以傳送機器人經由傳送室取出至負載鎖室。其它晶圓在氫氣中保持在 950°C 之預先

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (38)

烘烤處理約 1 2 0 秒，而後受到如上所述相同的處理，而後返回至負載鎖室。值得注意的是，當添加 SiH_4 以提供 2 8 p p m 之濃度時，成長率為 3 . 3 n m / 分。1 m o l % = 1 0 ⁴ p p m 。

1 1) 以上述 1 0) 處理完成之晶圓受到用於缺陷露出之蝕刻，以露出導入非多孔單晶矽層之晶體缺陷，和而後以 Nomarski 微分干擾顯微鏡觀察。如此所獲得之缺陷具有 9 9 % 或更多之堆疊錯誤百分比。對於 2 秒預先烘烤之堆疊錯誤密度為 8 4 / c m ²，而對於 1 2 0 秒預先烘烤之堆疊錯誤密度為 2 6 0 / c m ²，相較於對於 1 2 0 秒在 1 1 0 0 °C 上之預先烘烤之堆疊錯誤密度為 1 . 5 × 1 0 ¹ / c m ² 而言，堆疊錯誤密度顯著的降低。在降低缺陷密度之例中，特別的，對於在 9 5 0 °C 上預先烘烤 2 秒而言，可獲得小於 1 0 0 / c m ² 之堆疊錯誤密度。

(第二例：9 5 0 °C，6 0 0 T o r r，預先烘烤 (2 秒，1 2 0 秒)，預先注入，E p i - 0 . 3 2 μ m)

1) 添加硼當成 p 型雜質以提供具有 0 . 0 1 5 Ω c m + / - 0 . 0 1 Ω c m 電阻率之 C Z 8 - 吋 (1 0 0) p ⁺ 矽晶圓。

2) 在 4 9 % H F 和乙醇以 2 : 1 比例混合之溶液中，上述之矽晶圓設置當成陽極，和 6 吋直徑白金板設置當成陰極以相對於矽晶圓。矽晶圓之背側相對於另一 p ⁺ 矽晶圓之表面側，其間有相同的溶液，藉以使最遠的晶圓面

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(39)

對 6 吋直徑白金板。介於晶圓間之相關溶液互相分離，藉以防止其間之電傳導。一 $10 \text{ mA} / \text{cm}^2$ 之電流密度之電流在上述矽晶圓和白金板間流動 12 分鐘以陽極化矽晶圓，藉以在表面上形成具有 $12 \mu \text{m}$ 厚之多孔矽層之多數晶圓。

3) 而後，形成有多孔矽層之每個晶圓受到在氧氣中 400°C 之氧化 1 小時。由於此氧化處理只提供約 50 \AA 或更低厚度之氧化膜，氧化矽膜只形成在多孔矽表面和孔側壁，留下單晶矽區域在晶圓之內側。

4) 上述之晶圓浸入稀釋至 1.25% 之 HF 水溶液中 30 秒，且而後，在純水中 10 分鐘以溢流清洗，以移除形成在多孔層表面上之超薄氧化矽膜。

5) 上述之晶圓，當放置在一晶圓載送器上時，乃設置在磊晶 CVD 成長裝置之負載鎖室，其中連接有用以設定晶圓在晶圓載送器上之負載鎖室，具有晶圓傳送機器人之傳送室，和一處理室。負載鎖室以乾燥泵從大氣壓力抽空降低至 1 Torr 或更小，且導入 N_2 氣體以使壓力增加成爲 80 Torr 。傳送室以氮氣之預先導入而保持在 80 Torr 。在處理室中設置一接受器，其以塗覆有 CVD-SiC 之碳製成以用於保持晶圓。接受器事先以 IR 燈加熱至約 750°C 。使用熱鈮合金之氫純化器經由約 10 米長內部拋光不鏽鋼管供應純化氫氣至處理室。

此晶圓以傳送機器人由負載鎖室經由傳送室傳送至處理室，和設置在接受器上。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(40)

6) 在接受器上傳送之晶圓以 I R 燈以 100°C / 分之速率加熱至高達 950°C ，並保持在此溫度預先烘烤 2 秒。此時之條件可使矽之蝕刻厚度小於 1nm ，和表面孔密度之改變率 r 為 $7/10$ ，此兩者皆符合本發明所界定之條件 1 和 2。

其次，添加 SiH_2Cl_2 至氫氣載送氣體以提供 28 ppm 之濃度，以執行 200 秒之處理（在 2.6nm / 分之成長率上），和而後溫度降低至 900°C ；而後添加 SiH_2Cl_2 以提供 0.5 mol% 濃度，藉以形成厚度為 $0.32\mu\text{m}$ 之非多孔單晶矽膜；而後，在氫氣中之溫度降低至 750°C 且晶圓再度以傳送機器人經由傳送室取出至負載鎖室。如此形成之非多孔單晶矽層具有 $0.32\mu\text{m}$ 之平均厚度和最大值減最小值為 8nm 。

7) 非多孔單晶矽層所磊晶成長之每個晶圓設定在垂直型爐中且受到在由燃燒氧氣和氫氣所形成之水蒸氣和剩餘氧氣之混合氣體中在 1000°C 上熱處理，以氧化非多孔單晶矽之表面，以形成具有 208nm 厚度之氧化矽膜。

8) 上述晶圓和第二晶圓在矽半導體處理之清潔線中清潔，而後以其主要主表面互相面對而緩和的互相重疊，且按壓中間部份以將其整合。

9) 而後，所整合之積體晶圓設定在垂直型爐中，且受到在氧氣中，在 1100°C 下熱處理 1 小時。

10) 形成有多孔矽之晶圓之背側以研磨器研磨以

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(41)

曝露多孔矽在整個晶圓表面。

1 1) 所曝露之多孔矽層浸入 H F 和過氧化氫溶液之混合溶液中以在約 2 小時移除所有的多孔矽，在整個晶圓表面上顯示由於非多孔單晶矽層和熱處理氧化矽膜之干擾顏色。

1 2) 以上述 1 1) 處理完成之晶圓受到使用於矽半導體裝置處理中之清潔線清潔且設定在垂直型氫氣退火爐中且受到 1 0 0 % 氫氣在 1 1 0 0 ° C 下熱處理 4 小時。所使用之氫氣以使用鈮合金經由約 7 米長內部拋光不鏽鋼管連接至裝置之商用氫氣純化器純化。

1 3) 因此，可產生 S O I 晶圓，其中 2 0 0 n m 厚之氧化矽膜和 2 0 0 n m 厚之單晶矽膜堆疊在第二矽晶圓上。

此單晶矽晶圓具有 2 0 1 n m 之平均厚度且最大值減最小值為 8 n m 。

1 4) 在 1 3) 處理中完成之晶圓受到缺陷曝露蝕刻以移除單晶矽層約 1 3 0 n m 厚，且於後浸入 4 9 % H F 溶液 3 分鐘。結果，掩埋氧化膜受到 H F 經由以缺陷曝露蝕刻蝕刻之單晶矽層中留下之晶體缺陷之部份之蝕刻，其可以以 Nomarski 微分干擾顯微鏡輕易的決定缺陷密度。所觀察之缺陷密度為 $6 4 / c m ^ 2$ 。導入非多孔單晶層之堆疊錯誤以氫氣退火降低。因此，可獲得具有均勻膜厚度和小於 $1 0 0 / c m ^ 2$ 之晶體缺陷密度之薄膜 S O I 層。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(42)

(第三例：950℃，600 Torr，預先烘烤(2秒，120秒)，無預先注入，Epi-2μm)

1) 添加硼當成p型雜質以提供具有0.015Ωcm + / - 0.005Ωcm電阻率之6吋(100) p⁺矽晶圓(CZ晶圓)。

2) 在49% HF和乙醇以2:1比例混合之溶液中，上述之矽晶圓設置當成陽極，和6吋直徑白金板設置當成陰極以相對於矽晶圓。矽晶圓之背側相對於另一p⁺矽晶圓之表面側，其間有相同的溶液，藉以使最遠的晶圓面對6吋直徑白金板。介於晶圓間之相關溶液互相分離，藉以防止其間之電傳導。一10mA/cm²之電流密度之電流在上述矽晶圓和白金板間流動12分鐘以陽極化矽晶圓，藉以在表面上形成具有12μm厚之多孔矽層。

3) 而後，形成有多孔矽層之每個晶圓受到在氧氣中400℃之氧化1小時。由於此氧化處理只提供約50Å或更低厚度之氧化膜，氧化矽膜只形成在多孔矽表面和孔側壁，留下單晶矽區域在晶圓之內側。

4) 上述之晶圓浸入稀釋至1.25%之HF水溶液中30秒，且而後，在純水中10分鐘以溢流清洗，以移除形成在多孔層表面上之超薄氧化矽膜。

5) 上述之晶圓，當放置在一晶圓載送器上時，乃設置在磊晶CVD成長裝置之負載鎖室，其中連接有用以設定晶圓在晶圓載送器上之負載鎖室，具有晶圓傳送機器人之傳送室，和一處理室。負載鎖室以乾燥泵從大氣壓力

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

五、發明說明 (43)

抽空降低至 1 T o r r 或更小，且導入 N₂ 氣體以使壓力成爲 8 0 T o r r 。傳送室以氮氣之預先導入而保持在 8 0 T o r r 。在處理室中設置一接受器，其以塗覆有 C V D - S i C 之碳製成以用於保持晶圓。接受器事先以 I R 燈加熱至約 7 5 0 °C 。使用熱鈮合金之氫純化器經由約 1 0 米長內部拋光不鏽鋼管供應純化氫氣至處理室。

此晶圓以傳送機器人由負載鎖室經由傳送室傳送至處理室，和設置在接受器上。

6) 在處理室設定在 6 0 0 T o r r 之壓力後，在接受器上傳送之晶圓以 I R 燈以 1 0 0 °C / 分之速率加熱至高達 9 5 0 °C ，並保持在此溫度 2 秒，而後，溫度降低至 7 5 0 °C 且再度以傳送機器人經由傳送室取出至負載鎖室。其它晶圓保持在 9 5 0 °C 之 1 2 0 秒，而後受到如上所述相同的處理，而後返回至負載鎖室。

7) 負載鎖室對大氣開啓，而後取出晶圓。多孔層表面以 H R - S E M 觀察以顯示 2 秒處理晶圓具有 $6 . 8 \times 1 0^{10} / \text{cm}^2$ 之多孔層之表面孔密度，而 1 2 0 秒處理晶圓具有 $3 . 0 \times 1 0^9 / \text{cm}^2$ 之多孔層之表面孔密度。由於在置入磊晶成長裝置前樣本具有 $9 . 8 \times 1 0^{10} / \text{cm}^2$ 之多孔層之表面孔密度，它們的改變率 r 分別爲 7 / 1 0 和 3 / 1 0 0 。亦即，它們滿足條件 2 。

8) 再者，事先提供之 S O I 基底浸入 H F 溶液中，而後以水清潔和乾燥，並以光學干擾型膜厚度計量測

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

五、發明說明(44)

S O I 層之膜厚度，並受到 5) 和 6) 之處理，且由負載鎖室取出。而後，再度量測 S O I 層之厚度而發現在兩樣本中之膜厚度只降低少於 1 n m 。亦即，它們滿足條件 1 。

9) 受到上述 4) 處理之晶圓以上述 5) 之方式傳送至磊晶成長裝置之處理室。

10) 在處理室之壓力設定在 600 T o r r 後，在接受器上傳送之晶圓以 I R 燈以 100 ° C / 分之速率加熱且受到保持在 950 ° C 之熱處理（預先烘烤）2 秒。而後，壓力降低至 80 T o r r 且溫度降低至 900 ° C ，和添加 S i H ₂ C l ₂ 以提供 0 . 5 m o l % 濃度，藉以形成厚度為 2 μ m 之非多孔單晶矽膜。而後，在氫氣中之溫度降低至 750 ° C 且晶圓再度以傳送機器人經由傳送室取出至負載鎖室。其它晶圓在氫氣中保持在 950 ° C 之預先烘烤處理約 120 秒，而後受到如上所述相同的處理，而後返回至負載鎖室。

11) 以上述 10) 處理完成之晶圓受到用於缺陷露出之蝕刻，以露出導入非多孔單晶矽層之晶體缺陷，和而後以 Nomarski 微分干擾顯微鏡觀察。如此所獲得之缺陷具有 99 % 或更多之堆疊錯誤百分比。對於 2 秒預先烘烤之堆疊錯誤密度為 170 / c m ² ，而對於 120 秒預先烘烤之堆疊錯誤密度為 2 . 6 × 10 ³ / c m ² ，相較於對於 120 秒在 1100 ° C 上之預先烘烤處理之堆疊錯誤密度為 1 . 5 × 10 ⁴ / c m ² 而言，堆疊錯誤密度顯著的降低

（請先閱讀背面之注意事項再填寫本頁）

裝 · · · · · 訂 · · · · · 線

五、發明說明 (45)

(第四例：900℃，450 Torr，預先烘烤(2秒，120秒)，預先注入，Epi-2μm)

1) 添加硼當成p型雜質以提供具有 $0.015\ \Omega\text{cm} + / - 0.005\ \Omega\text{cm}$ 電阻率之6吋(100)p⁺矽晶圓(CZ晶圓)。

2) 在49% HF和乙醇以2:1比例混合之溶液中，上述之矽晶圓設置當成陽極，和6吋直徑白金板設置當成陰極以相對於矽晶圓。矽晶圓之背側相對於另一p⁺矽晶圓之表面側，其間有相同的溶液，藉以使最遠的晶圓面對6吋直徑白金板。介於晶圓間之相關溶液互相分離，藉以防止其間之電傳導。 $-10\text{mA}/\text{cm}^2$ 之電流密度之電流在上述矽晶圓和白金板間流動12分鐘以陽極化矽晶圓，藉以在表面上形成具有12μm厚之多孔矽層。

3) 而後，形成有多孔矽層之每個晶圓受到在氧氣中400℃之氧化1小時。由於此氧化處理只提供約50Å或更低厚度之氧化膜，氧化矽膜只形成在多孔矽表面和孔側壁，留下單晶矽區域在晶圓之內側。

4) 上述之晶圓浸入稀釋至1.25%之HF水溶液中30秒，且而後，在純水中10分鐘以溢流清洗，以移除形成在多孔層表面上之超薄氧化矽膜。

5) 上述之晶圓，當放置在一晶圓載送器上時，乃設置在磊晶CVD成長裝置之負載鎖室，其中連接有用以設

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

五、發明說明 (46)

定晶圓在晶圓載送器上之負載鎖室，具有晶圓傳送機器人之傳送室，和一處理室。負載鎖室以乾燥泵從大氣壓力抽空降低至 1 T o r r 或更小，且導入 N₂ 氣體以使壓力成爲 8 0 T o r r。傳送室以氮氣之預先導入而保持在 8 0 T o r r。在處理室中設置一接受器，其以塗覆有 C V D - S i C 之碳製成以用於保持晶圓。接受器事先以 I R 燈加熱至約 7 5 0 °C。使用熱鈮合金之氫純化器經由約 1 0 米長內部拋光不鏽鋼管供應純化氫氣至處理室。

此晶圓以傳送機器人由負載鎖室經由傳送室傳送至處理室，和設置在接受器上。

6) 在處理室設定在 4 5 0 T o r r 之壓力後，在接受器上傳送之晶圓以 I R 燈以 1 0 0 °C / 分之速率加熱至高達 9 0 0 °C，並保持在此溫度 2 秒，而後，溫度降低至 7 5 0 °C 且再度以傳送機器人經由傳送室取出至負載鎖室。其它晶圓保持在 9 0 0 °C，1 2 0 秒，而後受到如上所述相同的處理，而後返回至負載鎖室。

7) 負載鎖室對大氣開啓，而後取出晶圓。多孔層表面以 H R - S E M 觀察以顯示 2 秒處理晶圓具有 $7.8 \times 10^{10} / \text{cm}^2$ 之多孔層之表面孔密度，而 1 2 0 秒處理晶圓具有 $3.0 \times 10^9 / \text{cm}^2$ 之多孔層之表面孔密度。由於在置入磊晶成長裝置前樣本具有 $9.8 \times 10^{10} / \text{cm}^2$ 之多孔層之表面孔密度，它們的改變率 r 分別爲 8 / 1 0 和 3 / 1 0 0。亦即，它們滿足條件 2。

8) 再者，事先提供之 S O I 基底浸入 H F 溶液中

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

五、發明說明 (47)

，而後以水清潔和乾燥，並以光學干擾型膜厚度計量測 S O I 層之膜厚度，並受到 5) 和 6) 之處理，且由負載鎖室取出。而後，再度量測 S O I 層之厚度而發現在兩樣本中之膜厚度只降低少於 1 n m 。亦即，它們滿足條件 1 。

9) 受到上述 4) 處理之晶圓以上述 5) 之方式傳送至磊晶成長裝置之處理室。

10) 在處理室之壓力設定在 450 Torr 後，在接受器上傳送之晶圓以 IR 燈以 100 °C / 分之速率加熱且受到保持在 900 °C 之熱處理（預先烘烤處理）2 秒；而後，添加 S i H₄ 至氫氣載送氣體以提供 28 p p m 之濃度，以對晶圓執行 200 秒之處理，和而後停止 S i H₄ 之添加。而後，壓力降低至 80 Torr 且溫度降低至 900 °C，和添加 S i H₂ C l₂ 以提供 0.7 m o l % 濃度，藉以形成厚度為 2 μ m 之非多孔單晶矽膜。而後，在氫氣中之溫度降低至 750 °C 且晶圓再度以傳送機器人經由傳送室取出至負載鎖室。其它晶圓在氫氣中保持在 900 °C 之預先烘烤處理約 120 秒，而後受到如上所述相同的處理，而後返回至負載鎖室。

11) 以上述 10) 處理完成之晶圓受到用於缺陷露出之蝕刻，以露出導入非多孔單晶矽層之晶體缺陷，和而後以 Nomarski 微分干擾顯微鏡觀察。如此所獲得之缺陷具有 99 % 或更多之堆疊錯誤百分比。對於 2 秒預先烘烤之堆疊錯誤密度為 490 / c m²，而對於 120 秒預先烘

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明 (48)

烤之堆疊錯誤密度為 $350 / \text{cm}^2$ ，相較於對於 120 秒在 1100°C 上之預先烘烤之堆疊錯誤密度為 $1.5 \times 10^4 / \text{cm}^2$ 而言，堆疊錯誤密度顯著的降低，因此可獲得小於 $1000 / \text{cm}^2$ 之缺陷密度。

(第五例： 870°C ， 80 Torr ，預先烘烤 (5 秒，60 秒)，預先注入， $\text{Epi} - 2 \mu\text{m}$)

1) 添加硼當成 p 型雜質以提供具有 $0.015 \Omega \text{cm} + / - 0.005 \Omega \text{cm}$ 電阻率之 6 吋 (100) p 矽晶圓 (CZ 晶圓)。

2) 在 49% HF 和乙醇以 2:1 比例混合之溶液中，上述之矽晶圓設置當成陽極，和 6 吋直徑白金板設置當成陰極以相對於矽晶圓。矽晶圓之背側相對於另一 p 矽晶圓之表面側，其間有相同的溶液，藉以使最遠的晶圓面對 6 吋直徑白金板。介於晶圓間之相關溶液互相分離，藉以防止其間之電傳導。 $10 \text{ mA} / \text{cm}^2$ 之電流密度之電流在上述矽晶圓和白金板間流動 12 分鐘以陽極化矽晶圓，藉以在表面上形成具有 $12 \mu\text{m}$ 厚之多孔矽層。

3) 而後，形成有多孔矽層之每個晶圓受到在氧氣中 400°C 之氧化 1 小時。由於此氧化處理只提供約 50 \AA 或更低厚度之氧化膜，氧化矽膜只形成在多孔矽表面和孔側壁，留下單晶矽區域在晶圓之內側。

4) 上述之晶圓浸入稀釋至 1.3% 之 HF 水溶液中 30 秒，且而後，在純水中 10 分鐘以溢流清洗，以移

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(49)

除形成在多孔層表面上之超薄氧化矽膜。

5) 上述之晶圓，當放置在一晶圓載送器上時，乃設置在磊晶 C V D 成長裝置之負載鎖室，其中連接有用以設定晶圓在晶圓載送器上之負載鎖室，具有晶圓傳送機器人之傳送室，和一處理室。負載鎖室以乾燥泵從大氣壓力抽空降低至 1 T o r r 或更小，且導入 N₂ 氣體以使壓力成爲 8 0 T o r r。傳送室以氮氣之預先導入而保持在 8 0 T o r r。在處理室中設置一接受器，其以塗覆有 C V D - S i C 之碳製成以用於保持晶圓。接受器事先以 I R 燈加熱至約 7 5 0 °C。使用熱鈮合金之氫純化器經由約 1 0 米長內部拋光不鏽鋼管供應純化氫氣至處理室。

此晶圓以傳送機器人由負載鎖室經由傳送室傳送至處理室，和設置在接受器上。

6) 在處理室設定在 8 0 T o r r 之壓力後，在接受器上傳送之晶圓以 I R 燈以 1 0 0 °C / 分之速率加熱至高達 8 7 0 °C，並保持在此溫度 5 秒，而後，溫度降低至 7 5 0 °C 且再度以傳送機器人經由傳送室取出至負載鎖室。其它晶圓保持在 8 7 0 °C，6 0 秒，而後受到如上所述相同的處理，而後返回至負載鎖室。

7) 負載鎖室對大氣開啓，而後取出晶圓。以 H R - S E M 觀察多孔層表面顯示 5 秒處理晶圓具有 $4.1 \times 10^{10} / \text{cm}^2$ 之多孔層之表面孔密度，而 6 0 秒處理晶圓具有 $1.1 \times 10^{10} / \text{cm}^2$ 之多孔層之表面孔密度。由於在置入磊晶成長裝置前樣本具有 $9.8 \times 10^{10} /$

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

五、發明說明 (50)

cm^2 之多孔層之表面孔密度，它們的改變率 r 分別為 $4 / 10$ 和 $1.1 / 10$ 。亦即，它們滿足條件 2。

8) 再者，事先提供之 SOI 基底浸入 HF 溶液中，而後以水清潔和乾燥，並以光學干擾型膜厚度計量測 SOI 層之膜厚度，並受到 5) 和 6) 之處理，且由負載鎖室取出。而後，再度量測 SOI 層之厚度而發現在兩樣本中之膜厚度只降低少於 1 nm 。亦即，它們滿足條件 1。

9) 受到上述 4) 處理之晶圓以上述 5) 之方式傳送至磊晶成長裝置之處理室。

10) 在處理室之壓力設定在 80 Torr 後，在接受器上傳送之晶圓以 IR 燈以 $100^\circ\text{C}/\text{分}$ 之速率加熱且受到保持在 900°C 之熱處理（預先烘烤處理）2 秒；而後，添加 SiH_4 至氫氣載送氣體以提供 35 ppm 之濃度，以執行 150 秒之處理，和而後停止 SiH_4 之添加。而後，添加 SiH_2Cl_2 以提供 $1 \text{ mol}\%$ 濃度，藉以形成厚度為 $2 \mu\text{m}$ 之非多孔單晶矽膜。而後，在氫氣中之溫度降低至 750°C 且晶圓再度以傳送機器人經由傳送室取出至負載鎖室。其它晶圓受到預先烘烤處理約 60 秒，而後受到如上所述相同的處理，而後返回至負載鎖室。當添加 SiH_4 以提供 35 ppm 之濃度時，成長率為 $4.3 \text{ nm}/\text{分}$ 。

11) 以上述 10) 處理完成之晶圓受到用於缺陷露出之蝕刻，以露出導入非多孔單晶矽層之晶體缺陷，和

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(51)

而後以Nomarski微分干擾顯微鏡觀察。如此所獲得之缺陷具有99%或更多之堆疊錯誤百分比。對於5秒預先烘烤之堆疊錯誤密度為 $350 / \text{cm}^2$ ，而對於60秒預先烘烤之堆疊錯誤密度為 $630 / \text{cm}^2$ ，相較於對於120秒在 1100°C 上之預先烘烤之堆疊錯誤密度為 $1.5 \times 10^4 / \text{cm}^2$ 而言，堆疊錯誤密度顯著的降低，因此可獲得小於 $1000 / \text{cm}^2$ 之缺陷密度。

(第六例： 950°C ，80 Torr，預先烘烤(2秒)，預先注入，Epi- $0.32 \mu\text{m}$ ，回收-ELTRAN)

1) 添加硼當成p型雜質以提供具有 $0.015 \Omega \text{cm} + / - 0.01 \Omega \text{cm}$ 電阻率之8-吋(100)p⁺矽晶圓(CZ晶圓)。

2) 第一單晶矽基底之表面層在HF溶液中陽極化。第一陽極化條件如下：

電流密度： $7 \text{mA} / \text{cm}^2$

陽極化溶液：HF : H₂O : C₂H₅OH = 1 : 1 : 1

時間：t (分鐘)

多孔矽層之厚度：x (μm)

其它條件如下：

電流密度： $50 \text{mA} / \text{cm}^2$

陽極化溶液：HF : H₂O : C₂H₅OH = 1 : 1 : 1

時間：10 (秒)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (52)

多孔矽層之厚度： $-0.2 (\mu m)$

第一陽極化時間 t 改變為 5 分鐘和第一低多孔性多孔層厚度 x 改變為 $5 \mu m$ 。

以此陽極化，因為電流密度 $50 mA/cm$ 之多孔矽層之多孔性增加，藉以形成構造性易碎之高孔性薄膜。

3) 而後，形成有多孔矽層之每個晶圓受到在氧氣中 $400^\circ C$ 之氧化 1 小時（預先氧化）。由於此氧化處理只提供約 50 \AA 或更低厚度之氧化膜，氧化矽膜只形成在多孔矽表面和孔側壁，留下單晶矽區域在晶圓之內側。

4) 上述之晶圓浸入稀釋至 1.25% 之 HF 水溶液中 30 秒，且而後，在純水中 10 分鐘以溢流清洗，以移除形成在多孔層表面上之超薄氧化矽膜。

5) 上述之晶圓，當放置在一晶圓載送器上時，乃設置在磊晶 CVD 成長裝置之負載鎖室，其中連接有用以設定晶圓在晶圓載送器上之負載鎖室，具有晶圓傳送機器人之傳送室，和一處理室。負載鎖室以乾燥泵從大氣壓力抽空降低至 1 Torr 或更小，且導入 N_2 氣體以使壓力成為 80 Torr。傳送室以氮氣之預先導入而保持在 80 Torr。在處理室中設置一接受器，其以塗覆有 CVD-SiC 之碳製成以用於保持晶圓。接受器事先以 IR 燈加熱至約 $750^\circ C$ 。使用熱鈮合金之氫純化器經由約 10 米長內部拋光不鏽鋼管供應純化氫氣至處理室。

此晶圓以傳送機器人由負載鎖室經由傳送室傳送至處理室，和設置在接受器上。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (53)

6) 在接受器上傳送之晶圓以 I R 燈以 100°C / 分之速率加熱至高達 950°C , 並保持在此溫度預先烘烤熱處理 2 秒 (預先烘烤處理) ; 而後, 添加 SiH_4 至氫氣載送氣體以提供 28 ppm 之濃度, 以對晶圓執行 200 秒之處理, 和而後停止 SiH_4 之添加。而後, 溫度降低至 900°C , 和添加 SiH_2Cl_2 以提供 0.5 mol % 濃度, 藉以形成厚度為 $0.32\ \mu\text{m}$ 之非多孔單晶矽膜。而後, 在氫氣中之溫度降低至 750°C 且晶圓再度以傳送機器人經由傳送室取出至負載鎖室。因此所形成之非多孔單晶矽層具有 $0.32\ \mu\text{m}$ 之平均厚度和最大值減最小值為 8 nm。在上述在 950°C 上之熱處理 2 秒後, 表面孔密度為 $7.5 \times 10^{10} / \text{cm}^2$ (而在熱處理前為 $9.5 \times 10^{10} / \text{cm}^2$), 其滿足本發明所界定之條件 2。

7) 非多孔單晶矽層所磊晶成長之每個晶圓設定在垂直型爐中且受到在由燃燒氧氣和氫氣所形成之水蒸氣和剩餘氧氣之混合氣體中在 1000°C 上熱處理, 以氧化非多孔單晶矽之表面, 以形成具有 208 nm 厚度之氧化矽膜。

8) 上述晶圓和第二晶圓在矽半導體處理之清潔線中清潔, 而後以其主要主表面互相面對而緩和的互相重疊, 且按壓中間部份以將其整合。

9) 而後, 所整合之積體晶圓設定在垂直型爐中, 且受到在氧氣中, 在 1100°C 下熱處理 1 小時。

10) 如此所結合之晶圓以水槍噴射在側表面以在

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (54)

高多孔性多孔層上分割。除了水槍外，此分割方法包括壓力應用，拉力應用，剪力應用，楔和其它外部壓力應用方法，超音波之應用，加熱，氧化以由週邊擴張多孔矽以應用內部壓力，以脈衝型式加熱以應用熱應力，和軟化等。上述之任何方法皆可促成此分割。

1 1) 具有因此曝露之多孔矽層之第二矽晶圓浸入 H F 和過氧化氫溶液之混合溶液中以在約 2 小時移除所有的多孔矽，在整個晶圓表面上顯示由於非多孔單晶矽層和熱處理氧化矽膜之干擾顏色。

1 2) 以上述 1 1) 處理完成之晶圓受到使用於矽半導體裝置處理中之清潔線清潔且設定在垂直型氫氣退火爐中且受到 1 0 0 % 氫氣在 1 1 0 0 °C 下熱處理 4 小時。所使用之氫氣以使用鈦合金經由約 7 米長內部拋光不鏽鋼管連接至裝置之商用氫氣純化器純化。

1 3) 因此，可產生 S O I 晶圓，其中 2 0 0 n m 厚之氧化矽膜和 2 0 0 n m 厚之單晶矽膜堆疊在第二矽晶圓上。

此單晶矽晶圓具有 2 0 1 n m 之平均厚度且介於最大值和最小值間之高度差異為 8 n m 。

1 4) 在 1 3) 處理中完成之晶圓受到缺陷曝露蝕刻以移除單晶矽層約 1 3 0 n m 厚，且於後浸入 4 9 % H F 溶液 3 分鐘。結果，掩埋氧化膜受到 H F 經由以缺陷曝露蝕刻蝕刻之單晶矽層中留下之晶體缺陷之部份之蝕刻，其可以以 Nomarski 微分干擾顯微鏡輕易的決定缺陷密度

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (55)

。所觀察之缺陷密度為 $6.4 / \text{cm}^2$ 。導入非多孔單晶層之堆疊錯誤以氫氣退火降低。因此，可獲得具有均勻膜厚度和小於 $1.00 / \text{cm}^2$ 之晶體缺陷密度之薄膜 S O I 層。

附帶的，事先提供之 S O I 基底浸入 H F 溶液中，而後以水清洗和乾燥，並以光學干擾型膜厚度計量測 S O I 層之膜厚度，且受到 5) 處理和只參考 6) 處理之預先烘烤處理，而後由負載鎖室取出。而後，再度量測 S O I 層之厚度而發現在兩樣本中之膜厚度只降低少於 1 nm 。亦即，它們滿足條件 1。

(第七例： 950°C ， 80 Torr ，預先烘烤 (2 秒)
，預先注入， $E_{pi} = 0.32 \mu\text{m}$ ，異磊晶)

1) 具有 $6.15 \mu\text{m}$ 厚和 $0.01 \Omega\text{cm}$ 之電阻率之四個 p 或 n 型 6 - 吋直徑 (100) 單晶矽晶圓在以酒精稀釋之 H F 溶液中陽極化，藉以形成一多孔矽層在一主表面上，當成每個基底之鏡面。

2) 陽極化條件如下：

電流密度： $7 \text{ mA} / \text{cm}^2$

陽極化溶液： $\text{HF} : \text{H}_2\text{O} : \text{C}_2\text{H}_5\text{OH} = 1 : 1 : 1$

時間： 12 (分鐘)

多孔矽層之厚度： $1.0 (\mu\text{m})$

多孔性： 20 %

3) 而後，形成有多孔矽層之每個晶圓受到在氧氣中 400°C 之氧化 1 小時。由於此氧化處理只提供約 50 \AA

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (56)

或更低厚度之氧化膜，氧化矽膜只形成在多孔矽表面和孔側壁，留下單晶矽區域在晶圓之內側。

4) 上述之晶圓浸入稀釋至 1.25% 之 HF 水溶液中 30 秒，且而後，在純水中 10 分鐘以溢流清洗，以移除形成在多孔層表面上之超薄氧化矽膜。

5) 上述之晶圓，當放置在一晶圓載送器上時，乃設置在磊晶 CVD 成長裝置之負載鎖室，其中連接有用以設定晶圓在晶圓載送器上之負載鎖室，具有晶圓傳送機器人之傳送室，和一處理室。負載鎖室以乾燥泵從大氣壓力抽空降低至 1 Torr 或更小，且導入 N₂ 氣體以使壓力成為 80 Torr。傳送室以氦氣之預先導入而保持在 80 Torr。在處理室中設置一接受器，其以塗覆有 CVD-SiC 之碳製成以用於保持晶圓。接受器事先以 IR 燈加熱至約 750 °C。使用熱鈹合金之氫純化器經由約 10 米長內部拋光不鏽鋼管供應純化氫氣至處理室。

此晶圓以傳送機器人由負載鎖室經由傳送室傳送至處理室，和設置在接受器上。

6) 在接受器上傳送之晶圓以 IR 燈以 100 °C / 分之速率加熱至高達 950 °C，並保持在此溫度預先烘烤熱處理 2 秒；而後，添加 SiH₄ 至氫氣載送氣體以提供 28 ppm 之濃度，以對晶圓執行 200 秒之處理，和而後停止 SiH₄ 之添加。而後，在氫氣中，溫度降低至 750 °C，且晶圓再度以傳送機器人經由傳送室取出至負載鎖室。因此所形成之非多孔單晶矽層具有 0.03 μm

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (57)

之平均厚度。在上述熱處理後，表面孔密度為 $5.9 \times 10^{10} / \text{cm}^2$ (而在熱處理前為 $8.9 \times 10^{10} / \text{cm}^2$)，其滿足本發明所界定之條件 2。

藉由 MOCVD (金屬有機化學蒸氣沉積) 方法，在此多孔矽上可磊晶成長厚度為 $1 \mu\text{m}$ 之單晶 GaAs。成長條件如下：

源氣體：TMG / AsH₃ / H₂

氣體壓力：80 Torr

溫度：700 °C

當使用透射型電子顯微鏡做橫截面觀察之結果可知，無晶體缺陷導入 GaAs 層，且可形成具有良好晶性之 GaAs 層。同時，可確認的是，在 GaAs 層和以矽密封在其表面上之多孔矽層間形成極陡峭的介面。

再者，執行缺陷曝露蝕刻，且使用光學顯微鏡計數所曝露之晶體缺陷以決定晶體缺陷密度，其為 $1 \times 10^4 / \text{cm}^2$ 。

附帶的，事先提供之 SOI 基底浸入 HF 溶液中，而後以水清洗和乾燥，並以光學干擾型膜厚度計量測 SOI 層之膜厚度，且受到 5) 處理和只參考 6) 處理之預先烘烤處理，而後由負載鎖室取出。而後，再度量測 SOI 層之厚度而發現在兩樣本中之膜厚度只降低少於 1 nm。亦即，它們滿足條件 1。

(第八例)

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

五、發明說明 (58)

如日本專利申請案第 9 - 1 0 0 1 9 7 號所述，藉由在磊晶層之成長之初始級時供應些微量之矽原子或矽源氣體，可進一步改善本發明降低晶體缺陷之效果。具有多孔層形成在其上之基底設置在以塗覆 C V D - S i C 之碳製成之一接受器上，並保持在 7 5 0 °C 中，在以 4 3 L / 分供應之氫氣中，以 6 0 0 T o r r 之壓力，經由一負載鎖室，和以約 1 0 0 °C / 分之速率加熱高達 9 5 0 °C，且保持在此溫度 2 秒，而後，添加些微量之 S i H₄ 以提供 2 8 p p m 之濃度，而後，矽源氣體之流動率增加以形成所需厚度之非多孔單晶矽膜。圖 1 1 為堆疊錯誤密度對添加些微量 S i H₄ 之處理時間之相依性。藉由添加些微量之 S i H₄，可顯著的降低晶體缺陷密度。

多孔矽在 H F，C₂H₅O H，和 H₂O 之混合溶液中以陽極化產生，和基底在 4 0 0 °C 之氧氣中熱處理 1 小時。而後，基底浸入 1 . 2 5 % H F 水溶液中約 2 5 秒且以水清潔和乾燥，而後置入磊晶成長裝置中。

膜構成原子或源氣體之些微量供應亦具有促進氧化物移櫛之效果，藉以抑制因氧化物而產生之缺陷。

(第九例)

在負載鎖型 C V D 磊晶成長裝置之反應容器中，以塗覆 C V D - S i C 之碳製成之接受器預先加熱至 7 5 0 °C，且具有多孔矽層之矽晶圓經由負載鎖室置入容器中。而後，溫度以 1 0 0 °C / 分之速率上升至 1 1 0 0 °C，在

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

五、發明說明 (59)

6 0 0 T o r r 和 4 3 L / 分 之 氫 氣 供 應 之 條 件 下 ， 且 保 持 在 1 1 0 0 ° C 2 秒 ， 而 後 以 1 0 0 ° C / 分 之 速 率 降 低 至 7 5 0 ° C 。 而 後 ， 基 底 經 由 負 載 鎖 室 取 出 。 在 熱 處 理 前 ， 對 於 約 1 0 n m 平 均 直 徑 之 表 面 孔 之 密 度 由 $1 0^{11} / \text{cm}^2$ 降 低 至 $1 0^6 / \text{cm}^2$ ， 而 孔 直 徑 增 加 至 2 0 - 4 0 n m 。 在 此 條 件 下 ， 隨 著 上 述 之 熱 處 理 後 ， 矽 源 氣 體 添 加 至 氫 氣 以 作 用 單 晶 矽 層 之 磊 晶 成 長 ， 藉 以 提 供 $1 0^1 / \text{cm}^2$ 之 堆 疊 錯 誤 密 度 。 另 一 方 面 ， 當 晶 圓 在 9 5 0 ° C 而 非 1 1 0 0 ° C 熱 處 理 2 秒 之 相 同 時 間 時 ， 在 熱 處 理 後 之 孔 密 度 之 降 低 至 多 為 一 位 之 級 數 。 再 者 ， 孔 直 徑 幾 乎 沒 有 降 低 。 在 此 熱 處 理 後 ， 矽 氣 體 添 加 至 氫 氣 以 作 用 單 晶 矽 層 之 磊 晶 成 長 ， 其 結 果 是 ， 堆 疊 錯 誤 密 度 顯 著 的 降 低 至 $1 0^2 / \text{cm}^2$ ， 其 為 1 1 0 0 ° C 熱 處 理 之 例 之 值 之 $1 / 1 0 0$ 。

(第 十 例)

其 次 ， 本 發 明 檢 查 預 先 烘 烤 壓 力 對 堆 疊 錯 誤 密 度 之 影 響 。

結 果 ， 發 現 壓 力 對 矽 原 子 之 表 面 擴 散 具 有 顯 著 的 影 響 ， 且 在 多 孔 矽 層 表 面 中 之 孔 構 造 之 改 變 乃 是 壓 力 愈 低 ， 堆 疊 錯 誤 密 度 之 最 小 值 所 呈 現 之 溫 度 愈 低 (圖 1 2) 。

在 一 例 中 ， 使 用 摻 雜 硼 以 使 具 有 $0.013 - 0.017 \Omega \text{cm}$ 電 阻 率 之 (1 0 0) 矽 基 底 。 每 個 基 底 在 4 9 % 之 H F 和 乙 醇 以 1 : 1 之 比 例 混 合 之 溶 液 中 ， 在 $8 \text{mA} / \text{cm}^2$ 之 電 流 密 度 下 陽 極 化 1 1 分 鐘 ， 以 形 成 多 孔

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

五、發明說明 (60)

層。多孔性約為 20%。而後，基底浸入 1.25% HF 溶液中 25 秒，且比水清潔和乾燥。而後，在氧氣中，在 400°C 下，熱處理 1 小時，且浸入 1.25% HF 溶液中，以例如可蝕刻約 5 nm 氧化矽膜之時間，而後以水清潔和乾燥。

在安裝有負載鎖室之反應室中作用磊晶成長，其意即在系統 A 中熱處理如上所述。熱處理在 80 Torr 和在 600 Torr 上在氫氣中執行 120 秒。而後，添加 SiH₄ 至氫氣載送氣體以提供 28 ppm 之濃度，和執行處理 120 秒。而後，停止添加 SiH₄ 且壓力降低至 80 Torr 而溫度降低至 900°C，藉以形成厚度為 2 μm 之磊晶層。而後，對於每個熱處理溫度決定堆疊錯誤密度。

(第十一例)

圖 13 顯示堆疊錯誤密度對在氫氣中，在 600 Torr 壓力下，在 950°C 之溫度下，由相同於第十例之步驟所產生之樣本之預先成長熱處理時間之相依性。堆疊錯誤密度由 60 秒至 120 秒增加 2 倍。

如上所述，依照本發明，藉由執行熱處理在單晶矽之蝕刻厚度非常小和多孔矽表面之孔密度至多降低 4 位，最好為至多 2 位，可降低形成在多孔層上之非多孔單晶層之堆疊錯誤密度至小於 1000 / cm²，甚至約 100 / cm²。

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(61)

結果，當應用本發明至一結合方法，可獲得具有均勻厚度和相當少晶體缺陷之S O I層。

換言之，本發明可抑制會形成在磊晶成長裝置中之多孔表面上之自然氧化膜之量，藉以阻止孔直徑之擴大和降低用以移除自然氧化膜之時間和熱處理溫度，因此，藉由在多孔表面中之原子之擴散，非多孔單晶膜之形成可實質啓始在表面孔之密封前，藉以在多孔矽層上獲得具有小於 $1000/cm^2$ 之堆疊錯誤密度之磊晶層。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

四、中文發明摘要(發明之名稱:

半導體基底和其製法)

本發明提供一種半導體基底，包含一非多孔單晶層，其具有形成在多孔矽層中之降低晶體缺陷，和該基底之製法。該基底之製法包含：在不含矽基氣體之大氣中熱處理一多孔矽層之熱處理步驟，其中熱處理乃在使矽之蝕刻厚度不超過 2 nm，和由（在熱處理後之表面孔密度）／（在熱處理前之表面孔密度）所界定之多孔矽層表面孔之變化率 r 滿足 $1/10000 \leq r \leq 1$ 之條件下進行。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱: Semiconductor substrate and method for producing the same)

There are disclosed a semiconductor substrate having a non-porous monocrystalline layer with reduced crystal defects on a porous silicon layer and a method of forming the substrate.

The forming method comprises a heat treatment step of heat-treating a porous silicon layer in an atmosphere not containing a silicon-based gas and the step of growing a non-porous monocrystalline layer on the porous silicon layer, wherein the heat treatment is conducted under the conditions such that the etched thickness of the silicon layer is 2 nm or less and that the rate of change r of the surface pore density of the porous silicon layer ($r = \text{surface pore density after heat treatment} / \text{surface pore density before heat treatment}$) satisfies the relationship $1/10000 \leq r \leq 1$.

訂

紙

90年2月9日 修正
 補充

六、申請專利範圍

1. 一種半導體基底之製法，包含：
 提供含有一多孔矽層之基底之步驟；
 熱處理多孔矽層之熱處理步驟；和
 成長非多孔單晶層在多孔矽層上之成長步驟，
 其中熱處理步驟乃在不含非多孔單晶層之源氣體之大氣中進行，因此，由於熱處理之矽之蝕刻厚度不超過 2 nm，和由（在熱處理後之表面孔密度）／（在熱處理前之表面孔密度）所界定之多孔矽層表面孔之變化率 r 滿足 $(1 / 10000) \leq r \leq 1$ 。

2. 一種半導體基底之製法，包含：
 提供含有一多孔矽層之第一基底之步驟；
 熱處理多孔矽層之熱處理步驟；
 成長非多孔單晶層在多孔矽層上之成長步驟；和
 轉換成長在第一基底上之非多孔單晶層至第二基底，
 其中熱處理步驟乃在不含非多孔單晶層之源氣體之大氣中進行，因此，由於熱處理之矽之蝕刻厚度不超過 2 nm，和由（在熱處理後之表面孔密度）／（在熱處理前之表面孔密度）所界定之多孔矽層表面孔之變化率 r 滿足 $(1 / 10000) \leq r \leq 1$ 。

3. 如申請專利範圍第 1 或 2 項之半導體基底之製法，其中非多孔單晶層之成長乃在 20 nm / min 或更小的成長率下執行。

4. 如申請專利範圍第 1 或 2 項之半導體基底之製法，其中非多孔單晶層之成長乃在 10 nm / min 或更小

（請先閱讀背面之注意事項再填寫本頁）

裝 · 訂 · 線

六、申請專利範圍

的成長率下執行。

5. 如申請專利範圍第1或2項之半導體基底之製法，其中非多孔單晶層之成長乃在 $2 \text{ nm} / \text{min}$ 或更小的成長率下執行。

6. 如申請專利範圍第1或2項之半導體基底之製法，其中變化率 r 為 $1 / 100 \leq r \leq 1$ 。

7. 如申請專利範圍第1或2項之半導體基底之製法，其中蝕刻厚度為 1 nm 或更小。

8. 如申請專利範圍第1或2項之半導體基底之製法，其中非多孔單晶層為非多孔單晶矽層。

9. 如申請專利範圍第1或2項之半導體基底之製法，其中非多孔單晶層為 SiGe ， SiC ，或一複合半導體。

10. 如申請專利範圍第2項之半導體基底之製法，其中轉換非多孔單晶層至第二基底之步驟包含：

互相結合第一基底和第二基底以使非多孔單晶層位於內側；和

移除多孔矽層。

11. 如申請專利範圍第2項之半導體基底之製法，其中轉換非多孔單晶層至第二基底之步驟包含：

互相結合第一基底和第二基底以使非多孔單晶層位於內側；和

在多孔矽層上分割結合構件。

12. 如申請專利範圍第2項之半導體基底之製法，

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

六、申請專利範圍

其中轉換非多孔單晶層至第二基底之步驟包含：互相結合第一基底和第二基底而其間提供一絕緣層。

13. 如申請專利範圍第12項之半導體基底之製法，其中該絕緣層形成在至少非多孔單晶層和第二基底之一上。

14. 如申請專利範圍第2項之半導體基底之製法，其中第二基底為單晶矽基底。

15. 如申請專利範圍第2項之半導體基底之製法，其中第二基底為石英晶圓。

16. 如申請專利範圍第1或2項之半導體基底之製法，其中熱處理步驟包含增加溫度和移除一自然氧化膜之步驟，和其中自然氧化膜移除步驟在不低於850℃且不高於1000℃之溫度下進行。

17. 如申請專利範圍第1或2項之半導體基底之製法，其中熱處理步驟包含增加溫度和移除一自然氧化膜之步驟，和其中自然氧化膜移除步驟進行200秒或更少之熱處理時間。

18. 如申請專利範圍第1或2項之半導體基底之製法，進一步包含，在熱處理步驟前，在多孔矽層之孔壁上形成保護膜之步驟。

19. 如申請專利範圍第1或2項之半導體基底之製法，進一步包含，在熱處理步驟前，移除形成在多孔矽層之表面上之氧化膜之步驟。

20. 如申請專利範圍第1或2項之半導體基底之製

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

六、申請專利範圍

法，其中成長步驟在第一成長率下進行，而後在大於第一成長率之第二成長率下進行。

2 1 . 如申請專利範圍第 1 或 2 項之半導體基底之製法，其中熱處理步驟和成長率乃在安裝有負載鎖室之反應容器中進行。

2 2 . 如申請專利範圍第 1 或 2 項之半導體基底之製法，其中熱處理步驟乃在高於成長步驟所進行時之壓力下進行。

2 3 . 如申請專利範圍第 1 或 2 項之半導體基底之製法，其中多孔矽層乃藉由陽極化至少一部份非多孔單晶矽而得。

2 4 . 如申請專利範圍第 2 3 項之半導體基底之製法，其中陽極化乃使用含有氫氟酸，水，和乙醇之溶液執行。

2 5 . 如申請專利範圍第 1 或 2 項之半導體基底之製法，其中含有多孔矽層之基底在一退化位準上摻雜一雜質。

2 6 . 如申請專利範圍第 1 或 2 項之半導體基底之製法，其中熱處理步驟在含氫之非氧化大氣中進行。

2 7 . 如申請專利範圍第 1 或 2 項之半導體基底之製法，其中熱處理步驟在含氫氣之還原大氣，氮氣，或惰性氣體中進行。

2 8 . 如申請專利範圍第 1 或 2 項之半導體基底之製法，其中熱處理步驟在超高真空中進行。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

29. 如申請專利範圍第1或2項之半導體基底之製法，其中熱處理步驟在在不低於870℃且不高於970℃之溫度下進行。

30. 如申請專利範圍第1或2項之半導體基底之製法，其中熱處理步驟包含移除在多孔矽層之表面上之氧化物。

31. 如申請專利範圍第1或2項之半導體基底之製法，其中蝕刻厚度為在在一設定溫度上用以進行熱處理步驟之溫度上升步階中所達成之蝕刻量。

32. 一種半導體基底，包含一非多孔單晶矽層在一多孔單晶矽層上，其中非多孔單晶矽層之堆疊錯誤密度為 $100/cm^2$ 或更小，和其中在產生多孔單晶矽層時形成之孔為連續的。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

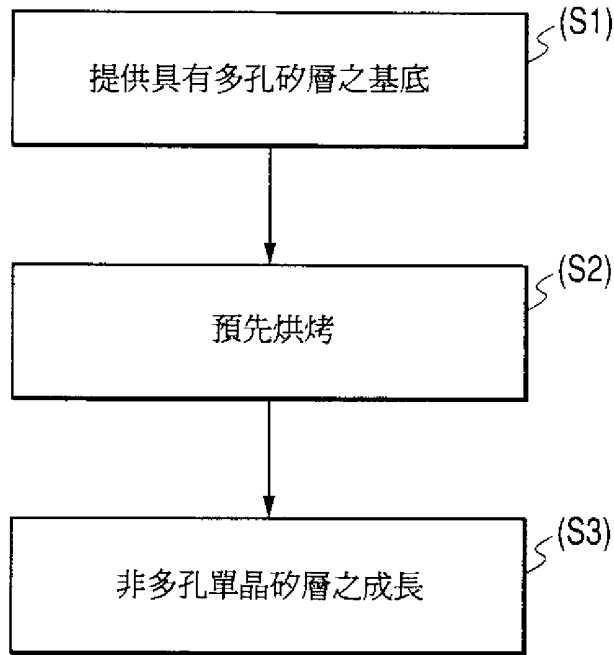


圖 1

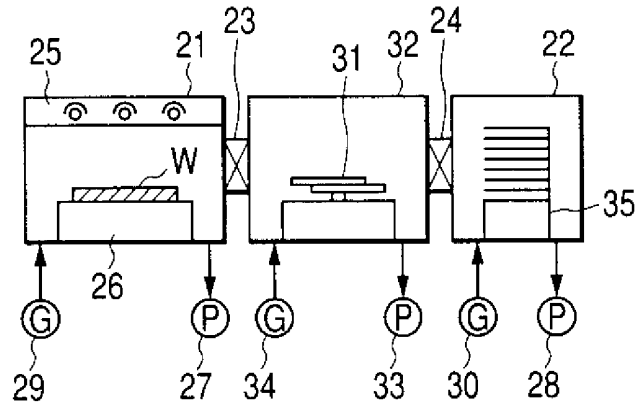


圖 2

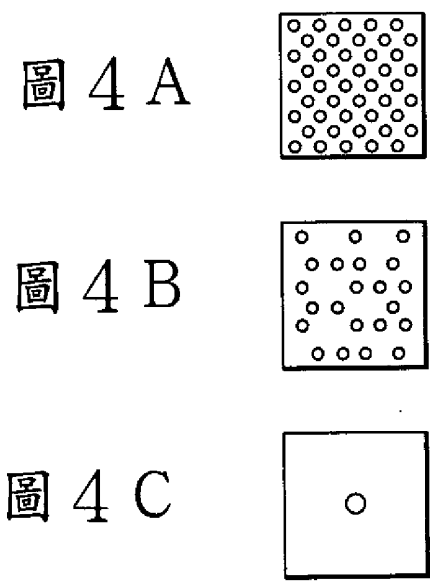


圖 3 A

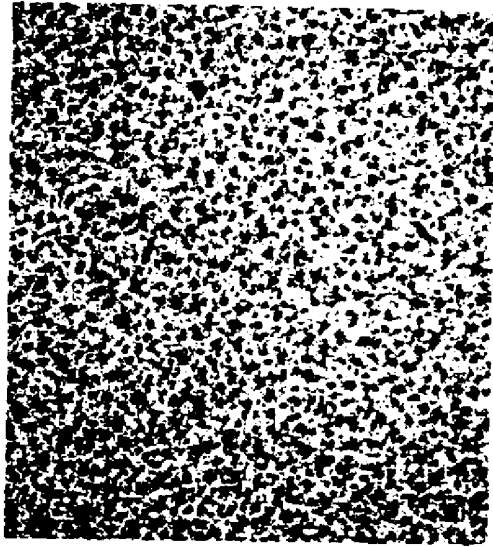


圖 3 B

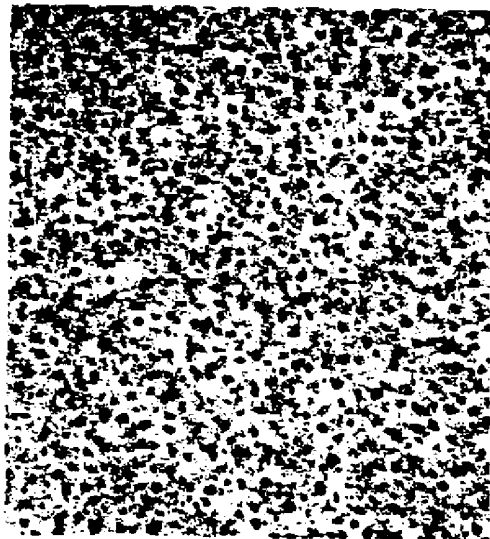
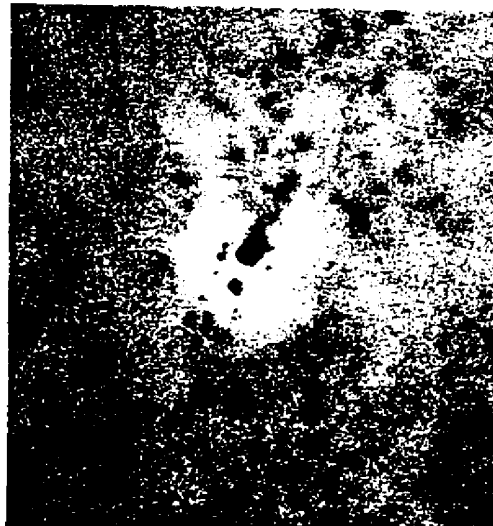


圖 3 C



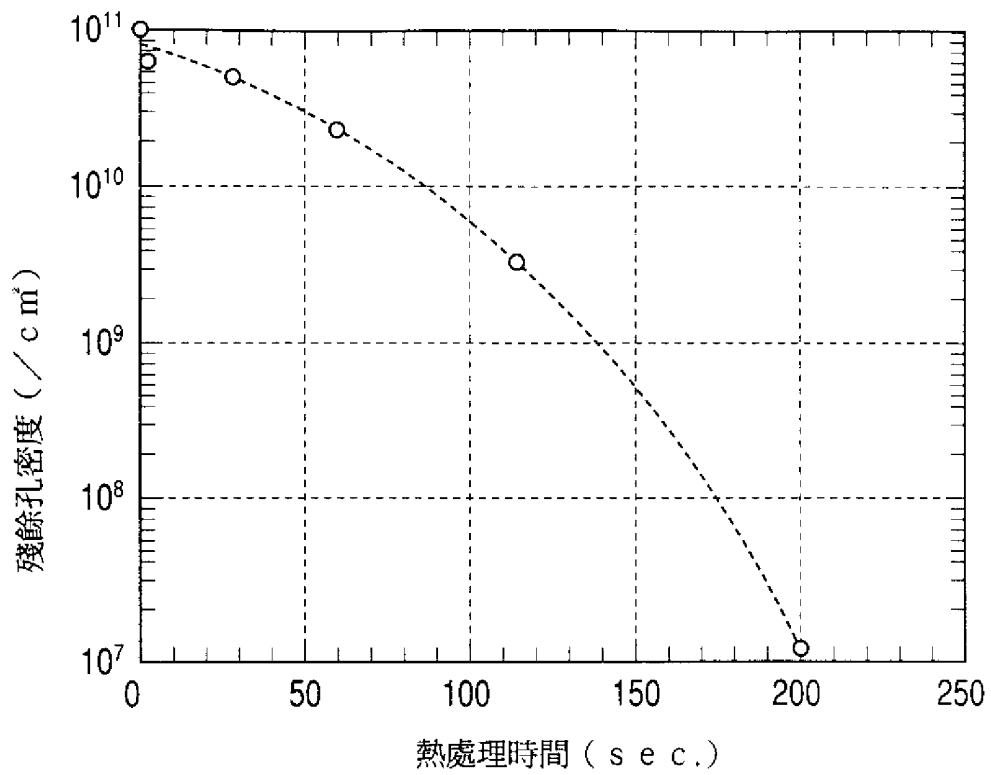


圖 5

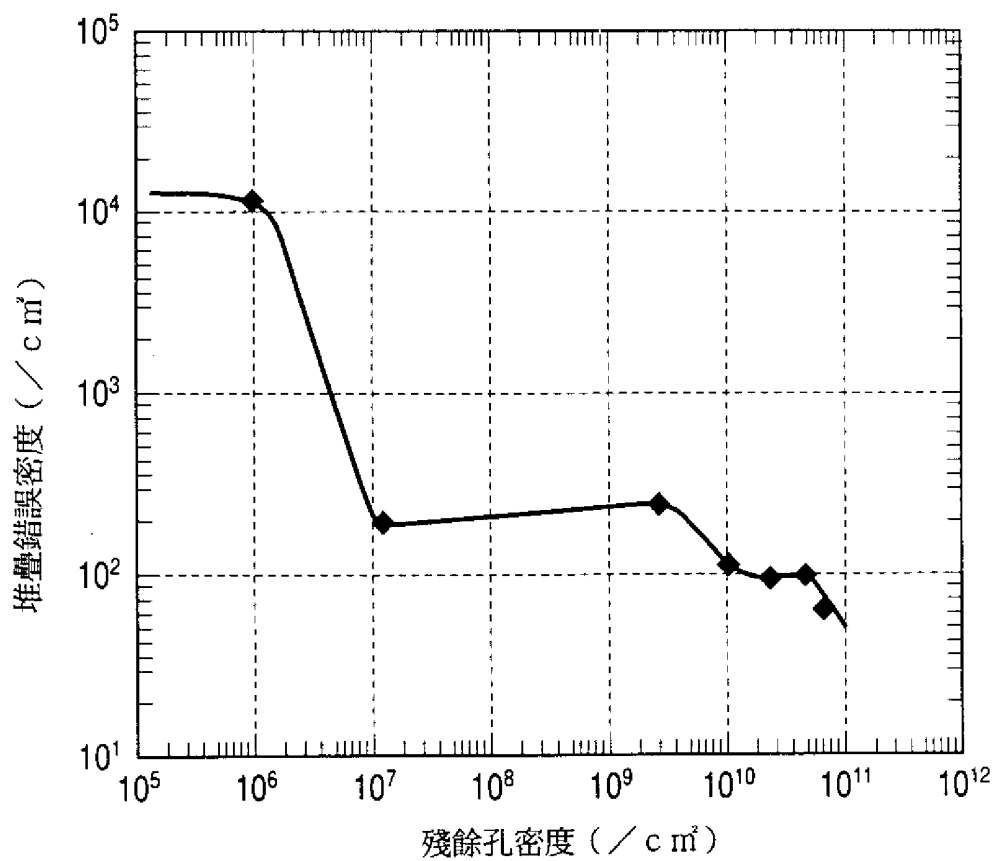


圖 6

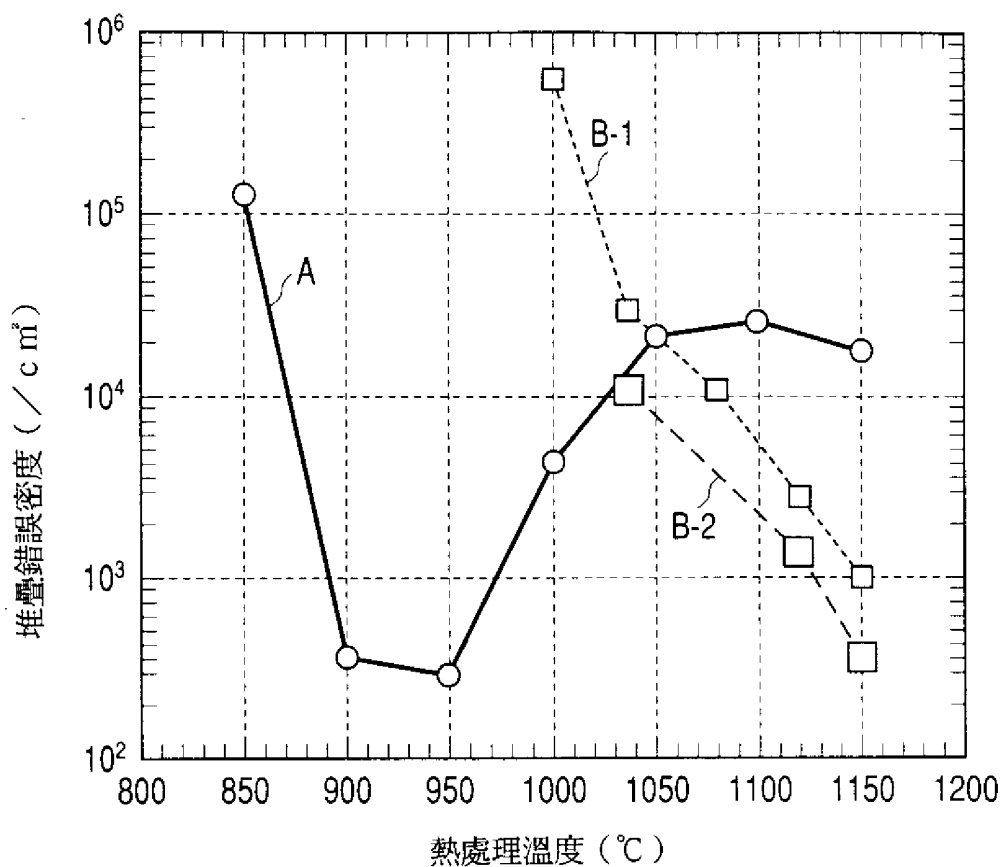


圖 7

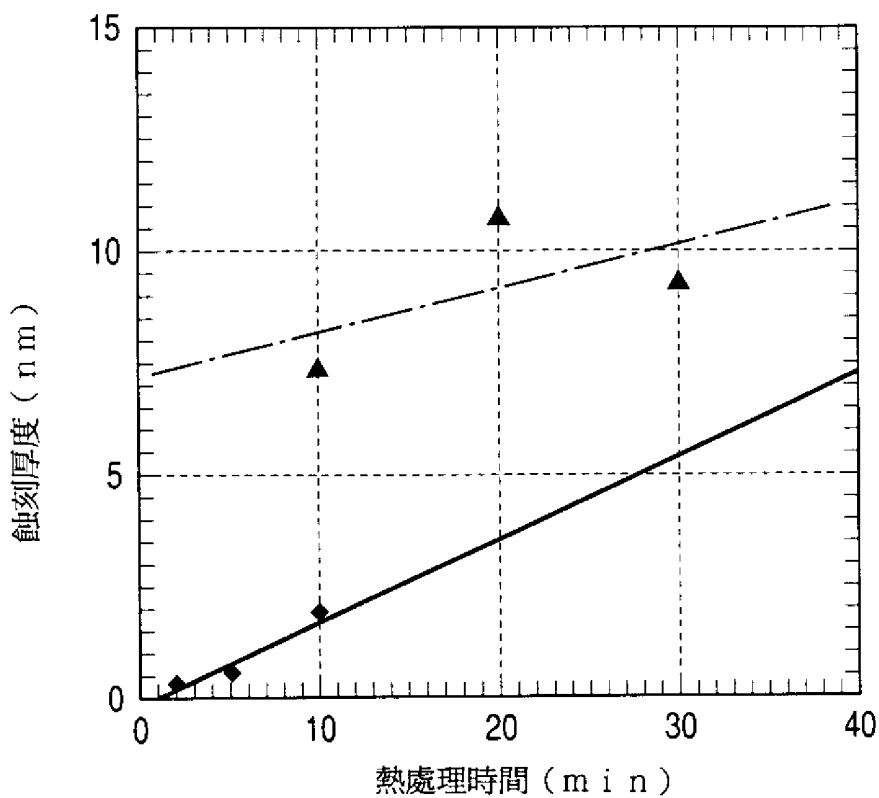
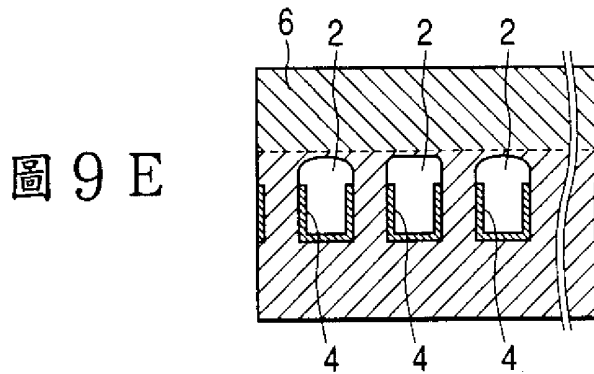
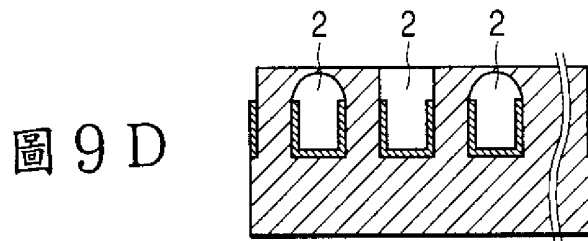
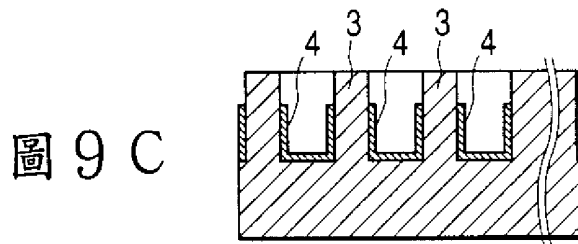
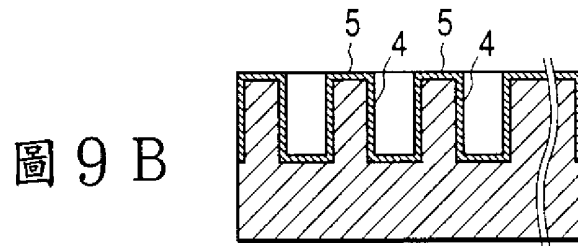
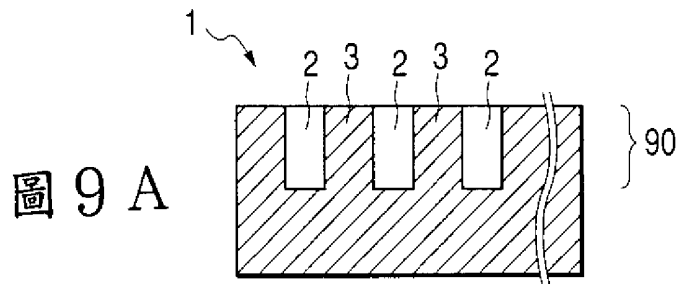
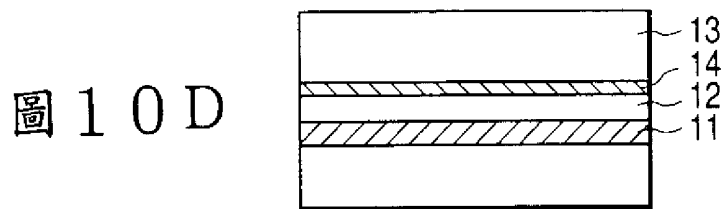
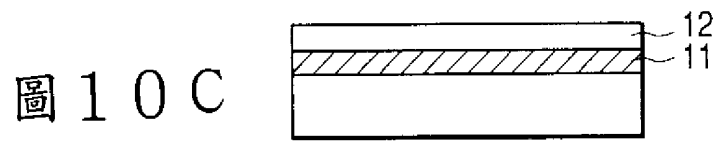
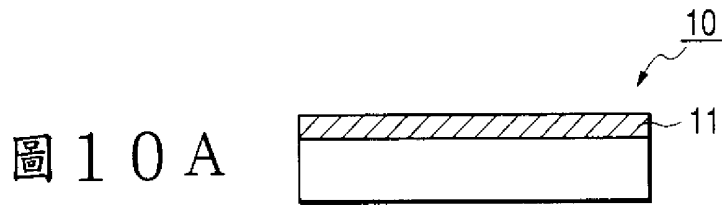


圖 8





52809

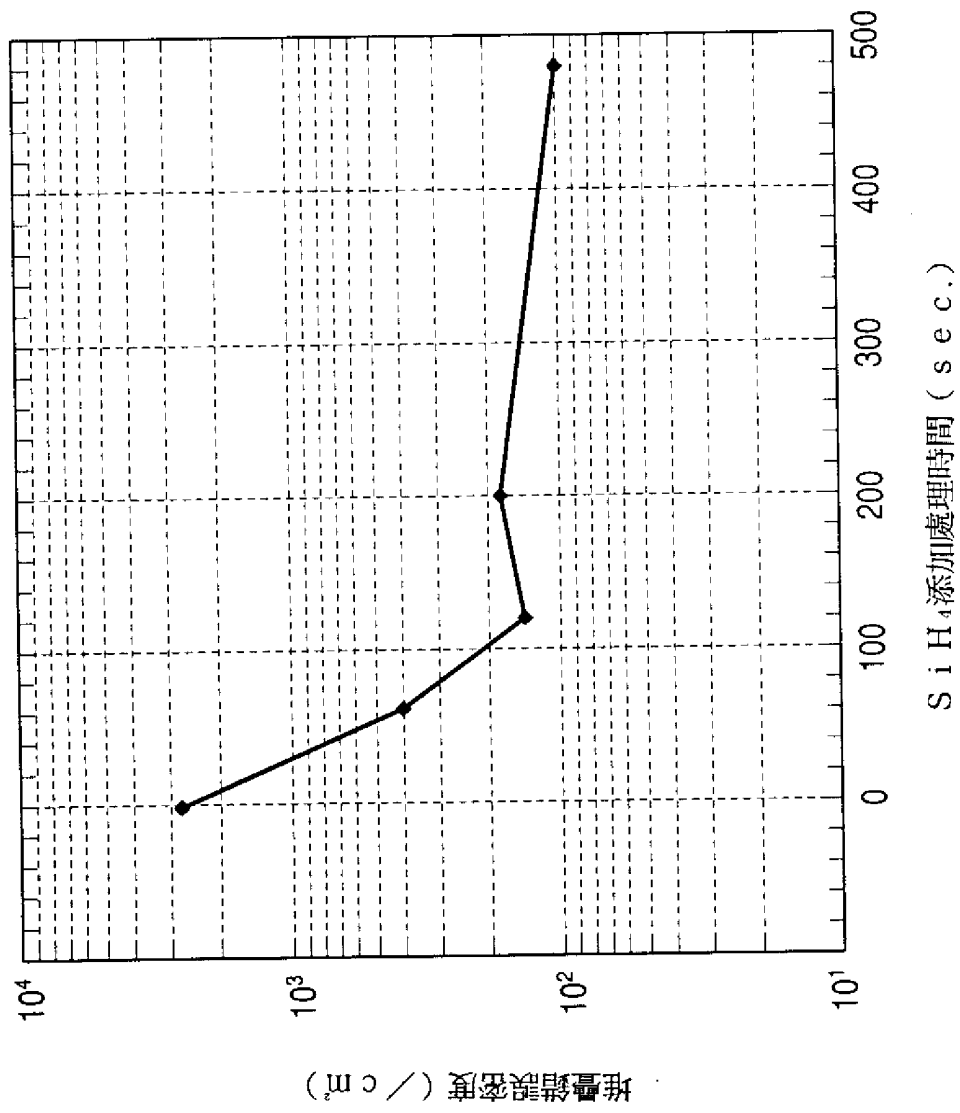


圖 1 1

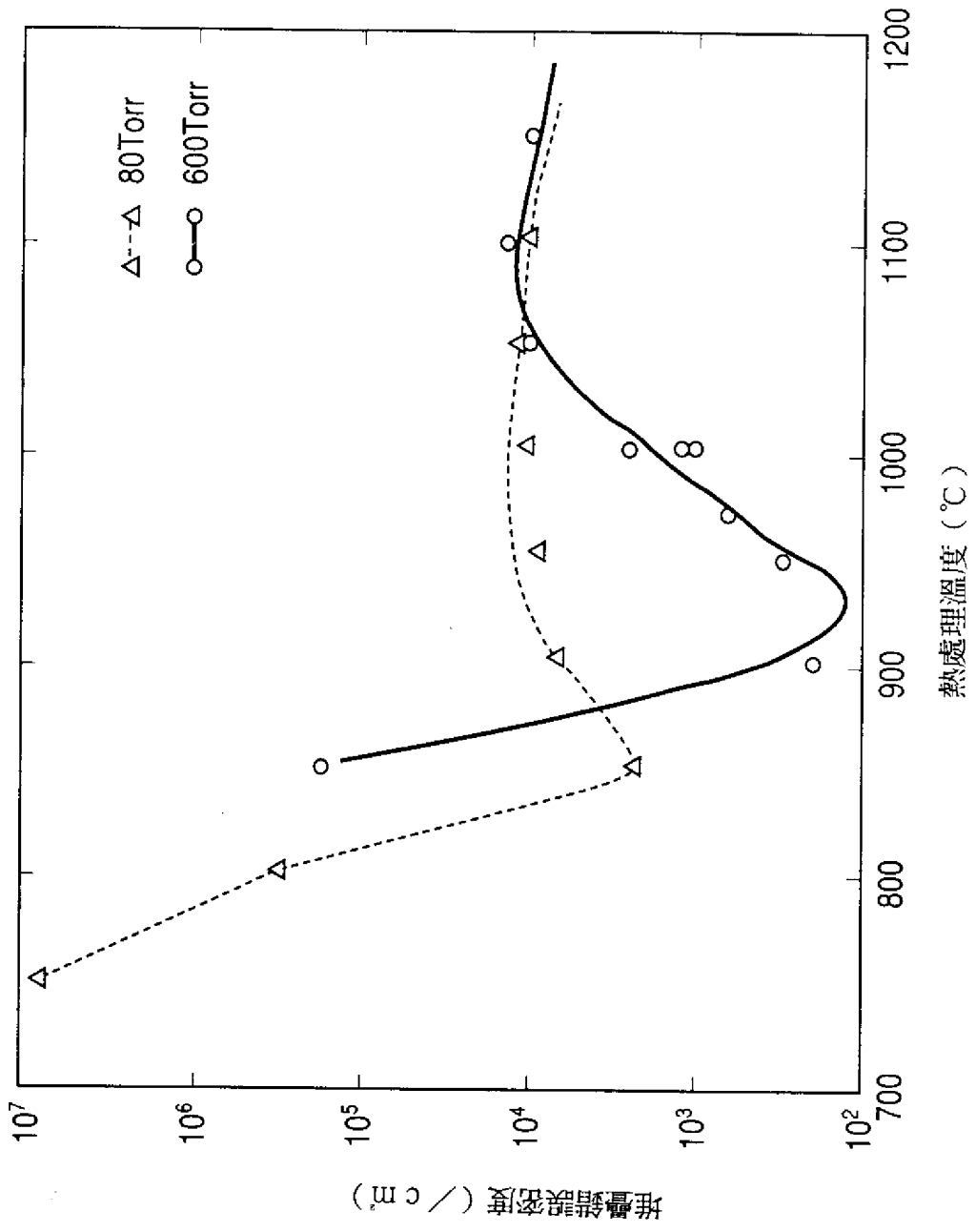


圖 12

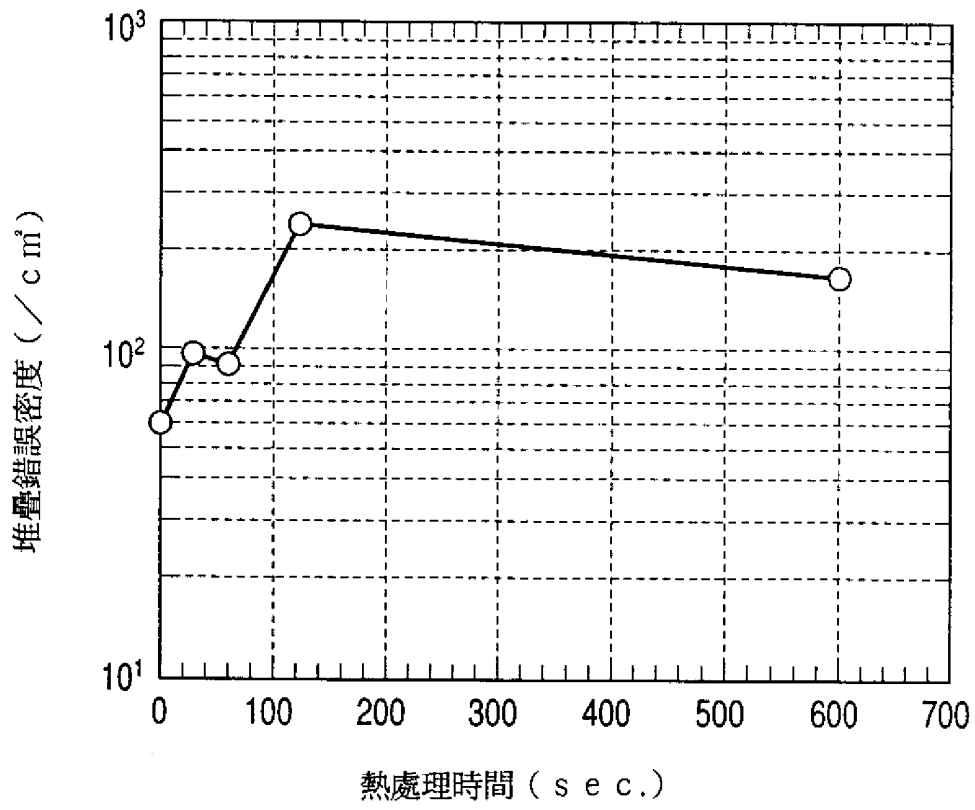


圖 1 3

90年2月9日 修正
 補充

六、申請專利範圍

1. 一種半導體基底之製法，包含：
 - 提供含有一多孔矽層之基底之步驟；
 - 熱處理多孔矽層之熱處理步驟；和
 - 成長非多孔單晶層在多孔矽層上之成長步驟，
 其中熱處理步驟乃在不含非多孔單晶層之源氣體之大氣中進行，因此，由於熱處理之矽之蝕刻厚度不超過 2 nm，和由（在熱處理後之表面孔密度）／（在熱處理前之表面孔密度）所界定之多孔矽層表面孔之變化率 r 滿足 $(1 / 10000) \leq r \leq 1$ 。
2. 一種半導體基底之製法，包含：
 - 提供含有一多孔矽層之第一基底之步驟；
 - 熱處理多孔矽層之熱處理步驟；
 - 成長非多孔單晶層在多孔矽層上之成長步驟；和
 - 轉換成長在第一基底上之非多孔單晶層至第二基底，
 其中熱處理步驟乃在不含非多孔單晶層之源氣體之大氣中進行，因此，由於熱處理之矽之蝕刻厚度不超過 2 nm，和由（在熱處理後之表面孔密度）／（在熱處理前之表面孔密度）所界定之多孔矽層表面孔之變化率 r 滿足 $(1 / 10000) \leq r \leq 1$ 。
3. 如申請專利範圍第 1 或 2 項之半導體基底之製法，其中非多孔單晶層之成長乃在 20 nm / min 或更小的成長率下執行。
4. 如申請專利範圍第 1 或 2 項之半導體基底之製法，其中非多孔單晶層之成長乃在 10 nm / min 或更小

（請先閱讀背面之注意事項再填寫本頁）

裝 · 訂 · 線