

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年7月14日(2005.7.14)

【公開番号】特開2003-68987(P2003-68987A)

【公開日】平成15年3月7日(2003.3.7)

【出願番号】特願2001-257532(P2001-257532)

【国際特許分類第7版】

H 01 L 27/105

【F I】

H 01 L 27/10 4 4 4 B

【手続補正書】

【提出日】平成16年11月19日(2004.11.19)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板と、

上記半導体基板上に形成された層間絶縁膜中に設けられたコンタクトプラグと、

上記層間絶縁膜上に、上記コンタクトプラグと電気的に接続するように設けられた第1電極と、

上記第1電極上に形成された容量絶縁膜と、

上記容量絶縁膜上に設けられた第2電極とを有するデータ記憶用のメモリセルキャパシタと、

上記メモリセルキャパシタを上方および側方から被覆する段差緩和用膜と、

上記段差緩和用膜を被覆する被覆水素バリア膜とを備え、

上記段差緩和用膜における上記メモリセルキャパシタの任意の一側面の側方を被覆する部分において、上記段差緩和用膜表面の変曲点が2箇所以下であることを特徴とする半導体記憶装置。

【請求項2】

請求項1に記載の半導体記憶装置において、

上記段差緩和用膜は、O₃およびTEOSを使用した常圧熱CVD法により形成されていることを特徴とする半導体記憶装置。

【請求項3】

請求項1または2に記載の半導体記憶装置において、

上記被覆水素バリア膜は、スパッタ法により形成されていることを特徴とする半導体記憶装置。

【請求項4】

請求項1から3のいずれか1つに記載の半導体記憶装置において、

上記第1電極の下方に設けられた下敷き水素バリア膜をさらに備えることを特徴とする半導体記憶装置。

【請求項5】

請求項4に記載の半導体記憶装置において、

上記第1電極は、上記下敷き水素バリア膜に埋め込まれていることを特徴とする半導体記憶装置。

【請求項6】

請求項 5 に記載の半導体記憶装置において、
上記第 1 電極は、下部に導電性水素バリア膜を備えることを特徴とする半導体記憶装置
。

【請求項 7】

半導体基板上に層間絶縁膜を形成する工程 (a) と、
上記層間絶縁膜中にコンタクトプラグを形成する工程 (b) と、
上記層間絶縁膜上に、上記コンタクトプラグと電気的に接続するように形成された第 1
電極と、上記第 1 電極上に形成された容量絶縁膜と、上記容量絶縁膜上に設けられた第 2
電極とを有するメモリセルキャパシタを形成する工程 (c) と、

上記工程 (c) の後に、基板上に、上記メモリセルキャパシタを被覆する段差緩和用膜
を形成する工程 (d) と、

基板上に、上記段差緩和用膜を被覆する被覆水素バリア膜を形成する工程 (e) とを含
み、

上記工程 (d) では、上記段差緩和用膜における上記メモリセルキャパシタの任意の一
側面の側方を被覆する部分において、上記段差緩和用膜表面の変曲点が 2 箇所以下である
ように形成することを特徴とする半導体記憶装置の製造方法。

【請求項 8】

請求項 7 に記載の半導体記憶装置の製造方法において、
上記工程 (a) と上記工程 (b)との間に、上記層間絶縁膜上に下敷き水素バリア膜を
形成する工程 (f) をさらに含み、
上記工程 (b) では、上記下敷き水素バリア膜を貫通するように上記層間絶縁膜中にコ
ンタクトプラグを形成し、
上記工程 (c) では、上記下敷き水素バリア膜の上に上記第 1 電極を形成することを特
徴とする半導体記憶装置の製造方法。

【請求項 9】

請求項 7 または 8 に記載の半導体記憶装置の製造方法において、
上記工程 (d) では、上記段差緩和用膜を O 3 および T E O S を使用した常圧熱 C V D
法によって形成することを特徴とする半導体記憶装置。

【請求項 10】

請求項 7 または 8 に記載の半導体記憶装置の製造方法において、
上記工程 (e) では、上記被覆水素バリア膜をスパッタ法によって形成することを特徴
とする半導体記憶装置。

【請求項 11】

半導体基板上に層間絶縁膜を形成する工程 (a) と、
上記層間絶縁膜中にコンタクトプラグを形成する工程 (b) と、
上記層間絶縁膜上に、上記コンタクトプラグと電気的に接続するように形成された第 1
電極を形成する工程 (c) と、
上記工程 (c) の後に、上記層間絶縁膜上に下敷き水素バリア膜を形成する工程 (d) と、
上記下敷き水素バリア膜を上記第 1 電極の表面が露出するまで除去して、上記下敷き水
素バリア膜中に上記第 1 電極を埋め込む工程 (e) と、
上記第 1 電極上に容量絶縁膜を形成する工程 (f) と、
上記容量絶縁膜上に第 2 電極用膜を形成する工程 (g) と、
上記容量絶縁膜と上記第 2 電極用膜とをパターニングすることによってメモリセルキャ
パシタを形成する工程 (h) と、
上記工程 (h) の後に、基板上に、上記メモリセルキャパシタを被覆する段差緩和用膜
を形成する工程 (i) と、
基板上に、上記段差緩和用膜を被覆する被覆水素バリア膜を形成する工程 (j) とを含
み、
上記工程 (i) では、上記段差緩和用膜における上記メモリセルキャパシタの任意の一

側面の側方を被覆する部分において、上記段差緩和用膜表面の変曲点が2箇所以下であるように形成することを特徴とする半導体記憶装置の製造方法。

【請求項 1 2】

請求項 1 1 に記載の半導体記憶装置の製造方法において、
上記工程 (i) では、上記段差緩和用膜を O₃ および T E O S を使用した常圧熱 C V D 法によって形成することを特徴とする半導体記憶装置。

【請求項 1 3】

請求項 1 1 または 1 2 に記載の半導体記憶装置の製造方法において、
上記工程 (j) では、上記被覆水素バリア膜をスパッタ法によって形成することを特徴とする半導体記憶装置。

【請求項 1 4】

半導体基板と、
上記半導体基板上に形成された層間絶縁膜中に設けられたコンタクトプラグと、
上記層間絶縁膜上に、上記コンタクトプラグと電気的に接続するように設けられた第 1 電極と、
上記第 1 電極上に形成された容量絶縁膜と、
上記容量絶縁膜上に設けられた第 2 電極とを有するデータ記憶用のメモリセルキャパシタと、
上記メモリセルキャパシタを上方および側方から被覆する段差緩和用膜と、
上記段差緩和用膜を被覆する被覆水素バリア膜とを備え、
上記段差緩和用膜は水素をほとんど発生しない膜であることを特徴とする半導体記憶装置。
。

【請求項 1 5】

請求項 1 4 に記載の半導体記憶装置において、
上記段差緩和用膜は、 O₃ および T E O S を使用した常圧熱 C V D 法により形成されていることを特徴とする半導体記憶装置。

【請求項 1 6】

請求項 1 4 または 1 5 に記載の半導体記憶装置において、
上記被覆水素バリア膜は、スパッタ法により形成されていることを特徴とする半導体記憶装置。

【請求項 1 7】

請求項 1 4 から 1 6 のいずれか 1 つに記載の半導体記憶装置において、
上記第 1 電極の下方に設けられた下敷き水素バリア膜をさらに備えることを特徴とする半導体記憶装置。

【請求項 1 8】

請求項 1 7 に記載の半導体記憶装置において、
上記第 1 電極は、上記下敷き水素バリア膜に埋め込まれていることを特徴とする半導体記憶装置。

【請求項 1 9】

請求項 1 8 に記載の半導体記憶装置において、
上記第 1 電極は、下部に導電性水素バリア膜を備えることを特徴とする半導体記憶装置。
。

【請求項 2 0】

半導体基板上に層間絶縁膜を形成する工程 (a) と、
上記層間絶縁膜中にコンタクトプラグを形成する工程 (b) と、
上記層間絶縁膜上に、上記コンタクトプラグと電気的に接続するように形成された第 1 電極と、上記第 1 電極上に形成された容量絶縁膜と、上記容量絶縁膜上に設けられた第 2 電極とを有するメモリセルキャパシタを形成する工程 (c) と、
上記工程 (c) の後に、基板上に、上記メモリセルキャパシタを被覆する段差緩和用膜を形成する工程 (d) と、

基板上に、上記段差緩和用膜を被覆する被覆水素バリア膜を形成する工程(e)とを含み、

上記工程(d)では、上記段差緩和用膜は水素をほとんど発生しないことを特徴とする半導体記憶装置の製造方法。

【請求項 2 1】

請求項 2 0 に記載の半導体記憶装置の製造方法において、

上記工程(a)と上記工程(b)との間に、上記層間絶縁膜上に下敷き水素バリア膜を形成する工程(f)をさらに含み、

上記工程(b)では、上記下敷き水素バリア膜を貫通するように上記層間絶縁膜中にコンタクトプラグを形成し、

上記工程(c)では、上記下敷き水素バリア膜の上に上記第 1 電極を形成することを特徴とする半導体記憶装置の製造方法。

【請求項 2 2】

請求項 2 0 または 2 1 に記載の半導体記憶装置の製造方法において、

上記工程(d)では、上記段差緩和用膜を O₃ および TEOS を使用した常圧熱 CVD 法によって形成することを特徴とする半導体記憶装置。

【請求項 2 3】

請求項 2 1 または 2 2 に記載の半導体記憶装置の製造方法において、

上記工程(e)では、上記被覆水素バリア膜をスパッタ法によって形成することを特徴とする半導体記憶装置。

【請求項 2 4】

半導体基板上に層間絶縁膜を形成する工程(a)と、

上記層間絶縁膜中にコンタクトプラグを形成する工程(b)と、

上記層間絶縁膜上に、上記コンタクトプラグと電気的に接続するように形成された第 1 電極を形成する工程(c)と、

上記工程(c)の後に、上記層間絶縁膜上に下敷き水素バリア膜を形成する工程(d)と、

上記下敷き水素バリア膜を上記第 1 電極の表面が露出するまで除去して、上記下敷き水素バリア膜中に上記第 1 電極を埋め込む工程(e)と、

上記第 1 電極上に容量絶縁膜を形成する工程(f)と、

上記容量絶縁膜上に第 2 電極用膜を形成する工程(g)と、

上記容量絶縁膜と上記第 2 電極用膜とをパターニングすることによってメモリセルキャパシタを形成する工程(h)と、

上記工程(h)の後に、基板上に、上記メモリセルキャパシタを被覆する段差緩和用膜を形成する工程(i)と、

基板上に、上記段差緩和用膜を被覆する被覆水素バリア膜を形成する工程(j)とを含み、

上記工程(i)では、上記段差緩和用膜は水素をほとんど発生しないことを特徴とする半導体記憶装置の製造方法。

【請求項 2 5】

請求項 2 4 に記載の半導体記憶装置の製造方法において、

上記工程(i)では、上記段差緩和用膜を O₃ および TEOS を使用した常圧熱 CVD 法によって形成することを特徴とする半導体記憶装置。

【請求項 2 6】

請求項 2 4 または 2 5 に記載の半導体記憶装置の製造方法において、

上記工程(j)では、上記被覆水素バリア膜をスパッタ法によって形成することを特徴とする半導体記憶装置。