



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.

G06F 12/14 (2006.01)

H03K 19/00 (2006.01)

G11C 7/00 (2006.01)

(45) 공고일자 2007년02월16일

(11) 등록번호 10-0683096

(24) 등록일자 2007년02월08일

(21) 출원번호 10-2005-0124571

(65) 공개번호

(22) 출원일자 2005년12월16일

(43) 공개일자

심사청구일자 2005년12월16일

(30) 우선권주장 JP-P-2005-00238617 2005년08월19일 일본(JP)

(73) 특허권자 후지쯔 가부시끼가이샤
일본국 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4초메 1-1

(72) 발명자 가스가 가즈노리
일본 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4초메 1-1 후지
쯔 가부시끼가이샤 내

(74) 대리인 장수길
이중희
구영창

(56) 선행기술조사문헌

JP02811142 B2

JP2005027420 A

KR1020030026551 A

KR1020050022625 A

* 심사관에 의하여 인용된 문헌

심사관 : 이중익

전체 청구항 수 : 총 5 항

(54) 반도체 장치 및 반도체 장치에서의 제어 방법

(57) 요약

해석 장치나 계측 장치가 접속되어도 정보가 해석되지 않도록 한 반도체 장치 및 반도체 장치에서의 제어 방법을 제공한다. 부하 검지 회로(40)는 단자 DQ를 통하여 부하부(100)의 부하값을 검출한다. 기준 부하 출력부(50)로부터, 프로브의 부하에 대응하는 기준 부하가 출력된다. 비교 회로(60)는, 검지한 부하값이 기준 부하와 일치하는지의 여부를 판단하고, 일치하고 있으면 제어 신호를 출력한다. 입출력 버퍼(30)는 이 제어 신호가 입력되면 메모리 셀(10)로부터 단자 DQ에의 데이터 출력을 정지하거나, 특정한 논리를 출력한다.

대표도

도 1

특허청구의 범위

청구항 1.

단자에 접속된 부하의 부하량을 측정하고, 그 부하량이 기준 부하와 거의 일치할 때, 제어 신호를 출력하는 부하 검지 수단과,

상기 제어 신호에 응답하여, 상기 단자로부터 데이터 출력을 정지하거나, 상기 단자에 특정한 논리를 출력하는 출력 제어 수단

을 구비하는 것을 특징으로 하는 반도체 장치.

청구항 2.

제1항에 있어서,

상기 부하 검지 수단은,

상기 기준 부하를 출력하는 기준 부하 출력 수단과,

측정된 상기 부하량과 상기 기준 부하 출력 수단으로부터의 상기 부하량을 비교하고, 그 비교 결과에 따라서 상기 제어 신호를 출력하는 비교 수단

을 구비하는 것을 특징으로 하는 반도체 장치.

청구항 3.

제1항에 있어서,

상기 부하 검지 수단에는,

디지털화된 상기 기준 부하를 출력하는 기준 레지스터와,

측정된 상기 부하량을 디지털 변환하는 디지털 변환 수단과,

디지털 변환된 상기 부하량과 상기 기준 레지스터로부터의 상기 기준 부하를 비교하고, 그 비교 결과에 따라서 상기 제어 신호를 출력하는 비교 수단

을 구비하는 것을 특징으로 하는 반도체 장치.

청구항 4.

제1항에 있어서,

상기 기준 부하는, 상기 데이터를 판독하고 해석하는 해석 장치의 프로브가 상기 단자에 접속되었을 때의 부하량인 것을 특징으로 하는 반도체 장치.

청구항 5.

단자에 접속된 부하의 부하량을 측정하는 부하 감지 수단과, 상기 단자로부터 데이터를 출력하는 출력 제어 수단을 구비하는 반도체 장치에서의 제어 방법으로서,

측정된 상기 부하량이 기준 부하와 거의 일치할 때, 상기 부하 감지 수단으로부터 제어 신호를 출력하고,

상기 제어 신호에 응답하여, 상기 출력 제어 수단에 의해서 상기 단자로부터의 상기 데이터의 출력을 정지하거나, 상기 출력 제어 수단으로부터 상기 단자에 특정한 논리를 출력하는 것을 특징으로 하는 제어 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 반도체 장치에서의 제어 방법에 관한 것이다. 상세하게는, 해석 장치 등이 접속되어도 정보가 해석되지 않도록 한 반도체 장치 등에 관한 것이다.

최근, 노트형 퍼스널 컴퓨터나 PDA(Personal Digital Assistance) 등의 정보 단말 장치에서, 개인 정보나 기밀 정보의 누설이나 도난이 문제로 되고 있다. 이러한 정보는 통상적으로 정보 단말 장치의 메모리나 스토리지 디바이스에 보존된다. 따라서, 정보의 누설 등을 방지하기 위해서는 메모리 등에 대한 대책이 필요하게 된다.

이러한 대책으로서, 예를 들면, 메모리의 제거를 검출하면 메모리 내의 데이터를 소거하도록 한 정보 처리 장치가 개시되어 있다(예를 들면, 특허 문헌 1).

또한, 기억 장치의 기밀성 데이터를 관독하기 위한 해독 키를 다른 기억 장치에 기억시키고, 기밀성 데이터를 기억한 기억 장치를 제거하면, 해독 키를 무효로 하게 하는 처리 장치가 개시되어 있다(예를 들면, 특허 문헌 2).

또한, 전원 오프 직전에 메모리의 내용을 암호화하여 메모리에 기입하고, 전원 온으로 복호화함으로써, 전원 오프 후에 메모리의 내용을 보고자 하여도 암호화되어 있기 때문에 볼 수 없도록 한 컴퓨터도 개시되어 있다(예를 들면, 특허 문헌 3).

또한, 주위를 덮은 박막 전지를 제거하거나, 카드 자체를 개봉하거나 하면, 메모리의 내용을 소거하는 IC 카드(예를 들면, 특허 문헌 4~6)나, 압전 재료에 응력을 가하면, 메모리의 내용을 리셋하는 안전 정보 외부 액세스 방지 기능을 갖는 장치(예를 들면, 특허 문헌 7) 등도 있다.

발명이 이루고자 하는 기술적 과제

그러나, 이들 종래 기술은, 메모리를 장치 등으로부터 제거하면, 그 내용을 소거 등 함으로써 안전성을 확보하고 있는 것이 많고, 메모리 내용을 해석하는 로직 애널라이저나 오실로스코프 등의 계측 장치나 해석 장치를 사용하면, 메모리를 제거하지 않고 메모리 내용을 해석하는 것이 가능하게 된다.

또한, 전원 오프로 하고 암호화한다고 하여도, 전원 온 중에 이러한 해석 장치 등으로 메모리의 내용을 해석하는 것은 가능하다.

따라서, 이들 종래 기술에서는, 메모리에 개인 정보 등을 보존해 두면, 해석 장치 등에 의해서 그 내용이 해석되어 도난되는 문제가 있다.

따라서, 본 발명은 상술한 문제점을 감안하여 이루어진 것으로, 그 목적은, 해석 장치나 계측 장치가 접속되어도 정보가 해석되지 않도록 한 반도체 장치 및 반도체 장치에서의 제어 방법을 제공하는 것에 있다.

발명의 구성

상술한 목적을 달성하기 위해, 본 발명은, 단자에 접속된 부하의 부하량을 측정하고, 그 부하량이 기준 부하와 거의 일치할 때 제어 신호를 출력하는 부하 검지 수단과, 상기 제어 신호에 응답하여, 상기 단자로부터 데이터 출력을 정지하거나, 상기 단자에 특정한 논리를 출력하는 출력 제어 수단을 구비하는 반도체 장치인 것을 특징으로 한다.

또한, 본 발명은, 상기 반도체 장치에서, 상기 부하 검지 수단에는, 상기 기준 부하를 출력하는 기준 부하 출력 수단과, 측정된 상기 부하량과 상기 기준 부하 출력 수단으로부터의 상기 부하량을 비교하고, 그 비교 결과에 따라서 상기 제어 신호를 출력하는 비교 수단을 구비하는 것을 특징으로 한다.

또한, 본 발명은, 상기 반도체 장치에서, 상기 부하 검지 수단에는, 디지털화된 상기 기준 부하를 출력하는 기준 레지스터와, 측정된 상기 부하량을 디지털 변환하는 디지털 변환 수단과, 디지털 변환된 상기 부하량과 상기 기준 레지스터로부터의 상기 기준 부하를 비교하고, 그 비교 결과에 따라서 상기 제어 신호를 출력하는 비교 수단을 구비하는 것을 특징으로 한다.

또한, 본 발명은, 상기 반도체 장치에서, 상기 기준 부하는, 상기 데이터를 판독하고 해석하는 해석 장치의 프로브가 상기 단자에 접속되었을 때의 부하량인 것을 특징으로 한다.

또한, 본 발명은, 상기 반도체 장치에서, 상기 데이터를 기억하는 기억 수단을 더 구비하고, 상기 출력 제어 수단은, 상기 제어 신호에 응답하여, 상기 기억 수단에 기억된 상기 데이터의 상기 단자로부터의 출력을 정지하거나, 특정한 논리를 출력하는 것을 특징으로 한다.

또한, 상기 목적을 달성하기 위해, 본 발명은, 단자에 접속된 부하의 부하량을 측정하는 부하 검지 수단과, 상기 단자로부터 데이터를 출력하는 출력 제어 수단을 구비하는 반도체 장치에서의 제어 방법으로서, 측정된 상기 부하량이 기준 부하와 거의 일치할 때, 상기 부하 검지 수단으로부터 제어 신호를 출력하고, 상기 제어 신호에 응답하여, 상기 출력 제어 수단에 의해서 상기 단자로부터의 상기 데이터의 출력을 정지하거나, 상기 출력 제어 수단으로부터 상기 단자에 특정한 논리를 출력하는 것을 특징으로 한다.

<실시예>

이하, 도면을 참조하여 본 발명을 실시하기 위한 최량의 형태를 설명한다.

도 1은 본 발명에 따른 반도체 장치가 적용되는 반도체 집적 회로(1)의 구성예를 도시하는 도면이다.

도 1에 도시하는 바와 같이, 반도체 집적 회로(1)는, 메모리 셀(10)과, 커맨드 디코더(20)와, 입출력 버퍼(30)와, 부하 검지 회로(40)와, 기준 부하 출력부(50)와, 비교 회로(60)로 구성된다.

메모리 셀(10)은 기억 소자로서, 여러 가지 데이터가 기억된다. 본 실시예에서는, 기밀 정보나 개인 정보 등의 데이터도 기억된다.

커맨드 디코더(20)는 입출력 버퍼(30)와 접속되고, 메모리 셀(10)에의 데이터의 기입과 판독을 나타내는 인에이블 신호(각각 「WriteEnable」, 「ReadEnable」)를 출력한다.

입출력 버퍼(30)는 메모리 셀(10) 및 단자 DQ에도 접속된다. 입출력 버퍼(30)는 단자 DQ로부터 입력된 데이터를 일시 기억하고, 그 후 메모리 셀(10)에 출력한다. 또한, 메모리 셀(10)로부터 판독된 데이터도 일시 기억하고, 그 후 단자 DQ에 출력한다. 이러한 동작들은 인에이블 신호(각각 「WriteEnable」, 「ReadEnable」)에 기초하여 행해진다.

부하 검지 회로(40)은 단자 DQ에 접속된다. 부하 검지 회로(40)은 단자 DQ에 접속된 부하부(100)의 부하값(예를 들면, 부하 전류나 부하 용량 등)을 검지하고, 그 값을 출력한다. 또한, 부하부(100)는, 예를 들면 컨트롤러용 IC나, 해석 장치의 프로브 등이다.

기준 부하 출력부(50)는 기준 부하를 출력한다. 기준 부하란, 부하부(100)의 부하값과 해석 장치의 프로브(탐침)의 부하의 합을 수치화한 값이다.

비교 회로(60)는 부하 검지 회로(40)와 기준 부하 출력부(50)에 접속됨과 함께, 입출력 버퍼(30)에도 접속된다. 비교 회로(60)는 부하 검지 회로(40)로부터의 부하와 기준 부하 출력부(50)로부터의 기준 부하를 비교하고, 양자가 일치하였을 때에 제어 신호를 입출력 버퍼(30)에 출력한다. 즉, 단자 DQ에 프로브가 접속되면, 비교 회로(60)로부터 제어 신호가 출력된다.

입출력 버퍼(30)는, 이 제어 신호에 의해, 메모리 셀(10)로부터 판독된 데이터의 출력을 정지하거나, 특정한 고정화된 논리(「1」 또는 「0」)를 단자 DQ에 출력한다. 즉, 단자 DQ에 프로브가 접속되면, 단자 DQ로부터 데이터 출력이 정지되거나, 특정한 논리가 출력되어, 메모리 셀(10)에 기억된 데이터가 판독되지 않도록 하고 있다.

도 2는 부하 검지 회로(40)와 기준 부하 출력부(50) 및 비교 회로(60)를 포함하는 회로의 상세한 구성예를 도시하는 도면이다. 이들 회로(40, 50, 60)는 단자 DQ의 개수분(도 2의 예에서는 $n+1$ 개) 설치되어 있다.

회로(40, 50, 60)는, 입력 저항(41)과, 콤퍼레이터(42)와, 출력 저항(43)과, 제1 기준 저항(44)과, 제2 기준 저항(45)으로 구성된다.

입력 저항(41)의 일단은 단자 DQ0에, 타단은 콤퍼레이터(42)에 접속된다. 또한, 입력 저항(41)과 콤퍼레이터(42) 사이에, 타단이 접지된 제1 기준 저항(44)의 일단이 접속된다.

또한, 콤퍼레이터(42)의 출력측에 출력 저항(43)이 설치되고, 그 출력 저항(43)의 출력이 콤퍼레이터(42)에도 입력되도록 설치된다. 그리고, 타단이 접지된 제2 기준 저항(45)의 일단이, 출력 저항(43)의 출력과 콤퍼레이터(42)의 입력 사이에 접속된다.

콤퍼레이터(42)는, 플러스(+)측을 기준 전압으로 하고, 마이너스(-)측에의 전압값이 기준 전압보다 높으면, 단자 DQ0에 입력된 입력 전류를 출력한다.

한편, 단자 DQ에 프로브가 접속되었을 때와, 컨트롤러용 IC 등이 접속되었을 때(통상 상태일 때)에서, 단자 DQ0에 입력되는 전류는 서로 다른 값으로 된다. 따라서, 단자 DQ에 프로브가 접속되었을 때에 그 전류를 출력하도록 기준 전압을 조정하면, 회로(40, 50, 60)로부터는 그 때에만 일정 전압값이 출력되게 된다. 예를 들면, 프로브가 접속되면, 회로(40, 50, 60)는 논리 「HIGH」에 대응하는 전압값을 출력하고, 그 이외에는 「LOW」에 대응하는 전압값을 출력한다.

또한, 콤퍼레이터(42)의 기준 전압은 출력 저항(43)과 제2 기준 저항(45)의 저항값을 변경함으로써 조정된다. 예를 들면, 외부 단자가 저항(43, 45)과 접속되어 외부로부터의 제어 신호에 의해 저항값을 변경함으로써 기준 전압을 조정할 수 있다. 마찬가지로 하여, 제1 기준 전압(44)도 외부로부터 조정 가능하다.

또한, 콤퍼레이터(42)의 플러스측의 기준 전압이 기준 부하로 되어 마이너스측의 전압값과 비교되고 있기 때문에, 콤퍼레이터(42)가 부하 검지 회로(40) 및 비교 회로(60)에 해당하고, 출력 저항(43)과 제2 기준 저항(45)이 기준 부하 출력부(50)에 해당한다.

각 회로(40, 50, 60)의 후단에는, OR 회로(46), 2개의 NOR 회로(47, 48)로 구성되는 래치 회로가 설치되어 있다.

OR 회로(46)는 단자 DQ0~DQn에 프로브가 접속되었는지의 여부를 나타내는 신호 Comp를 출력하고, 그 출력이 래치 회로에서 래치되어, 검출 신호 Detect가 출력된다.

예를 들면, 어느 한 단자 DQ0~DQn에 프로브가 접속되면, 신호 Comp가 「High」로 되고, 검출 신호 Detect가 「Low」로 된다. 이 출력 신호 Comp 또는 검출 신호 Detect가, 비교 회로(60)로부터 입출력 버퍼(30)에 출력되는 제어 신호에 대응한다.

도 3은 입출력 버퍼(30)의 구성예를 도시하는 도면이다. 메모리 셀(10)로부터 판독된 데이터의 출력을 정지하는 경우의 구성도를 도시한다.

입출력 버퍼(30)는, NAND 회로(31)와, 제1 및 제2 버퍼 회로(32, 33)로 구성된다.

NAND 회로(31)는 커맨드 디코더(20)와 NOR 회로(47)(도 2 참조)에 접속되어, 커맨드 디코더(20)로부터의 Enable 신호와 비교 회로(60)로부터의 출력 신호가 입력되고, 출력 신호 OutputEnable을 출력한다.

제1 버퍼(32)는 메모리 셀(10)로부터의 출력을 기억하고, 단자 DQ0~DQn에 출력한다. 이 제1 버퍼(32)는 메모리 셀(10)로부터의 데이터의 판독에 대응하는 버퍼이다.

또한, 제1 버퍼(32)는 3 스테이트 회로 구성으로 되어 있어, 「HIGH」, 「LOW」 외에, 하이 임피던스 상태(이하, 「High-Z」)를 취할 수 있다. 「HIGH-Z」를 취할 수 있는지의 여부는 출력 신호 OutputEnable에 기초한다.

예를 들면, 출력 신호 OutputEnable이 「HIGH」일 때, 「High-Z」 상태로 되어, 제1 버퍼(32)는 전기적인 접속이 해제된 상태로 되어 단자 DQ0~DQn에의 출력이 정지된다. 한편, 출력 신호 OutputEnable이 「LOW」일 때, 입력에 따른 논리가 출력된다.

제2 버퍼(33)도 마찬가지로 커맨드 디코더(20)로부터의 신호에 기초하여 「HIGH-Z」, 「LOW」, 「HIGH」의 3 가지 상태를 취할 수 있다. 제2 버퍼(33)는 메모리 셀(10)에의 기입에 대응한 버퍼이다.

도 4는 도 2 및 도 3에 도시하는 구성에서의 각 신호의 동작 파형도이다. 통상 상태에서 프로브가 단자 DQ에 접속되고, 그 후 다시 통상 상태로 되돌아간 경우의 예이다.

우선, 통상 상태에서는, 각 회로(40, 50, 60)로부터 「LOW」가 출력된다. 따라서, OR 회로(46)의 출력 신호 Comp는 「LOW」로 된다. 그리고, 2개의 NOT 회로(47, 48)로 구성되는 래치 회로에서 반전되어, 검출 신호 Detect는 「HIGH」로 된다.

한편, 커맨드 디코더(20)로부터, 메모리 셀(10)로부터의 판독을 나타내는 ReadEnable 신호가 출력되고 있을 때 (ReadEnable이 「HIGH」일 때), NAND 회로(31)의 출력 신호 OutputEnable은 함께 입력이 「HIGH」이기 때문에, 「LOW」가 출력된다. 이에 의해, 제1 버퍼 회로(32)는 메모리 셀(10)로부터 단자 DQ0~DQn에 데이터를 출력한다.

이러한 상태에서, 예를 들면 단자 DQ0에 프로브가 접속되었을 때, 회로(40, 50, 60)로부터는 프로브가 접속된 것을 나타내는 신호를 출력하기 때문에, 출력 신호 Comp는 「HIGH」로 된다. 그리고, 검출 신호 Detect는 「LOW」로 된다.

커맨드 디코더(20)로부터 ReadEnable 신호가 「HIGH」로 출력되고 있는 상태에서, 검출 신호 「LOW」가 NAND 회로(31)에 입력됨으로써, 그 출력 신호 OutputEnable은 「HIGH」로 된다. 따라서, 제1 버퍼 회로(32)는 「HIGH-Z」를 출력하고, 메모리 셀(10)로부터의 판독이 정지된다. 즉, 단자 DQ0에 프로브가 접속되면, 메모리(10)로부터의 판독이 정지된다.

그 후, 프로브가 단자 DQ0로부터 떨어짐으로써 통상 상태로 되돌아가서, 출력 신호 Comp는 「LOW」로 된다. 이 경우에, 도 2에 도시하는 NOR 회로(48)의 입력단으로부터 RESET 신호가 입력되어(「HIGH」), 각 회로가 통상 상태로 복귀되게 된다. 이후에는 상술한 통상 상태와 마찬가지로 동작한다.

도 5는 도 4와 마찬가지로 입출력 버퍼(30)의 구성예를 도시하는 도면인데, 고정된 논리를 계속해서 출력하도록 한 경우의 예이다.

입출력 버퍼(30)는, NOT 회로(35)와, AND 회로(36)와, 제1 및 제2 버퍼 회로(37, 38)로 구성된다.

NOT 회로(35)는 커맨드 디코더(20)에 접속되어 커맨드 디코더(20)로부터의 Enable 신호가 입력되고, OutputEnable 신호를 출력한다.

AND 회로(36)는 메모리 셀(10)과 NOR 회로(47)(도 2 참조)에 접속되고, 비교 회로(60)로부터의 출력 신호에 따라 논리를 결정한다.

제1 버퍼(37)는 AND 회로(36)로부터의 출력을 기억하고, 단자 DQ0~DQn에 출력한다. 이 제1 버퍼(37)는 메모리 셀(10)로부터의 데이터의 판독에 대응하는 버퍼이다.

또한, 제1 버퍼(37)는 3 스테이트 회로 구성으로 되어 있고, 「HIGH」, 「LOW」 외에, 하이 임피던스 상태(이하, 「High-Z」)를 취할 수 있다. 「High-Z」를 취할 수 있는지의 여부는, 출력 신호 OutputEnable에 기초한다.

예를 들면, 출력 신호 OutputEnable이 「HIGH」일 때, 「High-Z」 상태로 되어, 제1 버퍼(37)는 전기적인 접속이 해제된 상태로 되어 단자 DQ0~DQn에의 출력이 정지된다. 한편, 출력 신호 OutputEnable이 「LOW」일 때, 입력에 따른 논리가 출력된다.

제2 버퍼(38)도 마찬가지로 커맨드 디코더(20)로부터의 신호에 기초하여 「High-Z」, 「LOW」, 「HIGH」의 3 가지 상태를 취할 수 있다. 제2 버퍼(38)는 메모리 셀(10)에의 기입에 대응한 버퍼이다.

도 7은 도 2 및 도 5에 도시하는 구성에서의 각 신호의 동작 파형도이다. 통상 상태에서 프로브가 단자 DQ에 접속되고, 그 후 다시 통상 상태로 되돌아간 경우의 예이다.

우선, 통상 상태에서는, 각 회로(40, 50, 60)로부터 「LOW」가 출력된다. 따라서, OR 회로(46)의 출력 신호 Comp는 「LOW」로 된다. 그리고, 2개의 NOR 회로(47, 48)로 구성되는 래치 회로에서 반전되어, 검출 신호 Detect는 「HIGH」로 된다.

한편, 커맨드 디코더(20)로부터, 메모리 셀(10)로부터의 판독을 나타내는 ReadEnable 신호가 출력되고 있을 때(ReadEnable이 「HIGH」일 때), NOT 회로(35)로부터는 「LOW」가 출력된다. 이에 의해, 제1 버퍼 회로(37)는 메모리 셀(10)로부터 단자 DQ0~DQn에 데이터가 출력된다.

이러한 상태에서, 예를 들면 단자 DQ0에 프로브가 접속되었을 때, 회로(40, 50, 60)로부터는 프로브가 접속된 것을 나타내는 신호를 출력하기 때문에, 출력 신호 Comp는 「HIGH」로 된다. 그리고, 검출 신호 Detect는 「LOW」로 된다.

커맨드 디코더(20)로부터 ReadEnable 신호가 「HIGH」로 출력되고 있는 상태에서, 검출 신호 「LOW」가 AND 회로(36)에 입력됨으로써, 그 출력 신호는 메모리 셀(10)의 논리에 상관없이 「LOW」로 된다. 따라서, 제1 버퍼 회로(37)는 「LOW」를 출력하고, 메모리 셀(10)로부터의 판독이 「LOW」에 고정된다. 즉, 단자 DQ0에 프로브가 접속되면, 메모리(10)로부터의 판독은 항상 「LOW」를 유지한다.

그 후, 프로브가 단자 DQ0로부터 떨어짐으로써 통상 상태로 되돌아가서, 출력 신호 Comp는 「LOW」로 된다. 이 경우에, 도 2에 도시하는 NOR 회로(48)의 입력단으로부터 RESET 신호가 입력되어(「HIGH」), 각 회로가 통상 상태로 복귀되게 된다. 이후는 상술한 통상 상태와 마찬가지로 동작한다.

도 1에 도시하는 예에서는, 아날로그값을 검출하여 비교하도록 하였지만, 예를 들면, 도 6에 도시하는 구성이어도 본 발명은 적용 가능하다. 이 경우, 부하 검지 회로(40)에 의해 검지된 부하값을 AD 변환 회로(70)에 의해 디지털값으로 변환해서, 디지털 비교 회로(61)에 출력한다.

프로브가 단자 DQ에 접속되었을 때의 부하를 나타내는 디지털값을 기준 레지스터(51)로부터 출력하고, 디지털 비교 회로(61)는 이 기준값과 AD 변환 회로(70)로부터의 디지털값을 비교하고, 일치하였을 때에 제어 신호를 출력한다.

입출력 버퍼(30)에서는, 도 1에 도시하는 경우와 마찬가지로, 이 제어 신호가 입력되었을 때에, 메모리 셀(10)로부터의 출력을 정지하거나, 고정화된 특정한 논리를 계속해서 출력함으로써, 메모리(10)에 기억된 데이터를 판독하지 못하게 한다. 따라서, 프로브가 접속되었을 때에 단자 DQ로부터 해석 장치로 데이터가 출력되지 않기 때문에, 데이터는 해석되지 않는다.

또한, 도 2에 도시하는 회로는 일례이고, 프로브가 접속되었는지의 여부를 나타내는 출력 신호 Comp나 검출 신호 Detect가 출력될 수 있는 것이면 어떠한 회로 구성이어도 된다. 예를 들면, OR 회로(46)를 AND 회로로 한다가거나, 래치 회로(NOR 회로(47, 48))를 삭제하여도 된다.

또한, 도 3이나 도 5에 도시하는 회로도, 메모리 셀(10)로부터의 출력을 정지하거나, 특정한 논리를 계속해서 출력하는 회로 구성이면 어떠한 것이어도 된다. 예를 들면, NAND 회로(31)를 AND 회로로 하여도 된다. 어느 경우에도, 상술한 예와 마찬가지로의 작용 효과를 발휘한다.

또한, 상술한 예에서는, 반도체 집적 회로(1) 내에 메모리 셀(10)이 설치되어 있는 예로 설명하였지만, 예를 들면, 메모리 셀(10)이 반도체 집적 회로(1)의 외부에 설치되어 있는 경우에도 본 발명은 적용 가능하다. 이 경우에도, 상술한 예와 마찬가지로의 작용 효과를 발휘한다.

또한, 도 1이나 도 5에 도시하는 반도체 집적 회로(1)는, 노트형 퍼스널 컴퓨터나, PDA, 휴대 전화 등의 정보 휴대 단말기에 사용하는 것이 가능하고, 이 경우에도, 상술한 예와 마찬가지로의 작용 효과를 발휘한다.

이상, 정리하면, 부기와 같이 된다.

(부기 1)

단자에 접속된 부하의 부하량을 측정하고, 그 부하량이 기준 부하와 거의 일치할 때, 제어 신호를 출력하는 부하 검지 수단과,

상기 제어 신호에 응답하여, 상기 단자로부터 데이터 출력을 정지하거나, 상기 단자에 특정한 논리를 출력하는 출력 제어 수단

을 구비하는 것을 특징하는 반도체 장치.

(부기 2)

부기 1에 기재된 반도체 장치에서,

상기 부하 검지 수단에는,

상기 기준 부하를 출력하는 기준 부하 출력 수단과,

측정된 상기 부하량과 상기 기준 부하 출력 수단으로부터의 상기 부하량을 비교하고, 그 비교 결과에 따라서 상기 제어 신호를 출력하는 비교 수단

을 구비하는 것을 특징으로 하는 반도체 장치.

(부기 3)

부기 1에 기재된 반도체 장치에서,

상기 부하 검지 수단에는,

디지털화된 상기 기준 부하를 출력하는 기준 레지스터와,

측정된 상기 부하량을 디지털 변환하는 디지털 변환 수단과,

디지털 변환된 상기 부하량과 상기 기준 레지스터로부터의 상기 기준 부하를 비교하고, 그 비교 결과에 따라서 상기 제어 신호를 출력하는 비교 수단

을 구비하는 것을 특징으로 하는 반도체 장치.

(부기 4)

부기 1에 기재된 반도체 장치에서,

상기 기준 부하는, 상기 데이터를 판독하고 해석하는 해석 장치의 프로브가 상기 단자에 접속되었을 때의 부하량인 것을 특징으로 하는 반도체 장치.

(부기 5)

부기 1에 기재된 반도체 장치에서,

상기 데이터를 기억하는 기억 수단

을 더 구비하고,

상기 출력 제어 수단은, 상기 제어 신호에 응답하여, 상기 기억 수단에 기억된 상기 데이터의 상기 단자로부터의 출력을 정지하거나, 특정한 논리를 출력하는 것을 특징으로 하는 반도체 장치.

(부기 6)

단자에 접속된 부하의 부하량을 측정하는 부하 검지 수단과, 상기 단자로부터 데이터를 출력하는 출력 제어 수단을 구비하는 반도체 장치에서의 제어 방법으로서,

측정된 상기 부하량이 기준 부하와 거의 일치할 때, 상기 부하 검지 수단으로부터 제어 신호를 출력하고,

상기 제어 신호에 응답하여, 상기 출력 제어 수단에 의해서 상기 단자로부터의 상기 데이터의 출력을 정지하거나, 상기 출력 제어 수단으로부터 상기 단자에 특정한 논리를 출력하는 것을 특징으로 하는 제어 방법.

발명의 효과

본 발명에 따르면, 계측 장치나 해석 장치가 접속되어도 정보가 해석되지 않도록 한 반도체 장치 및 반도체 장치에서의 제어 방법을 제공할 수 있다.

도면의 간단한 설명

도 1은 본 발명이 적용되는 반도체 집적 회로의 구성예를 도시하는 도면.

도 2는 부하 검지 회로, 기준 부하 출력부, 및 비교 회로의 구성예를 도시하는 도면.

도 3은 입출력 버퍼의 구성예를 도시하는 도면.

도 4는 동작 파형을 도시하는 도면.

도 5는 입출력 버퍼의 구성예를 도시하는 도면.

도 6은 본 발명이 적용되는 다른 반도체 집적 회로의 구성예를 도시하는 도면.

도 7은 동작 파형을 도시하는 도면.

<도면의 주요 부분에 대한 부호의 설명>

1 : 반도체 집적 회로

10 : 메모리 셀

30 : 입출력 버퍼

40 : 부하 검지 회로

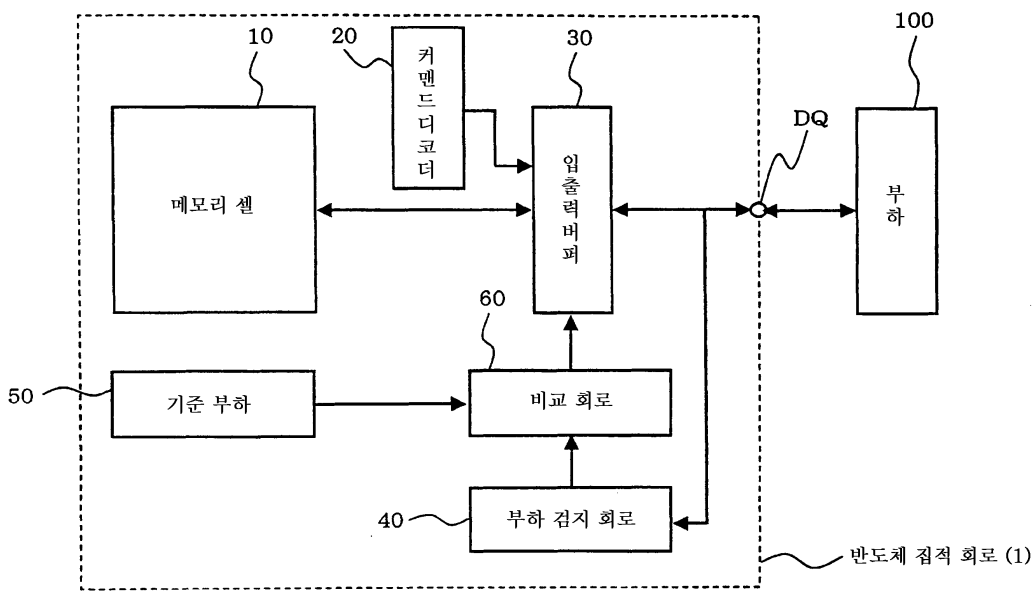
42 : 콤퍼레이터

43 : 출력 저항

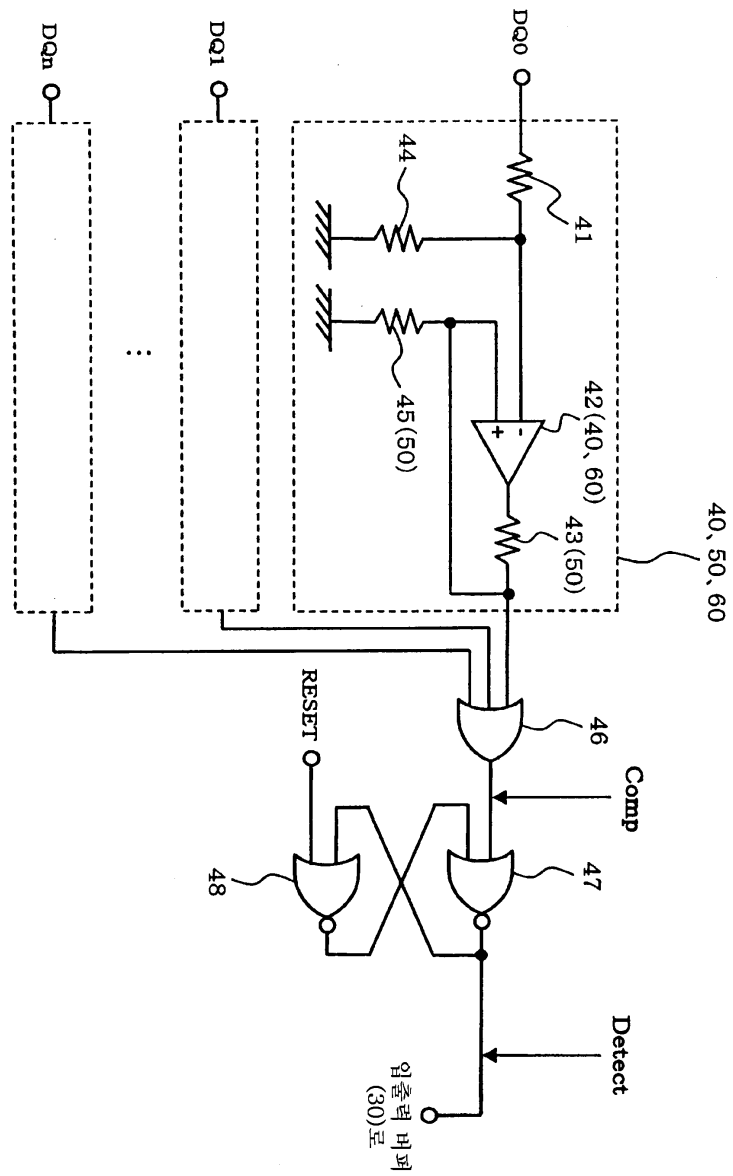
- 45 : 제2 기준 저항
- 50 : 기준 부하 출력부
- 51 : 기준 레지스터
- 60 : 비교 회로
- 61 : 디지털 비교 회로
- 70 : AD 변환 회로
- Comp : 출력 신호
- Detect : 검출 신호

도면

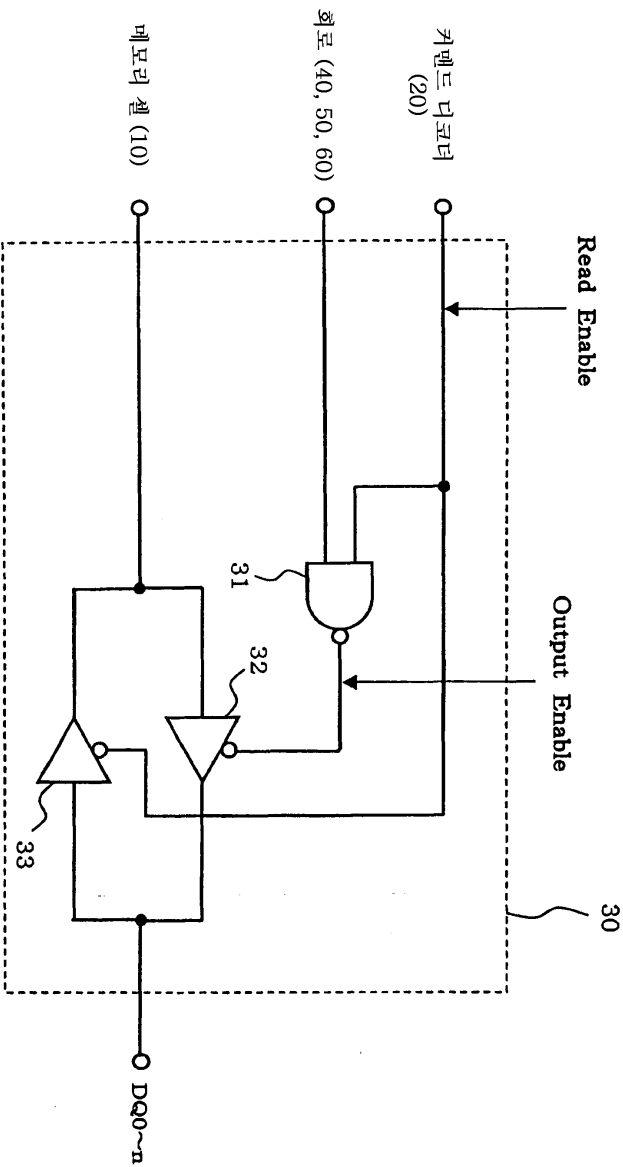
도면1



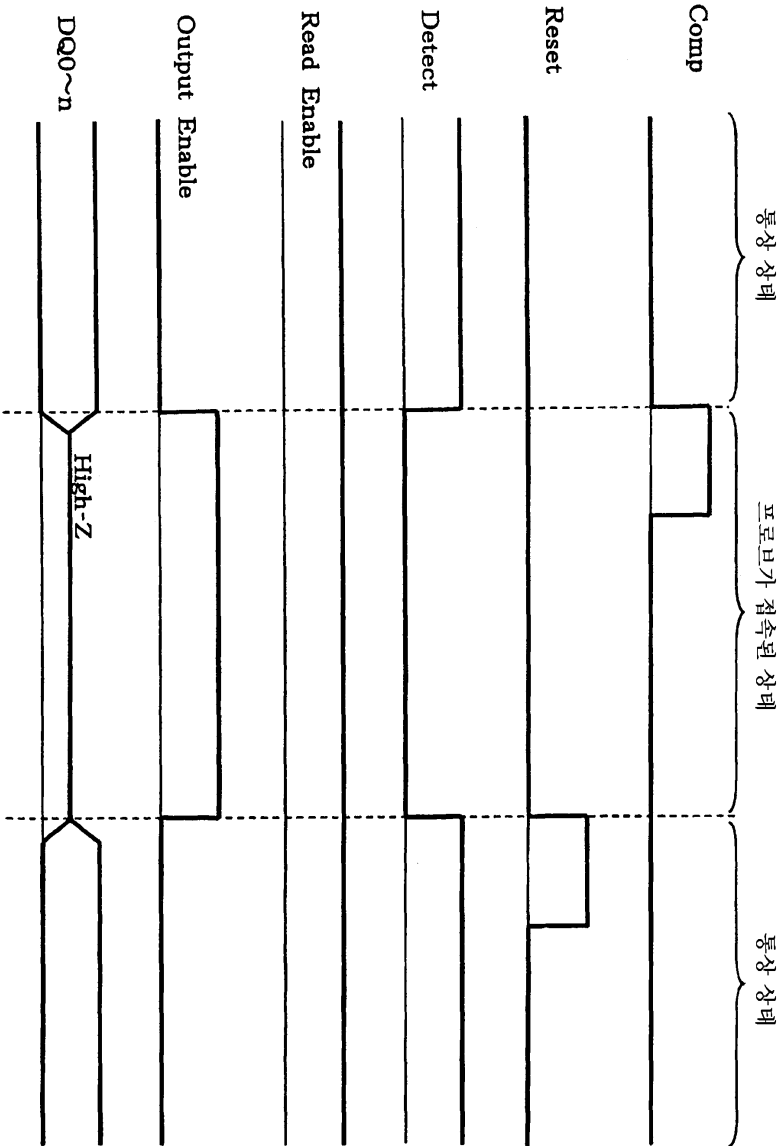
도면2



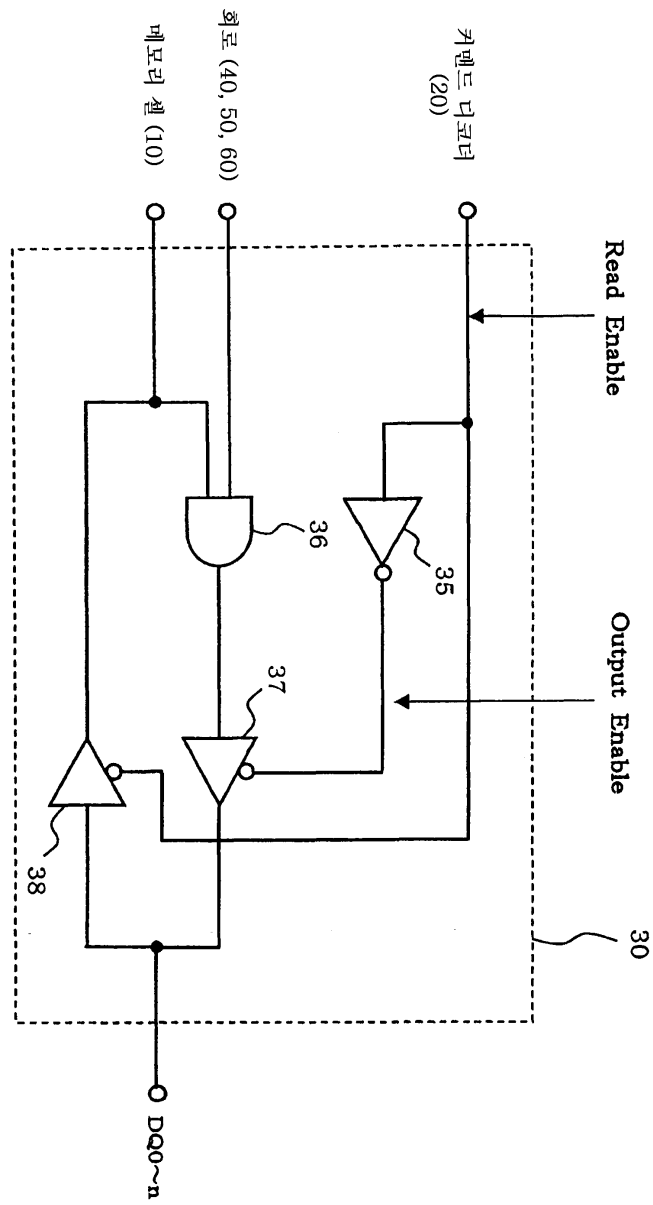
도면3



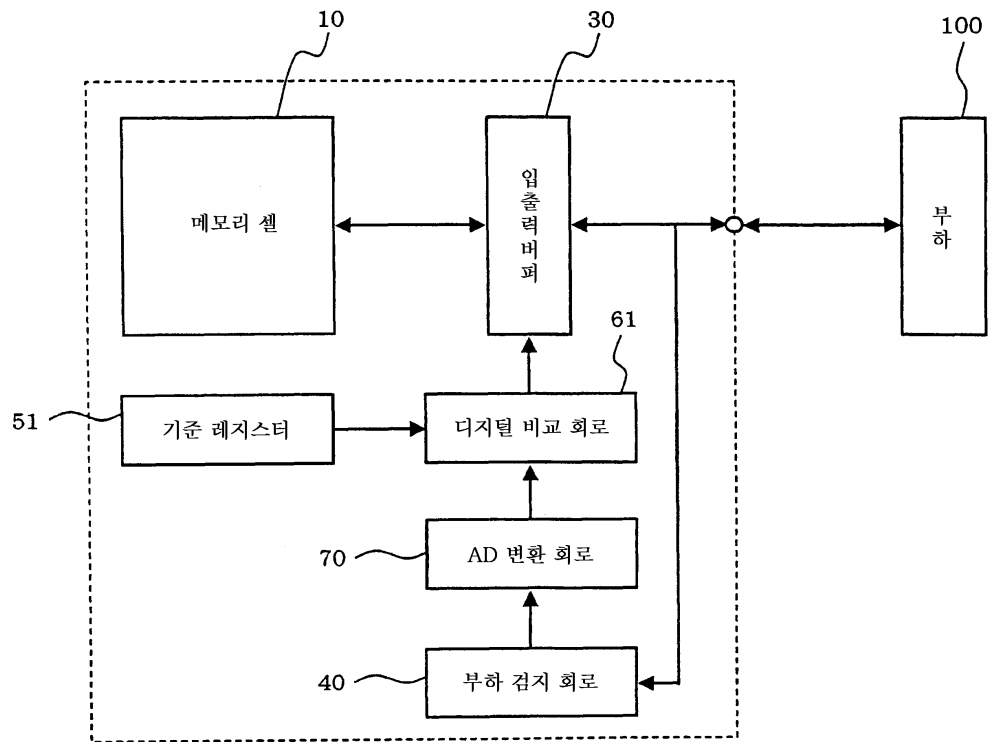
도면4



도면5



도면6



도면7

